

福井大学
工学部 研究報告
第24巻 第1号
昭和50年3月

高速 A-D 変換器の設計

谷口 慶治*・中村 正郎**・仲野 豊*

Design of High Speed Analog-to-Digital Converters

Keiji TANIGUCHI, Masao NAKAMURA, Yutaka NAKANO

(Received Oct. 15, 1975)

In order to alleviate the effect of the settling time of an operational amplifier used in a serial A-D converter, the following two methods are proposed :

1. The m most significant bits are obtained by a parallel converter, the remaining bits being obtained by a serial converter.
2. The m most significant bits are obtained by direct use of a high speed comparator instead of the operational amplifier. Conversion errors incurred due to the poor gain of the comparator are corrected for during the succeeding conversion process using the operational amplifier.

1. 序 論

高速用 A-D 変換器としては、並列比較形、縦続形、逐次比較形等がある⁽¹⁾が、前二者は実用面で複雑高価となるので一般的でない。逐次比較形は比較的回路構成が簡単ではあるが、変換速度(変換時間)の点で前二者にくらべて劣る。逐次比較形 A-D 変換器においてこの変換時間の大部分は、D-A 変換部の変換精度をよくするために用いられている演算増幅器のセットリング時間で、他の部分にくらべて数十倍以上にも達する。(図1参照)

本研究ではこの逐次比較形に着目して、変換精度をあまり劣下させずに、演算増幅器のセットリング時間が変換時間に対して占める割合を少なくすることによって全変換時間が小さくなる2種の回路方式を考案し、その実験を行なった。

2. 回路方式

本研究での2つの回路方式はそれぞれ変換時間、変換精度の点での性能向上を目的とした構成をとっているが、いずれも実装面での容易さを考慮し、次の2点を重視した。

- 従来の逐次比較形にくらべてあまり複雑な回路構成とならないこと。
- 素子(部品)は入手容易なものを使用し、装置全体でのコストパフォーマンスを良くすること。

2.1 回路方式 I⁽²⁾

この回路では特に変換時間を短縮することに主眼をおいた。主な構成を図2に示す。

(i) 並列比較部

上位ビットを並列比較形にすることによって、この

*電子工学科 **情報工学科

部分での変換時間を非常に小さくすることができる。何故なら、ここでの時間は比較器と符号化回路（論理回路）の時間遅れのみで決まるからである。

(ii) 減算増幅部

この部分は上位ビット変換部と下位ビット変換部の連結の働きをするもので、入力アナログ電圧と上位ビットのアナログ変換電圧とを減算増幅し、その出力を下位ビット変換部の入力電圧とする。なお、ここでのアナログスイッチには、OFF 時の漏れ電流の少ない FET を用いて減算増幅部の直線性を良くしている⁽⁴⁾。また、ここで増幅することによって下位ビット変換部での変換誤差を相対的に小さくすることができる。

(iii) 下位ビット変換部

標準的な逐次比較形であるが、(ii) で述べた理由からここでは演算増幅器を使用していない。この部分での入力電圧（減算増幅器出力）と D-A 変換部（抵抗回路網）出力との直線性誤差は、下位ビットでのフルスケール電圧の ±0.4% 以内であった。

2.2 回路方式Ⅱ⁽⁴⁾（図3参照）

(1) 構成

上位ビット用と下位ビット用の2つの逐次比較形変換部から成る。上位ビット用の変換部1では演算増幅

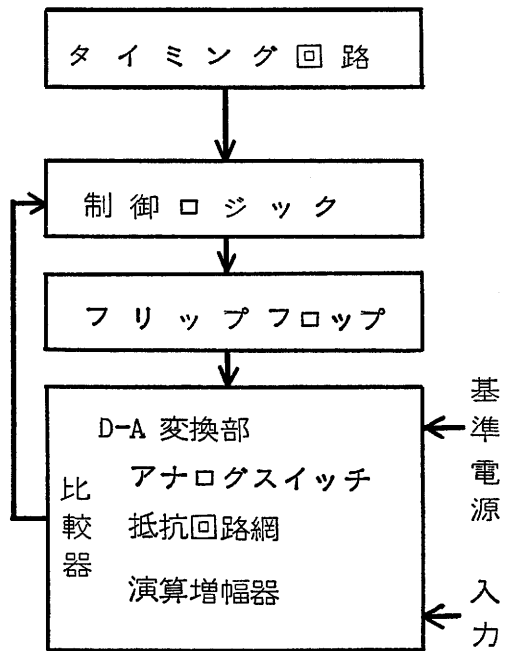


図1 従来の逐次比較形 A-D 変換器

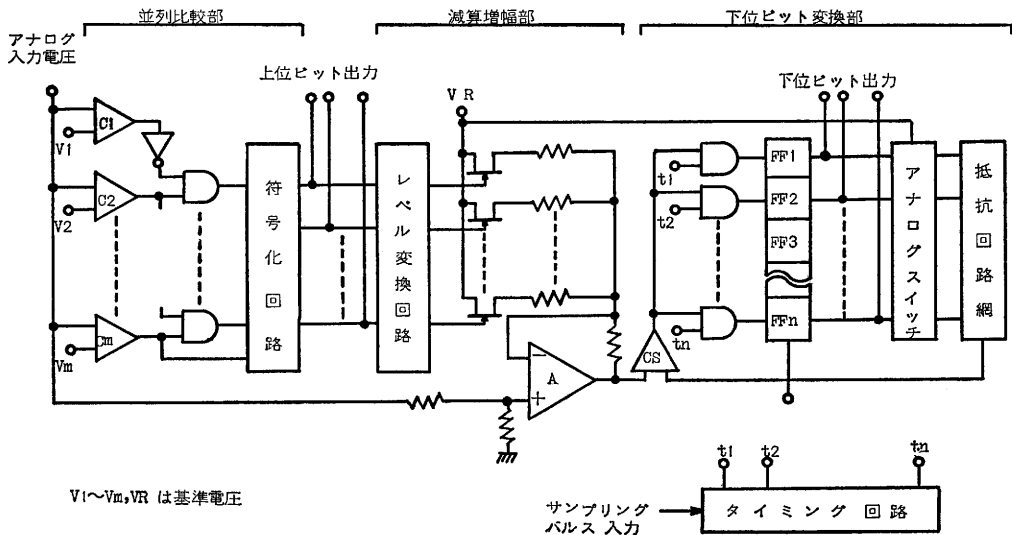


図2 回路方式1の主な構成

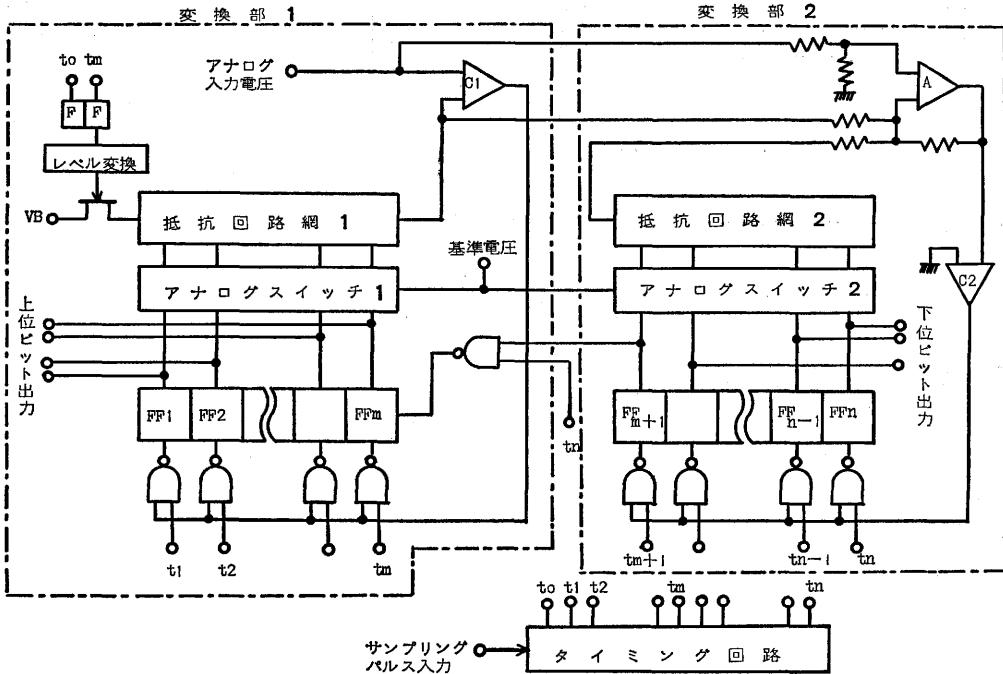


図3 回路方式2の主な構成

器を使用しないで逐次比較し、ここで生じる誤差は、下位ビット変換の結果必要に応じて上位ビットを“+1”カウントアップすることにより補正する。上位ビットに応じたアナログ変換電圧と入力アナログ電圧とを減算増幅し、その出力電圧を変換部2で変換して下位ビットを得るが、この時には変換精度を劣下させないために従来の逐次比較形と同様に演算増幅器Aを使う。

(2) 補正法

変換部1のようにD-A交換部に演算増幅器を使用しない場合、比較器の利得が小さいために比較器の動作によって変換誤差が生じる。(図4参照)そこでこれを補正するために次のような方法をとる。

- ① 上位ビット変換中は、抵抗回路網1にバイアス電圧 V_B を加え、比較器 C_1 の入力に $\frac{1}{2}V_m$ (V_m は FF_m を“1”にセットしたとき C_1 の入力に加わる電圧) の電圧が余分に現われるようにする。
- ② FF_{m+1} と FF_m を同一変換ビットに対応するように回路を構成する。(したがって FF_{m+1} を“1”にセットするのに必要な入力アナログ電圧は V_m となり、最終的なデジタル出力は $FF_1 \sim FF_m, FF_{m+2} \sim FF_n$ にたくわえられる。

る)。

①によって変換部1の特性は図4から図5のように変化する。

そこで、例えば図5における点Aのような入力アナログ電圧 V_a に対しては、変換部1では(001)か(010)のどちらかの上位ビット出力が得られる。もし、(010)が得られたとすると、上位ビット変換後、バイアス電圧 V_B が切れ、抵抗回路網1の出力は図4の V_{010} となり、変換部2で $V_a - V_{010}$ の電圧に相当する下位ビットが得られる。このとき、 $V_a - V_{010} < V_m$ 、であるから②の理由により FF_{m+1} は“0”となり、 $FF_{m+2} \sim FF_n$ に下位ビットが得られる。逆に交換部1で(001)の出力が得られたとすると V_B が切れた後、変換部2では $V_a - V_{001}$ の電圧に相当する下位ビットが出力されるが、このときには、 $V_a - V_{001} > V_m$ だから FF_{m+1} は“1”となり、 $FF_{m+2} \sim FF_n$ にはやはり、 $V_a - V_{001} - V_m = V_a - V_{010}$ の電圧に相当する下位ビットが得られる。従って FF_{m+1} が“1”のとき上位ビットを“+1”カウントアップすれば、結局 $FF_1 \sim FF_m, FF_{m+2} \sim FF_n$ にはどちらの場合にも同じデジタル出力が得られる。こうして変換部1の誤差は $\pm \frac{1}{2}V_m$ (図4, 5での……部分) までの範囲で補正が可能になる。

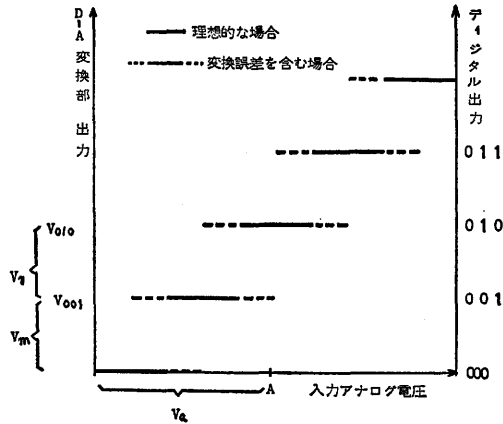


図4 変換誤差のある A-D 変換特性

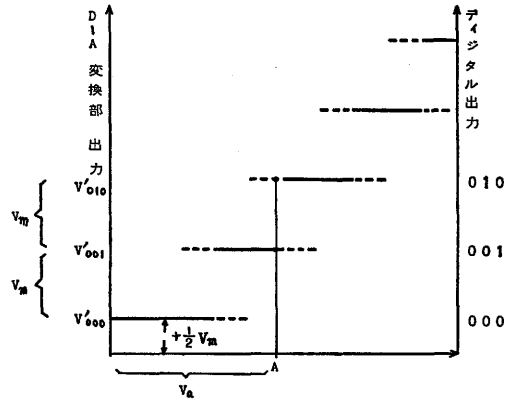


図5 バイアス電圧 V_B を加えた場合の A-D 変換特性

3. 実験結果

回路方式1については、上位3ビット、下位5ビットとして実験を行なった結果、精度をLSBの $\pm 10\%$ 以内(相対精度0.04%以内)とした場合、変換時間は従来の方式の3分の1となった。回路方式2については、精度劣下防止を重視したため、変換時間は従来の方式の2分の1となったが精度はほとんど劣下しないことが明らかとなった。表1に回路方式1, 2の各部の変換時間の実験例を示す。

4. むすび

両方式とも高速ではあるが、その中でも方式1は少ビット高速用、方式2は多ビット高精度用としての使い分けが必要と思われる。また、グリッチ、温度特性等の性能向上については、いくつかの検討すべき点がある。

参考文献

(1) 今井聖 “トランジスタ D・A, A・D 変換器” 産

表1 各部の交換時間

回路方式 1

並列比較部	減算増幅部	逐次比較部
40ns	260ns	350ns

回路方式 2

交換部 1 6ビット	交換部 2 4ビット
360ns	880ns

報

(2) 谷口, 中村 “コストパフォーマンスを最小にする並直列形 A-D 変換器の一設計法” 信学論 (D), 58-D, 6, P 360 (昭50-06)
 (3) D. F. Hoesehele, Jr. “Analog-to-Digital/Digital-to-Analog Conversion Techniques” John Wiley & Sons Inc.
 (4) 中村, 仲野, 谷口 “高速直列形 A-D 変換器の一設計法” 信学論 (D) 59-D, 1. (昭51-01)