



Capteurs embarqués non-intrusifs pour le test des circuits RF

Louay Abdallah

► **To cite this version:**

Louay Abdallah. Capteurs embarqués non-intrusifs pour le test des circuits RF. Autre. Université Grenoble Alpes, 2012. Français. <NNT : 2012GRENT104>. <tel-01062479>

HAL Id: tel-01062479

<https://tel.archives-ouvertes.fr/tel-01062479>

Submitted on 9 Sep 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **EEATS/Nano ELECTRONIQUE NANO -
TECHNOLOGIES**

Arrêté ministériel : 7 août 2006

Présentée par

Louay ABDALLAH

Thèse dirigée par **Salvador MIR**
et co-encadrée par **Haralampos Stratigopoulos**

Préparée au sein du **Laboratoire TIMA**
Dans l'**École Doctorale Électronique, Électrotechnique,
Automatique et Traitement du Signal (E.E.A.T.S)**

Capteurs embarqués non- intrusifs pour le test des circuits RF

Thèse soutenue publiquement le **22 octobre 2012**,
devant le jury composé de :

M. Philippe FERRARI

Professeur, Université Joseph Fourier, Président

M. Yann DEVAL

Professeur, Université de Bordeaux, Rapporteur

M. Bernard JARRY

Professeur, Université de Limoges, Rapporteur

M. Josep ALTET

Professeur associé, Université Polytechnique de Catalogne (Espagne),
Examineur

M. Christophe KELMA

Ingénieur Senior, NXP Semiconductors, Examineur

M. Cederic Mayor

Directeur R&D, PRESTO ENGINEERING, Examineur

M. Salvador MIR

Directeur de recherche, CNRS Grenoble, Directeur de thèse

M. Haralampos Stratigopoulos

Chargé de recherche, CNRS Grenoble, Co-encadrant de thèse



Aux martyrs du Liban
A mes parents et grâce à eux
A Houssam, Ilham et Sophia
A Hawraa, Avec Hawraa, Merci Hawraa

Remerciements

Je tiens tout d'abord à remercier Mme Dominique BORRIONE, Directrice du laboratoire TIMA, pour m'avoir accueilli au sein du laboratoire pendant cette thèse.

Je remercie M. Salvador MIR et M. Haralampos STRATIGOPOULOS pour tous les précieux conseils qu'ils m'ont donné et pour le temps consacré à la direction et l'encadrement de ma thèse.

Je tiens particulièrement à remercier M. Alexandre CHAGOYA qui m'a toujours aidé à surmonter les problèmes techniques.

Je remercie l'équipe *ICRF* de NXP Semiconductors pour le support effectué tout au long de la thèse.

Je remercie M. Josep ALTET pour le temps précieux qu'il m'a consacré lors de nos travaux de collaboration.

Je remercie l'équipe d'enseignement du Master 2 Micro-Nano électronique pour la bonne formation acquise au sein de l'Université Joseph Fourier.

Je remercie tous les membres du Laboratoire TIMA notamment les membres de l'équipe RMS pour tous les bons moments qu'on a passé ensemble.

Finalement, j'associe à tous mes succès scientifiques, l'Université Libanaise de Beyrouth pour la bonne formation acquise au sein du département d'électronique.

Table des matières

1	Introduction Générale	1
1.1	Contexte	1
1.2	Objectif et contributions	2
1.3	Structure de la thèse	3
2	Introduction aux circuits RF	5
2.1	Présentation des chaînes RF	5
2.2	Caractéristiques	6
2.2.1	Gain et adaptation d'impédance	6
2.2.2	Isolation	7
2.2.3	Figure de bruit	7
2.2.4	Critères de linéarité	7
2.2.5	ACPR : Adjacent Channel Power Ratio	8
2.2.6	BER : Bit Error Rate	9
2.2.7	EVM : Error Vector Magnitude	10
2.3	Cas d'étude : LNA CMOS à 2.4 GHz	10
2.4	Conclusion	18
3	Test des LNAs	19
3.1	Sources et conséquences des défauts	19
3.1.1	Variations process globales	19
3.1.2	Variations process locales	20
3.1.3	Défauts catastrophiques : <i>spots defects</i>	21
3.2	Test d'un circuit intégré	22
3.3	Equipements automatiques de test	24
3.4	Approche BIT	26
3.4.1	Mesure des tensions continues	26
3.4.2	Mesure de l'amplitude du signal RF	26
3.4.3	Mesure du courant	27
3.4.4	Corrélation entre la tension et le courant dynamiques	28
3.4.5	Technique de reconfiguration	28
3.4.6	Test par boucle de retour : <i>Loopback</i>	28
3.4.7	Mesures thermiques	29
3.5	Approche du test alternatif	30

3.5.1	Application du flot de test alternatif	31
3.5.2	Phase de test	32
3.6	Test alternatif appliqué aux circuits RF	32
3.7	Avantages et défis du test alternatif avec un BIT	34
3.8	Conclusion	35
4	Capteurs intrusifs	37
4.1	Introduction	37
4.2	Conception des capteurs embarqués	37
4.2.1	Probes DC	38
4.2.2	Capteur d'enveloppe	39
4.2.3	Capteur de courant	45
4.3	Co-design final : LNA et capteurs intégrés	51
4.4	Application de l'approche de test alternatif	52
4.4.1	Réseaux de neurones	58
4.4.2	Phase d'entraînement	59
4.4.3	Phase de test	60
4.5	Conclusion	65
5	Capteurs non intrusifs	67
5.1	Introduction	67
5.2	Capteurs de process	67
5.2.1	Principe des capteurs de process	67
5.2.2	Structures <i>Dummy</i>	72
5.2.3	Moniteurs de process	73
5.2.4	Layout du LNA et des capteurs de process	77
5.2.5	Prédiction des performances en utilisant les capteurs de process	79
5.2.6	Avantages et inconvénients des capteurs de process	81
5.3	Stratégie de détection des défauts catastrophiques	82
5.3.1	Principe	82
5.3.2	Capteur de température	85
5.3.3	Modes de test	91
5.3.4	Application de la stratégie de test	93
5.3.5	Détection des défauts catastrophiques au sein du capteur et du LNA	96
5.4	Conclusion	98
6	Résultats expérimentaux	101
6.1	Réalisation de la puce	101
6.1.1	Layout de la puce	101
6.1.2	Flot post-layout	109
6.1.3	Finalisation de la puce	110
6.2	Environnement de mesure	111
6.3	Mesures pour la caractérisation du LNA	112
6.4	Prédiction des performances RF	116

6.4.1	Capteurs de process	116
6.4.2	Fonctions de régression pour un petit échantillon statistique . . .	116
6.4.3	Résultats de la prédiction des performances	122
6.5	Stratégie de détection des défauts catastrophiques	125
6.5.1	Caractérisation du capteur de température et définition des limites de test	126
6.5.2	Injection et détection des défauts	130
6.6	Conclusion	135
7	Contributions et perspectives	137
7.1	Contributions	137
7.2	Perspectives	138

Table des figures

2.1	Schéma de principe d'un transmetteur RF	6
2.2	Point de compression 1 dB	8
2.3	IP3	9
2.4	<i>EVM</i>	10
2.5	Schéma du LNA.	11
2.6	Circuit petit signal du LNA	11
2.7	Modèle du bruit équivalent	14
3.1	Non-alignement des masques	20
3.2	Un court-circuit entre les lignes de conduction causé par une particule	21
3.3	Un circuit-ouvert dans le contact causé par un résidu	22
3.4	Test du circuit intégré avant la mise dans le marché	23
3.5	Equipement automatique de test	25
3.6	Principaux blocs du détecteur d'enveloppe proposé dans [11]	27
3.7	LNA et oscillateur Colpitts	28
3.8	Schema du principe de test par boucle de retour	29
3.9	Schema du principe de test par boucle de retour avec des capteurs d'enveloppe	29
3.10	Effet des variations process sur l'espace des mesures et des spécifications	31
3.11	Application du flot de test alternatif	32
3.12	Architecture de test alternatif proposée par [30]	33
3.13	Architecture de test alternatif proposée par [31]	33
3.14	Architecture de test alternatif proposée par [34]	34
4.1	Les probes DC connectées aux noeuds critiques du LNA	38
4.2	Capteur d'enveloppe avec une architecture simplifiée	39
4.3	Layout du capteur d'enveloppe	41
4.4	Signal en entrée du capteur d'enveloppe et courant redressé sur le drain de M_2	41
4.5	Sortie du capteur d'enveloppe	42
4.6	Les ondulations en sortie du capteur d'enveloppe	42
4.7	Bruit en sortie du capteur d'enveloppe	43
4.8	Variation de la sortie du capteur en fonction de la puissance en entrée à 2.4 GHz	43

4.9	Variation de la sortie du capteur en fonction de la puissance en entrée pour différentes fréquences	44
4.10	Simulations Monte-Carlo transitoires de la sortie du capteur d'enveloppe	44
4.11	Capteur de courant CMOS proposé par [15]	45
4.12	Layout du capteur de courant	46
4.13	Sortie du capteur de courant en fonction du courant I_{CUT}	47
4.14	Sortie du capteur de courant en fonction du courant I_{CUT} pour différentes fréquences	48
4.15	Bruit en sortie du capteur de courant	48
4.16	Sortie RF du capteur de courant convertit en un signal basse fréquence à travers le capteur d'enveloppe	49
4.17	Ondulations en sortie du capteur d'enveloppe connecté en sortie du capteur de courant	49
4.18	Variation de la sortie du capteur d'enveloppe connecté en sortie du capteur de courant en fonction de l'amplitude du courant dynamique	50
4.19	Simulations Monte-Carlo transitoires de la sortie du capteur d'enveloppe connecté en sortie du capteur de courant	50
4.20	Configuration du LNA et des capteurs intégrés	51
4.21	Layout du LNA et des capteurs intégrés	52
4.22	Paramètres S du LNA	53
4.23	Figure de bruit du LNA	53
4.24	Point de compression 1 dB	54
4.25	Point d'intermodulation d'ordre trois	54
4.26	Sorties DC des capteurs d'enveloppe proportionnelles au signal RF (2.4 GHz) en sortie du LNA et au courant dynamique RF	55
4.27	Variation de la sortie des capteurs d'enveloppe en fonction de la puissance RF (2.4 GHz) en entrée du LNA	55
4.28	Dépendance entre la sortie du capteur d'enveloppe connecté en sortie du LNA et la figure de bruit	56
4.29	Dépendance entre la sortie du capteur d'enveloppe connecté en sortie du LNA et le gain	56
4.30	Dépendance entre la sortie du capteur d'enveloppe connecté en sortie du capteur de courant et le point de compression 1 dB	57
4.31	Dépendance entre la sortie de la probe DC1 et le gain	57
4.32	Dépendance entre la sortie de la probe DC2 et le gain	57
4.33	Structure d'un réseau de neurones	58
4.34	Gain prédit en fonction du gain simulé	61
4.35	NF prédit en fonction du NF simulé	61
4.36	IIP1 prédit en fonction du IIP1 simulé	61
4.37	IIP3 prédit en fonction du IIP3 simulé	62
4.38	Filtre de défauts dans un espace bidimensionnel	64
5.1	Exemple des techniques de layout qui appariant deux miroirs de courant qui ne sont pas connectés électriquement	71

5.2	Structures <i>Dummy</i> : (a) circuit de polarisation, miroir de courant, étage de gain cascode et (b) étage de gain MOS source commune avec différentes géométries	73
5.3	Dépendance entre le gain DC de l'étage cascode et le gain du LNA	74
5.4	Dépendance entre le gain DC de l'étage cascode et la figure de bruit du LNA	74
5.5	Dépendance entre le gain DC de l'étage cascode et le point de compression 1 dB du LNA	74
5.6	Dépendance entre le gain DC de l'étage cascode et l'intermodulation d'ordre 3 du LNA	75
5.7	Dépendance entre le gain DC de l'étage de gain MOS à source commune et le gain du LNA	75
5.8	Dépendance entre le gain DC de l'étage de gain MOS à source commune et la figure de bruit du LNA	75
5.9	Dépendance entre le gain DC de l'étage de gain MOS à source commune et le point de compression 1 dB du LNA	76
5.10	Dépendance entre le gain DC de l'étage de gain MOS à source commune et l'intermodulation d'ordre 3 du LNA	76
5.11	Les moniteurs de process : a) NMOS connecté en diode, b) Capacité <i>MIM</i>	77
5.12	Dépendance entre la capacitance de la capacité <i>MIM</i> et le paramètre S22 du LNA	78
5.13	Layout du LNA et des capteurs de process	78
5.14	Gain prédit en fonction du gain simulé	80
5.15	NF prédit en fonction du NF simulé	80
5.16	IIP1 prédit en fonction de l'IIP1 simulé	80
5.17	IIP3 prédit en fonction du IIP3 simulé	81
5.18	Effet du couplage électrothermique	83
5.19	Fonction de transfert du couplage électrothermique	83
5.20	Effet Joule	84
5.21	Puissance DC des CUTs fonctionnels et défectueux lorsqu'ils sont uniquement polarisés	85
5.22	Variation de la puissance DC des CUTs fonctionnels et défectueux après application du stimulus RF	86
5.23	Capteur de température différentiel	86
5.24	Courant traversant le drain du transistor M_5 et sortie du capteur en fonction des tensions de calibration	87
5.25	Schéma du LNA.	90
5.26	Puissance dissipée par le transistor M_2 en fonction de la puissance RF en entrée	90
5.27	Layout du LNA et du capteur de température	91
5.28	Variation de la sortie du capteur en fonction de la température de Q_1	92
5.29	La stratégie de test permettant de détecter les défauts catastrophiques en utilisant le capteur de température	94
5.30	Variation de la température au voisinage de Q_1 ($T_{ref} - T_{Q1}$). Q_1 est placé à différentes distances du transistor M_2	95

6.1	Layout de la puce	102
6.2	Schéma de protection suivant la stratégie centralisée <i>rail-based protection</i>	106
6.3	Schéma de protection suivant la stratégie centralisée nommée <i>rail-based protection</i> pour différents domaines d'alimentation	106
6.4	Deux protections ESD en entrée de la grille	107
6.5	(a) Placement d'un circuit dans un layout en vue d'un test sous pointes, et (b) distances à respecter entre les plots RF d'un même circuit et entre deux circuits adjacents	108
6.6	Technique de <i>de-embedding</i> pour des fréquences de l'ordre de quelques GHz	109
6.7	Photo de la puce finale après fabrication	111
6.8	Carte de test	112
6.9	Configuration de mesure du Figure de bruit	113
6.10	Configuration de mesure des paramètres S	113
6.11	Configuration de mesure du point de compression 1 dB et de l'intermodulation d'ordre 3	114
6.12	Mesure des paramètres S	114
6.13	Mesure du point d'intermodulation d'ordre 3	115
6.14	Mesure de la figure de bruit	115
6.15	LNA et capteurs de process	117
6.16	Placement des structures <i>dummy</i> proches de l'étage de polarisation du LNA	117
6.17	Placement des structures <i>dummy</i> proches de l'étage de gain du LNA	118
6.18	Placement du moniteur de process MOS proche du MOS cascode du LNA	118
6.19	Placement du moniteur de process MIM proche de la capacité MIM du LNA	118
6.20	Dépendance entre la capacité MIM et le gain du LNA	119
6.21	Dépendance entre la capacité MIM et le S11 du LNA	119
6.22	Dépendance entre l'impédance équivalente du transistor connecté en diode et le gain du LNA	119
6.23	Dépendance entre l'impédance équivalente du transistor connecté en diode et la figure de bruit du LNA	119
6.24	Dépendance entre le gain du miroir de courant Dummy et le gain du LNA	120
6.25	Dépendance entre le gain DC de l'étage cascode Dummy et le gain du LNA	120
6.26	Dépendance entre la sortie de l'étage de polarisation Dummy et l'IIP3	120
6.27	Evaluation de la fiabilité du modèle de régression en utilisant la méthode de validation croisée	122
6.28	Construction du réseau de neurones et évaluation de sa fiabilité	123
6.29	Capteur de température différentiel	126
6.30	Placement du capteur de température sur la puce fabriquée	127
6.31	Sortie du capteur avant la première calibration	127
6.32	Calibration du capteur lorsqu'il est uniquement polarisé	128
6.33	Sortie du capteur après la première calibration	128
6.34	Dépendance entre la sortie du capteur de température et la puissance de polarisation du LNA	129

6.35	Histogramme de la sortie du capteur lorsque le LNA est polarisé à son alimentation nominal de 2.5 V	129
6.36	Calibration de la sortie du capteur lorsque le LNA est polarisé à 2.5 V	130
6.37	Variation de la sortie du capteur en fonction de l'amplitude de l'entrée RF	131
6.38	Puissance dissipée par le transistor M_2 en fonction de la puissance RF en entrée	131
6.39	Temps d'établissement du capteur de température	132
6.40	Extraction de la bande passante du LNA	132

Liste des tableaux

4.1	Valeurs des performances du LNA à 2.4 GHz en connectant différents capteurs intégrés	52
4.2	Les erreurs de prédiction (en %) en utilisant tous les capteurs	62
4.3	Liste des fautes catastrophiques	63
4.4	Les erreurs de prédiction (en %) en utilisant les probes DC et le capteur d'enveloppe	65
5.1	Erreur de prédiction (en %) en utilisant les capteurs Dummy et les PCM	81
6.1	Valeurs minimales et maximales des performances observées sur tous les échantillons fabriqués ainsi que les erreurs de mesure.	116
6.2	Erreur de prédiction maximale et moyenne en utilisant les réseaux de neurones et la validation croisée 5-fold	124
6.3	Erreur de prédiction maximale et moyenne en utilisant MARS et la validation croisée 5-fold	126
6.4	Détection des fautes catastrophiques suivant les modes de test	134

Chapitre 1

Introduction Générale

1.1 Contexte

De nos jours, les applications des circuits radiofréquences (RF) telle que les téléphones mobiles, les "*smart phones*", les ordinateurs portables etc., envahissent le marché grand public. Cela impose aux industries une forte concurrence qui mène à la production de dispositifs innovants à faible coût. Bien que la phase de conception reste une étape critique dans le développement d'un circuit intégré, le coût et le temps de test sont devenus des facteurs principaux qui déterminent les bénéfices des industries. En effet, au cours des années le coût de production a largement diminué avec l'avancement technologique. Ceci est dû principalement à l'investissement des industries au niveau de la conception et de la fabrication afin de minimiser la surface de la puce tout en augmentant le niveau d'intégration. Cependant, le coût de test demeure constant. En effet, le coût de test dépend principalement du coût des équipements de test (*ATE : Automatic Test Equipment*), du coût de leur installation ainsi que du coût d'utilisation qui peut représenter environ 10% du coût de l'ATE. De plus, le temps de test est un facteur primordial qui impacte directement le temps de mise en marché et, par conséquent, la concurrence entre les industries dépend fortement de ce facteur. Pour les circuits RF, le coût s'élève à cause de leur sensibilité au bruit et aux interférences électromagnétiques ce qui rend les ATE plus sophistiqués pour de tels circuits.

Les activités de test sont généralement effectuées pendant différentes étapes du cycle de vie d'un circuit intégré. En effet, une fois la phase de conception et du prototypage du circuit est achevé, il est envoyé en production grande volume. Les imperfections dans le procédé de fabrication peuvent provoquer des défauts catastrophiques ou paramétriques qui rendent le circuit défectueux. De ce fait, les industries de semiconducteurs doivent vérifier les différentes performances de tous les circuits fabriqués afin de valider leurs fonctionnalités ainsi que leurs spécifications prédéfinies lors de la phase de conception.

Durant ces dernières années, des travaux de recherche ont contribué au développement de différentes solutions afin de confronter les défis du test. Le test intégré BIT (*Built-In-Test*) se présente comme l'une des solutions les plus avancées. Cette approche favorise la réduction du coût de test en intégrant, sur la même puce avec le circuit RF, des simples structures de test. Ces dernières permettent d'exciter le circuit sous test

(*CUT : Circuit Under Test*) avec des équipements à bas coût et d'extraire des mesures de test numériques, DC ou basse fréquence qui suivent son comportement. Par la suite, ces mesures seront adoptées afin de juger si le circuit est fonctionnel ou défectueux.

Le test alternatif pourra être combiné à la technique BIT pour tester les circuits analogiques/RF. Dans cette approche, les performances du CUT seront prédites à partir d'un ensemble réduit de mesures de test. Le test alternatif se base sur le fait que pendant le procédé de fabrication, les variations des performances RF et des mesures de test dépendent des variations des paramètres de process. Par conséquent, une fonction qui relie les performances aux mesures pourra être construite en utilisant des techniques de régression. Une telle approche permet de diminuer le temps de test ainsi que la complexité et le coût des ATE.

1.2 Objectif et contributions

Dans la littérature, différentes techniques ont été proposées pour implémenter les approches de test des circuits RF. Ces techniques visent à tester le CUT en le reconfigurant ou en connectant des structures de test à ses différents noeuds. De ce fait, les performances du CUT sont dégradées et le cahier de charges n'est plus respecté. D'où la nécessité de le reconcevoir en tenant compte des contraintes imposées par les structures de test additionnelles afin d'acquérir les performances originales. Cependant dans un contexte industriel, pour un circuit dont le cahier de charges est contraignant, le concepteur RF vise à optimiser au maximum son design pour atteindre les spécifications. C'est pourquoi le fait de reconcevoir un circuit RF afin de retrouver les performances originales n'est pas une solution appréciée par les équipes de conception. Par conséquent, l'implémentation de structures de test intégrées qui ne dégradent pas les performances du circuit RF implique un avancement pour les approches de test. Ceci est un grand défi parce que le but sera d'extraire des mesures qui suivent le comportement du CUT sans toucher électriquement le chemin du signal RF. De plus, les structures de test doivent : a) occuper une très faible surface, b) être capables de détecter les défauts dans le CUT, c) être facilement testables et d) utiliser un nombre minimal de pins additionnels.

L'une des techniques prometteuses que nous proposons pour implémenter l'approche BIT consiste à utiliser des capteurs non intrusifs. Ces capteurs sont des structures de test placées à proximité du CUT sans aucune connexion électrique au signal RF. Cela implique que ces capteurs ne dégradent pas les performances originales du CUT. Par conséquent, il n'y a aucun effort particulier à réaliser au niveau de l'architecture ou de la conception pour implémenter la technique de test proposée.

L'objectif de ces travaux de recherche est donc d'implémenter une technique de test incorporée dans un LNA afin de réduire le temps et le coût de test sans imposer aucune contrainte à la conception. Ceci facilite l'introduction de cette technique dans un flot de conception industriel. Des capteurs non intrusifs sont proposés pour obtenir un flot de test permettant dans une première étape d'éliminer les circuits aberrants et *outliers* et ensuite prédire les performances du reste des circuits ayant subi des variations process.

Nous avons utilisé les mesures extraites d'un capteur de température intégré pour détecter les défauts catastrophiques (*spot defects*) qui peuvent apparaître dans n'im-

porte quel point du CUT lors de la fabrication. Le principe repose sur le fait que les défauts impliquent des variations des puissances DC et AC dissipées par le CUT. En raison du couplage électrothermique et de l'effet Joule, ces variations de puissance provoquent une variation de température au voisinage du CUT. Ainsi toute fluctuation anormale de la température indique la présence d'un défaut.

Afin de prédire les performances du CUT, nous avons intégré des capteurs de process que nous appelons structures fictives (*Dummy*) et moniteurs de process. En suivant l'approche du test alternatif, nous avons montré la capacité à prédire les performances d'un LNA à partir des mesures fournies par ces circuits, avec une précision suffisante par rapport au test industriel adopté actuellement. Les capteurs proposés reprennent des circuits et des composants existants dans les CUTs. Ainsi, vu que ces structures sont placées au niveau layout à proximité immédiate du CUT, elles seront affectées avec le CUT par les mêmes variations globales *die-to-die* et par les variations *intra-die* qui montrent une dépendance spatiale. C'est pourquoi les capteurs de process suivent le comportement du CUT. Les résultats expérimentaux ont été obtenus sur un échantillon de 142 puces. Cette puce intègre un LNA fonctionnant à 2.4 GHz ainsi que les capteurs non intrusifs dédiés au test.

1.3 Structure de la thèse

Dans le deuxième chapitre, nous introduirons les principaux circuits RF ainsi que leurs figures de mérite. Ensuite, nous aborderons notre cas d'étude en présentant l'architecture et l'analyse d'un LNA fonctionnant à 2.4 GHz utilisé généralement dans les applications à bande étroite.

Le troisième chapitre présente une étude de l'état de l'art sur le test des LNA. Nous commencerons par une présentation des différents types de défauts qui peuvent apparaître lors de la fabrication d'un circuit intégré. Nous expliquerons aussi les différentes phases de test réalisées avant la mise au marché du produit. Ensuite, nous détaillerons les différentes techniques de BIT et de test alternatif des LNA existantes dans la littérature. Nous concluons par la présentation de l'approche qu'on adopte pour réaliser un test de production.

Dans le quatrième chapitre, une première implémentation de la technique de test intégré combinée au test alternatif est présentée. Nous détaillerons la conception et les simulations d'une combinaison de capteurs intégrés existants dans la littérature, notamment un capteur d'enveloppe, un capteur de courant et des probes DC que nous avons développés avec des architectures simples. Nous montrerons les résultats de couverture de fautes injectées dans le LNA en utilisant un filtre de défauts ainsi que la prédiction des performances RF.

Dans le cinquième chapitre, nous présenterons les nouveaux capteurs non intrusifs. Nous détaillerons le principe d'opération de ces capteurs, leur conception au niveau transistor ainsi que leurs modes d'opération permettant de tester les circuits RF. Nous démontrerons que les capteurs non intrusifs proposés sont capables de détecter les défauts et de prédire les performances d'un LNA sans qu'ils soient électriquement connectés au chemin du signal RF.

Le sixième chapitre présente la réalisation finale d'un démonstrateur et montrera les mesures expérimentales. D'abord, nous rappellerons les différentes techniques de layout RF que nous avons appliquées. Ensuite, nous présenterons la carte de test ainsi que les instrumentations utilisées pour caractériser l'échantillon de 142 puces. Finalement, nous montrerons les résultats expérimentaux qui incluent la caractérisation des capteurs et la validation du flot de test proposé avec des mesures réelles.

Enfin, nous terminerons avec le septième chapitre par la conclusion et des perspectives.

Chapitre 2

Introduction aux circuits RF

2.1 Présentation générale des chaînes RF d'émission et de réception

Les systèmes de radiocommunication sont des systèmes qui transmettent les informations par l'intermédiaire des ondes hertziennes. La figure 2.1 montre le schéma simplifié d'un transmetteur RF constitué d'une chaîne d'émission et d'une chaîne de réception. Initialement, l'information en bande de base est modulée suivant un protocole de communication spécifique qui correspond à l'architecture du transmetteur et à l'application visée. Le signal est ainsi adapté à la bande passante du canal en utilisant un mélangeur qui réalise une multiplication entre le signal contenant l'information et le signal porteur généré par un oscillateur. Ensuite, l'amplificateur de puissance (*PA : Power Amplifier*) augmente le niveau du signal pour permettre l'émission à travers l'antenne. Le rôle de la partie réception est l'opération inverse. D'abord, le signal haute fréquence reçu à travers l'antenne entre dans un LNA qui l'amplifie en y rajoutant un bruit minimal afin de permettre une extraction correcte de l'information. Le signal est ensuite transposé en basse fréquence et démodulé afin de permettre l'extraction de l'information qui sera traitée finalement dans un microprocesseur.

Indépendamment de l'architecture adoptée pour implémenter les systèmes d'émission et de réception, les différents traitements analogiques sont assurés par les mêmes types de blocs RF notamment, un LNA, un oscillateur, un mélangeur et un PA. Chacun de ces blocs est caractérisé suivant sa fonctionnalité et son emplacement dans la chaîne de traitement. A noter que différents filtres sont aussi nécessaires pour le traitement analogique du signal. Dans ce qui suit, nous introduisons les principales caractéristiques des circuits RF et nous présenterons en détail notre cas d'étude qui est un LNA fonctionnant à 2.4 GHz.

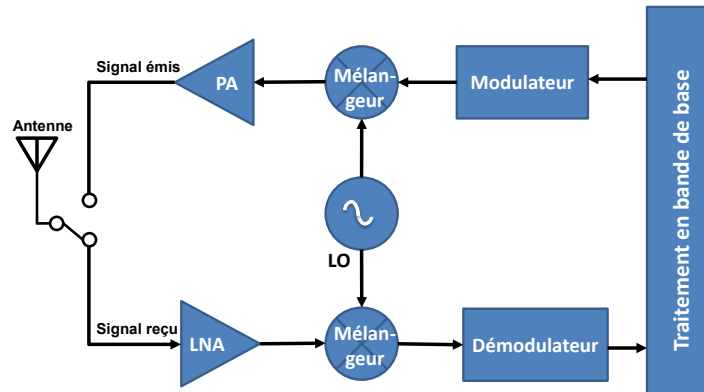


FIGURE 2.1 – Schéma de principe d'un transmetteur RF

2.2 Principales caractéristiques des circuits et systèmes RF

2.2.1 Gain et adaptation d'impédance

Le gain, défini par le rapport entre la puissance du signal délivrée à la charge et la puissance en entrée du bloc. Pour les circuits RF, ce rapport dépend de la fréquence de fonctionnement du bloc et de la transmission de puissance qui est assurée par l'adaptation d'impédance. Intuitivement, si on veut amplifier un signal, il convient d'abord de le récupérer correctement, dans le sens où ce signal ne doit pas être réfléchi en entrée du bloc. L'adaptation d'impédance nous permet d'assurer un maximum de transfert de puissance de la source vers la charge. En appliquant cette notion à un système possédant un port d'entrée connecté à une source, on aura une transmission de puissance maximale lorsque :

$$Z_s = Z_{in} \quad (2.1)$$

avec Z_{in} la conjuguée complexe de l'impédance d'entrée et Z_s l'impédance de la source. Pour un quadripôle matché en sortie, la réflexion du signal en entrée est caractérisée par le paramètre S11. Le même principe d'adaptation d'impédance est appliqué en sortie du bloc RF. Donc pour les charges en sortie, on doit avoir :

$$Z_l = Z_{out} \quad (2.2)$$

avec Z_{out} la conjuguée complexe de l'impédance de sortie et Z_l l'impédance de la charge. La réflexion du signal en sortie est caractérisée par le paramètre S22 étant donné que le quadripôle est matché en sortie. Généralement, les sources extérieures telles que les antennes présentent une impédance différente que l'impédance d'entrée des blocs de type LNA ou PA. Ainsi il va donc falloir réaliser des adaptations d'impédance.

Lors de l'étape de test, les mesures des paramètres S sont assurées par un analyseur vectoriel de réseaux. Cet appareil nécessite une procédure de calibration avant qu'il soit utilisé afin d'extraire les parasites dus aux câbles d'interconnexions. De cette façon, les mesures extraites seront ramenées en entrée et en sortie de la carte de test. De plus, les lignes de transmission de la carte de test doivent être prises en compte afin d'extraire correctement les performances du CUT.

2.2.2 Isolation

Le paramètre d'isolation ou le coefficient de transmission inverse S_{12} est un paramètre important qui représente l'isolation entre la sortie et l'entrée d'un bloc. En général, le transfert de puissance de la sortie vers l'entrée doit être très faible.

2.2.3 Figure de bruit

Le bruit est défini comme étant l'ensemble de toutes les perturbations indésirables qui se superposent au signal utile et qui ont tendance à masquer son contenu. En radiofréquences, spécialement pour les systèmes de réception, le niveau du signal utile par rapport au bruit est un facteur primordial qui affecte les performances du système. Il est relié directement à la sensibilité du récepteur à des signaux de faible amplitude et par conséquent au *Bit-Error-Rate (BER)*. Le facteur de bruit est le rapport entre le signal sur bruit en entrée et le signal sur bruit en sortie pour une température de Z_g égale à 300 K :

$$F = \frac{(S/N)_{\text{entrée}}}{(S/N)_{\text{sortie}}} \quad (2.3)$$

Lors du test, la performance mesurée est la Figure de bruit (NF : *Noise Figure*) qui représente simplement le facteur de bruit exprimé en dB :

$$NF = 10 \log(F) \quad (2.4)$$

Afin de caractériser le NF, l'analyseur de bruit génère un signal d'impulsion à l'entrée d'une source de bruit connectée à l'entrée du CUT (telle que la source de bruit diode HP346A/B). La sortie du CUT est ensuite analysée. Etant donné que le bruit généré et le rapport signal/bruit sont des paramètres connus, le facteur de bruit du CUT est calculé par l'analyseur. Cette technique est la façon la plus simple pour mesurer le NF et elle est également la plus précise pour les faibles niveaux (<3dB) comme dans le cas des LNA. Les inconvénients d'un tel instrument sont la fréquence de fonctionnement limitée et l'imprécision pour des niveaux élevés de NF. En effet, en fonction du niveau visé, d'autres méthodes pourraient être utilisées telle que la méthode de gain et la méthode de facteur Y.

2.2.4 Critères de linéarité

Le signal en sortie d'un système RF, ayant en entrée un signal défini à une fréquence donnée, présente des nombreuses harmoniques. Pour quantifier l'impact de ces composantes fréquentielles, deux figures de mérites sont définies : le point de compression 1 dB et le point d'interception d'ordre 3 (IP3 : Third Intercept Point).

Point de compression 1 dB

Dans un circuit RF, au fur et à mesure que la puissance d'entrée augmente, les harmoniques parasites vont limiter l'amplification linéaire. Le point de compression 1 dB est la puissance du signal en entrée pour laquelle le gain du circuit diminue de 1 dB.

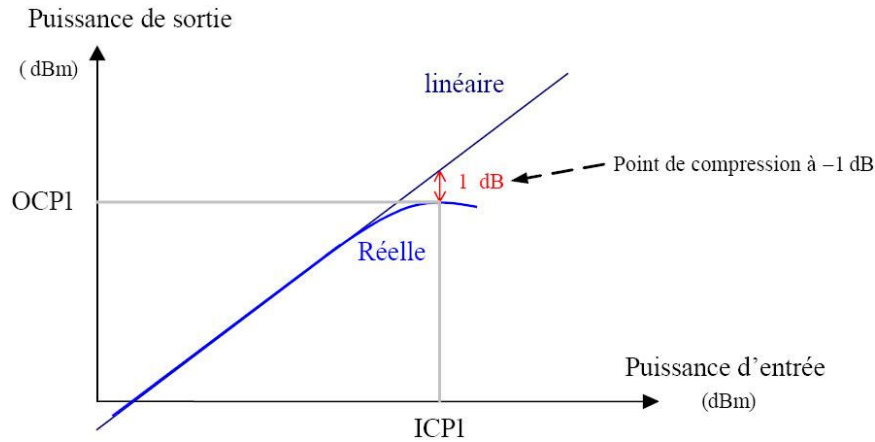


FIGURE 2.2 – Point de compression 1 dB

Ceci est illustré dans la figure 2.2. Autour de ce point, le gain n'est plus constant et il varie en fonction de l'amplitude du signal d'entrée.

Lors de la phase de test, il faut faire varier la puissance en entrée à partir d'un générateur RF avec un pas régulier et mesurer simultanément la valeur de la puissance en sortie avec un analyseur de spectre. A noter que plus le pas d'incrémentaion est faible, plus la mesure est précise mais le temps de test sera plus important.

Point d'interception d'ordre 3

Si deux signaux sont présents en entrée d'un amplificateur à des fréquences très proches, le spectre de sortie présente des produits d'intermodulation d'ordre 3 qui tombent souvent dans la bande utile du signal ce qui rend leur élimination difficile. Comme illustré dans la figure 2.3, l'IP3 d'un circuit RF est défini comme étant la puissance en entrée pour laquelle la puissance de la fondamentale et la puissance des produits d'intermodulation d'ordre 3 sont égales. Nous constatons qu'une augmentation de 1 dB de la puissance d'entrée se traduit par une augmentation de 3 dB de la puissance des produits d'intermodulation du troisième ordre. Il est clair que plus l'IP3 est grand, plus le circuit est linéaire.

Le test conventionnel de cette performance nécessite deux générateurs de fréquence RF qui envoient deux signaux de fréquences f_1 et f_2 . Ces deux signaux sont additionnés par un coupleur. La sortie du coupleur sera le stimulus à l'entrée du CUT. La réponse spectrale du circuit à ce stimulus est récupéré par un analyseur de spectre. La différence entre les amplitudes à la fréquence fondamentale et les amplitudes aux fréquences $2f_1-f_2$ et $2f_2-f_1$ définit l'intermodulation d'ordre 3 du système.

2.2.5 ACPR : Adjacent Channel Power Ratio

L'ACPR est défini comme étant le rapport entre la puissance moyenne dans la fréquence des canaux adjacents et la puissance moyenne dans le canal principal de transmission. Ce rapport est un critère important pour les chaînes de transmission.

Le test industriel de cette performance consiste à envoyer une séquence aléatoire de

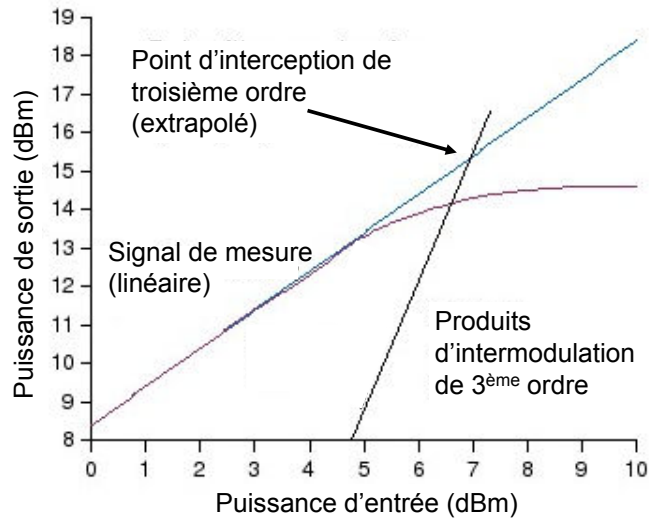


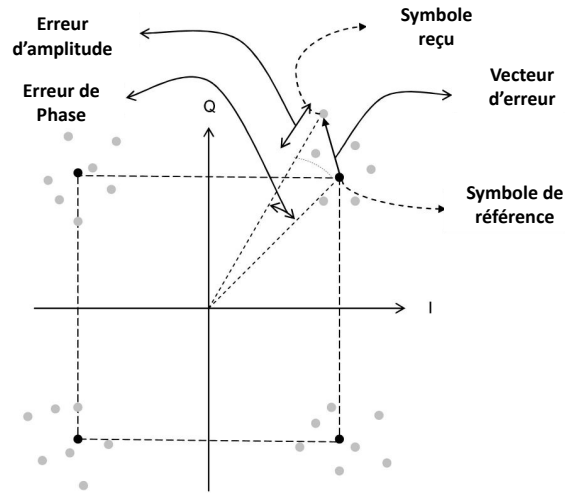
FIGURE 2.3 – IP3

bits générée en bande de base à l'entrée d'un modulateur intégré dans l'équipement de test. Par conséquent, cette séquence est modulée et le spectre en sortie du transmetteur est mesuré à travers un analyseur de spectre. Pour une bande de fréquences spécifique et une distance définie entre les canaux adjacents, les puissances dans la bande d'intérêt et dans les bandes adjacentes sont mesurées. Ce calcul nécessite un long temps de test vu le grand nombre de séquences de bits générées. De plus, les équipements de test sont très chers vu qu'ils doivent intégrer des circuits dédiés à la modulation et à la démodulation numériques, capables de générer et de récupérer la chaîne de bits aléatoires. En plus, dans le cas où la puissance des composants fréquentiels est très faible, proche du niveau du bruit, le calcul sera plus complexe.

2.2.6 BER : Bit Error Rate

Le BER est une spécification nécessaire pour déterminer la performance d'un système de communication en termes de transmission et de réception de données correspondantes à un certain type de modulation numérique. En particulier, pour une séquence de bits aléatoires, le BER représente le rapport entre le nombre des bits détectés incorrectement (par exemple à cause du bruit) et le nombre total de bits envoyés. A partir de cette définition, on pourra déduire une relation entre le BER et le rapport signal sur bruit (SNR).

Le test conventionnel de cette spécification nécessite d'envoyer une longue séquence de bits et de calculer le rapport entre le nombre de bits erronés reçus et le nombre de bits initialement transmis. Comme dans le cas de l'ACPR, la mesure de cette spécification nécessite un long temps de test et des équipements complexes.

FIGURE 2.4 – *EVM*

2.2.7 EVM : Error Vector Magnitude

L'EVM est une spécification qui caractérise la qualité de la modulation numérique. Basiquement, n'importe quel signal présentant deux voies I et Q peut être représenté dans un diagramme de constellation. Ceci correspond à une représentation graphique de tous les symboles numériques reçus ou émis comme le montre la figure 2.4. En projetant un signal reçu par un récepteur idéal sur ce diagramme, on peut avoir un diagramme de constellation idéal. Dans un cas réel, le signal sera perturbé par le transmetteur, le récepteur ou par le bruit du canal de transmission, ce qui implique que les points du diagramme de constellation dévient de leurs positions idéales. L'EVM est exprimée comme étant le rapport, en pourcentage, entre l'amplitude du vecteur représentant un point réel du diagramme et l'amplitude du vecteur de référence représentant un point idéal du diagramme.

Comme dans le cas du BER, la mesure de l'EVM nécessite un équipement de test supportant une modulation numérique pour moduler une séquence de bits aléatoire et un récepteur pour la démodulation et la réception des symboles des données. Un bloc de calcul sera nécessaire pour traiter les données reçues et calculer ensuite l'EVM. Ce test est considéré comme étant l'un des tests le plus coûteux en termes de ressources, de complexité et de temps de test.

2.3 Cas d'étude : LNA CMOS à 2.4 GHz

Le cas d'étude que nous avons traité est un amplificateur cascode à dégénérescence inductive fonctionnant à 2.4 GHz. Ce circuit est généralement utilisé dans les applications à bande étroite notamment les systèmes Wifi et Bluetooth. La figure 2.5 montre l'architecture du circuit (les capacités placés en entrée et en sortie du LNA et qui bloquent l'offset DC en entrée et en sortie ne sont pas présents dans cette figure). L'étage d'entrée assure l'adaptation d'impédance en ajoutant un niveau de bruit mini-

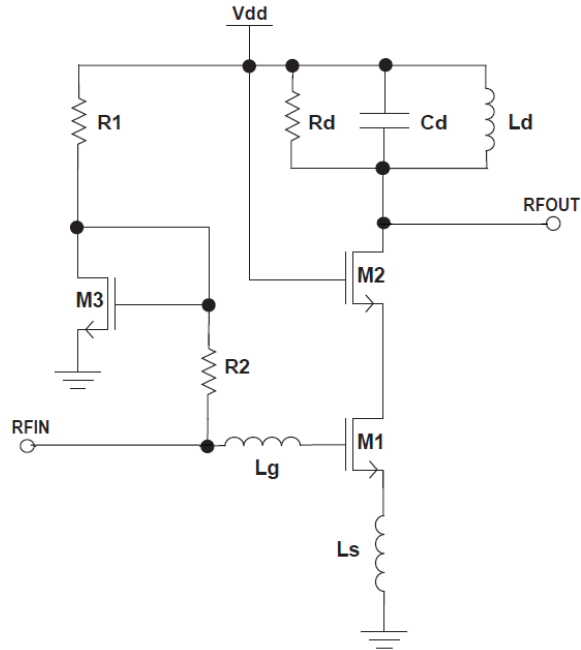


FIGURE 2.5 – Schéma du LNA.

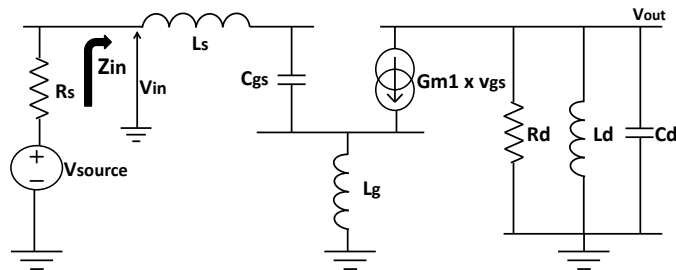


FIGURE 2.6 – Circuit petit signal du LNA

mal. Afin de calculer l'impédance d'entrée, considérons le schéma petit signal du circuit (sans tenir en compte l'effet early) montré dans la figure 2.6. De l'analyse de circuit, nous obtenons

$$-v_{in} + \frac{i_{in}}{sC_{gs}} + sL_g i_{in} + sL_s (i_{in} + Gm_1 v_{gs}) = 0 \quad (2.5)$$

avec v_{in} la tension d'entrée, L_g et L_s les inductances sur la grille et sur la source du transistor M_1 respectivement, Gm_1 la transconductance équivalente des transistors M_1 et M_2 , C_{gs} la capacité entre la grille et la source de M_1 , $s = j\omega$ et ω la pulsation propre du signal. A noter que la transconductance de l'étage cascode (M_1, M_2) est équivalente à celle du transistor M_1 [3]. La tension v_{gs} est la tension entre la grille et la source du transistor M_1 et elle est égale à :

$$v_{gs} = \frac{i_{in}}{sC_{gs}} \quad (2.6)$$

Les équations 2.5 et 2.6 impliquent que :

$$-v_{in} + \frac{1}{sC_{gs}} + sL_g + sL_s + \frac{Gm_1 L_s}{C_{gs}} = 0 \quad (2.7)$$

Impédances d'entrée et de sortie

A partir de l'équation 2.7, on peut déduire l'impédance d'entrée du LNA peut être exprimée par :

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{Gm_1 L_s}{C_{gs}} + s(L_s + L_g) + \frac{1}{sC_{gs}} \quad (2.8)$$

Les conditions d'adaptation d'impédance seront respectées si, à la fréquence de fonctionnement (2.4 GHz), la partie imaginaire de Z_{in} est nulle et la partie réelle est égale à 50Ω . Cela revient à optimiser le dimensionnement de C_{gs} , L_g , L_s et Gm_1 afin de respecter les équations 2.9 et 2.10. On rappelle que C_{gs} et Gm_1 sont, respectivement, proportionnels à $W \times L$ et à W/L , avec W et L la largeur et la longueur du canal du transistor M_1 .

$$W_0(L_s + L_g) = \frac{1}{W_0 C_{gs}} \quad (2.9)$$

$$\frac{Gm_1 L_s}{C_{gs}} = R_s = 50 \quad (2.10)$$

A partir de l'équation 2.8, on pourra déduire le facteur de qualité en entrée du LNA.

$$Q_{in} = \frac{W_0 (L_g + L_s)}{\frac{Gm_1 L_s}{C_{gs}}} \quad (2.11)$$

$$= \frac{1}{W_0 \frac{Gm_1 L_s}{C_{gs}} C_{gs}} = \frac{1}{50 W_0 C_{gs}} \quad (2.12)$$

Gain

L'adaptation d'impédance impacte directement le gain du LNA. L'étage de gain du LNA est formé par les transistors M_1 et M_2 . M_1 provoque un gain élevé et M_2 augmente

le gain du circuit et améliore l'isolation entre la sortie et l'entrée. L'analyse petit signal (figure 2.6) montre que :

$$v_{out} = -Z_d Gm_1 v_{gs} = -Z_d Gm_1 \frac{i_{in}}{sC_{gs}} = \frac{-Z_d Gm_1 \frac{1}{sC_{gs}} v_{in}}{Z_{in}} \quad (2.13)$$

où :

$$Z_d = C_d // L_d // R_d \quad (2.14)$$

A partir de (2.13), on déduit le gain du LNA :

$$Gain = -\frac{\frac{Gm_1 Z_d}{sC_{gs}}}{\frac{Gm_1 L_s}{C_{gs}} + s(L_s + L_g) + \frac{1}{sC_{gs}}} \quad (2.15)$$

L'équation 2.15 montre les paramètres du design qui impactent le gain du circuit en tenant compte des conditions d'adaptation d'impédance à la fréquence de résonance appelées dans les équations (2.16) et (2.17).

$$W_0(L_s + L_g) = \frac{1}{W_0 C_{gs}} \quad (2.16)$$

$$\frac{Gm_1 L_s}{C_{gs}} = R_s = 50\Omega \quad (2.17)$$

Une fois le circuit est adapté l'équation du gain devient :

$$Gain = -Gm_1 Z_d Q_{in} \quad (2.18)$$

Figure de bruit

Le dimensionnement des composants affectant le gain du LNA doit prendre en compte la figure de bruit qui est liée directement à l'étage d'entrée et au gain du LNA. Nous rappelons que l'intérêt de cette performance est critique pour le LNA. Cela peut être explicitement déduit à partir de l'équation de Friis :

$$NF_{total} = NF_1 + \left(\frac{NF_2 - 1}{G_1}\right) + \left(\frac{NF_3 - 1}{G_1 G_2}\right) + \dots + \left(\frac{NF_{n-1}}{G_1 G_2 \dots G_n}\right). \quad (2.19)$$

Cette équation met en relief l'importance du facteur de bruit (NF_1) et du gain (G_1) du premier bloc d'une chaîne cascadiée. NF_1 s'ajoute directement au bruit total du système et c'est pourquoi la figure de bruit du LNA, qui est généralement le premier bloc de la chaîne de réception RF, est très critique. De plus, la sensibilité du récepteur à des signaux de faible puissance dépend directement de cette performance [1]. Afin de bien optimiser la figure de bruit dans notre cas d'étude, nous avons réalisé une analyse

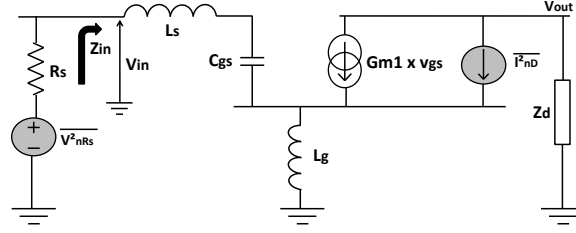


FIGURE 2.7 – Modèle du bruit équivalent

des différentes sources de bruit dans le circuit. Le facteur de bruit est calculé en faisant le rapport entre "le bruit en sortie dû au bruit d'entrée" et "le bruit total en sortie".

En négligeant le bruit de la grille et le bruit $1/f$, le bruit en entrée du circuit dérive principalement de la résistance de la source R_s :

$$V_{nRs}^2(f) = 4 k T R_s \quad (2.20)$$

avec k la constante de Boltzman et T la température absolue exprimée en kelvin. Cela implique que le bruit en sortie du LNA dû au bruit d'entrée est égale à

$$V_{nRs}^2(f) G_p \quad (2.21)$$

avec G_p le gain en puissance entre la sortie et la source v_s en entrée. En supposant que le LNA est matché en entrée et en sortie, à la résonance G_p est exprimé par :

$$G_p = Gain^2 \left(\frac{Z_{in}}{Z_{in} + R_s} \right)^2 = \frac{Gain^2}{4} \quad (2.22)$$

Une deuxième source de bruit est le bruit thermique du canal :

$$V_{nD}^2(f) = I_{nD}^2 Z_d^2 \quad (2.23)$$

avec

$$I_{nD}^2(f) = 4 k T \gamma Gm_1 \quad (2.24)$$

γ est un paramètre relié à la technologie de l'ordre de $2/3$ en considérant le bruit thermique sans l'effet substrat. A noter que l'effet substrat commence à devenir considérable à partir de 10 GHz et au delà. Par conséquent, le facteur du bruit du LNA es exprimé par :

$$F = \frac{V_{nD}^2(f) + V_{nRs}^2(f) G_p}{V_{nRs}^2(f) G_p} = 1 + \frac{V_{nD}^2}{V_{nRs}^2(f) G_p} \quad (2.25)$$

$$= 1 + \frac{4 \gamma}{R_s Gm_1 Q_{in}^2} \quad (2.26)$$

en rappelant que R_s est égale 50Ω et que :

$$Q_{in} = \frac{1}{50 W_0 C_{gs}} \quad (2.27)$$

Non-linéarités

L'étage de polarisation est constitué par les résistances R_1 , R_2 et le transistor M_3 . Cet étage fixe principalement le point de polarisation sur la grille du transistor M_1 qui influence aussi les facteurs de non-linéarités. Afin de réaliser l'analyse de ces facteurs, on suppose que le LNA est un système sans mémoire et invariant dans le temps. La tension présente à sa sortie pour une entrée $V_{in}(t)$ est la suivante [2] :

$$V_{out}(t) = \alpha_1 V_{in}(t) + \alpha_2 V_{in}^2 + \alpha_3 V_{in}^3 \quad (2.28)$$

Pour une entrée $V_{in}(t) = A \cos(\omega t)$, l'équation 2.28 devient :

$$V_{out}(t) = \alpha_1 A \cos(\omega t) + \alpha_2 A^2 \cos^2(\omega t) + \alpha_3 A^3 \cos^3(\omega t) \quad (2.29)$$

$$= \alpha_1 A \cos(\omega t) + \frac{\alpha_2 A^2}{2} (1 + \cos(2\omega t)) + \frac{\alpha_3 A^3}{4} (3 \cos(\omega t) + \cos(3\omega t)) \quad (2.30)$$

$$= \frac{\alpha_2 A^2}{2} + (\alpha_1 A + \frac{3 \alpha_3 A^3}{4}) \cos(\omega t) + \frac{\alpha_2 A^2}{2} \cos(2\omega t) + \frac{\alpha_3 A^3}{4} \cos(3\omega t) \quad (2.31)$$

L'équation 2.31 présente des composantes de fréquence qui sont des multiples entiers de la fréquence fondamentale et montre les non-linéarités à cette fréquence. Nous rappelons que pour un circuit linéaire, le gain petit signal est déduit à partir de l'équation 2.31 en négligeant les facteurs de non-linéarités, le gain égale α_1 . Cependant, en présence de non-linéarités, l'amplitude du signal d'entrée est affecté par le coefficient $\frac{3 \alpha_3 A^3}{4}$ et généralement le gain décroît en augmentant la puissance d'entrée à cause de l'effet de saturation. Ceci implique une valeur négative pour α_3 . En rappelant que le point de compression 1 dB est le niveau d'amplitude en entrée pour lequel le gain à la fréquence fondamentale diminue de 1 dB par rapport au gain linéaire, on déduit que :

$$20 \log(\alpha_1 + \frac{3 \alpha_3 A_{1dB}^2}{4}) = 20 \log(\alpha_1) - 1dB \quad (2.32)$$

$$20 \log(\frac{\alpha_1 + \frac{3 \alpha_3 A_{1dB}^2}{4}}{\alpha_1}) = 20 \log(10^{\frac{-1}{20}}) \quad (2.33)$$

$$A_{1dB}^2 = \frac{4 \alpha_1}{3 \alpha_3} (10^{\frac{-1}{20}} - 1) \quad (2.34)$$

$$A_{1dB} = \sqrt{0.145 \left| \frac{\alpha_1}{\alpha_3} \right|} \quad (2.35)$$

L'équation 2.35 donne la relation entre le point de compression 1 dB et les paramètres comportementaux du LNA. Afin d'extraire la dépendance entre ces paramètres et ceux du transistor, on analyse le circuit en supposant un signal $x(t)$ autour du point de polarisation du transistor M_1 . Basiquement, vu que la longueur du canal est du même ordre de grandeur de la largeur des zones de déplétion du drain et de la source, le courant du transistor s'exprime de la façon suivante :

$$I_D = \frac{\mu_0 C_{ox}}{2[1 + \theta(V_{gs} - V_t)]} \frac{W}{L} (V_{gs} - V_t)^2 \quad (2.36)$$

avec μ_0 et C_{ox} des paramètres dépendants de la technologie, W et L la largeur et la longueur du canal, et θ un facteur relié directement à la vitesse de saturation et à la mobilité des électrons.

Pour un signal $x(t)$ autour du point de polarisation ($V_{gs} - V_t$) du transistor M_1 , l'équation de la tension en sortie devient :

$$V_{out}(t) = Z_d I_D(t) = \frac{K[x(t) + (V_{gs} - V_t)]^2}{(1 + \theta[x(t) + (V_{gs} - V_t)])} \quad (2.37)$$

avec $K = \frac{\mu_0 C_{ox}}{2} \frac{W}{L} Z_{out}$. Vu que θ est très petit par rapport à 1, cela implique [3] :

$$\frac{1}{1 + \theta[x(t) + (V_{gs} - V_t)]} \approx 1 - \frac{\theta[x(t) + (V_{gs} - V_t)]}{2} \quad (2.38)$$

Et l'équation 2.37 devient :

$$V_{out}(t) = K[x(t) + (V_{gs} - V_t)]^2 \left(1 - \frac{\theta[x(t) + (V_{gs} - V_t)]}{2}\right) \quad (2.39)$$

$$= K[x(t) + (V_{gs} - V_t)]^2 - \frac{K\theta}{2}[x(t) + (V_{gs} - V_t)]^3 \quad (2.40)$$

$$= K(V_{gs} - V_t)^2 - \frac{K\theta}{2}(V_{gs} - V_t)^3 + [2K(V_{gs} - V_t) \quad (2.41)$$

$$- \frac{3K\theta}{2}(V_{gs} - V_t)^2]x(t) + [K - \frac{3K\theta(V_{gs} - V_t)}{2}]x^2(t) - \frac{K\theta}{2}x^3(t) \quad (2.42)$$

En comparant 2.41-2.42 et 2.35 et en rappelant que $x(t) = Q_{in} V_{in}(t)$, on déduit que α_1 et α_3 sont égales :

$$\alpha_1 = [2K(V_{gs} - V_t) - \frac{3K\theta}{2}(V_{gs} - V_t)^2] Q_{in} \quad (2.43)$$

$$\alpha_3 = -\frac{K\theta}{2} Q_{in}^3 \quad (2.44)$$

Cela implique que le point de compression 1 dB est égal à :

$$A_{IP1} = \sqrt{0.145 \frac{2K(V_{gs} - V_t) - \frac{3K\theta}{2}(V_{gs} - V_t)^2}{\frac{K\theta}{2} Q_{in}^2}} \quad (2.45)$$

$$= \frac{1}{Q_{in}} \sqrt{0.145 \left[\frac{4(V_{gs} - V_t)}{\theta} - 3(V_{gs} - V_t)^2 \right]} \quad (2.46)$$

En simplifiant l'équation 2.45-2.46 et en rappelant que θ est très petit par rapport à 1, le facteur $3(V_{gs} - V_t)^2$ pourra être ignoré, par conséquent 2.45 devient :

$$A_{IP1} = \frac{1}{Q_{in}} \sqrt{0.145 \frac{4(V_{gs} - V_t)}{\theta}} \quad (2.47)$$

$$= \frac{1}{Q_{in}} \sqrt{0.145 \frac{8I_D}{g_m \theta}} \quad (2.48)$$

L'équation 2.48 montre la relation entre le point de compression 1 dB et la tension de polarisation du transistor M_1 (V_{gs}) fixée par l'étage de polarisation R_1 , M_3 ainsi qu'au rapport $\frac{W}{L}$ du transistor M_1 .

En ce qui concerne l'IP3, on considère à l'entrée du circuit, deux signaux avec des fréquences très proches. Par conséquent, la sortie du circuit provoque des composants qui ne sont pas des harmoniques de la fréquence fondamentale. Dans l'équation 5.8, on considère que $V_{in}(t) = A \cos(W_1 t) + A \cos(W_2 t)$, la sortie du circuit sera [2] :

$$V_{out}(t) = \left[\alpha_1 + \frac{9\alpha_3 A^2}{4} \right] A \cos(w_1(t)) + \dots \quad (2.49)$$

$$+ \frac{3}{4} \alpha_3 A^3 \cos(2w_1 - w_2) + \frac{3}{4} \alpha_3 A^3 \cos(2w_2 - w_1) \quad (2.50)$$

Vu que α_1 est très large par rapport à $\frac{9\alpha_3 A^2}{4}$, l'IP3 est déduit égalisant entre les amplitudes de sortie à la fréquence W_1 et $2W_1 - W_2$:

$$\alpha_1 A_{IP3} = \frac{3\alpha_3 A^3}{4} \quad (2.51)$$

Ce qui implique que l'IP3 est égale à :

$$A_{IP3} = \sqrt{\frac{4}{3} \left| \frac{\alpha_1}{\alpha_3} \right|} \quad (2.52)$$

En suivant la même analyse aboutissant à 2.48, l'équation 2.52 devient :

$$A_{IP3} = \frac{1}{Q_{in}} \sqrt{\frac{16(V_{gs} - V_t)}{3 \theta}} \quad (2.53)$$

$$= \frac{1}{Q_{in}} \sqrt{\frac{32 I_D}{3 g_m \theta}} \quad (2.54)$$

L'analyse précédant montre les principales équations sur lesquelles on s'est basé pour dimensionner notre circuit afin de respecter des spécifications acceptables. La conception et les mesures expérimentales du LNA seront présentées dans les chapitres quatre et six respectivement.

2.4 Conclusion

Dans ce chapitre, on a présenté une vue générale des différents blocs de base utilisés dans un transmetteur RF ainsi que les principales figures de mérite mesurées lors d'un test de production. Par la suite, nous avons présenté le cas d'étude traité dans cette thèse qui est un LNA fonctionnant à 2.4 GHz. On a détaillé une analyse du circuit en montrant les différentes équations qui nous ont permis de dimensionner l'amplificateur afin de respecter les spécifications visées.

Chapitre 3

Test des LNAs

Dans ce chapitre, nous présentons les différents types de défauts présents lors de la fabrication d'un circuit analogique/RF ainsi que les différentes activités de test nécessaires avant la mise du circuit au marché. Ensuite, nous présentons les principales techniques de test proposées dans la littérature afin de diminuer le coût de test des LNAs.

3.1 Sources et conséquences des défauts

La non-idéalité dans le fonctionnement d'un circuit intégré est appelé défaut et l'effet d'un défaut engendrant un circuit non-fonctionnel est défini comme une faute [4]. Autrement dit, la faute est une conséquence d'un défaut, mais il est possible qu'un circuit contenant un défaut reste fonctionnel. Les défauts présents dans un circuit lors de la production sont principalement causés par la non-robustesse du design, le procédé de fabrication et la phase d'encapsulation. Les défauts liés à la conception sont sensés être corrigés lors de la phase de caractérisation avant l'envoi en production grand volume. Cependant, les défauts créés par les variations process globales et locales ainsi que les défauts catastrophiques (*spot defects*) sont les principales sources de fautes qui nécessitent des tests assez coûteux de tous les circuits fabriqués. Par conséquent, un circuit intégré analogique/RF défaillant peut se trouver dans l'une des trois situations suivantes :

- Défaillance catastrophique : le circuit ne fonctionne plus.
- Forte dégradation des performances : le circuit fonctionne toujours, mais certaines de ces performances ont dérivé hors des spécifications.
- Dégradation tolérée des performances : le circuit fonctionne et ses caractéristiques sont incluses dans les marges spécifiées ou à la limite (circuit marginal ou *outlier*).

3.1.1 Variations process globales

Un circuit analogique/RF est largement affecté par les variations process globales parce qu'elles entraînent une violation des spécifications du circuit. Ces variations sont des imperfections qui affectent tous les circuits d'une puce de la même façon. Les variations globales incluent les variations d'un lot de fabrication à un autre lot,

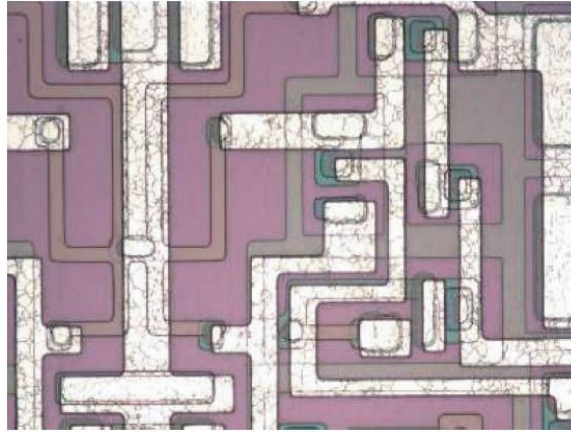


FIGURE 3.1 – Non-alignement des masques

d'une plaquette à une autre plaquette et d'une puce à une autre puce dans une même plaquette. Ces variations dérivent des différentes sources d'imperfections, ci-dessous quelques exemples :

- Des variations dans les équipements de fabrication d'un lot à un autre.
- Une instabilité dans les conditions de procédé de fabrication en termes de changement de valeurs de n'importe quelle variable physique supposée constante, par exemple la température à laquelle le lot de fabrication a été réalisé.
- Des déviations dans les équipements d'une plaquette à une autre spécialement lors de l'utilisation des équipements *single wafer processing*.
- L'imperfection des équipements, par exemple les différentes positions des plaquettes dans un four, une asymétrie affectant le débit du gaz, un gradient thermique dans le four, etc.
- L'imperfection dans le transport non-uniforme lors de l'étape de polissage mécano-chimique.
- L'instabilité du matériel, qui se rapporte à des petites variations dans les compositions chimiques utilisées dans la ligne du process, par exemple la contamination chimique venant des résidus d'un autre process.
- Le non-alignement des masques (voir figure 3.1). Les erreurs dans les translations des alignements sont souvent dominantes parce qu'il y a un grand nombre des masques qui doivent être parfaitement alignés durant les étapes successives du procédé de fabrication.

3.1.2 Variations process locales

Contrairement aux variations process globales, les variations process locales affectent différemment les composants ou les zones sur une même puce. En effet, n'importe quel couple de composants ou de structures identiques fabriquées à partir d'une même ligne de production sont supposées avoir exactement les mêmes performances. Cependant, les variations locales font que ces deux circuits soient différents. Ces défauts sont considérés moins importants que les variations globales pour les technologies au-dessus de 100 nm

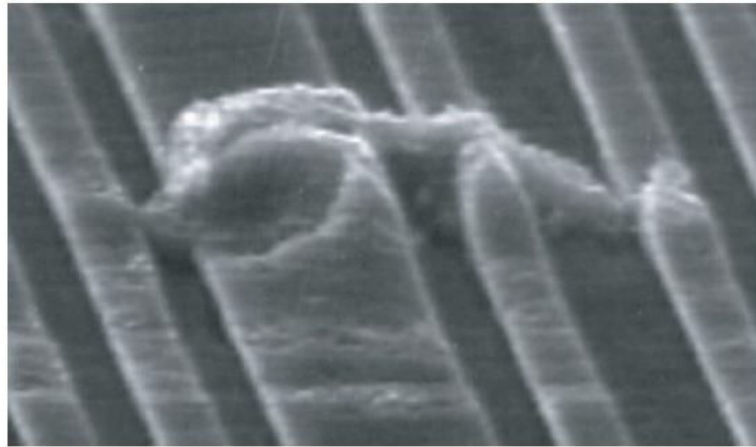


FIGURE 3.2 – Un court-circuit entre les lignes de conduction causé par une particule

[5]. Les sources principales de ces variations sont :

- Le non-appariement des composants au niveau layout.
- La distorsion dans les systèmes photolithographiques impliquant des variations à l'échelle du micromètre.
- Les variations aléatoires qui apparaissent au niveau atomique.
- Les variations de la concentration de dopage.

Ces différents facteurs impliquent des déformations géométriques locales qui affectent de plus en plus les technologies fines étant donné que l'appariement entre deux composants est inversement proportionnel à la racine carrée de la surface de ces composants.

3.1.3 Défauts catastrophiques : *spots defects*

Les *spots defects* sont des défauts catastrophiques aléatoires causés par des particules ou des résidus dans la fabrication et peuvent affecter n'importe quelle zone de la puce. Ces défauts sont introduits dans le procédé de fabrication soit à travers les équipements de production, soit à cause de l'environnement de fabrication et des erreurs humaines. Ils peuvent être des contaminations dans le substrat, des particules dans les couches de métaux (voir figure 3.2), des résidus dans le procédé de fabrication (voir figure 3.3), des poussières sur les masques, etc. D'autres types de défauts sont liés à la mise en boîtier du circuit. Ils sont causés par un circuit-ouvert dans le *bonding* ou un court-circuit entre deux fils de *bonding*, une contamination, un défaut sur le die, etc. Tous ces défauts impliquent un changement de la topologie du circuit et ils engendrent des courts circuits ou des circuits ouverts. Par conséquent, ils peuvent être considérés comme des fautes catastrophiques qui rendent le circuit totalement défectueux.

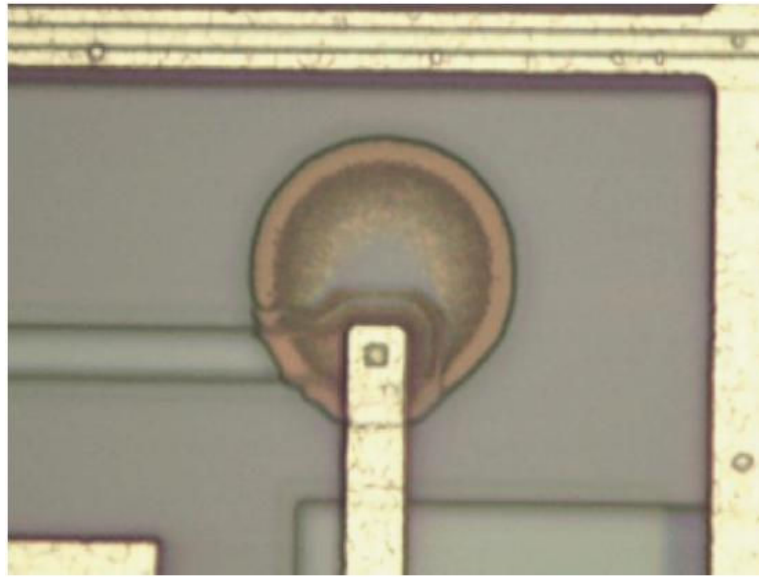


FIGURE 3.3 – Un circuit-ouvert dans le contact causé par un résidu

3.2 Test d'un circuit intégré avant la mise dans le marché

Une fois que les équipes de conception ont validé les spécifications du circuit, les premières plaquettes sont envoyées en fabrication. Différentes activités de test sont nécessaires avant sa mise dans marché.

Phase de caractérisation ou "*ramp-up phase*"

Dans cette phase, les ingénieurs "découvrent" le circuit. Ils évaluent ses performances afin de prévoir la nécessité d'une éventuelle modification au niveau de la conception. Le test des circuits RF implique : a) une configuration spéciale pour chaque performance, b) l'application d'un stimulus spécifique correspondant aux performances visées, et c) un temps d'attente nécessaire à la réponse du circuit et à la mesure de la spécification.

La phase de caractérisation inclut quatre types de test :

- Test de reproductibilité et de répétabilité (*R and R Test : Reproducibility and Repeatability*) : ce test vise à vérifier le comportement du circuit pour différents lots (généralement 3 lots) et avec différents testeurs. Ce test est nécessaire afin de pouvoir ajuster les spécifications du circuit. En plus, il aide l'ingénieur de test à vérifier la robustesse du programme de test qui sera installé dans les différents testeurs lors du test de production.
- Test des "*Split lots*" : ce test est effectué sur des lots ayant des variations process extrêmes. Le but est de vérifier le comportement des circuits pour ce type de variations lors de la production de masse.
- Test de qualité et de fiabilité (*Q and R Test : Quality and Reliability Test*) : ce test consiste à caractériser le comportement du circuit vis-à-vis des décharges électrostatiques, des "latchup" et des variations de température.

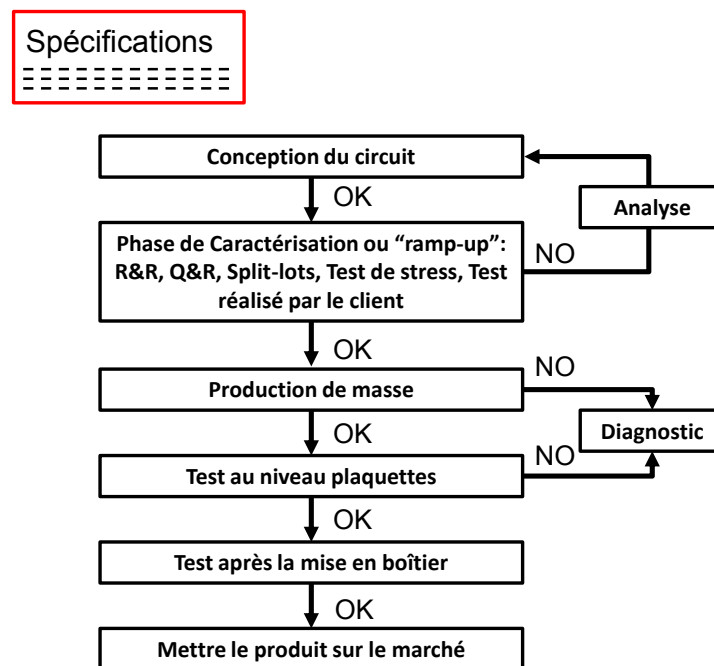


FIGURE 3.4 – Test du circuit intégré avant la mise dans le marché

- Test de stress : dans ce type de test les conditions de l’application visée sont prises en compte. Des variations extrêmes de température, de pression et de champs électromagnétiques pourraient être appliquées au circuit (tout dépend de l’application) afin de vérifier son comportement lors de différentes conditions de stress.

Dans un flot industriel typique, ces différents tests sont initialement réalisés au niveau plaquette avant l’assemblage dans des puces (*packaging*) pour éviter d’assembler un circuit qui est déjà défectueux. Cependant, vu les courts délais de cette phase, un assemblage aveugle (*blind assembling*) pourra être réalisé sur un ensemble des circuits et par la suite les spécifications seront vérifiées dans l’état final. De plus, lors de cette phase, il pourra y avoir une convention entre le fabricant et le client qui consiste à fournir quelques puces fonctionnelles afin de les essayer dans l’application visée et avoir un premier retour.

A la fin de cette phase, les spécifications des clients doivent être satisfaites. En parallèle, les ingénieurs de production :

- fixent avec les ingénieurs de test le programme de test final,
- définissent toutes les couches des masques,
- précisent les caractéristiques et le nombre des cartes d’interface qui seront montées sur le testeur suivant le nombre de circuits qui vont être testés en parallèle,
- précisent le nombre de testeurs nécessaires en fonction du nombre de circuits testés par carte d’interface et du nombre total des circuits fabriqués.

Test de production

Après les différentes itérations de prototypage lors de la phase de "*ramp-up*", le circuit est envoyé en production en grand volume. Cette phase est très critique pour le fabricant, c'est pourquoi dans certains cas il sous traite une partie de la fabrication à un autre fabricant pour éviter des grosses pertes dans le cas d'un problème imprévu au niveau du procédé de fabrication. A l'issue de cette étape, des millions des circuits sont fabriqués. Comme déjà noté, les performances de chaque circuit fabriqué doivent être testées avec les configurations et les stimuli qui correspondent. Ceci augmente énormément le temps et le coût de test.

Le test de production (nommé également test de masse) est impérativement réalisé en deux étapes :

- Le test au niveau plaquettes ("*test on-wafer*") qui exige l'utilisation de sondes spécifiques qui relient les broches d'entrée-sortie du circuit aux ressources électriques des ATE par le biais de la carte d'interface. Ce test est nécessaire pour éviter l'assemblage de mauvais circuits vu que les boîtiers utilisés pour l'assemblage sont chers, spécialement ceux dédiés aux circuits RF.
- Les dies qui passent la première étape sont découpés et encapsulés dans des boîtiers. Par la suite, tous les circuits assemblés doivent être retestés avant d'être envoyés au client.

Pendant le test de production, l'ingénieur de test continue à monitorer le rendement qui pourra se dégrader soit à cause du programme de test soit à cause d'un problème de contact entre les puces et le testeur.

Une fois le test de production est accompli, les puces seront envoyées au client. La détection des problèmes le plutôt possible dans le cycle de vie d'un circuit intégré est très important afin de réduire les pertes. Manifestement, il est beaucoup plus coûteux de détecter un dysfonctionnement une fois le produit est envoyé au client que pendant la phase de caractérisation.

3.3 Equipements automatiques de test

Comme noté précédemment, lors du test de production des millions de circuits seront testés d'où la nécessité des équipements automatisés. Ces équipements sont composés de différentes parties (voir figure 3.5) :

- Une unité centrale comportant les ressources électriques et les instrumentations d'alimentation du testeur.
- Des cartes d'interface entre le CUT et le testeur. Le prix des cartes dédiées aux circuits numériques ou analogiques est de l'ordre de quelques dizaines de kilos Euro cependant ceux dédiées aux circuits RF coûtent des centaines des kilos Euro (au delà de 300).
- Une tête de test contenant tous les équipements électroniques nécessaires pour réaliser les mesures les plus sensibles. Exemples de ces équipements incluent des broches électroniques de contact, des générateurs de signaux et de vecteurs de test, des ressources d'alimentation etc. De plus, le test au niveau plaquettes né-

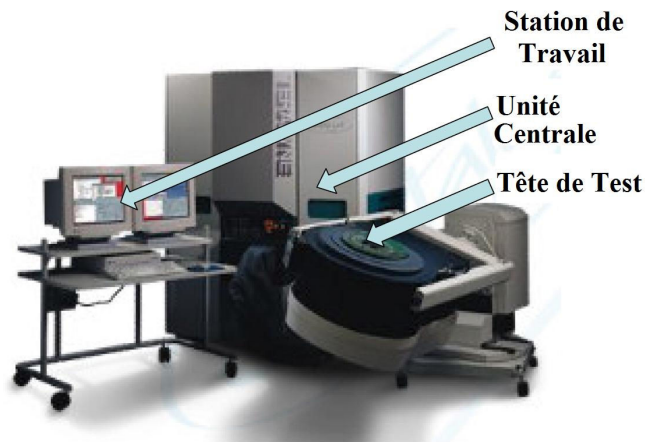


FIGURE 3.5 – Equipement automatique de test

cessite des sondes spécifiques qui connectent les entrées et les sorties des dies aux ressources électriques de la tête de test. Pour les testeurs dédiés aux circuits RF, le coût augmente de plus en plus à cause des fonctionnalités plus sophistiquées, par exemple le générateur de fréquence RF, l'analyseur de spectre RF et l'analyseur de réseaux vectoriel et scalaire, les circuits de modulation et de démodulation numérique, etc. Il existe différents types de tête de test. Le choix de tête de test tient compte de la complexité du CUT en termes de nombre des broches nécessaires pour sa caractérisation entière. De plus, la complexité est directement liée à sa capacité de tester plusieurs circuits en parallèle en utilisant plusieurs cartes d'interface.

- Un manipulateur ou bras articulé qui positionne physiquement les CUTs. Il est programmé de façon à déposer précisément le CUT sur la carte d'interface, contrôler la température de test et finalement sélectionner le placement du circuit après le test (suivant s'il est fonctionnel ou défectueux).
- Un poste de travail qui fournit l'interface humaine avec l'ATE. En effet, chaque testeur est associé à des outils spécifiques afin de réaliser le programme de test. Dans un programme de test, l'ingénieur de test affecte les broches d'entrée, de sortie et de l'alimentation aux pattes du CUT, contrôle le fonctionnement du manipulateur, définit le séquençement des tests à réaliser, définit les stimuli de test et les spécifications du circuit, etc.
- Un robot qui contrôle la programmation des différentes cartes existantes dans le testeur. En effet, le mode intensif de fonctionnement du testeur amène les ingénieurs de test à vérifier chaque trois mois environ les programmes installés sur les cartes hardware existants dans le testeur à l'aide de ce robot. De plus, d'autres opérations de maintenance sont nécessaires pour garantir la fiabilité et le bon fonctionnement du testeur.
- Les équipements indispensables pour refroidir la tête de test ainsi que les cartes électroniques. Ceci est réalisé avec de l'eau circulant dans des tuyaux spécifiques. Généralement deux machines communiquent entre elles afin de réaliser cette tâche,

la première injecte l'eau dans les différents tuyaux qui passent à travers le testeur et la deuxième contrôle la température de l'eau.

A partir de cette brève description, nous observons la grande complexité des ATE, ce qui explique leur coût élevé ainsi que le coût des opérations de maintenance.

3.4 Approche du test intégré pour les LNAs

Différentes techniques ont été proposées dans la littérature visant l'implémentation de l'approche de BIT. Cette approche consiste à intégrer avec le CUT des structures de test qui extraient des informations sur son comportement. De plus, la mesure des signaux en sortie de ces structures ne doit pas nécessiter des équipements de test sophistiqués. Dans un tel scénario, lors du test, le CUT est jugé comme étant fonctionnel ou défectueux en se basant sur les limites de test fixées en avance pour ces signaux. Dans cette section, nous présentons en détail les différentes techniques appliquées pour les LNAs.

3.4.1 Mesure des tensions continues

La façon la plus simple pour monitorer un CUT est la mesure de la tension continue sur certains noeuds critiques [6]. Le nombre et le choix de ces noeuds dépend de la complexité et de l'architecture du CUT. Une bonne compréhension du circuit permettra de choisir un nombre minimum de points de test. L'intérêt de mesurer les tensions continues vient du fait qu'un circuit analogique/RF est composé de nombreux éléments actifs et passifs bien dimensionnés pour définir les points d'opération. Lorsqu'une faute affecte l'un de ces composants, il y aura une modification de ses caractéristiques qui engendrera une variation des tensions de polarisation. C'est pourquoi les mesures DC permettent de détecter de nombreuses fautes affectant à la fois les éléments actifs et passifs des circuits analogiques/RF. Cependant, le principal inconvénient d'une telle technique est l'insensibilité aux défauts des inductances et des capacités. Un circuit-ouvert au niveau de l'inductance ou un court-circuit au niveau de la capacité ne font pas varier les points de polarisation. D'où la nécessité d'exciter le circuit avec un signal RF et d'extraire des signatures basse fréquence proportionnelles à la réponse du CUT.

3.4.2 Mesure de l'amplitude du signal RF

L'une des techniques BIT consiste à connecter des capteurs d'amplitude aux différents noeuds critiques du LNA. Ces capteurs présentent en sortie des signaux basse fréquence/DC proportionnels à l'amplitude du signal RF. Différentes architectures ont été proposées [7] [8] [9] [10]. Elles sont principalement basées sur le schéma bloc montré dans la figure 3.6. Le premier étage consiste à convertir le signal d'entrée RF en courant. Le deuxième étage provoque un redressement et à sa sortie au troisième étage, un filtre passe-bas extrait l'amplitude DC directement proportionnelle à l'amplitude RF en entrée. Les caractéristiques qui distinguent ces capteurs sont a) la sensibilité, b) la dynamique, c) la plage de fréquence de fonctionnement, et d) la complexité. Toutefois, le choix du capteur d'amplitude dépendra du cas d'étude et de l'application de test.

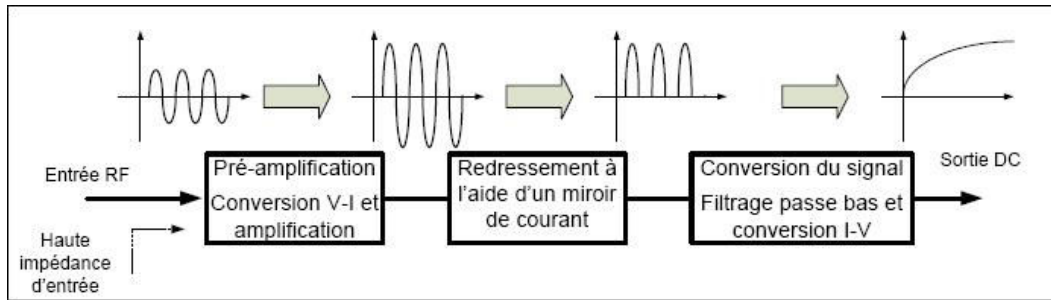


FIGURE 3.6 – Principaux blocs du détecteur d’enveloppe proposé dans [11]

Afin de tester le LNA, l’approche proposée consiste à placer ces capteurs en entrée et en sortie du LNA. La mesure de gain est assurée en réalisant la différence en dB entre les deux sorties des capteurs. La mesure du point de compression 1 dB est aussi possible, dans le cas où l’on augmente l’amplitude du signal d’entrée jusqu’à observer une différence correspondant à un décibel entre le niveau de sortie du détecteur connecté en entrée du CUT et le niveau de sortie du détecteur connecté en sortie du CUT. D’autres figures de mérites (par exemple IP3, NF etc.) ne pourront pas être vérifiées avec ce type d’implémentation.

3.4.3 Mesure du courant

La mesure du courant a été initialement développée pour le test des circuits numériques. L’avantage de cette technique est qu’elle permet d’atteindre un grand taux de couverture de fautes [12] [13]. En effet, un circuit défectueux consomme un courant d’alimentation très différent de celui d’un circuit fonctionnel. D’autre part, le courant dynamique est sensible aux différents types de fautes affectant les composants actifs et passifs. Ce courant pourrait être extrait par l’intermédiaire d’un capteur de courant intégré (*BICS : Built-In Current Sensor*). Afin de détecter les variations du courant dynamique, le capteur doit fonctionner à la fréquence du CUT. De plus, la sensibilité aux faibles variations du courant est nécessaire afin d’augmenter le taux de couverture des défauts.

Dans la littérature, différentes architectures ont été proposées [14] [15] [16] [17]. Le principe de ces capteurs est basé sur l’utilisation d’un élément sensible en série avec le CUT sur la ligne d’alimentation (par exemple, une résistance de faible valeur). Les variations de la chute de tension aux bornes de la résistance sont détectées et amplifiées par le capteur. Par conséquent, la sortie du capteur sera une image du courant du CUT. Il est évident que plus la résistance de l’élément sensible est grande, plus la sensibilité augmente mais en contrepartie ceci provoque une grande chute de tension aux bornes du CUT ce qui dégrade ses performances. Dans [16] une architecture BIT complète basé sur ce principe est implémenté en intégrant un BICS, des comparateurs ainsi que des circuiteries logiques pour obtenir des sorties digitales. La tension en sortie du BICS est comparée à des tensions de seuil (V_{min} , V_{max}) et un bit en sortie déclare le bon ou le mauvais fonctionnement. Le circuit de test est validé en injectant différents types de défauts dans un LNA fonctionnant à 2.4 GHz.

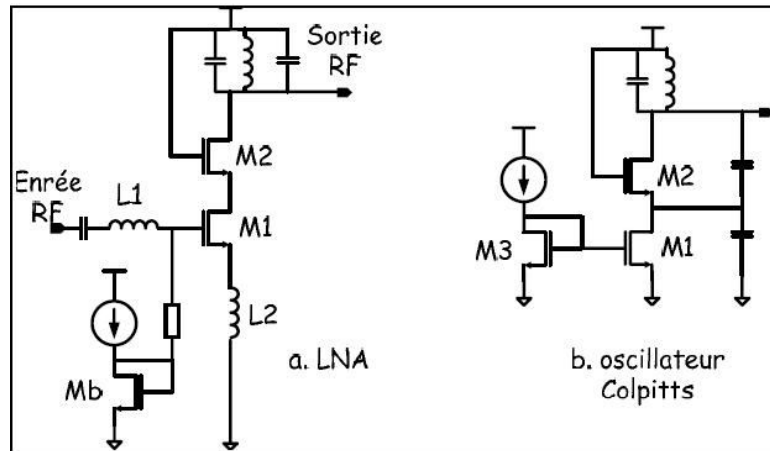


FIGURE 3.7 – LNA et oscillateur Colpitts

3.4.4 Corrélation entre la tension et le courant dynamiques

Cette technique vise à extraire une signature de la puissance du CUT en réalisant la corrélation entre le courant dynamique et le signal en sortie [18]. Afin d'appliquer cette technique, une cellule de corrélation a été proposée (*cross-correlator*). Elle nécessite en entrée deux signatures basse fréquence du signal de sortie et du courant dynamique. Ceci est réalisé par l'utilisation d'un capteur d'amplitude et d'un capteur de courant dont leurs sorties seront connectées aux entrées du cross-correlator. Cette technique a été validée sur un amplificateur de puissance et a montré une couverture de fautes satisfaisante.

3.4.5 Technique de reconfiguration

La reconfiguration du CUT permet de le tester en éliminant le besoin d'un stimulus de test. Cette technique consiste à reconfigurer le CUT en un circuit qui oscille lors de l'étape de test. Ceci est accompli en introduisant une contre-réaction ou en modifiant les composants d'une contre réaction existante tout en ajoutant des composants et des switches. Cette technique est appliquée pour des LNA ayant des architectures reconfigurables en oscillateur [19] en se basant sur la ressemblance entre l'architecture d'un LNA et d'un oscillateur Colpitts (voir figure 3.7). Les mesures de test extraites sont l'amplitude et la fréquence des oscillations qui sont comparées à des valeurs de référence pour déterminer si le CUT est fautif ou non. Dans [19], le taux de couverture de fautes catastrophiques est de 90 %, celui des fautes paramétriques est de 75 %.

3.4.6 Test par boucle de retour : *Loopback*

La technique de *Loopback* permet de tester une chaîne complète d'émission et de réception en boucle fermée. Pendant la phase de test, l'émetteur est connecté au récepteur en ajoutant un interrupteur et un atténuateur qui permet d'adapter le niveau de l'amplitude en sortie de l'émetteur à celui en entrée du récepteur. Par la suite, une

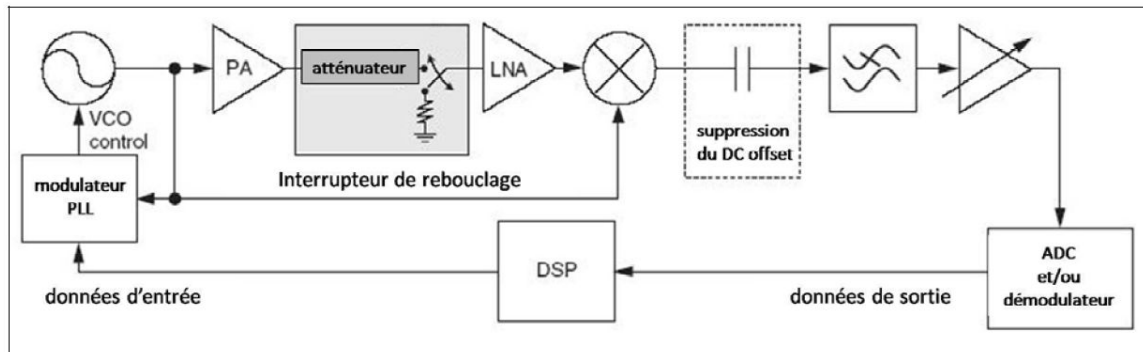


FIGURE 3.8 – Schema du principe de test par boucle de retour

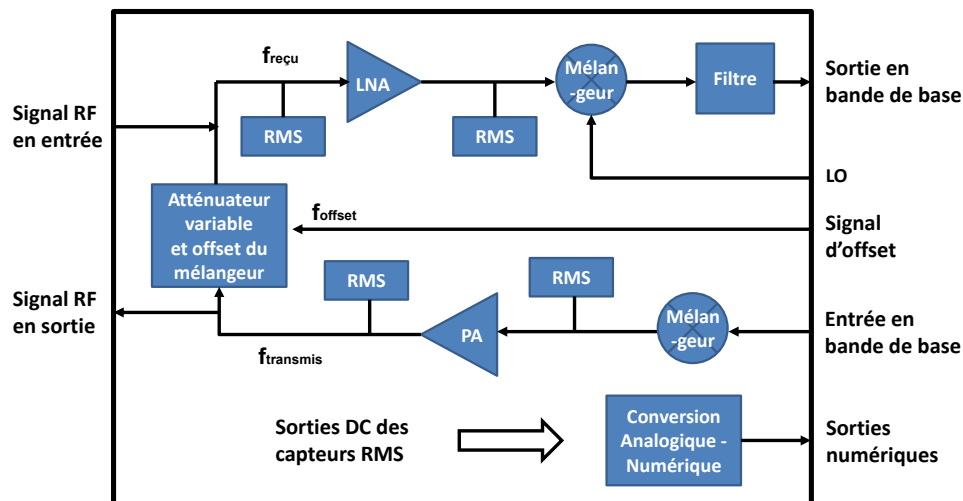


FIGURE 3.9 – Schema du principe de test par boucle de retour avec des capteurs d'enveloppe

comparaison des données d'entrée et des données de sortie permet de déterminer si le système est fonctionnel ou défectueux. Cette technique ne requiert pas de stimuli extérieurs et permet de détecter les fautes catastrophiques sur le chemin du signal RF [20]. L'inconvénient principal est qu'un certain nombre de fautes sont masquées, par exemple un PA ayant un grand gain pourra compenser le gain dégradé d'un LNA fautif [21]. [22] présente une évolution de la technique de loopback (voir figure 3.9) en insérant des capteurs d'enveloppe sur différents noeuds critiques spécialement en entrée et en sortie des blocs RF. L'intérêt de ces capteurs est qu'ils évitent le masquage des fautes vue leur habilité à mesurer le gain et le point de compression 1 dB de différents blocs.

3.4.7 Mesures thermiques

Une amélioration de l'approche BIT est présentée dans [41, 42]. Ces travaux consistent à monitorer le circuit RF sans aucun contact électrique avec le chemin du signal. Ceci

implique que les performances du CUT ne sont pas dégradées et par conséquent il n'y a aucune nécessité de redimensionner ses composants contrairement aux techniques proposées précédemment.

Le principe est basé sur le fait que lorsqu'un circuit dissipe de la puissance, il s'échauffe. Ainsi la température du CUT est considérée comme étant une information corrélée directement à sa puissance et par conséquent à son comportement. Dans ces travaux, un capteur de température est proposé afin d'extraire le gradient thermique au voisinage du CUT. Des résultats expérimentaux ont montré l'habileté d'extraire le point de compression 1 dB et la bande de fréquences d'un LNA à partir de la sortie du capteur de température.

3.5 Approche du test alternatif

L'approche du test alternatif a été proposée par le groupe de Chatterje et al. [23] [24] [25] [26]. Cette approche consiste, en premier temps, à construire les fonctions de régression qui relient des simples mesures de test aux performances du CUT. Ensuite, lors de la phase de test, les performances du CUT seront prédites en utilisant les fonctions de régressions et les mesures de test et ceci évite la mesure directe des performances. Des exemples des mesures de test incluent les techniques de BIT détaillées dans la section précédente d'où le test alternatif pourrait être vu comme une approche complémentaire à l'approche BIT qui consiste à ne pas se limiter à juger si le circuit est fonctionnel ou défectueux mais allez plus loin et prédire ses performances. Ceci est intéressant pour l'industrie des semi-conducteurs vu que ça permet de ne pas jeter tous les circuits qui ne respectent pas une certaine spécification mais plutôt viser une autre application avec ces circuits ou les vendre moins chers.

Le principe de test alternatif est basé sur le fait que les variations des paramètres de process (par exemple la longueur du canal d'un transistor MOS, la tension de seuil, etc.) affectent simultanément les performances d'un CUT (par exemple le gain, la figure de bruit, etc.) et les mesures qui pourraient être extraites de ce CUT. La figure 3.10 explique l'idée de base : en effet, pour n'importe quel point ' p ' dans l'espace des paramètres de process ' P ', on pourra estimer une fonction de régression qui relie ce point à un point ' s ' dans l'espace des performances ' S '. De même, des fonctions de régression pourront être estimées entre des points ' p ' de l'espace ' P ' et des points ' m ' de l'espace de mesures ' M '. Ainsi, une fonction de régression permet de relier une performance à une ou plusieurs mesures peut être construite. Par conséquent, les performances seront prédites à partir des mesures alternatives. A noter, que chaque fonction de régression doit être construite avec un échantillon des performances et des mesures ayant des variations représentatives du procédé de fabrication.

L'approche telle qu'expliquée ci-dessus doit encore être complétée. En 2009, Stratigopoulos et al. [27] ont démontré la nécessité d'un filtre de défauts qui élimine les CUTs ayant des performances et/ou des mesures aberrantes. Cette étape est primordiale dans l'application du test alternatif, autrement ces circuits sont jugés aléatoirement, ce qui donne une certaine probabilité pour un circuit défectueux de passer le test. Cette idée sera développée en détail dans la section suivante.

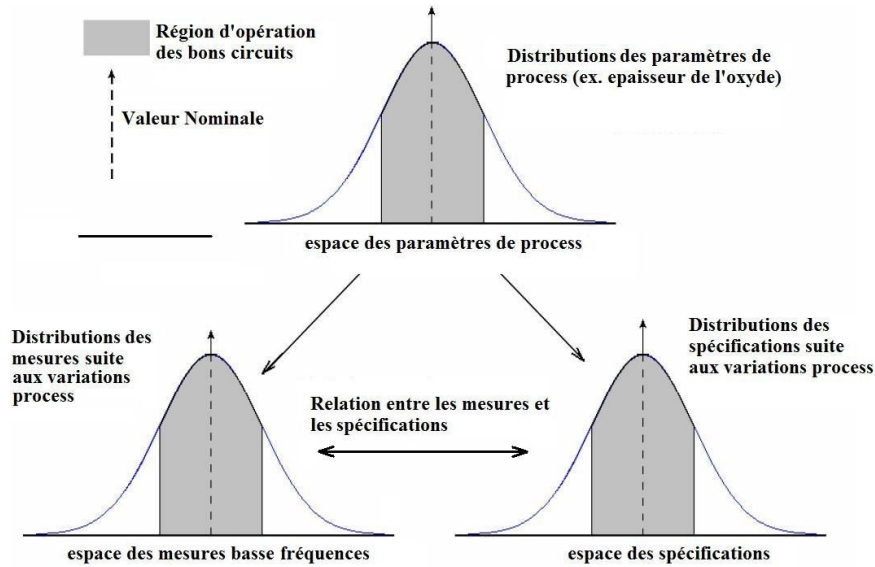


FIGURE 3.10 – Effet des variations process sur l'espace des mesures et des spécifications

3.5.1 Application du flot de test alternatif

L'application de l'approche du test alternatif est impérativement divisée en deux phases : une phase d'entraînement et une phase de test.

Phase d'entraînement

La figure 3.11 (a) montre la procédure adoptée dans la phase d'entraînement. L'objectif de cette phase est de construire les différentes fonctions de régression dont chacune relie un ensemble des mesures alternatives à une performance du circuit. Le nombre de fonctions de régression requis est donc égal au nombre des performances visées. Nous rappelons que l'extraction des mesures alternatives devrait être simple par rapport aux mesures des performances en termes de coût et temps de test. Afin de construire les fonctions de régression différents algorithmes ont été adoptés, notamment l'outil MARS (*Multivariate Adaptive Regression Splines*), les réseaux des neurones, les machines à vecteurs de support, etc.

En parallèle, lors de cette étape un filtre de défauts est construit à partir des mesures alternatives afin de détecter les *outliers*. Le filtre de défauts implémenté dans [28] est entraîné en estimant la densité de probabilité de différentes mesures alternatives en utilisant la méthode non-paramétrique du noyau adaptatif. En effet, ce filtre est un classificateur à une seule classe dont le principal avantage est que les données d'entraînement doivent contenir uniquement les objets de la classe qui doivent être distingués du reste. Ceci est différent de la méthode de classification traditionnelle qui vise à distinguer entre deux ou plusieurs classes à partir des données d'apprentissage contenant les objets de toutes les classes. C'est pourquoi, dans une approche de test alternatif, le filtre de défauts peut exclure tous les *outliers* sans exigence d'employer les mesures de ce type des circuits lors de l'entraînement du filtre. Pour un cas d'étude industriel,

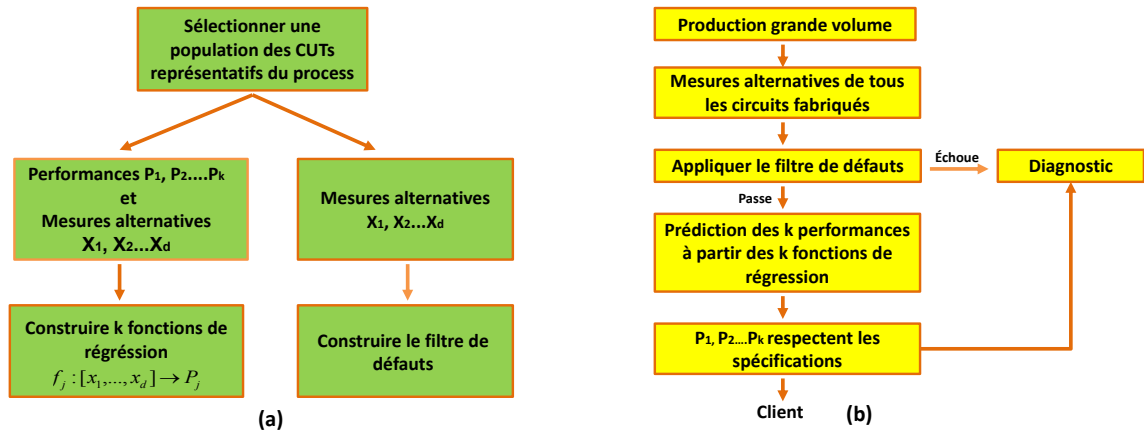


FIGURE 3.11 – Application du flot de test alternatif

cette étape est accomplie pendant la phase de prototypage du produit. Comme déjà expliqué, lors de ces phases les ingénieurs de test pourront obtenir un grand nombre de circuits qui dérivent de différents lots de fabrication ainsi que de différentes plaquettes et de différents coins dans une même plaquette. Ceci implique que cette phase d'entraînement ne représente pas une étape additionnelle et pourra être incluse dans le flot de développement d'un produit.

3.5.2 Phase de test

La figure 3.11 (b) montre l'implémentation d'un test de production en utilisant l'approche de test alternatif. Après la production de masse, les mesures alternatives sont extraites et appliquées en entrée du filtre de défauts. Les mesures qui passent le filtre proviennent donc des circuits qui ont subi des variations process dans les marges prévus. Ces mesures seront par la suite appliquées aux différentes fonctions de régression afin de prédire les performances du CUT. Finalement, les circuits dont les performances respectent les spécifications seront envoyés au client. Les mesures qui ne passent pas le filtre de défauts proviennent forcément de circuits marginaux ou de circuits non-fonctionnels, ceci est ensuite défini dans une étape ultérieure de diagnostic.

3.6 Test alternatif appliqué aux circuits RF

Différents travaux de recherche ont visé l'application de l'approche de test alternatif pour les circuits RF. Les idées sont focalisées sur l'optimisation du stimulus de test en entrée des CUTs et sur les mesures alternatives extraites. [29] propose un algorithme pour optimiser un signal sinusoïdal en entrée d'un LNA fonctionnant à 900 MHz. Le but est de montrer le stimulus qui présente la meilleure prédiction avec un faible coût en équipement. Dans ces travaux, la réponse du LNA sera échantillonnée en utilisant une carte de test extérieure afin de prédire le NF, le point de compression 1 dB et l'IP3. [30] implémente une technique montrée dans la figure 3.12. L'objectif est d'éliminer la nécessité d'utiliser des équipements RF. Lors de l'étape de test, un mélangeur transpose

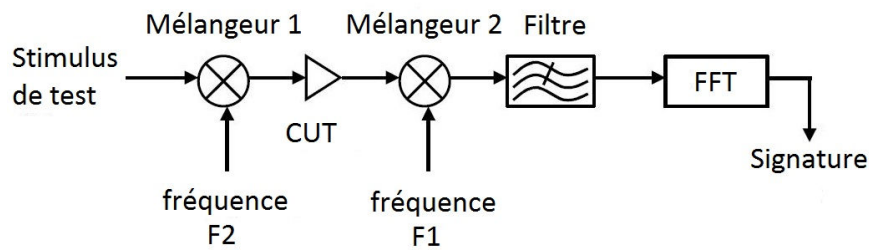


FIGURE 3.12 – Architecture de test alternatif proposée par [30]

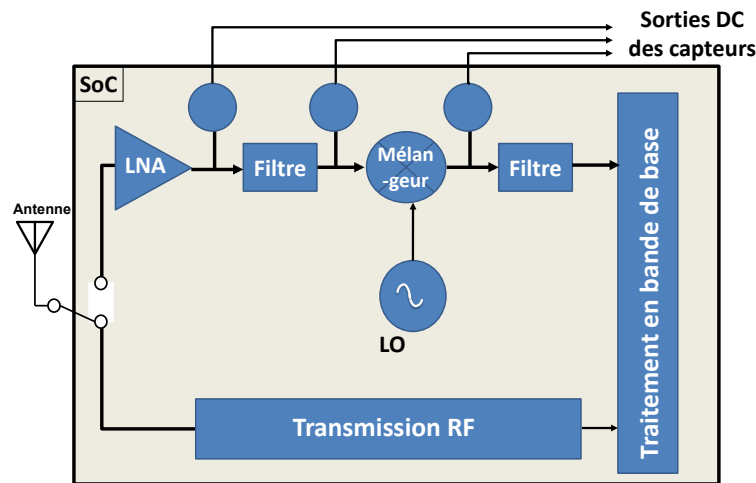


FIGURE 3.13 – Architecture de test alternatif proposée par [31]

la fréquence du stimulus de la bande de base à la fréquence de fonctionnement d'un LNA (900 MHz). La réponse du circuit entre dans un mélangeur suivi d'un filtre passe-bas pour repasser à la bande de base. Une fonction de régression est construite afin de relier l'amplitude de la transformée de Fourier en sortie du filtre passe-bas avec les performances. Dans une telle approche, la carte de test doit inclure les deux mélangeurs, le filtre passe-bas ainsi qu'un DSP pour calculer la transformée de Fourier.

[31] propose d'utiliser les sorties des capteurs embarqués reliés aux différents noeuds d'un circuit ou d'un système RF pour prédire ses performances. La figure 3.13 montre le principe de cette approche. Un algorithme sert à sélectionner les noeuds auxquels les capteurs seront connectés afin d'avoir une bonne précision. Les spécifications prédites sont le gain et l'IP3 d'un LNA et d'un mélangeur ainsi que celles de la chaîne (LNA et mélangeur).

Le même principe est adopté par [32] en utilisant différentes architectures de capteurs d'amplitude. Egalement, [33] prédit le gain, le point de compression 1 dB et l'IP3 d'un front end de réception RF en plaçant deux détecteurs d'amplitude à la sortie du LNA et à la sortie du mélangeur. [34] propose la technique montrée dans la figure 3.14. Le principe est que la réponse en sortie d'un CUT à un stimulus sinusoïdal comporte l'information à la fréquence de fonctionnement ainsi que différents harmoniques. Cette réponse est comparé à un bruit aléatoire en utilisant un comparateur analogique à 1 bit.

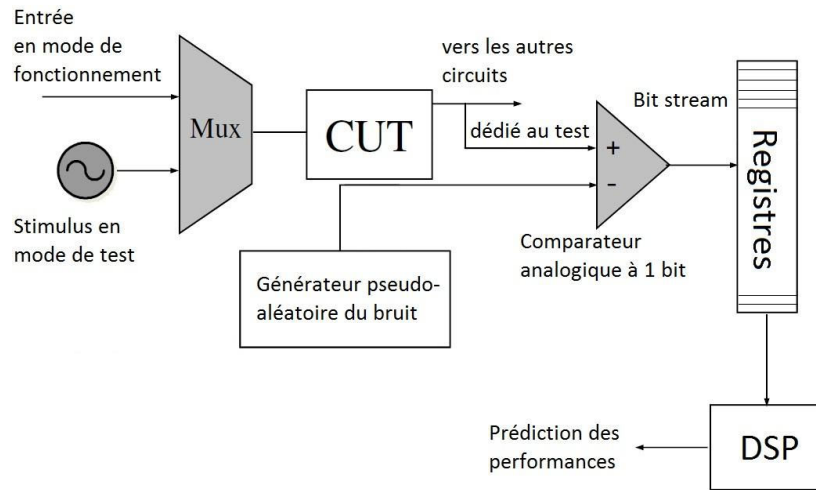


FIGURE 3.14 – Architecture de test alternatif proposée par [34]

L'ensemble des bits récupérés à la sortie du comparateur pour différents cycles peut être vu comme étant l'image du spectre original à la sortie du CUT avec l'ajout d'un bruit. Ceci est équivalent à un échantillonnage aléatoire du signal en sortie du CUT. Ensuite, un algorithme est implémenté dans un DSP afin d'extraire les informations requises pour suivre le comportement du CUT. À partir de ces informations, la fonction de régression est construite afin de prédire l'IP3, le point de compression 1 dB et le NF. La technique a montré des bons résultats pour un LNA et pour un mélangeur.

3.7 Avantages et défis du test alternatif avec un BIT

L'approche du test alternatif avec des circuits BIT présente les avantages suivants :

- Réduire la complexité du test.
- Réduire les ressources nécessaires dans les ATE.
- Permettre un test parallèle vu que les ATE présentent un grand nombre de pins analogiques/DC compatibles avec les sorties BIT ce qui n'est pas le cas pour les pins RF.
- Réduire le temps de test.
- Améliorer la testabilité du CUT et localiser les fautes.
- Réduire les problèmes liés au bruit, à l'intégrité du signal et à l'interférence électromagnétique.

Cependant, cette approche présente les défis suivants :

- Les structures de test : a) doivent occuper une faible surface avec des simples architectures, b) doivent être facilement testables et c) doivent être transparentes vis-à-vis du CUT. De plus, toutes les techniques déjà proposées nécessitent que les structures de test soient connectées au chemin du signal RF et ceci dégrade l'adaptation d'impédance et par conséquent les performances du CUT.
- La qualité de ces techniques de test doit être évaluée afin de vérifier si un CUT fautif passe le test et inversement si un CUT fonctionnel sera rejeté [4], [35], [36].

L'avantage du test alternatif plus avancé par rapport à l'approche BIT c'est la prédiction de toutes les performances RF sans aucun coût additionnel par rapport à une technique BIT sans test alternatif. Il est vrai que quelques techniques BIT proposées visent à mesurer indirectement le gain et le point de compression 1 dB. Par contre, il n'y a aucune méthode permettant de vérifier toutes les performances d'un circuit RF. En utilisant le test alternatif, les principales performances d'un circuit RF pourraient être prédites.

3.8 Conclusion

Dans ce chapitre, nous avons présenté les principales sources de défauts lors de la fabrication d'un circuit intégré. L'imperfection du procédé de fabrication et de l'étape d'encapsulation obligent les ingénieurs de test à tester tous les circuits fabriqués afin de vérifier que leurs performances respectent les spécifications.

Vu le coût et le temps de test nécessaire pour un test RF de production, différentes approches ont été proposées qui visent à réduire la complexité et le temps de test. L'approche BIT consiste à intégrer avec le CUT des structures de test qui extraient des informations sur son comportement. De plus, la mesure des signaux en sortie de ces structures ne nécessite pas des équipements de test sophistiqués. Dans un tel scénario, lors du test, le CUT est jugé comme étant fonctionnel ou défectueux en se basant sur les limites de test prédéfinies pour ces signaux. Cependant, une approche plus avancée consiste à prédire les performances du CUT à partir d'un ensemble réduit de mesures de test. Le principe de test alternatif est basé sur le fait que les paramètres de process affectent simultanément les performances d'un CUT ainsi que les mesures de test. De ce fait, une fonction reliant les mesures simples aux performances RF pourra être construite et par conséquent lors d'un test de production uniquement les mesures de test sont effectuées et les performances seront prédites.

Ces approches permettent de réduire le temps, la complexité et par conséquent le coût de test. Cependant, elles nécessitent d'intégrer des structures de test qui seront, en général, connectées au chemin du signal RF ce qui les rend intrusives.

Les travaux de cette thèse visent en premier temps la proposition de capteurs embarqués ayant une architecture simple afin d'implémenter le flot complet du test alternatif intégré y compris la détection des défauts et la prédiction des performances. Dans un second temps, des capteurs embarqués non intrusifs sont proposés, et ceci représente une solution de test qui ne dégrade pas les performances du CUT et qui ne nécessite aucune modification au niveau de la conception.

Chapitre 4

Capteurs intrusifs

4.1 Introduction

Vu les avantages cités dans le chapitre précédant, nous avons suivi l'approche du test intégré combiné au test alternatif. L'adoption de cette stratégie emmène les ingénieurs de test et les ingénieurs de conception à développer un plan de test bien en avance par rapport à la phase de production de masse. Ceci consiste à intégrer dans la puce des structures de test lors de l'étape de conception. Dans ces travaux de thèse, nous nous sommes spécialement intéressés au développement des capteurs présentant des mesures basses fréquences qui suivent le comportement RF du CUT. Ces capteurs augmentent l'observabilité des différents blocs et améliorent la testabilité de la puce ce qui est spécialement intéressant pour des systèmes complexes ayant des accès de test limités. Dans cette approche, les mesures des capteurs doivent permettre la prédiction des performances des blocs RF et la détection des défauts catastrophiques dans le CUT. De plus, les mesures de ces capteurs peuvent être utilisées pour le test en ligne (*on-line test*).

Dans ce chapitre, nous présentons une implémentation complète du test alternatif en utilisant des simples capteurs embarqués connectés aux noeuds critiques d'un LNA fonctionnant à 2.4 GHz. Les capteurs présentés dans ce chapitre sont un capteur d'enveloppe, un capteur de courant et des probes DC. L'implémentation de la méthodologie de test inclut la construction du filtre de défauts à partir des mesures de ces capteurs tout en montrant la capacité de ce filtre à détecter les circuits défectueux sans avoir aucune information sur le modèle des défauts. De plus, plusieurs fonctions de régression qui relient les mesures des capteurs aux performances du LNA (ex. gain, NF, IIP3 etc.) sont construites afin de prédire ces performances en utilisant des simples mesures.

4.2 Conception des capteurs embarqués

Dans cette section, nous présentons les différents capteurs embarqués. Tout d'abord, nous rappelons les défis confrontés lors de la conception de n'importe quel capteur dédié au test :

- Le capteur doit extraire des mesures qui suivent le comportement du CUT.

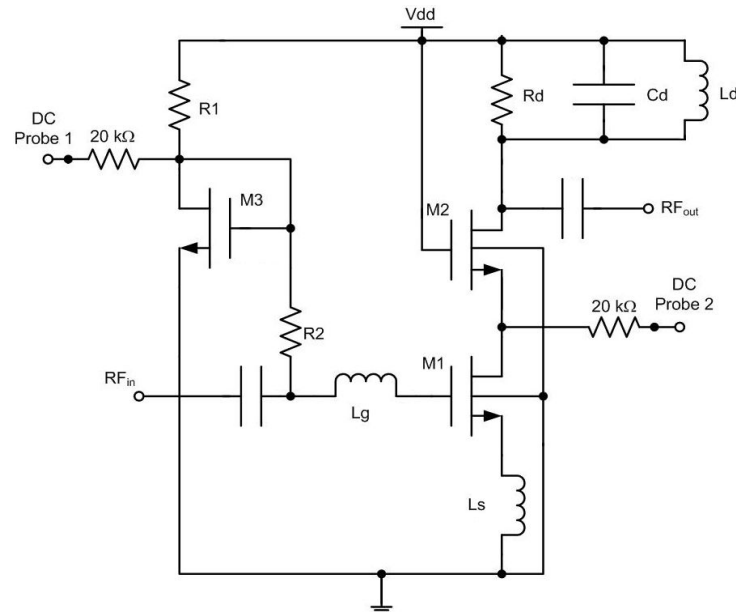


FIGURE 4.1 – Les probes DC connectées aux noeuds critiques du LNA

- Le capteur doit être facilement testable et doit détecter les défauts à l'intérieur du CUT.
- Le capteur doit occuper une faible surface tout en ayant aussi une architecture simple pour minimiser la probabilité d'occurrence d'une faute au sein du capteur.
- Le capteur ne doit pas dégrader les performances du CUT.
- Le capteur doit fournir des mesures basses fréquences pour pouvoir assurer le test de plusieurs puces en parallèle.

4.2.1 Probes DC

La façon la plus simple permettant de suivre le comportement du CUT et de détecter les circuits défectueux consiste à utiliser tout simplement des probes DC. Une probe DC est une résistance de grande valeur qui, connectée à un noeud critique du CUT, permet d'extraire des informations sur son point d'opération. Pour le LNA considéré dans la figure 4.1, nous avons placé deux probes DC. Une première probe DC est placée sur le drain du transistor M_3 pour monitorer l'étage de polarisation du LNA et une deuxième probe est placée sur le noeud commun entre le drain du transistor M_1 et la source du transistor M_2 pour surveiller l'étage de gain et l'étage de sortie. En premier temps, nous supposons qu'une faute au niveau des transistors et des résistances pourra être détectée par ces probes DC. Cependant, le principal inconvénient est que ces mesures DC ne sont pas sensibles aux variations au niveau des inductances et des capacités. Particulièrement, elles ne peuvent pas détecter un court-circuit d'une inductance ou un circuit-ouvert d'une capacité.

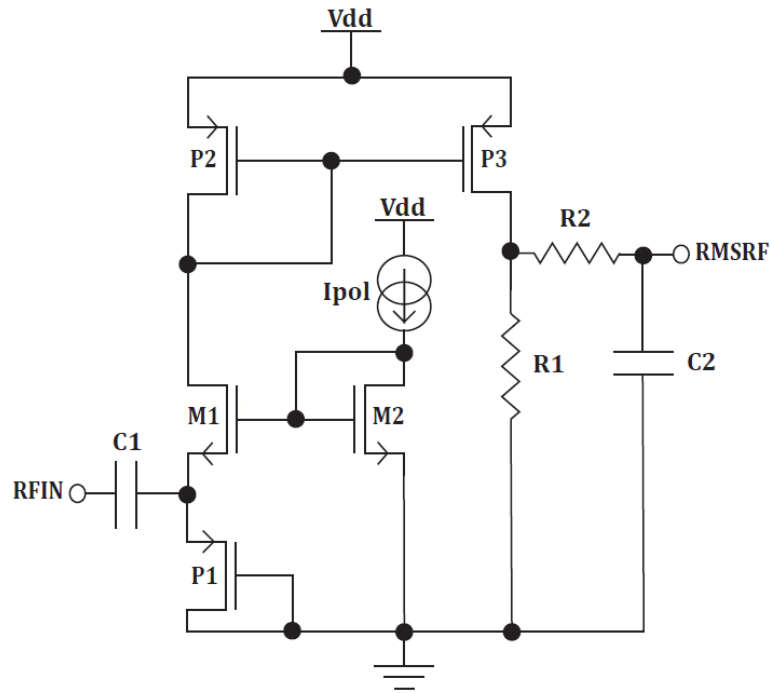


FIGURE 4.2 – Capteur d’enveloppe avec une architecture simplifiée

4.2.2 Capteur d’enveloppe

Afin de détecter les variations liées aux capacités et aux inductances, il faut exciter le LNA avec un stimulus de haute fréquence. L’un des capteurs proposés dans la littérature pour récupérer l’information RF à partir d’une mesure basse fréquence est le capteur d’enveloppe. En s’inspirant des architectures existantes dans la littérature, nous avons développé une architecture simple en fonction de nos besoins de façon à respecter les contraintes suivantes :

- Une surface minimale et une architecture très simple.
- Une grande impédance en entrée du capteur d’enveloppe pour éviter une large dégradation des performances du LNA.
- Une large bande de fréquence de fonctionnement qui couvre celle du LNA ainsi que d’autres blocs fonctionnant à différentes fréquences en visant dans le futur une stratégie de test au niveau système (ex. LNA, mélangeur).
- Une grande dynamique afin de pouvoir connecter le capteur à des blocs ayant différents niveaux de puissance (ex. LNA, PA).
- Une robustesse aux variations process afin de pouvoir extraire des mesures qui suivent mieux les variations des performances du CUT.

Le capteur d’enveloppe, montré dans la figure 4.2, est constitué principalement d’un redresseur mono-alternance suivi d’un filtre passe-bas. Le redresseur mono-alternance est constitué du transistor M_1 , M_2 et I_{pol} . Le transistor M_2 est polarisé en faible inversion. Son point d’opération est contrôlé par le courant I_{pol} via le transistor M_1 connecté en diode. La différence de potentiel entre la grille et la source de M_2 est fixée à la limite

du point de conduction. Lorsque le courant traversant la source de M_2 est positif, la tension de source du transistor M_2 croît, ce qui le rend bloqué et par conséquent le courant passera vers la masse à travers le transistor P_1 . Pendant l’alternance négative du courant, la tension à la source de M_2 décroît ce qui le rend passant. Le courant ainsi redressé sera ensuite recopié et amplifié à travers le miroir de courant formé par les transistors P_2 et P_3 . Le courant redressé est convertit en tension à travers la résistance R_1 en parallèle avec la résistance de sortie du transistor P_3 . Le deuxième étage est un filtre passe-bas qui extrait le composant DC du signal redressé. Par conséquent, la sortie de ce capteur est directement proportionnelle au signal dynamique appliqué à son entrée. A noter que dans cet étage, il faut tenir compte du compromis entre la constante du temps d’établissement et les ondulations sur la tension en sortie du capteur.

A partir de cette description, nous déduisons qu’en appliquant en entrée de ce circuit un signal RF provenant d’un noeud critique du LNA, un signal basse fréquence proportionnel à l’amplitude du signal RF est obtenu en sortie du capteur. Ceci implique que cette mesure suit directement le comportement RF du LNA et ceci implique également qu’une faute aléatoire au sein du LNA pourra être détectée par ce capteur. Dans notre cas d’étude, nous plaçons le capteur en sortie du LNA afin d’extraire l’information liée à la puissance à sa sortie.

Caractérisation du capteur d’enveloppe

La caractérisation du capteur d’enveloppe est nécessaire afin de valider les contraintes visées. Ce circuit est réalisé en technologie Qubic4+ BiCMOS 0.25 μm de NXP Semiconductors. Le layout du capteur est montré dans la figure 4.3. Les détails sur les contraintes respectées au niveau layout seront présentés dans le chapitre 6. Les parasites incluent les résistances, les capacités, les inductances et les inductances mutuelles qui sont extraites en utilisant l’outil Assura. Des simulations post-layout ont été réalisées pour la validation finale du capteur.

Afin de vérifier la bonne fonctionnalité du capteur, principalement à la fréquence d’intérêt 2.4 GHz, un signal 2.4 GHz a été appliqué à son entrée. La figure 4.4 montre le signal en entrée du capteur d’enveloppe (courbe jaune) ainsi que le courant redressé traversant le drain du transistor M_2 (courbe rouge). Nous observons que pendant l’alternance positive du signal d’entrée, le courant traversant le drain de M_2 est nul, cependant pendant l’alternance négative le courant sur le drain de M_2 est positive, ce qui revient à un redressement mono-alternance du signal d’entrée suivant la description dans la section précédente. Le courant redressé est ensuite convertit en tension et le filtre passe-bas extrait la composante DC de la tension redressée. La figure 4.5 montre la tension de sortie du capteur d’enveloppe. Nous observons que c’est une mesure DC avec un très faible niveau d’ondulation ce qui montre la bonne conversion RF-DC réalisée par le capteur.

De plus, nous nous intéressons au temps d’établissement du capteur. Notons que le temps d’établissement est défini comme étant le temps au bout duquel la sortie atteint 95% de la valeur maximale. La figure 4.5 montre que le temps d’établissement est de l’ordre de 50 ns, ce qui est considéré comme très faible. Ceci rend le capteur compatible à une application de test de production.

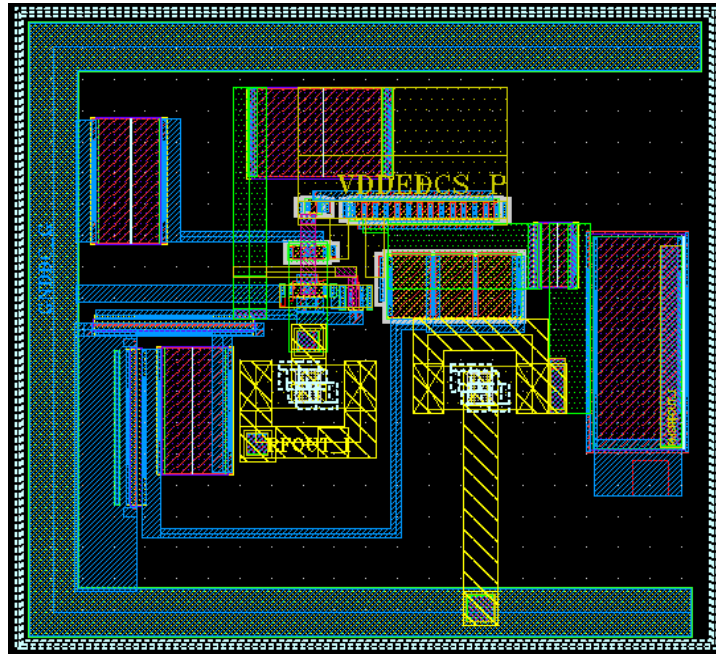
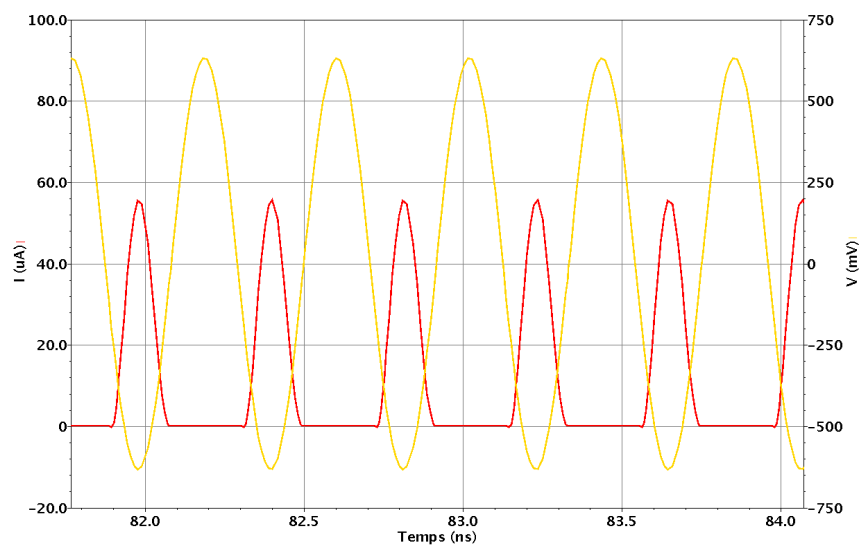


FIGURE 4.3 – Layout du capteur d'enveloppe

FIGURE 4.4 – Signal en entrée du capteur d'enveloppe et courant redressé sur le drain de M_2

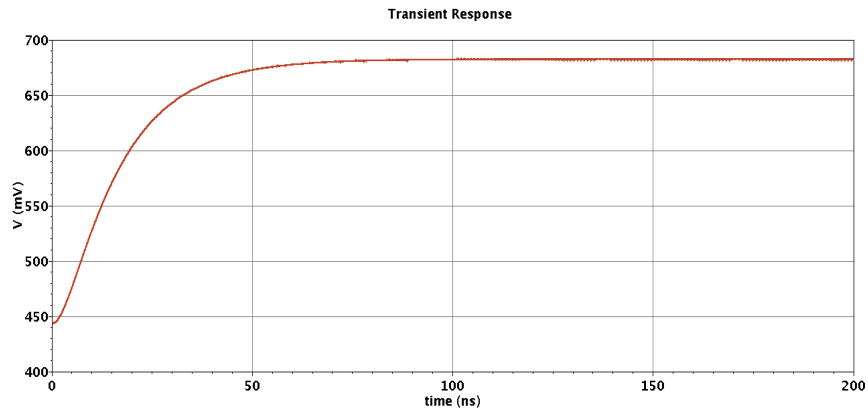


FIGURE 4.5 – Sortie du capteur d’enveloppe

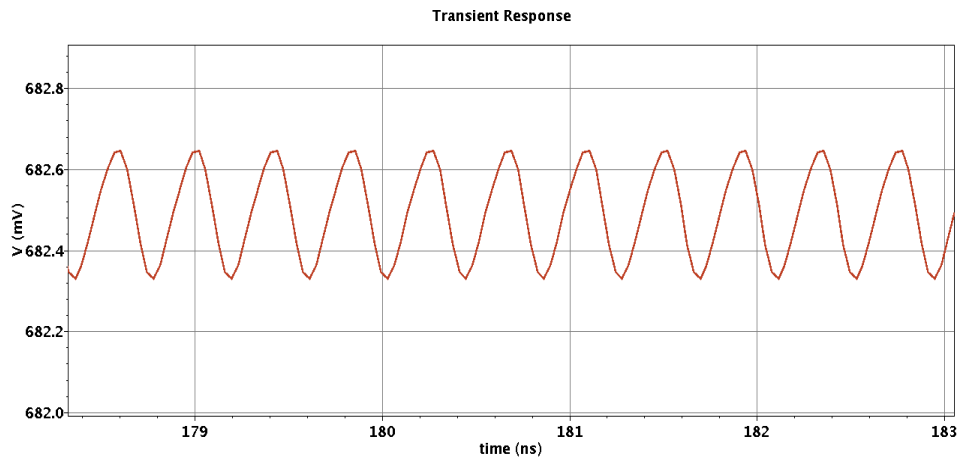


FIGURE 4.6 – Les ondulations en sortie du capteur d’enveloppe

En agrandissant le niveau DC en sortie du capteur, nous observons plus clairement les ondulations. Ceci est montré dans la figure 4.6. L’amplitude de ces ondulations est de l’ordre de 0.3 mV ce qui est négligeable par rapport au signal utile qui a une valeur moyenne de 600 mV dans cet exemple.

Le bruit en sortie du capteur est montré dans la figure 4.7. L’étude de bruit est nécessaire afin de vérifier l’impact du bruit intrinsèque du capteur sur l’information extraite du signal RF en entrée. La valeur RMS du bruit basse fréquence dans la bande allant de 1 Hz à 1 kHz est de l’ordre de $80 \mu\text{V}$. Le signal minimal en sortie du capteur est de 400 mV. En faisant le rapport signal sur bruit, nous obtenons un SNR minimal de 74 dB ce qui est largement suffisant.

La figure 4.8 montre la variation de la sortie du capteur en fonction de la puissance à son entrée. A partir de cette figure, nous pouvons déduire la dynamique du capteur à la fréquence de fonctionnement du LNA (2.4 GHz). Nous constatons que la sortie est approximativement linéaire entre -25 dBm et +8 dBm, ce qui implique que la dynamique d’entrée est de 33 dB.

La figure 4.9 montre la large dynamique de la tension en sortie du capteur en fonction

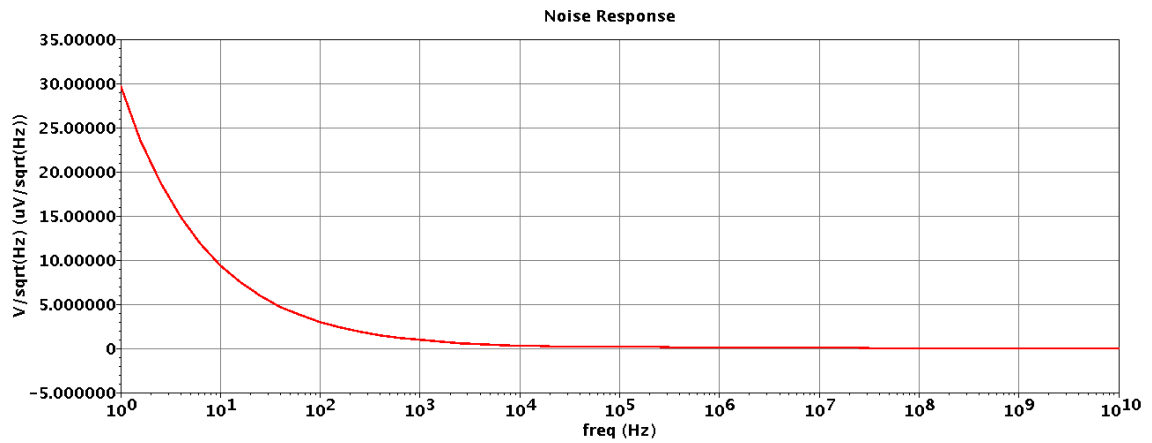


FIGURE 4.7 – Bruit en sortie du capteur d'enveloppe

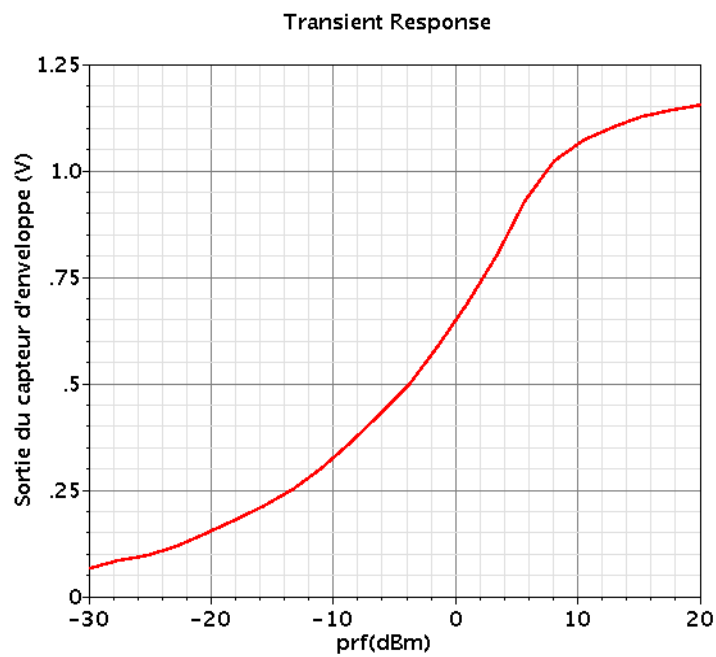


FIGURE 4.8 – Variation de la sortie du capteur en fonction de la puissance en entrée à 2.4 GHz

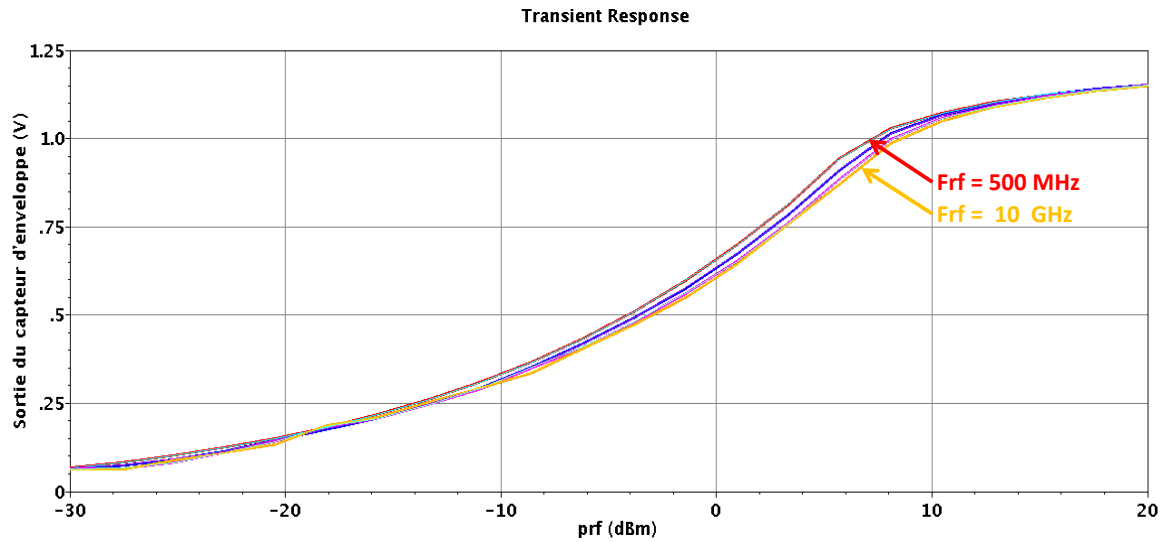


FIGURE 4.9 – Variation de la sortie du capteur en fonction de la puissance en entrée pour différentes fréquences

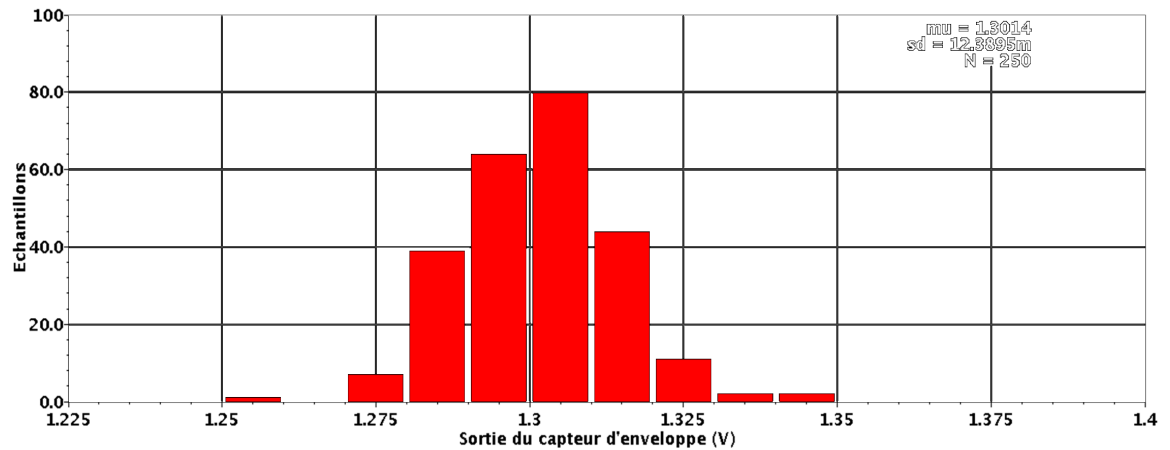


FIGURE 4.10 – Simulations Monte-Carlo transitoires de la sortie du capteur d'enveloppe

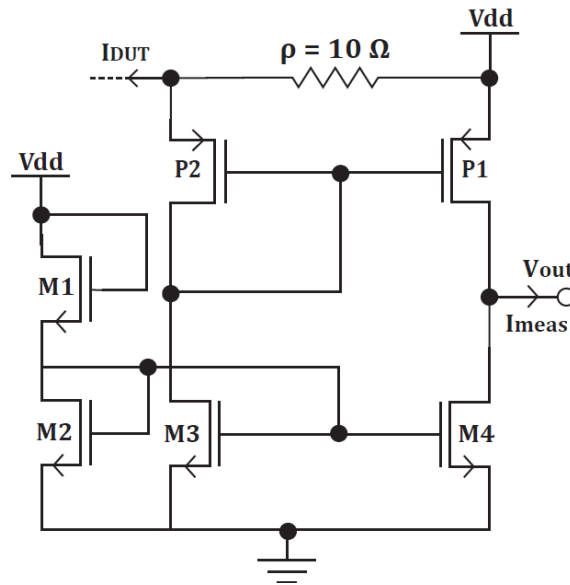


FIGURE 4.11 – Capteur de courant CMOS proposé par [15]

de la puissance en entrée dans une bande allant de 500 MHz à 10 GHz. Cette caractéristique du circuit pourra être intéressante si elle sera appliquée dans le cadre d'une stratégie BIT niveau système dans laquelle le capteur d'enveloppe pourra être connecté à différents types de blocs RF ayant différents intervalles d'amplitude (ex. LNA et PA) et différentes bandes de fréquence de fonctionnement (ex. LNA et mélangeur).

Finalement, les simulations Monte-Carlo ont permis de valider la robustesse du capteur. Il est évident que plus le capteur d'enveloppe est robuste plus sa sortie est fortement corrélée au comportement RF du LNA. La figure 4.10 montre l'histogramme de la sortie du capteur. Nous observons que pour une valeur moyenne égale 1.3 V, l'écart-type est de l'ordre de 12.4 mV. Le rapport entre la variation 3 sigma et la valeur moyenne est égale 2.9 % ce qui montre la robustesse du capteur vis-à-vis des variations process.

4.2.3 Capteur de courant

Un second type de capteur est proposé dans [15] pour suivre le comportement des circuits RF. C'est le capteur de courant. Le capteur de courant peut extraire une signature correspondante au courant d'alimentation du LNA. Comme déjà détaillé dans l'étude de l'état de l'art, la mesure du courant d'alimentation fournit une information fortement corrélée au comportement d'un circuit RF notamment lors de l'occurrence d'une faute catastrophique où le courant varie largement. Les contraintes de la conception de ce capteur sont similaires à celles du capteur d'enveloppe. Nous avons choisi l'architecture du circuit proposée initialement par [15] et montré dans la figure 4.11.

En effet, ce capteur prend l'avantage de la faible résistance parasite de la ligne d'alimentation qui connecte le LNA à la tension d'alimentation. Cette résistance, de l'ordre de quelques Ohms, est utilisée pour suivre la variation du courant RF I_{CUT} dans l'étage de gain du LNA. Lorsque le LNA est alimenté, une chute de tension aux

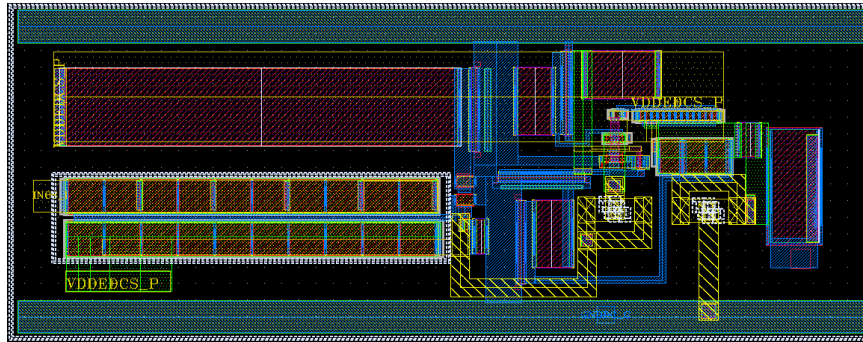


FIGURE 4.12 – Layout du capteur de courant

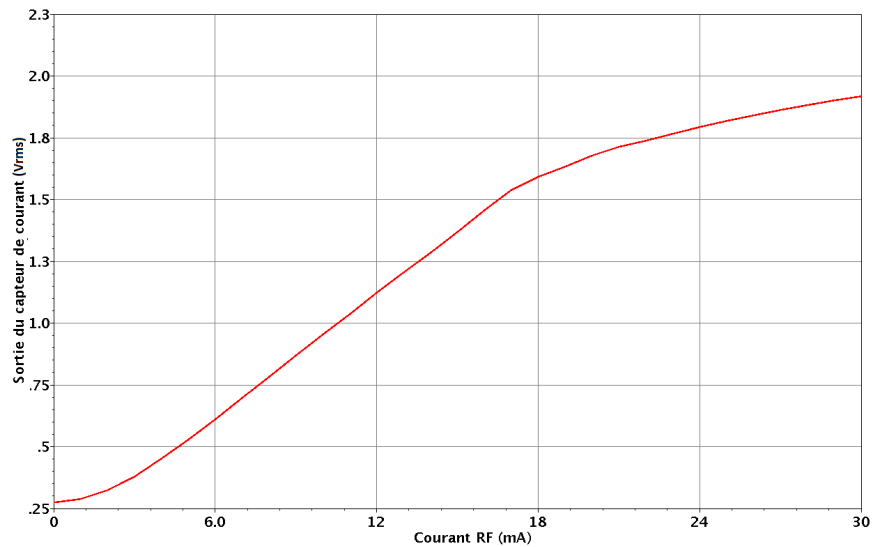
bornes de la résistance déséquilibre le miroir de courant PMOS formé par P_1 et P_2 . De ce fait, la sortie du capteur de courant dépend principalement de cette chute de tension et par conséquent elle varie proportionnellement au courant du LNA. En sortie du capteur, le courant RF est converti en tension à travers la résistance équivalente des transistors P_1 et P_2 . Afin d'obtenir un niveau DC, la sortie du capteur de courant est connectée à l'entrée du capteur d'enveloppe qui, à son tour, fournit une sortie DC qui suit le courant RF du LNA. A noter qu'une plus grande résistance de l'élément sensible permet d'augmenter la sensibilité du capteur, mais en contrepartie, ceci augmente la chute de tension d'alimentation ce qui dégrade les performances du CUT. De plus, ceci peut être très gênant dans le cas des circuits à faible tension d'alimentation. Vu la dégradation des performances, un co-design entre le LNA et le capteur de courant est alors requis afin de pouvoir respecter le cahier de charges initial en présence de ce capteur.

Caractérisation du capteur de courant

De même que le capteur d'enveloppe, le capteur de courant est conçu en technologie Qubic4+ BiCMOS 0.25 μm de NXP Semiconductors. Le layout du capteur est montré dans la figure 4.12. Des simulations post-layout ont été réalisées pour la validation finale du capteur.

La figure 4.13 montre la dépendance linéaire de la sortie du capteur de courant en fonction de l'amplitude du courant dynamique I_{CUT} traversant le transistor P_2 dans la figure 4.11. Les simulations sont réalisées pour une valeur de résistance de la ligne d'alimentation de l'ordre de 10 ohms. Afin de vérifier le fonctionnement du capteur sur une large bande de fréquence, nous avons balayé la fréquence dans la bande allant de 500 MHz à 10 GHz. La figure 4.14 montre les résultats de simulations. Nous constatons une dépendance linéaire pour des amplitudes allant jusqu'à l'ordre de 25 mA. Nous observons que le gain varie largement avec la fréquence. Ceci implique que lors de la phase de test, il faudra fixer des limites aux différentes fréquences de test du CUT.

La figure 4.15 montre le bruit en sortie du capteur de courant. Pour les hautes fréquences (ex. 2.4 GHz), nous constatons que le bruit est négligeable. Ceci nous intéresse vu que notre intérêt est de suivre le courant RF à travers ce capteur. D'autre part, l'intégration du bruit basse fréquence allant de (1 à 1000 Hz) est plus petit que 1 μV ce

FIGURE 4.13 – Sortie du capteur de courant en fonction du courant I_{CUT}

qui est très faible. L'intérêt de vérifier ce point est de tenir en compte la contribution du bruit basse fréquence du capteur de courant dans la mesure DC.

Comme déjà mentionné, vu que la sortie du capteur de courant est un signal à haute fréquence, elle est connectée en entrée du capteur d'enveloppe afin d'extraire une information DC proportionnelle au courant RF du CUT. La figure 4.16 montre la sortie RF du capteur de courant en entrée du capteur d'enveloppe (ex. $I_{CUT} = 4$ mA) et qui se convertit en un signal DC à sa sortie. Au niveau du temps d'établissement, nous observons qu'il est de l'ordre de 70 ns ce qui est satisfaisant. Pour observer l'amplitude des ondulations, nous avons répété les simulations pour la valeur maximale du courant. La figure 4.17 montre un agrandissement de la sortie du capteur d'enveloppe après l'établissement de la tension. Nous constatons que l'amplitude est de l'ordre de 0.3 mV ce qui est faible par rapport à la valeur moyenne DC. Ceci est attendu vu que le capteur d'enveloppe est le même caractérisé précédemment.

La figure 4.18 montre la variation de la sortie du capteur d'enveloppe connecté en sortie du capteur de courant en fonction de l'amplitude du courant dynamique pour une fréquence égale 2.4 GHz. Elle montre un comportement approximativement linéaire.

Finalement, des simulations Monte-Carlo ont été réalisées afin de valider la robustesse du circuit. Etant donné que le capteur de courant est connecté au capteur d'enveloppe, des simulations Monte-Carlo ont été réalisées en incluant les deux capteurs. De même que le capteur d'enveloppe, plus le capteur de courant est robuste, plus l'information présente à sa sortie est corrélée au courant dynamique du LNA. La figure 4.19 montre l'histogramme de la sortie du capteur d'enveloppe connecté au capteur de courant. Nous constatons que pour une valeur moyenne égale à 1.5 V, l'écart-type est égale à 21 mV. Ceci implique que le rapport entre la variation 3 sigma et la valeur moyenne est égale à 4.9 %, ce qui reste acceptable.

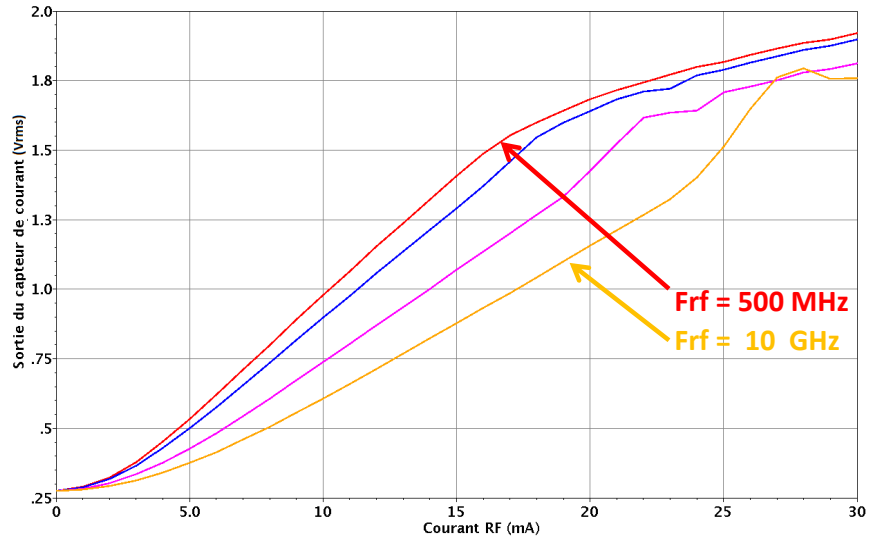


FIGURE 4.14 – Sortie du capteur de courant en fonction du courant I_{CUT} pour différentes fréquences

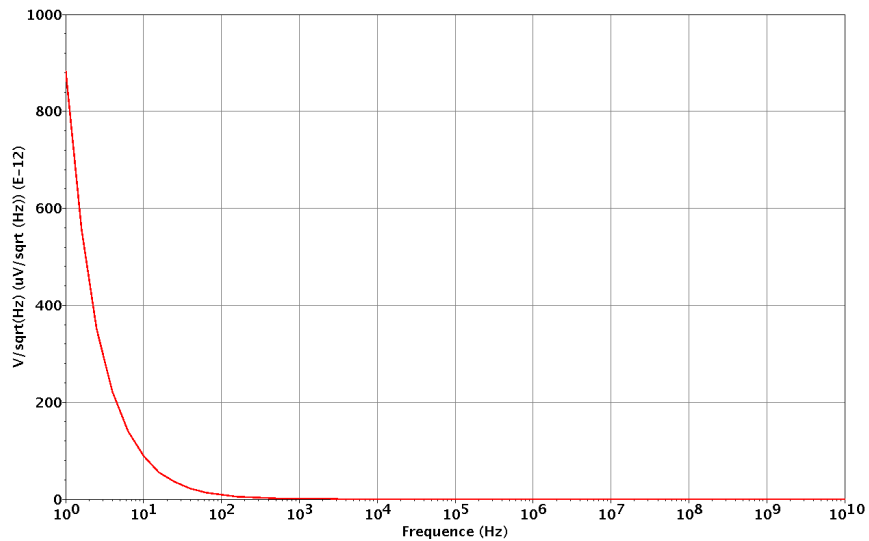


FIGURE 4.15 – Bruit en sortie du capteur de courant

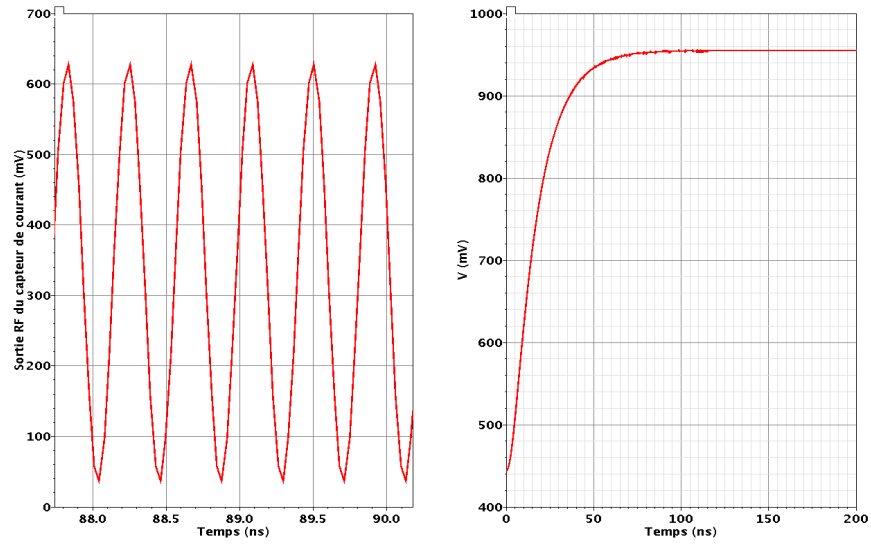


FIGURE 4.16 – Sortie RF du capteur de courant convertit en un signal basse fréquence à travers le capteur d’enveloppe

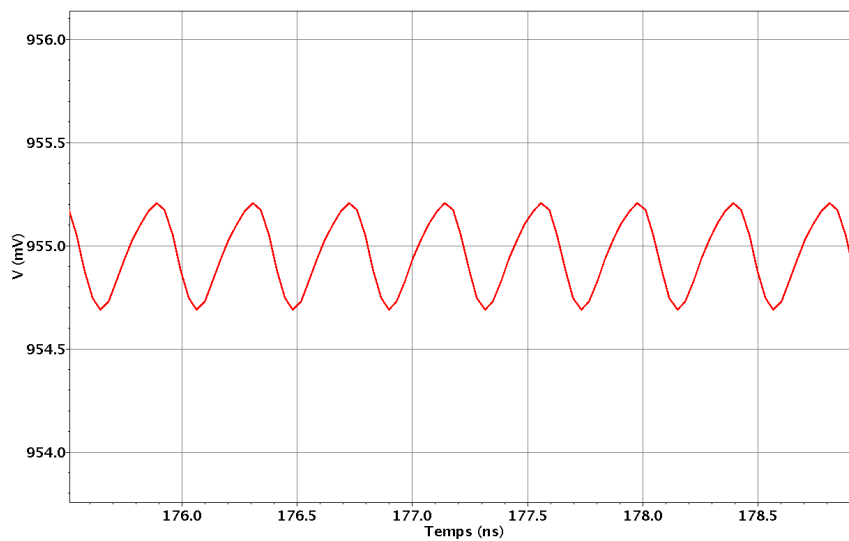


FIGURE 4.17 – Ondulations en sortie du capteur d’enveloppe connecté en sortie du capteur de courant

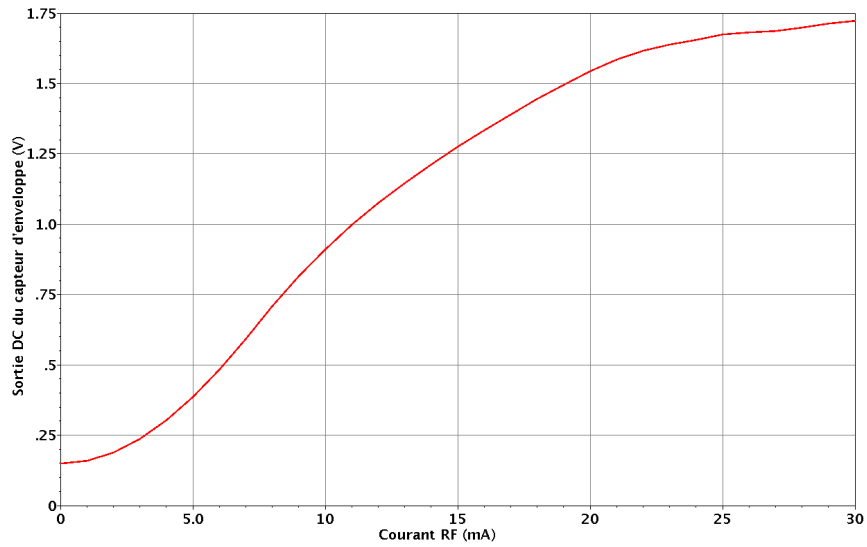


FIGURE 4.18 – Variation de la sortie du capteur d'enveloppe connecté en sortie du capteur de courant en fonction de l'amplitude du courant dynamique

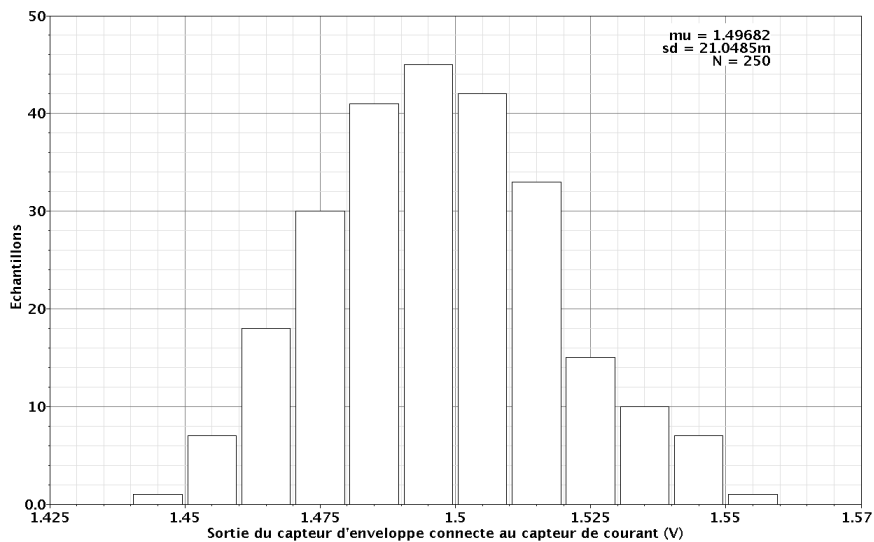


FIGURE 4.19 – Simulations Monte-Carlo transitoires de la sortie du capteur d'enveloppe connecté en sortie du capteur de courant

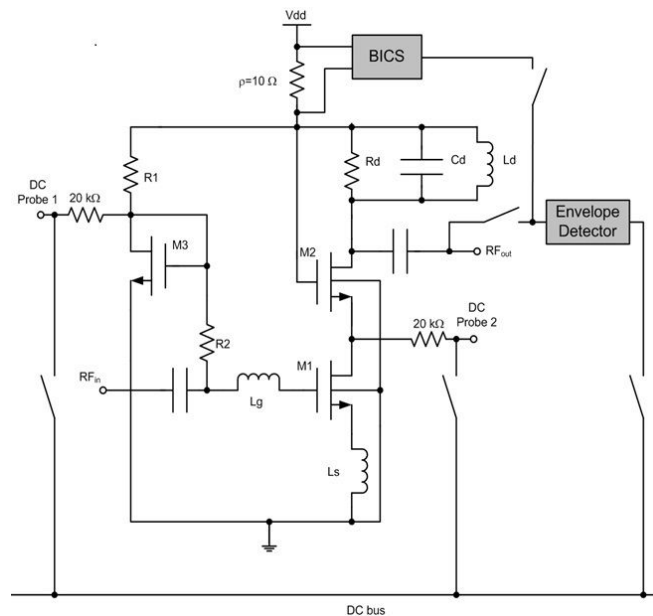


FIGURE 4.20 – Configuration du LNA et des capteurs intégrés

4.3 Co-design final : LNA et capteurs intégrés

Notre cas d'étude est le LNA qui a été présenté dans le chapitre 2. Il a été conçu avec la technologie $0.25 \mu\text{m}$ Qubic4plus de NXP Semiconductors.

La figure 4.20 montre la configuration finale du LNA et des différents capteurs intégrés. Le layout final du co-design est montré dans la figure 4.21. Le LNA occupe une surface égale à 0.4 mm^2 . Le capteur d'enveloppe occupe une surface de $2170 \mu\text{m}^2$, ce qui correspond à 0.543% de la surface du LNA. Le capteur de courant occupe une surface de $2190 \mu\text{m}^2$ ce qui correspond à 0.548% de la surface du LNA et finalement les deux probes DC occupent une surface de $4000 \mu\text{m}^2$ ce qui correspond à 1.2% de la surface du LNA. En total, les différents capteurs intégrés occupent une surface inférieure à 2.5% de la surface totale. Ceci est considéré comme étant très faible spécialement pour un circuit RF où il y a beaucoup de surfaces non occupées afin de respecter des contraintes électromagnétiques.

Les simulations post-layout du LNA et des capteurs intégrés est nécessaire afin de valider les fonctionnalités du co-design final. Les figures 4.22, 4.23, 4.24 et 4.25 montrent les principales performances du LNA avant de connecter les capteurs intégrés. Afin d'étudier l'impact des capteurs sur le LNA, nous avons réalisé des simulations en connectant un capteur à la fois afin de montrer son impact sur les performances du LNA. Le tableau 4.1 montre les performances du LNA quand il est seul et la dégradation de ses performances due au capteur d'enveloppe et au capteur de courant ainsi que les performances du co-design final. La dégradation des performances du LNA due à l'insertion des probes DC est négligeable et nous ne l'indiquons pas. Nous observons que le capteur d'enveloppe a un impact minime sur les performances du LNA. Cependant, le capteur de courant affecte sérieusement quelques performances (4ème colonne) vu la

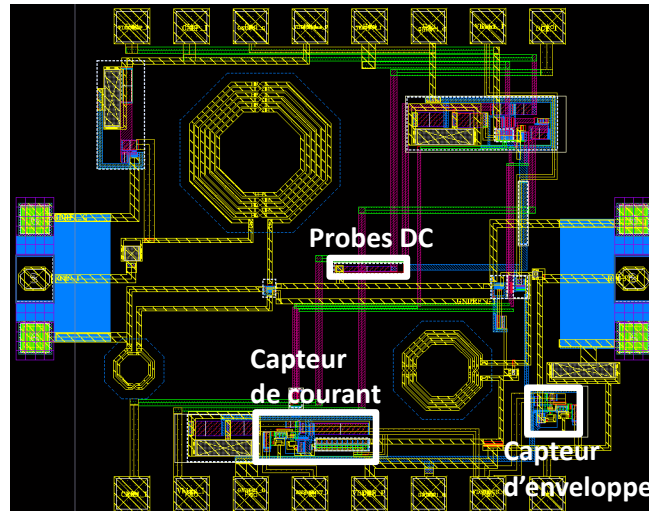


FIGURE 4.21 – Layout du LNA et des capteurs intégrés

TABLE 4.1 – Valeurs des performances du LNA à 2.4 GHz en connectant différents capteurs intégrés

	LNA seul	LNA et capteur d'enveloppe	LNA et capteur de courant	Co-design final
S_{11}	-14.1	+0.01	-0.09	+0.1
S_{12}	-27.4	-0.02	+0.7	+0.6
S_{21}	15.08	+0.02	-2.18	-0.07
S_{22}	-19.8	-0.25	-8.8	-0.4
NF	2.513	0.08	0.277	0.071
Point de compression 1 dB	-13.84	-0.21	-1	+0.013
IIP3	4.58	+0.18	-0.51	-0.14

chute de la tension d'alimentation du LNA à cause de la résistance sensible de ce capteur. En effet, nous constatons que le gain est dégradé de 2 dB et la réflexion en sortie est dégradée de 8.8 dB. Le 5ème colonne montre les performances du LNA après un co-design réalisé en présence des capteurs. Nous remarquons que le design final présente une très faible variation des performances par rapport au LNA tout seul.

Ensuite, nous avons vérifié les fonctionnalités des capteurs en présence du LNA. La courbe rouge de la figure 4.26 montre la mesure DC du capteur d'enveloppe connecté à la sortie du LNA pour une entrée RF de fréquence 2.4 GHz et une amplitude de -10 dBm (courbe rose). La courbe jaune montre la sortie du capteur d'enveloppe connecté en sortie du capteur de courant. La figure 4.27 montre la dépendance linéaire pour différentes amplitudes en entrée du LNA.

4.4 Application de l'approche de test alternatif

Afin d'appliquer l'approche de test alternatif, une population des instances représentatives des variations process est requise. De ce fait, 1000 simulations Monte-Carlo ont

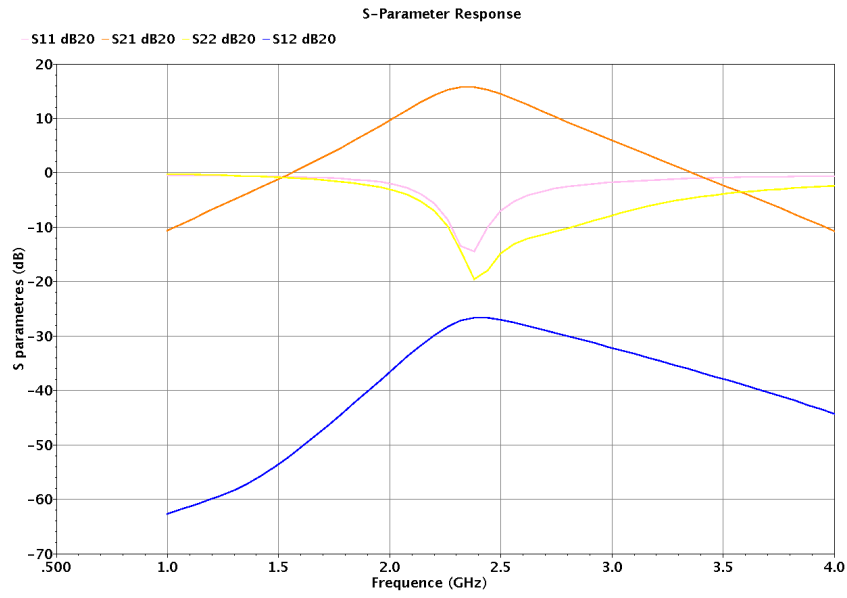


FIGURE 4.22 – Paramètres S du LNA

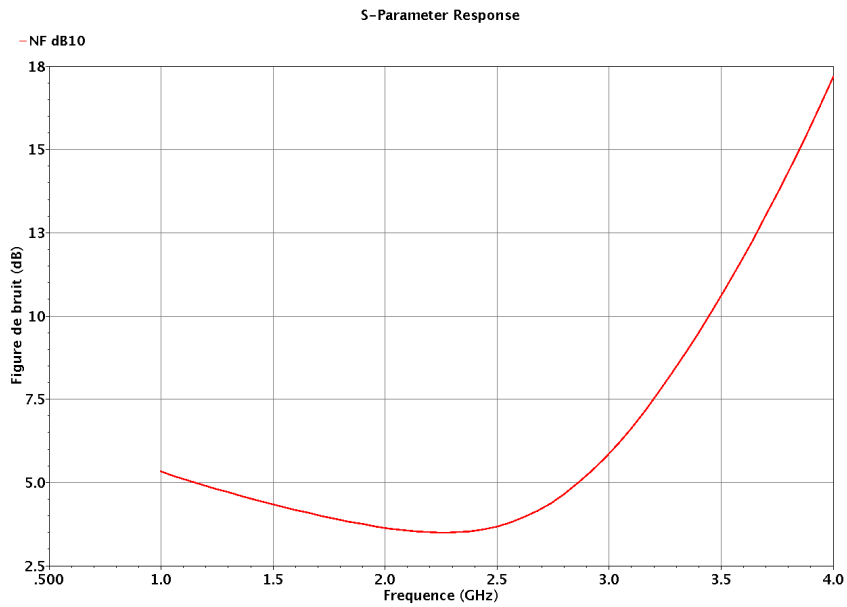


FIGURE 4.23 – Figure de bruit du LNA

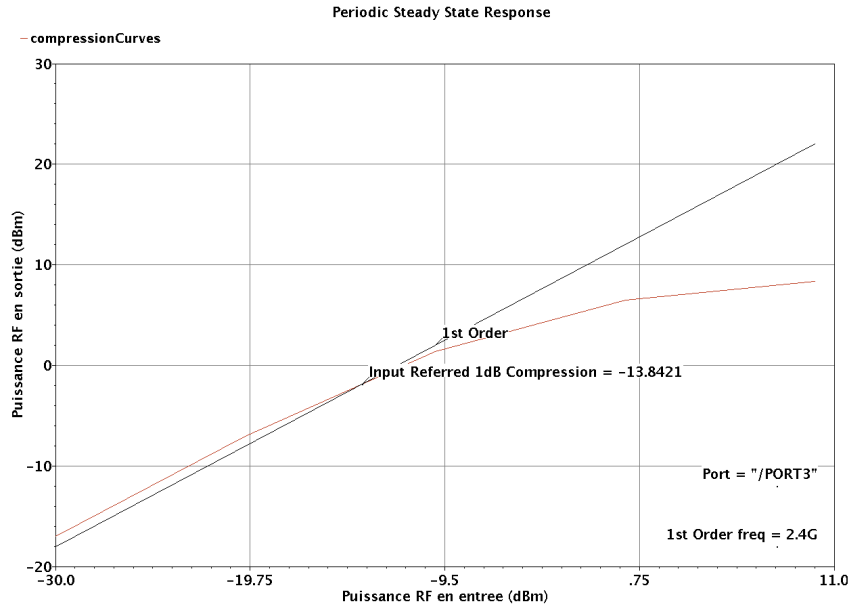


FIGURE 4.24 – Point de compression 1 dB

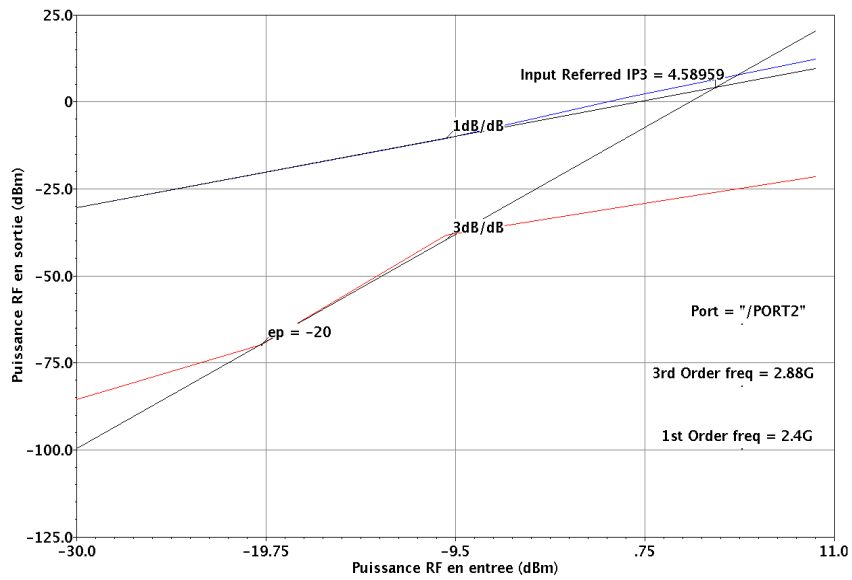


FIGURE 4.25 – Point d'intermodulation d'ordre trois

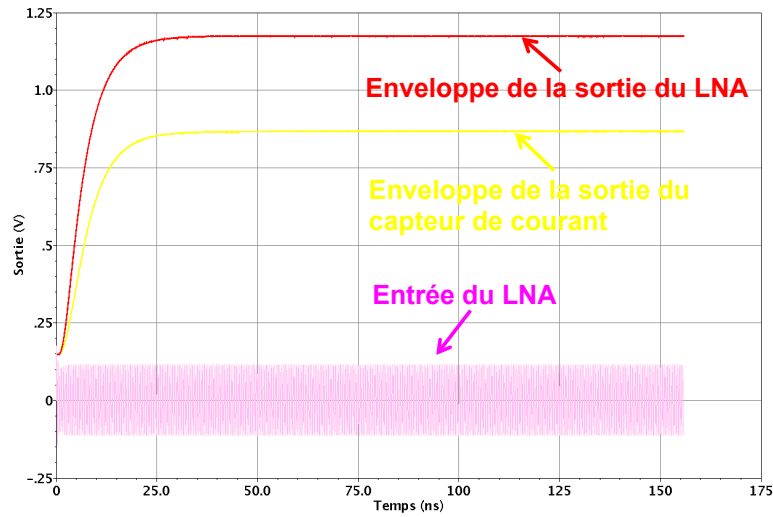


FIGURE 4.26 – Sorties DC des capteurs d'enveloppe proportionnelles au signal RF (2.4 GHz) en sortie du LNA et au courant dynamique RF

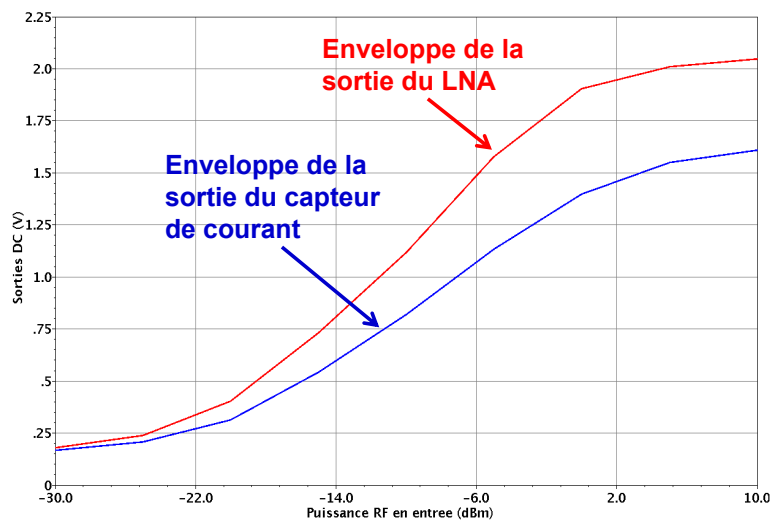


FIGURE 4.27 – Variation de la sortie des capteurs d'enveloppe en fonction de la puissance RF (2.4 GHz) en entrée du LNA

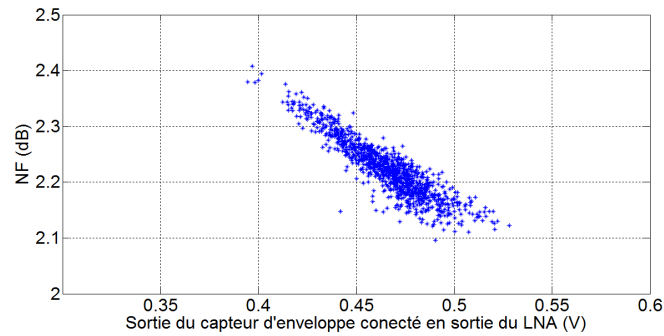


FIGURE 4.28 – Dépendance entre la sortie du capteur d’enveloppe connecté en sortie du LNA et la figure de bruit

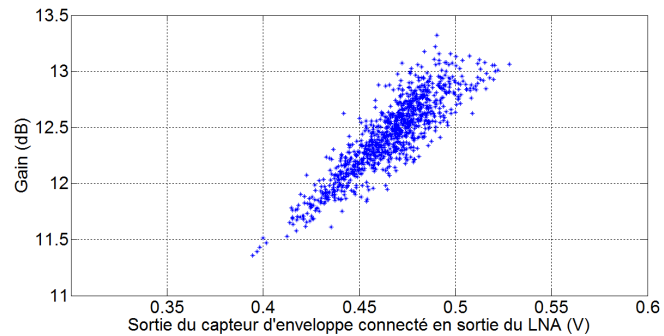


FIGURE 4.29 – Dépendance entre la sortie du capteur d’enveloppe connecté en sortie du LNA et le gain

été réalisées du layout-top comprenant le LNA et les différents capteurs intégrés. Les simulations prennent en compte les variations process globales ainsi que les mismatches entre les composants. Afin d’avoir un résultat fiable, les parasites du layout ainsi que les modèles des plots ont été pris en compte lors des simulations. En ce qui concerne le type des simulations, nous avons réalisé des simulations transitoires afin d’extraire les mesures des probes DC, du capteur d’enveloppe connecté à la sortie du LNA et du capteur d’enveloppe connecté à la sortie du capteur de courant. Pour le LNA, les performances simulées sont celles mesurées généralement lors d’un test de production notamment le gain, le NF, le point de compression 1 dB ainsi que l’IIP3. Des exemples sur les dépendances existantes entre les mesures alternatives et les performances du LNA sont montrés dans les figures 4.28, 4.29, 4.30, 4.31, 4.32.

En suivant le flot de test alternatif, chacune des performances du LNA sera reliée aux mesures des capteurs à travers une fonction de régression. Afin de construire ce type de fonctions, nous avons utilisé les réseaux de neurones. A noter que différents algorithmes existent dans la littérature mais la comparaison entre eux est au delà de ces travaux de thèse.

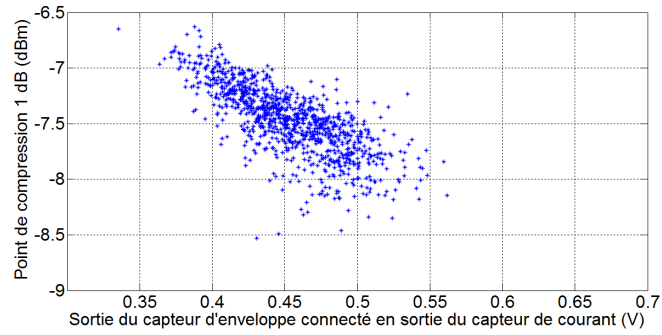


FIGURE 4.30 – Dépendance entre la sortie du capteur d'enveloppe connecté en sortie du capteur de courant et le point de compression 1 dB

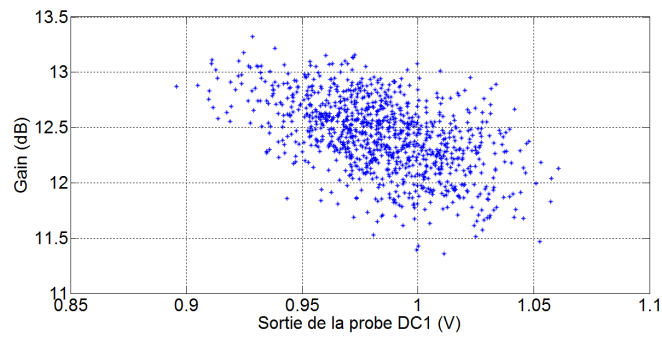


FIGURE 4.31 – Dépendance entre la sortie de la probe DC1 et le gain

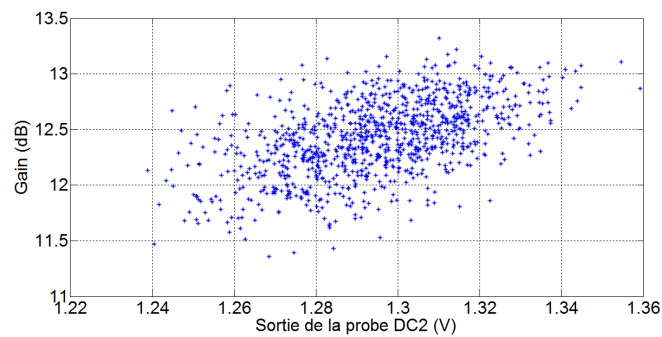


FIGURE 4.32 – Dépendance entre la sortie de la probe DC2 et le gain

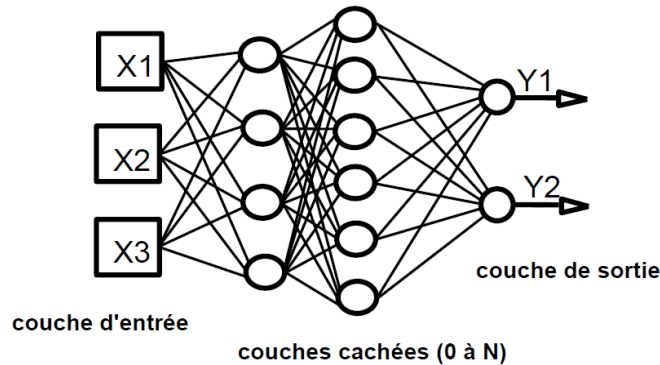


FIGURE 4.33 – Structure d'un réseau de neurones

4.4.1 Réseaux de neurones

Les réseaux de neurones ont été fortement inspirés du système nerveux biologique. En général, l'apprentissage d'un réseau de neurones est effectué de sorte que pour une ou plusieurs entrées présentes en entrée du réseau (ex. mesures des capteurs intégrés) correspond une cible spécifique (ex. gain du LNA). L'ajustement des poids se fait par comparaison entre la réponse du réseau et la cible, jusqu'à ce que la réponse corresponde à la cible avec une certaine marge d'erreur prédéfinie. Nous utilisons pour ce type d'apprentissage dit supervisé un nombre conséquent de paires entrée(s)/sortie. La figure 4.33 montre un exemple des structures générales d'un réseau de neurones. Un réseau est composé d'une succession de couches dont chaque couche (i) est composée de N_i neurones, prenant leurs entrées sur les N_{i-1} neurones de la couche précédente. À chaque 'synapse' est associée un poids synaptique, de sorte que les N_{i-1} sont multipliés par ce poids, puis additionnés par les neurones de niveau (i), ce qui est équivalent à multiplier le vecteur d'entrée par une matrice de transformation. Le but de l'étape d'apprentissage est de donner à un certain réseau les poids "corrects". Différentes architectures des réseaux peuvent être utilisées : a) les réseaux *Feed-Forward*, appelés également "réseaux de type Perceptron", qui sont des réseaux dans lesquels l'information se propage de couche en couche sans retour en arrière possible, b) les réseaux *Feed-Back*, appelés également "réseaux récurrents", qui sont des réseaux dans lesquels il y a retour en arrière de l'information.

Une fois l'architecture choisie du réseau avec le nombre des couches et le nombre des neurones, le processus d'apprentissage (ou d'entraînement) est lancé afin d'ajuster les poids du réseau dans l'optique d'accorder sa réponse au cible. Ensuite, une étape finale de test servira à évaluer l'habileté du réseau ainsi que de ses entrées à prédire la cible avec une précision satisfaisante.

Dans ces travaux, nous avons utilisé un réseau récurrent ayant trois couches : deux couches intermédiaires et une couche de sortie. Il est connu qu'un tel type de réseau pourra modéliser n'importe quelle fonction non-linéaire : $Y = f_j(X)$. En ce qui concerne le nombre de neurones, il sera optimisé en fonction de l'erreur de prédiction du réseau. Initialement, les échantillons sont décomposés en deux ensembles : ensemble d'entraînement et ensemble de test. L'ensemble d'entraînement est utilisé dans l'apprentissage

des fonctions et il est décomposé en deux sous-ensembles : l'ensemble d'apprentissage et l'ensemble de validation. L'ensemble d'apprentissage sert à construire la fonction de régression tandis que l'ensemble de validation sert à contrôler la complexité du réseau et à éviter le surapprentissage (*overfitting*). L'ensemble de test servira à évaluer l'erreur de prédiction sur un échantillon indépendant qui n'a jamais été utilisé lors de la phase d'entraînement.

4.4.2 Phase d'entraînement

Construction des modèles de régression

L'entraînement du réseau est réalisé en utilisant la technique de *early stopping*. Cette technique permet de contrôler la complexité de la fonction de régression tout en la généralisant. En particulier, l'algorithme nommé *backpropagation* utilise tout d'abord les données d'entraînement pour ajuster les poids et à la fin de chaque itération l'erreur de prédiction est calculée sur les données de validation. Si l'erreur ne diminue pas pour un nombre d'itérations consécutifs, ceci implique que le réseau est à la limite de l'*overfitting* et par conséquent l'entraînement s'arrête. Finalement, le modèle qui donne la plus petite erreur de prédiction sur les données de validation est utilisé dans la phase de test. L'inconvénient des réseaux de neurones est que le nombre optimal de neurones dans les couches intermédiaires n'est pas connu d'avance et il faut une approche de *trial and error* pour être fixé. Par conséquent, lors de la phase d'entraînement, nous avons répété l'apprentissage et la validation 20 fois pour chaque modèle et nous avons choisi le modèle qui présente l'erreur la plus petite. Un autre inconvénient est que cet algorithme n'intègre aucune méthode de validation généralement utilisée lorsque l'échantillon statistique est limité et non-représentatif (ex. *generalised cross-validation*). Au niveau des simulations, nous avons utilisé un échantillon de 700 instances dans la phase d'entraînement et par conséquent nous supposons que cet échantillon est statistiquement représentatif.

Construction du filtre de défauts

Comme déjà noté précédemment, [28] a montré la nécessité de construire un filtre de défauts avant de prédire les performances suivant le flot de test alternatif. Sinon, la prédiction des performances des circuits aberrants ou *outliers* sera aléatoire.

Le filtre de défauts est construit à partir des mesures des capteurs. En général, si les limites de test *pass/fail* sont fixées individuellement pour chaque mesure, la région d'acceptation allouée dans l'espace multidimensionnelle des mesures correspondra à un hyperrectangle (e.x. un rectangle dans le cas des deux mesures). Cependant, en construisant ce filtre, les limites de test *pass/fail* sont fixées en parallèle pour toutes les mesures ce qui impliquera une région d'acceptation non-linéaire allouée dans l'espace multidimensionnelle des mesures. Par conséquent nous obtenons un meilleur filtrage.

Ce filtre est entraîné en estimant la densité de probabilité des différentes mesures alternatives par l'intermédiaire d'un réseau de noyaux adaptatifs [37]. Une fois que la densité de probabilité est estimée, le test consiste à vérifier l'hypothèse que la mesure alternative est de la même nature statistique que la distribution (ceci implique que le circuit est fonctionnel). Sinon, le circuit est défectueux. L'avantage principal de ce

filtre est qu'il utilise la technique de classification à une seule classe et ceci représente son principal avantage dans le cadre d'une application de test. En effet, dans une telle classification, les données d'entraînement doivent contenir uniquement les objets de la classe qui doivent être distingués des autres classes. En d'autres termes, dans notre cas les mesures alternatives utilisées pour construire ce classificateur dérivent uniquement des circuits fonctionnels ayant des variations process. Par conséquent, nous n'avons pas besoin de connaître les mesures dérivantes des circuits défectueux afin de fixer les limites de test. C'est pourquoi, dans l'approche de test proposée, le filtre de défauts peut exclure tous les *outliers* sans exigence d'employer ce type de circuits aberrants lors de l'entraînement du filtre. Ceci est différent de la méthode de classification traditionnelle qui vise à distinguer entre deux ou plusieurs classes à partir des données d'apprentissage contenant les objets de toutes les classes. De plus, le classificateur est paramétrisé de façon à positionner les limites de test en tenant compte des métriques de test paramétriques [28].

Le filtre de défauts est déjà implémentée dans un outil MATLAB au sein de notre équipe. Le classificateur est construit à partir des 1000 instances Monte-Carlo en prenant les 4 mesures des capteurs : a) deux probes DC, b) la sortie du capteur d'enveloppe connecté en sortie du LNA et c) la sortie du capteur d'enveloppe connecté en sortie du capteur de courant.

4.4.3 Phase de test

Prédiction des performances

Dans cette phase, nous avons validé l'habilité des mesures des capteurs à prédire les performances du LNA sur un échantillon indépendant de 300 instances simulées mais non-utilisées lors de la phase d'entraînement. Nous avons utilisé les mesures des capteurs ainsi que les fonctions de régression construites dans la phase d'entraînement pour prédire les performances de chaque instance. Nous nous référons à l'erreur RMS exprimée en % et définie par l'équation suivante :

$$\epsilon_i = \frac{100}{P_{i,\text{nom}}} \sqrt{\frac{\sum_{j=1}^N (P_{i,j} - \hat{P}_{i,j})^2}{N}}, \quad (4.1)$$

avec $P_{i,\text{nom}}$ la valeur nominale de la performance i , $P_{i,j}$ la valeur simulée (réelle) de la performance i correspondante à l'instance j , $\hat{P}_{i,j}$ la performance i prédite correspondante à l'instance j et $N = 300$ le nombre total des instances utilisées dans la phase de test. Les figures 4.34, 4.35, 4.36, 4.37 montrent les performances prédites en fonction des performances simulées. La première ligne dans le tableau 4.2 montre les erreurs de prédiction des performances en considérant toutes les mesures des capteurs. Les erreurs sont comparables aux erreurs de mesure et de répétabilité (erreurs précisées dans le chapitre 6) ce qui montre la précision lors de la prédiction des performances du LNA.

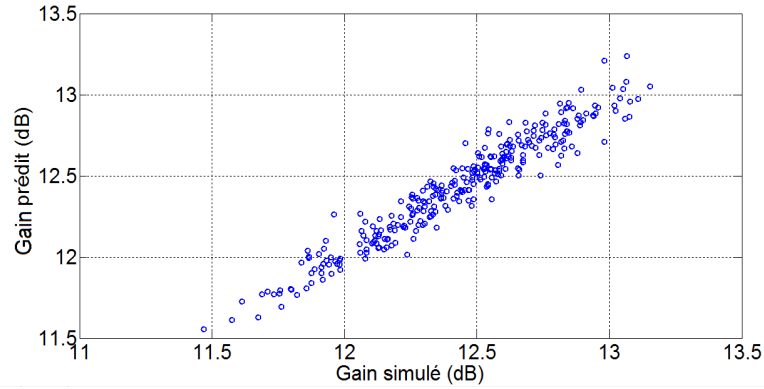


FIGURE 4.34 – Gain prédit en fonction du gain simulé

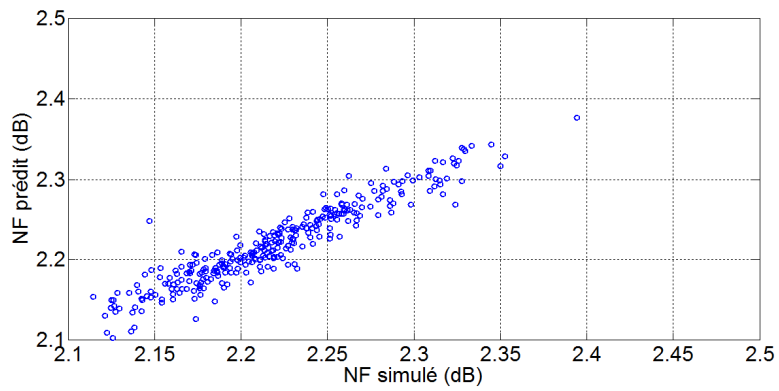


FIGURE 4.35 – NF prédit en fonction du NF simulé

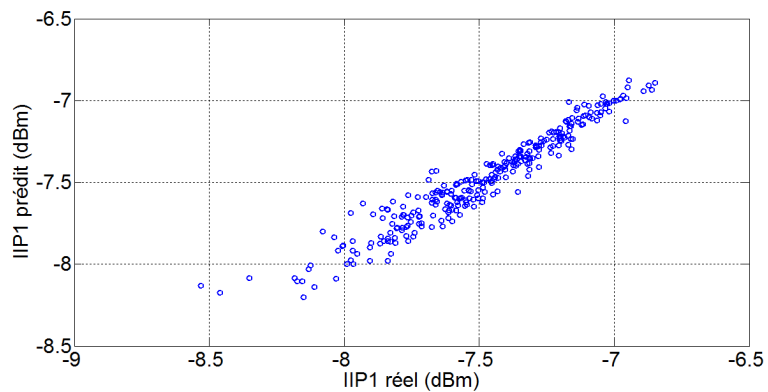


FIGURE 4.36 – IIP1 prédit en fonction du IIP1 simulé

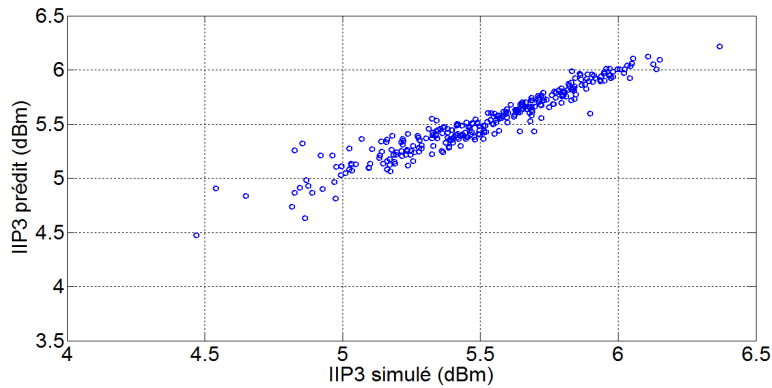


FIGURE 4.37 – IIP3 prédit en fonction du IIP3 simulé

TABLE 4.2 – Les erreurs de prédiction (en %) en utilisant tous les capteurs

	S_{11}	S_{12}	S_{21}	S_{22}	NF	1-dB CP	IIP ₃
Mesures des capteurs	1.34	0.43	0.70	2.9	1.20	1.4	3.11

Détection des défauts

Pour analyser la couverture des fautes catastrophiques, nous avons injecté 23 fautes dans le LNA en incluant des courts-circuits et des circuits-ouverts. Les fautes sont injectées au niveau layout en tenant compte de la probabilité d'occurrence de ces fautes dans le LNA. Un court-circuit est modélisé par une ligne métallique qui connecte les bornes d'un composant et/ou qui connecte deux lignes métalliques proches l'une de l'autre. Un circuit-ouvert est modélisé en coupant la ligne métallique connectant deux noeuds. Toutefois, l'injection de chaque faute est suivie par une extraction des capacités, des résistances, des inductances et des inductances parasites. Ensuite, la simulation de la vue extraite est réalisée afin de vérifier si la faute injectée est détectable par l'un des capteurs utilisés suivant un ordre de priorité. L'ordre d'utilisation de ces capteurs est intuitivement déduit du degré de dégradation des performances du LNA suite à la connexion de ces capteurs, par conséquent en rappelant le tableau 4.1, nous déduisons l'ordre suivant :

- Les probes DC
- Le capteur d'enveloppe
- Le capteur de courant

Des simulations pire cas du co-design final nous ont permis de définir les limites de test des probes DC, ainsi que des capteurs d'enveloppe.

Le tableau 4.3 montre la liste des fautes catastrophiques appliquées aux différents composants du LNA.

Au niveau des résultats, 17 fautes ont été détectées par les probes DC. L'injection d'une faute induit une variation du niveau de la tension à la sortie de la probe DC de 0.3 V à 1 V ce qui est plus grand que leur marge de variation 3 sigma. Les 6 fautes

TABLE 4.3 – Liste des fautes catastrophiques

<i>Faute</i>	<i>Composants défectueux</i>
F1	s_M3_gs, s_M3_ds
F2	s_M1_ds
F3	s_M1_gs
F4	s_M1_gd
F5	s_M2_ds
F6	s_M2_gd, s_L3, s_R3, s_C1
F7	s_M2_gs
F8	o_M3_d
F9	o_M3_g
F10	o_M3_s
F11	o_M1_g, o_L2
F12	o_M1_s, o_L1
F13	o_M1_d, o_M2_s
F14	o_M2_g
F15	o_M2_d
F16	s_R1
F17	s_R2
F18	s_L2
F19	s_L1
F20	o_R1, o_R2
F21	o_L3
F22	o_R3
F23	o_C1

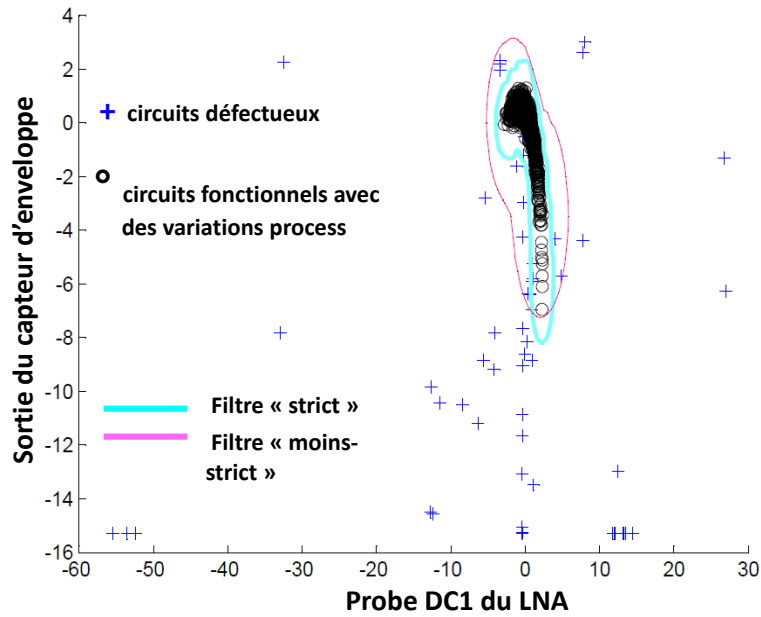


FIGURE 4.38 – Filtre de défauts dans un espace bidimensionnel

restantes qui ne sont pas détectées par les probes DC sont les suivantes :

- Le court-circuit sur le grille de M_2 équivalent à un court-circuit aux bornes de L_d , C_d , R_d
- Trois courts-circuits aux bornes de L_g , R_d et L_s
- Deux circuits-ouverts aux bornes de R_d et C_d

Ces fautes qui surviennent aux bornes des inductances et des capacités nécessitent une excitation du LNA à sa fréquence de fonctionnement d'où la nécessité du capteur d'enveloppe et/ou du capteur de courant. Suivant le niveau de priorité indiqué précédemment, nous avons étudié le fait de pouvoir détecter les fautes en utilisant tout d'abord le capteur d'enveloppe. Le résultat est que les fautes injectées induisent une variation à sa sortie entre 200 mV et 400 mV ce qui est supérieur aux variations 3 sigma. Ceci implique que ces fautes ont été détectées. Un exemple illustrant le filtre de défauts dans un espace bidimensionnel est montré dans la figure 4.38. Nous observons en noir des instances contenant des variations process qui sont les instances Monte-Carlo simulées et nous observons en bleu des instances avec des défauts aléatoires. Nous constatons qu'un grand nombre d'instances défectueuses sont en dehors des limites du filtre. En effet, dans cette figure, nous montrons deux limites du filtre dont l'une est plus stricte que l'autre. Ces limites sont fixés à travers un paramètre du filtre qui représente l'une de ses caractéristiques.

En se basant sur le modèle de fautes catastrophiques considéré, nous déduisons que l'utilisation du capteur de courant n'est pas utile vu que toutes les fautes ont été détectées par des capteurs moins intrusifs. Nous tenons à préciser que cette analyse est valable ou pas en fonction du modèle de défauts considéré.

Vu que l'utilisation du capteur de courant pourra induire une dégradation au niveau

TABLE 4.4 – Les erreurs de prédiction (en %) en utilisant les probes DC et le capteur d’enveloppe

	S_{11}	S_{12}	S_{21}	S_{22}	NF	CP 1dB	IIP ₃
Probes DC	6.49	3.57	2.93	6.1	3.97	4.2	4.59
Capteur d’enveloppe	2.41	1.77	1.94	3.7	1.58	2.52	3.7
Probes DC	1.49	0.57	0.93	3.1	1.47	1.53	3.4
Capteur d’enveloppe							

de la prédiction de performances, nous avons répété les expérimentations de la section précédente sans utiliser ce capteur. Le tableau 4.4, montre que la précision de prédiction des performances en utilisant les probes DC et le capteur d’enveloppe est légèrement dégradée et reste acceptable.

4.5 Conclusion

Dans ce chapitre, nous avons montré une implémentation de l’approche de test alternatif en utilisant des capteurs intégrés connectés à un LNA fonctionnant à 2.4 GHz. Ces capteurs augmentent la testabilité des systèmes complexes ayant des accès de test limités ainsi que l’observabilité aux différents blocs. Dans une telle approche, les mesures des capteurs doivent être capables à la fois de détecter les défauts dans le CUT et de permettre la prédiction des performances des blocs RF ainsi que les performances du système complet.

Afin d’appliquer cette approche, nous avons utilisé un capteur d’enveloppe, un capteur de courant et des probes DC. L’implémentation inclut tout d’abord la construction des différentes fonctions de régression qui relient les mesures des capteurs aux différentes performances (par exemple gain, NF, IIP3 etc.). Ces fonctions de régression sont validées sur des instances indépendantes et les erreurs de prédiction sont satisfaisantes.

De plus, un filtre de défauts multidimensionnel est construit à partir des sorties des capteurs intégrés afin de détecter les défauts catastrophiques ou outliers. L’intérêt de ce filtre est que les limites de test sont fixées sans avoir aucune information sur les défauts. La capacité de ce filtre à détecter les défauts est montrée en injectant des fautes catastrophiques au niveau du layout du LNA.

A ce stade, nous avons implémenté l’approche du test alternatif en utilisant des simples structures intégrées de test. Cependant, l’inconvénient de ces structures de test est qu’elles sont électriquement connectées au CUT et par conséquent il est toujours nécessaire de réaliser un co-design afin de respecter le cahier de charges prédéfini. Ceci peut représenter une limitation pour beaucoup de circuits RF ayant des spécifications difficiles à atteindre et qui exploitent déjà toute la capacité de la technologie.

Chapitre 5

Capteurs non intrusifs

5.1 Introduction

Dans le chapitre précédent, nous avons montré une implémentation de l'approche du test alternatif en utilisant des structures de test intégré connectées au LNA. Dans ce chapitre nous implémentons une approche de test qui utilise des nouveaux capteurs intégrés qui suivent le comportement du LNA sans qu'ils soient connectés électriquement avec lui. D'abord, nous présentons des capteurs de process, placés près du LNA au niveau layout, et qui sont capables de prédire les performances RF en présence des variations process en utilisant le flot de test alternatif. Par la suite, nous proposons une méthodologie de test capable de détecter les fautes catastrophiques dans un LNA en utilisant un capteur de température. Les capteurs de process et le capteur de température sont des capteurs non intrusifs qui ne dégradent pas les performances du CUT. De cette façon, la conception du CUT n'est pas modifiée ce qui est très apprécié du point de vue de la conception RF et du point de vue de l'architecture niveau système, car la variation de la performance d'un ou plusieurs blocs RF impacte directement les figures de mérites du système entier.

5.2 Capteurs de process : structures fictives et moniteurs de process

Les nouveaux capteurs proposés sont des capteurs appelés "structures fictives" ("Dummy") et "moniteurs de process". Ces capteurs ne présentent aucun contact électrique avec le CUT. Notamment, ils ne touchent pas le chemin du signal RF traversant le CUT ce qui implique qu'ils ne sont pas intrusifs. Dans cette section, nous détaillons le principe de fonctionnement de ces capteurs, leur conception et nous montrons leur capacité à prédire les performances du LNA en présence des variations process.

5.2.1 Principe des capteurs de process

La fabrication d'un circuit avec du silicium est divisé en deux parties : *Front-end-of-line (FEOL)* et *Back-end-of-line (BEOL)*. Le *FEOL* comporte la fabrication des

composants (ex. transistors) et le *BEOL* comporte la fabrication des interconnexions entre les différents composants. Les différentes étapes de ces procédés induisent des variations des paramètres de process qui affectent les composants et les interconnexions. Exemples de ces paramètres sont la longueur du canal (L_{eff}), la tension du seuil (V_{th}), la concentration des dopants (N_a), la largeur du transistor (W), la hauteur entre les différents niveaux métalliques (t_{ILD}) etc. Ces variations peuvent être décomposées en deux catégories :

1. Variations d'un *die* à un autre *die* (*die-to-die*), nommées également variations *inter-die*. Ces variations affectent de la même façon tous les composants et les structures d'un même *die*, ex. les longueurs de tous les transistors d'un même *die* sont plus larges que la valeur nominale. Par contre, ces variations affectent les structures d'un certain *die* différemment des structures dans un autre *die*. Ces variations incluent :
 - Les variations d'un lot à un autre lot (*lot-to-lot*) : ce qui signifie que les variations process affectent toutes les plaquettes fabriquées dans un même lot différemment que les plaquettes fabriquées dans un autre lot. Ces variations dérivent principalement d'une déviation dans les équipements de process ou bien de changement des circonstances d'un lot à un autre (ex. le changement de site de fabrication, le changement des machines utilisées, la température sur lequel le run a été fait, les erreurs humaines etc.)
 - Les variations d'une plaquette à une autre plaquette (*wafer-to-wafer*). Les variations process affectent toutes les *die* d'une même plaquette différemment des *die* d'une autre plaquette sachant que les deux plaquettes ont été fabriquées dans un même lot. Exemples de ces variations sont celles qui dérivent de l'utilisation des équipements de process à une seule plaquette (*single wafer processing*), ou celles qui dérivent de la non-idéalité des équipements, par exemple la différence entre les positions des plaquettes dans un four.
 - Les variations sur une même plaquette (*on-wafer*). Toutes ces variations process affectent toutes les structures dans une *die* différemment des structures d'une autre *die* sachant que les deux sont fabriqués sur une même plaquette. Ces variations résultent d'une imperfection dans le process (ex. le transport non-uniforme lors de l'étape de polissage mécano-chimique) et/ou d'un défaut dans l'équipement (ex. une asymétrie dans la chambre affecte le débit du gaz, un gradient thermique dans le four, une distorsion dans la lentille du système lithographique induisant des variations de l'ordre du millimètre, ce qui ne pourra pas induire des variations d'un composant à un autre dans le même *die*).
 En résumé, ces différents types de variations *inter-die* affectent de la même façon les structures dans un même *die* même si elles sont placées loin l'une de l'autre et même si elles n'étaient pas appariées par design.
2. Variations au niveau du *die*, nommées également variations *intra-die*. Ces variations aléatoires affectent les paramètres de process différemment pour deux régions d'un même *die* (ex. les tensions de seuil des deux transistors identiques peuvent être différentes à cause de ces variations). A noter que ces variations n'affectent pas tous les paramètres de process de la même façon. Nous distinguons des paramètres de process qui montrent un degré de dépendance spatiale local (ex.

la longueur du canal d'un transistor présente une variation similaire pour deux transistors identiques et voisins, mais qui pourra différer considérablement avec d'autres transistors identiques placés dans une autre région du *die*). D'autres paramètres de process comme l'épaisseur d'oxyde et la concentration des dopants ne montrent pas cette dépendance et par conséquent leurs variations sont tout à fait aléatoires même pour deux transistors identiques, voisins et très bien appariés. A noter qu'en général, plus les dimensions des composants sont grandes plus les variations *intra-die* sont faibles. Les variations *intra-die* dérivent d'une distorsion dans le système lithographique de l'ordre du micromètre, d'une variation de la concentration des atomes, du layout etc.

Exemples des variations des paramètres de process et des paramètres électriques

Variation de la longueur du canal. Cette variation dépend principalement :

- d'un défaut en photolithographie due à la tolérance dans l'image du masque qui définit la grille,
- de l'angle de gravure de la grille de polysilicium,
- de l'implantation ionique,
- du traitement thermique (la température à laquelle l'implantation ionique est activée).

Tous ces facteurs contribuent à la variation de la longueur du canal. Lors de la caractérisation d'un procédé de fabrication, cette variation est modélisée généralement par deux distributions [38] :

- Moyenne des longueurs de canal de la puce (*Chip mean channel length*) qui est égale à la racine carrée des moyennes des longueurs du canal mesuré d'un lot à un autre, d'une plaquette à une autre dans le même lot et d'un *die* à un autre dans une même plaquette.
- Variation du longueur de canal sur un seul *die* (*Across Chip Line width Variation, ACLV*) qui représente la variation autour de la moyenne calculée en échantillonnant une large population des grilles des transistors dans un même *die*.

Pour les technologies matures la variation de la longueur du canal dans un seul *die* est de l'ordre de 5% à 10% par rapport à la moyenne des longueurs de grille mesurées sur différents lots, plaquettes et *die* sur un même wafer. Dans les technologies moins matures, ce pourcentage peut facilement doubler. Les transistors qui doivent suivre les mêmes variations doivent être les plus proches possible pour augmenter la probabilité qu'ils reçoivent la même énergie des dopants. De plus, un layout dans lequel les composants ont les mêmes dimensions, orientés dans la même direction avec un environnement similaire, diminue forcément l'ACLV.

Épaisseur d'oxyde de grille. Les grilles isolantes augmentent en fonction de la température et les procédés de fabrication modernes présentent une tolérance assez serrée sur leurs épaisseurs physiques. De plus, si la grille de NMOS est montée à VDD, une zone de déplétion est formée dans la région du canal. D'autre part, une seconde région de déplétion est formée involontairement dans l'électrode de la grille immédiatement

au-dessus de l'interface d'oxyde. La pénétration de cette région de déplétion jusqu'à la grille est une fonction de la concentration de dopants. La concentration du dopant N+ dévie essentiellement suite à une variation de la température du recuit qui active les dopants et ceci se traduit par des variations de l'épaisseur de l'oxyde de grille. Le résultat est que la variation de l'épaisseur de l'oxyde de grille à une composante associée à la variation physique de l'oxyde et une autre composante associée à la variation de la dose d'implantation. Le suivi de la variation de l'épaisseur de l'oxyde de grille d'un NMOS à un autre, et d'un PMOS à un autre est très bon localement et sur toute la puce. Le suivi de la variation d'un NMOS à un PMOS est moins bon vu la différence entre les dopants du NMOS et du PMOS. Vu sa dépendance avec la concentration des dopants, les variations de l'épaisseur de grille sont plus importantes au niveau d'un *die*. La variation dans l'épaisseur de l'oxyde affecte directement les performances du transistor MOS comme la transconductance, la tension sous seuil V_{th} et le courant.

Variation de la tension du seuil. Les variations dans les paramètres de process ont un impact direct sur les paramètres électriques des composants. L'un de ces paramètres est la tension de seuil qui est influencée fortement par la variation de la longueur de canal et de l'épaisseur d'oxyde de grille. De plus, la tension de seuil est affectée par la variation aléatoire du nombre de dopants dans le canal.

Variation au niveau des interconnexions et des contacts. Lors du dépôt de métal, une machine établit d'un seul coup toutes les lignes métalliques au niveau de *die* pour un certain niveau (ex. métal 1). Une machine différente, ou la même machine mais dans un moment différent, établit un autre niveau de métal (ex. métal 2). Par conséquent, les niveaux différents des métaux ne suivent pas forcément le même sens de variation entre eux. Cependant, si le métal 1 présente une variation d'épaisseur, cette variation sera systématique sur tout le *die* pour toutes les lignes métalliques de niveau 1 mais ça ne donne aucune information sur la variation de l'épaisseur de lignes métalliques pour le métal 2. D'autre part, l'épaisseur du métal peut varier d'une plaquette à une autre ou dans une même plaquette comme dans le cas du polissage du cuivre. Dans le cas d'une distorsion dans la lentille du système lithographique, le polissage mécano-chimique peut impliquer une variation de l'ordre de millimètres ce qui implique une variation systématique de l'épaisseur au niveau d'un *die*, ou d'un *die* à un autre. Au niveau de la variation de la résistivité du métal, elle apparaît sous forme d'une variation d'une plaquette à une autre. D'une façon similaire, les contacts et les vias reliés à un bon contact ohmique dépendent des process de gravure, du recuit et de la purification qui apparaissent sous forme des variations d'une plaquette à une autre [5], [39].

Résumé et synthèse

En se basant sur cette brève description, nous constatons que chaque variation d'un paramètre de process peut être décomposée en différentes composantes. Cependant le pourcentage de variabilité de chaque composante dépend du paramètre de process concerné. Vis-à-vis de notre utilisation, nous avons décomposé chaque variation process en deux composantes principales :

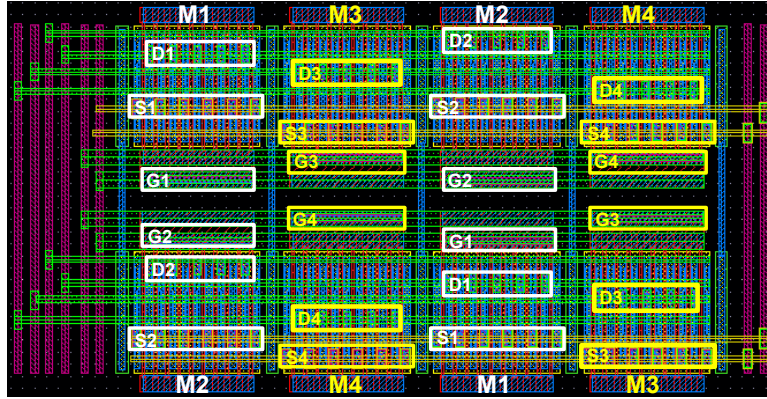


FIGURE 5.1 – Exemple des techniques de layout qui appairient deux miroirs de courant qui ne sont pas connectés électriquement

- Variations corrélées de type *lot-to-lot*, *wafer-to-wafer*, *die-to-die*, ainsi que de type *intra-die* qui montrent un degré de dépendance spatiale locale. Ces différentes composantes affectent d’une façon similaire toutes les structures identiques et très voisines dans un même *die*.
- Variations non-corrélées qui regroupent les composantes *intra-die* qui varient d’une façon totalement aléatoire au niveau du *die* et qui ne montrent aucune dépendance spatiale locale. Ces composantes varient différemment pour deux structures identiques et voisines (ex. nombre des dopants).

En se basant sur cette observation, un placement optimisé, au niveau layout, des capteurs de process ayant des géométries spécifiques aboutit à ce que les capteurs et le CUT suivent des variations process similaires vu qu’ils sont affectés par les mêmes variations corrélées. Par conséquent, un degré de corrélation existe entre les mesures extraites de ces capteurs et les performances RF du CUT. En d’autres termes la variation d’une performance P_j du CUT, noté ΔP_j , et la variation des mesures extraites des capteurs, notés ΔX , peuvent être exprimées de la façon suivante :

$$\Delta P_j = f_1(\Delta p) + r_1 \quad (5.1)$$

$$\Delta X = f_2(\Delta p) + r_2. \quad (5.2)$$

avec p le vecteur des paramètres de process, Δp le vecteur des variations corrélées des paramètres de process, f_1 et f_2 des fonctions non-linéaires et r_1 et r_2 représentant les variations non-corrélées. Dans ces travaux, nous nous basons sur l’hypothèse que les variations ΔP_j et ΔX sont corrélées vu qu’elles sont affectées par Δp et cette corrélation est dégradée à cause de r_1 et r_2 . Par conséquent, nous pouvons suivre la variation de P_j en suivant la variation de X , et il est donc possible de construire une fonction de régression f_j tel que $f_j(X) \simeq P_j$.

A partir de cette analyse, il est évident que les variations non-corrélées peuvent être vues comme du bruit qui dégrade la qualité de la corrélation entre les mesures X et chacune des performances P_j du CUT. Cependant, ces variations sont principalement vues comme un défi au niveau de la conception des blocs analogiques/RF où il faut appairier

deux ou plusieurs composants et/ou deux ou plusieurs sous-blocs (ex. deux transistors d'un miroir de courant, deux transistors dans l'étage d'entrée d'une paire différentielle, les capacités de mémorisation et d'intégration d'un amplificateur à capacités commutées, deux miroirs de courant etc). Par conséquent, si les techniques d'appariement appliquées à ces structures peuvent aboutir à des résultats satisfaisants, l'impact négatif de r_1 et r_2 sur la corrélation est réduit étant donné que les capteurs de process sont des blocs analogiques basiques et des simples composants qui imitent la topologie du CUT. En d'autres termes, ces capteurs peuvent être appariés avec le CUT suivant les mêmes techniques qui seront appliquées pour les exemples cités précédemment, et ceci pour tous les noeuds technologiques. La figure 5.1 montre un exemple de ces techniques d'appariement appliquées au niveau layout. Dans cette figure, nous observons un layout de deux miroirs de courant qui sont totalement appariés. Les deux miroirs sont respectivement formés par les transistors M_1, M_2 et M_3, M_4 qui ne sont pas connectés électriquement. D_i, S_i, G_i réfèrent respectivement au drain, source et grille du transistor M_i . De tels miroirs de courant sont utilisés par exemple pour la conception d'un amplificateur entièrement différentiel. Donc nous pourrions imaginer que si le capteur de process est un miroir de courant, il pourra être apparié de la même façon. Il est important de noter que l'impact négatif de r_1 et r_2 sur la corrélation devient de plus en plus important avec les noeuds technologie récents, notamment ceux plus petits que 100 nm. Cependant, les études récentes montrent que les variations *die-to-die* représentent toujours les facteurs principaux responsables de la large variation des performances pour les noeuds technologiques 65 nm et 90 nm [40].

5.2.2 Structures *Dummy*

Les structures *Dummy* sont des circuits analogiques basiques qui permettent la mesure des paramètres de haut niveau (ex. gain en courant d'un miroir de courant, gain DC d'une étage de gain etc). La spécificité de ces capteurs c'est qu'ils imitent des structures communes déjà présentes dans différents CUTs. Ils sont placés sur le même substrat très proches du CUT mais non-connectés électriquement à ceux-ci. De cette façon, au niveau du layout, les capteurs et le CUT présentent des architectures similaires, un même environnement de process et de température ainsi que du niveau d'alimentation reçu. De plus, pour des technologies moins matures, des techniques d'appariement avancées peuvent être appliquées afin d'apparier les capteurs aux CUT. Par conséquent, grâce au phénomène généralement indésirable des variations process corrélées, la dégradation des performances du CUT apparaîtra sur les mesures des structures *Dummy*.

Pour le LNA, nous expérimentons avec deux types de structures *Dummy* montrées dans la figure 5.2 : a) deux étages de gain MOS source commune formée chacune par un transistor et une résistance poly ayant des géométries différentes, b) une structure générant une tension de polarisation et comprenant un miroir de courant et un étage de gain cascode. En comparant l'architecture de ces structures à l'architecture des blocs analogiques (ex. LNA cascode à dégénérescence inductive, mélangeur *gilbert-cell* etc), nous observons la ressemblance existant et nous supposons que les variations des paramètres de process liés aux transistors et aux résistances peuvent être suivies à partir des mesures de ces structures *Dummy*. A noter qu'il faut veiller à utiliser le même type

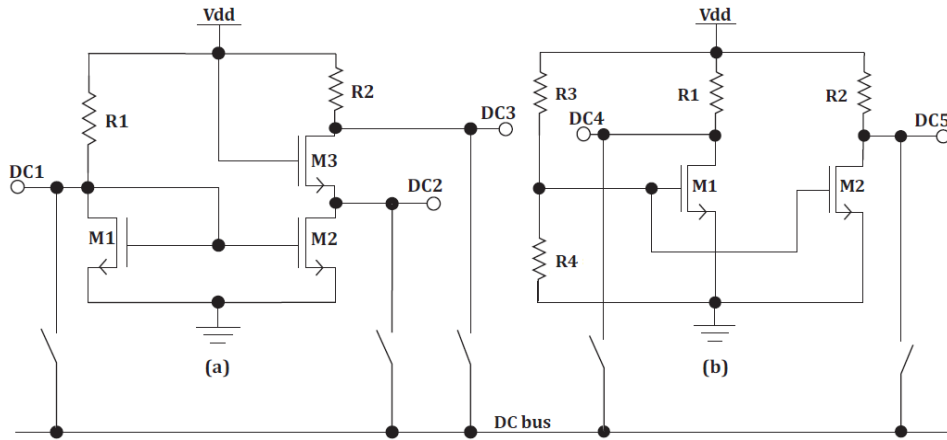


FIGURE 5.2 – Structures *Dummy* : (a) circuit de polarisation, miroir de courant, étage de gain cascode et (b) étage de gain MOS source commune avec différentes géométries

de résistances (par exemple, $poly_{CUT} - poly_{Dummy}$ etc.). D'autre part, les stimuli de ces étages sont des tensions DC générées sur puce et les mesures que présentent ces structures sont extraites à partir des mesures DC.

Au niveau layout, la surface de ces structures est très faible et dans notre cas elles ont été placées dans la zone vide du layout la plus proche du CUT. Ceci ne représente pas un coût additionnel au niveau du silicium, car pour les circuits RF ces zones restent généralement vides pour des contraintes électromagnétiques ou peuvent être remplies par des métaux afin de respecter les règles de dessin imposées par le fabricant.

Afin de valider la dépendance entre les mesures des structures *Dummy* et les performances RF du LNA considéré comme cas d'étude, nous avons réalisé 1000 instances de simulations Monte-Carlo en incluant des simulations transitoires pour les capteurs et des simulations des performances pour le LNA. Pour chaque mesure extraite, nous observons la dépendance avec chaque performance. Il est évident que cette dépendance n'est pas toujours aussi importante pour tous les couples mesure-performance mais ceci donne une première indication sur la corrélation entre chaque performance et l'espace multidimensionnelle des mesures. Les figures 5.3, 5.4, 5.5, 5.6 montrent la dépendance entre le gain DC de l'étage cascode et les différentes performances du LNA. Les figures 5.7, 5.8, 5.9, 5.10 montrent la dépendance entre le gain DC de l'étage cascode et les différentes performances du LNA. Nous observons que pour l'intermodulation d'ordre 3 la dépendance est moins évidente.

5.2.3 Moniteurs de process

Un moniteur de process réfère à un composant électronique placé au niveau layout très proche du CUT ou apparié avec lui. Ces moniteurs mesurent directement des paramètres de process qui incluent principalement : a) la capacitance par unité de surface, b) la transconductance g_m d'un transistor, c) la résistance de sortie r_{ds} d'un transistor et d) la résistivité d'une résistance métal ou d'une résistance poly. En général, les ingénieurs de process placent des tels composants dans les différents coins de chaque

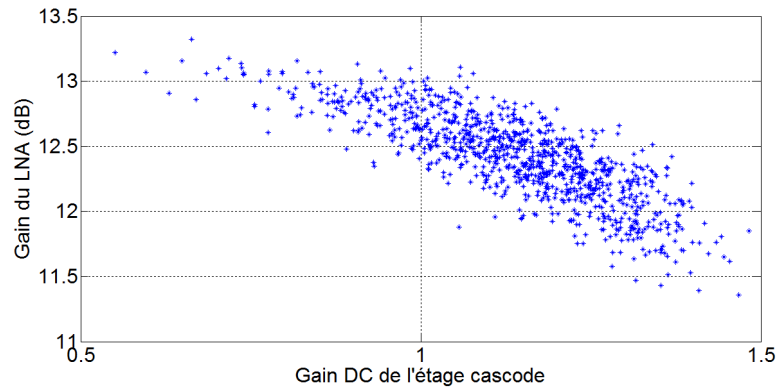


FIGURE 5.3 – Dépendance entre le gain DC de l'étage cascade et le gain du LNA

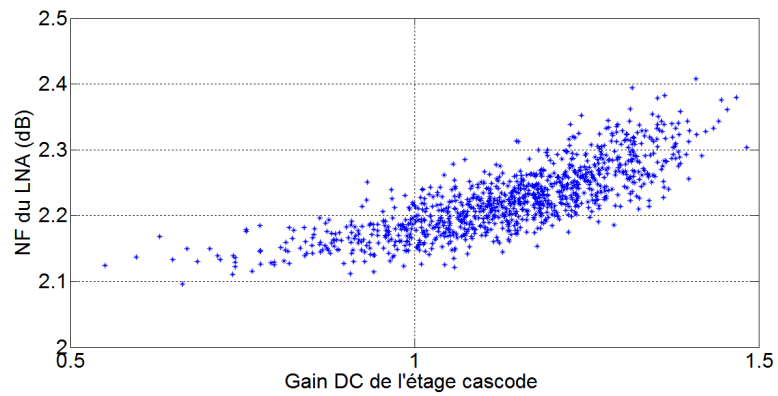


FIGURE 5.4 – Dépendance entre le gain DC de l'étage cascade et la figure de bruit du LNA

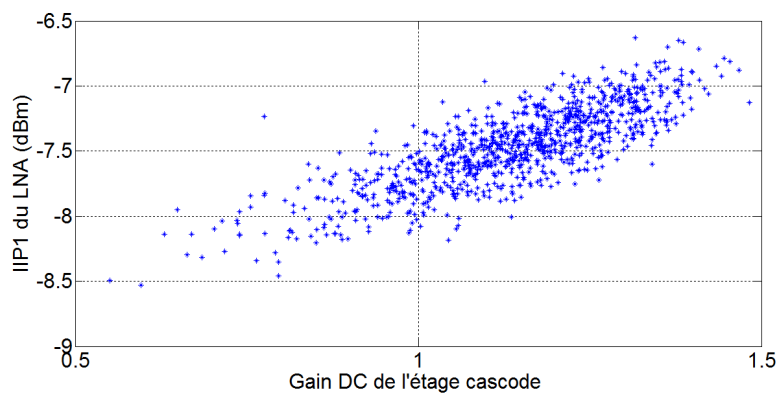


FIGURE 5.5 – Dépendance entre le gain DC de l'étage cascade et le point de compression 1 dB du LNA

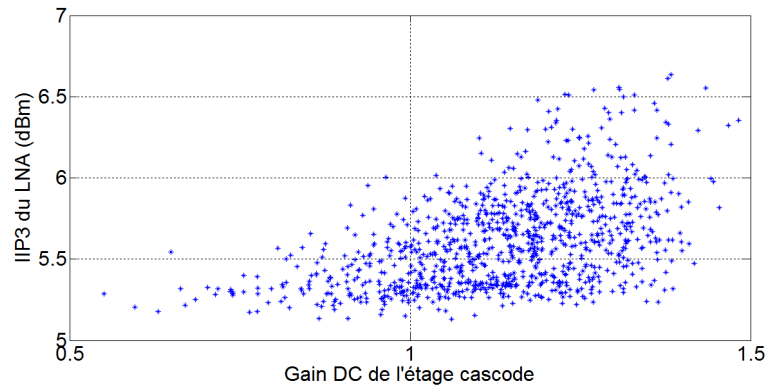


FIGURE 5.6 – Dépendance entre le gain DC de l'étage cascode et l'intermodulation d'ordre 3 du LNA

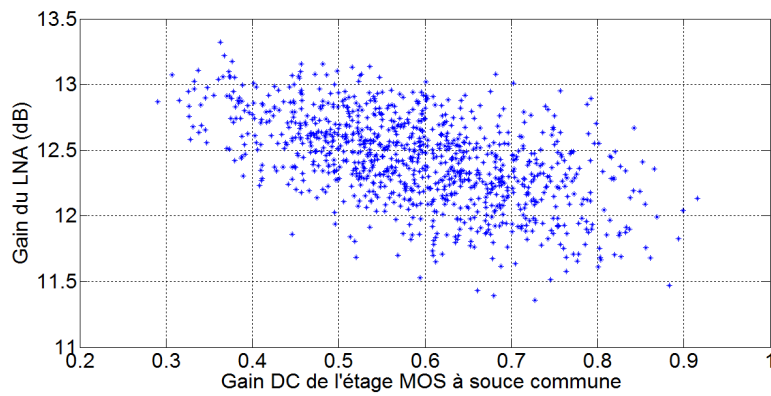


FIGURE 5.7 – Dépendance entre le gain DC de l'étage de gain MOS à source commune et le gain du LNA

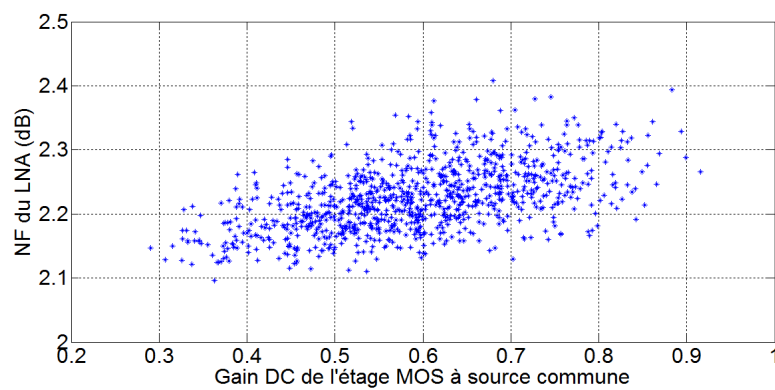


FIGURE 5.8 – Dépendance entre le gain DC de l'étage de gain MOS à source commune et la figure de bruit du LNA

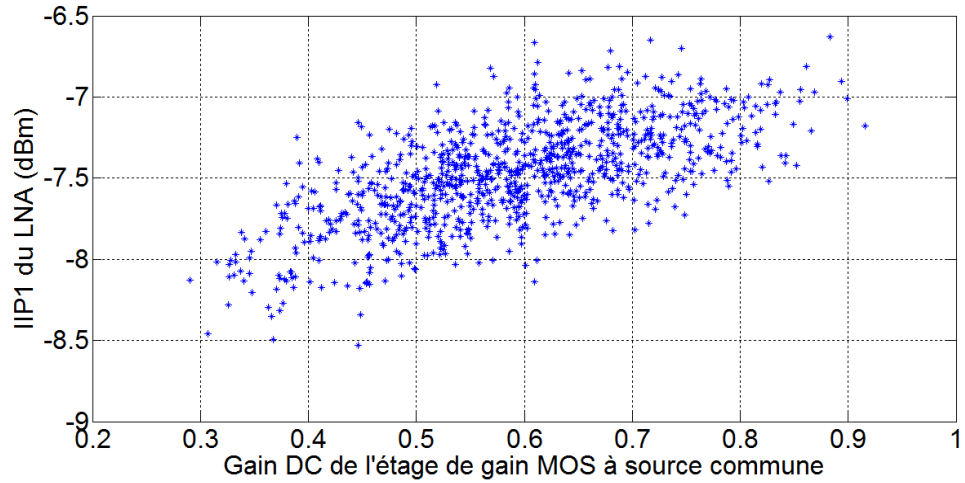


FIGURE 5.9 – Dépendance entre le gain DC de l'étage de gain MOS à source commune et le point de compression 1 dB du LNA

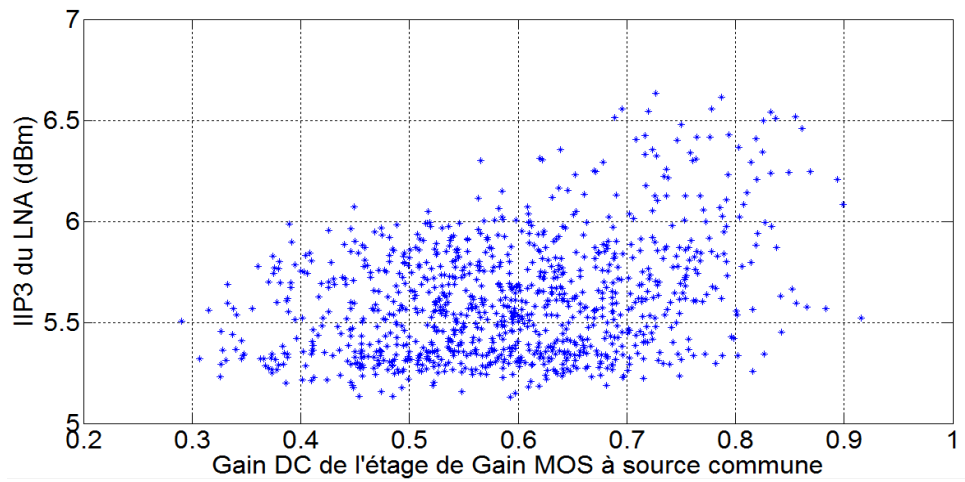


FIGURE 5.10 – Dépendance entre le gain DC de l'étage de gain MOS à source commune et l'intermodulation d'ordre 3 du LNA

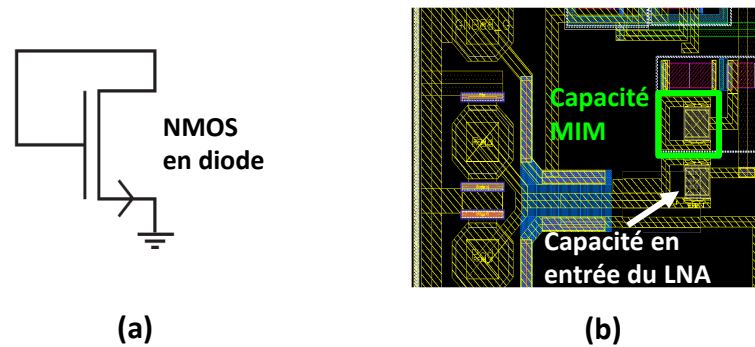


FIGURE 5.11 – Les moniteurs de process : a) NMOS connecté en diode, b) Capacité *MIM*

plaquette (ex. cinq coins) dans le but de réaliser un test *pass/fail* au niveau plaquette pendant les différentes étapes de fabrication jusqu'à l'étape de découpage des *die*. Dans notre approche, nous proposons d'intégrer ces moniteurs de process au niveau de chaque *die* et, en se basant sur le même principe détaillé précédemment, les mesures extraites de ces moniteurs de process peuvent suivre les variations des performances RF.

Dans ces travaux, nous considérons deux types de moniteurs de process montrés dans la figure 5.11 : a) une capacité métal-isolant-métal (*MIM*), et b) un transistor connecté en diode. La capacité *MIM* imite la géométrie et le layout des capacités d'adaptation d'impédance en entrée et en sortie du LNA. Cette capacité pourra être mesurée ou en utilisant un pont de Wheatstone placé sur la carte de test d'un testeur, ou avec un capacimètre, ou bien par une caractérisation I-V en connectant une plaque métallique de la capacité à la masse et une autre à un générateur basse fréquence. En ce qui concerne le transistor monté en diode, une caractérisation I-V de ce transistor génère des mesures directement proportionnelles à l'impédance r_{ds} et à la transconductance g_m . Un exemple de la dépendance entre les mesures des moniteurs de process et les performances RF du LNA est montré dans la figure 5.12.

5.2.4 Layout du LNA et des capteurs de process

Le layout final du LNA et des capteurs est montré dans la figure 5.13. Le LNA occupe une surface égale à 0.4 mm^2 , cependant la surface totale occupée par les capteurs de process est plus petite que 400 um^2 . Ceci implique qu'elle occupe une surface inférieure à 0.5 % de la surface du LNA. Ceci est considéré comme étant très faible spécialement pour un circuit RF où il y a des surfaces vides afin de respecter des contraintes électromagnétiques.

Les parasites qui incluent les résistances, les capacités, les inductances et les inductances mutuelles, sont extraits en utilisant l'outil Assura et des simulations post-layout ont été réalisées pour la validation finale des capteurs et du LNA.

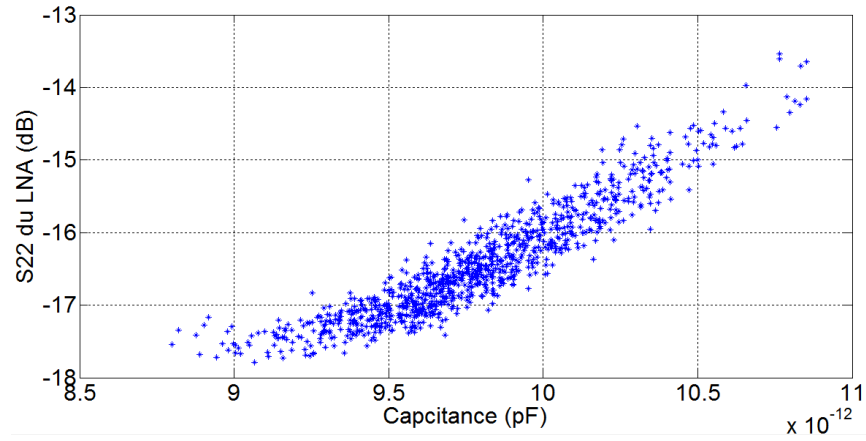


FIGURE 5.12 – Dépendance entre la capacitance de la capacité MIM et le paramètre S22 du LNA

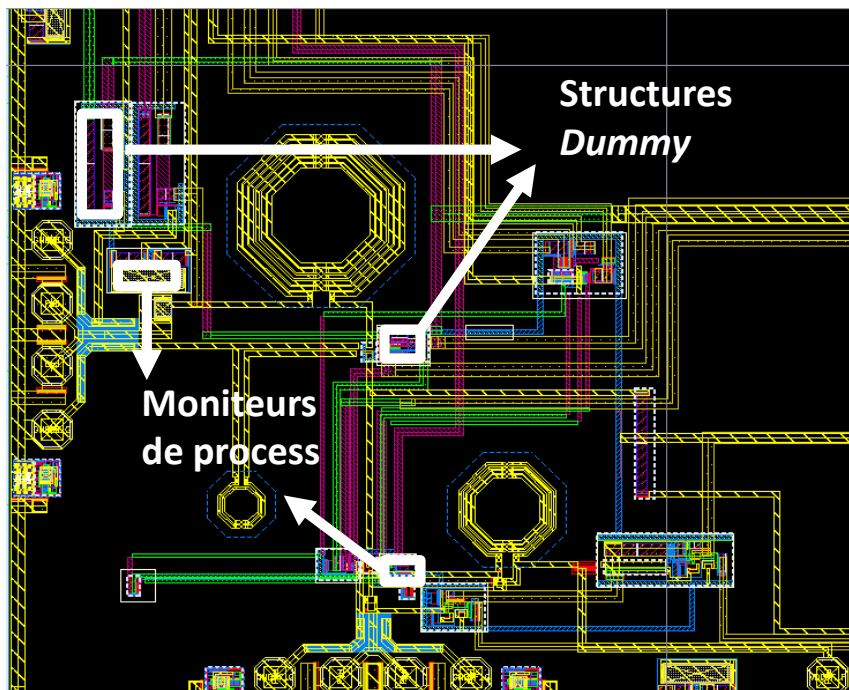


FIGURE 5.13 – Layout du LNA et des capteurs de process

5.2.5 Prédiction des performances en utilisant les capteurs de process

Afin de valider la capacité des capteurs de process (structures *Dummy* et moniteurs de process) à prédire les performances du LNA, nous avons suivi les mêmes étapes que le chapitre précédent. Une population de 1000 instances présentant des variations process est générée. Les simulations sont réalisées sur le layout-top qui inclut le LNA et les capteurs de process. Elles prennent compte des variations process globales ainsi que des mismatches entre les composants. Afin d'avoir un résultat fiable, les parasites du layout ainsi que les modèles des plots ont été pris en compte lors des simulations. Des simulations transitoires ont été réalisées afin d'extraire les mesures des capteurs de process. Les mesures considérées sont les suivantes : a) gain DC de l'étage cascode, b) gain DC de l'étage de gain MOS à source commune, c) gain en courant du miroir de courant, d) tension de polarisation DC générée par l'étage de polarisation, e) capacitance de la capacité MIM, f) transconductance g_m et résistance de sortie r_{ds} . En parallèle, nous avons simulé les performances du LNA. Chacune des performances du LNA est reliée aux mesures des capteurs à travers une fonction de régression. Afin de construire ce type de fonctions, nous avons utilisé le même algorithme du réseau de neurones du chapitre précédent, avec un réseau récurrent ayant trois couches : deux couches intermédiaires et une couche de sortie. Un tel réseau pourra modéliser n'importe quelle fonction non-linéaire. En ce qui concerne le nombre de neurones, il sera optimisé en fonction de l'erreur de prédiction du réseau.

Les 1000 instances sont décomposées en deux ensembles : ensemble d'entraînement (700 instances) et ensemble de test (300 instances). L'ensemble d'entraînement est utilisé pour assurer l'apprentissage du réseau et elle est décomposé en deux sous-ensembles : ensemble d'apprentissage et ensemble de validation. L'ensemble d'apprentissage sert à construire la fonction de régression tandis que l'ensemble de validation sert à contrôler la complexité du réseau et éviter l'overfitting. Finalement, l'ensemble de test servira à évaluer l'erreur de prédiction sur un échantillon qui n'a pas été utilisé lors de la phase d'entraînement.

Les figures 5.14, 5.15, 5.16, 5.17 montrent les performances prédites en fonctions des performances simulées. Les performances prédites correspondent à des instances de test qui n'ont pas été utilisées lors de la phase d'entraînement.

De même que dans le chapitre précédent, nous nous référons à l'erreur RMS exprimée en % afin de mesurer l'erreur de prédiction. Le tableau 5.1 montre les erreurs de prédiction de performances en considérant toutes les mesures des capteurs *Dummy* et de process. Nous observons que les erreurs sont petites, comparativement aux erreurs de mesures obtenus dans le chapitre 6, ce qui montre la précision de prédire les performances du LNA. Ceci implique que les mesures des capteurs sont corrélées aux performances du LNA. De plus, en comparant ce tableau avec les résultats de prédiction obtenus en utilisant le capteur d'enveloppe, le capteur de courant et les probes DC, nous constatons que l'erreur de prédiction est plus petite en utilisant les capteurs de process en notant que nous avons utilisé le même outil de régression. Nous avons réalisé une évaluation des métriques de test paramétriques (taux de défauts et perte de rendement) en part par million (ppm) pour chaque type de capteurs. Cette étude intéressante, basée sur des théories statistiques, n'était pas montrée dans cette thèse pour des raisons d'espace

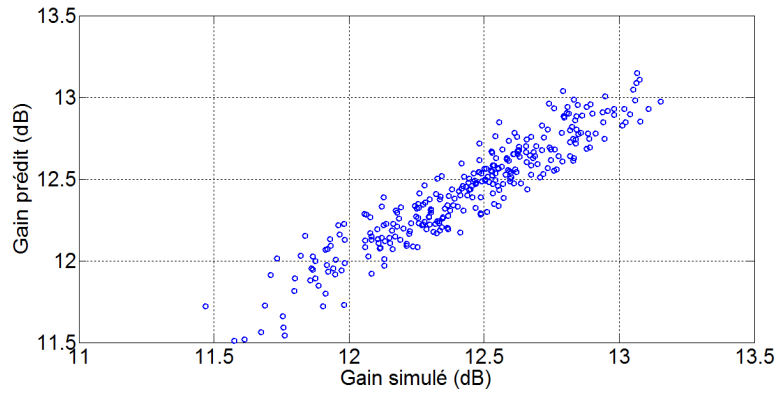


FIGURE 5.14 – Gain prédit en fonction du gain simulé

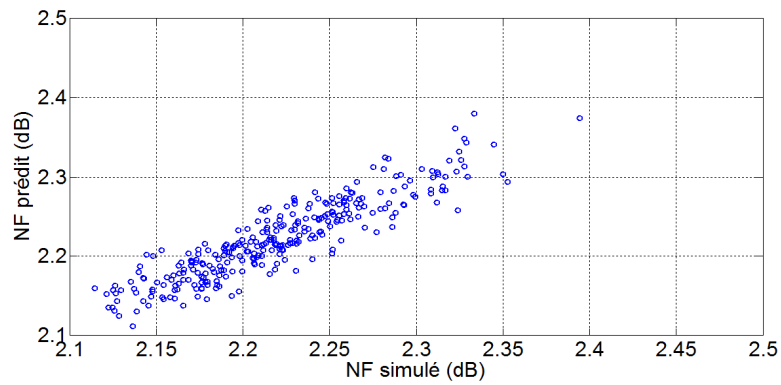


FIGURE 5.15 – NF prédit en fonction du NF simulé

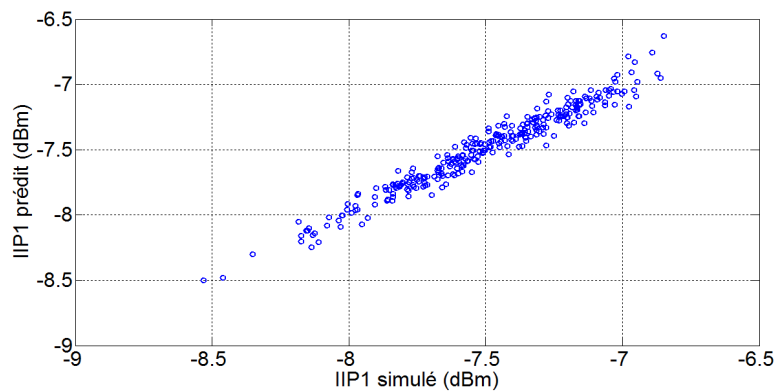


FIGURE 5.16 – IIP1 prédit en fonction de l'IIP1 simulé

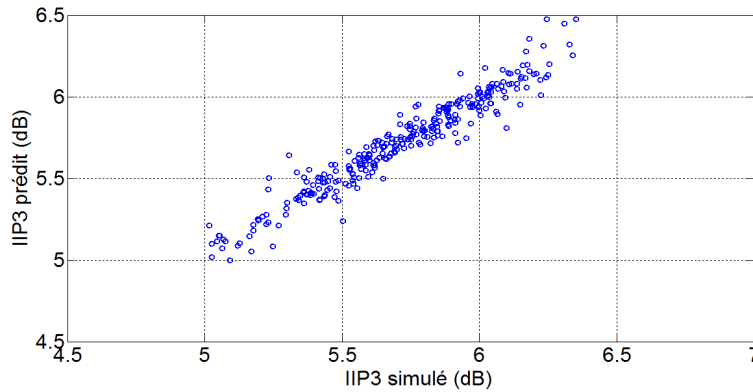


FIGURE 5.17 – IIP3 prédit en fonction du IIP3 simulé

TABLE 5.1 – Erreur de prédiction (en %) en utilisant les capteurs *Dummy* et les PCM

	S_{11}	S_{12}	S_{21}	S_{22}	NF	1 dB CP	IIP ₃
Circuits <i>Dummy</i>	1.69	0.5	0.93	3.29	1.95	1.78	3.4
PCM							

(référence [2] dans la liste des publications de l'auteur). Cette étude a montré une cohérence avec les résultats de prédiction. Ceci implique que plus l'erreur de prédiction est petit, plus le taux de défauts et la perte de rendement diminuent.

5.2.6 Avantages et inconvénients des capteurs de process

Les capteurs *Dummy* et les moniteurs de process sont des capteurs qui n'ont aucun contact électrique avec le LNA. Pourtant ils peuvent le monitorer. Ceci représente le grand avantage de ces capteurs vis-à-vis du capteur d'enveloppe, du capteur de courant et des probes DC, spécialement pour des CUTs qui fonctionnent à très hautes fréquences. D'après les résultats précédents, nous déduisons que ces structures de test présentent des mesures qui sont fortement corrélées aux performances du LNA. Les erreurs de prédiction sont faibles et comparables aux erreurs de mesure et de répétabilité des équipements de test. D'autre part, nous pouvons constater d'après la figure 5.13 du layout que ces capteurs occupent une faible surface. De plus, les stimuli qui excitent ces capteurs et les mesures extraites sont des signaux basse fréquences qui peuvent être générés et traités sur la carte de test à partir des équipements à faible coût, ou bien sur puce en utilisant un bus DC, un convertisseur analogique-numérique et un microprocesseur. Ceci implique que ces capteurs permettent d'accomplir un test à bas coût de plusieurs puces en parallèle lors du test de production ce qui diminue le temps de test et par conséquent le coût total.

Cependant, vu que le principe de ces capteurs est basé sur le suivi des performances du LNA à travers les variations process et vu que les capteurs ne sont pas connectés au LNA, ceci implique qu'ils ne peuvent en aucun cas détecter les défauts catastrophiques au sein du LNA. Par conséquent, le flot de test alternatif basé sur la prédiction des performances et la détection des défauts n'est pas applicable. Et ceci implique que les

performances d'un certain nombre des circuits défectueux seront prédites aléatoirement comme c'est montré dans [28] pour ce type des défauts.

Par la suite, nous avons poursuivi nos travaux de recherche afin de réaliser une implémentation complète du test alternatif intégré non intrusif et ceci nécessite d'extraire du CUT d'autres types d'information capables de détecter ces défauts aléatoires localisés, notamment la température.

5.3 Stratégie de détection des défauts catastrophiques

Les défauts catastrophiques au sein d'un CUT impactent directement la puissance consommée et par conséquent la température du CUT. Dans cette section, nous développons les principes sur lesquels nous nous sommes basés pour choisir la température en tant qu'une mesure directement corrélée au comportement du CUT. Ensuite, nous détaillons le capteur de température utilisé avec les différentes contraintes qu'il faut respecter afin d'assurer la qualité de test. Nous proposons une stratégie de test qui utilise le capteur de température afin d'extraire le gradient thermique au niveau du silicium. Trois modes séquentiels de test sont proposés afin de vérifier la présence des défauts au sein du capteur lui-même et au sein du CUT. Finalement, nous montrons par des résultats de simulation l'efficacité de la stratégie de test proposée.

5.3.1 Principe

La puissance dissipée par un circuit intégré présente des amplitudes à différentes fréquences. Ces paramètres de la puissance sont directement reliés à l'état de fonctionnement du circuit et à ses performances. D'autre part, lorsqu'un circuit dissipe de la puissance, il s'échauffe ce qui augmente sa température. Ainsi la température du CUT est considérée comme étant une information corrélée directement à sa puissance et par conséquent au comportement du CUT.

Afin d'extraire la température du CUT, nous nous sommes basés sur le principe du couplage électrothermique, en particulier la propagation de la chaleur à travers le substrat. Ce phénomène suit la loi de diffusion, ce qui implique que la température à travers le substrat diminue avec la distance à la source. La figure 5.18 illustre ce phénomène. Nous observons que le CUT qui dissipe de la puissance s'échauffe et devient une source de chaleur. La température reçue par un point X du substrat dépend de la distance entre ce point et la source de chaleur : plus la distance est proche, plus la température est élevée. Par conséquent, afin de monitorer la température du CUT un composant sensible à la température doit être placé au plus proche du CUT.

La loi de diffusion implique que la température diminue à mesure que la fréquence de la puissance dissipée augmente. Des travaux existant dans la littérature [41] [42] ont montré que le couplage électrothermique se comporte comme un filtre passe-bas avec une fréquence de coupure de l'ordre de 100 kHz, ceci est montré dans la figure 5.19. Ceci implique que le comportement basse fréquence du CUT pourra être suivi étant donné que la température du CUT résultante de cette dissipation est directement affectée. Cependant, les composants fréquents de la puissance du CUT qui apparaît au-delà de 100 kHz (ex. à la fréquence RF) n'induit aucune variation de la température au point X.

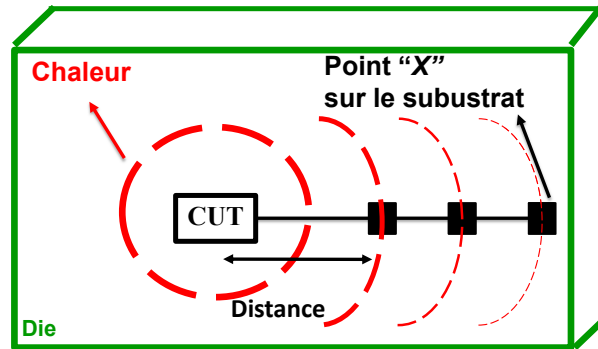


FIGURE 5.18 – Effet du couplage électrothermique

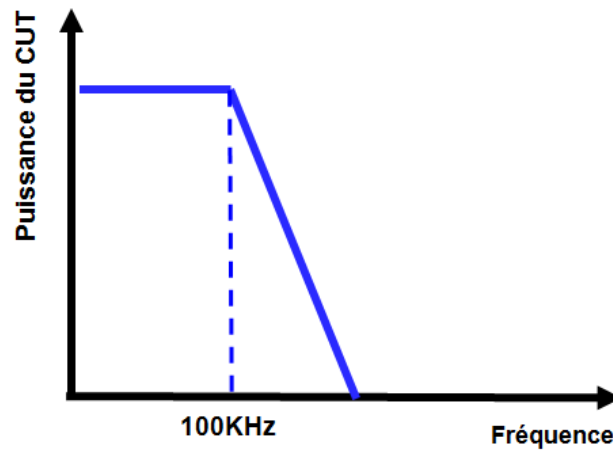


FIGURE 5.19 – Fonction de transfert du couplage électrothermique

Afin de suivre le comportement RF du CUT, les composants fréquentiels de la puissance thermique qui contiennent les informations sur les paramètres du CUT doivent tomber à l'intérieur de la bande passante du filtre même si les paramètres électriques ou les performances du CUT sont observées en dehors de cette bande (ex. gain RF, puissance en sortie etc).

Ceci est rendu possible par l'effet joule. La figure 5.20 montre que le produit d'une tension dynamique (ex. tension ac sur la grille d'un transistor MOS) avec un courant déphasé (ex. le courant sur le drain d'un transistor MOS) à la même fréquence f_0 génère un composant DC dans le spectre de puissance ainsi qu'une composante à la fréquence $2*f_0$. Nous nous intéressons principalement à la composante DC de la puissance vu qu'elle est dans la bande de fréquence du couplage électrothermique, affectant ainsi la température dans le point de mesure. La spécificité de cette composante de la puissance DC par rapport à la puissance résultant de la polarisation du CUT est qu'elle présente une amplitude directement proportionnelle au produit des amplitudes de la tension et du courant RF. Ceci nous permettra de monitorer le comportement RF du CUT en mesurant la variation de la température après application d'un stimulus RF en entrée du CUT. En résumé, la puissance DC d'un CUT RF peut être exprimée de la façon

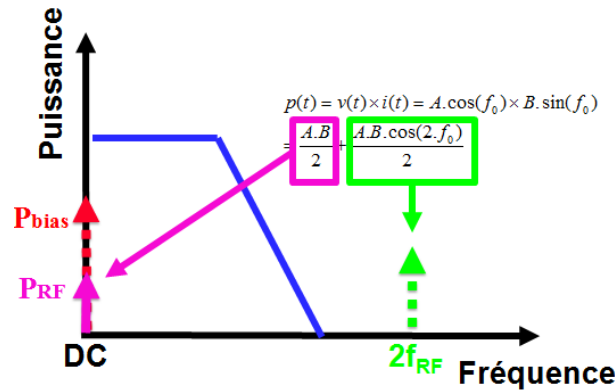


FIGURE 5.20 – Effet Joule

suivante :

$$P_{DC} = \begin{cases} P_{bias} & \text{Alimentation du CUT} \\ P_{bias} + P_{RF} & \text{Application du stimulus RF} \end{cases}$$

où P_{bias} et P_{RF} sont, respectivement, les composantes DC de la puissance correspondant à la polarisation du circuit et à l'application de la puissance RF en entrée. De même, nous déduisons que la température est une signature reliée directement à la puissance de polarisation et à la puissance RF qui contiennent les informations décrivant le comportement du CUT. L'équation 5.3 montre une dépendance linéaire entre la variation de la température et la variation de la puissance à travers la résistance thermique :

$$\Delta T_{sense} = \Delta P_{DC} * R_{thermique}, \quad (5.3)$$

avec ΔT_{sense} la différence de température à une distance " D " et $R_{thermique}$ la résistance thermique du substrat qui dépend de la conductivité thermique et de la géométrie du circuit qui dissipe la puissance.

Impact des défauts catastrophiques sur la puissance DC

Un défaut catastrophique a un impact sur la distribution de la puissance du circuit défectueux. De ce fait, le circuit intégré défectueux présente une carte thermique différente de celle d'un circuit intégré fonctionnel. En effet, les défauts catastrophiques impactent le point d'opération du circuit (tension et courant de polarisation) ainsi que les amplitudes et les fréquences du courant et de la tension. Comme indiqué auparavant, ces paramètres sont directement liés à la puissance de polarisation du CUT quand il est uniquement alimenté et à la puissance DC après l'application du stimulus RF. Ainsi, ces deux signatures de puissance contiennent des informations clés pour atteindre une grande couverture de défauts. La figure 5.21 illustre des exemples sur l'impact des défauts catastrophiques sur la puissance de polarisation du CUT. En effet, les courts-circuits aux bornes des résistances et des transistors du CUT induisent une grande dissipation de puissance ce qui est représenté par l'histogramme rose. Cependant, les

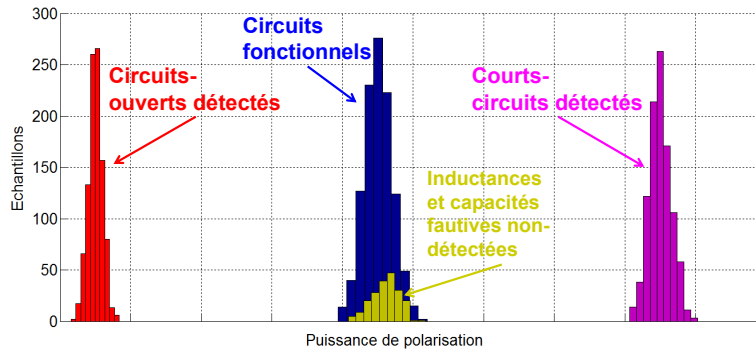


FIGURE 5.21 – Puissance DC des CUTs fonctionnels et défectueux lorsqu'ils sont uniquement polarisés

circuits-ouverts aux bornes de ces composants induisent une très faible dissipation de puissance ce qui est représenté par l'histogramme rouge. En comparant la distribution de la puissance de polarisation dissipée par un CUT défectueux à celle dissipée par un CUT fonctionnel (histogramme bleu), un grand nombre de défauts sera détecté juste en polarisant le CUT et en monitorant sa puissance à travers la mesure de la température du CUT.

Cependant, les défauts aux bornes des inductances (courts-circuits) et aux bornes des capacités (circuits-ouverts) n'impliquent aucun changement dans le point d'opération du CUT. C'est pourquoi la distribution de la puissance de polarisation d'un tel circuit est similaire à celle d'un CUT fonctionnel comme illustré par l'histogramme jaune dans la figure 5.21. De tels défauts affectent le courant et la tension dynamiques traversant le CUT. Dans un tel scénario, nous profitons de l'effet Joule détaillé dans le paragraphe précédent pour détecter ces défauts en monitorant la variation de la puissance DC après l'application d'un stimulus RF. La figure 5.22 illustre l'histogramme de la distribution de la variation de puissance DC après l'application du stimulus RF. Les défauts aux bornes des inductances et des capacités génèrent des histogrammes de puissance qui ressemblent à ceux de couleur jaune. Par conséquent, il est possible de détecter ces défauts en mesurant la variation de la température du CUT après l'application du stimulus RF.

En se basant sur ces observations, nous constatons que la détection des défauts catastrophiques est réalisable à travers une stratégie de test non intrusif basée sur la mesure de la température en vue de monitorer la puissance dissipée par un CUT.

5.3.2 Capteur de température

La mesure du gradient thermique à travers le substrat de silicium nécessite un capteur de température différentiel. Dans ce travail, le capteur utilisé est un amplificateur opérationnel en boucle ouverte ayant une paire différentielle formée par deux bipolaires Q_1 et Q_2 comme montré dans la figure 5.23. Les courants de collecteur de ces transistors sont amplifiés à travers les miroirs de courant (M_4, M_5) et (M_6, M_7) et ils sont convertis en tension à travers l'impédance de sortie du capteur formé principalement par la résistance parallèle de M_5 et M_6 . Cette topologie différentielle permet de rejeter

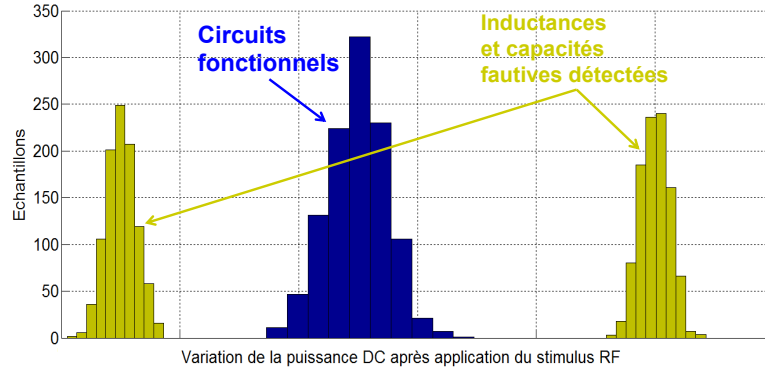


FIGURE 5.22 – Variation de la puissance DC des CUTs fonctionnels et défectueux après application du stimulus RF

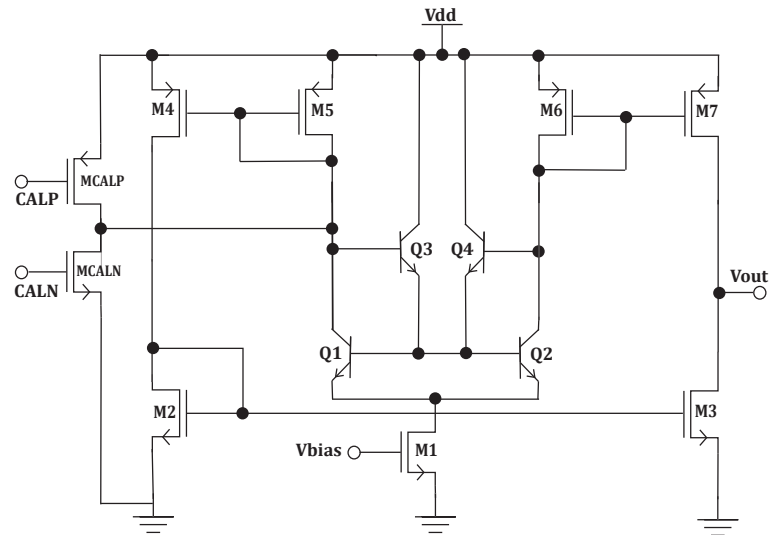


FIGURE 5.23 – Capteur de température différentiel

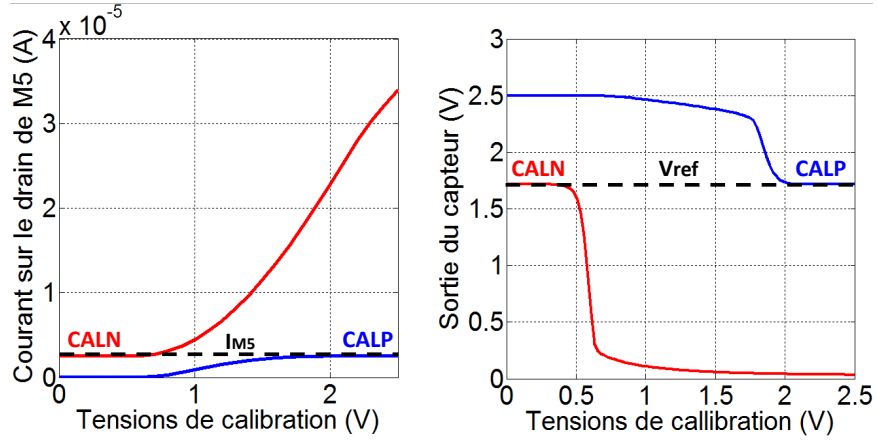


FIGURE 5.24 – Courant traversant le drain du transistor M_5 et sortie du capteur en fonction des tensions de calibration

le mode commun de la variation de température qui décale la distribution thermique à la surface du substrat.

Une caractéristique additionnelle de ce capteur est la calibration de la sortie en ajoutant ou en soustrayant du courant traversant le transistor M_5 en utilisant les transistors MCALP et MCALN. La figure 5.24 explique le fonctionnement du capteur en utilisant ces deux transistors. Initialement CALN est fixé à 0V et CALP à VDD. En augmentant la tension de la grille CALN du transistor MCALN, le courant I_{MCALN} augmente, par conséquent I_{M_5} augmente. Ceci implique que le transistor M_4 va tirer plus de courant et par conséquent la tension sur la source de M_4 (grille et drain de M_2) augmente, d'où le niveau de V_{out} diminue. Inversement, en diminuant la tension du grille CALP du transistor MCALP, V_{out} augmente. Cette procédure de calibration est nécessaire pour compenser les variations process d'un tel capteur vu qu'il est basé sur un amplificateur opérationnel à boucle ouverte. Dans la stratégie proposée, cette calibration joue un rôle important qui sera détaillé dans la section suivante. A noter que ce type de calibration pourra être automatisée à travers un convertisseur analogique-numérique et un processeur.

Analyse de la dépendance entre V_{out} et la température de Q_1

L'équation 5.4 montre la dépendance entre le courant du collecteur et la température [3] :

$$I_{Q_i} = I_s \exp\left(\frac{qV_{be}}{kT}\right) \quad (5.4)$$

avec V_{be} la tension base-emetteur, k la constante de Boltzmann, T la température exprimée en kelvin, q la charge électrique de l'électron et I_s le courant de saturation. Le courant I_s est proportionnel à $\mu kT n_i^2$, avec μ la mobilité des charges minoritaires et n_i la concentration intrinsèque des charges minoritaires. La mobilité μ et la concentration n_i dépendent également de la température et peuvent être exprimées de la façon suivante :

$$\mu \propto \mu_0 T^m \quad (5.5)$$

$$n_i^2 \propto T^3 \exp\left(\frac{-E_g}{kT}\right) \quad (5.6)$$

Par conséquent, le courant de saturation peut être exprimé suivant l'équation :

$$I_s = bT^{4+m} \exp\left(\frac{-E_g}{kT}\right) \quad (5.7)$$

Etant donné que les transistors Q_1 et Q_2 présentent des géométries identiques, et qu'ils fonctionnent au même point d'opération et, en général, à une même température, nous supposons que les courants de leurs collecteurs sont égaux. Cependant, la moindre différence de température entre Q_1 et Q_2 déséquilibre les courants des collecteurs et par conséquent la sortie du capteur varie suivant l'équation :

$$V_{out} = V_{ref} + \Delta V_{out} \quad (5.8)$$

avec V_{ref} la sortie du capteur lorsque les températures de Q_1 et Q_2 sont égales et ΔV_{out} la variation de cette sortie suite à une différence de température entre Q_1 et Q_2 . ΔV_{out} est exprimée comme suit :

$$\Delta V_{out} = S_d * \Delta T_{Q_i} \quad (5.9)$$

avec $\Delta T_{Q_i} = T_{Q_1} - T_{Q_2}$ et S_d la sensibilité différentielle du capteur. Afin d'appliquer notre approche de test, nous proposons de placer Q_1 assez proche du CUT dans le but de capter sa température et de placer Q_2 très loin de toute source de chaleur dans le but de capter la température moyenne du *die*. Lorsque le CUT est éteint, les températures de Q_1 et Q_2 sont égales à la température moyenne du *die*, ΔV_{out} est nul et V_{out} est égal à V_{ref} . Lorsque le CUT est polarisé, il dissipe de la puissance ce qui augmente sa température et le rend une source de chaleur. Par conséquent la température de Q_1 augmente grâce au couplage électrothermique. De ce fait, V_{out} varie en fonction de la puissance du CUT. Afin d'analyser la dépendance entre V_{out} et la puissance du CUT, une analyse de la dépendance entre la sensibilité différentielle du capteur S_d et la température de Q_1 est nécessaire. S_d s'exprime par :

$$S_d = \frac{\partial V_{out}}{\partial I_{Q_1}} \cdot \frac{\partial I_{Q_1}}{\partial T_{Q_1}} \quad (5.10)$$

En négligeant les courants de base de Q_3 et Q_4 et étant donné que les transistors MCALP et MCALN sont initialement éteints, nous avons :

$$\frac{\partial V_{out}}{\partial I_{Q_1}} = \frac{\partial (I_{M7} - I_{M3}) \cdot R_{out}}{\partial I_{Q_1}} \quad (5.11)$$

$$= \frac{\partial(-G \cdot I_{Q1} \cdot R_{out})}{\partial I_{Q1}} = -G \cdot R_{out} \quad (5.12)$$

avec R_{out} l'impédance équivalente en sortie qui est égale à $r_{dsM7} // r_{dsM3} // R_{charge}$ et G le gain du miroir de courant $M_4 - M_5$. D'autre part :

$$\frac{\partial I_{Q1}}{\partial T_{Q1}} = \frac{\partial I_s}{\partial T_{Q1}} \cdot \exp\left(\frac{qV_{be}}{kT_{Q1}}\right) + I_s \cdot \frac{\partial(\exp(\frac{qV_{be}}{kT_{Q1}}))}{\partial T_{Q1}} \quad (5.13)$$

En se basant sur les équations (5.4) et (5.7), l'équation (5.13) est exprimée par :

$$\frac{\partial I_{Q1}}{\partial T_{Q1}} = I_{Q1} \left(\frac{4+m}{T_{Q1}} + \frac{Eg}{kT_{Q1}^2} - \frac{V_{be}q}{kT_{Q1}^2} \right) \quad (5.14)$$

Dans l'équation 5.14, I_{Q1} est toujours positif. De plus, en supposant que $Eg = 1.12 \text{ eV}$, $V_{be} = 0.75 \text{ V}$ et $m \approx -1.5$ [3], le second facteur de cette équation devient positif pour T_{Q1} plus grand que $-5.2 * 10^3 \text{ K}$, ce qui est toujours vrai vu qu'en général la température de fonctionnement d'un CUT est comprise entre -45°C et 125°C . En révisant les équations (5.12) et (5.14), nous pouvons déduire que la sensibilité du capteur S_d est négative, par conséquent lorsque la température de Q_1 augmente, la sortie du capteur diminue et inversement. De plus, nous constatons que S_d dépend principalement de l'impédance de sortie, du gain du miroir de courant et du courant de polarisation.

Afin d'extraire des mesures liés uniquement à la chaleur du CUT et éviter l'interférence de température entre différents blocs, le layout du capteur doit respecter les contraintes suivantes :

- Le composant sensible Q_1 a été placé très proche du CUT. Ceci nous amène à une réflexion sur le placement optimal de ce composant. En étudiant notre cas d'étude rappelé dans la figure 5.25, nous observons que les composants principaux qui comportent des informations sur la puissance du LNA sont les transistors M_1 et M_2 . En effet, la puissance dissipée par chacun de ces transistors est principalement définie par le courant de polarisation du CUT, son point d'opération ainsi que les valeurs des composants qui définissent les amplitudes du courant et de la tension dynamiques. Cependant, vu que l'impédance de sortie de M_2 est plus large que celle de M_1 , la tension drain-source dynamique du transistor M_2 est plus grande. Ceci implique que la puissance dissipée par le transistor M_2 reflète plus la variation du signal RF qui traverse le LNA. La figure 5.26 montre la variation de la puissance DC dissipée par le transistor M_2 en fonction de l'amplitude RF en entrée. Nous observons que pour des faibles amplitudes lorsque la puissance RF est négligeable, la puissance DC est presque égale à la puissance de polarisation. Ensuite, plus l'amplitude d'entrée RF augmente, la puissance DC diminue jusqu'à un minimum qui correspond au point de compression 1 dB [42]. Notre objectif consiste à choisir l'amplitude RF en entrée qui induit la variation la plus large en puissance tout en respectant les limitations technologiques qui fixent la tension acceptée sur la grille d'un MOS par exemple 10 dBm. En se basant sur cette analyse, nous avons placé le transistor bipolaire Q_1 très proche du transistor M_2 du LNA.

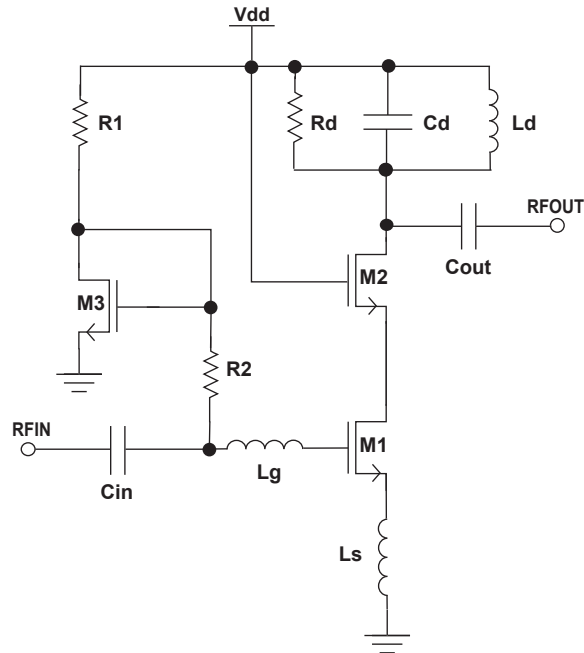
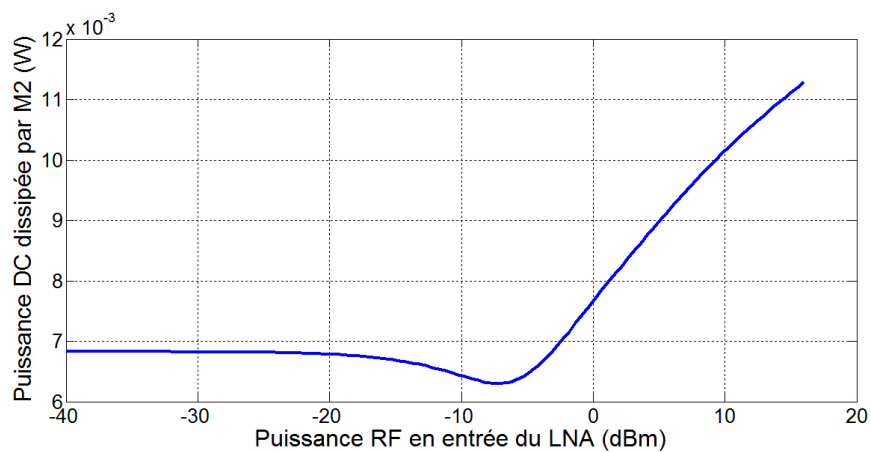


FIGURE 5.25 – Schéma du LNA.

FIGURE 5.26 – Puissance dissipée par le transistor M_2 en fonction de la puissance RF en entrée

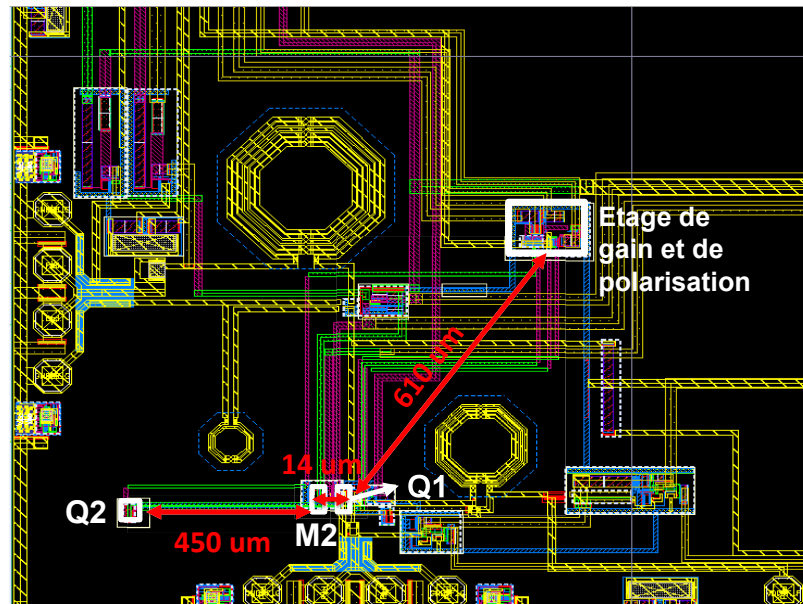


FIGURE 5.27 – Layout du LNA et du capteur de température

- Le composant Q_2 représente la température de référence (celle du *die*) est placé dans l'espace vide du layout très loin de toute source de chaleur.

La figure 5.27 montre que la distance entre Q_1 et Q_2 est plus large que $450 \mu m$ et la distance entre chacun des deux transistors et l'étage de polarisation du capteur (qui représente une source de chaleur) est aussi plus large que $610 \mu m$. D'autre part, nous observons la faible distance qui est de l'ordre de $14 \mu m$ entre les transistors Q_1 et M_2 .

5.3.3 Modes de test

Dans cette section, nous présentons les trois modes de test qu'il faut appliquer, de façon séquentielle, afin de détecter les défauts catastrophiques au sein du LNA et du capteur de température.

Mode Test DC du BIT

Dans ce mode, nous débutons la procédure de test en polarisant le capteur de température tout en notant que le LNA est éteint. Dans un premier temps, notre objectif est de fixer la sortie du capteur V_{out} , qui varie largement à cause des variations process, à une valeur de référence V_{ref} . Pour ceci, nous contrôlons les niveaux de CALN et de CALP qui sont initialement fixés à GND et à VDD respectivement. Dans la figure 5.28, la courbe bleue montre la fonction de transfert du capteur de température à la fin de cette étape de calibration. Le point 1 sur cette courbe montre le point d'opération du capteur à $T_{ref} = 25^\circ C$ étant donné que le LNA est éteint.

D'autre part, dans ce mode nous nous intéressons à détecter les défauts catastrophiques au sein du capteur. En effet, il est toutefois possible de calibrer la sortie du capteur afin de fixer V_{ref} même en présence d'un défaut, c'est pourquoi des limites de

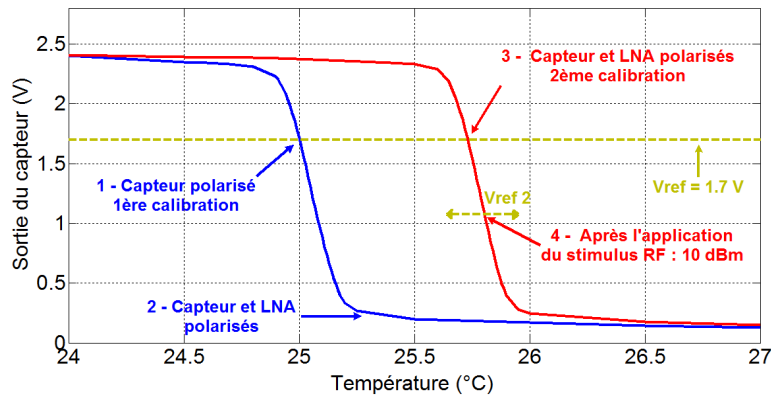


FIGURE 5.28 – Variation de la sortie du capteur en fonction de la température de Q_1 calibration pour CALN et CALP doivent être fixées afin de détecter ces défauts. Par conséquent, dans la phase de test, si CALN et CALP ne peuvent pas imposer $V_{out} = V_{ref}$ en utilisant leurs intervalles prédéfinis, nous déduisons que le capteur de température est défectueux et par conséquent dans un tel scénario, le LNA ne peut pas être testé avec le BIT. Il doit être testé à travers un test fonctionnel typique.

Mode *Test DC du CUT*

Une fois que le mode *Test DC du BIT* est accompli et à condition que le capteur de température soit fonctionnel, ce second mode DC sera abordé. Dans ce mode, le LNA est polarisé suivant les conditions typiques, il dissipe une puissance DC qui augmente sa température et le rend équivalent à une source de chaleur. Grâce au couplage électrothermique, la température augmente au voisinage du transistor Q_1 . La température au voisinage de Q_2 demeure constante à $T_{ref} = 25^\circ\text{C}$. Comme expliqué précédemment, l'augmentation de la température de Q_1 induit une large décroissance du niveau de la tension en sortie du capteur grâce à sa grande sensibilité étant donnée que ce capteur est un amplificateur différentiel à boucle ouverte. Ceci est illustré par le point 2 sur la courbe bleue de la figure 5.28. Dans ce mode, nous proposons une deuxième calibration à travers CALP, étant donné que V_{out} doit toujours décroître dans ce mode, afin de refixer la sortie du capteur à V_{ref} . La courbe bleue de la figure 5.28 montre une fonction de transfert du capteur de température à la fin de cette deuxième étape de calibration et le point 3 correspond au point d'opération du capteur calibré.

Dans le mode *Test DC du CUT*, nous devons aussi définir une variation maximale de la tension de calibration CALP afin d'éviter la compensation des défauts catastrophiques qui peuvent se produire au sein du capteur. À noter que deux intervalles seront définis pour CALP, tout dépend si le capteur de température a été initialement (dans le premier mode) calibré en utilisant CALN ou CALP. Lors de la phase de test, si V_{out} ne peut pas être fixé à V_{ref} en utilisant les limites prédéfinies, nous jugeons que le LNA est défectueux. Cependant une différence existe dans ce mode par rapport au mode précédent, c'est la nécessité de définir une variation minimale de la tension de calibration CALP. En effet, la calibration du capteur est directement reliée à la variation de la température de Q_1 , et par conséquent à la température et la puissance du LNA. Etant

donné qu'un LNA fonctionnel dissipe une puissance minimale prédéfinie, ceci implique qu'il y aura impérativement une variation minimale de la température de Q_1 et par conséquent de V_{out} . Ceci montre la nécessité d'une limite minimale de calibration pour garantir que le LNA est dans l'intervalle prévue de sa dissipation de puissance et ceci assure une plus grande couverture des fautes.

Mode *Test RF* du *CUT*

Afin de détecter les défauts catastrophiques aux bornes des capacités et des inductances, nous avons mis en place le mode de test RF. L'analyse déjà réalisée dans la figure 5.26 nous permet de définir l'amplitude RF pour laquelle nous observons une large variation de la puissance DC et par conséquent une variation de la sortie du capteur V_{out} . Il est évident que cette variation de V_{out} sera directement reliée au comportement RF du LNA. Le point 4 de la courbe rouge de la figure 5.28 montre un exemple de la variation de la tension en sortie de capteur après application du stimulus RF. En présence de variations process au sein du CUT, un intervalle est défini pour V_{ref2} . Lors de la phase de test, si en appliquant un stimulus RF, V_{out} se situe en dehors de l'intervalle défini, nous déduisons que le LNA contient un défaut.

La figure 5.29 montre un diagramme qui résume les différentes étapes du flot de test proposé.

5.3.4 Application de la stratégie de test

Dans cette section nous détaillons les étapes que nous avons suivies afin de d'appliquer, au niveau simulation, la stratégie de test proposée :

1. Définir l'amplitude du stimulus RF : à cette amplitude, nous observons une large variation de puissance DC au niveau du transistor M_2 . Dans notre cas d'étude, l'amplitude choisie est égale à 10 dBm. Ceci implique une augmentation de la puissance DC du transistor M_2 , par conséquent une augmentation de sa température ainsi que celle de Q_1 d'où la baisse prévue du niveau de V_{out} en sortie du capteur.
2. Définir la tension de référence V_{ref} : égale à 1.7 V étant donné que la tension d'alimentation est égale à 2.5 V. Ce niveau de référence prend en compte la baisse du niveau de sortie du capteur V_{out} après application du stimulus RF.
3. Définir les limites de calibration de CALN et CALP dans le mode *Test DC du capteur* : des simulations pires cas sont réalisées pour le capteur de température afin de déduire le minimum et le maximum de variation de V_{out} . Pour la valeur minimale de V_{out} , une calibration est réalisée à travers CALP afin d'augmenter V_{out} et la ramener à V_{ref} . Pour la valeur maximale, la calibration est réalisée à travers CALN afin de diminuer V_{out} et la ramener à V_{ref} (voir figure 5.24). Ceci définit les limites de calibration de CALP1 et CALN1 dans ce mode :

$$CALN1 < 0.65 \quad (5.15)$$

$$1.68 < CALP1 \quad (5.16)$$

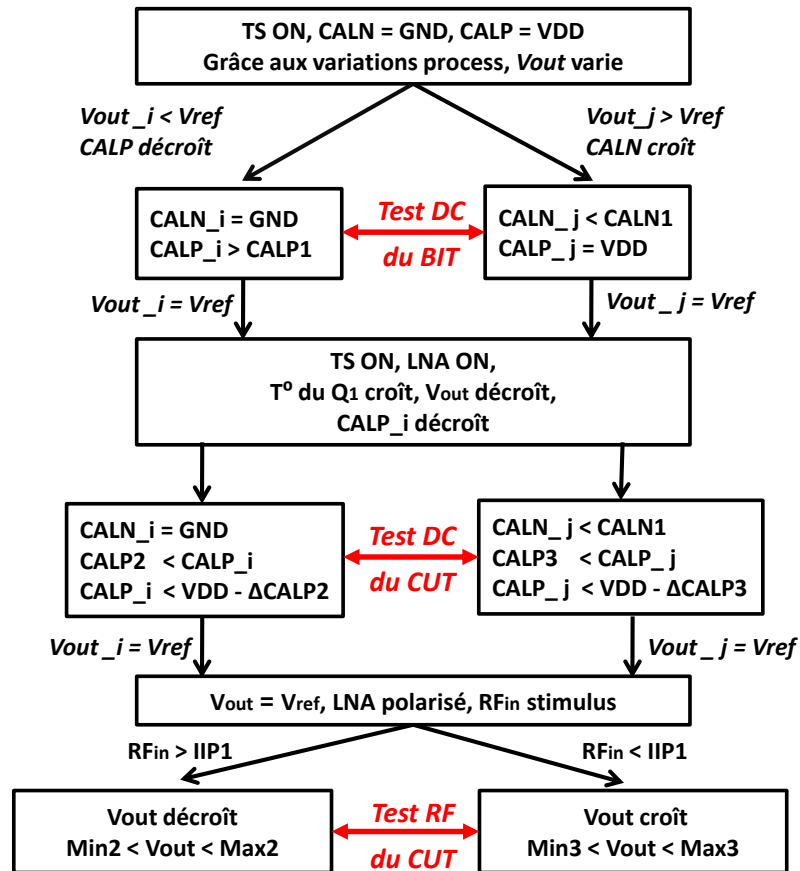


FIGURE 5.29 – La stratégie de test permettant de détecter les défauts catastrophiques en utilisant le capteur de température

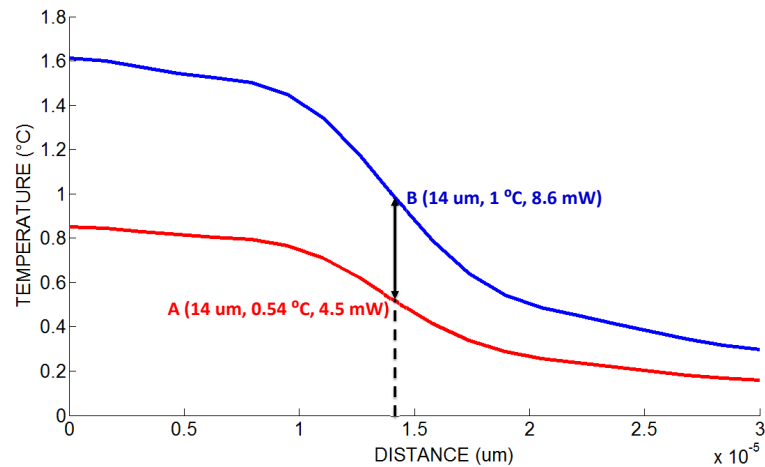


FIGURE 5.30 – Variation de la température au voisinage de Q_1 ($T_{ref} - T_{Q1}$). Q_1 est placé à différentes distances du transistor M_2

4. Définir les limites de calibration pour le mode *Test DC du CUT* : ceci nécessite uniquement la polarisation du LNA. Cette étape est décomposée de la façon suivante :
 - A partir des simulations process pires cas au sein du LNA, nous déduisons les limites de la puissance dissipée par le transistor M_2 .
 - Afin de déduire la variation de la température correspondante à la variation de puissance à différentes distances de M_2 , une analyse électrothermique est réalisée. A partir de cette analyse nous déduisons la variation de la température de Q_1 . Une modélisation de l'équation du transfert thermique statique due à la conduction à travers le silicium est réalisé sous Matlab en utilisant la série de Fourier en coordonnées rectangulaires avec l'approximation quadruple [42]. Le modèle inclut les paramètres suivants : (a) la géométrie du *die*, (b) l'épaisseur du silicium, (c) la conductivité thermique du silicium, (d) la géométrie de la source de chaleur (M_2) et (e) les coordonnées du composant sensible (Q_1). Ce modèle nous permet de calculer la température tout au long de l'axe définie par les coordonnées de la source de chaleur et du composant sensible. Comme nous nous intéressons à des mesures différentielles de la température (gradient thermique), nous pouvons négliger la modélisation des différents niveaux (*layers*) qui forment le circuit intégré. La figure 5.30 montre la variation de la température de Q_1 en fonction de la distance entre M_2 et Q_1 . Les deux courbes montrés en rouge et en bleu correspondent respectivement aux puissances minimale et maximale dissipées par M_2 . Le choix du placement optimal de Q_1 est un compromis entre la sensibilité à la variation de la température de M_2 et les contraintes du layout, soit au niveau de la surface disponible, soit au niveau des règles de dessin fixées par le fondeur. Dans notre cas d'étude, nous avons choisi une distance $D = 14 \text{ } \mu\text{m}$ ce qui correspond (d'après la figure 5.30) à une variation de la température de Q_1 entre 0.54°C et 1°C .
 - Finalement, afin de définir les limites de calibration, les variations de la tem-

pérature de Q_1 (minimale et maximale) sont appliquées au capteur calibré initialement dans le mode *Test DC du BIT* tout en tenant compte des variations process pire cas au sein du capteur. Par conséquent, nous avons considéré les instances pire cas du capteur avec les valeurs correspondants de calibration (CALN1, VDD) et (GND, CALP1). Les limites de température sont appliquées pour chaque instance et ensuite nous performons la calibration. Pour les capteurs initialement calibrés à travers CALP (GND, CALP1), les limites de CALP sont les suivantes :

$$1.4 < CALP2 < CALP_{init} - 0.2V \quad (5.17)$$

avec $CALP_{init}$ le niveau de CALP à la fin de la première étape de calibration. Pour les capteurs initialement calibrés à travers CALN (CALN1, VDD), les limites de CALP sont les suivantes :

$$1.58 < CALP3 < 1.75 \quad (5.18)$$

Par conséquent, les valeurs du CALP pour lesquels V_{out} est fixé à V_{ref} définissent les limites de calibration.

5. Définir les limites de V_{out} dans le mode *Test RF du CUT* : ceci dépendra forcément de l'amplitude du stimulus RF en entrée du CUT. Une fois que le stimulus est défini (ex. 10 dBm), des variations process pire cas sont réalisés afin de déduire la variation minimale et maximale de la puissance DC de M_2 après application du stimulus RF. De même que dans l'étape précédente la variation de puissance sera appliquée au modèle thermique afin de déduire la variation de la température de Q_1 . La variation de température sera appliquée aux instances pire cas du capteur afin de déduire les limites de V_{ref2} :

$$1.05 < V_{ref2} < 1.27 \quad (5.19)$$

En se basant sur ces limites de test, une évaluation de la stratégie proposée a été réalisée au niveau de simulation afin de vérifier la détection des défauts au sein du capteur et au sein du LNA en utilisant les mesures thermiques. Ceci sera présenté dans la section suivante.

5.3.5 Détection des défauts catastrophiques au sein du capteur et du LNA

Afin de valider la stratégie proposée, nous avons généré une liste de défauts qui inclut les courts-circuits et les circuits-ouverts au sein du LNA et du capteur de température. Comme dans le chapitre précédant, les fautes sont injectées au niveau layout. Un court-circuit est modélisé par une ligne métallique qui connecte les bornes d'un composant et/ou qui connecte deux lignes métalliques proches l'une de l'autre. Un circuit-ouvert est modélisé en coupant la ligne métallique connectant deux noeuds. Toutefois, l'injection de chaque faute est suivie par une extraction des capacités, des résistances, des inductances

et des inductances parasites. Ensuite, la simulation de la vue extraite est réalisée afin de vérifier si la faute injectée est détectable ou pas par les différents modes du capteur. Nous avons considéré 27 fautes au sein du LNA et 32 fautes au sein du capteur de température.

Application du Mode *Test DC du BIT* : afin de détecter les différents défauts au sein du capteur nous avons appliqué ce mode pour les deux instances pire cas en process, de cette façon nous pourrions vérifier les limites fixés pour CALN et pour CALP. Ceci correspondra à 64 capteurs défectueux. 60/64 défauts induisent des variations de V_{out} que nous arrivons à détecter soit à travers CALN, soit à travers CALP, dans les limites définis dans ce mode, soit à travers un comportement anormal de la sortie V_{out} en variant CALN ou CALP. Les défauts non-détectés sont les suivantes :

1. un circuit-ouvert sur le grille de MCALN,
2. un circuit-ouvert sur le grille de MCALP,
3. un court-circuit qui connecte CALN à la masse,
4. un court-circuit qui connecte CALP à VDD ,

Les défauts (1) et (3) ne sont pas détectés pour l'instance initialement calibrée à travers CALP. Cependant les défauts (2) et (4) ne sont pas détectés pour l'instance initialement calibrée à travers CALN. La non-détection des défauts (1) et (3) ne dégrade pas la qualité de test. Ceci est dû au fait que pour un CUT fonctionnel, le circuit dissipera de la puissance et par conséquent la température de Q_1 augmente, ce qui nécessite une calibration à travers CALP pour refixer V_{out} à V_{ref} , d'où CALN ne sera pas utilisé. Par contre, les défauts (2) et (4) impacteront le noeud CALP qui va jouer un rôle important pour tester le CUT c'est pourquoi il est nécessaire de les détecter pendant la procédure de test.

Application du Mode *Test DC du CUT* : après application de ce mode, nous avons trouvé différents scénarios :

1. Des défauts qui induisent des larges variations de la puissance dissipée par M_2 : ceci implique que la température de Q_1 augmente significativement et par conséquent V_{out} diminue largement. En diminuant CALP dans les intervalles définis, nous n'avons pas pu refixer V_{out} à V_{ref} ce qui implique que les défauts ont été détectés.
2. Des défauts qui induisent une faible variation de la puissance DC dissipée par M_2 : par conséquent la température de Q_1 ne varie pas pratiquement après la polarisation du LNA. Dans un tel scénario, la sortie du capteur de température varie légèrement. Le minimum de calibration qui doit être réalisé à travers CALP (CALP2 ou CALP3) n'était pas atteint ce qui implique que les défauts sont détectés. Nous rappelons que lorsque le LNA est fonctionnel, la sortie du capteur doit largement baisser dépendamment de la puissance dissipée.
3. Des défauts qui induisent une variation " prévue " de la puissance : ceci implique que la puissance a provoqué une variation de V_{out} qui a pu être calibrée à travers CALP, ce qui implique que ces défauts n'ont pas été détectés.

4. En calibrant à travers un capteur contenant les défauts (2) et (4), nous ne constatons pas une variation de la sortie V_{out} en variant CALP, ce qui représente un fonctionnement anormal. Par conséquent, ces défauts au sein du capteur sont détectés dans ce mode.

Application du Mode *Test RF du CUT* : les défauts non-détectés par le mode *Test DC du CUT* sont les suivants :

1. circuit-ouvert sur C_{in} ,
2. court-circuit sur C_{in} ,
3. circuit-ouvert sur C_{out} ,
4. court-circuit sur C_{out} ,
5. court-circuit sur L_g ,
6. court-circuit sur L_s ,
7. court-circuit sur C_d , L_d , et entre le drain et la source de M_2 (ceci est équivalent à un seul défaut).

En appliquant le stimulus RF (10 dBm à 2.4 GHz) à l'entrée du LNA, la variation de la puissance DC du transistor M_2 induit une variation de la sortie V_{out} en dehors de l'intervalle défini pour V_{ref2} . Ceci implique que ces défauts sont détectés.

5.4 Conclusion

Dans ce chapitre, nous avons implémenté une stratégie de test intégré non intrusif. Cette stratégie est basée sur l'approche de test alternatif en utilisant des capteurs intégrés qui ne sont pas connectés au CUT.

Nous avons d'abord présenté des capteurs de process que nous appelons structures *Dummy* et moniteurs de process. Ces capteurs suivent les variations process du LNA en exploitant des variations corrélées. En effet, ce type de variations affecte les capteurs et le LNA d'une façon similaire. Par conséquent, en suivant le flot de test alternatif, nous avons construit différentes fonctions de régression dont chacune relie les mesures des capteurs à chaque performance du LNA. Nous avons montré à travers des simulations post-layout que les erreurs de prédiction des performances sont très faibles ce qui montre l'habileté de ces capteurs à suivre le comportement RF du LNA.

Vu le principe des capteurs de process, il est évident que les défauts localisés ou catastrophiques au sein du LNA ne peuvent pas être détectés. Cependant, la détection de ces défauts aléatoires représente une étape critique dans le test de production. A cette fin, des mesures thermiques non intrusives ont été considérées afin de mesurer la puissance DC consommée par le LNA. Nous avons placé un capteur de température qui mesure le gradient thermique entre le LNA et la température moyenne du *die*. Ceci nous a permis d'extraire indirectement une mesure de la puissance DC du LNA qui contient l'information sur les comportements RF et DC. Par la suite, nous avons proposé trois modes de test qui utilisent le capteur de température afin de détecter les défauts catastrophiques dans le LNA et le capteur. Afin de valider cette étude, des défauts ont été

injectés au niveau layout et la vue extraite du layout a été simulée. Nous avons montré une couverture parfaite des défauts injectés suivant le modèle considéré.

Chapitre 6

Résultats expérimentaux

Dans ce chapitre, nous présentons tout d'abord les différentes techniques appliquées pour la réalisation de la puce. Ensuite, nous présentons une brève description de la carte de test et de l'environnement de mesure. Finalement, nous montrons expérimentalement la stratégie de test non intrusif suivant l'approche décrite précédemment en utilisant les capteurs de process pour prédire les performances et le capteur de température pour détecter les défauts.

6.1 Réalisation de la puce

Le layout du circuit est montré dans la figure 6.1. Elle est réalisée avec la technologie $0.25\ \mu\text{m}$ Qubic4plus de NXP Semiconductors. La technologie inclut 5 niveaux métalliques (métal 1, 2, 3, 5 et 6), une résistance polysilicium, une capacité polysilicium, une capacité métal-isolant-métal (MIM), une inductance en forme d'hexagone réalisée en métal 6, un transistor NPN et un transistor PNP. Le layout de la puce inclut deux circuits. Le premier est un circuit connecté à la couronne de plots avec le LNA et les différents capteurs non intrusifs. Le deuxième est une version dupliquée qui est prévue pour le test sous pointes. La duplication du circuit présente deux avantages :

- Si jamais il y avait un problème au niveau de la couronne de plots, de la puce, ou de la carte de test, nous pourrions avoir recours au test sous pointes afin de vérifier le fonctionnement du circuit.
- Si la corrélation entre les performances du LNA et les mesures des capteurs était faible, nous pourrions avoir recours au test sous pointes pour diagnostiquer la source des problèmes.

6.1.1 Layout de la puce

Dans cette section, nous montrons les différentes techniques de dessin respectées dans le layout du circuit final.

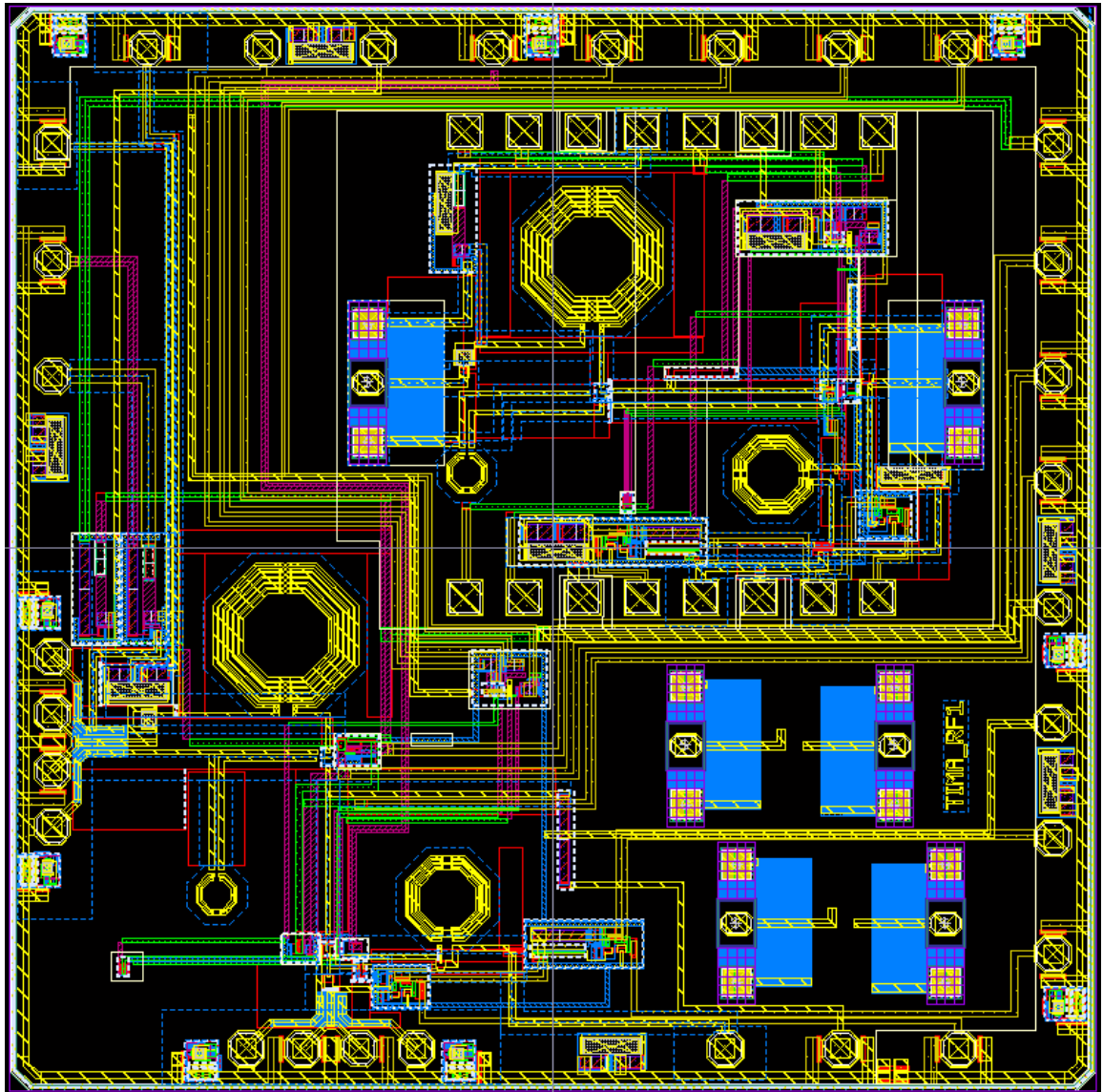


FIGURE 6.1 – Layout de la puce

A. Techniques de dessin de masques

Au niveau des techniques de dessin des composants et des lignes métalliques, nous avons suivi les critères suivants :

- Utiliser les cellules "pcell" déjà stockées dans la bibliothèque de la technologie pour tous les composants (capacités, inductances, résistances, transistors). Ces cellules sont paramétrisables et les contraintes géométriques correspondantes à chaque couche sont automatiquement respectées. Ceci minimise le temps ainsi que les erreurs.
- Utiliser des transistors multi-doigts notamment lorsqu'un transistor est très large, vu que la résistivité du polysilicium sera très grande. La résistance de la grille d'un transistor multi-doigts est équivalente à mettre plusieurs résistances en parallèle ce qui diminue la valeur de la résistance équivalente.
- Utiliser les hauts niveaux métalliques tout au long du chemin du signal RF, notamment les niveaux 6 ou 5. De plus, ces lignes doivent avoir une largeur la plus grande possible afin de minimiser les résistances parasites.
- Réaliser un chemin RF aussi court et aussi droit que possible.
- Eloigner deux métaux transportant des signaux RF autant que possible afin d'éviter les interférences électromagnétiques qui peuvent dégrader le fonctionnement.
- Eloigner les inductances d'une distance équivalente au diamètre de l'inductance la plus grande (*rule of thumb*). De plus, il faut réaliser des simulations électromagnétiques si l'outil est disponible.
- Isoler le chemin du signal RF de tout autre signal. Il faut éviter de faire passer des lignes métalliques au dessous du chemin du signal RF.
- Eviter de placer des métaux de densité (*dummy*) proches du signal RF en ajoutant une couche *no-fill*.
- Réaliser le routage entre un composant et l'alimentation ou la masse avec des niveaux métalliques non-résistifs, notamment métal 5 et métal 6. De plus, il est recommandé de router le chemin d'alimentation et le chemin de la masse en parallèle tout au long de la puce afin de former une grande capacité de découplage. Cette capacité pourra filtrer le bruit dans l'alimentation, spécialement le bruit haute fréquence.
- Isoler le domaine d'alimentation des blocs RF des autres domaines d'alimentation, ainsi que la masse RF de la masse DC ou de la masse numérique.
- Eviter les " boucles fermées " dans les lignes d'alimentation, de la masse et du signal RF. Une boucle fermée au niveau de l'un des signaux implique une boucle de courant qui pourra induire des interférences électromagnétiques. Il faut monitorer ces lignes au niveau du layout TOP.
- Eviter l'effet antenne qui apparaît lors du procédé de fabrication sur les grilles des transistors. En effet, sous certaines conditions, la gravure du plasma ou l'implantation ionique induisent des charges sur la grille d'un transistor qui peuvent l'endommager. Le nom "antenne" vient du fait que ces charges sont facilement induites sur des structures dessinées de telle sorte qu'elles agissent comme une antenne, par exemple, un long métal connecté à la grille du transistor. Afin d'éviter cet effet, deux solutions existent : soit briser la ligne métallique connectée à la

grille en utilisant différents niveaux métalliques, soit connecter une diode polarisée en inverse entre le well et la grille du transistor (n+/pwell pour un NMOS ou p+/nwell pour un PMOS). Cette diode va dévier les charges vers le substrat. En général, l'effet antenne est inclut dans les règles de dessin comme étant une limite maximale acceptable entre le volume du métal relié à la grille et la surface de la grille.

- Ajouter des anneaux de garde autour des différents blocs et/ou composants afin d'isoler les blocs. Cependant, dans le cas des circuits RF, il existe un courant non négligeable qui passe à travers le substrat. C'est pourquoi ces anneaux ne doivent pas être fermés des 4 faces afin d'éviter la présence de boucles de courant qui induisent des interférences électromagnétiques.
- Respecter les règles d'électromigration : ceci nécessite de savoir la valeur maximale du courant DC (et AC s'il existe) circulant dans chaque branche afin de préciser la largeur minimale du métal et le nombre minimal de vias. A noter que la largeur du métal dépendra forcément du niveau métallique vu la différence de résistivité.
- Le passage d'un niveau métallique à un autre nécessite l'utilisation de matrices de vias afin de minimiser la résistance équivalente d'interconnexion.
- Eviter d'avoir des composants avec un seul via sur leurs bornes (par exemple, drain et source des transistors, bornes des résistances etc). Les résistances connectées sur les pins du boîtier doivent être réalisées avec des lignes les plus larges possible avec un grand nombre de vias.
- Etudier soigneusement le compromis entre l'utilisation d'un métal de haut niveau qui a l'avantage d'avoir la résistivité la plus faible et le fait qu'un haut métal rajoute plus de capacités parasites qu'un de plus bas.
- Respecter les règles de protection ESD comme ça sera détaillé plus loin.

Egalement, des conditions doivent être respectées afin d'assurer l'appariement entre le LNA et les capteurs de process :

- Placer les composants appariés suivant la même orientation vu que le courant doit passer dans la même direction dans les deux composants.
- Router deux composants appariés avec les mêmes niveaux métalliques sur chacun des noeuds supposés symétriques. Utiliser des composants *dummy* pour assurer des environnements similaires, afin que les deux composants appariés voient les mêmes variations de process, de température et du niveau d'alimentation.
- Augmenter autant que possible les dimensions des composants afin de diminuer le mismatch.

B. Couronne de plots en vue du test en boîtier

Lorsque la puce est mise en boîtier (*packaging*), il faut réaliser une couronne de plots (*pad ring*). La couronne de plots est une interface entre le circuit interne et les pins du boîtier. A noter qu'il faut modéliser le schéma du signal depuis le plot du layout jusqu'à l'entrée RF de la carte de test. Typiquement, ceci est pris en compte lors de la conception du circuit.

Le point critique à tenir en compte lors de la conception de la couronne de plots c'est la protection contre les décharges électrostatiques (*ESD : Electrostatic discharge*).

Pour des composants critiques une seconde protection ESD demeure nécessaire.

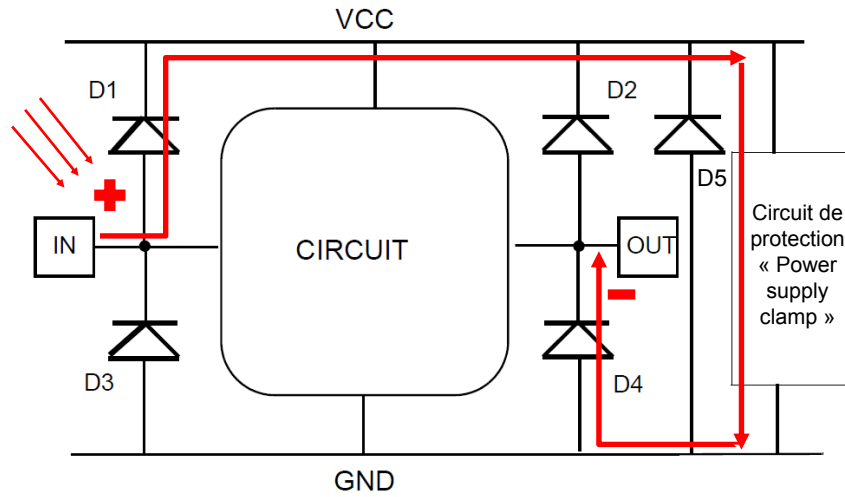
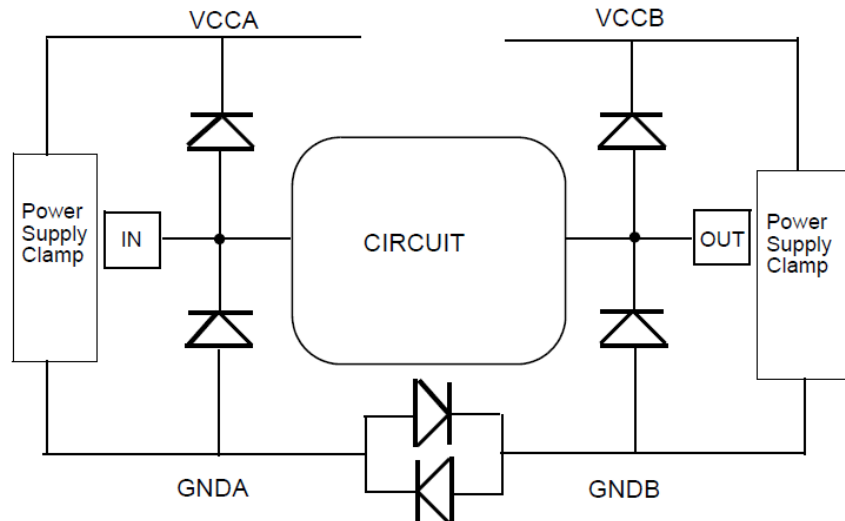
B.1 Protection ESD sur la couronne de plots

En général, le circuit intégré n'est pas réalisé pour pouvoir supporter des champs électriques trop élevés (quelques kV), ni de courants trop forts (quelques ampères). Ceci pourrait entraîner la rupture de l'oxyde, la fusion des interconnexions, l'injection des charges ou le perçage des contacts qui rendent le circuit défaillant. Une très grande accumulation de charges peut être causée par le contact entre le circuit et l'être humain, les instruments etc. Les protections ESD servent à protéger le circuit en présence de ces forts courants et/ou en présence des hautes tensions. Les principales contraintes à tenir en compte lors de la réalisation des protections ESD sont :

- utiliser des protections ESD qui résistent à la décharge électrostatique,
- prendre en compte les différents chemins de décharge ESD,
- lutter contre les décharges positives et négatives,
- avoir un impact minime sur les performances du circuit,
- constituer un chemin faiblement résistif pour l'ESD,
- écrêter les hautes tensions,
- évacuer le courant de décharge,
- se déclencher rapidement comparativement aux autres chemins possibles dans le circuit,
- ne pas induire d'étape supplémentaire dans le procédé de fabrication des composants et ne pas occuper une large surface.

La figure 6.2 montre une configuration d'un schéma de protection ESD suivant la stratégie centralisée nommée *rail-based protection* pour un circuit intégré. L'idée de base c'est de pouvoir trouver un schéma de protection, traversé par le courant fort, entre n'importe quel plot du circuit ayant un potentiel positif par rapport à n'importe quel autre plot ayant un potentiel "moins positif" sans traverser le circuit lui-même. L'exemple montré en rouge dans la figure 6.2 suppose que le plot IN reçoit une impulsion positive par rapport au plot OUT. Le courant suit le schéma (D1 - power supply clamp - D4) vers OUT. Le même exercice pourra être répété pour n'importe quelle autre paire de noeuds dont l'un est plus positif que l'autre. Dans notre cas, nous avons deux domaines d'alimentation associés à deux masses différentes. Par conséquent, afin d'assurer tous les schémas possible, deux diodes montées en tête bêche doivent être placées entre les deux domaines de masse. Ceci est montré dans la figure 6.3.

Le schéma de protection est formé par des composants de la librairie de NXP Semiconductors notamment des diodes et un circuit de protection de l'alimentation ("*power supply clamp*"). Les diodes sont placés à chaque noeud et entre les deux domaines de masse suivant la configuration montrée dans la figure 6.3 et le *power supply clamp* est placé entre chaque domaine d'alimentation et la masse correspondante. Différentes dimensions des diodes sont disponibles dans la librairie de la technologie. Il est évident que plus la diode est grande, plus les parasites sont importants ce qui dégrade les performances du circuit principal. Dans notre cas, nous avons utilisé la plus grande diode afin de minimiser le risque même si les performances du circuit seront dégradées. Le "*power supply clamp*" nommé "Crowbar" dans la librairie de NXP est un bloc basé principa-

FIGURE 6.2 – Schéma de protection suivant la stratégie centralisée *rail-based protection*FIGURE 6.3 – Schéma de protection suivant la stratégie centralisée nommée *rail-based protection* pour différents domaines d'alimentation

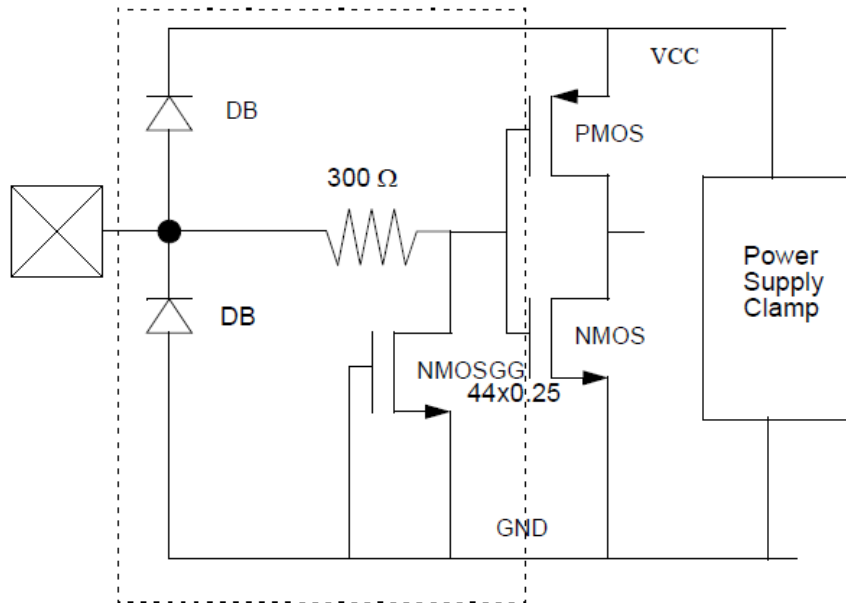


FIGURE 6.4 – Deux protections ESD en entrée de la grille

lement sur une configuration Darlington des transistors NPN. Le bloc est contrôlé de façon à provoquer un chemin du courant de l'alimentation vers la masse lors d'un phénomène d'ESD. Il sert à limiter la tension qui peut se développer entre l'alimentation et la masse aux bornes du circuit à protéger. Le placement du "power supply clamp" est critique. Supposant qu'un seul bloc est placé entre le pin VDD et la masse VSS, et que le pin VSS est placé très loin du pin VDD au niveau du *die*, lors d'un événement *ESD* avec un fort courant, il est possible d'avoir une large baisse de tension tout au long du chemin de masse à cause d'une grande résistivité. D'où il est toujours recommandé de placer plusieurs blocs de "power supply clamp" tout au long du chemin de chaque domaine d'alimentation. Ceci augmente l'efficacité de ce type de protection.

B.2 Seconde protection ESD dédiée aux composants critiques

Afin d'augmenter la fiabilité des protections ESD, différents composants nécessitent une deuxième protection ESD. Exemples de ces composants sont la grille d'un transistor NMOS ou PMOS, une capacité mise entre deux plots, un bipolaire ayant les trois terminaux connectés au plot. La figure 6.4 montre le schéma d'une deuxième protection. Cette protection est réalisée à partir d'un NMOS, ayant une grille et une source connectées à la masse, qui se déclenche lors d'une forte tension sur son drain. De plus, une résistance de l'ordre de 300 Ohms est mise en série du côté du plot.

C. Design des plots en vue d'un test sous pointes

L'avantage du test sous pointes est d'éliminer toutes les imperfections liées à la couronne de plots, au boîtier ainsi qu'à la carte de test. Cependant, il y a des parasites

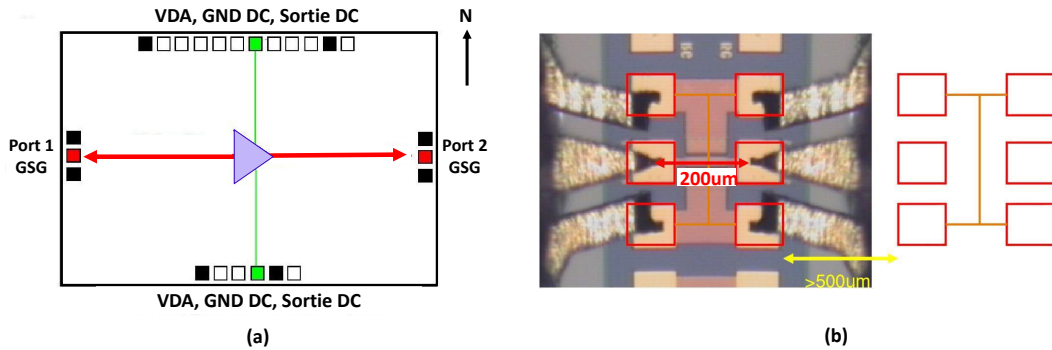


FIGURE 6.5 – (a) Placement d'un circuit dans un layout en vue d'un test sous pointes, et (b) distances à respecter entre les plots RF d'un même circuit et entre deux circuits adjacents

dans les pointes qui touchent le CUT lors du test. Pour éliminer ces parasites et avoir des mesures des performances et des mesures DC non bruitées, nous avons réalisé au niveau layout des structures spécifiques pour réaliser le *de-embedding*. Lors de la réalisation du test sous pointes, nous avons suivi les recommandations suivantes :

- Définir les dimensions des probes RF et des probes DC placées au niveau layout avec les ingénieurs de test suivant les ressources existantes dans les équipements de caractérisation. Ceci concerne spécialement les dimensions des pointes RF et DC disponibles ainsi que la distance entre les centres des plots ("*pitch*"). Il est important de réaliser cette étape dans la phase de conception.
- Placer l'entrée RF à droite, la sortie RF à gauche, les deux doivent être séparées d'une distance minimale de 200 µm. Pour les alimentations et la masse DC, elles sont placées en haut et en bas le plus symétriquement possible, avec le même nombre des probes en haut et en bas même s'il y a des probes qui ne seront pas utilisées. Les dimensions minimales recommandées pour les probes est de 80 µm * 80 µm. Deux circuits adjacents sur une même puce doivent avoir des probes séparées de 500 µm. La figure 6.5 (a) montre un exemple du placement d'un circuit dans une configuration de test sous pointes et la figure 6.5 (b) montre les distances à respecter.
- Choisir une configuration GSG pour les probes RF (*Ground-Signal-Ground* : masse-signal-masse). Cette configuration est formée par une probe centrale RF et deux masses de part et d'autre de la probe RF. La configuration GSG est toujours recommandée et elle est impérative pour les fréquences allant jusqu'à 10 GHz.
- Les masses des probes DC ne doivent pas être connectés à celle des probes RF.
- Prévoir les structures de *de-embedding* afin de soustraire les parasites des lignes métalliques et des plots RF. La technique de *de-embedding* consiste à ramener le plan de référence juste à l'entrée et à la sortie des plots RF du testeur afin d'avoir des mesures plus précises et moins bruitées par les parasites. Pour atteindre ce but, il faut prévoir des structures au niveau layout et mettre en place une technique permettant de soustraire les parasites introduits par les lignes d'interconnexions et

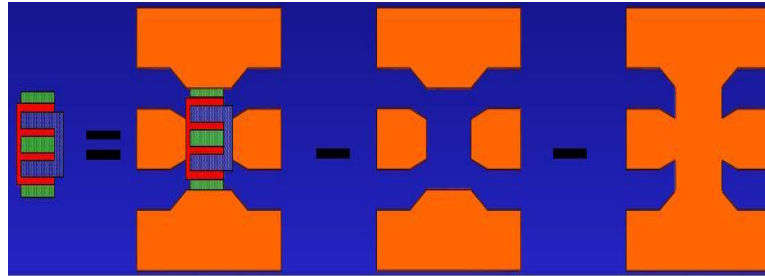


FIGURE 6.6 – Technique de *de-embedding* pour des fréquences de l'ordre de quelques GHz

les plots au niveau layout. La figure 6.6 montre une illustration de cette technique pour des fréquences de quelques GHz. Afin d'extraire les mesures du circuit uniquement, il faut soustraire des mesures du circuit connecté aux plots, les parasites des plots en circuit-ouvert et des plots en court-circuit avec la masse.

6.1.2 Flot post-layout

A. Vérification des règles de dessin

Afin de garantir la fonctionnalité des circuits fabriqués, les fondeurs caractérisent leur procédé de fabrication et fixent des règles de dessin dans un document nommé DRM (*Design Rules Manual*). Ce manuel fait état de toutes les règles à respecter pour que le procédé soit fiable. Exemples de ces règles sont la largeur minimal des métaux, la distance entre deux métaux du même niveau, la distance entre deux puits d'un même dopage, la densité minimale des métaux etc.

Pour ce faire, le concepteur doit soumettre son dessin des masques au vérificateur automatique des règles de dessin qui correspond au design kit du fondeur et qui est compatible avec un outil de vérification (par exemple Assura, Calibre). Un circuit ayant passé le DRC (*Design Rules Checking*) avec succès, verra sa fiabilité de "fabrication" garantie par le fondeur. En d'autres termes, la probabilité de fautes induites par le procédé de fabrication sera très faible. Il faut toujours vérifier que le DRM et l'outil utilisé sont mis à jour. A noter qu'en général, le fondeur n'accepte pas de fonder un circuit si son dessin de masques ne respecte pas les règles DRC.

B. Vérification de la similarité entre le schéma et le layout

Cette vérification se fait au niveau électrique et elle consiste à comparer si tous les composants et les interconnexions du circuit dessiné au niveau schéma sont respectées au niveau du layout. De même, le fondeur fournit avec le kit de conception une installation compatible avec un outil de vérification (par exemple Assura, Calibre). Lorsque le circuit passe le LVS (Layout Versus Schematic), ceci implique que le routage et les dimensions des composants au niveau layout et ceux qui sont au niveau schéma sont équivalents. En fonction du design kit, des règles ERC (Electrical Rule Check) peuvent faire partie de ces vérifications afin de valider les règles électriques (par exemple tension maximale tolérée sur la grille d'un MOS etc.). Toutefois, il est impératif de vérifier ce point qui est

très critique vu que le simulateur peut montrer un bon fonctionnement du circuit tout en ayant des tensions en dehors des limites sur les bornes des composants, spécialement pour les transistors.

C. Extraction des parasites

Une fois le layout est terminé, l'extraction des parasites est nécessaire afin de valider les performances en les tenant en compte. Les parasites incluent les résistances, les capacités entre les noeuds et la masse, les capacités entre les noeuds, les inductances des lignes métalliques et les inductances mutuelles entre deux lignes métalliques. Ces parasites doivent être extraits pour les différents niveaux métalliques avec une précision définie. Ceci représente un compromis car la taille de la netlist qui sera générée impactera directement le temps de simulation de la vue extraite du layout. Il faut veiller donc à spécifier les noeuds critiques et les niveaux métalliques ainsi que la précision tolérée pour réaliser l'extraction, tout dépend de la sensibilité et de l'objectif de la simulation. Cette étape est aussi réalisée avec des outils automatisés. A la fin de cette étape, nous aurons une netlist qui inclut la netlist du schéma initial et les parasites du layout.

L'extraction des parasites est suivie d'une simulation post-layout-extracté qui est une simulation plus proche de la réalité que la simulation niveau schéma. A noter que ces simulations ne seront pas suffisantes pour évaluer l'impact des interférences électromagnétiques sur les performances du CUT, vu que les interactions entre les différentes inductances ne sont pas prises en compte. Ceci implique la nécessité de réaliser des simulations électromagnétiques. A noter que plusieurs itérations sont réalisées entre le layouter et le concepteur afin d'ajuster le layout du façon que le bloc dessiné atteigne les spécifications visées.

6.1.3 Finalisation de la puce

La finalisation de la puce consiste à :

- Nommer la puce.
- Ajouter les métaux de densité. Ces métaux assurent le même épaisseur d'un certain niveau métallique sur la surface de la puce afin d'avoir une gravure homogène.
- Vérifier le DRC afin de valider que les erreurs de densité n'existent plus.
- Vérifier le LVS (entre le schéma électrique et le layout) afin de valider que les métaux de densité sont générés correctement.
- Générer le fichier GDSII.
- Vérifier le LVS entre le schéma électrique et le fichier GDSII.
- Envoi du fichier GDSII.

La puce $TIMAR_{RF1}$ a été conçue en respectant ces différentes règles de layout, suivant le flot de conception mentionné précédemment, et elle a été fabriquée dans un "run" *Multi-Project-Wafer (MPW)*. Ceci nous a permis d'avoir 217 puces issues de différentes réticules et différents coins d'une même plaquette. Nous rappelons que ceci est nécessaire dans notre étude afin d'avoir une population de puces contenant des variations process. Parmi ces puces, 155 ont été mises en boîtier et 62 puces sont restées nues sur plaquette afin de prévoir un test sous pointes si jamais il y aura un problème. La figure 6.7 montre

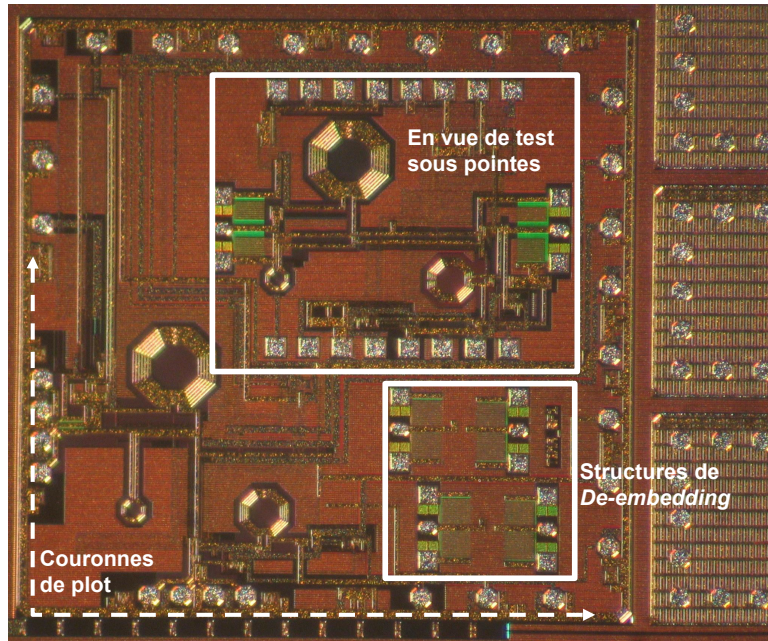


FIGURE 6.7 – Photo de la puce finale après fabrication

une photo de la puce finale après fabrication.

6.2 Environnement de mesure

Les mesures ont été réalisées au laboratoire de caractérisation de NXP Semiconductors à Caen, France. Un circuit imprimé (*PCB : Printed Circuit Board*), montré dans la figure 6.8 a été fabriqué afin de mesurer les puces montées en boîtier. La carte est composée de 4 niveaux. Le niveau haut (TOP) et le niveau bas (BOTTOM) servent à placer et router les différents composants montés en surface (CMS). Les deux autres niveaux intermédiaires sont dédiés à la masse DC et à la masse RF qui doivent être bien isolées. L'entrée et la sortie RF ont été proprement dimensionnées afin d'avoir une impédance équivalente de 50 Ohms. Un circuit LC est ajouté en entrée et en sortie de la puce, le plus proche possible afin de corriger la dégradation de l'adaptation d'impédance due aux pins du boîtier et aux parasites du PCB. A noter que ces parasites n'ont pas été pris en compte lors de l'étape de simulation, c'est pourquoi nous avons prévu une dégradation des performances du LNA. De plus, un pont de Wheatstone est ajouté afin de mesurer la valeur de la capacité MIM (cette capacité est l'un des capteurs de process servant au test alternatif).

Les puces sont caractérisées en utilisant les équipements suivants :

- Analyseur de spectre de *Hewlett Packard* (8590) servant à mesurer la puissance en sortie du LNA, le point de compression 1 dB et le point d'intermodulation d'ordre 3.
- Analyseur de réseau vectoriel de Rohde and Schwarz (ZVR 1127.8551.61) qui mesure les paramètres S du LNA.

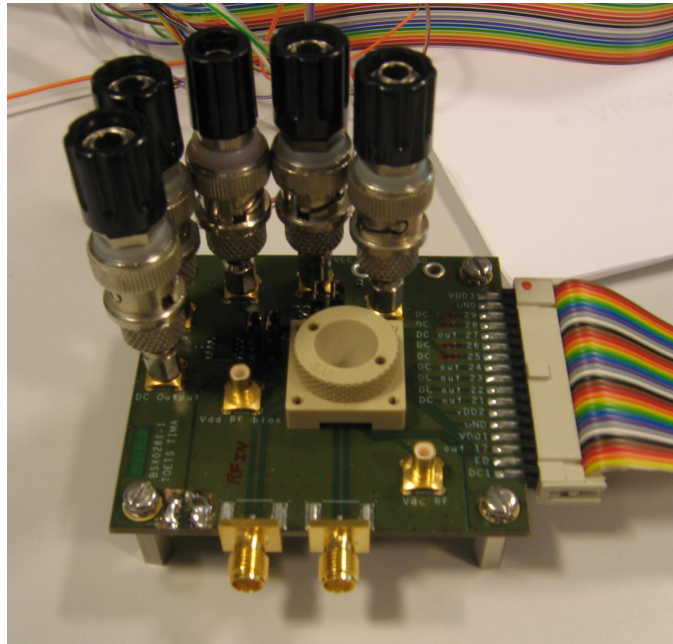


FIGURE 6.8 – Carte de test

- *Noise figure meter* d'Agilent Technologies (N8972-90114) qui mesure la figure de bruit et une diode de Hewlett Packard (346A) jouant le rôle d'une source de bruit.
- Générateurs des signaux RF d'Agilent Technologies (8648A).
- Multimètres DC d'Agilent Technologies (34401A) afin de mesurer les sorties des capteurs non intrusifs.

La procédure de mesure des 155 puces est automatisée en utilisant le logiciel Labview (*Laboratory Virtual Instrument Engineering Workbench*). Labview est un logiciel de développement d'applications de la société américaine *National Instruments* basé sur un langage de programmation graphique appelé langage G. Les domaines d'application de LabVIEW sont le contrôle/commande, la mesure, l'instrumentation ainsi que le test automatisé à partir d'un PC (acquisition de données, contrôle-commande, contrôle d'instruments de mesure, de dispositifs expérimentaux, de bancs de test). Dans notre manipulation, la connexion à l'ordinateur était assuré à travers des cartes GPIB (*General Purpose Interface Bus*). Le programme Labview a permis d'automatiser chacune des configurations en associant les différents appareils de mesures. Nous avons pu avoir l'accès aux différents fonctionnalités du montage à travers une interface graphique.

6.3 Mesures pour la caractérisation du LNA

Trois différentes configurations étaient nécessaires afin de caractériser le LNA. Les figures 6.9, 6.10, 6.11 montrent les photos des différentes configurations de l'environnement de mesure. Pour une puce donnée, les résultats sont montrés dans les figures 6.12, 6.13, 6.14. Le tableau 6.1 résume les performances du LNA de toutes les puces fabriquées.

Nous constatons que le gain du LNA se dégrade de l'ordre de 3 dB et la figure de

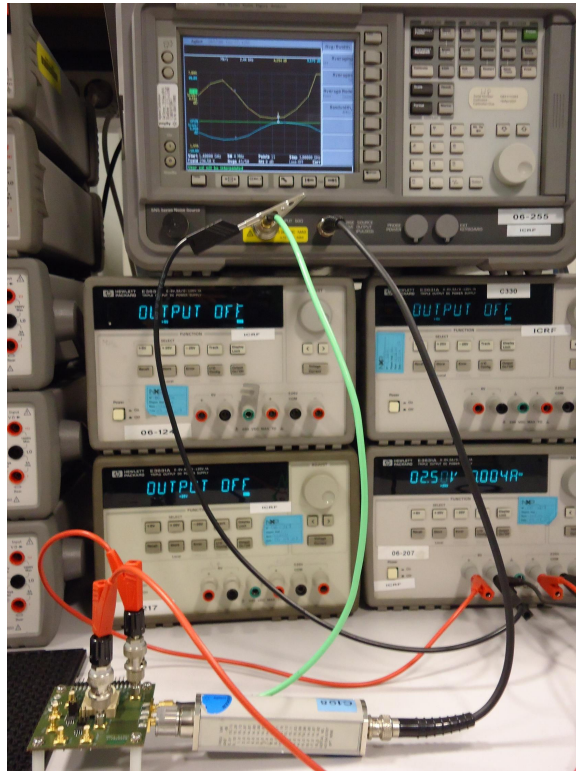


FIGURE 6.9 – Configuration de mesure du Figure de bruit

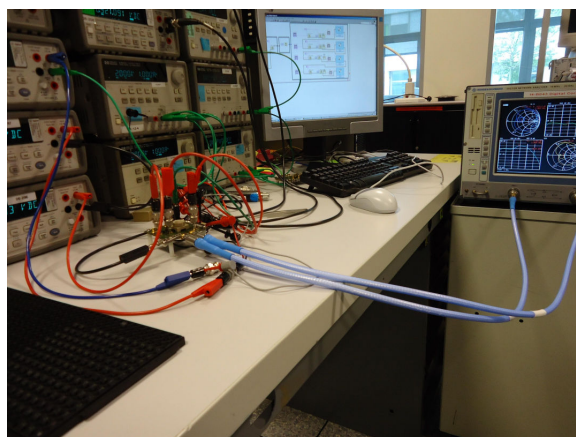


FIGURE 6.10 – Configuration de mesure des paramètres S

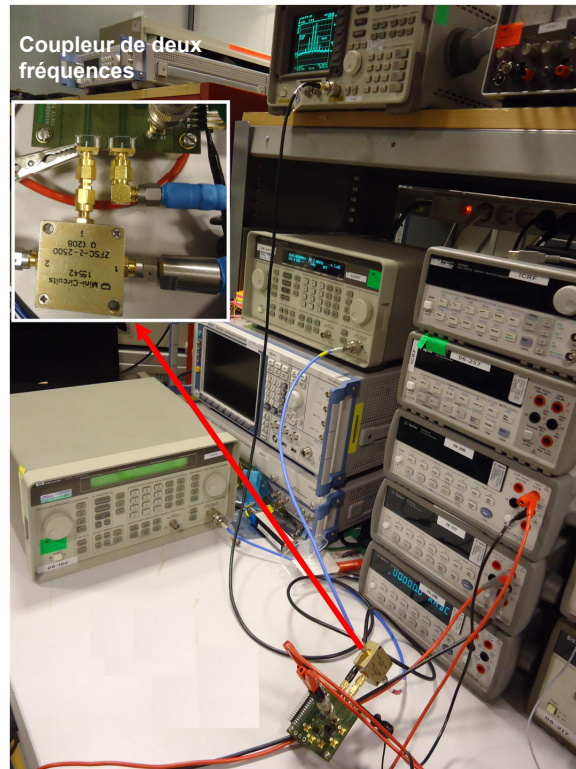


FIGURE 6.11 – Configuration de mesure du point de compression 1 dB et de l'intermodulation d'ordre 3

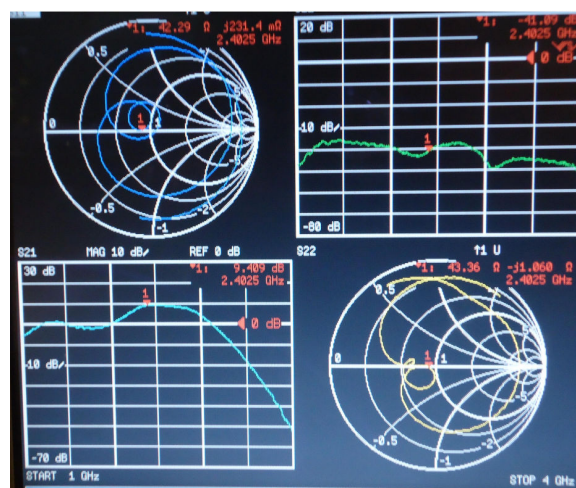


FIGURE 6.12 – Mesure des paramètres S

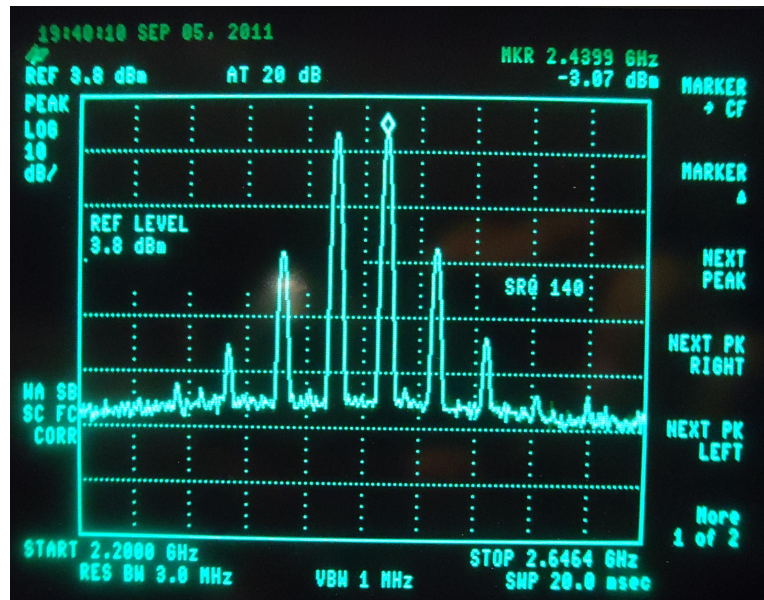


FIGURE 6.13 – Mesure du point d'intermodulation d'ordre 3

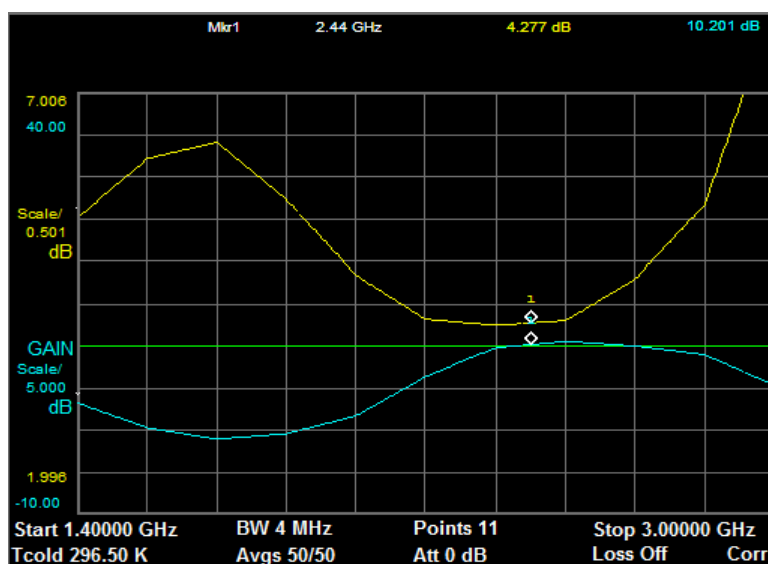


FIGURE 6.14 – Mesure de la figure de bruit

TABLE 6.1 – Valeurs minimales et maximales des performances observées sur tous les échantillons fabriqués ainsi que les erreurs de mesure.

	min.	max.	erreur de répétabilité ϵ_r
Gain (en dB)	8.81	9.97	0.2
NF (en dB)	4.33	4.64	0.1
1-dB CP (en dBm)	-9.5	-7.5	0.44
IIP ₃ (en dBm)	8.05	10.5	0.4

bruit de l'ordre de 1 dB par rapport aux résultats de simulation. Ceci peut être dû principalement aux protections ESD, aux pins du boîtier, et aux parasites du PCB dans des lignes RF en entrée et en sortie qui mesurent environ 1.3 cm. Tous ces parasites n'ont pas été pris en compte lors de l'étape de simulation vu le temps limité. A noter que nous avons prévu d'avoir une telle dégradation mais ceci n'est pas grave dans notre approche vu que le but est de montrer la possibilité de prédire les performances en présence de tout phénomène systématique qui impacte le *die*.

6.4 Prédiction des performances RF

6.4.1 Capteurs de process

En parallèle avec les mesures de caractérisation du LNA, nous avons mesuré les sorties des structures "*Dummy*" ainsi que celles des moniteurs de process. La figure 6.15 montre le placement des capteurs de process sur la puce fabriquée. Les figures 6.16, 6.17 montrent une vue agrandie des structures *Dummy* placés proches des étages de polarisation et de l'étage du gain du LNA. Les figures 6.18 6.19 montrent une vue agrandie des moniteurs de process placés proches de la capacité MIM en entrée du LNA et du transistor cascode de sortie.

Après l'extraction de ces mesures, nous pouvons construire les fonctions de régression. Les figures 6.20, 6.21, 6.22, 6.23, 6.24, 6.25, 6.26, montrent des exemples de dépendance entre une performance et une mesure pour tout l'échantillon de puces mesurées.

6.4.2 Fonctions de régression pour un petit échantillon statistique

Afin de prédire les performances du LNA, nous avons suivi le flot de test alternatif décrit précédemment. Le nombre de puces dont nous disposons est égale à 142/155 puces qui seront utilisées pour entraîner et tester les fonctions de régression. A noter que les 13 puces restantes n'ont pas été prises en compte parce qu'elles étaient endommagées lors des essais ou elles présentaient des mesures bizarres. Il est très probable que ces mesures ont été affectées par le programme de test développé sous Labview. Cependant, il demeure intéressant de re-caractériser ces puces afin de mieux comprendre la raison de ces mesures bizarres.

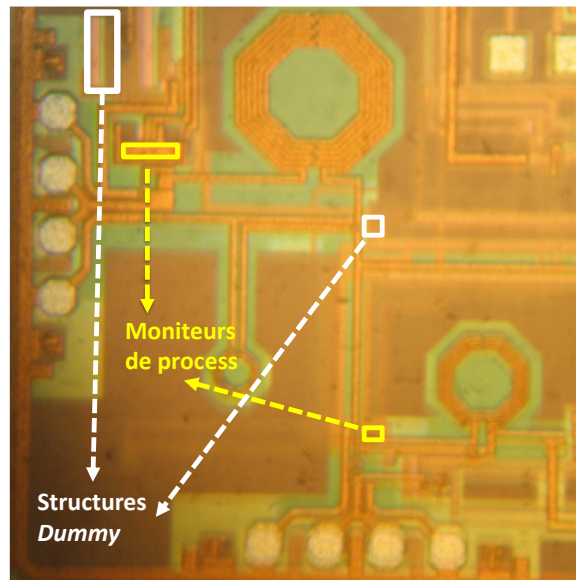
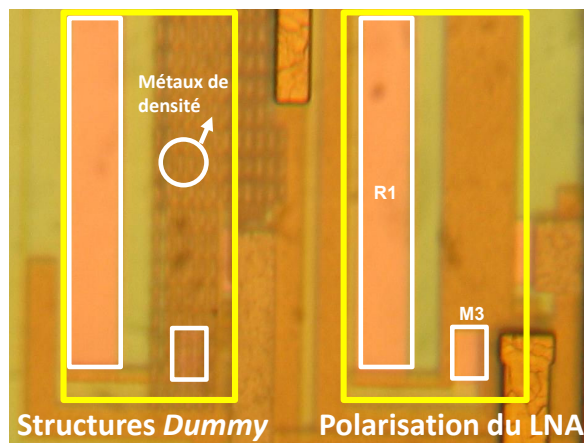


FIGURE 6.15 – LNA et capteurs de process

FIGURE 6.16 – Placement des structures *dummy* proches de l'étage de polarisation du LNA

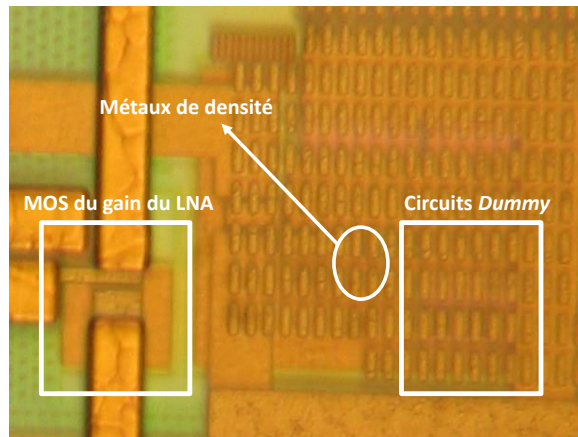


FIGURE 6.17 – Placement des structures *dummy* proches de l'étage de gain du LNA

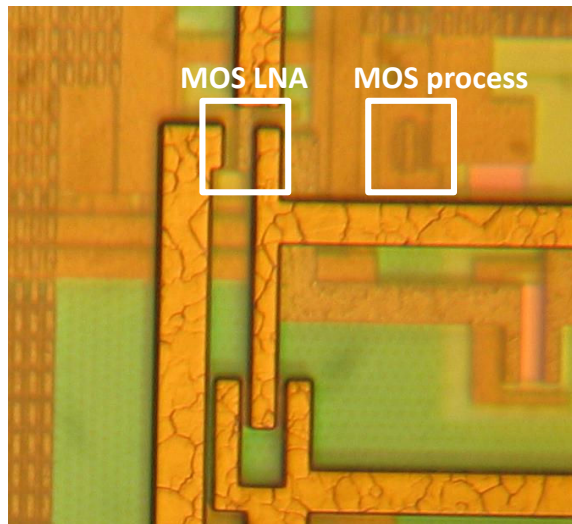


FIGURE 6.18 – Placement du moniteur de process MOS proche du MOS cascode du LNA

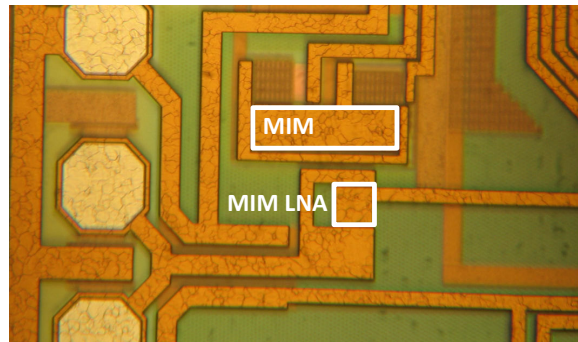


FIGURE 6.19 – Placement du moniteur de process MIM proche de la capacité MIM du LNA

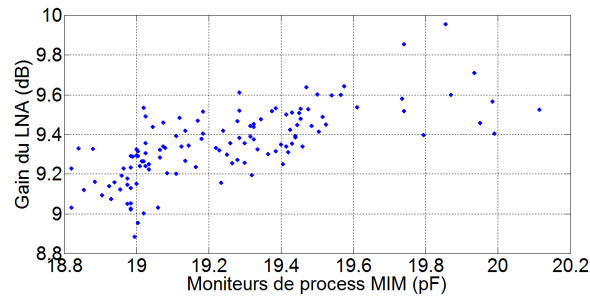


FIGURE 6.20 – Dépendance entre la capacité MIM et le gain du LNA

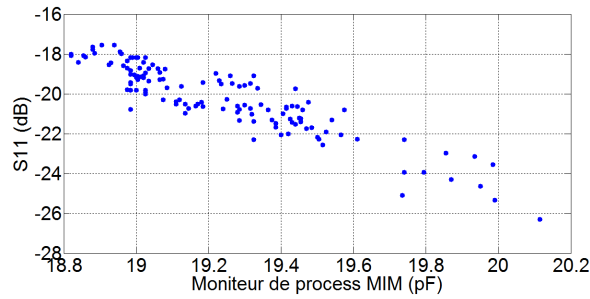


FIGURE 6.21 – Dépendance entre la capacité MIM et le S11 du LNA

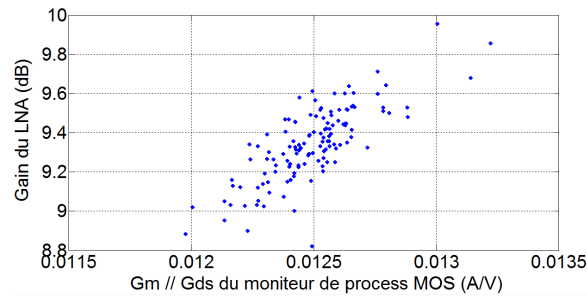


FIGURE 6.22 – Dépendance entre l'impédance équivalente du transistor connecté en diode et le gain du LNA

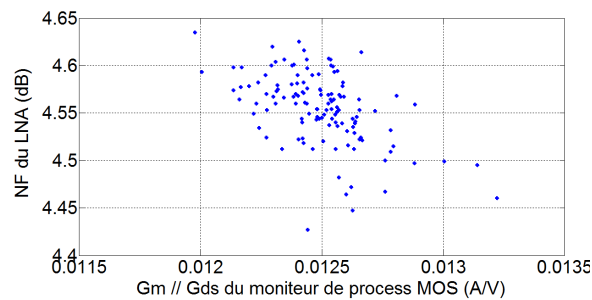


FIGURE 6.23 – Dépendance entre l'impédance équivalente du transistor connecté en diode et la figure de bruit du LNA

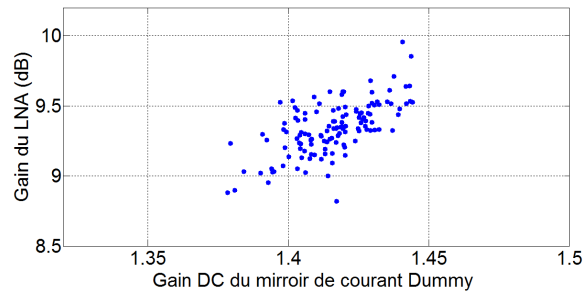


FIGURE 6.24 – Dépendance entre le gain du miroir de courant Dummy et le gain du LNA

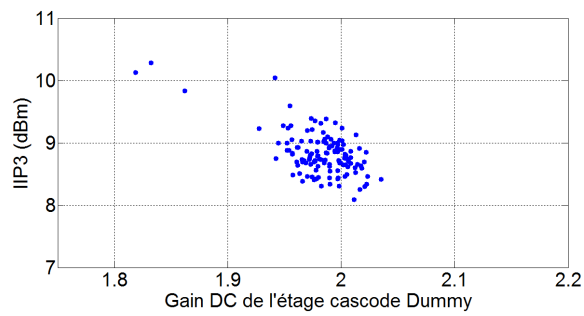


FIGURE 6.25 – Dépendance entre le gain DC de l'étage cascode Dummy et le gain du LNA

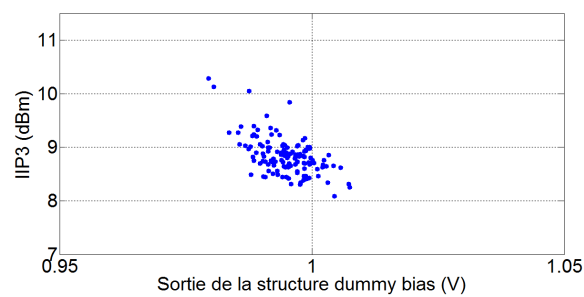


FIGURE 6.26 – Dépendance entre la sortie de l'étage de polarisation Dummy et l'IIP3

Le fait que l'échantillon est petit et donc peu représentatif nous impose d'utiliser des méthodes statistiques spécifiques pour tester le modèle et présenter une erreur de prédiction fiable et fidèle. En effet l'approche simple utilisée lors de l'étape de simulation consiste à estimer l'erreur du modèle en décomposant les données en deux groupes, par exemple 70% pour la phase d'entraînement et 30% pour la phase de test. Cette approche est basée sur l'hypothèse que le groupe d'entraînement et le groupe de test sont tous les deux représentatifs du procédé de fabrication. Ceci est toujours vrai pour un grand nombre d'instances. Cependant dans le cas où la taille de l'échantillon est limitée, la décomposition particulière en instances pour l'entraînement et pour le test commence à avoir un impact sur l'erreur de prédiction estimée. En d'autres termes, les erreurs de prédiction présenteront une large variance suivant les partitions possibles. Afin d'extraire une erreur qui indique fidèlement le degré réel de corrélation entre les performances et les mesures alternatives, nous avons suivi des méthodes statistiques servant à valider les modèles de régression pour un petit échantillon.

La "validation croisée" est une méthode d'estimation de fiabilité d'un modèle fondée sur une technique d'échantillonnage. Les techniques de validation croisée utilisées pour les populations statistiquement non-représentatives sont le *k-fold cross-validation* et *Leave-One-Out Cross Validation (LOOCV)* :

- La méthode *k-fold cross-validation* consiste à diviser k fois l'échantillon, puis à sélectionner un des k échantillons comme ensemble de validation et les (k-1) autres échantillons constitueront l'ensemble d'apprentissage. Nous calculons ensuite l'erreur entre les valeurs prédites et les valeurs réelles. Puis nous répétons l'opération en sélectionnant un autre échantillon de validation parmi les (k-1) échantillons qui n'ont pas encore été utilisés pour la validation du modèle. L'opération se répète ainsi k fois pour qu'en fin de compte chaque sous-échantillon ait été utilisé exactement une fois comme ensemble de validation. La moyenne des k erreurs est enfin calculée pour estimer l'erreur moyenne, et la valeur maximale des k erreurs représente l'erreur maximale du modèle.
- La méthode *LOOCV* est un cas particulier de la méthode *k-fold cross-validation* où $k=n$ avec n la taille de l'échantillon, c'est-à-dire que l'apprentissage est réalisé sur (n-1) observations puis la validation du modèle sera sur la n-ième observation et cette opération est répétée n fois. La moyenne des n erreurs est enfin calculée pour estimer l'erreur moyenne, et la valeur maximale des n erreurs représente l'erreur maximale du modèle.

Un organigramme qui résume la procédure de validation du modèle est montré dans la figure 6.27. Vu les limitations présentées, et afin de montrer l'indépendance entre le degré de corrélation et l'outil de régression utilisé, nous avons utilisé deux méthodes différents pour construire et valider le modèle de régression :

- Les réseaux de neurones utilisés dans le chapitre 4 et 5.
- La régression multivariée par splines adaptative (*MARS : Multivariate adaptive regression splines*). Une brève description de cette méthode sera donnée dans la section suivante.

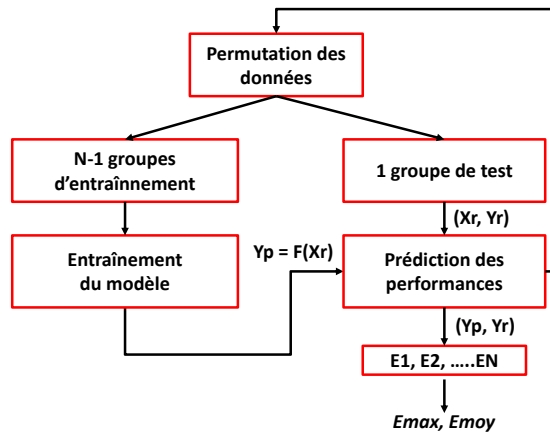


FIGURE 6.27 – Evaluation de la fiabilité du modèle de régression en utilisant la méthode de validation croisée

6.4.3 Résultats de la prédiction des performances

A. Réseaux de neurones

Pour notre cas d'étude, nous devons chercher tout d'abord le modèle de régression optimal pendant la phase d'entraînement. Ceci a été réalisé précédemment (chapitre 4, 5) en utilisant la technique de *early-stopping* implémenté dans l'outil des réseaux de neurones sous Matlab. Nous rappelons que cette technique appliquée lors de la phase d'entraînement consiste à éviter le sur apprentissage du modèle de régression, en testant la prédiction sur des données de validation. Cependant, nous rappelons que les données d'entraînement (décomposées entre données d'apprentissage et données de validation) ne sont pas suffisamment représentatives. Ceci implique que pour un modèle donné (nombre de neurones spécifique), il est probable que le réseau de neurones optimisé suivant la méthode *early-stopping* ait des poids très variés suivant la permutation entre les données d'apprentissage et les données de validation. La solution est que lors de la phase d'entraînement, il faut permuter les données entre apprentissage et validation et puis choisir le modèle qui présente l'erreur maximale afin de tenir en compte le pire cas. Ce modèle sera ensuite utilisé pour la phase de test. L'algorithme implémenté est montré dans la figure 6.28.

Nous avons appliqué cet algorithme en partant d'un réseau de neurones présentant 3 couches, 2 intermédiaires et une troisième avec une seule neurone. Ce nombre de couches est suffisant pour modéliser n'importe quelle fonction. Le nombre de neurones de chaque couche et les poids associés sont optimisés en fonction de l'erreur de prédiction de la phase de test.

Vu qu'on part des résultats de mesure, nous supposons que cette étape est équivalente à la phase *rump-up* dans le flot d'un produit. Dans cette étape les ingénieurs de test définissent les limites de test en tenant compte de l'erreur de mesure due à l'équipement de test. Afin d'évaluer l'efficacité de la technique de test proposée, nous nous référons à deux erreurs : a) l'erreur moyenne ϵ_m qui est une indice sur l'existence ou non d'une corrélation entre les mesures des capteurs et les performances du LNA ce

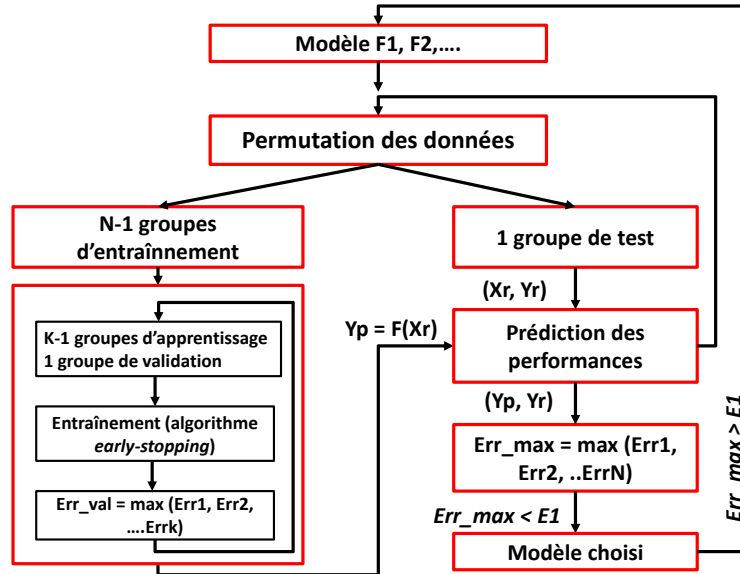


FIGURE 6.28 – Construction du réseau de neurones et évaluation de sa fiabilité

qui est l'objectif principal, b) l'erreur maximale ϵ_{\max} de prédiction observé sur toutes les puces. Pour un ingénieur de test l'erreur maximale servira à définir les limites de test en tenant en compte de l'erreur de prédiction. En d'autres termes, supposons que $P'_j = f_j(X)$ représente la valeur de la performance prédite et que P_j a une spécification minimale et une autre maximale $[s_j^l, s_j^u]$. Par conséquent nous jugeons que le CUT est fonctionnel si $P'_j \in [s_j^l + \epsilon_{\max}, s_j^u - \epsilon_{\max}]$. Pour que le test alternatif soit pertinent il faut que ϵ_{\max} soit comparable à l'erreur de mesure ϵ_r dans un test de spécification standard.

Les erreurs de prédiction sont montrées dans le tableau 6.2. Nous observons que l'erreur moyenne de prédiction (ligne 4 et 5) est plus petite que 2% pour les performances principales (le gain, le NF, le point de compression 1 dB et l'IIP3) qui sont généralement mesurées lors d'un test de production. Ceci montre le fort degré de corrélation entre les mesures des capteurs de process et les performances RF du LNA. A noter que l'erreur en pourcentage est calculée en faisant le rapport entre l'erreur moyenne et la valeur moyenne de la mesure. D'autre part, en comparant l'erreur absolue maximale de chaque performance à l'erreur de mesure nous déduisons que pour le gain, le NF, le point de compression 1 dB et l'IIP3, l'erreur de mesure est comparable à l'erreur absolue. Pour les autres performances cette valeur est deux à trois fois plus grande. Dans notre cas d'étude, les autres performances ne sont pas critiques vu qu'elles ne sont pas en général mesurées lors d'un test de production.

Il est important de noter que les erreurs de mesure faites au laboratoire sont plus petites que celles réalisées sur l'ATE. D'autre part, sur ATE les erreurs de prédiction ne devraient pas changer vu que la prédiction est basée sur des mesures DC. Par conséquent, dans le cas d'un test de production, nous nous attendons à que les erreurs de prédiction soit comparables aux erreurs de mesure. En pratique, si l'échantillon est représentatif du process avec des puces provenant de lots différents et de plaquettes dif-

TABLE 6.2 – Erreur de prédiction maximale et moyenne en utilisant les réseaux de neurones et la validation croisée 5-fold

	S ₁₁	S ₁₂	S ₂₁	S ₂₂	NF	1-dB CP	IIP ₃
Limites (dB) ou (dBm)	[-29.01,-25.5]	[-40.6,-43.3]	[8.81,9.95]	[-17.5,-26.3]	[4.42,4.63]	[-9.5,-7.5]	[8.05,10.5]
Moyenne (dB) ou (dBm)	-27.25	-41.95	9.38	-21.9	4.53	-8	9.28
Err. mesur. (dB) ou (dBm)	0.5	0.45	0.3	0.4	0.1	0.4	0.44
Err. moy. abs. (dB) ou (dBm)	0.35	0.4	0.08	0.64	0.028	0.15	0.18
Err. moy. norm. en (%)	1.3	1	0.85	2.92	0.6	1.8	1.93
Err. max. abs. (dB) ou (dBm)	1.25	1.58	0.44	1.84	0.1	0.56	0.46

férentes, le modèle de régression sera mieux optimisé et plus précis et, par conséquent, nous supposons que les erreurs moyennes et maximales seront plus faibles.

B. MARS

Afin de valider l'indépendance entre la corrélation et l'outil de régression utilisé nous avons exploré un outil de régression différent. *MARS* est une méthode statistique présentée pour la première fois par Jerome H. Friedman et Bernard Silverman en 1991. C'est une technique de régression non paramétrique pouvant être vue comme un extension des régressions linéaires qui modélisent automatiquement des non-linéarités. La fonction de régression de MARS présente la forme suivante :

$$f_j(X) = \beta_0 + \sum_{m=1}^M \beta_m h_m(X), \quad (6.1)$$

avec $X = [x_1, \dots, x_d]$, β_j , $j = 0, \dots, M$ sont les poids adaptatifs et h_m un produit de deux ou plusieurs termes dans l'ensemble

$$\mathcal{C} = \{1, (x_j - t)_+, (t - x_j)_+\} \quad t \in \{x_{j1}, \dots, x_{jN_\ell}\} \quad j = 1, \dots, d, \quad (6.2)$$

avec x_{jk} la mesure alternative d'ordre j de l'échantillon k dans les données d'apprentissage, N_ℓ la dimension des données d'apprentissage, et $(x - t)_+$, $(t - x)_+$ des fonctions de base de type "piecewise linear"

$$(x - t)_+ = \begin{cases} x - t & : \text{ si } x > t \\ 0 & : \text{ si non} \end{cases} \quad (6.3)$$

$$(t - x)_+ = \begin{cases} t - x & : \text{ si } x < t \\ 0 & : \text{ si non} \end{cases} . \quad (6.4)$$

La phase d'entraînement du modèle est divisé en deux étapes :

1. *Forward pass* : la première étape commence par la construction du modèle avec $h_0(X) = 1$ en utilisant uniquement les données d'apprentissage. Pour chaque itération, nous ajoutons un terme dans 6.1. A l'itération M , le nouveau terme pourra être un produit de n'importe quel terme h_m , $m = 1, \dots, M$, avec n'importe quel élément de l'ensemble \mathcal{C} . Le terme qui sera pris en compte et ajouté à 6.1 est celui qui diminue l'erreur de prédiction sur les données d'apprentissage. Lorsque l'erreur d'apprentissage diminue à une valeur très faible (pratiquement proche de zéro), l'algorithme s'arrête avec un modèle de la forme 6.1 ayant un très grand nombre de termes. Cette première étape implique un "overfitting" (sur-apprentissage) au niveau du modèle de régression.
2. *Backward pass* : Cette étape consiste à éliminer des termes de la fonction construite afin de généraliser le modèle de régression sur les données de validation. Nous supprimons les termes, un par un, en supprimant le terme le moins efficace jusqu'à ce que l'on trouve le meilleur sous-modèle validé sur toutes les données d'entraînement. Ceci est réalisé en permutant entre les données d'apprentissage et les données de validation suivant la méthode de validation croisée décrite précédemment. Le sous-modèle choisi sera celui qui présente l'erreur la plus petite sur les données de validation.

Toutefois, il ne faut pas confondre la construction du modèle de régression suivant la méthode de MARS et la technique de validation croisée (figure 6.27) nécessaire pour évaluer le modèle sur un ensemble de test indépendant tout en permutant à chaque itération l'ensemble de test et l'ensemble d'entraînement. Nous avons utilisé l'outil *ARESLab* (*Adaptive Regression Splines toolbox for Matlab/Octave*) pour construire le modèle. Les fonctions existantes ont été modifiées afin de pouvoir valider le modèle sur un ensemble de test indépendant suivant l'organigramme montré dans la figure 6.28.

Les erreurs de prédiction sont montrées dans le tableau 6.3. En comparant les tableaux 6.3 et 6.2, nous constatons que les erreurs de prédiction sont pratiquement les mêmes d'un point de vue statistique. Ceci nous a permis de vérifier la corrélation entre les mesures des capteurs de process et les performances indépendamment de l'outil de régression utilisé à condition que le modèle de régression soit bien construit lors de la phase d'entraînement.

6.5 Application de la stratégie de détection des défauts catastrophiques

Nous avons démontré par simulation que les mesures thermiques sont capables de suivre le comportement du CUT et de détecter les défauts catastrophiques. Ceci est réalisé en appliquant trois modes de test d'une façon séquentielle. Afin de valider expérimentalement la stratégie, nous avons réalisé les étapes suivantes :

- Vérifier la calibration du capteur de température pour des larges variations process et définir les limites de test du mode *Test DC of BIT*.
- Vérifier la dépendance entre la sortie du capteur de température V_{out} et la puissance DC.

TABLE 6.3 – Erreur de prédiction maximale et moyenne en utilisant MARS et la validation croisée 5-fold

	S_{11}	S_{12}	S_{21}	S_{22}	NF	1-dB CP	IIP ₃
Limites (dB) ou (dBm)	[-29.01,-25.5]	[-40.6,-43.3]	[8.81,9.95]	[-17.5,-26.3]	[4.42,4.63]	[-9.5,-7.5]	[8.05,10.5]
Moyenne (dB) ou (dBm)	-27.25	-41.95	9.38	-21.9	4.53	-8	9.28
Err. mesur. (dB) ou (dBm)	0.5	0.45	0.3	0.4	0.1	0.4	0.44
Err. moy. abs. (dB) ou (dBm)	0.37	0.42	0.075	0.58	0.03	0.16	0.18
Err. moy. norm. (%)	1.35	1.1	0.79	2.64	0.66	2	1.93
Err. max. abs. (dB) ou (dBm)	1.42	1.69	0.46	1.79	0.11	0.63	0.47

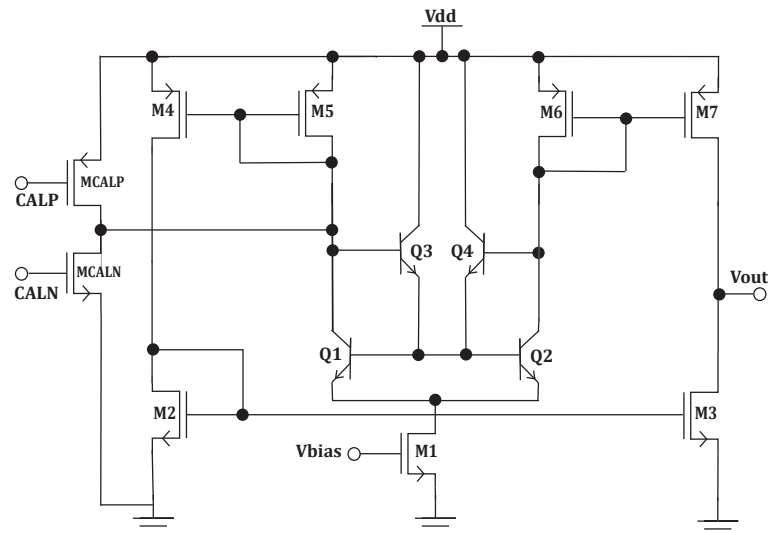


FIGURE 6.29 – Capteur de température différentiel

- Vérifier la calibration du capteur lorsque le LNA est polarisé et définir les limites de test pour le mode *Test DC of CUT*.
- Vérifier la dépendance de la sortie du capteur avec l'amplitude RF en entrée du LNA et définir les limites de test pour le mode *Test RF of CUT*.
- Injection des défauts et vérifier que les fautes peuvent être détectées par l'un des modes de test proposés.

Nous rappelons le schéma du capteur ainsi que son placement sur la puce dans les figures 6.29 et 6.30.

6.5.1 Caractérisation du capteur de température et définition des limites de test

Le capteur de température est alimenté à 2.5 V. La figure 6.31 montre l'histogramme de V_{out} pour tout l'échantillon. Nous observons que V_{out} varie significativement de la

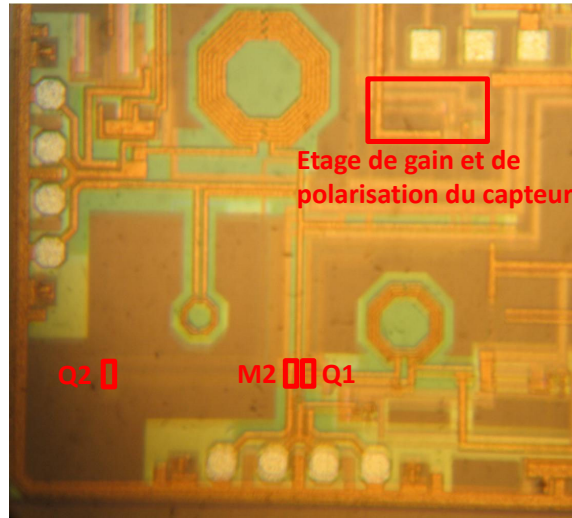


FIGURE 6.30 – Placement du capteur de température sur la puce fabriquée

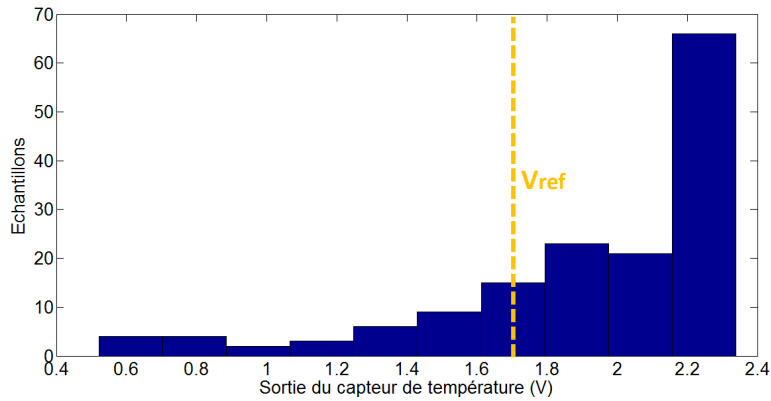


FIGURE 6.31 – Sortie du capteur avant la première calibration

tension de référence $V_{ref}=1.7$ V. Par conséquent, en utilisant CALN ou CALP nous avons calibré tous les échantillons pour fixer $V_{out} = V_{ref}$ comme c'est montré dans la figure 6.32. La figure 6.33 montre que la sortie du capteur est fixée à V_{ref} avec une tolérance de 50 mV. Nous déduisons les limites de calibration CALN1 et CALP1. La calibration est réalisée à travers le programme de test développé sous Labview. A noter que ce travail est une démonstration du concept et dans le cadre d'une application industrielle, la calibration du capteur peut être automatisée à travers un processeur intégré dans le SoC. Il est évident que si les puces proviennent de lots différents et de plaquettes différentes les limites de test seront plus larges. C'est pourquoi nous proposons que les intervalles soient définis lors de la phase de *ramp-up* à partir de puces provenant des lots présentant des variations process extrêmes.

Ensuite, nous avons vérifié la sensibilité du capteur à la variation de température. Nous avons polarisé le LNA en partant de 0 à 2.5 V : le LNA consomme de la puissance et sa température augmente. La figure 6.34 montre la dépendance entre la sortie du

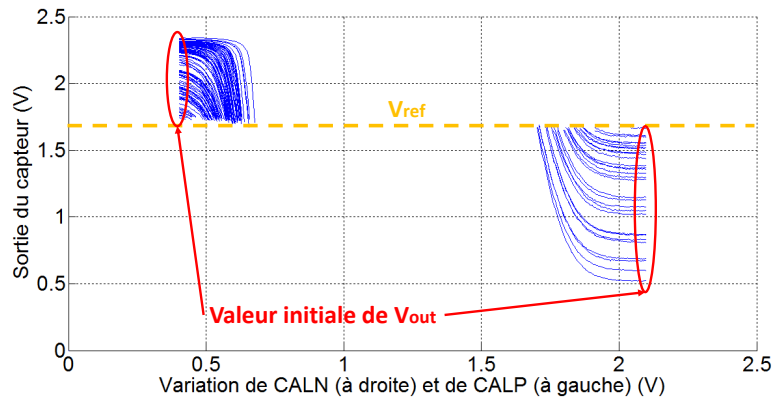


FIGURE 6.32 – Calibration du capteur lorsqu'il est uniquement polarisé

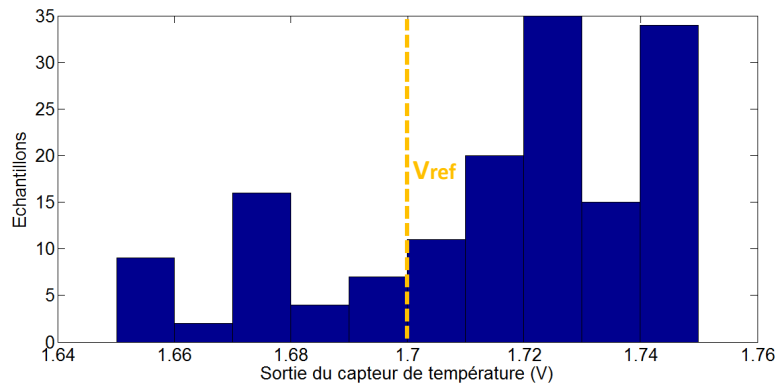


FIGURE 6.33 – Sortie du capteur après la première calibration

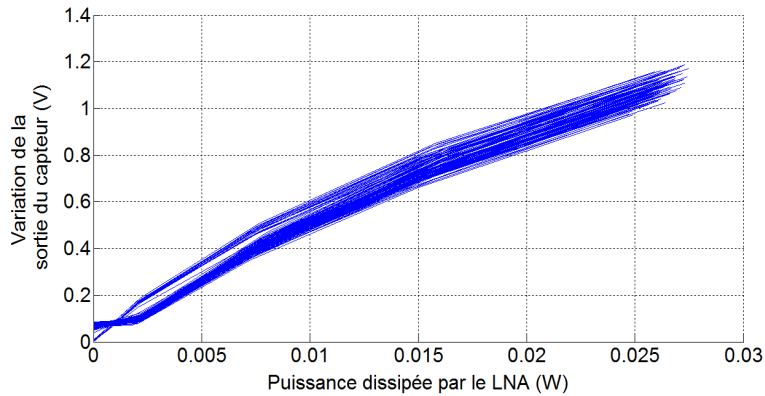


FIGURE 6.34 – Dépendance entre la sortie du capteur de température et la puissance de polarisation du LNA

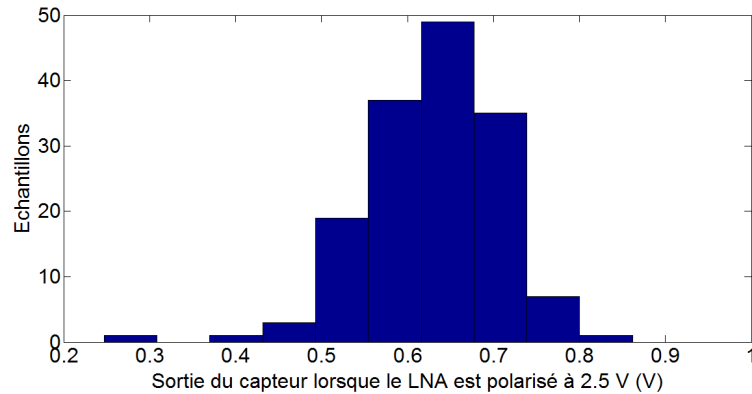


FIGURE 6.35 – Histogramme de la sortie du capteur lorsque le LNA est polarisé à son alimentation nominale de 2.5 V

capteur V_{out} et la puissance de polarisation dissipée par le LNA. De plus, nous constatons que lorsque le LNA est polarisé à sa tension nominale ($VDD_{LNA} = 2.5 \text{ V}$), la sortie du capteur décroît largement ce qui est prévu vu la sensibilité du capteur à la variation de température. Ceci est montré dans la figure 6.35. En suivant la stratégie de test, lorsque le LNA est polarisé, une seconde calibration est nécessaire afin de re-fixer V_{out} à 1.7 V en utilisant CALP. Cette étape de calibration est montrée dans la figure 6.36. Nous observons que pour toutes les puces fabriquées, nous arrivons à calibrer le capteur de température. De plus, nous observons que pour quelques capteurs, CALP commence d'un certain niveau bas et ceci est expliqué par le fait que ces capteurs ont été initialement calibrés (*Mode Test DC of BIT*) en utilisant CALP.

Afin de vérifier la dépendance entre la sortie du capteur et le comportement RF du LNA, différentes amplitudes RF sont appliquées en entrée du LNA tout en mesurant en parallèle la sortie du capteur. Dans la figure 6.37, nous observons que lorsque l'amplitude RF en entrée est inférieure à -8 dBm, V_{out} croît légèrement et lorsqu'elle augmente au delà de -8 dBm, nous observons que la sortie baisse largement. Afin d'analyser

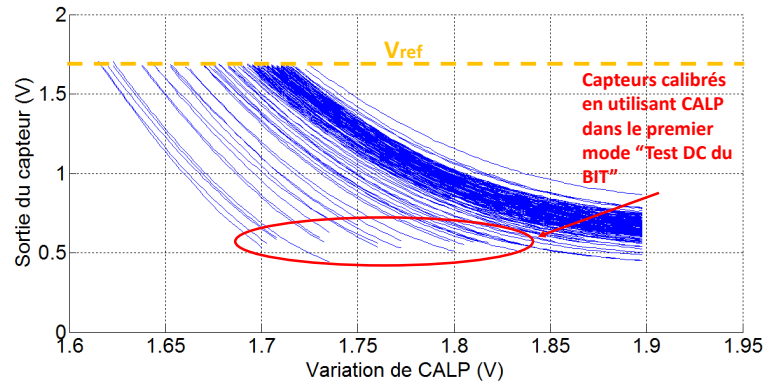


FIGURE 6.36 – Calibration de la sortie du capteur lorsque le LNA est polarisé à 2.5 V

cette variation nous rappelons la figure 6.38 extraite des résultats de simulation. Nous déduisons de cette figure, que pour une amplitude RF inférieure à -8.5 dBm la puissance du transistor M_2 diminue légèrement, ce qui correspond à une légère diminution de la température et par conséquent la sortie du capteur augmente vue que sa sensibilité est inversement proportionnelle à la chaleur captée par Q_1 . Au delà de cette amplitude, la puissance de M_2 augmente significativement ce qui explique la large diminution de la sortie du capteur de température. Il est important de noter que le point maximum correspond au point de compression 1 dB. Nous constatons donc qu'à partir de ce type des mesures, nous pouvons caractériser l'une des performances importantes du LNA.

Afin de définir les limites de test du mode *Test RF of CUT*, nous considérons une amplitude de +10 dBm (comme déjà fait en simulation).

Finalement, le temps d'établissement du capteur est mesuré vu que c'est un facteur critique qui influence le temps de test. Ceci est fait en appliquant un pulse rectangulaire sur la tension d'alimentation. La figure 6.39 montre la variation de V_{out} . Nous constatons que le temps d'établissement est de l'ordre de 80 μ s ce qui reste acceptable.

A ce niveau nous avons pu vérifier le fonctionnement du capteur, sa dépendance avec la température du LNA et nous avons défini les différents limites de test.

Nous tenons à montrer en plus une spécificité des mesures thermiques qui sortent un peu de notre stratégie de test mais qui pourra être intéressant. La figure 6.40 montre la sortie du capteur en appliquant un stimulus de test pour différentes fréquences. Nous observons que la bande de fréquence du LNA est mesurée indirectement par la sortie du capteur qui présente un pic à la fréquence de 2.4 GHz. Ceci implique que cette figure de mérite pourra être aussi extraite à partir des mesures DC non intrusives.

6.5.2 Injection et détection des défauts

Nous avons injecté différents types de défauts dans le capteur et dans le LNA afin de vérifier expérimentalement l'habilité de la stratégie proposée à détecter différents défauts catastrophiques. Les défauts sont les suivants :

1. un circuit-ouvert sur le $VDD_{capteur}$ (alimentation du capteur),
2. un circuit-ouvert sur CALN,

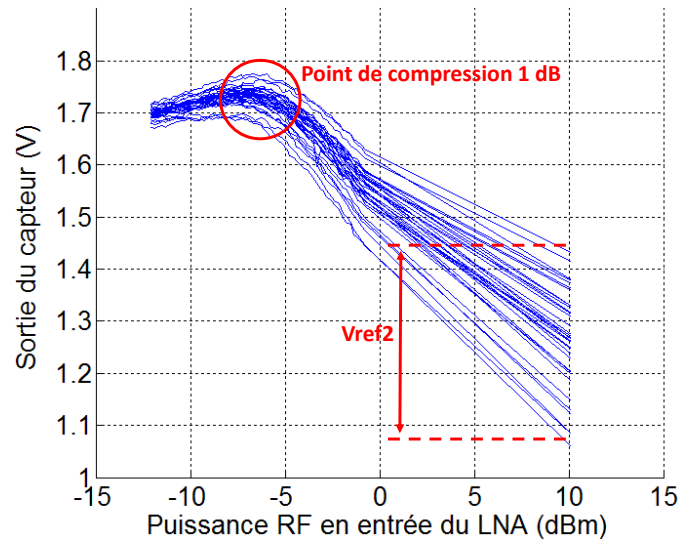


FIGURE 6.37 – Variation de la sortie du capteur en fonction de l’amplitude de l’entrée RF

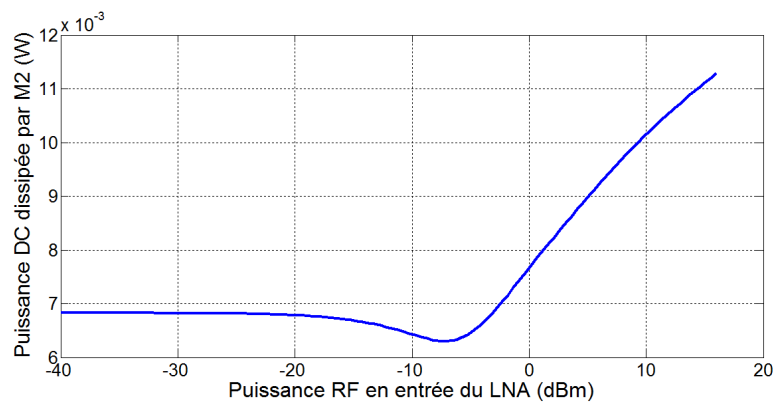


FIGURE 6.38 – Puissance dissipée par le transistor M_2 en fonction de la puissance RF en entrée

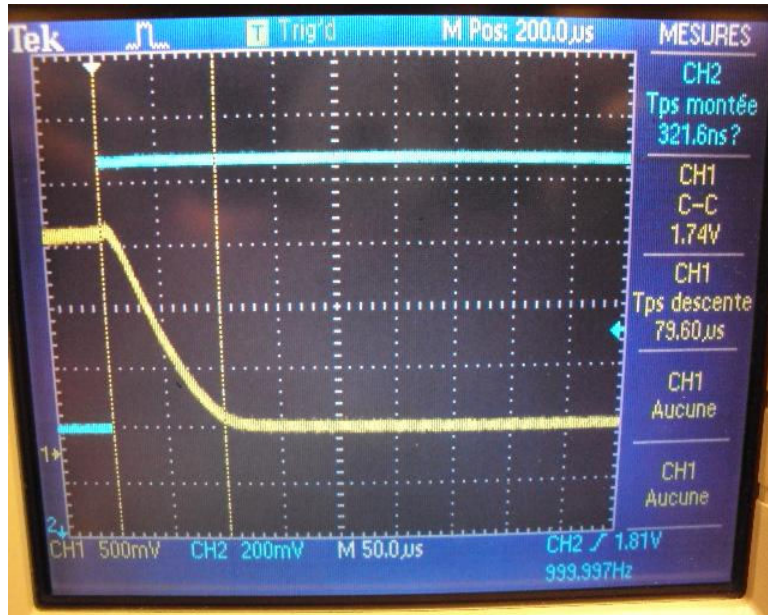


FIGURE 6.39 – Temps d'établissement du capteur de température

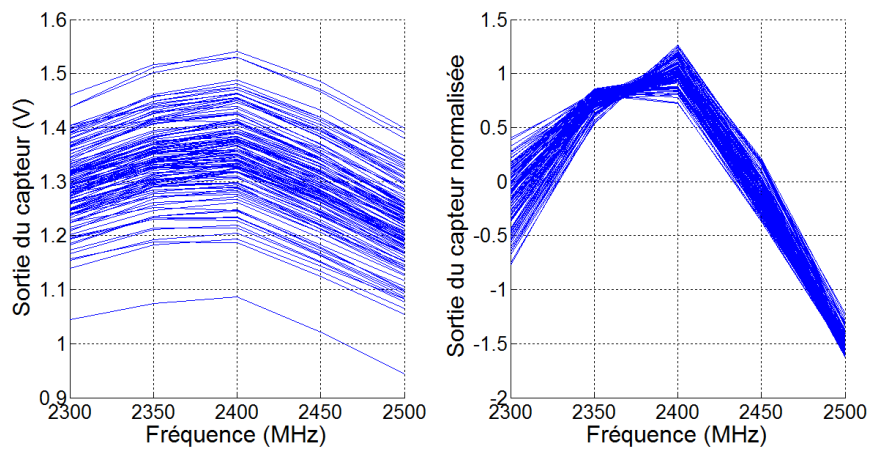


FIGURE 6.40 – Extraction de la bande passante du LNA

3. un circuit-ouvert sur CALP,
4. un court-circuit qui connecte CALN à GND,
5. un court-circuit qui connecte CALP à $VDD_{capteur}$,
6. un court-circuit qui connecte CALN à VDD_{sensor} ,
7. un circuit-ouvert qui connecte CALP à GND,
8. un court-circuit qui connecte V_{out} à $VDD_{capteur}$,
9. un court-circuit qui connecte V_{out} à GND,
10. un court-circuit qui connecte $VDD_{capteur}$ à GND,
11. un circuit-ouvert sur le $VDD_{LNA_{bias}}$ (alimentation de l'étage de polarisation du LNA),
12. un circuit-ouvert sur $VDD_{LNA_{RF}}$ (alimentation de l'étage de gain du LNA),
13. un circuit-ouvert sur l'entrée du LNA RF_{in} ,
14. un circuit-ouvert sur la sortie du LNA RF_{out} ,
15. un court-circuit qui connecte $VDD_{LNA_{bias}}$ à GND,
16. un court-circuit qui connecte $VDD_{LNA_{RF}}$ à GND.

Ces défauts sont injectés sur deux puces et par conséquent nous avons injecté 32 défauts dans ces puces. Les puces choisies présentent des variations pires cas au niveau du capteur. En d'autres termes, nous avons choisi une puce intégrant un capteur de température ayant une sortie de l'ordre de 2.2 - 2.3 V et une puce intégrant un capteur ayant une sortie de l'ordre de 300 - 400 mV. En appliquant les différents modes de test, nous avons obtenu les résultats suivants :

1. Mode *Test DC du BIT* :

- Pour le défaut (1), V_{out} décroît largement moins que V_{ref} (0.2 - 0.4 V). En diminuant CALP dans l'intervalle définie, nous n'avons pas pu fixer V_{out} à V_{ref} . De même pour le défaut (9), V_{out} décroît jusqu'à 0.7 V. En diminuant CALP1, V_{out} croît ce qui montre un fonctionnement anormal. Par conséquent, nous déduisons que ces défauts ont été détectés pour les deux puces.
- Les défauts (2) et (4) sont détectés uniquement pour la puce qui présente V_{out} au delà de V_{ref} . Dans un tel scénario, en incrémentant CALN, nous n'observons pas aucune variation de la sortie du capteur ce qui est anormal. Les défauts (3) et (5) sont détectés pour la puce qui présente V_{out} au-dessous V_{ref} . Dans un tel scénario, en décrémentant CALP nous n'observons aucune variation de la sortie du capteur ce qui est aussi anormal. La non-détection des défauts (2) et (4) ne dégrade pas la qualité de test étant donné que le test du LNA ne nécessite pas l'utilisation de CALN. Ceci n'est pas le cas pour les défauts (3) et (5) qui doivent être détectés.
- Le défaut (6) induit une variation de V_{out} largement au-dessous de V_{ref} (0.2 V et 0.4 V). Le défaut (7) induit une large variation au-dessus de V_{ref} (2.1 V et 2.4 V). En variant CALP (défaut 6) ou CALN (défaut 7), la sortie du capteur ne varie pas ce qui implique un fonctionnement anormal et par conséquent les défauts sont détectés.

TABLE 6.4 – Détection des fautes catastrophiques suivant les modes de test

	Mode <i>Test DC du BIT</i>	Mode <i>Test DC du CUT</i>	Mode <i>Test RF du CUT</i>
CO sur le VDD_{capteur}	OK	-	-
CO sur CALN	-	OK	-
CO sur CALP	-	OK	-
CC entre CALN et GND	-	OK	-
CC entre CALP et VDD_{capteur}	-	OK	-
CC entre CALN et VDD_{capteur}	OK	-	-
CO entre CALP et GND	OK	-	-
CC entre V_{out} et VDD_{capteur}	OK	-	-
CC entre V_{out} et GND	OK	-	-
CC entre GND et VDD_{capteur}	OK	-	-
CO sur $VDD_{LNA_{\text{bias}}}$	-	OK	-
CO sur $VDD_{LNA_{RF}}$	-	OK	-
CO sur l'entrée du LNA RF_{in}	-	-	OK
CO sur la sortie du LNA RF_{out}	-	-	OK
CC entre $VDD_{LNA_{RF}}$ et GND	-	OK	-
CC entre $VDD_{LNA_{\text{bias}}}$ et GND	-	OK	-

- Le défaut (8) induit une variation de V_{out} largement au-dessus de V_{ref} (2.3 V). En incrémentant CALN dans les intervalles définis, nous n'avons pas pu fixer V_{out} à V_{ref} .

2. **Mode DC Test du CUT** : Le LNA est polarisé à 2.5 V. Pour un fonctionnement normal, la sortie V_{out} doit chuter largement.
 - Pour les défauts (3) et (5), les sorties des deux puces chutent comme prévu. Cependant en variant CALP, nous n'observons pas aucune variation de V_{out} , ce qui implique un fonctionnement anormal du capteur et par conséquent ces défauts sont détectés.
 - Les défauts (11, 12, 15, 16) induisent un V_{out} entre 1.7 et 2.2 ce qui est anormal vu que la sortie du capteur doit chuter pour un fonctionnement normal du LNA.
 - Les défauts (13) and (14) induisent une chute de V_{out} . En calibrant le capteur à travers CALP, nous avons réussi à fixer $V_{\text{out}} = V_{\text{ref}}$. Par conséquent les défauts n'ont pas pu être détectés.
3. **Mode RF Test du CUT** : en excitant le LNA avec un stimulus RF égale à 10 dBm, les défauts (13) et (14) ont été détectés vu que la sortie du capteur est égale à 1.7 et 1.88 V respectivement, donc largement au dessus des limites prévues. Finalement, nous n'avons pas pu détecter les défauts (2) et (4) dans le capteur, mais nous avons détecté tous les défauts au sein du LNA. Ceci montre l'habilité de la stratégie proposée à détecter d'une façon non intrusive les défauts catastrophiques dans un CUT. Nous rappelons que les défauts non-détectés au sein du capteur ne dégradent pas la qualité de test.

Le tableau 6.4 résume les résultats de détection des défauts suivants les différents modes de test.

6.6 Conclusion

Dans ce chapitre, nous avons d'abord présenté le layout du démonstrateur. Nous avons décrit la carte de test et l'environnement de mesure du laboratoire de NXP Semiconductors.

Ensuite, nous avons montré à travers des mesures expérimentales l'habilité des mesures simples extraites des capteurs de process à prédire les performances RF d'un LNA en présence des variations process. Les puces fabriquées proviennent d'une seule plaquette, et les puces étaient placées dans différents endroits. Nous constatons que les erreurs de prédiction sont comparables aux erreurs de mesure dans le sens où la largeur des intervalles des limites fixées par les erreurs de l'ATE dans un test de spécification est comparable aux erreurs de prédiction des performances. Les résultats ont été montrés en utilisant deux outils de régression différents : les réseaux de neurones et l'algorithme MARS. Les résultats obtenus sont pratiquement les mêmes ce qui montre l'indépendance entre la corrélation démontrée et l'outil utilisé.

Finalement, afin de détecter les défauts catastrophiques nous avons appliqué la stratégie de test non intrusif qui utilise le capteur de température dans trois modes de test pour tester le LNA et le capteur. Nous avons montré la possibilité de calibrer le capteur pour des larges variations process. Nous avons ensuite montré la dépendance entre la sortie du capteur et la puissance de polarisation du LNA ainsi que l'amplitude de la puissance RF. Finalement, nous avons injecté différents types de défauts affectant l'interface du capteur et du LNA. Nous avons appliqué les trois modes de test et nous avons montré la capacité à les détecter. D'autre part, nous avons montré que les mesures thermiques permettent de caractériser le point de compression 1 dB et la bande de fréquence du CUT.

Chapitre 7

Contributions et perspectives

7.1 Contributions

La course à l'intégration et à la production de circuits intégrés RF toujours plus performants et moins chers est un défi confronté par l'industries des semiconducteurs. Ceci a poussé les entreprises à s'orienter vers l'intégration dans une puce de circuits RF, analogiques, mixtes et numériques, ce qui engendre des gros défis de conception, de fabrication et de test.

Le test des circuits intégrés RF dans un SoC est d'autant plus difficile du fait du manque de points d'accès aux circuits en question. Si l'on ajoute à cela les fréquences de fonctionnement élevées de ces circuits, toute action visant à toucher le circuit peut modifier les performances de ce dernier. Les solutions actuellement développées sont très coûteuses en termes de ressources ATE et de temps de test.

Durant ces dernières années, des travaux de recherche ont contribué différentes solutions pour confronter les défis du test. Le test intégré BIT se présente comme l'une des solutions les plus avancées. Cette approche favorise la réduction du coût de test en intégrant, sur la même puce avec le circuit RF, des structures de test simples. Ensemble avec la technique BIT, l'approche de test par apprentissage automatique ou test alternatif est nécessaire. Dans cette approche, les performances du CUT sont prédites à partir d'un ensemble réduit de mesures de test. Le test alternatif se base sur le fait que lors du procédé de fabrication, les variations des performances RF et des mesures de test dépendent des variations des paramètres de process. Par conséquent, une fonction qui relie les performances aux mesures est construite en utilisant des techniques de régression. Ces approches permettent de diminuer le temps de test ainsi que la complexité et le coût des ATE.

Vis-à-vis de ce qui existait dans la littérature, les contributions de cette thèse sont les suivantes :

1. Nous avons implémenté un flot de test complet en utilisant des capteurs intégrés connectés au LNA suivant l'approche de test alternatif. Ceci inclut la construction d'un filtre de défauts à partir des mesures des capteurs tout en fixant les limites de test sans avoir aucune information sur le modèle de défauts. Ceci est très important étant donné qu'un modèle de défaut universel n'existe pas actuellement

et un modèle de défauts pourrait changer d'un noeud technologique à un autre. De plus, nous avons appliqué le flot de test alternatif en utilisant les réseaux de neurones afin de montrer l'habilité d'un capteur d'enveloppe, du capteur de courant et des probes DC à prédire les performances RF du LNA.

2. Nous avons proposé d'utiliser des capteurs de process notamment des structures *Dummy* et des moniteurs de process afin de suivre le comportement RF du LNA en présence des variations process en suivant le flot de test alternatif. Nous avons démontré au niveau des simulations post-layout l'habilité de ces capteurs non intrusifs à prédire les performances d'un LNA avec une précision satisfaisante.
3. Nous avons proposé d'utiliser un capteur de température aussi non intrusif afin de détecter les défauts catastrophiques dans un LNA. Ceci est réalisé en implémentant une stratégie de test comprenant trois modes de test séquentiels afin d'assurer un test fiable. En injectant des défauts catastrophiques au niveau layout, nous avons montré par simulation que les modes proposés détectent les différents types de défauts catastrophiques.
4. Nous avons réalisé un démonstrateur expérimental comprenant le LNA, les capteurs de process et le capteur de température. Nous avons appliqué le flot de test alternatif en utilisant différents outils de régression, notamment les réseaux de neurones et l'algorithme MARS. La maîtrise de ces outils est nécessaire afin de présenter une erreur fiable et correcte. Les erreurs de prédiction obtenues montrent une forte corrélation entre les mesures des capteurs de process et les performances RF. En outre, nous avons injecté différents défauts catastrophiques à l'interface du capteur et du LNA pour deux puces différentes avec les déviations process les plus extrêmes. Nous avons pu détecter tous les défauts qui impactent le fonctionnement du CUT en utilisant la stratégie de test proposée. D'autre part, nous avons montré pour un grand échantillon de puces que les mesures thermiques peuvent caractériser le point de compression 1 dB du LNA et la bande de fréquences de fonctionnement.

7.2 Perspectives

En termes de perspectives, nous proposons les travaux suivants :

- Etudier le degré de corrélation entre les sorties des capteurs de process et les performances RF pour des noeuds technologiques avancés (ex. 45 nm, 65 nm).
- Proposer des nouveaux capteurs de process qui présentent des mesures permettant de moyennner les variations aléatoires *intra-die*.
- Appliquer la stratégie de détection des défauts à travers un capteur de température en utilisant un modèle de défauts plus avancé.
- Mettre en place une méthodologie permettant d'appliquer la stratégie de détection des défauts pour un système complet comprenant plusieurs sources de chaleur très proches l'une de l'autre.
- Etudier la corrélation entre les mesures thermiques et les performances du LNA en suivant le flot de test alternatif.

- Mettre en place une procédure de test en ligne en utilisant le capteur de température.
- Mettre en place une méthode d'optimisation en ligne de la puissance consommée en utilisant le capteur de température [43].

Bibliographie

- [1] T.H. Lee, *The design of CMOS radio-frequency integrated circuits*, Cambridge university press, 2004.
- [2] B. Razavi and R. Behzad, *RF microelectronics*, Prentice Hall PTR Upper Saddle River, NJ, 1998.
- [3] B. Razavi et al., *Design of analog CMOS integrated circuits*, vol. 212, McGraw-Hill Singapore, 2001.
- [4] A. Bounceur, *Plateforme CAO pour filetest de circuits mixtes*, Ph.D. thesis, Institut National Polytechnique de Grenoble, 2007.
- [5] B. E. Stine, D. S. Boning, and J. E. Chung, “Analysis and decomposition of spatial variation in integrated circuit processes and devices,” *IEEE Transactions on Semiconductor Manufacturing*, vol. 10, no. 1, pp. 24–41, 1997.
- [6] S. Ellouz, P. Gamand, C. Kelma, B. Vandewiele, and B. Allard, “Combining internal probing with artificial neural networks for optimal RFIC testing,” in *IEEE International Test Conference*, 2006, pp. 4.3.1–4.3.9.
- [7] A. Valdes-Garcia, R. Venkatasubramanian, J. Silva-Martinez, and E. Sánchez-Sinencio, “A Broadband CMOS Amplitude Detector for On-Chip RF Measurements,” *IEEE Transactions on Instrumentation and Measurement*, vol. 57, no. 7, pp. 1470–1477, 2008.
- [8] H.H. Hsieh and L.H. Lu, “Integrated CMOS power sensors for RF BIST applications,” in *Proc. VLSI Test Symposium*, 2006, pp. 234–239.
- [9] F. Jonsson and H. Olsson, “RF detector for on-chip amplitude measurements,” *Electronics Letters*, vol. 40, no. 20, pp. 1239–1240, 2004.
- [10] C. Zhang, R. Gharpurey, and J.A. Abraham, “Low Cost RF Receiver Parameter Measurement with On-Chip Amplitude Detectors,” in *Proceedings of the 26th IEEE VLSI Test Symposium*. IEEE Computer Society, 2008, pp. 203–208.
- [11] A. Valdes-Garcia, R. Venkatasubramanian, R. Srinivasan, J. Silva-Martinez, and E. Sanchez-Sinencio, “A CMOS RF RMS detector for built-in testing of wireless transceivers,” in *Proc. VLSI Test Symposium*, 2005, pp. 249–254.
- [12] I. Baturone, JL Huertas, S. Sánchez-Solano, and AMD Richardson, “Supply current monitoring for testing CMOS analog circuits,” in *Proc. XI Conference on Design of Circuits and Integrated Systems (DCIS), Sitges*. Citeseer, 1996, pp. 231–236.
- [13] W.M. Lindermeir, T.J. Vogels, and H.E. Graeb, “Analog test design with IDD measurements for the detection of parametric and catastrophic faults,” in *Proceedings of the conference on Design, automation and test in Europe*. IEEE Computer Society, 1998, pp. 822–829.
- [14] Y. Kilic and M. Zwolinski, “Process variation independent built-in current sensor for analogue built-in self-test,” in *Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on*, 2001, vol. 4.

- [15] Y. Maidon, Y. Deval, J.B. Begueret, J. Tomas, and J.P. Dom, "3.3 V CMOS built-in current sensor," *Electronics Letters*, vol. 33, pp. 345, 1997.
- [16] M. Cimino, *Conception de circuits radiofréquences sous contraintes de fiabilité étendue*, Ph.D. thesis, Université Bordeaux I, 2007.
- [17] A. Soldo, A. Gopalan, PR Mukund, and M. Margala, "A current sensor for on-chip, non-intrusive testing of RF systems," in *VLSI Design, 2004. Proceedings. 17th International Conference on*, 2004, pp. 1023–1026.
- [18] J.M. da Silva, "Low-power in-circuit testing of a LNA," in *International Mixed-Signals Testing Workshop*, 2005, pp. 206–210.
- [19] J. Machado da Silva, "A low-power oscillation based LNA BIST scheme," in *Design and Test of Integrated Systems in Nanoscale Technology, 2006. DTIS 2006. International Conference on*, 2006, pp. 268–272.
- [20] M. Jarwala, D. Le, and MS Heutmaker, "End-to-end test strategy for wireless systems," in *Test Conference, 1995. Proceedings., International*, 1995, pp. 940–946.
- [21] A. Valdes-Garcia, J. Silva-Martinez, and E. Sanchez-Sinencio, "On-chip testing techniques for RF wireless transceivers," *IEEE Design and Test of Computers*, vol. 23, no. 4, pp. 268–277, 2006.
- [22] M. Onabajo, F. Fernandez, J. Silva-Martinez, and E. Sanchez-Sinencio, "Strategic Test Cost Reduction with On-Chip Measurement Circuitry for RF Transceiver Front-Ends—An Overview," in *49th IEEE International Midwest Symposium on Circuits and Systems, 2006. MWSCAS'06*. Citeseer, 2006, vol. 2.
- [23] PN Variyam, S. Cherubal, and A. Chatterjee, "Prediction of analog performance parameters using fast transient testing," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 21, no. 3, pp. 349–361, 2002.
- [24] PN Variyam and A. Chatterjee, "Digital-compatible BIST for analog circuits using transient response sampling," *IEEE Design & Test of Computers*, vol. 17, no. 3, pp. 106–115, 2000.
- [25] P.N. Variyam and A. Chatterjee, "Specification-driven test generation for analog circuits," *IEEE Trans Comput Aided Des Integr Circuits Syst*, vol. 19, no. 10, pp. 1189–1201, 2000.
- [26] R. Voorakaranam and A. Chatterjee, "Test generation for accurate prediction of analog specifications," in *Proceedings of the 18th IEEE VLSI Test Symposium (VTS'00)*, 2000, pp. 137–143.
- [27] H.G. Stratigopoulos, S. Mir, E. Acar, and S. Ozev, "Defect Filter for Alternate RF Test," in *Proceedings of the 2009 European Test Symposium*. pp. 101–106.
- [28] H.G. Stratigopoulos, S. Mir, E. Acar, and S. Ozev, "Defect filter for alternate rf test," in *Proceedings of the 2009 European Test Symposium*. pp. 101–106.
- [29] S.S. Akbay and A. Chatterjee, "Optimal Multisine Tests for RF Amplifiers," in *Wireless Test Workshop*, 2002.
- [30] R. Voorakaranam, S. Cherubal, and A. Chatterjee, "A signature test framework for rapid production testing of RF circuits," in *Proceedings of the conference on Design, automation and test in Europe*. IEEE Computer Society, 2002, p. 186.
- [31] S. Bhattacharya and A. Chatterjee, "Use of embedded sensors for built-in-test of RF circuits," in *International Test Conference*, 2004, pp. 801–809.
- [32] S.S. Akbay and A. Chatterjee, "Built-in test of RF components using mapped feature extraction sensors," in *Proc. VLSI Test Symposium*, 2005, pp. 243–248.
- [33] C. Zhang, R. Gharpurey, and JA Abraham, "Built-In Test of RF Mixers Using RF Amplitude Detectors," in *Quality Electronic Design, ISQED'07. 8th International Symposium on*, 2007, pp. 404–409.

- [34] S.S. Akbay and A. Chatterjee, "Feature extraction based built-in alternate test of RF components using a noise reference," in *Proc. VLSI Test Symposium*, 2004, pp. 273–278.
- [35] H.G. Stratigopoulos, S. Mir, and A. Bounceur, "Evaluation of analog/RF test measurements at the design stage," *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 28, no. 4, pp. 582–590, 2009.
- [36] A. Spyronasios, L. Abdallah, H.G. Stratigopoulos, and S. Mir, "On replacing an RF test with an alternative measurement : Theory and a case study," in *Test Symposium (ATS), 20th Asian*. IEEE, 2011, pp. 365–370.
- [37] B.W. Silverman, *Density estimation for statistics and data analysis*, vol. 26, Chapman & Hall/CRC, 1986.
- [38] K. Bernstein, *High Speed CMOS Design Styles*, Springer, 1998.
- [39] D. Bonning and S. Nassif, "Models of process variations in device and interconnect," in *Design of High-Performance Microprocessor Circuits*, A. Chandrakasan, William J. Bowhill, and Frank Fox, Eds., pp. 98–115. IEEE Press, 2001.
- [40] D. Kim, C. Cho, J. Kim, J.-O. Plouchart, R. Trzcinski, and D. Ahlgren, "CMOS mixed-signal circuit process variation sensitivity characterization for yield improvement," in *IEEE Custom Integrated Circuits Conference*, 2006, pp. 365–368.
- [41] E. Aldrete-Vidrio, D. Mateo, J. Altet, M. Salhi, S. Grauby, S. Dilhaire, M. Onabajo, and J. Silva-Martinez, "Strategies for built-in characterization testing and performance monitoring of analog RF circuits with temperature measurements," *Measurement Science and Technology*, vol. 21, pp. 075104, 2010.
- [42] M. Onabajo, J. Altet, E. Aldrete-Vidrio, D. Mateo, and J. Silva-Martinez, "Electrothermal design procedure to observe RF circuit power and linearity characteristics with a homodyne differential temperature sensor," *Circuits and Systems I : Regular Papers, IEEE Transactions on*, , no. 99, pp. 1–1, 2011.
- [43] R. Khereddine, L. Abdallah, E. Simeu, S. Mir, and F. Cenni, "Adaptive logical control of RF LNA performances for efficient energy consumption," *VLSI-SoC : Forward-Looking Trends in IC and Systems Design*, pp. 43–68, 2012.

Liste des publications

Chapitre dans un livre

[1] R. Khereddine, **L. Abdallah**, E. Simeu, S. Mir, and F. Cenni. Adaptive logical control of RF LNA performances for efficient energy consumption, *VLSI-SoC : Forward-Looking Trends in IC and Systems Design*, 2012, pp. 43-68.

Journal

[2] **Louay Abdallah**, Haralampos-G. D. Stratigopoulos, Salvador Mir, Christophe Kelma. RF Front-End Test Using Built-in Sensors. *IEEE Design and Test of Computers*, 2011, pp. 76-84.

Conférences internationales

[3] **Louay Abdallah**, Haralampos-G. D. Stratigopoulos, Salvador Mir, Josep Altet. Defect-oriented non-intrusive RF test using on-chip temperature sensors. *IEEE VLSI Test Symposium (VTS)*, 2013, (to appear).

[4] Ke Huang, Haralampos-G. D. Stratigopoulos, **Louay Abdallah**, Salvador Mir and Ahcène Bounceur. Multivariate Statistical Techniques for Analog Parametric Test Metrics Estimation. *IEEE Design and Technology of Integrated Systems (DTIS)*, 2013, (to appear).

[5] Kamel Beznia, Ahcène Bounceur, **Louay Abdallah**, Ke Huang, Salvador Mir, and R. Euler. Accurate estimation of analog test metrics with extreme circuit. *IEEE International Conference on Electronics, Circuits, and Systems (ICECS)*, 2012, pp. 272-275.

[6] **Louay Abdallah**, Haralampos-G. D. Stratigopoulos, Salvador Mir, Christophe Kelma. Experiences With Non-Intrusive Sensors For RF Built-In Test. *International Test Conference (ITC)*, 2012, Paper 17.1.

[7] **Louay Abdallah**, Haralampos-G. D. Stratigopoulos, Salvador Mir, Josep Altet. Testing RF circuits with true non-intrusive built-in sensors. *Conference on Design, Automation and Test in Europe (DATE)*, 2012, pp. 1090-1095.

[8] Alexios Spyronasios, **Louay Abdallah**, Haralampos-G. D. Stratigopoulos, Salvador Mir. On Replacing an RF Test with an Alternative Measurement : Theory and a Case Study. *Asian Test Symposium (ATS)*, 2011, pp. 365-370.

[9] **Louay Abdallah**, Haralampos-G. D. Stratigopoulos, Salvador Mir. Implicit test of high-speed analog circuits using non-intrusive sensors. *European Conference on Circuit Theory and Design (ECCTD)*, 2011, pp. 652 (**Invited paper**).

[10] Rafik Khereddine, **Louay Abdallah**, Emmanuel Simeu, Salvador Mir, Fabio Cenni. Adaptive logical control of RF LNA performances for efficient energy consumption. *VLSI System on Chip (VLSI-SoC)*, 2010, pp. 161-166 (**Best paper award**).

[11] **Louay Abdallah**, Haralampos-G. D. Stratigopoulos, Christophe Kelma, Salvador Mir. Sensors for built-in alternate RF test. *European Test Symposium (ETS)*, 2010, pp. 49-54.

[12] Jeanne Tongbong, **Louay Abdallah**, Salvador MIR, Haralampos Stratigopoulos.

Evaluation of Built-In Sensors for RF LNA response measurement, *International Mixed Signals, Sensors, and Systems Test Workshop (IMS3TW)*, Juin 2010, pp. 1-6.

Conférences nationales

[13] **Louay Abdallah**, Haralampos Sratigopoulos, Salvador Mir. Conception et évaluation d'une métrique de test pour un mélangeur RF, *Journées GDR SoC-Sip*, Juin 2011.

[14] **Louay Abdallah**, Haralampos Sratigopoulos, Salvador Mir. Moniteurs embarqués pour le test à bas coût d'un front-end RF, *Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM)*, Mai 2011.

[15] **Louay Abdallah**, Haralampos Sratigopoulos, Salvador Mir. Capteurs intégrés pour le test des circuits RF, *Journées GDR SoC-Sip*, Juin 2010.

[16] **Louay Abdallah**, Jeanne Tongbong, Haralampos Sratigopoulos, Salvador Mir. Alternate LNA Testing Using An Envelope Detector, *Journées GDR SoC-Sip*, Juin 2009.