

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique et de génie informatique

Réalisation d'un convertisseur
temps-numérique pour une application de
détection monophotonique

Mémoire de maîtrise
Spécialité : génie électrique

Étienne DESAULNIERS LAMY

Jury : Jean-François PRATTE (directeur)
Réjean FONTAINE (codirecteur)
Frédéric MAILHOT
Sébastien ROY

À Geneviève et à ma famille.

RÉSUMÉ

Le Groupe de recherche en appareillage médical de Sherbrooke possède une expertise unique dans la conception de scanners à tomographie d'émission par positrons. Le fonctionnement de la tomographie d'émission par positrons repose sur la détection de photons d'annihilation colinéaires par un agencement de cristaux scintillateurs, photodétecteurs, convertisseurs temps-numérique et électronique de traitement. Une partie du groupe de recherche s'oriente vers l'utilisation des matrices de photodiodes à avalanches opérées en mode Geiger, afin d'obtenir une meilleure résolution temporelle du système et un seuil de détection plus faible que les générations précédentes, ce qui permet de détecter les premiers photons émis par le cristal scintillateur.

Le convertisseur temps-numérique (TDC) développé se veut un bloc polyvalent et réutilisable mesurant des intervalles de temps avec grande précision. Son développement cible des applications de détection monophotoniques avec estampilles temporelles comme la tomographie optique diffuse, les caméras 3D ou la tomographie d'émission par positrons. Il s'intègre ici dans un circuit intégré en CMOS 130 nm assemblé verticalement avec plusieurs gaufres et dédié à la détection en tomographie d'émission par positron. La méthodologie de conception du convertisseur temps-numérique s'inspire d'une approche en signaux mixtes avec suprématie du numérique.

En simulation, le TDC développé arbore une résolution de 14,5 ps, une non-linéarité différentielle de 1 bits de poids faible, une non-linéarité intégrale de 2,2 bits de poids faible, une fréquence de conversion de 11,1 millions d'échantillons par seconde, une plage dynamique de 5 ns, une puissance moyenne consommée en moyenne de 4,5 mW et une taille de 0,029 mm². Un mécanisme pour améliorer la résolution du TDC a été intégré dans un exemplaire du TDC. Son utilisation a permis d'obtenir une résolution de 12,6 ps sur un exemplaire du circuit fabriqué. Ces travaux ont permis d'explorer l'architecture en oscillateur vernier avec anneaux et d'en faire ressortir plus clairement les avantages, les inconvénients et les écueils à surveiller lors de la conception.

Mots-clés : Convertisseur temps-numérique (TDC), Oscillateur vernier en anneaux, Détection monophotonique, Circuit intégré, CMOS 130 nm, Tomographie d'émission par positrons (TEP), Circuit en signaux mixtes

REMERCIEMENTS

J'aimerais remercier tout d'abord mes directeurs de maîtrise Jean-François Pratte et Réjean Fontaine pour m'avoir proposé un projet de maîtrise au sein du GRAMS et fait confiance tout au long de sa réalisation. Leur expertise et leurs ressources financières, humaines et matérielles m'ont permis de mener le projet jusqu'au bout.

Je veux également souligner le support scolaire et parascolaire offert par Audrey Corbeil Therrien, Alexandre Boisvert, Vincent Rhéaume, Marc-André Tétrault, Benoit-Louis Bérubé et les autres membres du GRAMS qui m'ont permis d'approfondir mon sujet au gré de discussions, tantôt pratiques, tantôt philosophiques, que de décompresser et égayer les semaines de travail exigeantes.

J'aimerais souligner le soutien indéfectible de ma famille, mais tout particulièrement mes parents Raymond et Nicole et ma sœur Catherine. Un remerciement tout particulier à ma conjointe Geneviève pour l'encouragement, l'écoute, la patience et le support au quotidien.

Il importe de souligner les contributions financières directes qui ont su maintenir mon attention sur la recherche : mes directeurs de recherche, le CRSNG, le ReSMiQ et la fondation Louis Lagassé. La réalisation du circuit intégré n'aurait pas été possible sans la contribution financière, logicielle et matérielle de CMC Microsystems.

Un remerciement spécial à tous ceux qui prendront la peine de lire ce mémoire qui a consommé tant de mes heures.

TABLE DES MATIÈRES

1	INTRODUCTION	1
1.1	Mise en contexte	1
1.2	Objectifs du projet de recherche	3
1.3	Plan du document	4
2	ÉTAT DE L'ART	5
2.1	La détection monophotonique	5
2.1.1	Les détecteurs	5
2.1.2	Intégration	7
2.1.3	Applications de la détection monophotonique	8
2.2	Convertisseurs temps-numérique	11
2.2.1	Architectures de TDC	12
2.2.2	Résolution et précision	16
2.2.3	Consommation	18
2.2.4	Fréquence de conversion	19
2.2.5	Plage dynamique	20
2.2.6	Taille du circuit	21
2.2.7	TDC hiérarchiques	21
2.3	Synthèse	22
3	MÉTHODOLOGIE	23
3.1	Modélisation initiale	23
3.2	Conception du circuit	24
3.3	Dessin des masques	25
3.3.1	Fiabilité et appariement	26
3.4	Vérification logicielle	27
3.4.1	Banc de test logiciel	27
3.4.2	Vérification fonctionnelle de haut niveau	28
3.5	Tests	29
3.6	Outils de conception	29
3.7	Synthèse	29
4	CONCEPTION	31
4.1	Technologie de fabrication	31
4.2	Architecture du TDC	31
4.2.1	Cœur du TDC	32
4.2.2	Logique d'entrée	40
4.2.3	Détection du dépassement	40
4.2.4	Compteurs de tours	44
4.2.5	Circuit d'encodage	45
4.2.6	Compteur système	46

4.2.7	Post-traitement	47
4.3	Dessin des masques	48
4.4	Vérification logicielle	48
4.5	Structures de test	50
4.5.1	Chaines à délai	50
4.5.2	TDC de test	51
4.5.3	Circuit imprimé supportant les tests	52
4.6	Conclusion	52
5	RÉSULTATS ET ANALYSE	55
5.1	Performance du TDC	55
5.1.1	Résolution et précision	56
5.1.2	Fréquence de conversion	60
5.1.3	Plage dynamique	60
5.1.4	Consommation	62
5.1.5	Tableau résumé	62
5.2	Discussion	65
5.2.1	Résolution et précision	65
5.2.2	Consommation	67
5.2.3	Taille du circuit	70
5.2.4	Résumé	71
6	CONCLUSION	73
	LISTE DES RÉFÉRENCES	77

LISTE DES FIGURES

1.1	Assemblage 3D du photodétecteur développé	3
2.1	Structure de la dynode d'un MCP-PMT	6
2.2	Comparaison entre le calcul d'une ligne de réponse dans un scanner TEP sans la mesure TOF et avec la mesure TOF	10
2.3	Architecture de TDC analogique	12
2.4	Architectures de TDC numériques	16
3.1	Outils méthodologiques utilisés pour chaque étape et sous-circuit	24
4.1	Diagramme de la séquence de fonctionnement du TDC	32
4.2	Schéma bloc du TDC	33
4.3	Circuit partiel simplifié du cœur du TDC	35
4.4	Circuit d'une cellule de délai NAND	35
4.5	Temps de propagation d'un NAND en fonction des tailles de transistors	37
4.6	Circuit d'un arbitre	38
4.7	Emplacement et numérotation des éléments dans le cœur du TDC	39
4.8	Délai de stabilisation simulé sans parasites de l'arbitre en fonction de la différence du temps d'arrivée des entrées	41
4.9	Circuit simplifié du module de logique d'entrée	41
4.10	Circuit simplifié générant le signal nFastBeforeLast	42
4.11	Circuit simplifié de la détection du dépassement	43
4.12	Dessin des masques de la portion placé manuellement du TDC	49
4.13	Schéma électrique équivalent des chaînes à délai de test	51
4.14	Schéma électrique simplifié des TDC de test	52
5.1	Histogramme normalisé des Codes de TDC simulé	57
5.2	Précision du TDC simulé	58
5.3	Précision du TDC intégré au canal 1 du détecteur	59
5.4	Période d'oscillation de l'anneau lent du TDC #0	59
5.5	Période d'oscillation de l'anneau rapide du TDC #0	60
5.6	Temps de conversion du TDC simulé en fonction de l'intervalle à mesurer	61
5.7	Fonction de transfert du TDC simulé	61
5.8	Puissance moyenne du TDC en fonction de l'intervalle à mesurer en entrée	63
5.9	Bornes temporelles des paliers de TDC avec DNL élevé	66
5.10	Cœur du TDC avec circuits tampons	67
5.11	Temps de conversion maximal d'un TDC à oscillateurs vernier en fonction de la résolution en mode oscillateur	69

LISTE DES TABLEAUX

2.1	Comparaison des performances d'architectures de TDC	13
3.1	Techniques d'appariement par sous-circuit	27
4.1	Table de vérité d'un arbitre	37
4.2	Table de vérité de la logique d'entrée	40
4.3	Affectation des bits du code de sortie du TDC	46
5.1	Paramètres du simulateur	55
5.2	Paramètres du banc de test	55
5.3	Comparaison des performances du TDC actuel	64

LISTE DES ACRONYMES

3IT		Institut interdisciplinaire d'innovation technologique
ADC	<i>Analog to Digital Converter</i>	Convertisseur analogique-numérique
ASIC	<i>Application-Specific Integrated Circuit</i>	Circuit intégré à application spécifique
CMOS	<i>Complementary Metal Oxide Semiconductor</i>	Semi-conducteur à oxyde de métal complémentaire
DNL	<i>Differential Nonlinearity</i>	Non-linéarité différentielle
FPGA	<i>Field Programmable Gate Array</i>	Réseau prédiffusé programmable par l'utilisateur
GRAMS		Groupe de Recherche en Appareillage Médical de Sherbrooke
INL	<i>Integral Nonlinearity</i>	Non-linéarité intégrale
LFSR	<i>Linear-Feedback Shift Register</i>	Registre à décalage à rétroaction linéaire
LMH		Largeur à mi-hauteur
LSB	<i>Least Significant Bit</i>	Bit de poids faible
LVDS	<i>Low-voltage differential signaling</i>	Transmission différentielle basse-tension
PAMP		Photodiode Avalanche Monophotonique
PCB	<i>Printed Circuit Board</i>	Carte de circuit imprimé
PMT	<i>Photomultiplier tube</i>	Tube photomultiplicateur
PLL	<i>Phase Locked Loop</i>	Boucle à verrouillage de phase
RàZ	<i>Reset</i>	Remise à zéro
TA	<i>Time Amplifier</i>	Amplificateur temporel
TAC	<i>Time-to-Amplitude Converter</i>	Convertisseur temps-amplitude
TCSPC	<i>Time-Correlated Single Photon Counting</i>	Comptage de photons uniques corrélé en temps
TDC	<i>Time-to-Digital Converter</i>	Convertisseur temps-numérique

TDL	<i>Tapped Delay Line</i>	Ligne à délai simples
TDM		Tomodensitométrie
TEP		Tomographie d'émission par positrons
TOD		Tomographie optique diffuse
TOF	<i>Time of Flight</i>	Temps de vol
TSV	<i>Through-Silicon Via</i>	Interconnexion verticale traversant le silicium
VDL	<i>Vernier Delay Line</i>	Ligne à délai vernier
VLSI	<i>Very Large Scale Integration</i>	Intégration à très grande échelle
VO	<i>Vernier Oscillator</i>	Oscillateur vernier
VRO	<i>Vernier Ring Oscillator</i>	Oscillateur vernier en anneaux

CHAPITRE 1

INTRODUCTION

En 1957, Russell Kirsch et son équipe du National Bureau of Standards ont mis au point la première solution d'imagerie numérique [44, 53]. Depuis cette première numérisation dotée d'une résolution de 31 kilopixels, plusieurs générations d'imageurs ont su tirer avantage des divers processus de miniaturisation et d'intégration pour atteindre prochainement 3,2 gigapixels en un seul capteur [32]. Le développement de l'imagerie numérique a propulsé une multitude d'applications d'imagerie allant de la caméra intégrée dans chaque téléphone intelligent à l'imagerie médicale. Un peu à l'image du discours du *More than Moore* qui décrit l'intégration grandissante de plusieurs technologies hétérogènes en semi-conducteur à oxyde de métal complémentaire (CMOS) comme alternative à l'intégration d'un nombre sans cesse plus grand de transistors tel que dicté par la *loi de Moore*, les photodétecteurs actuels comprennent de plus en plus de fonctions spécialisées, intégrant notamment la mesure de l'intensité et la mesure du temps d'arrivée des photons [8]. Une mesure précise du temps d'arrivée des photons permet la mesure de temps de vol pour des applications de caméra 3D et en tomographie d'émission par positrons (TEP) ou encore la mesure de courbes de fluorescence.

1.1 Mise en contexte

Le Groupe de recherche en appareillage médical de Sherbrooke (GRAMS) est un groupe de recherche localisé à l'Institut interdisciplinaire d'innovation technologique (3IT) de l'Université de Sherbrooke. Le groupe travaille principalement au développement de scanners d'imagerie médicale pour petits animaux combinant la tomographie d'émission par positrons et la tomodensitométrie (TEP/TDM) pour offrir une image tridimensionnelle présentant simultanément les informations métaboliques et physiologiques.

La mise au point d'un tel scanner réside au confluent de l'imagerie médicale et de la micro-électronique. Les scanners développés sont des équipements de haute technologie utilisant des circuits intégrés adaptés au début de la chaîne d'acquisition afin de maximiser la performance tout en minimisant la consommation électrique et l'espace utilisé. Des circuits intégrés commerciaux plus polyvalents, dont des réseaux prédiffusés programmables (FPGA), assurent le traitement des informations en deuxième ligne et la réduction de la

quantité de données à transmettre au système de reconstruction d'image. La conception de l'électronique se fait directement pour les applications de la TEP/TDM dans le but de maximiser les performances du système complet.

En TEP, le radiotracer injecté dans le sujet se désintègre en émettant un positron qui s'annihile ensuite produisant deux photons colinéaires de sens opposés de haute énergie. Le scanner intercepte une partie de ces photons dans des blocs de cristaux scintillateurs qui les convertissent en photons du spectre visible. Ces derniers seront finalement transformés en signaux électriques à l'aide d'un transducteur optique, tels un tube photomultiplicateur ou une photodiode avalanche. Les événements de détection des photons de haute énergie sont recombinaés à l'aide de leur estampille temporelle d'arrivée permettant ainsi de calculer une ligne de réponse.

Les versions actuelles des scanners de Sherbrooke utilisent des photodiodes avalanches en mode linéaire comme transducteur optique. Dans le cadre de l'élaboration d'un scanner de troisième génération, une partie du groupe de recherche étudie l'utilisation de la détection monophotonique avec estampille temporelle pour la détection en tomographie d'émission par positrons. L'architecture proposée détecte les photons visibles émis dans un cristal scintillateur à l'aide d'une matrice de photodiodes avalanches opérées en mode Geiger et de circuits d'étouffement. Afin de maximiser la surface sensible, le détecteur est développé dans un assemblage innovant en trois dimensions composé de plusieurs gaufres de CMOS où la matrice de photodétecteurs est sur le dessus et les circuits électroniques de contrôle et de lecture sont répartis sur les deux gaufres inférieures comme illustré à la figure 1.1. Dans le but de mesurer le temps d'arrivée du premier photon visible dans le détecteur, l'impulsion électrique correspondant à cette première détection est transmise à un circuit produisant une estampille temporelle d'une grande précision, le convertisseur temps-numérique (TDC). La conception de ce circuit de mesure temporelle est l'objet principal du projet de recherche exposé dans ce mémoire.

Le projet de recherche s'intègre dans une perspective d'exploration de technologies de photodétection récentes et propices à l'intégration en CMOS conjuguée à une tentative de diversification des applications en termes de détection monophotonique avec estampille temporelle. Il permettra, grâce à son intégration dans un circuit intégré tridimensionnel dédié, d'obtenir des mesures de temps d'arrivée de photons avec précision et de valider le concept de la chaîne de détection basée sur une matrice de photodiodes avalanches en mode Geiger lues numériquement en cours de développement.

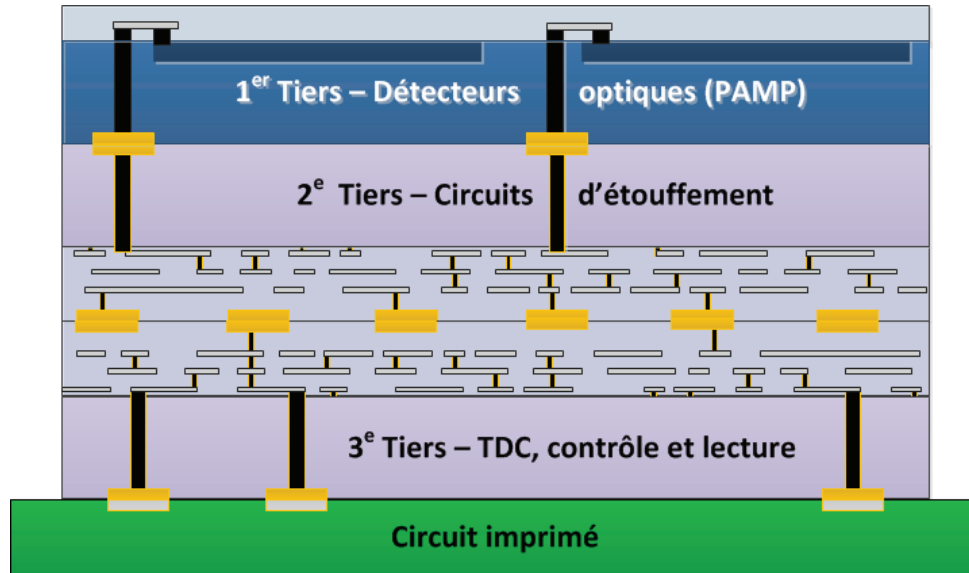


Figure 1.1 Assemblage 3D du photodétecteur développé. Figure inspirée d'une œuvre originale de Robert Patti, Tezzaron ; composée par Audrey Corbeil Therrien, GRAMS ; adaptée pour le présent document.

1.2 Objectifs du projet de recherche

Le circuit intégré développé par le GRAMS est une œuvre collective intégrant plusieurs modules. La puce réalisée en CMOS 130 nm et assemblée en 3D comprend les 2^e et 3^e tiers de la figure 1.1. Le convertisseur temps-numérique, objet des travaux présentés dans ce mémoire, est situé sur un seul tiers, le 3^e. L'inclusion du TDC au sein d'un circuit intégré multipartite engendre des contraintes de conception. La fréquence d'horloge système utilisée dans la puce fixe la période maximale que le TDC doit subdiviser pour augmenter la précision de la mesure en temps par rapport à un compteur binaire synchronisé sur cette première. La période, de 5 ns correspond donc à la plage dynamique minimale du TDC. En plus de la mesure en temps, le système, réalisé dans un projet de doctorat parallèle, récolte une mesure en énergie en comptant le nombre de photodiodes avalanches opérées en mode Geiger déclenchées dans un intervalle de temps donné. Ce processus, d'une durée de 100 ns, définit le temps mort maximal du TDC avant que celui-ci ne dégrade les performances du système.

La conception du convertisseur temps-numérique a pour objectif la réponse à la question de recherche :

Peut-on réaliser un TDC en CMOS 130 nm ayant une résolution de l'ordre de $20 \text{ ps}_{\text{RMS}}$, un temps mort inférieur à 100 ns et une plage dynamique de 5 ns pour une application de détection monophotonique ?

La démarche permettant d’y arriver peut être découpée en trois sous-objectifs. Premièrement, il s’agit de concevoir un circuit permettant d’obtenir une résolution avoisinant les 20 ps. Deuxièmement, les parties asynchrones et synchrones du TDC doivent être agencées pour respecter un temps mort total de 100 ns. Finalement, le TDC doit être calibré sur une plage dynamique de 5 ns. La solution développée est un circuit basé sur une architecture d’oscillateur vernier en anneaux et conçu en CMOS 130 nm.

1.3 Plan du document

Ce mémoire démarre par une revue de l’état de l’art explorant les applications de la détection monophotonique avec estampille temporelle de même que de diverses architectures de TDC et occupant le chapitre 2. Y succède, au chapitre 3, un survol de la méthodologie utilisée pour la conception du circuit et la réalisation de la vérification. Les détails de la conception du TDC suivent au chapitre 4. Les résultats de simulations et leur analyse sont présentés au chapitre 5. Finalement, une conclusion résume le projet et ses retombées.

CHAPITRE 2

ÉTAT DE L'ART

L'ajout d'une estampille temporelle précise à la détection monophotonique permet l'émergence de plusieurs nouvelles solutions d'imagerie et l'amélioration des systèmes de détection actuels. Le présent chapitre débute par un survol de la détection monophotonique suivi d'une comparaison des architectures de convertisseurs temps-numérique ainsi que leurs performances.

2.1 La détection monophotonique

Les dispositifs électroniques fréquemment utilisés pour la détection de photons nécessitent l'ionisation d'atomes (ionisation directe ou effet photoélectrique) par un photon incident afin de créer des porteurs libres. La multiplication des porteurs par diverses structures d'amplification employant un champ électrique important crée un signal électronique utilisable par les circuits de traitement. Lorsque le gain et la qualité du signal sont suffisants pour discerner chacun des photons incidents, on parle alors de détection monophotonique. Les paragraphes suivants présentent tout d'abord les détecteurs utilisés pour réaliser la détection monophotonique, suivi de quelques applications utilisant l'estampillage temporel des événements de détection monophotonique à des fins d'imagerie.

2.1.1 Les détecteurs

Tube photomultiplicateur

Un tube photomultiplicateur (PMT) est la plus ancienne méthode de détection monophotonique. Le PMT intègre une photocathode, une série de dynodes et une anode dans un tube sous vide, le tout polarisé à des tensions pouvant atteindre les milliers de volts. La détection débute lorsqu'un photon incident frappe la photocathode, en ionise un atome, et libère un photoélectron à l'intérieur du tube. Un champ électrique intense accélère l'électron et en multiplie le nombre par ionisation d'impact sur les dynodes subséquentes. Une anode capture les électrons en bout de chaîne et produit une impulsion par groupe d'électrons incidents [21].

Bien que dirigés par le champ électrique, la portion aléatoire du parcours des électrons dans le tube photomultiplicateur entraîne une variation du temps de propagation des électrons de l'anode à la cathode et ainsi une gigue temporelle (*timing jitter*) du signal de détection. Afin de diminuer la variabilité des chemins possibles entre la cathode et l'anode et donc la gigue temporelle du signal de détection, certains PMT utilisent des micro-canaux à polarisation graduelle comme dynode combiné à une distance anode-photocathode réduite (MCP-PMT, figure 2.1)[19]. Ce faisant, la résolution en temps typique d'un PMT passe de quelques nanosecondes à quelques dizaines de picosecondes [5, 20, 29, 50].

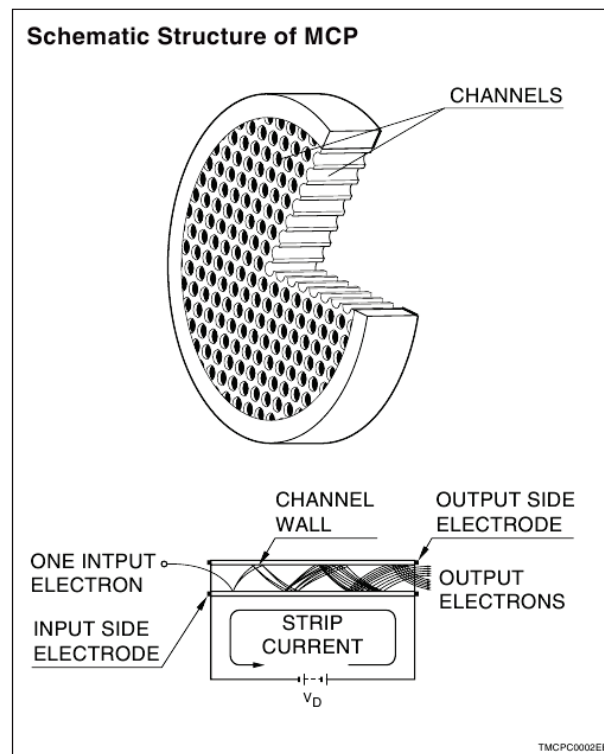


Figure 2.1 Structure de la dynode d'un MCP-PMT [50].

Comme les PMT fonctionnent sous vide, ils sont encapsulés dans un boîtier de verre, ce qui augmente leur taille, la taille des interstices dans un montage en matrice et la fragilité du dispositif [29]. Leur principe d'opération nécessite des tensions de polarisation élevées plus difficiles à maîtriser [50]. Leur sensibilité aux champs magnétiques externes nécessite plusieurs accommodements pour être utilisés avec un imageur par résonance magnétique ou dans certaines expériences de physique des hautes énergies [21, 22]. Le coût unitaire élevé des PMT favorise la recherche d'autres détecteurs monophotoniques [54].

Photodiodes à avalanche monophotoniques

Les photodiodes à avalanche monophotoniques ou photodiode à avalanche opérées en mode Geiger (PAMP) sont des photodiodes à avalanches opérées au-delà de leur tension de claquage inverse. Lorsqu'un photon crée un photoélectron dans la zone de déplétion de la photodiode par effet photoélectrique, une avalanche de porteurs démarre et le courant dans la diode croît rapidement [66]. Le gain de ce mode d'opération, de 10^5 à 10^7 , est suffisant pour réaliser la détection de photons uniques [35].

Pour préparer la PAMP à une détection subséquente, un circuit passif ou actif doit détecter le courant, étouffer l'avalanche et faire redescendre le point de polarisation de la diode sous la tension de claquage inverse. Pour une PAMP individuelle, l'emplacement de la création de la paire électrons-trous par effet photoélectrique combiné à la structure de la diode engendre une incertitude temporelle entre le moment de l'effet photoélectrique et celui de la détection [66]. La résolution temporelle de PAMP en CMOS de quelques micromètres peut atteindre les 20 ps en largeur à mi-hauteur (LMH) [13, 66]. Le circuit de détection influence également la résolution en temps des PAMP. La contribution temporelle des meilleurs circuits de détection est inférieure à 40 ps LMH [59, 60]. Un circuit de mesure permettant de caractériser la contribution à l'incertitude temporelle des diverses composantes du détecteur se doit alors d'avoir une résolution et une précision du même ordre de grandeur que la plus petite contribution, déterminant ainsi la résolution requise du TDC qui suivra.

Les PAMP sont préférées aux PMT dans plusieurs applications, notamment par leur faible taille, leur plus faible tension de polarisation, leur insensibilité aux champs magnétiques, leur meilleure efficacité de détection, leur plus faible coût unitaire et leur possibilité d'intégration avec l'électronique de lecture [10, 12, 13, 22, 35]. Les PAMP souffrent par contre d'une sensibilité aux défauts de fabrication [59].

2.1.2 Intégration

L'intégration des détecteurs monophotoniques pour constituer un système de détection comporte plusieurs défis. Les éléments à considérer pour qualifier la précision de la mesure temporelle d'un système de détection ne se limitent pas au détecteur monophotonique, à son électronique de lecture et au circuit de mesure temporelle [51]. Il importe de tenir compte des effets attribuables aux interconnexions physiques et à l'électronique de relais.

Dans chaque circuit, le bruit électronique cause une variation de la tension à l'intérieur du circuit. La majorité des signaux étant numériques, le bruit en amplitude se transforme en

gigue temporelle quand la tension de signal croise le seuil de discrimination de la cellule numérique suivante selon la formule 2.1 où la pente se mesure à la tension du seuil de discrimination [39].

$$Giguetemporelle_{RMS}(s) = \frac{Bruit_{RMS}(V)}{Pente(V/s)} \quad (2.1)$$

Les interconnexions introduisent ce bruit électronique par couplage capacitif, couplage inductif ou par réflexion du signal. L'électronique de relais contribue également à la gigue temporelle par des variations de performance temporelle découlant des fluctuations aléatoires dans la tension d'alimentation.

Plus une interconnexion entre le détecteur monophotonique et le TDC s'avère longue, plus l'électronique de relais sera importante et moins bonne sera la précision de la mesure temporelle pour un même système de détection.

Dans une intégration matricielle planaire de PAMP outillées pour la détection monophotonique avec estampille temporelle, l'intégration de l'électronique de lecture directement dans chaque pixel permet de minimiser les longueurs d'interconnexions par rapport à une solution de lecture sur une puce externe. Par contre, cela limite grandement le ratio de la surface occupée par la structure photosensible. La réalisation d'un TDC intégré par pixel de taille minimale peut alors nuire à sa précision de mesure [56]. Les PMT ne peuvent pas être intégrés aussi densément étant donné leur taille et souffrent donc d'interconnexions plus longues. D'autres solutions passent par l'intégration en trois dimensions des détecteurs permettant de superposer plusieurs puces électroniques [62]. Cette approche présente une complexité plus élevée à la fabrication et au déverminage, mais permet une intégration beaucoup plus dense par rapport à une solution sur puce unique et un meilleur ratio de surface photosensible.

2.1.3 Applications de la détection monophotonique

Caméra 3D

La capture directe d'images en trois dimensions peut être réalisée de plusieurs façons : par stéréoscopie, par triangulation ou par calcul du temps de vol (TOF) des photons [54]. La dernière méthode utilise une matrice de photodétecteurs pour imager une scène, idéalement des PAMP vu leur faible taille et leur facilité d'intégration. Le principe consiste en une source lumineuse pulsée et synchronisée qui illumine le champ focal de la caméra. Cette dernière détecte directement les photons réfléchis. Afin de minimiser le bruit optique causé

par la lumière ambiante, l'optique de la caméra peut être munie d'un filtre restreignant la lumière entrante aux longueurs d'onde avoisinant celle de la source lumineuse [2]. Un TDC accompagne chaque pixel de la matrice de photodétecteurs pour mesurer le temps de vol des photons.

En théorie, la résolution maximale en profondeur de l'image est fonction de la résolution de la mesure en temps et de la vitesse de propagation de la lumière dans le milieu. Par exemple dans le vide, on calcule cette résolution en fonction de la résolution de la mesure temporelle du système à l'aide de l'équation 2.2 [54, 61], où le facteur $1/2$ découle du trajet aller-retour effectué par la lumière, c est la vitesse de la lumière dans le vide et z la profondeur mesurée.

$$z = \frac{c}{2} * t_{\text{TOF}} \quad \Rightarrow \quad \frac{z}{t_{\text{TOF}}} = \frac{299,79 \text{ km/s}}{2} \approx 150 \text{ } \mu\text{m/ps} \quad (2.2)$$

La résolution obtenue dans l'air est sensiblement la même. Par contre, en pratique, la gigue de temps due à une combinaison des variations de la source lumineuse, des trajets de la lumière dans l'environnement de mesure, du photodétecteur et du TDC limite la précision de ces systèmes [2, 45, 47]. La précision temporelle des systèmes de caméra 3D complets actuels est inférieure à 100 ps, permettant une résolution spatiale inférieure à 9 mm après lissage par groupe de 1000 échantillons [45, 46]. La plus grande part de l'incertitude étant attribuée au manque de précision du circuit de mesure temporelle, une amélioration de ce circuit permettrait de meilleures performances globales.

Tomographie optique diffuse

La tomographie optique diffuse (TOD) utilise la détection directe de photons s'étant propagés dans un corps pour caractériser ce dernier en cartographiant les coefficients d'absorption et de diffusion des tissus en trois dimensions [4, 5, 67]. Trois méthodes différentes existent en TOD pour l'émission et la réception des photons : la détection en ondes continues, la détection en domaine fréquentiel et la détection de photons uniques corrélés en temps (TCSPC) [4, 5, 20]. Contrairement aux deux premières approches, la TCSPC permet d'obtenir plus d'information d'une même exposition, notamment en faisant la distinction entre l'absorption et la diffusion [20, 26]. C'est également la méthode de choix pour l'imagerie des tissus épais étant donné la sensibilité de la détection monophotonique. L'étalement du temps de transit des photons au travers des petits animaux avoisinant 1 ns/cm LMH, une résolution temporelle de 100 ps réponds amplement aux besoins actuels de ces systèmes d'imagerie [31].

Tomographie d'émission par positrons

La tomographie d'émission par positrons (TEP) construit une image 3D de la répartition d'un radiotracer dans un sujet. Suite à la désintégration du radiotracer, le positron s'annihile et émet deux photons de haute énergie colinéaires de sens opposés. Un détecteur arrête un de ces photons d'annihilation à l'aide d'un cristal scintillateur qui produit en échange un nombre variable de photons dans le spectre de la lumière visible. Dans les scanners actuels, des détecteurs photoniques, tels les PMT ou les photodiodes à avalanches en mode linéaire, convertissent ces derniers photons en un signal électrique analogique [10, 17, 35].

Une estampille temporelle du moment de détection permet le regroupement des événements de détection des deux photons d'annihilation et le calcul d'une ligne de réponse. Une meilleure résolution temporelle du système signifie une fenêtre de coïncidence pouvant être réduite, une diminution des coïncidences fortuites, une augmentation du ratio signal sur bruit des données en coïncidence et un meilleur contraste d'image [10]. Lorsqu'elle est inférieure à la nanoseconde, elle permet une mesure de temps de vol (TOF) dans les scanners humains délimitant l'endroit calculé de l'émission des photons d'annihilation à une fraction de la ligne de réponse [10, 33]. Par exemple, une résolution de 600 ps LMH permet de contraindre l'annihilation à une section d'environ 9 cm LMH le long de la ligne de réponse [33, 35]. La différence entre la méthode conventionnelle et la méthode TOF est illustrée à la figure 2.2. Dans l'optique d'améliorer les performances en TOF, le photodétecteur doit être capable de détecter les premiers photons individuels émis par le cristal d'où la nécessité de recourir à la détection monophotonique avec estampille temporelle précise [33, 55].

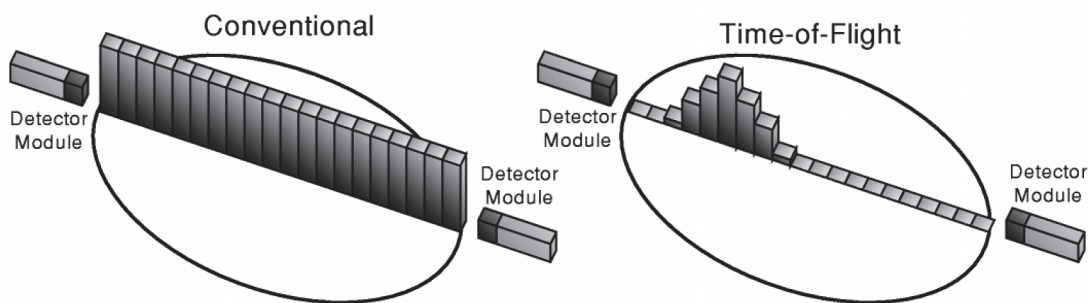


Figure 2.2 Comparaison entre le calcul d'une ligne de réponse dans un scanner TEP sans la mesure TOF (gauche) et avec la mesure TOF (droite) [40].

Les PAMP sont attrayantes pour réaliser cette tâche dans un scanner étant donné leur excellente résolution temporelle. Leurs faibles dimensions permettent une bonne résolution

spatiale et une intégration moins volumineuse. Leur faible sensibilité aux champs magnétiques ouvre la voie aux scanners combinés TEP et imagerie par résonance magnétique. C'est sans compter leur faible coût unitaire et leur faible tension d'alimentation qui en facilite l'utilisation.

En plus de la contribution du photodétecteur et du TDC, le type de cristal [42], la forme du cristal [33] et le couplage cristal-photodétecteur [41] contribuent à la résolution temporelle du système. Les résolutions temporelles des meilleurs cristaux actuellement utilisés en TEP sont de l'ordre de quelques centaines de picosecondes [33, 35, 41, 42, 55]. Plusieurs groupes de recherche travaillent à l'amélioration constante des performances des cristaux.

Dans le développement d'un nouveau système de détection, la caractérisation de l'apport de chacune des composantes à la gigue temporelle du système complet permet un meilleur diagnostic en vue d'en améliorer les performances. Pour ce faire, il est nécessaire d'avoir une résolution et une précision du TDC inférieures à la gigue de temps à mesurer. Ainsi, des performances avoisinant 20 ps sont souhaitables pour caractériser la réponse en temps d'un système à base de PAMP.

En résumé, l'évolution des performances des applications utilisant les détecteurs monophotoniques passe impérativement par une mesure temporelle plus précise dans un espace restreint et donc la conception de nouveaux systèmes de détection avec estampilles temporelles précises. Les PAMP présentent plusieurs avantages par rapport aux PMT pour relever les défis de la miniaturisation et d'une intégration plus serrée des composantes des détecteurs ainsi que de l'augmentation des performances par une meilleure résolution en temps. Dans le développement d'un nouveau système de détection, la caractérisation de l'apport de chacune des composantes à la gigue temporelle du système complet permet un meilleur diagnostic en vue d'en améliorer les performances. Pour ce faire, il est nécessaire d'avoir une résolution et une précision du TDC inférieures à la gigue de temps à mesurer. Ainsi, des performances avoisinant 20 ps sont souhaitables pour caractériser la réponse en temps d'un système à base de PAMP.

2.2 Convertisseurs temps-numérique

L'appellation convertisseurs temps-numérique (TDC) désigne des circuits électroniques servant à mesurer des intervalles de temps. Dans un circuit numérique, le convertisseur temps-numérique le plus simple est un compteur binaire s'incrémentant à chaque cycle d'un signal d'horloge [18, 25]. Bien que ce circuit soit rarement qualifié de TDC, il fait partie intégrante de plusieurs architectures de mesure temporelle en fournissant la partie

brute de l'estampille temporelle avec une précision de plus ou moins la période de l'horloge utilisée.

Les sous-sections suivantes s'attardent plutôt à faire un survol de plusieurs architectures de TDC permettant d'obtenir une résolution inférieure à une période d'horloge système. Les performances atteintes avec ces architectures sont ensuite comparées et compilées dans un tableau résumé (tableau 2.1).

2.2.1 Architectures de TDC

Les différentes architectures de TDC peuvent être réparties en deux grandes familles, les solutions analogiques et les solutions numériques. Les TDC de nature analogique combinent un convertisseur temps-amplitude (TAC) avec un convertisseur analogique-numérique (ADC) pour arriver à une valeur numérique représentant l'intervalle de temps en entrée (figure 2.3) [18, 23, 25, 26, 43, 58]. Le TAC utilise le plus souvent la charge à courant constant d'une capacité pendant l'intervalle de temps à mesurer. La conversion en tension peut également servir d'amplification temporelle (TA) si la capacité se décharge au travers d'une plus grande résistance et donc plus lentement [18]. Lorsque le temps de cette décharge est mesuré à l'aide d'un compteur, on parle d'un ADC Wilkinson [11], mais cette multiplication temporelle sert également d'étape intermédiaire pour augmenter la résolution entre deux étages de TDC [37].

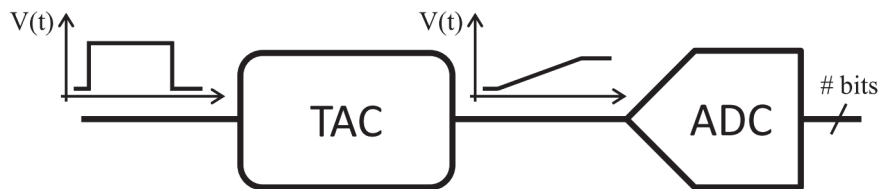


Figure 2.3 Architecture de TDC analogique.

Les TDC numériques utilisent les délais de propagation des cellules de logique numérique pour moduler la vitesse de propagation des signaux à mesurer combinés à des circuits détecteurs de phase, tels des bascules ou des arbitres, discriminant de façon binaire la différence de phase entre les signaux [18, 23, 25].

Le TDC à ligne à délai simple (TDL) fonctionne sous le principe d'un signal d'arrêt échantillonnant la progression du signal de départ au travers d'une ligne à délai à l'aide de circuits détecteurs de phase. La figure 2.4(a) en illustre la structure de base. Il en

Tableau 2.1 Comparaison des performances d'architectures de TDC.

Réf.	Techno. nm	LSB ps	Précision	Aire mm ²	Puissance mW	F. conversion Méch./s	Simulé (S) Réalisé (R)	Architecture
[43]	250	200	4 LSB		30	0,025	S	TAC et ADC
[58]	500	312,5	90 ps	2,88	175	10	R	TAC et ADC
[3]	90 (FPGA)	312,5	DNL 0,3 LSB INL 0,65 LSB	-	85	66	R	TDL
[52]	500	30	-	0,527	-	-	S	TDL et VDL
[63]	130	31	DNL < 0,8 ps	0,15	1	500	R	TDL et VDL
[57]	130	1	-	0,041	21	50	R	VO
[6]	180	18,9	-	0,12	-	2	R	VO
[24]	90 (FPGA)	10	24 ps	-	-	44,64	R	VO
[37]	350	8,9	-	0,0264	2,37	3,125	R	2×VO et TA
[65]	130	8	< 1LSB ¹	0,2625	7,5	15	R	VRO
[64]	130	16,5	< 0,5LSB ²	0,16	4,5	15	R	VRO modifiée

¹ Mesure de la dispersion pour 4 intervalles de temps fixes.² Mesure de la dispersion pour 2 intervalles de temps fixes.

résulte alors un code thermométrique quantifiant le déphasage entre les fronts des signaux d'origine en nombre d'éléments de délai traversés [18, 23, 25]. Une variante de ce concept, adapté aux FPGA, utilise plusieurs copies du signal à mesurer sur des entrées d'un FPGA destinées à la communication série rapide [3]. Un délai différent est appliqué à chaque copie du signal avant que l'horloge rapide des modules de réception échantillonne toutes les copies simultanément.

Un circuit dérivé, le TDC à ligne à délai vernier (VDL), utilise deux lignes à délai pour raffiner la mesure. À l'instar du TDC à chaîne à délai simple, le signal d'arrêt échantillonne la progression du signal de départ, par contre le signal d'arrêt traverse également une ligne à délai, plus rapide que la première, tel qu'illustré à la figure 2.4(b) [18, 23, 25, 52]. L'échantillonnage par chaque détecteur de phase est ainsi étalé dans le temps. La résolution de mesure correspond alors à la différence de temps de propagation d'un délai entre les deux lignes, d'où l'appellation de vernier. Dans l'équation 2.3 présentant cette relation, t_{lente} et t_{rapide} représentent respectivement le temps de propagation entre deux détecteurs de phases consécutifs sur la ligne à délai lente et sur la ligne à délai rapide.

$$t_{ResVer} = t_{lente} - t_{rapide} \quad (2.3)$$

Le TDC à oscillateur vernier (VO) utilise deux oscillateurs démarrant de façon synchrone avec le signal de départ et d'arrêt (figure 2.4(c)). Des compteurs sensibles aux fronts montants et descendants et synchronisés sur chaque oscillateur déterminent le nombre d'oscillations avant que les oscillations soient en phase. Cette architecture de TDC possède 2 modes de fonctionnement successifs : un mode oscillateur et un mode vernier.

Lorsque seul le front du signal de départ est présent dans le TDC, chaque tour d'oscillateur incrémente un compteur de tours, quantifiant ainsi l'intervalle à mesurer par incréments de t_{lente} . Il s'agit du mode oscillateur. Le fonctionnement est semblable à une ligne à délai simple repliée sur elle-même. Le nombre de tours complet se calcule aisément à l'aide de l'équation 2.4, où a est l'intervalle à mesurer [6, 18, 23, 25, 57].

$$N_{ToursOsc} = \left\lfloor \frac{a}{t_{lente}} \right\rfloor \quad (2.4)$$

Une fois le signal d'arrêt arrivé au TDC, le deuxième oscillateur démarre et le mode vernier débute. L'intervalle à quantifier en mode vernier correspond au résidu du mode oscillateur,

soit la portion non complétée de la dernière oscillation de l’anneau lent (équation 2.5). L’intervalle à quantifier peut être vu comme le déphasage entre les 2 oscillateurs. Étant donné les périodes d’oscillations différentes, à chaque tour d’oscillateur de l’anneau lent, l’anneau rapide retranche t_{ResVer} à la différence de phase et ce, jusqu’à ce l’oscillation rapide rattrape la lente, marquant ainsi la fin de la conversion [6, 18, 23, 25, 57]. L’équation 2.6 décrit le nombre de tours effectués en mode vernier.

$$T_{Vernier} = a - N_{ToursOsc} \times t_{lent} \quad (2.5)$$

$$N_{DélaiVer} = \left\lceil \frac{T_{Vernier}}{t_{ResVer}} \right\rceil \quad (2.6)$$

Afin de suivre la propagation des signaux dans les oscillateurs, des compteurs sont synchronisés aux oscillateurs. La fréquence du premier étage du compteur dépend directement de la période des oscillateurs. Les compteurs peuvent être l’élément limitatif en fréquence d’un TDC VO pour une architecture donnée. L’estampille temporelle est dérivée de la valeur finale des compteurs.

Le TDC à oscillateur vernier en anneaux (VRO) est une combinaison de l’oscillateur vernier et de la ligne à délai vernier. Un nombre impair d’inverseurs connectés en anneau forme chaque oscillateur. La nature discrète de ce circuit d’oscillation permet l’insertion de détecteurs de phase entre chaque inverseur diminuant ainsi les contraintes de fréquence pour les compteurs et comparant la phase des signaux plusieurs fois par période d’oscillation (figure 2.4(d)) [18, 23, 25, 65]. En plus de la valeur des compteurs de tours, le code thermo-circulaire obtenu en sortie des détecteurs de phase contribue à l’estampille temporelle malgré une étape de décodage plus complexe.

Une autre architecture, moins fréquente dans la littérature, les *pulse-shrinking TDC*, tire avantage du temps de propagation en montée différent du temps de propagation en descente des circuits numériques. À la différence des architectures numériques précédentes, ce circuit mesure la durée d’une impulsion comme dans le cas des TDC analogiques. Une chaîne à délai vernier linéaire ou configurée en anneau retranche un intervalle de temps à l’impulsion pour chaque élément de délai traversé jusqu’à ce que l’impulsion disparaisse [15, 18, 23]. Le délai total de configuration en anneau doit pouvoir contenir toute l’impulsion à mesurer. Aussi, un compteur tient le compte du nombre de tours lorsque le circuit est configuré en anneau.

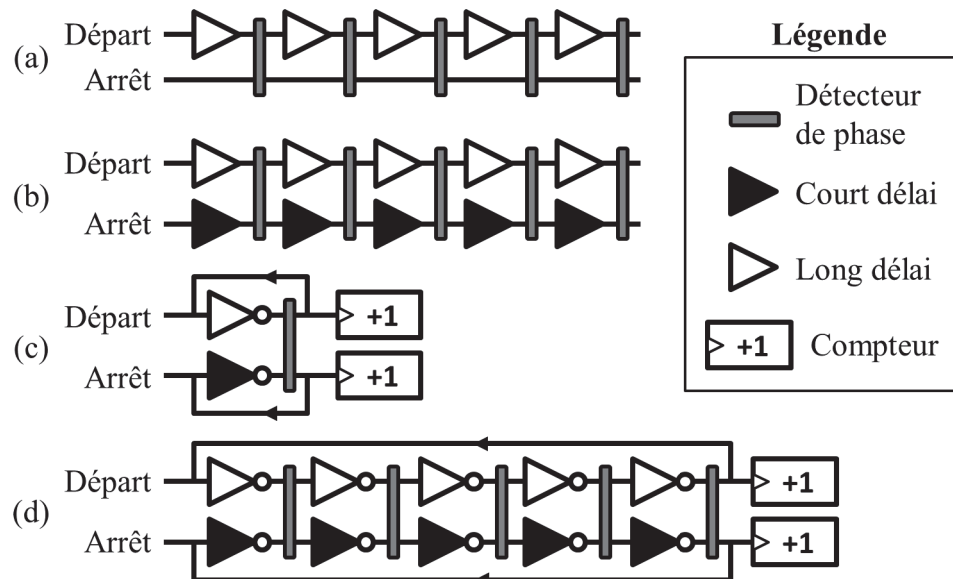


Figure 2.4 Architectures de TDC numériques : (a) ligne à délai simple, (b) ligne à délai vernier, (c) oscillateur vernier et (d) oscillateur vernier en anneaux.

Ces architectures représentent celles les plus rencontrées dans la littérature. D'autres architectures souvent inspirées de celles énumérées permettent également la mesure du temps avec une grande précision. La comparaison sur la base de plusieurs critères de performance déclinés dans les sous-sections suivantes permet de choisir l'architecture qui convient aux besoins et contraintes d'un projet.

2.2.2 Résolution et précision

Plusieurs articles font l'éloge de la résolution atteinte, mais n'abordent peu ou pas la précision de leurs mesures ou en font une mesure partielle ne couvrant pas toute la plage de conversion [11]. Il importe de distinguer la résolution et la précision d'une mesure. La résolution correspond à la plus petite unité de temps représentée par un bit du code numérique (LSB) en sortie du TDC tandis que la précision indique la fiabilité de la mesure obtenue par le système. La variation des performances des composants, des délais de propagation, des alimentations, de la température locale et la sensibilité au bruit sont tous des facteurs dégradant la précision de la mesure en temps [51]. La précision s'exprime soit en temps, soit en multiples du LSB et est idéalement la plus faible possible [18, 23, 49].

Dans un TDC analogique, la résolution est déterminée par le coefficient de conversion du temps en amplitude et par la résolution du bloc de conversion analogique-numérique en tension. La variation de ce coefficient, le couplage du bruit sur la tension analogique représentant l'intervalle de temps et la précision du convertisseur analogique-numérique

affectent tous la précision finale du système. En progressant vers les nouvelles technologies de CMOS, la tension d'alimentation tend à diminuer ce qui nuit au ratio signal sur bruit des tensions analogiques et désavantage les solutions de TDC analogiques [25].

Dans un système numérique, la résolution est fonction du délai d'un inverseur ou tampon pour les lignes à délai simples, mais peut théoriquement être infinie pour les architectures vernier étant donné que la résolution correspond à la différence entre deux délais tel qu'élaboré à la section 2.2.1. Le temps de propagation minimum des inverseurs pour la technologie CMOS 130 nm avoisine les 35 ps [65] et tend à diminuer avec les nouveaux nœuds technologiques de fabrication. Ce temps minimum suppose comme seule charge de sortie de l'inverseur un second inverseur de taille minimale situé à proximité. L'ajout de connexions multiples sur le nœud de sortie de l'inverseur fait augmenter rapidement son temps de propagation. Des techniques de propagation anticipée des signaux permettent toutefois de propager un signal plus rapidement en échange d'une complexité d'interconnexion accrue [57]. Les meilleures résolutions atteignent quelques picosecondes tandis que la précision se mesure plutôt en dizaines et centaines de picosecondes [43, 58].

Dans un TDC numérique, l'information existe sous deux formes : niveau logique ou moment d'un front de transition. Le bruit électronique influence peu l'information conservée sous forme de niveaux logiques. Par contre, en se superposant à la tension sur les fronts de transition entre les niveaux logiques, le bruit rajoute de l'incertitude temporelle sur le moment de transition suivant l'équation 2.1 [39], où la *Pente* est déterminée au point de discrimination de la cellule logique suivante.

Ainsi, le nombre de transitions que subit le signal à quantifier durant sa numérisation influence la précision temporelle du front de transition. Comme les intervalles à mesurer plus longs passent plus de temps dans le TDC, ne serait-ce que la durée dudit intervalle, le front de transition effectue plus de transitions et engendre ainsi une précision plus faible de la mesure finale [36, 56].

En plus du bruit électronique dans le circuit, les variations dans la configuration et la fabrication de ces cellules numériques les rendent toutes différentes. Au niveau de la configuration du circuit, les choix de conception au moment du dessin des masques influencent la sensibilité au bruit des lignes transportant les signaux et la stabilité des alimentations, des effets parasites se traduisant en un niveau de bruit accru et des précisions dégradées. En prévision de la fabrication, il est possible de minimiser les effets des variations du procédé en maximisant l'aire des transistors utilisés, en portant une attention à la symétrie de l'environnement des transistors et en minimisant l'étalement de chaque dimension du

circuit [48]. Malgré toutes les précautions au niveau du dessin des masques, des variations aléatoires du procédé de fabrication entraînent des différences de performance entre les cellules logiques d'un même circuit. Les structures en oscillateur ont l'avantage de réutiliser toujours les mêmes éléments, ce qui aide à la linéarité différentielle sur toute la plage de mesure.

Les architectures de circuit intégré publiées vantent des résolutions de dizaines de picosecondes pour des lignes à délai vernier [52, 63] et de quelques picosecondes pour les structures en oscillateur [57, 64, 65], mais n'affiche que rarement des informations sur la précision de l'ensemble de la plage de mesure. Au niveau des implémentations sur FPGA, les circuits réalisés en 90 nm ont des résolutions de mesure comparables aux TDC réalisés en circuit intégré sur des technologies de 130 nm et plus (tableau 2.1). La versatilité du circuit intégré spécifique permet donc une meilleure performance à un même nœud technologique.

Parmi les architectures survolées, les TDC numériques en oscillateur et réalisés en circuit intégré permettent d'atteindre les meilleures résolutions. L'architecture à oscillateur vernier en anneaux permet des résolutions légèrement inférieures. Les implémentations dénichées pour cette architecture fournissent toutefois une précision de mesure sous la résolution, ce qui permet de tirer pleinement profit de cette dernière.

2.2.3 Consommation

La consommation en puissance de deux TDC d'architecture semblable dans la littérature varie grandement et se retrouve rarement parmi les caractéristiques vantées dans les résumés d'articles. Contrairement au domaine des convertisseurs de tension analogique-numérique qui utilisent couramment un facteur de mérite prenant en compte la consommation du circuit de numérisation [49], les publications abordant les TDC ne présentent pas encore de facteur de mérite d'usage généralisé. La consommation électrique d'un TDC est un indice de performance important qui devient critique lorsqu'il est question d'une intégration dense de TDC sur un circuit intégré.

En comparant les architectures entre elles, il appert que les solutions de TDC analogiques [43, 58] ont une consommation électrique généralement supérieure aux solutions de TDC numériques, notamment à cause de leur consommation statique [18]. La consommation électrique des solutions numériques en circuit intégré se situe fréquemment sous les 10 mW [37, 57, 63–65]. Les solutions sur FPGA tendent également à consommer plus que des architectures semblables sur circuit intégré à application spécifique (ASIC), et ce, sans

considérer la consommation de base du FPGA nécessaire pour supporter le TDC qui y est implémenté [3].

Pour les circuits numériques, l'équation 2.7 permet d'obtenir une approximation de la consommation électrique dynamique d'un inverseur seul, où C est la capacité de charge d'un inverseur, V_{dd} est la tension d'alimentation et f la fréquence d'opération [7, 18]. Cette équation prise seule ne permet pas d'apprécier la complexité de la consommation électrique d'un TDC. Par exemple, dans un oscillateur vernier, les oscillateurs, les compteurs et l'électronique de lecture utilisent des cellules logiques plus complexes que les inverseurs et opèrent tous à des fréquences différentes. L'équation permet toutefois d'indiquer des pistes de solutions pour minimiser la consommation d'une architecture donnée. En sélectionnant une technologie où la tension d'alimentation est faible, un designer de circuit intégré a plus de chances d'arriver à une faible consommation pour l'ensemble du TDC. Cette relation incite également à l'utilisation de transistors de taille minimale, diminuant leur capacité globale, mais les rendant plus sensibles aux variations du procédé de fabrication, comme discuté à la sous-section 2.2.2.

$$P_{dynamique} = C \times V_{dd}^2 \times f \quad (2.7)$$

2.2.4 Fréquence de conversion

La fréquence de conversion d'un TDC, régulièrement exprimée en échantillons par seconde, représente le nombre de numérisations possible par seconde. Son inverse, le temps mort, peut se décomposer en plusieurs constituants : le temps de conversion, le temps de post-traitement et le temps de remise à zéro.

Ces temps varient beaucoup d'une architecture et d'une implémentation à l'autre, mais également en fonction de l'intervalle de temps à mesurer. Certaines architectures permettent la parallélisation des opérations, diminuant le temps mort total. L'importance accordée à la fréquence de conversion dépend grandement de l'origine du signal à quantifier et donc de l'application finale.

Dans les TDC analogiques, le temps de conversion débute par la transduction de l'intervalle de temps en tension. Une fois l'intervalle écoulé, il faut ajouter le temps de conversion de la numérisation de la tension. L'utilisation d'un ADC flash permet d'obtenir des résultats rapides tandis qu'un ADC Wilkinson nécessite plus de temps [25, 58]. Suite à la

conversion analogique-numérique, les données sont généralement sous forme binaire et utilisables instantanément, nécessitant un temps de post-traitement nul. Pour réaliser une seconde conversion, la tension aux bornes de la capacité du circuit de transduction doit être réinitialisée, marquant un temps de remise à zéro.

Au niveau des TDC numériques, les lignes à délai simples réalisent une conversion temps-numérique tout au long de l'intervalle à mesurer, mais nécessitent un décodage thermique qui ajoute un temps de post-traitement [25]. Ce temps peut être rapide dans le cadre d'un décodeur flash ou opérer itérativement selon les architectures. Suite à la numérisation, les éléments de détection de phase, bascules ou arbitres doivent être remis à zéro. La présence d'un port de remise à zéro sur chaque élément rend cette opération plus rapide au coût d'éléments plus grands. Somme toute, ce type de TDC est un des plus rapides, atteignant 500 MHz dans une configuration spéciale utilisant des délais hiérarchiques [63].

Les structures vernier effectuent, par contre, leur mesure en ralentissant la progression du signal d'arrêt ce qui engendre un temps de conversion plus substantiel. Les configurations en oscillateurs verniers peuvent réduire le temps de conversion sur les longs intervalles si la dualité des modes d'opération détaillée à la section 2.2.1 est configurée adéquatement [23].

Le choix du nœud technologique de fabrication aide à diminuer le temps mort différemment selon l'architecture du TDC. Les nœuds technologiques plus récents donnent généralement accès à des inverseurs et autres éléments logiques dotés de temps de transit plus rapides. Dans le cadre d'un TDC numérique à ligne à délai simple, cela peut réduire les temps de post-traitement et de remise à zéro. Pour une architecture vernier, un temps de transit plus rapide peut également se traduire en un taux de comparaisons par seconde supérieur, pour une même résolution de mesure.

Plusieurs implémentations de TDC à oscillateurs atteignent des fréquences de conversions respectables supérieures à 10 MHz [57, 64, 65]. La ligne à délai simple reste donc l'architecture numérique de choix lorsque l'application demande une fréquence de conversion supérieure.

2.2.5 Plage dynamique

La plage dynamique d'un TDC est l'intervalle de temps maximal qu'il sera capable de mesurer. Dans les architectures analogiques, la fonction de transfert du temps en tension et la tension maximale que peut numériser le système déterminent la plage dynamique. Pour un ADC donné, la capacité du condensateur utilisé et le courant de charge peut être

modifiée pour ajuster la plage mesurable, modifiant par contre la résolution et la précision du même coup.

De façon générale, la plage dynamique d'un TDC utilisant des lignes à délai dépend du nombre d'éléments de délais et de l'intervalle discriminé par chaque élément de délai. La plage dynamique évolue linéairement en fonction du nombre d'éléments de délai conçus. La plage dynamique des structures à oscillateurs se modifie facilement en variant la plage de mesure des compteurs de tours [23, 25]. Cette caractéristique fait des TDC à oscillateurs une architecture de choix pour la réutilisation d'un TDC d'un projet à l'autre.

2.2.6 Taille du circuit

La taille du circuit découle de plusieurs décisions de conception notamment en ce qui a trait à l'ensemble des critères de performance cités précédemment et au choix de la technologie de conception. Dans une perspective d'intégration et de contraintes d'espace, un TDC seul dans un FPGA n'est pas envisageable étant donné la taille importante d'un FPGA et des circuits de support nécessaires. Les TDC analogiques en CMOS occupent généralement plus d'espace que leurs pendants numériques [26, 58]. Du côté numérique, les structures en oscillation sont des améliorations des structures vernier linéaires et permettent de diminuer de beaucoup la taille du circuit [52]. Il importe toutefois de choisir un type de compteur compact pour suivre le nombre de tours. Les solutions numériques, bien qu'en moyenne plus petites, ne peuvent être départagées par architecture étant donné les variations importantes de taille d'une implémentation à l'autre (tableau 2.1).

2.2.7 TDC hiérarchiques

En plus d'avoir recours à un compteur binaire comme premier étage de numérisation, certaines implémentations utilisent une architecture en cascade avec plusieurs niveaux de raffinement temporel afin de multiplier les avantages et mitiger les inconvénients de chaque architecture [37, 52, 63]. Les structures de TDC subséquentes ont pour mission de quantifier le résidu temporel du TDC précédent et arborent ainsi une plage dynamique plus petite. Dans les structures de TDC numériques à oscillateurs, les deux modes d'opération, détaillés à la sous-section 2.2.1, procurent un fonctionnement hiérarchique intrinsèque à l'architecture d'oscillation [23, 25, 65]. Dans toute configuration hiérarchique, y compris les TDC numériques à oscillateurs, il faut porter une attention particulière à l'alignement des échelles de mesure de chaque étage de TDC pour éviter la présence de non-linéarités dans les codes de sortie [11].

2.3 Synthèse

En résumé, les solutions de TDC numériques conçues en circuit intégré se démarquent clairement en termes d'espace utilisé et de puissance consommée tout en restant plus adaptées aux nouveaux nœuds technologiques que les solutions de TDC analogiques. En considérant le besoin d'une résolution et d'une précision de l'ordre de 20 ps pour caractériser une PAMP, les implémentations d'oscillateurs vernier en anneaux [64, 65] sont les seules répondant à ces deux contraintes parmi les architectures recensées dans la littérature.

CHAPITRE 3

MÉTHODOLOGIE

La méthodologie utilisée pour mener à bien ce projet s'inscrit sous des bannières familières dans le monde du circuit intégré : la conception en signaux mixtes (*mixed-signal design*), plus précisément selon une approche avec suprématie du numérique (*digital-on-top approach*). Les outils de développement utilisés appartiennent majoritairement à la suite de conception analogique et numérique de Cadence®, incluant les outils de simulation analogique et numérique, de même que les outils de vérification de Mentor Graphics® et la plateforme de développement HDL ModelSim®, rendus accessibles au travers de CMC Microsystems.

Le circuit faisant l'objet de ce mémoire a été réalisé en première canadienne en participant à une soumission groupée chapeautée par MOSIS d'un circuit intégré avec interconnexions verticales au travers du silicium (TSV) assemblé en 3D par un partenariat regroupant Global Foundries et Tezzaron. La majorité du développement d'un ASIC 3D s'apparente encore au processus de conception de circuits 2D hormis quelques détails pour aligner et interfacier électriquement les gaufres. Le développement de circuits en signaux mixtes est bien établi et connu du GRAMS, particulièrement en ce qui a trait à l'approche avec suprématie de l'analogique (*analog-on-top*).

Bien que détaillées dans un ordre logique, les sections suivantes ne sont pas les composantes d'un flot de conception linéaire, mais plutôt d'un processus hautement itératif. Elles présentent l'utilité de chaque étape dans le flot de conception utilisé. La figure 3.1 et le chapitre 4 en résument l'utilisation par module.

3.1 Modélisation initiale

Le but de la modélisation initiale consiste à réduire le risque des étapes de conception suivantes et à guider les choix architecturaux. Elle rend possible la validation rapide du fonctionnement d'un concept de circuit par la simulation d'un minimum de fonctionnalités avant d'en entreprendre la conception détaillée. Le langage de description du matériel numérique permet de décrire rapidement des circuits à configuration variable et paramétrable en plus d'offrir une vitesse de simulation beaucoup plus rapide que son pendant

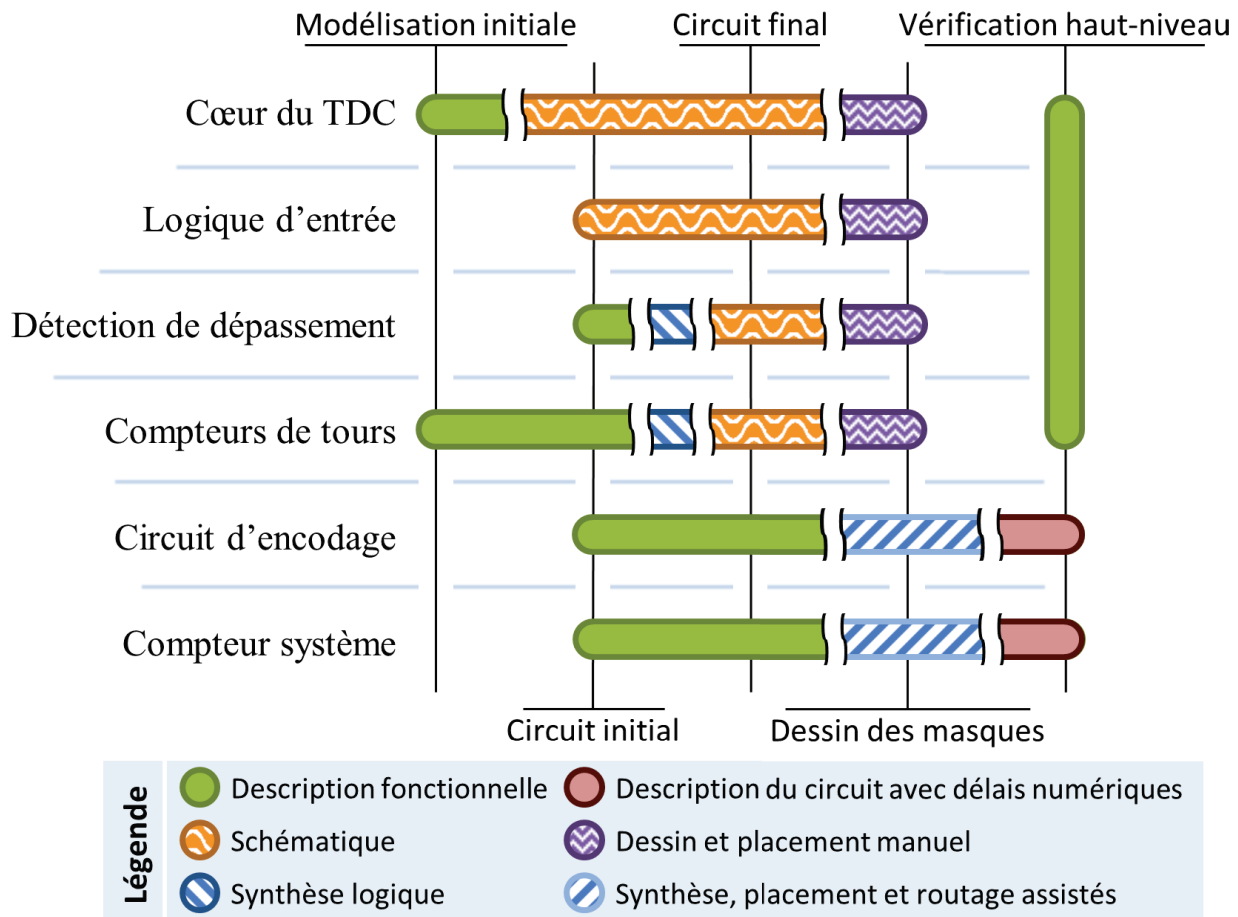


Figure 3.1 Outils méthodologiques utilisés pour chaque étape et sous-circuit.

analogique. Le groupe de recherche étant déjà à l'aise avec le langage VHDL, ce dernier apparaît comme le choix évident pour accomplir la tâche de modélisation.

3.2 Conception du circuit

La conception du circuit en intégration à très grande échelle (VLSI) passe par la réalisation bloc par bloc d'un circuit initial et par sa maturation en fonction des résultats de nombreuses simulations pour arriver à un circuit final. Ce dernier contient les ajustements réalisés suite au dessin des masques, à l'extraction des parasites et aux simulations qui en découlent. Trois approches différentes ont été utilisées pour arriver au circuit final.

La première approche, provenant du monde analogique, consiste à réaliser l'ensemble du circuit, tant en versions initiale que finale, en vues schématiques. Ce processus plus long est par contre tout à fait approprié pour les modules incluant des sous-circuits réalisés

sur mesure et nécessitant une simulation analogique précise comme la logique d'entrée du TDC.

La deuxième approche, qui tire des éléments des flots numérique et analogique, débute par le développement rapide d'un circuit initial en langage de description du matériel, suivi d'une étape de synthèse logique générant une liste des interconnexions finalement importée sous forme de vue schématique. Ce flot hybride permet de gérer une complexité accrue du circuit et de développer rapidement un module grâce au langage de description du matériel. La vue schématique finale est propice aux modifications manuelles et aux simulations analogiques plus précises. Considérant le déploiement actuel des outils de conception au GRAMS, le circuit synthétisé est limité à des cellules d'une librairie numérique standard contrairement au circuit final.

La dernière approche employée relève du design de circuit numérique. Un code VHDL décrit la fonctionnalité du circuit tant en version initiale que finale. Cette approche est avantageuse pour sa rapidité de simulation et sa gestion facile des circuits complexes.

Une simulation mixte permet la validation du circuit entier grâce à la co-simulation des sections schématiques et en langage de description matériel. Cette approche permet la simulation de sections de circuit modélisées concurremment avec d'autres plus avancés dans leur élaboration. En considérant les contraintes des diverses sections du TDC, il s'agit de l'approche la plus flexible et au développement le plus rapide.

3.3 Dessin des masques

Pour le dessin des masques, deux approches différentes ont été utilisées en fonction de la nature du circuit final. Cette séparation concorde également avec la division des portions asynchrones et synchrones du circuit global : les vues schématiques appellent au dessin et placement manuel tandis que les vues en description fonctionnelles profitent de la synthèse, du placement et du routage automatique assisté.

Le placement manuel nécessite plus de temps, mais permet un contrôle fin sur l'appariement des composantes et interconnexions et sur l'ajout de redondance au niveau des contacts et interconnexions.

Le flot automatisé, beaucoup plus rapide et versatile que la méthode précédente ne permet pas un aussi bon contrôle de l'appariement des composantes et des interconnexions. L'assistance au placement et routage automatique, notamment par l'ajout de contraintes de proximité, permet un contrôle indirect des performances temporelles entre les modules.

Le contrôle direct est préférable à la rédaction d'une multitude de contraintes pour le circuit qui doivent ensuite être validées. Ainsi, la configuration logicielle développée pour ce projet n'inclut pas le placement automatique des modules réalisés sur mesure.

3.3.1 Fiabilité et appariement

Dans tout circuit de mesure de précision, l'appariement de ses composantes revêt une importance capitale. Les variations de performance dans les circuits proviennent de plusieurs phénomènes déterministes ou aléatoires. Le groupe des déterministes englobe les différences électriques dans le dessin des masques et les effets de proximité au niveau thermique, capacitif ou de stress de fabrication [49]. Ces effets peuvent être contrôlés directement avec un bon dessin des masques, souvent au prix d'une plus grande utilisation spatiale. À ce chapitre, quelques techniques différentes font partie du trousseau de méthodes mises en œuvre dans le développement du TDC.

Lors de la fabrication de chaque couche du circuit intégré, les structures voisines influencent la largeur réelle de chaque trace [49]. Ainsi, les transistors en périphérie d'un groupe homogène peuvent avoir des tailles fabriquées et des performances différentes. L'ajout de transistors au dessin des masques identique et disposés en périphérie des transistors aux performances critiques permet de contrôler cet effet de voisinage. Ces ajouts, appelés transistors factices, sont habituellement court-circuités au niveau des métaux supérieurs.

Plusieurs effets de proximité dus à la géométrie des puits intrasilicium et aux traces métalliques de niveaux supérieurs sont reproduits par la copie et la translation d'un sous-circuit. La rotation des circuits est à éviter considérant la directivité de certaines étapes du procédé de fabrication. En plus des caractéristiques électriques de chaque transistor, les interconnexions influencent les performances notamment par leur capacité. Il importe ainsi de contrôler la charge capacitive de plusieurs interconnexions critiques de façon à obtenir des valeurs semblables.

De leur côté, les phénomènes aléatoires découlent des aléas de la fabrication au niveau de la gaufre de circuit intégré. Ce groupe inclut les variations de dopage, de mobilité et les imperfections physiques du circuit [49]. Plusieurs de ces phénomènes influencent les performances des transistors proportionnellement à l'inverse de leur aire [28, 48, 49]. Il convient alors de maximiser l'aire de chaque transistor tout en considérant les impacts sur la taille globale du circuit et sur sa vitesse.

Pour mitiger l'effet d'imperfections physiques sur le circuit, comme des contacts plus résistifs et des dimensions altérées, il importe de se distancer des contraintes minimales de

dessin en ajoutant des *contacts* et *vias* en redondance et en dessinant des interconnexions plus larges. Encore une fois, un compromis s'avère nécessaire pour contrôler la taille du circuit et les capacités parasites qui croissent avec la taille des structures.

Pour les circuits numériques utilisant la librairie de cellules standard, les concepts de transistors factices et d'aire maximale des transistors ne s'appliquent pas. Par contre, une méthodologie combinant la copie-translation et une reproduction de l'environnement immédiat a été mise en place pour les circuits critiques placés manuellement. Pour les composantes bénéficiant du placement automatisé, une contrainte géographique définie près de la section du TDC placée manuellement limite l'éparpillement des cellules logiques et les longues interconnexions. De plus, le recours à des *vias* doubles par le routeur permet d'ajouter une redondance des interconnexions. Cette mesure s'est avérée efficace pour plus de 60 % des interconnexions du circuit intégré de détecteur entier.

Les efforts d'appariement des composantes pour chaque module sont résumés au tableau 3.1.

Tableau 3.1 Techniques d'appariement par sous-circuit. Les blocs de circuit sont définis comme tel : (A) Cœur du TDC - Éléments de délai, (B) Cœur du TDC - Arbitres, (C) Logique d'entrée, (D) Détection du dépassement, (E) Compteurs de tours et (F) Logique de lecture.

Bloc de circuit	A	B	C	D	E	F
Ajout de transistors faux	X	X				
Copie-translation	X	X	X	X	X	
Reproduction de la charge du circuit	X	X	X			
Maximiser l'aire de grille des transistors	X					
Redondance des interconnexions	X	X	X	X	X	X
Contraintes spatiales au routage automatisé						X

3.4 Vérification logicielle

L'étape de vérification logicielle englobe les opérations de simulation, la réalisation des bancs de test et la vérification fonctionnelle de haut niveau de même que la rétroaction suivant chaque étape.

3.4.1 Banc de test logiciel

Pour assurer une bonne qualité de banc de test, il convient de réaliser des bancs de test logiciel de haut niveau avec des stimuli représentatifs des interactions aux frontières des

modules et de les réutiliser fréquemment. Plusieurs types de bancs de test logiciel permettent de générer les stimuli et sorties du circuit. Parmi les choix considérés, notons : le banc de test schématique, le banc de test en VHDL et celui en Verilog-A.

Un banc de test schématique est rapide à concevoir, simple à réaliser et particulièrement adapté pour générer des signaux périodiques indépendants, tels des signaux d'horloge et des stimuli se répétant sur une période fixe. L'ajout d'interactivité dans le banc de test s'avère complexe et en fait un choix moins intéressant pour les simulations de processus à temps de traitement variable ou utilisant la communication numérique. Un banc de test en langage de description du matériel, VHDL ou Verilog-A, comble ces lacunes au coût d'un développement légèrement plus complexe. Ces langages supportent également les interactions avec des fichiers textes, ce qui permet d'automatiser la lecture des résultats et d'effectuer des analyses plus complexes. Le VHDL est tout indiqué pour le traitement de signaux numériques. Dans la suite d'outils de Cadence® disponible pour le développement du circuit, une simulation mixte incluant du VHDL n'est supportée que par le simulateur AMS dont l'algorithme est limité à 4 fils d'exécution. Le Verilog-A permet indirectement de traiter des signaux numériques, mais possède l'avantage d'être supporté par le simulateur rapide APS sur 8 fils d'exécution, offrant ainsi des temps de simulation réduits lors de simulations analogiques avec parasites.

Chaque version d'un banc de test trouve ses applications : le schématique, pour les simulations analogiques précises, le VHDL pour suivre le développement rapide de circuits en description du matériel et le Verilog-A pour la vérification finale du circuit synthétisé ou avec parasites.

3.4.2 Vérification fonctionnelle de haut niveau

Puisqu'elle nécessite beaucoup de ressources informatiques, l'approche de simulation mixte utilisée pour la vérification à l'échelle d'un module n'est pas une solution viable pour simuler le fonctionnement d'un circuit intégré entier de plusieurs millimètres carrés. En considérant les parasites analogiques intercalés entre des cellules numériques, l'élaboration requiert plus de mémoire vive que disponible et les temps de simulation ne sont pas réalistes. Pour contourner ce problème, l'industrie propose la réalisation d'un modèle en langage de description du matériel au comportement identique à celui des blocs analogiques après extraction des parasites. Cela permet d'obtenir des performances de simulation semblables à celles en simulation numérique [9, 27, 30]. La vérification haut-niveau simule le fonctionnement du circuit intégré en combinant le modèle de la portion analogique avec les blocs numérique et les délais d'interconnexions numériques. Il est ainsi possible de vérifier

l'interopérabilité des divers blocs développés individuellement dans un temps raisonnable, ce qui évite plusieurs erreurs d'intégration.

3.5 Tests

Les petites dimensions et la grande intégration d'un circuit intégré sont à la fois sa force et une difficulté quand vient le temps de tester et déboguer un circuit fabriqué. La planification des tests permettant de vérifier le fonctionnement et les performances du circuit fabriqué débute avec la conception du circuit. Lors de la première itération d'un circuit nouveau utilisant une technologie de fabrication nouvelle, l'inclusion de structures de test pour des sous-sections indépendantes du circuit permet une meilleure caractérisation et facilite le débogage. Le plan de test consigne l'ensemble des tests à réaliser et les méthodes et équipements nécessaires pour effectuer les mesures désirées.

3.6 Outils de conception

Tout au long du développement, une attention particulière a été portée en vue d'améliorer le flot de conception du circuit intégré. Qu'il s'agisse de la configuration d'un module logiciel pour nos besoins, de la création de cellules programmables ou de scripts automatisant des opérations routinières, ces modifications ont été partagées afin de faciliter le travail des collègues.

3.7 Synthèse

Ce chapitre a présenté diverses méthodes utilisées dans la conception du convertisseur temps-numérique, objet principal des travaux présentés dans ce mémoire. Une méthodologie juste et simple s'avère essentielle au déroulement d'un projet de recherche d'envergure en permettant une vérification adéquate des performances à chaque étape de conception. Le détail de la conception du circuit intégré, objet du chapitre suivant, fait référence aux méthodes évoquées dans ce chapitre.

CHAPITRE 4

CONCEPTION

La nomenclature utilisée dans les schémas électriques de ce chapitre prévoit qu'un «n» en préfixe d'un nom de signal lui associe à un niveau logique bas l'état décrit dans son nom. Les paragraphes suivants présentent la technologie de fabrication, l'architecture du TDC, la validation et les structures de test.

4.1 Technologie de fabrication

La circuit intégré fabriqué est une variante de CMOS 130 nm produit par Global Foundries et assemblé en 3D par Tezzaron. La trousse de conception comprend plusieurs saveurs de transistors dont des transistors 3,3 V et des transistors 1,5 V à tension de seuil faible ou régulière. Les transistors 1,5 V à faible tension de seuil sont ceux qui offrent les transitions les plus rapides et la plus petite consommation spatiale. Le circuit du TDC conçu a avantage à utiliser cette variété de transistors pour conserver des pentes de transitions plus rapides, faciliter l'atteinte d'une résolution plus fine et contribuer à diminuer le temps de conversion. Ce choix fixe du fait même les alimentations VDD à 1,5 V et VSS à 0 V.

Étant donné que plusieurs exemplaires du TDC seront intégrés dans une matrice complexe et que la technologie sélectionnée ne possède que 5 niveaux de métallisation configurables, le TDC ne peut donc réalistement bénéficier que d'une seule alimentation globale à 1,5 V.

4.2 Architecture du TDC

Le convertisseur temps-numérique conçu ici arbore une architecture de vernier à oscillateurs en anneaux. Un intervalle de temps entre deux fronts montants incidents correspond à l'information à quantifier. La configuration du circuit en fait un TDC hiérarchique ayant deux modes de mesure consécutifs : un mode oscillateur et un mode vernier. La figure 4.1 présente la séquence de fonctionnement du TDC.

La figure 4.2 exhibe le schéma bloc global du circuit conçu. Lorsque le front montant du signal de départ se présente, il est dirigé vers l'anneau oscillant le plus lentement. La quantification en mode oscillateur débute alors. Des compteurs se chargent de suivre le nombre de révolutions dans l'anneau. À l'arrivée du signal d'arrêt, le nombre de tours complets en

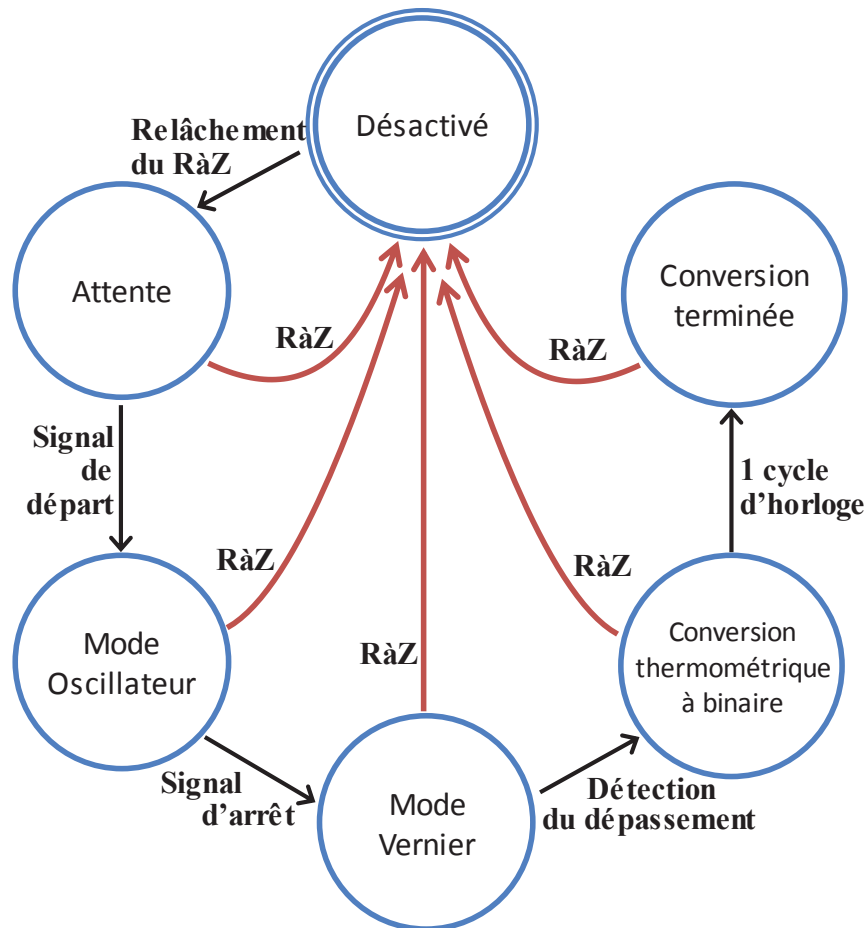


Figure 4.1 Diagramme de la séquence de fonctionnement du TDC. *RàZ* est un signal asynchrone de remise à zéro.

mode oscillateur est conservé et la fraction de tour restante correspond au résidu temporel quantifié en mode vernier. Le signal d'arrêt progresse dans un anneau oscillant légèrement plus rapidement jusqu'à ce qu'il rattrape le signal de départ. La détection du dépassement recense l'électronique qui détecte ce rattrapage et en consigne l'emplacement sous forme de code thermométrique. Le circuit d'encodage convertit le lieu de dépassement en un code binaire et y concatène les valeurs de compteurs pour produire une estampille de sortie. Les sous-sections suivantes décrivent chacune la conception d'un bloc différent du circuit.

4.2.1 Cœur du TDC

Le cœur du TDC est constitué de deux lignes à délai aux temps de propagation légèrement différents et d'une série d'arbitres connectés entre les deux lignes à délai. Ces dernières sont composées d'un nombre impair d'éléments de délai au comportement inverseur. La différence de temps de propagation est liée à la résolution en mode vernier du TDC. Le

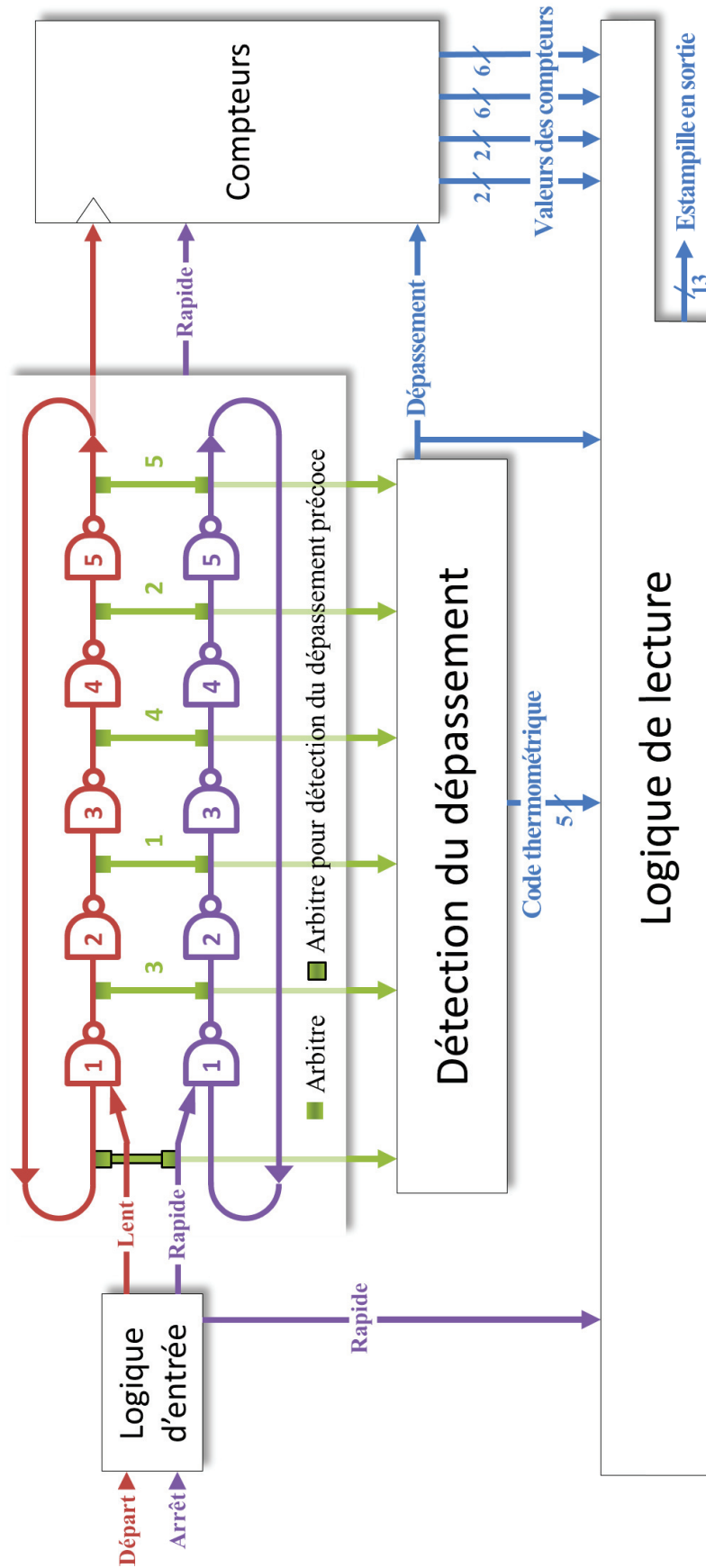


Figure 4.2 Schéma bloc du TDC.

cœur du TDC est un module aux performances temporelles critiques puisqu'il héberge les signaux à mesurer pendant la majeure partie de la numérisation. Une partie du circuit résultant est présenté à la figure 4.3. L'arbitre de détection de dépassement précoce est illustré à la figure 4.10

L'importance du cœur dans le fonctionnement global du TDC, combiné à son comportement numérique en fait un candidat idéal pour la modélisation initiale par description fonctionnelle. Le flot de développement analogique s'impose ensuite, étant donné l'inclusion de plusieurs sous-circuits sur mesure et de leur performance temporelle asynchrone critique.

Éléments de délai

Les éléments de délai contrôlent la propagation des fronts de signaux. Pour permettre de suivre la progression du signal sur plusieurs tours dans le TDC, ces éléments doivent avoir un comportement inverseur et être de nombre impair. Afin d'injecter le signal d'entrée dans l'anneau, le premier élément est muni de 2 entrées, l'une provenant du dernier élément et l'autre de la logique d'entrée. Par souci de précision de la mesure, les éléments de délai subséquents sont identiques et munis de deux entrées. L'ensemble de ces contraintes pointe vers l'adoption d'une cellule NAND balancée et possédant des transistors en série contrôlant le temps de propagation tel qu'illustré à la figure 4.4. Les ports inutilisés sont connectés à VDD pour assurer une propagation du signal tout au long de l'anneau.

Comme l'objectif est d'avoir plusieurs copies du TDC dans un même circuit intégré et plusieurs exemplaires de circuits intégrés avec des performances similaires, un effort d'appariement des composantes s'avère crucial. Les éléments de délai bénéficient donc de l'ajout de transistors factices, de la copie-translation, de la reproduction de la charge du circuit, d'une maximisation de l'aire des grilles des transistors et de la redondance des interconnexions.

L'application de la stratégie de maximisation de l'aire des grilles de transistors donne lieu à un compromis entre l'aire maximale, la taille du circuit et le délai de propagation, fixant ainsi aux environs de $3 \times L_{min}$ la longueur de grille des transistors pour le circuit initial. La largeur des grilles des NAND est optimisée pour obtenir des pentes de montées et de descentes similaires, ce qui résulte en des PMOS 2,1 fois plus larges que les NMOS. L'ajustement des délais de propagation porte la longueur de grille entre 330 et 320 nm avant le dessin des masques, les éléments rapides et lents profitant de largeurs différentes. Le temps de propagation est beaucoup plus sensible à la longueur des transistors qu'à leur largeur, comme imagé à la figure 4.5. Suite au dessin des masques, l'ajout des parasites dans

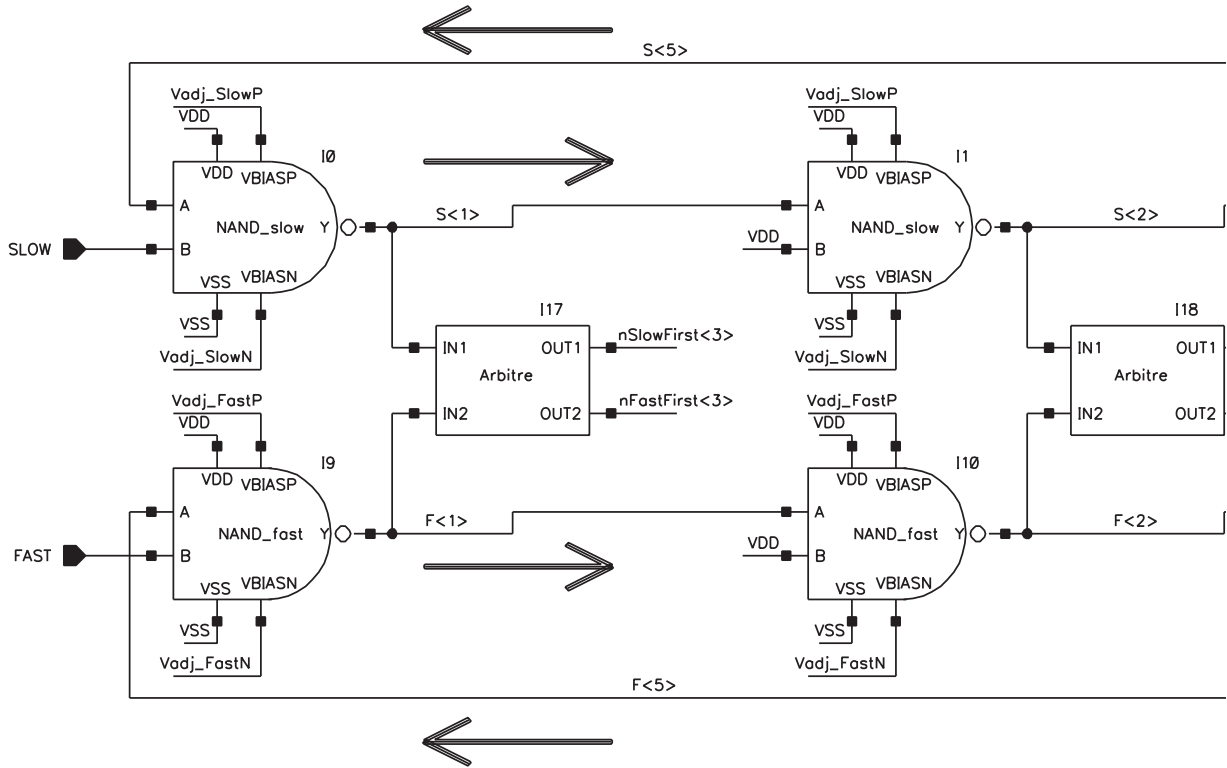


Figure 4.3 Circuit partiel simplifié du cœur du TDC. Seulement $\frac{2}{5}$ des éléments de délais sont présentés, les éléments subséquents présentant une configuration analogue.

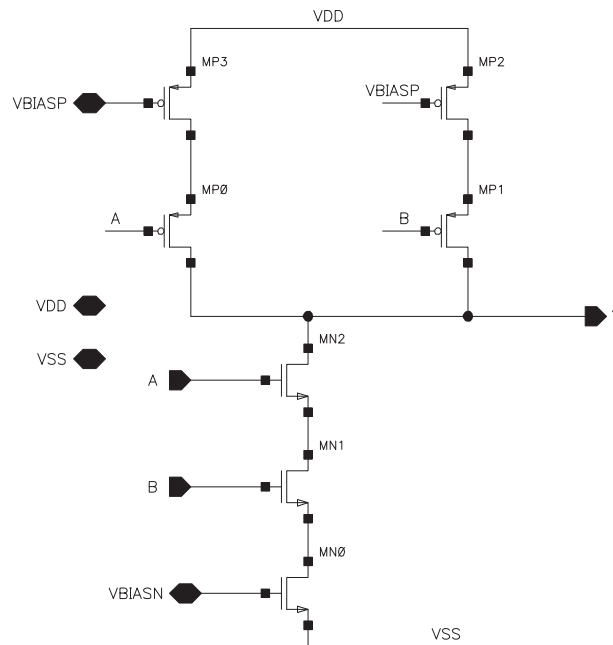


Figure 4.4 Circuit d'une cellule de délai NAND : VBIASP et VBIASN sont des tensions de polarisation contrôlant la vitesse de propagation.

les simulations augmente beaucoup le temps de propagation. La solution ne nécessitant pas une refonte complète du circuit consiste alors à porter la longueur de grille des transistors des éléments de délai à 200 nm pour les éléments rapides et une combinaison de 210 nm pour les NMOS et 220 nm pour les PMOS des éléments lents. Avec ces tailles de transistor, le délai de propagation d'un NAND avoisine les 200 ps.

La différence de taille entre les transistors des éléments de délai lents et rapides, équivalente à quelques multiples de la grille de dessin, peut tout de même être considérée comme faible. Afin d'éviter que des variations de procédés ne nuisent au fonctionnement du TDC en modifiant trop les temps de propagation, un mécanisme de sûreté à été prévu dès le début de la conception sous la forme de 3 transistors d'étouffement série. Les transistors *MP2* et *MP3* de la figure 4.4 contrôlent le courant des branches de PMOS suivant la tension *VBIASP* tandis que le NMOS *MN0* agit suivant la tension *VBIASN*. Le contrôle du courant permet d'augmenter le temps de transit des éléments de délai et permet d'ajuster la résolution. Les tensions de contrôle restent distinctes pour les éléments lents et rapides aux niveaux hiérarchiques supérieurs pour un total de 4 degrés de liberté. Les traces électriques acheminant ces tensions critiques doivent toutefois parcourir l'ensemble du circuit pour se rendre au TDC et peuvent injecter du bruit au cœur du TDC. C'est pourquoi, dans les dernières phases de développement du circuit, après avoir simulé le circuit avec les composantes parasites extraites du dessin des masques et selon les cas de performances marginales, les tensions d'ajustement ont été fixées aux alimentations locales pour les exemplaires du TDC intégrés aux pixels du prototype. Les TDC de tests détaillés à la section 4.5.2 ont toutefois conservé cette fonctionnalité dans un but exploratoire, notamment pour augmenter la résolution de mesure en mode vernier.

Arbitres

Le détecteur de phase le plus courant est composé d'une simple bascule D. Cette composante n'offre malheureusement pas de traitement temporel symétrique entre ses entrées D et CLK lors de la détection. En contrepartie, un arbitre est un détecteur de phase spécialement conçu pour discriminer l'ordre d'arrivée des signaux incidents.

Le circuit de l'arbitre présenté à la figure 4.6 est inspiré de [34]. Dans ce circuit, les transistors MN2, MN8, MP3, MP11 sont deux inverseurs interreliés semblables à la configuration d'une cellule de mémoire statique. Lorsque les entrées IN1 et IN2 ou le signal de remise à zéro en logique négative RN ont un niveau bas, les sorties OUT1 et OUT2 arborent un niveau haut. Dès qu'une des entrées monte en tension, la tension de la sortie correspondante descend et bloque l'autre sortie à un niveau haut. Simultanément, le signal d'entrée

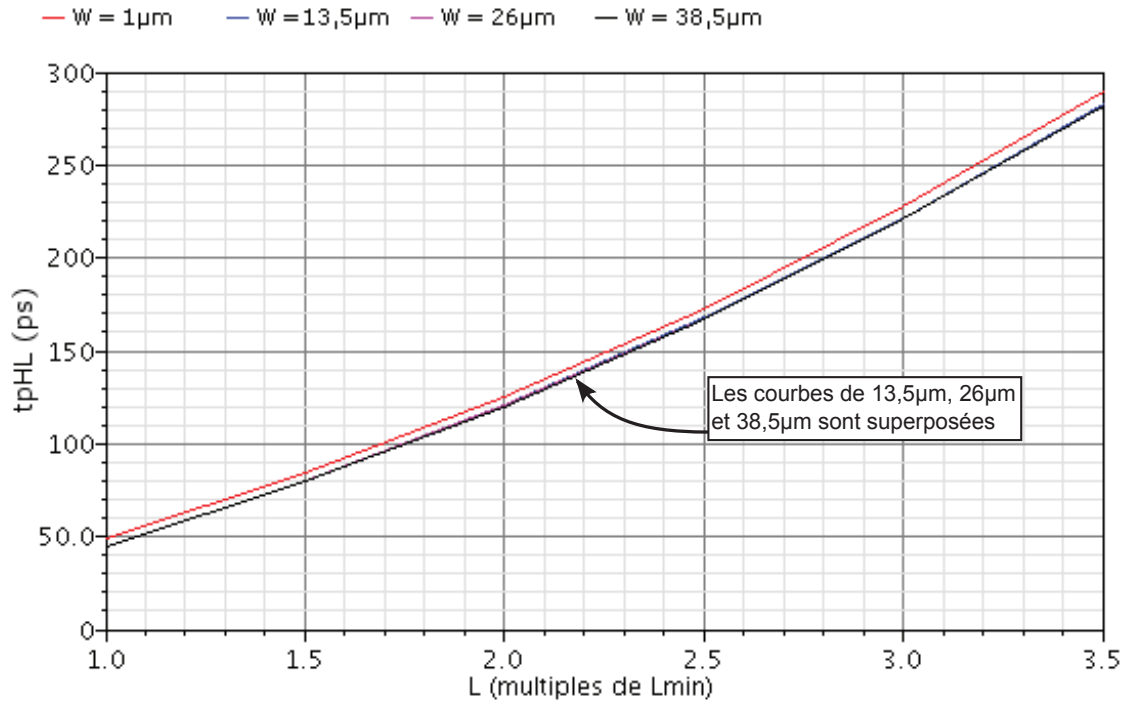


Figure 4.5 Temps de propagation du NAND en fonction des tailles de transistors. W correspond à la largeur des NMOS, les PMOS sont 2,1 fois plus larges, $VBIASP = 0V$, $VBIASN = 1,5V$.

se propage dans une porte OU (non montrée) pour venir bloquer MP2 et MP12 qui assurent un niveau haut en sortie. La porte OU et les transistors MP2 et MP12 permettent un retour à l'état initial rapide lorsque les deux entrées de l'arbitre présentent des niveaux logiques bas. Ainsi, tant que IN1 ou IN2 arbore un niveau haut, l'arbitre conserve la valeur de ces sorties. Le tableau 4.1 présente la table de vérité de l'arbitre.

Les arbitres ne sont sensibles qu'à un seul front, le front montant dans le cas présent. En considérant le comportement inverseur des éléments de délai, un arbitre alternera les détections et les remises à zéro à chaque tour d'un oscillateur d'éléments de délai. Pour discriminer la phase après chaque élément de délai, 2 arbitres, chacun conçu pour

Tableau 4.1 Table de vérité d'un arbitre.

Entrées			Signal interne	Sorties	
RN	IN1	IN2	or_out	OUT1	OUT2
0	X	X	X	1	1
1	0	0	0	1	1
1	1	0	1	0	1
1	0	1	1	1	0

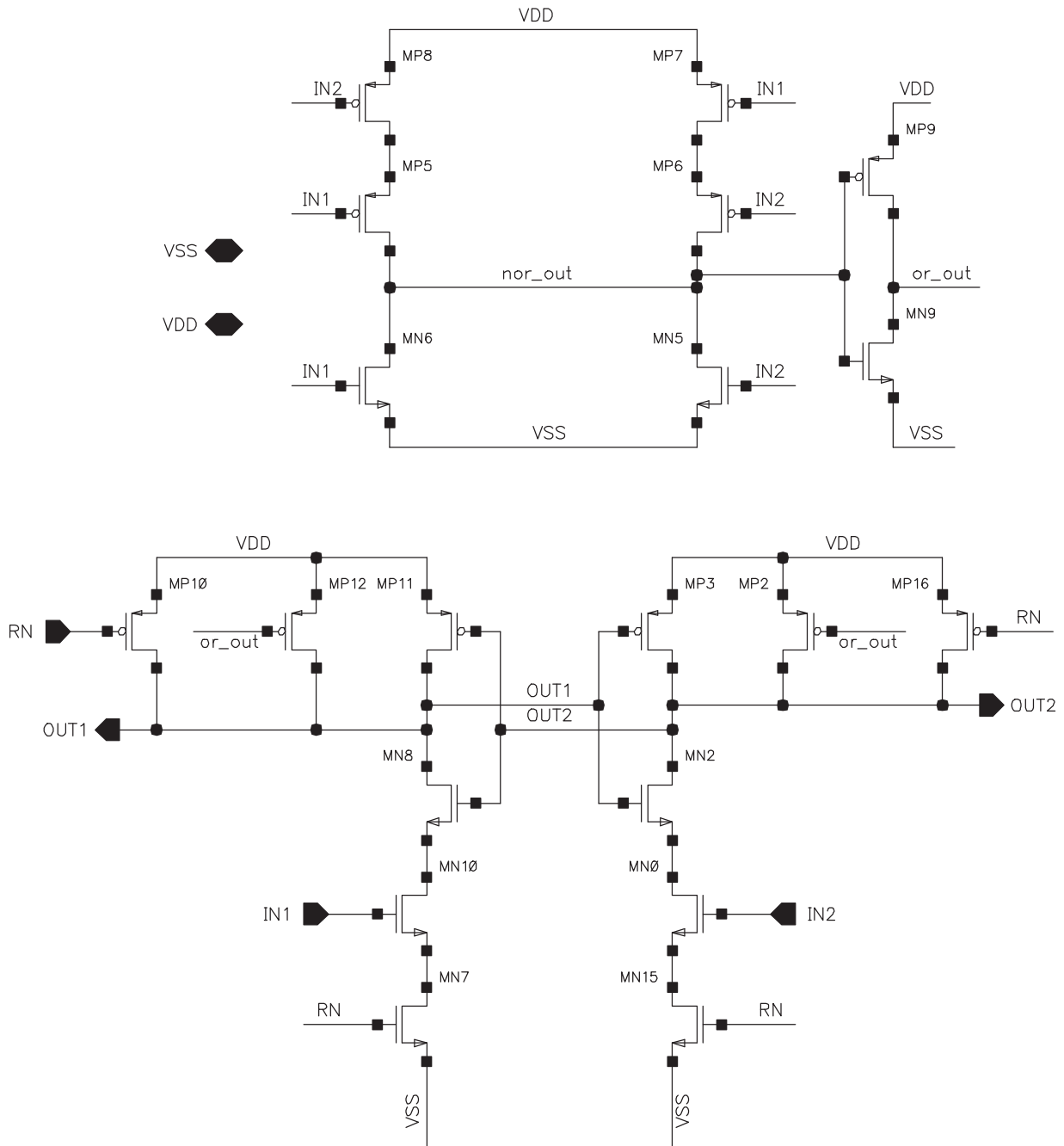


Figure 4.6 Circuit d'un arbitre. La partie supérieure est une porte OU équilibrée tandis que la partie inférieure constitue le circuit discriminateur de phase.

discriminer une polarité, seraient nécessaires. Afin de préserver une uniformité dans les arbitres suivant les variations de procédés, minimiser la taille du circuit final et réduire la quantité de connexions émanant des nœuds des circuits oscillateurs, le circuit conçu ne possède qu'une série d'arbitres sensibles aux fronts montants. Un arbitre sur deux en alternance est prêt à réaliser une détection de phase à chaque tour.

Ce faisant, la résolution temporelle en mode oscillateur se détermine à l'aide de l'équation 4.1, où $N_{\text{Él./tour}}$ est le nombre d'éléments de délai par tour, t_{lent} , le temps de propagation d'un élément de délai et le facteur 2 attribuable aux 2 tours d'oscillateur nécessaire pour couvrir tous les arbitres. La résolution fine en mode vernier du TDC se calcule à l'aide de l'équation 4.2, où t_{rapide} est le temps de propagation d'un élément de délai rapide et le facteur 2 découlant de la sensibilité d'un arbitre sur deux en alternance. Le positionnement et la numérotation des arbitres sont visibles sur la figure 4.7. La numérotation utilisée reflète l'ordre dans lequel les arbitres font feu considérant la sensibilité aux seuls fronts montants et que les signaux *SLOW* et *FAST* débutent par un front montant.

$$t_{\text{ResOsc}} = 2 \times N_{\text{Él./tour}} \times t_{\text{lent}} \quad (4.1)$$

$$t_{\text{ResVer}} = 2 \times (t_{\text{lent}} - t_{\text{rapide}}) \quad (4.2)$$

Pour des différences de temps d'arrivée faibles entre les deux entrées, le temps de stabilisation obtenu par simulation des sorties de l'arbitre arbore une tendance exponentiellement décroissante comme illustré à la figure 4.8. En considérant que le prochain arbitre actif verra ses entrées IN1 et IN2 mises à jour après le délai de 2 NAND, soit environ 400 ps, et que cet arbitre se stabilisera en un minimum de 60 ps, le temps de stabilisation peut

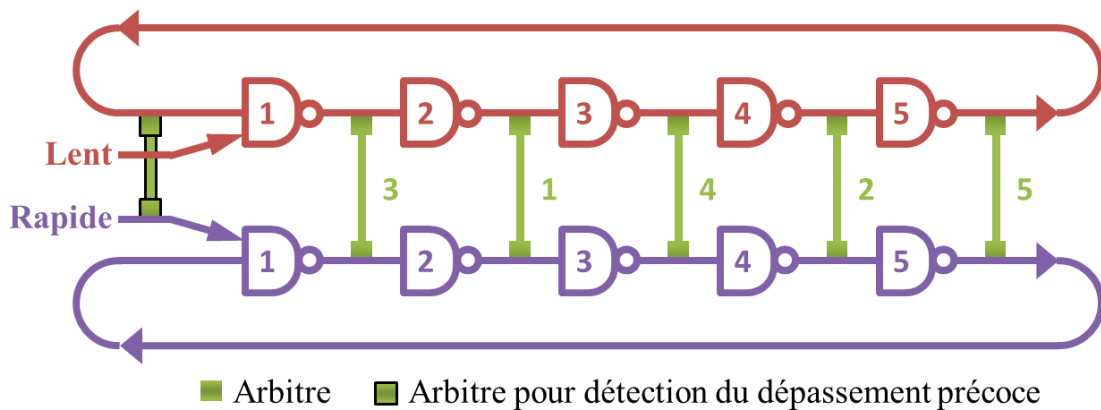


Figure 4.7 Emplacement et numérotation des éléments dans le cœur du TDC.

engendrer une erreur de l'ordre de un LSB seulement pour des intervalles à discriminer inférieurs à la picoseconde. Cette situation n'est donc pas problématique.

Afin d'assurer la symétrie dans leur traitement, les arbitres doivent avoir une performance interne constante. Toutefois, une variation du temps de propagation des signaux n'influe pas sur la fonctionnalité du circuit. Ainsi, l'effort d'appariement est appliqué localement par l'ajout de transistors factices, la copie-translation des transistors, la reproduction de la charge du circuit et l'ajout de redondance dans les interconnexions, sans toutefois mettre de l'avant une grande aire de grille.

4.2.2 Logique d'entrée

La fonctionnalité assumée par la logique d'entrée consiste à détecter l'entrée d'un signal de départ et à ne laisser passer le front d'un signal d'arrêt qu'après l'incidence du signal de départ. Dans le circuit simplifié présenté à la figure 4.9, les bascules I30 et I36 capturent les fronts incidents. L'arbitre I35 détermine l'ordre d'arrivée des signaux. La cellule à délai I38 retarde le signal STOP_1 le temps que l'arbitre se stabilise. La porte NAND I37 bloque le signal d'arrêt si le signal de départ n'est pas déjà passé. Les cellules I33 et I34 balancent le temps de propagation des parcours des signaux de départ et d'arrêt. Les séquences de réponse aux cas types font l'objet du tableau 4.2.

La fonctionnalité asynchrone et l'inclusion d'une cellule sur mesure dans le module de logique d'entrée entraînent le développement du circuit selon un flot analogique. Le besoin de symétrie temporelle du circuit justifie l'utilisation de la copie-translation, de la reproduction de la charge du circuit et de l'ajout de redondance dans les interconnexions.

4.2.3 Détection du dépassement

Le module de détection du dépassement décèle la fin de la conversion. Il sauvegarde ensuite l'état des arbitres du cœur du TDC sous forme de code thermométrique replié sur lui-même

Tableau 4.2 Table de vérité de la logique d'entrée.

Entrées			Signaux internes			Sorties	
START	STOP	nReset	START_1	STOP_1	nSTOP_premier	SLOW	FAST
0	0	0	0	0	1	0	0
↗	0	1	↗	0	1	↗	0
0	↗	1	0	↗	↘	0	0
1	↗	1	1	↗	1	1	↗

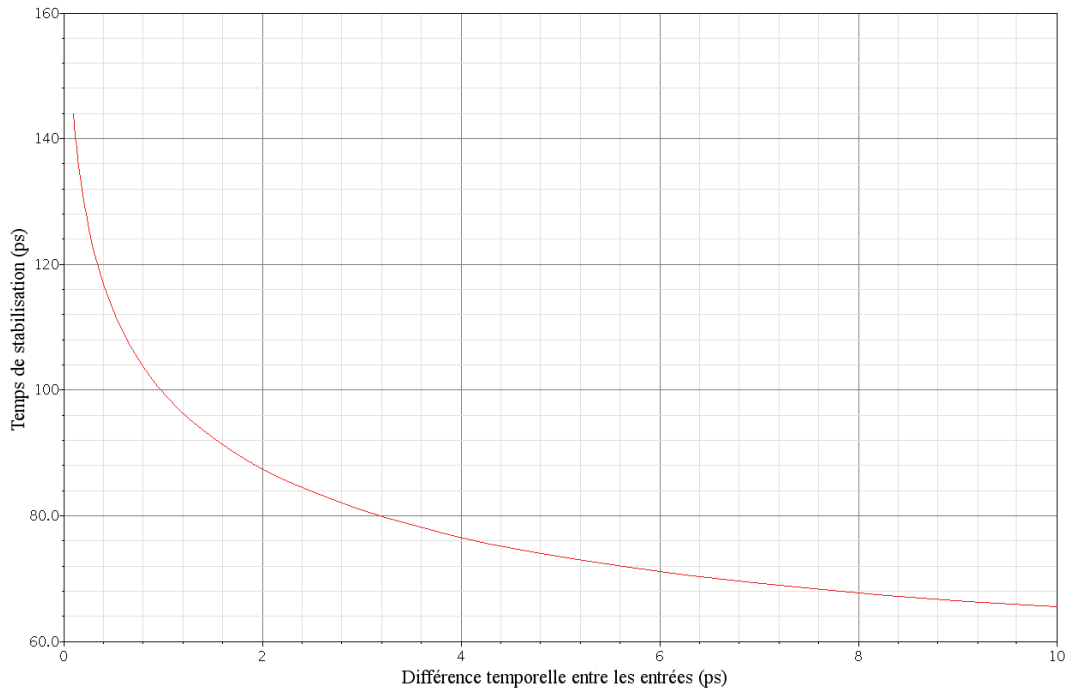


Figure 4.8 Délai de stabilisation simulé sans parasites de l'arbitre en fonction de la différence du temps d'arrivée des entrées.

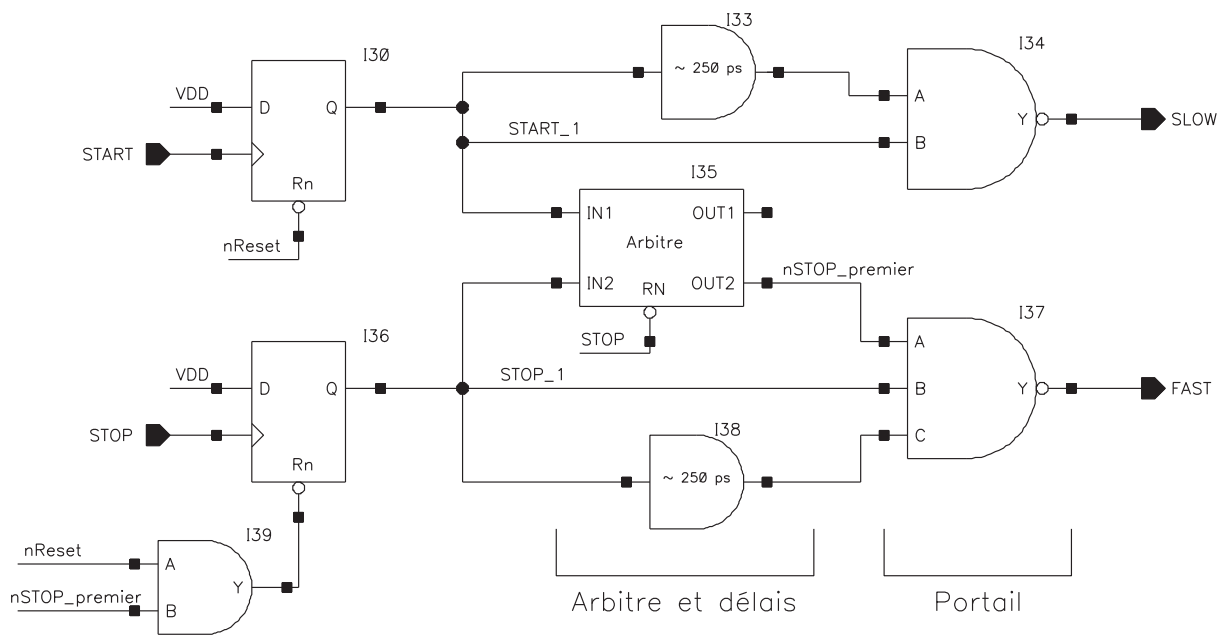


Figure 4.9 Circuit simplifié du module de logique d'entrée.

ou code thermo-circulaire. Une version simplifiée du circuit est présentée aux figures 4.10 et 4.11. Le circuit détecte ce dépassement lorsqu'un arbitre signale l'arrivée du *FAST* en premier (signaux *FastFirst*) en capturant cet événement s'il est valide et en propageant en sortie un bit de niveau logique bas à la position équivalente du bus en sortie (*CodeThermo*).

Dépassement précoce

Lorsque le signal de départ est présent dans son oscillateur lent et que le signal d'arrêt incident arbore un déphasage légèrement inférieur à un multiple entier de la période d'oscillation de l'anneau lent, le premier arbitre du cœur du TDC rencontré est déjà remis à zéro et sensible au prochain front incident. Ainsi, il détectera l'antériorité du signal d'arrêt et se déclenchera, précipitant la fin de la conversion alors qu'un résidu légèrement inférieur à une période d'oscillation de l'anneau lent doit être quantifié par le TDC. Cette situation découle de la configuration en oscillateur vernier du TDC. Ce cas spécial de dépassement non valide est baptisé ici dépassement précoce. L'approche sélectionnée consiste à anticiper la possibilité d'un dépassement précoce et à inhiber le circuit de détection du dépassement régulier jusqu'à ce que, du point de vue de l'arbitre #1, le signal de départ précède le signal d'arrêt. Ce circuit ne doit toutefois pas confondre le cas d'un signal d'arrêt incident arborant un déphasage inférieur à la résolution vernier du TDC, ce qui déclenchera légitimement le premier arbitre.

La figure 4.10 présente le circuit implémenté dans le cœur du TDC. Le positionnement fonctionnel de l'arbitre *I39* inclus dans cette portion du circuit est illustré à la figure 4.7. Il produit un signal de niveau logique bas *nFastBeforeLast* lorsque la phase du signal FAST se présente avant le signal au dernier élément de l'anneau lent *S<5>*. Ce signal est acheminé au circuit de détection du dépassement à la figure 4.11 Si l'ensemble des conditions sont en place pour l'occurrence d'un dépassement précoce, la bascule *I5* est active au lieu de *I6* et une détection de dépassement par le premier arbitre du cœur entraîne le signal

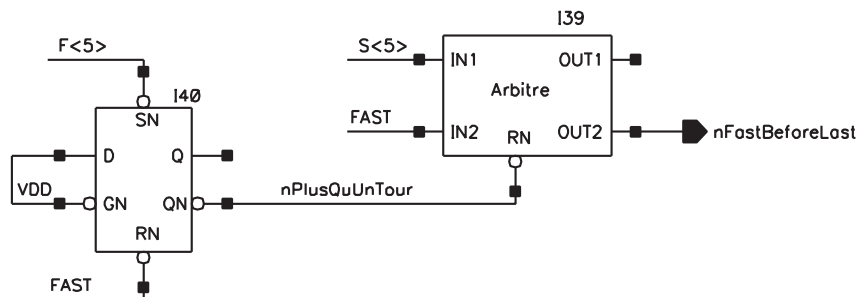


Figure 4.10 Circuit simplifié générant le signal *nFastBeforeLast*. Ce circuit fait partie de la détection du dépassement, mais est localisé dans le cœur du TDC.

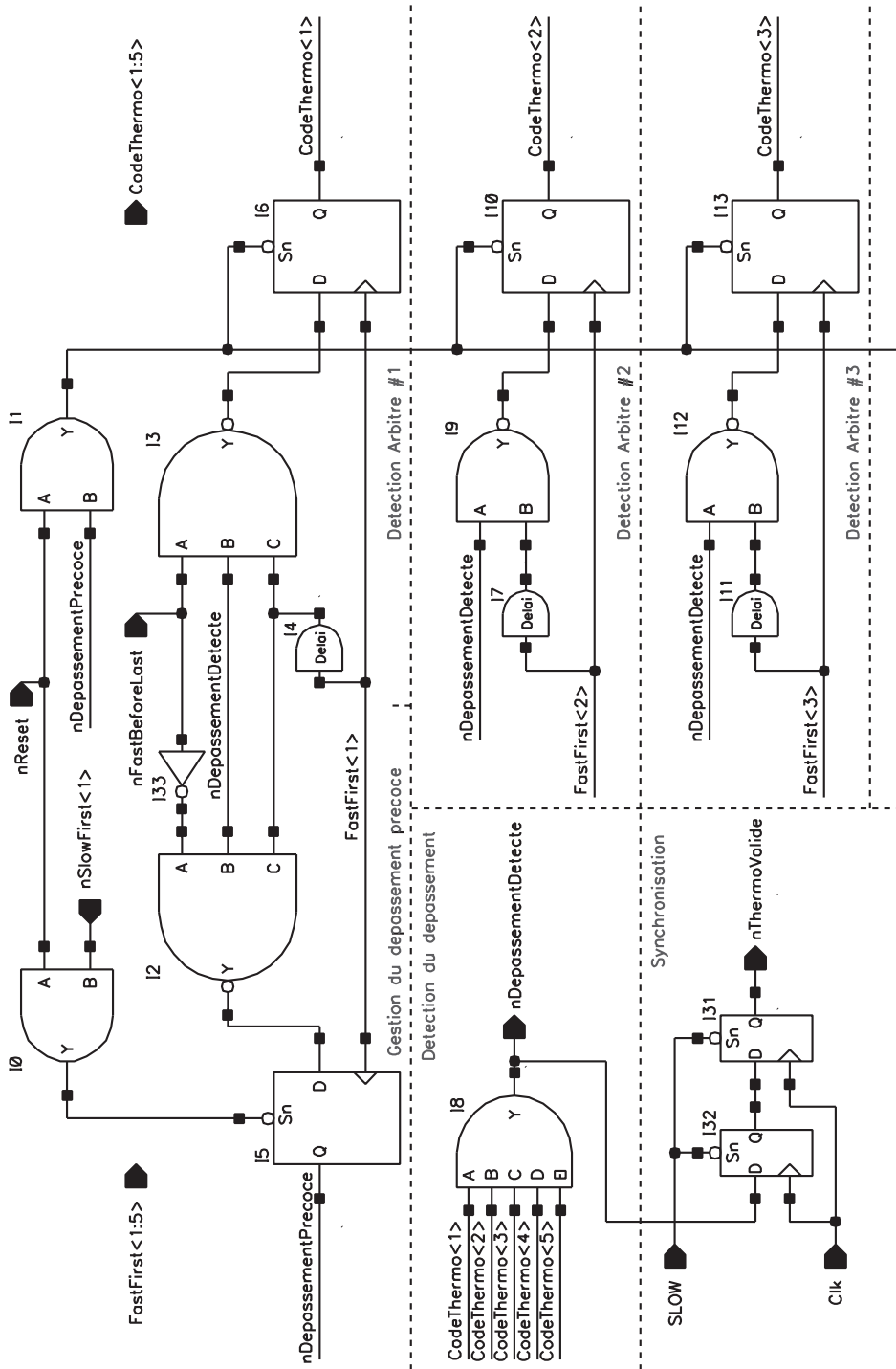


Figure 4.11 Circuit simplifié de la détection du dépassement. Les circuits de détection pour les arbitres #4 et #5 (non montrés) sont analogues aux #2 et #3.

nDepassementPrecoce vers le bas jusqu'à ce que le signal de départ paraisse de nouveau en avance au niveau du premier arbitre.

Le dépassement est détecté quand un élément du vecteur *CodeThermo* adopte un niveau logique bas. Deux bascules synchronisent le signal de contrôle pour assurer une lecture correcte du code de sortie par le circuit de décodage thermocyclique.

Le recours à une méthodologie utilisant la description fonctionnelle permet de gérer la complexité logique de ce module tandis que la synthèse de circuit et l'importation en vue schématique rendent possible l'ajustement fin des performances temporelles du module. Au niveau du dessin des masques, le placement manuel des cellules standards permet d'appliquer la stratégie d'appariement de copie-translation.

4.2.4 Compteurs de tours

Les compteurs sont essentiels pour suivre la progression des signaux dans un TDC oscillateur et doivent donc être rapides. Ils peuvent s'intégrer suivant plusieurs configurations dans un TDC à oscillateur vernier. Du fait que les compteurs sont synchronisés sur l'oscillateur vernier et non sur une horloge externe, une lecture sans erreur des compteurs durant leur opération devrait s'opérer de façon synchronisée avec l'oscillateur vernier, ce qui est peu souhaitable. Lors du développement, plusieurs architectures de compteurs ont été évaluées : Gray, registre à décalage à rétroaction linéaire (*LFSR*) et binaire asynchrone.

Un compteur de type Gray est avantageux pour réduire les erreurs de lectures lorsque ce dernier est lu en cours de compte. Comme cette fonction n'est pas utile pour le TDC actuel et que selon des simulations préliminaires, un compteur *Grey* opère jusqu'à 3 fois moins rapidement que le compteur binaire asynchrone, ce type de compteur est écarté pour ne pas limiter le circuit dans ses performances.

La vitesse d'un compteur *LFSR* permet des performances temporelles semblables au compteur binaire asynchrone, mais nécessite toutefois un décodage complexe en sortie. Il est également plus énergivore étant donné le nombre élevé de transitions qu'il engendre [1].

Le compteur binaire asynchrone, également appelé *ripple counter* a l'avantage de nécessiter peu de composantes, d'être rapide et d'offrir un code de sortie rapidement utilisable. Comme chaque étage opère à une fréquence deux fois inférieure à l'étage antérieur, seules les performances temporelles du premier étage du compteur sont critiques. Un temps de stabilisation est nécessaire avant la lecture du compteur pour permettre la propagation

complète des signaux. Cette situation n'est pas problématique en comparaison aux autres temps de post traitement du TDC.

À l'image des arbitres, un compteur typique n'est sensible qu'à un front montant ou descendant. Comme les arbitres du TDC fournissent la position du dépassement sur deux tours des oscillateurs, le compteur peut n'être incrémenté qu'aux deux tours, sur les fronts montants. L'ajout d'un deuxième compteur sur le front descendant permet d'avoir constamment un compteur présentant une valeur stable. Le circuit de post-traitement peut ainsi choisir le compteur le moins susceptible d'être corrompu en fonction de la position du dépassement dans les anneaux. L'algorithme choisissant le compteur adéquat peut être ajusté suite à la caractérisation complète du TDC fabriqué, compensant ainsi pour les délais de la logique de détection du dépassement. Puisque le dépassement d'un compteur entraînerait une erreur majeure dans la mesure du TDC, la profondeur des compteurs est ajustée de façon à couvrir l'ensemble des cas rencontrés lors des simulations des variations du procédé. Ainsi, pour un circuit aux performances typiques, tous les codes des compteurs ne sont pas utilisés.

Les compteurs doivent également permettre de faire la distinction entre le nombre de tours effectués en mode oscillateur et ceux en mode vernier pour tirer avantage du fonctionnement hiérarchique intrinsèque du TDC VRO. Une première paire de compteurs tient le compte dans le mode oscillateur du TDC sur 2 bits : D_{Codd} compte les fronts descendants des tours impairs et D_{Ceven} les fronts montants des tours pairs. La deuxième paire garde le compte total jusqu'à la fin de la conversion sur 6 bits : D_{Todd} compte les fronts descendants des tours impairs et D_{Teven} les fronts montants des tours pairs.

4.2.5 Circuit d'encodage

Le circuit d'encodage regroupe les fonctionnalités d'encodage de l'estampille en sortie dont l'encodage thermo-circulaire à binaire de même qu'une machine à états finis synchrone gérant la remise à zéro des modules. La complexité logique et la nature synchrone de ces fonctionnalités justifient le recours à un flot de développement entièrement numérique intégrant la description fonctionnelle en VHDL, la synthèse de circuit et le placement et routage automatisé. L'utilisation d'une contrainte spatiale de routage permet toutefois de s'assurer que la logique de contrôle du TDC soit placée dans l'environnement immédiat du TDC. Les sous-sections suivantes détaillent la composition du code de sortie.

Estampille en sortie

Comme le circuit en est à sa première révision, il est souhaitable de transmettre en sortie le plus de données brutes possible par l'estampille en sortie et d'effectuer un traitement final à l'externe à l'aide d'un système reprogrammable, ici un FPGA. Par contre, le nombre de bits d'information dans le code de sortie du TDC est limité, il convient donc d'optimiser l'usage de chaque bit pour en arriver à un compromis.

L'estampille temporelle brute disponible en sortie du TDC s'étend sur les 13 bits alloués. Le détail de chacun des bits est présenté dans le tableau 4.3. Les variables D_{DiffC} et D_{DiffT} du code de sortie sont définies aux équations 4.3 et 4.4.

Tableau 4.3 Affectation des bits du code de sortie du TDC.

12	11	10	9	8	7	6	5	4	3	2	1	0
D_{DiffC}	D_{DiffT}	D_{Ceven}		D_{Teven}						$D_{Arbitre}$		

$$D_{DiffC} = D_{Codd} - D_{Ceven} \in \{0,1\} \quad (4.3)$$

$$D_{DiffT} = D_{Todd} - D_{Teven} \in \{0,1\} \quad (4.4)$$

Encodage thermo-circulaire à binaire

Le code disponible en sortie du module de détection du dépassement est constitué d'un vecteur de 5 bits, tous à des niveaux logiques hauts sauf 1 bit indiquant le lieu du dépassement. L'algorithme conçu retourne la position du premier niveau logique bas trouvé dans le vecteur $D_{Arbitre}$ encodé binaire sur 3 bits, sauvant ainsi 2 bits. La conversion, déclenchée de façon synchrone, s'exécute en moins d'un cycle d'horloge.

4.2.6 Compteur système

Le TDC décrit jusqu'à présent mesure un intervalle avec une plage dynamique d'une période d'horloge système de 5 ns. Dans une optique de scanner dédié à la TEP, cette plage dynamique n'est pas suffisante. Ainsi, un compteur système implémenté dans le circuit intégré hors du TDC décrit dans ce mémoire multiplie la plage dynamique de mesure. Ce compteur opère à la fréquence système de 200 MHz sur une plage de 19 bits, couvrant ainsi plus de 2,6 ms.

Pour un compteur binaire synchrone contrôlé par une consigne asynchrone, une incertitude de ± 1 unité existe sur la mesure [23, 25]. Pour contourner ce problème, la logique accompagnant le compteur système utilise une copie du signal *FAST* généré par la logique d'entrée du TDC pour prélever une copie de l'estampille système au bon moment. Le signal généré dans la logique d'entrée suit le front d'horloge utilisé comme signal d'arrêt d'un temps déterministe, il est donc synchrone et permet d'éliminer l'incertitude dans la logique du compteur système.

4.2.7 Post-traitement

Dans la configuration actuelle, une étape de conversion sur ordinateur transforme l'estampille de sortie en valeur temporelle. Avec une maîtrise grandissante de l'architecture de vernier à oscillateur en anneaux, il serait concevable d'intégrer cette conversion à même le circuit intégré d'une révision future.

Dans le circuit implémenté, les simulations avec parasites montrent un déphasage entre l'incréméntation des compteurs et l'oscillation du cœur du TDC. Une compensation en post-traitement permet de garder une électronique intégrée simple tout en sélectionnant la valeur de compteur la moins susceptible de souffrir d'incertitude due au signal de contrôle asynchrone. Ainsi, la conversion utilise un calcul à base des seuils S_{Osc} , S_{TA} et S_{TB} pour obtenir les valeurs corrigées des compteurs D_{Ccor} et D_{Tcor} (équations 4.3 et 4.4). Il est alors possible de convertir l'intervalle mesuré en mode vernier $T_{Vernier}$ en utilisant l'équation 4.7, où t_{ResVer} correspond à la résolution du mode vernier tel que déterminé par caractérisation du TDC et $N_{\acute{e}l./tour}$ au nombre d'éléments traversés par période d'oscillation. L'intervalle en mode oscillateur T_{Osc} est calculé à l'aide de t_{ResOsc} , également déterminé par caractérisation (équation 4.8). En dernier lieu, il ne reste qu'à additionner les deux contributions pour obtenir la valeur temporelle T_{Total} exprimée en secondes (équation 4.9).

$$D_{Ccor} = \begin{cases} D_{Ceven} + D_{DiffC} - 1, & D_{Teven} > S_{Osc} \\ D_{Ceven}, & D_{Teven} \leq S_{Osc} \end{cases} \quad (4.5)$$

$$D_{Tcor} = \begin{cases} D_{Teven}, & D_{Arbitre} = S_{TA} \\ D_{Teven} + D_{DiffT} - 1, & S_{TA} < D_{Arbitre} < S_{TB} \\ D_{Teven} - 1, & D_{Arbitre} = S_{TB} \end{cases} \quad (4.6)$$

$$T_{Vernier} = [(D_{Arbitre} - 1) + N_{\acute{E}l./tour}(D_{Tcor} - D_{Ccor})] \times t_{ResVer} \quad (4.7)$$

$$T_{Osc} = D_{Ccor} \times t_{ResOsc} \quad (4.8)$$

$$T_{Total} = T_{Osc} + T_{Vernier} \quad (4.9)$$

4.3 Dessin des masques

Le dessin des masques de fabrication du circuit intègre les éléments de méthodologie décrits à la section 3.3 et dont l'usage est résumé au tableau 3.1. La figure 4.12 présente le résultat du placement manuel du cœur du TDC, de la logique d'entrée, de la détection du dépassement et des compteurs de tours. Cette portion du circuit mesure $100\ \mu\text{m}$ par $280\ \mu\text{m}$, soit $0,028\ \text{mm}^2$. Lors de son inclusion dans le circuit, un bus de distribution d'alimentation entoure cette portion du circuit, rajoutant $10\ \mu\text{m}$ dans chaque direction. De plus, la logique de contrôle est assujettie au placement et routage automatisé et se situe hors de cette zone. Les rapports de synthèse numérique indiquent que cette section occupe $986\ \mu\text{m}^2$ avant routage. La taille brute d'un exemplaire complet du TDC avoisine donc $0,029\ \text{mm}^2$.

Suite à la conception des sous-modules individuels, les choix de placement et routage représentent un défi de taille. Afin d'équilibrer la capacité parasite sur les nœuds à haute fréquence du cœur du TDC, une architecture de bus blindé est implémentée pour minimiser la diaphonie et équilibrer les capacités parasites sur tous les nœuds. Ainsi, toutes les traces reliant les éléments de délais entre elles possèdent la même longueur et un environnement similaire. Cette même stratégie s'applique aux interconnexions entre les arbitres et la logique de détection du dépassement. Les éléments numériques placés manuellement ont bénéficié d'un routage des signaux d'horloge manuel. Ces circuits ont ensuite été simulés comme des circuits analogiques avec parasites et variations des paramètres du procédé afin de vérifier l'absence de métastabilités.

4.4 Vérification logicielle

La vérification logicielle s'effectue à l'aide d'un ensemble de bancs de test permettant tant des vérifications unitaires qu'au niveau du système. Parmi les bancs de test, une attention particulière fut portée à la réalisation d'un banc de test global simulant les interactions externes du TDC. Ce banc de test, initialement réalisé en VHDL, a été converti en Verilog-

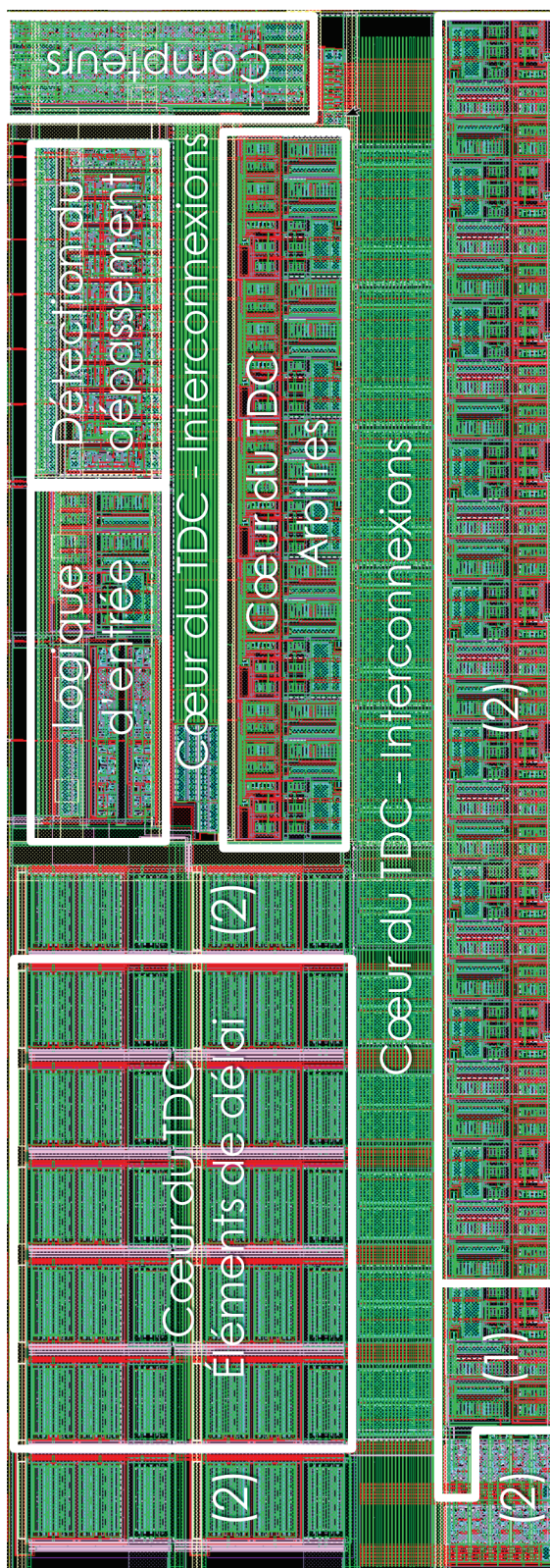


Figure 4.12 Dessin des masques de la portion placé manuellement du TDC : (1) Cœur du TDC - Détection du dépassement précoce, (2) Éléments faux.

A pour profiter des performances du simulateur APS. La version finale du banc de test permet de réaliser un balayage de l'ensemble de la plage dynamique de façon linéaire ou par interpolation successive. La sortie, écrite dans un fichier texte, permet de suivre la progression de la simulation et, à l'aide du post-traitement, de trouver les codes erronés sans attendre la fin de la simulation. Le fichier texte compile l'intervalle à mesurer, le temps de conversion du cœur du TDC, le temps de conversion total, le code de sortie, l'énergie et le courant RMS consommés par la section placée manuellement et l'énergie et le courant RMS consommés par la logique numérique au placement automatique. Pour épargner du temps de simulation, le banc de test démarre une nouvelle conversion quelques cycles d'horloge après la fin de la précédente.

Afin de valider l'intégration des divers projets dans le circuit intégré, une simulation fonctionnelle de haut niveau a été réalisée. Pour répondre aux exigences énoncées à la section 3.4.2, un module VHDL remplace tous les circuits placés manuellement tout en prenant soin d'en calquer les valeurs en sorties et les performances temporelles. Les sections de circuit bénéficiant du placement et routage assisté, déjà converties en Verilog par la synthèse, voient les délais des cellules numériques ajustés par le logiciel de placement et routage pour prendre en compte les délais de propagations estimés.

4.5 Structures de test

Afin de valider les performances des composantes réalisées en circuit intégré, plusieurs structures de test ont été incluses dans le circuit final. Les sous-sections suivantes présentent plusieurs de ces structures et leur fonctionnalité prévue au moment de la conception de même que le circuit imprimé supportant les tests.

4.5.1 Chaines à délai

Les éléments de délai inclus dans le cœur du TDC jouent un rôle crucial dans la numérisation de la mesure temporelle. Afin de mesurer leur contribution à l'incertitude temporelle et la variation de leur délai de propagation en fonction de la tension de polarisation, des chaînes de NAND rapides et NAND lents contrôlés en tension sont connectées entre des plots d'interconnexions du circuit intégré. Le schéma électrique de la figure 4.13 résume ce circuit. L'utilisation d'un générateur d'impulsions rapide et d'un oscilloscope en sortie permettra de déterminer leurs caractéristiques.

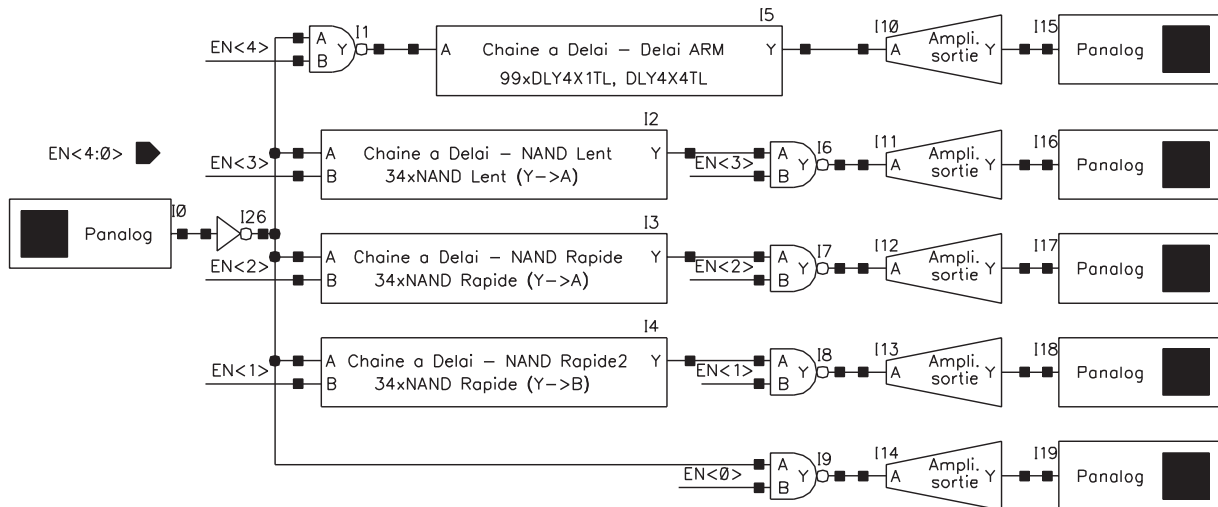


Figure 4.13 Schéma électrique équivalent des chaînes à délai de test.

4.5.2 TDC de test

En plus des TDC inclus avec les matrices de pixels, 3 copies additionnelles du TDC existent dans le circuit intégré. La figure 4.14 en détaille la configuration.

Le TDC de test #0 possède des sorties supplémentaires pour aider au débogage fonctionnel. Les signaux extraits du cœur du TDC sont : $F<3>$, la sortie du 3^e élément élément de délai rapide, $S<3>$, la sortie du 3^e élément de délai lent, de même que $nSlow_first<4>$ et $nFast_first<4>$, les sorties de l'arbitre relié aux deux signaux précédents. Ces sorties sont amplifiées et dirigées vers des plots d'interconnexions. Pour plus de flexibilité, le TDC est alimenté par des signaux de départ et d'arrêt externes transmis au travers d'un récepteur à transmission différentielle basse-tension (LVDS). Cette configuration permet d'utiliser ce TDC de façon autonome.

Identique au TDC #0 hormis l'absence des sorties supplémentaires, le TDC #1 vise principalement la réalisation de la mesure de la fonction de transfert. Deux méthodes sont possibles, soit une méthode directe par incrémentation lente de l'intervalle à mesurer généré par deux oscillateurs contrôlés en température ou une méthode statistique par l'accumulation de millions d'intervalles générés par deux signaux oscillatoires non corrélés.

La combinaison du TDC #2 et du TDC normal présent au haut de la figure 4.14 vise à estimer la gigue temporelle des circuits du *WiredOR* et du *Qualifier*. Les deux derniers TDC peuvent servir indifféremment à la mesure de la fréquence de conversion ou de la consommation électrique.

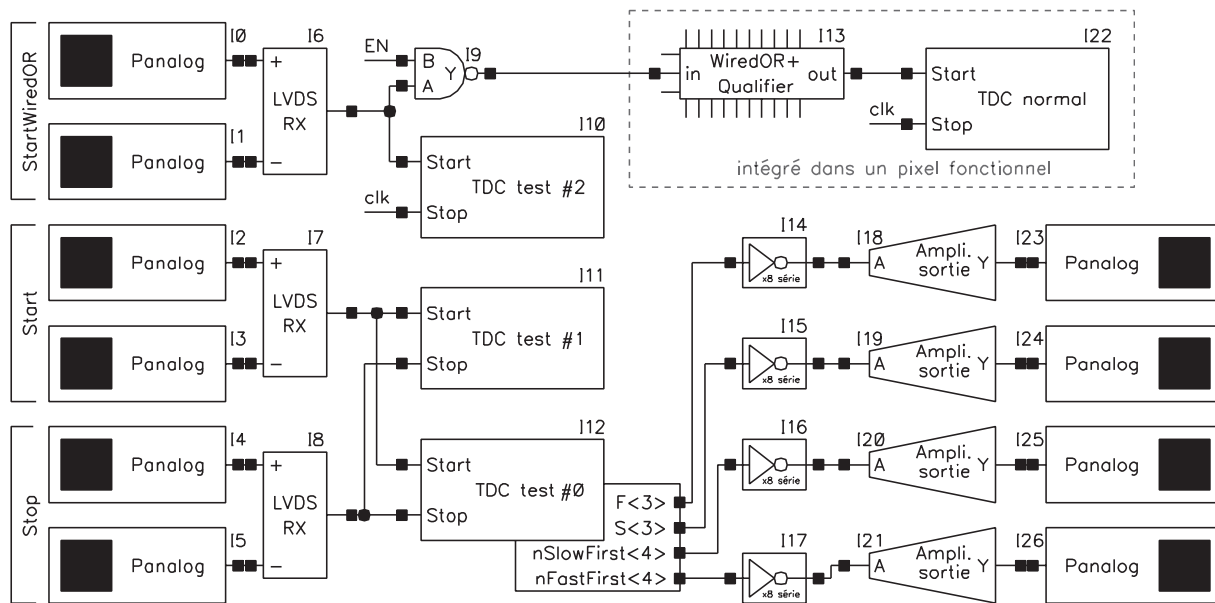


Figure 4.14 Schéma électrique simplifié des TDC de test. Les cellules I14 à I17 assurent le transport des signaux du TDC aux plots de connexion du circuit intégré. Les bits de configuration et les sorties de données numériques des TDC ne sont pas représentés.

4.5.3 Circuit imprimé supportant les tests

L'infrastructure de test du circuit intégré repose sur la réalisation d'une carte de circuit imprimé (PCB). Ce circuit imprimé inclut entre autres des circuits d'alimentation, un FPGA assurant les communications externes, des structures pour le contrôle thermique du circuit et des oscillateurs ainsi que des interconnexions dédiées aux tests. Les signaux d'horloge y sont distribués à l'aide d'une série de composants à très faible gigue temporelle. Le circuit intégré est interfacé électriquement au PCB à l'aide de microcâblages.

Afin de réaliser les tests de résolution et précision, un oscillateur LM113-200 (200 MHz \pm 25 ppm) est utilisé pour générer des signaux de départ indépendants de l'horloge système du circuit. Un circuit de distribution d'horloge LMK01000 (80 ps RMS de gigue de phase) permet de diviser l'horloge pour obtenir une fréquence inférieure nécessaire à la mesure de densité de codes.

4.6 Conclusion

En synthèse, la conception du TDC vernier à oscillateurs en anneaux a été divisé en plusieurs blocs. La logique d'entrée assure le conditionnement des fronts de signal incidents dont on veut quantifier la différence de phase. Le cœur du TDC réduit progressivement ce

déphasage tout en évaluant quel signal est en avance. Le circuit de détection du dépassement identifie le moment où le deuxième front rattrape le premier, marquant la fin de la conversion, et arrête le compteur de tours. Un circuit d'encodage minimise le nombre de bits d'information à transmettre hors du TDC. Un compteur système, externe au TDC, ajoute ensuite 19 bits pour étendre la plage de mesure. L'estampille temporelle subit alors un post-traitement hors du circuit intégré, convertissant une série de bits en une mesure temporelle.

Le dessin des masques du circuit intégré fait le pont entre le circuit conçu et la fabrication en technologie CMOS 130 nm. Une vérification logicielle permet une rétroaction et un raffinement des performances du TDC en cours de conception. Un ensemble de circuits complémentaires conçus et implémentés permettront également de mesurer indépendamment les performances du circuit réalisé. Le chapitre suivant énumère et analyse ces performances.

CHAPITRE 5

RÉSULTATS ET ANALYSE

Ce chapitre débute en détaillant les performances du convertisseur temps-numérique conçu telles qu’obtenues par simulations du circuit et par la caractérisation d’un exemplaire fabriqué du TDC. En second lieu, ces indices de performance sont analysés et des pistes d’amélioration sont offertes.

5.1 Performance du TDC

Un exemplaire intégré au circuit de détection et le TDC de test #0 ont servi à la caractérisation du circuit fabriqué. Ce dernier est doté de sorties permettant d’observer directement la période d’oscillation des deux anneaux et le comportement des arbitres comme détaillé à la section 4.5.2. Étant donné des délais de fabrications hors normes, seuls des tests partiels ont été réalisés sur les TDC fabriqués. Les informations sur la résolution et la précision de la mesure ont pu être extraites du fonctionnement circuit.

Les autres indices des performances décrits ci-dessous découlent de l’analyse des résultats d’une simulation incluant les parasites extraits de la portion du circuit placée manuellement et de la vue schématique de la portion placée automatiquement. Les tableaux 5.1 et 5.2 présentent les paramètres de simulation utilisés.

Tableau 5.1 Paramètres du simulateur.

Logiciel	APS
Précision	<i>Moderate</i>
Réduction des parasites	Activé, <i>Default</i>

Tableau 5.2 Paramètres du banc de test.

	Intervalles en entrée		
	Initial	Final	Incrément
Notation	a_{\min}	a_{\max}	δa
Valeur	0 ps	5000 ps	330 fs

5.1.1 Résolution et précision

La résolution du TDC est obtenue par la méthode statistique de densité des codes. Cette méthode consiste à stimuler le TDC à l'aide d'une source non corrélée avec l'horloge système et à construire un histogramme des codes de conversion obtenus [14, 16, 58]. Dans un TDC idéal, la probabilité d'obtenir chaque code est identique et il en découle donc un histogramme où les classes ont toutes une amplitude uniforme. Les aléas de fabrication et d'opération du circuit modifient la probabilité associée à chaque code de TDC et se reflètent ainsi sur l'histogramme construit. Les paragraphes suivants présentent d'abord les résultats de simulation avant d'aborder la résolution et la précision obtenue sur deux variantes du TDC fabriquées.

La figure 5.1 présente la densité normalisée pour un TDC simulé. Pour cette simulation, les tensions d'ajustement sont fixées aux alimentations comme dans le cas du TDC intégré au circuit de détection. Dans la figure, les deux points près d'une fréquence normalisée unitaire correspondent aux premiers paliers en mode vernier de nouveaux incréments du mode oscillation du TDC. Ils font l'objet d'une discussion à la section 5.2.1. Le dernier code de TDC obtient une fréquence inférieure parce que la largeur du palier est tronquée par la fin de la plage dynamique déterminée par l'horloge de référence. Étant donné la distribution uniforme des intervalles à mesurer en entrée, la résolution du TDC correspond à la moyenne du nombre de conversions par code de sortie multiplié par l'incrément d'intervalles d'entrée. L'équation 5.1 présente cette relation, où s est une liste exprimant la fréquence absolue de chacun des codes de sortie durant la simulation exprimée en événements par code de TDC et δa , l'incrément de temps entre deux intervalles temporels utilisés comme stimuli en secondes. La résolution obtenue par simulation se situe à 14,15 ps.

$$t_{ResVer} = \bar{s} \times \delta a \quad (5.1)$$

Au niveau de la précision de mesure du TDC, les équations 5.2 et 5.3 [18, 38] présentent les formules de la non-linéarité différentielle (DNL) et de la non-linéarité intégrale (INL) utilisées pour produire la figure 5.2. On y constate un DNL maximum de ± 1 LSB et un INL de $\pm 2,2$ LSB. Un facteur de correction calculé pour chaque palier suite à la caractérisation

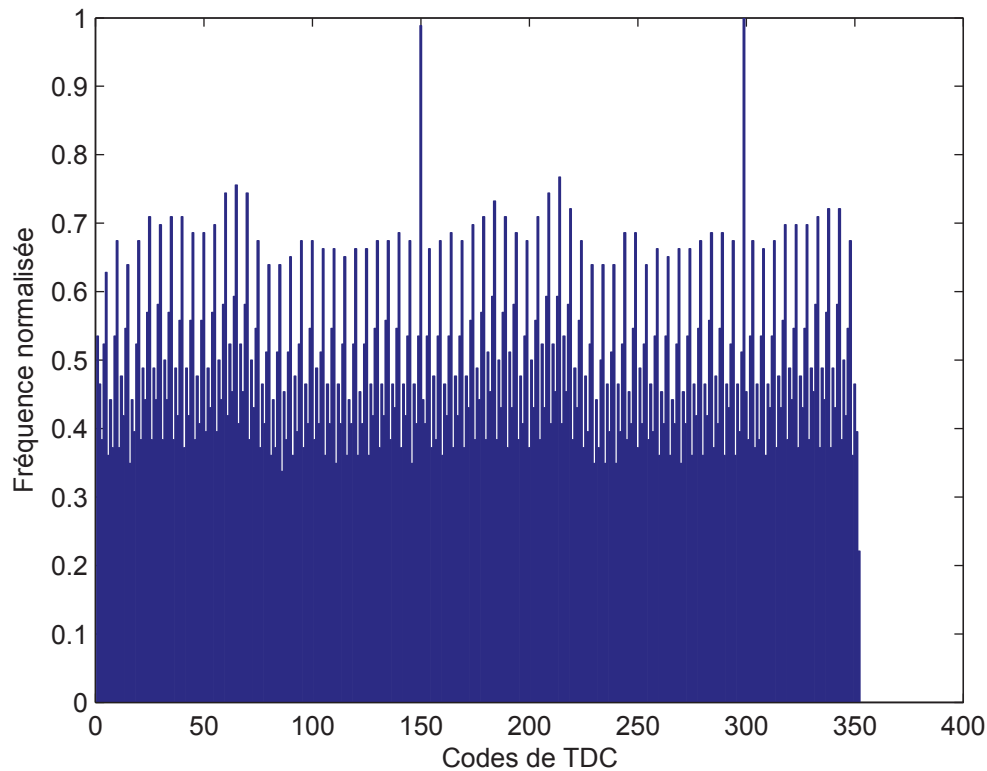


Figure 5.1 Histogramme normalisé des Codes de TDC simulé.

complète du TDC permettra de diminuer l'effet des points hors normes sur la linéarité intégrale.

$$\text{DNL}_i(\text{LSB}) = \frac{s_i}{s} - 1 \quad (5.2)$$

$$\text{INL}_i(\text{LSB}) = \sum_{n=1}^i \text{DNL}_n(\text{LSB}) \quad (5.3)$$

Pour mettre en œuvre la mesure de densité des codes sur un TDC fabriqué, un oscillateur indépendant génère les impulsions de départ tandis que l'horloge système sert de signal d'arrêt. L'oscillateur indépendant doit d'avoir une fréquence significativement inférieure à l'horloge système afin d'obtenir une distribution uniforme d'intervalles à mesurer. La résolution mesurée sur un exemplaire du TDC inclus au sein du circuit de détection et dont les tensions d'ajustement sont fixes est de 31 ps. Au niveau de la précision, le DNL maximum avoisine les 2,15 LSB tandis que le INL brut atteint 9,6 LSB tel que présenté à la figure 5.3. Comme la plage dynamique du TDC est fixée à 5 ns par l'horloge système, le

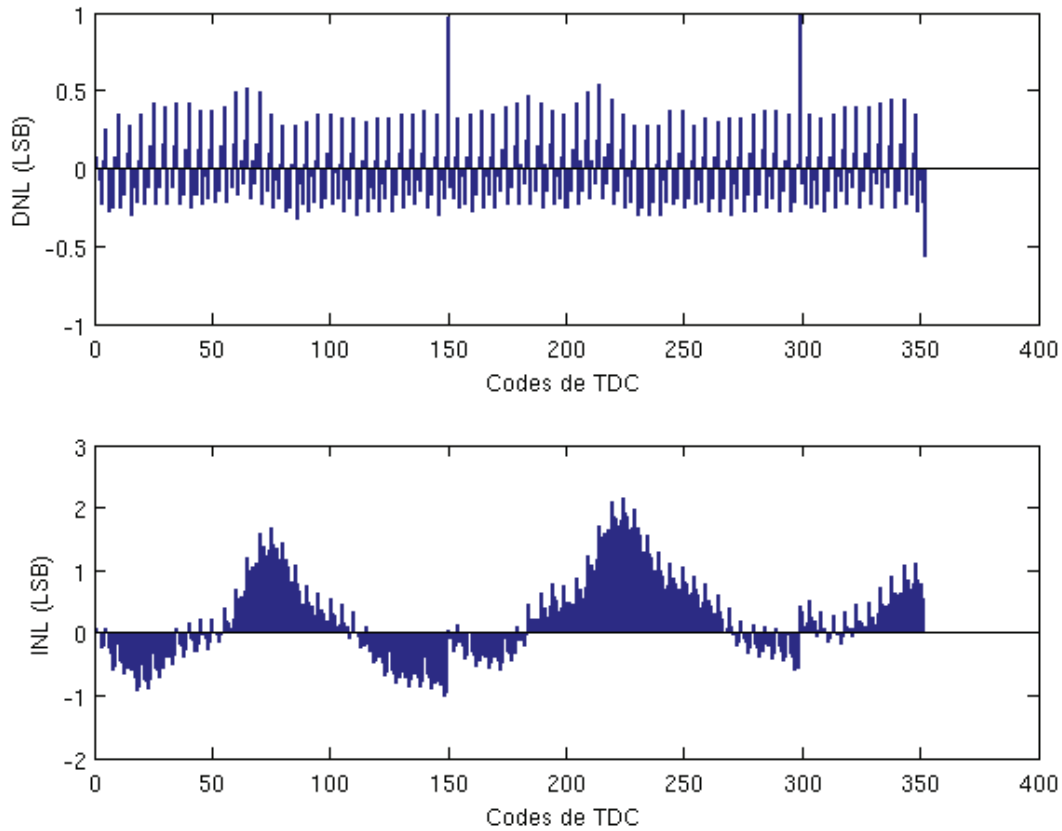


Figure 5.2 Précision du TDC simulé. Simulation de la plage complète de mesure balayant les intervalles à mesurer par incréments de 330 fs.

nombre de codes de TDC utilisés varie directement avec la résolution et diffère ainsi des résultats de simulation.

Des données préliminaires récoltées sur un exemplaire fabriqué de TDC de test #0 démontrent la possibilité d'atteindre une résolution de mesure supérieure en modifiant les tensions d'ajustement. En variant les tensions d'ajustement de l'anneau rapide, il est possible de diminuer le courant dans ces éléments de délai et donc la période d'oscillation de l'anneau rapide. En diminuant l'écart de périodes d'oscillation des anneaux lents et rapides, la résolution vernier est améliorée. Les sorties de test présentées aux figures 5.4 et 5.5 montrent des périodes d'oscillation médianes de 2,077 ns pour l'oscillateur lent et de 2,014 ns pour l'oscillateur rapide du TDC de test #0, résultant en une résolution en mode vernier d'environ 12,6 ps après ajustement. Ainsi, en variant les tensions d'ajustement, le TDC conçu atteint l'objectif de résolution du projet.

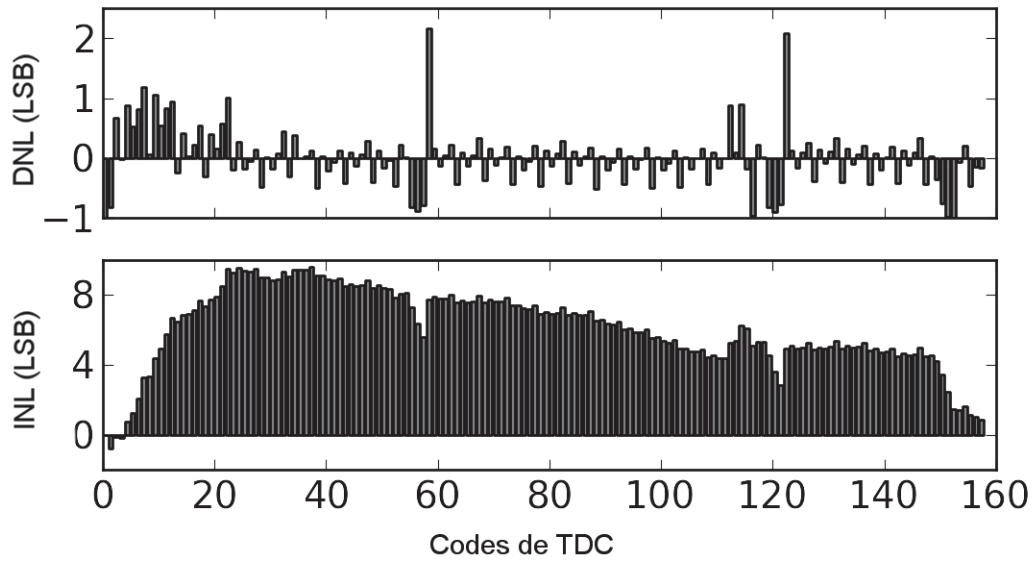


Figure 5.3 Précision du TDC intégré au canal 1 du détecteur.

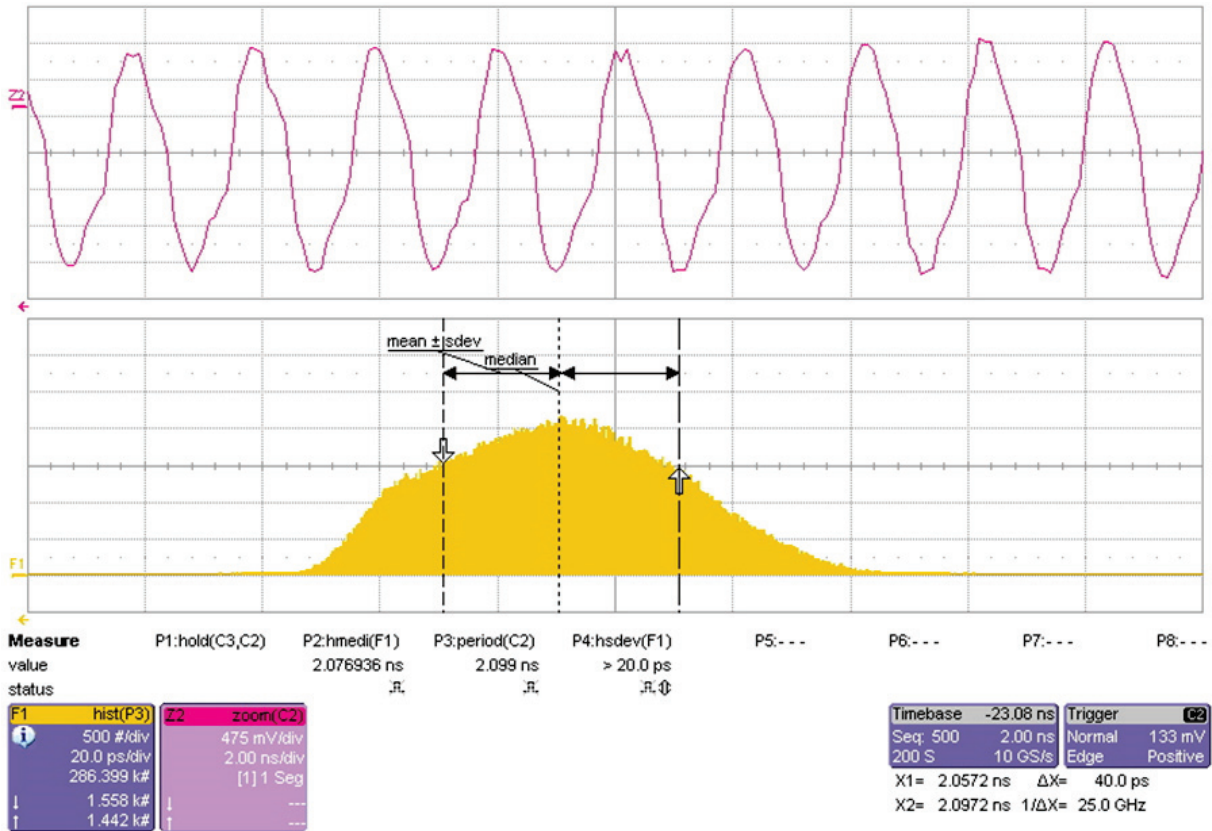


Figure 5.4 Période d'oscillation de l'anneau lent du TDC #0.

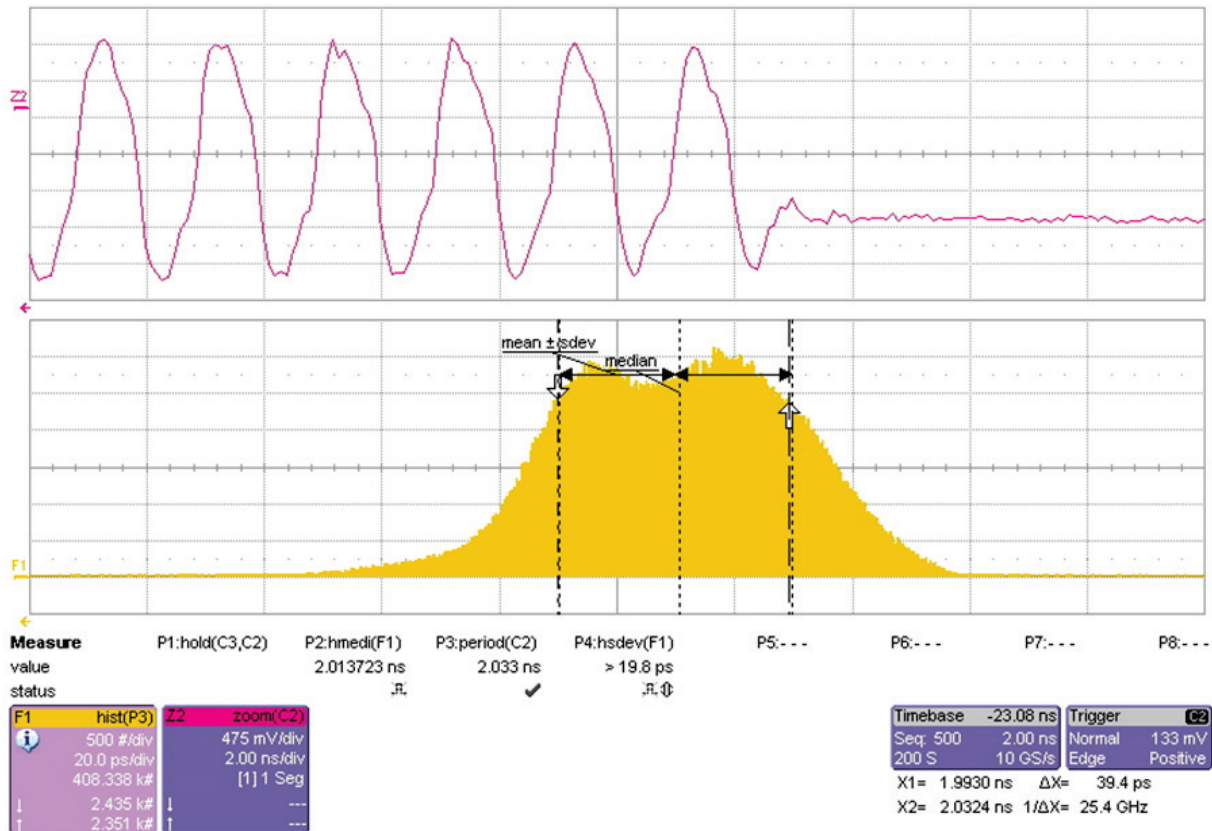


Figure 5.5 Période d'oscillation de l'anneau rapide du TDC #0.

5.1.2 Fréquence de conversion

La figure 5.6 affiche le temps de conversion simulé pour chaque intervalle en entrée. La mesure correspond au temps écoulé entre le signal de départ incident et un front montant de l'horloge système où le signal de fin de conversion est actif. Avant de convertir ces valeurs en une fréquence de conversion, il est nécessaire de rajouter une période d'horloge dédiée à la remise à zéro du TDC. Ce faisant, le plus long temps mort advenant une série d'intervalles atteint 90 ns, ce qui est inférieur à la limite de 100 ns fixée par le deuxième sous-objectif. La fréquence de conversion résultante est 11,1 MHz.

5.1.3 Plage dynamique

La plage dynamique se reconnaît à la périodicité des codes en sortie pour des intervalles en entrée grandissants. Sur la figure 5.7, obtenue par simulation, cette périodicité se produit sur 5 ns, atteignant ainsi le sous-objectif relatif à la plage dynamique.

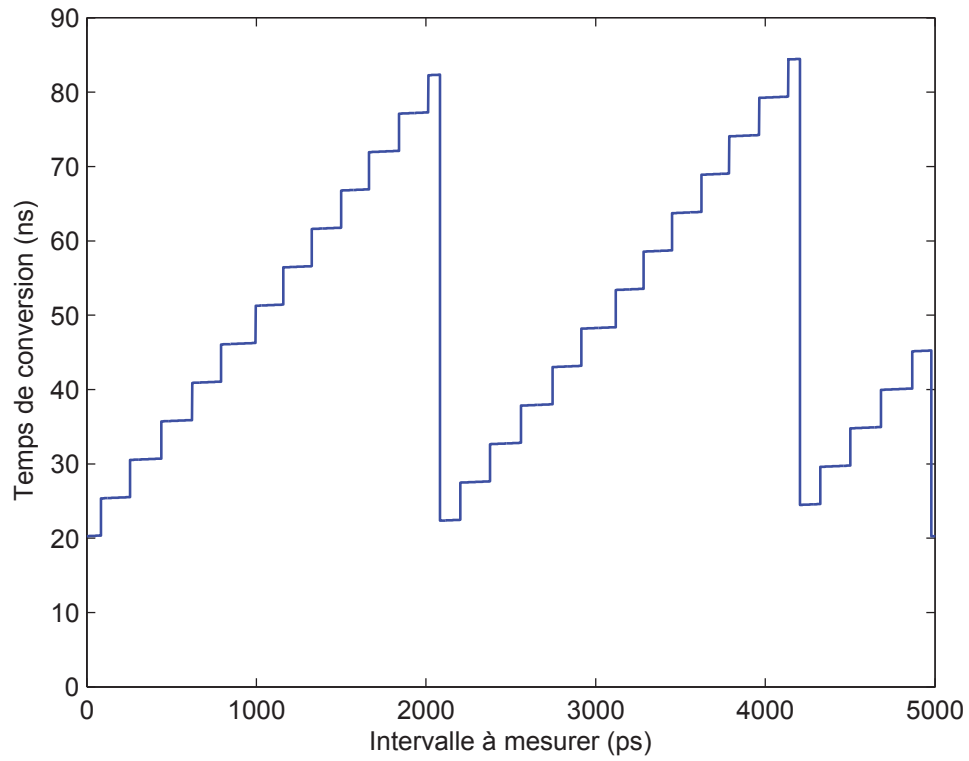


Figure 5.6 Temps de conversion du TDC simulé en fonction de l'intervalle à mesurer.

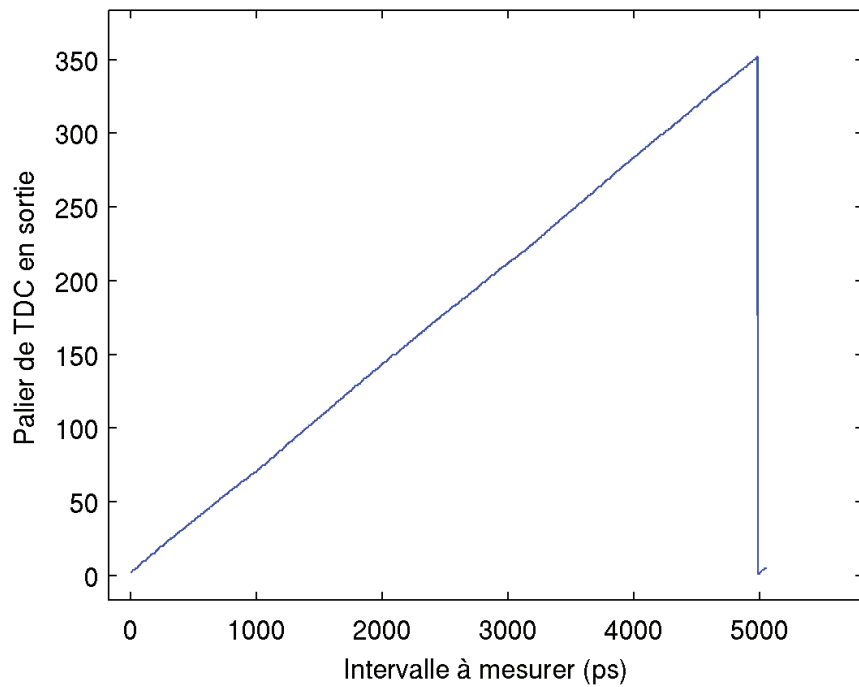


Figure 5.7 Fonction de transfert du TDC simulé.

5.1.4 Consommation

Le calcul de la consommation débute par la mesure de l'énergie utilisée par une conversion en simulation, tel que détaillé à l'équation 5.4, où E_i représente l'énergie consommée durant la conversion, t_0 l'instant où le signal de départ croise $VDD/2$ et t_1 l'instant où le signal indiquant la fin de conversion est actif et qu'un front montant d'horloge se présente. La puissance moyenne de la conversion correspond ensuite à l'énergie divisée par le temps de mesure correspondant (équation 5.5). La puissance moyenne simulée pour chaque intervalle en entrée fait l'objet de la figure 5.8. Il importe de noter que cette puissance inclut seulement la phase de conversion, du début de l'intervalle à mesurer jusqu'à la fin de la conversion. La remise à zéro et l'attente du prochain intervalle qui suivent la fin de la conversion diminueront la puissance moyenne réellement consommée. La moyenne sur toute la plage de codes de TDC est 4,5 mW pour une utilisation constante, soit plus de 11.1 millions de quantifications par seconde.

$$E(i) = V_{VDD} \times \int_{t_0(i)}^{t_1(i)} I_{VDD} dt \quad (5.4)$$

$$P_{Moyenne}(i) = \frac{E(i)}{(t_1(i) - t_0(i))} \quad (5.5)$$

5.1.5 Tableau résumé

Le tableau 5.3 reprend la comparaison des TDC du tableau 2.1 en y intégrant les performances du TDC actuel, facilitant ainsi la comparaison des performances.

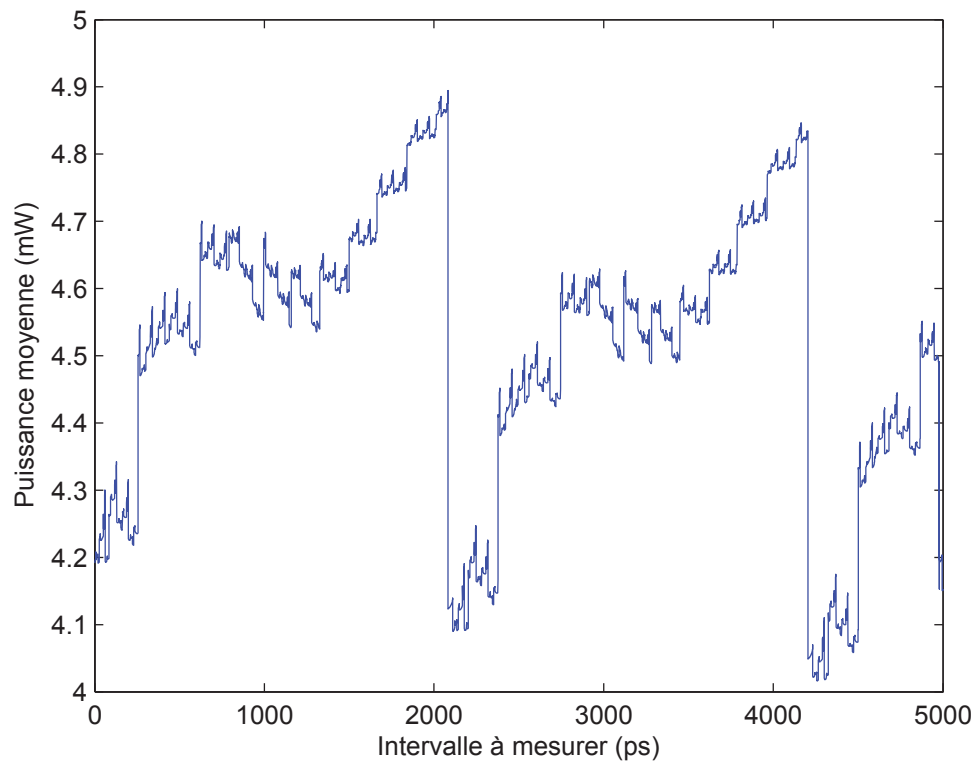


Figure 5.8 Puissance moyenne du TDC en fonction de l'intervalle à mesurer en entrée.

Tableau 5.3 Comparaison des performances du TDC actuel.

Réf.	Techno. nm	LSB ps	Précision	Aire mm ²	Puissance mW	F. conversion Méch./s	Simulé (S) Réalisé (R)	Architecture
[43]	250	200	4 LSB		30	0,025	S	TAC et ADC
[58]	500	312,5	90 ps	2,88	175	10	R	TAC et ADC
[3]	90 (FPGA)	312,5	DNL 0,3 LSB INL 0,65 LSB	-	85	66	R	TDL
[52]	500	30	-	0,527	-	-	S	TDL et VDL
[63]	130	31	DNL < 0,8 ps	0,15	1	500	R	TDL et VDL
[57]	130	1	-	0,041	21	50	R	VO
[6]	180	18,9	-	0,12	-	2	R	VO
[24]	90 (FPGA)	10	24 ps	-	-	44,64	R	VO
[37]	350	8,9	-	0,0264	2,37	3,125	R	2×VO et TA
[65]	130	8	< 1LSB ¹	0,2625	7,5	15	R	VRO
[64]	130	16,5	< 0,5LSB ²	0,16	4,5	15	R	VRO modifiée
Ce TDC ³	130	14,5	DNL 1LSB INL 2,2LSB	0,029	4,5	11.1	S	VRO
Ce TDC ³	130	31	DNL 2,15LSB INL 9,6LSB	0,029	-	-	R	VRO
Ce TDC ⁴	130	12,6	-	0,029	-	-	R	VRO

¹ Mesure de la dispersion pour 4 intervalles de temps fixes.

² Mesure de la dispersion pour 2 intervalles de temps fixes.

³ TDC intégré au circuit de détection.

⁴ TDC de test #0.

5.2 Discussion

La présente discussion débute en mettant en perspective les résultats obtenus tout en suggérant quelques avenues permettant d'améliorer les performances du circuit.

5.2.1 Résolution et précision

La résolution obtenue pour le TDC intégré au circuit de détection est moins bonne que ne le prévoyaient les simulations du circuit. Cette différence peut s'expliquer par une précision insuffisante de la simulation utilisée. Il semble que l'approche consistant à varier légèrement les tailles de transistors des éléments de délai est insuffisante pour garantir une résolution du TDC en mode vernier. Le recours à des tensions d'ajustement permet toutefois de compenser une partie des aléas de fabrication et d'obtenir un TDC dont la résolution de 12,6 ps satisfait le premier sous-objectif de la question de recherche. L'amélioration de la résolution à l'aide des tensions d'ajustement n'est limitée que par la granularité de leur ajustement de même que la profondeur des compteurs de tours intégrés au TDC.

Au niveau de la précision, les deux points d'amplitude plus importante dans la DNL simulée se sont avérés une fois le TDC réalisé. Les codes de TDC correspondants identifient deux cas où le mode oscillateur a effectué un nombre entier de tours complets et où le dépassement est détecté dans le premier palier de conversion en mode vernier. Ce palier de TDC a pour borne temporelle inférieure la coïncidence des signaux à l'entrée de l'arbitre du dépassement précoce et pour borne supérieure la coïncidence des signaux à l'arbitre #1, comme illustré à la figure 5.9. Lors du dessin des masques, l'arbitre du dépassement précoce n'a pas été disposé selon le précepte de copie-translation et dispose d'un routage différent par rapport aux autres arbitres du cœur du TDC. Une performance différente de l'arbitre de détection du dépassement précoce par rapport aux autres arbitres du cœur du TDC expliquerait les apex de la DNL.

Du côté de l'INL, les graphiques présentés correspondent à des valeurs non corrigées. La courbe de INL actuelle, avec des maximums à 9,6 LSB, nuit à la qualité de la numérisation en situant les bits de poids faibles sous l'incertitude de numérisation. L'implémentation d'une table de correspondance permettant d'attribuer une valeur temporelle à chaque code de TDC en fonction des données de caractérisation du TDC permettra d'améliorer la non-linéarité intégrale.

D'autres pistes de solution peuvent être explorées pour diminuer la variabilité des délais de propagation dans le cœur du TDC. À ce titre, l'ajout de circuits tampons directement dans

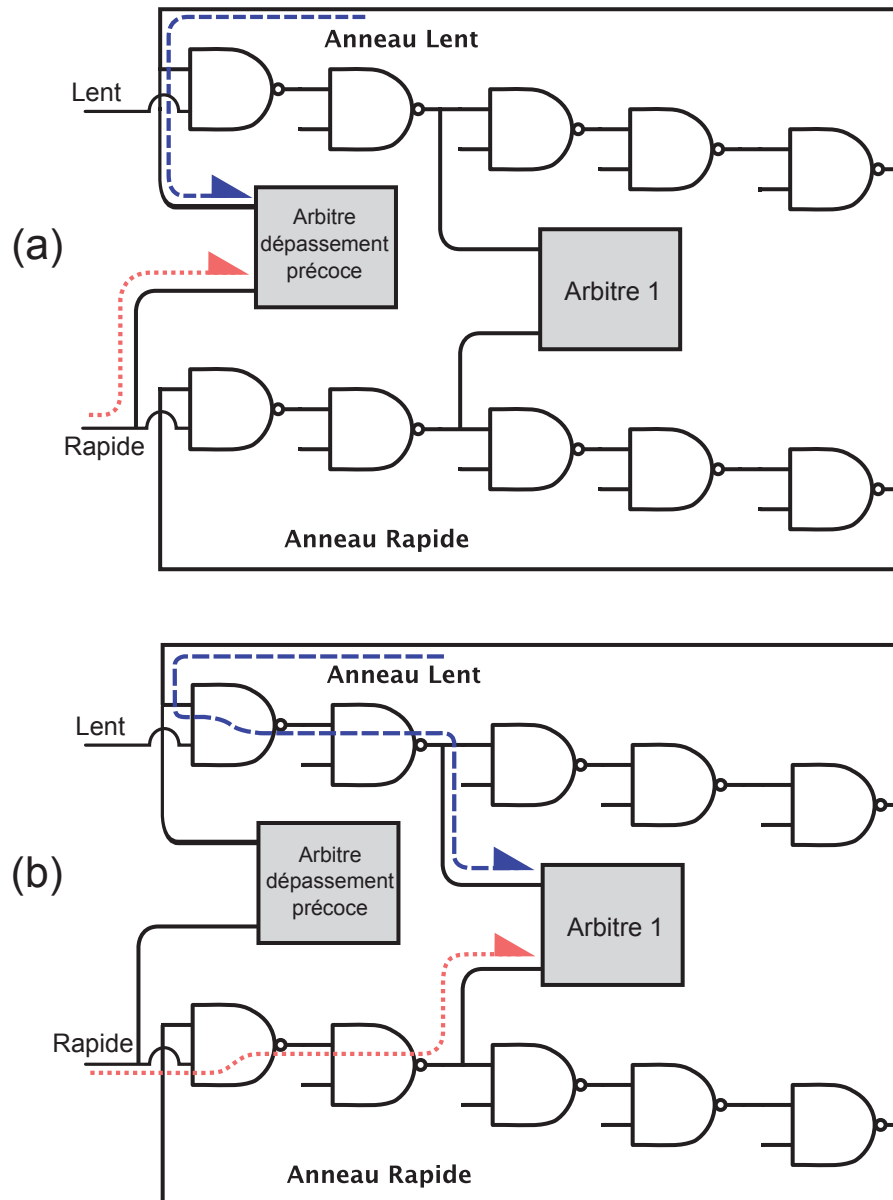


Figure 5.9 Bornes temporelles des paliers de TDC avec DNL élevé. La borne inférieure (a) correspond à une coïncidence à l'entrée de l'arbitre du dépassement précoce. La borne supérieure (b) correspond à une coïncidence au premier arbitre.

le cœur du TDC permettrait de découpler les parasites électriques associés au routage des signaux de l'oscillation des lignes à délai afin d'en faciliter l'appariement et permettant d'avoir une idée plus réaliste des capacités parasites du circuit au début du dessin des masques, avant l'intégration avec les autres sections. L'emplacement proposé des circuits tampons dans le cœur du circuit est présenté à la figure 5.10.

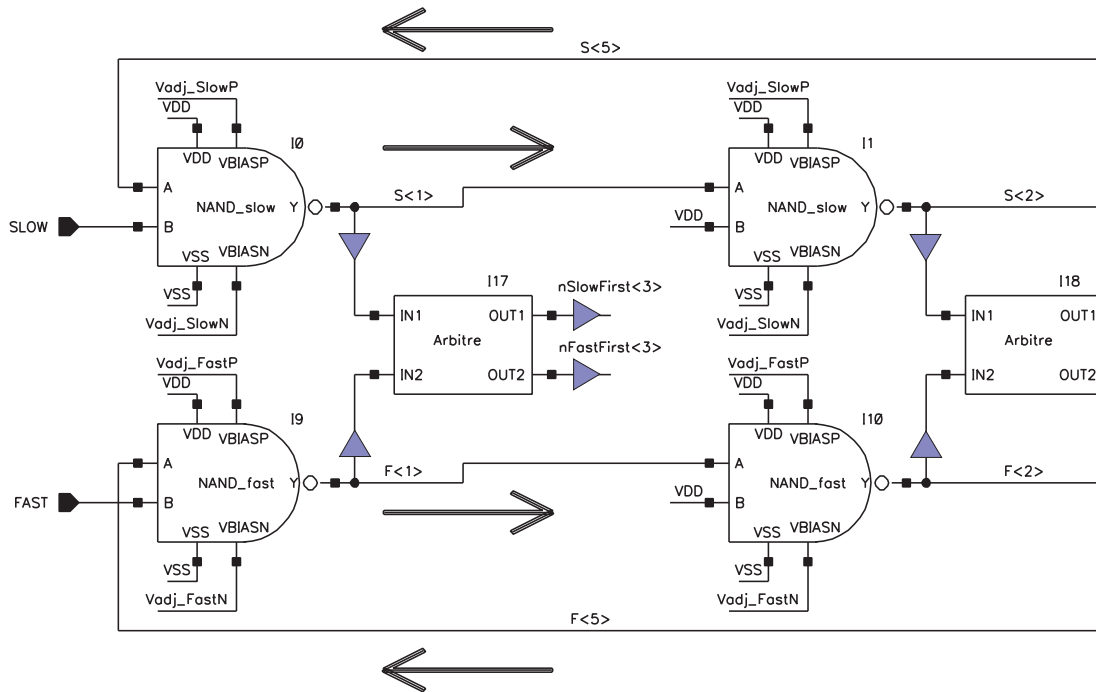


Figure 5.10 Cœur du TDC avec circuits tampons. Les circuits tampons (triangles bleu) permettent de découpler l'effet des parasites des traces reliant les NAND aux arbitres et aux machines d'état du décodage (non montrées).

5.2.2 Consommation

La consommation se compare difficilement avec le reste de l'état de l'art étant donné les multiples façons de la mesurer et le peu de détails à cet égard fournis dans les publications typiques. La conception de ce TDC n'a pas été élaborée dans une optique de réduction de la consommation. Toutefois, en vue d'une progression vers l'intégration d'un TDC par PAMP dans une version future du circuit, il est intéressant d'examiner les améliorations ayant un impact sur la consommation.

Premièrement, la réduction du nombre d'éléments de délai ou de leur taille permettrait de rapprocher les composantes du circuit, diminuant du même coup les capacités d'interconnexions et la consommation électrique de chaque transition. Un mécanisme d'ajustement embarqué intégré à chaque TDC pourrait compenser la réduction de l'effort d'appariement.

Deuxièmement, dans l'implémentation actuelle, un signal synchrone contrôle l'arrêt de l'oscillation de l'anneau une fois le dépassement détecté. Cette situation permet au cœur du TDC d'osciller pendant plusieurs nanosecondes inutilement avant de s'arrêter. Un changement dans la logique de contrôle pour la rendre totalement asynchrone permettrait rapidement de diminuer la consommation sans altérer les autres performances.

Finalement, une optimisation de la résolution en mode oscillateur pourrait également diminuer le nombre d'éléments de délai traversés par conversion et le temps de conversion. Ces changements permettent à leur tour de diminuer la sensibilité au bruit du TDC et la consommation électrique. Dans un TDC à oscillateur vernier en anneaux, l'intervalle à mesurer obtenant un temps de conversion maximale est invariablement situé juste sous le dernier multiple complet de la résolution en mode oscillateur, tel qu'exprimé à l'équation 5.6 où ϵ représente un temps infinitésimal et a , un intervalle de temps à mesurer.

$$a_{\text{Conversion la plus longue}} = \left\lfloor \frac{\text{Plage}}{t_{\text{ResOsc}}} \right\rfloor \times t_{\text{ResOsc}} - \epsilon \quad (5.6)$$

Il est alors possible de calculer le nombre d'incrément du mode oscillateur en utilisant l'équation 5.7.

$$N_{\text{ToursOsc}} = \left\lfloor \frac{a}{t_{\text{ResOsc}}} \right\rfloor \quad (5.7)$$

Le résidu à quantifier en mode vernier de même que le nombre d'incrément du mode vernier s'obtiennent à l'aide des équations 5.8 et 5.9

$$T_{\text{Vernier}} = a - N_{\text{ToursOsc}} \times t_{\text{ResOsc}} \quad (5.8)$$

$$N_{\text{DélaiVer}} = \left\lfloor \frac{T_{\text{Vernier}}}{t_{\text{ResVer}}} \right\rfloor \quad (5.9)$$

Le nombre d'éléments de délai traversés est ensuite obtenu par l'équation 5.10

$$N_{\text{Él. Traversés}} = N_{\text{ToursOsc}} \times N_{\text{Él./ToursOsc}} + N_{\text{DélaiVer}} \times N_{\text{Él./DélaiVer}} \quad (5.10)$$

En combinant les paramètres énoncés dans l'objectif de recherche, soit une résolution vernier de 20 ps et une plage dynamique de 5 ns, aux choix architecturaux du TDC actuel, soit 10 éléments de délai traversés par tours en mode oscillateur et 2 éléments par comparateur vernier, un inconnu reste : la résolution du mode oscillateur. Les équations permettent toutefois de tracer la figure 5.11. Le minimum de cette courbe, correspondant au temps

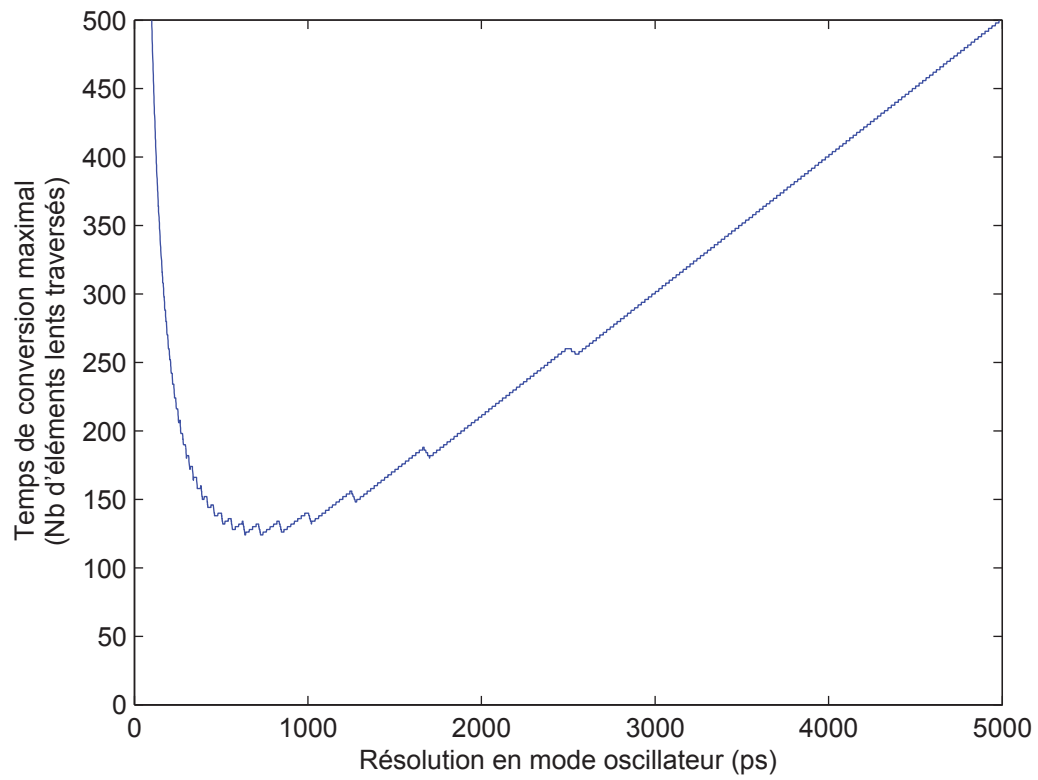


Figure 5.11 Temps de conversion maximal d'un TDC à oscillateurs vernier en fonction de la résolution en mode oscillateur. La résolution en mode vernier est fixée à 20 ps.

de conversion minimal, suggère une résolution en mode oscillateur d'environ 730 ps pour y arriver. Le TDC serait donc composé d'éléments de délai lents traversés en 73 ps et d'éléments de délai rapides traversés en 63 ps. En comparaison avec les éléments de délai à 200 ps du TDC actuel, la conversion la plus longue passe de 60,4 ns à 9,1 ns, soit une diminution d'un facteur 6,7 du temps de conversion maximal. Bien entendu, ces changements ont également un effet à la hausse sur la fréquence d'oscillation de l'anneau, des arbitres et des compteurs qui augmente la puissance consommée. Il est toutefois difficile de chiffrer cette hausse de puissance consommée sans développer et simuler ces circuits. De plus, d'après les résultats de simulation présentés à la figure 4.5, la largeur de grille nécessaire avoisine $1,4 \times L_{min}$, avant la prise en compte des capacités parasites du nœud. Cette situation ne concorde pas avec une stratégie d'appariement actuelle basée sur la maximisation de l'aire des transistors du cœur du TDC, un changement de stratégie est donc nécessaire.

À titre de second exemple, un éventuel TDC à oscillateur vernier possédant un seul élément de délai rapide et un seul élément de délai lent, une sensibilité sur les deux fronts, une plage dynamique de 5 ns et visant une résolution en mode vernier de 1 ps arborera le temps de conversion maximal le plus faible si son élément de délai lent se traverse en 71 ps et l'élément de délai rapide en 70 ps. Une différence de temps de propagation constante de 1 ps nécessiterais fort probablement un mécanisme local d'ajustement des délais. Dans ce cas, le délai de conversion maximal devrait avoisiner les 9,9 ns, pour une résolution de mesure grandement supérieure.

5.2.3 Taille du circuit

Parmi les architectures recensées au tableau 5.3, le TDC conçu arrive deuxième au chapitre de la taille. Les techniques à explorer pour minimiser la taille du circuit sans changer l'architecture consistent à router les signaux au-dessus des circuits au lieu d'opter pour des bus comme le design actuel ou encore revoir les techniques d'appariement pour diminuer la taille des circuits factices. Ces changements ne peuvent toutefois être réalisés sans prendre en compte leur influence sur la précision de la mesure. En conservant seule une sensibilité aux fronts montants pour les arbitres, les éléments de délai peuvent être modifiés pour n'avoir qu'un NMOS d'ajustement, les PMOS d'ajustement occupant 4 fois plus d'espace.

5.2.4 Résumé

Le circuit réalisé répond aux objectifs édictés dans la question de recherche, tant au niveau de la résolution, de la fréquence de conversion que de la plage dynamique. Quelques faiblesses sont toutefois à noter au niveau de la précision de la mesure. La démarche d'analyse a permis d'identifier plusieurs pistes pour améliorer le circuit au niveau de la précision, de la consommation et de la taille du circuit.

CHAPITRE 6

CONCLUSION

Les travaux présentés dans ce mémoire décrivent la conception ayant mené à la soumission pour fabrication d'un convertisseur temps-numérique dans une technologie CMOS 130 nm. L'atteinte de l'objectif d'une résolution de mesure de 20 ps a été validée en simulation et sur un exemplaire fabriqué du TDC. Les objectifs d'un temps mort maximal de 100 ns et d'une plage dynamique de 5 ns a été démontrée par simulation. Malheureusement, la résolution du circuit fabriqué intégré à chaque pixel s'avère inférieure aux attentes. Des données préliminaires sur des TDC de test démontrent toutefois que l'objectif de résolution est facilement atteignable par l'ajout de tensions d'ajustement.

L'introduction a détaillé la mise en contexte de la problématique requérant la conception d'un TDC en circuit intégré dans le cadre du développement d'un système de photodétection avec estampille temporelle basé sur des photodiodes avalanches opérées en mode Geiger.

Au chapitre 2, une revue de l'état de l'art a identifié des applications possibles en détection monophotonique telles la caméra 3D, la tomographie optique diffuse et la tomographie d'émission par positrons avant de faire un survol des architectures de circuits de convertisseurs temps-numérique. La comparaison de ces diverses architectures a permis de cerner l'architecture numérique de TDC à oscillateur en anneaux comme étant la plus prometteuse pour atteindre la résolution et précision de mesure nécessaires tout en respectant le temps mort maximal et la plage dynamique de mesure.

Le chapitre 3 présente un survol des outils méthodologique utilisé tout au long de la conception et de la vérification du circuit du TDC. Une variété de méthodes s'inscrivant toutes sous le joug d'un développement de circuits intégrés en signaux mixtes avec suprématie du numérique ont permis la conception du circuit. Plusieurs stratégies d'appariement des composantes au niveau du dessin des masques ont été détaillées. Une stratégie de vérification logicielle ayant recours au langage de description matérielle Verilog-A de même que la création d'un modèle fonctionnel VHDL pour la vérification fonctionnelle de haut niveau ont été décrites.

Les détails de l'architecture et la conception du circuit du convertisseur temps-numérique sont détaillés au chapitre 4. Le cœur du TDC est l'élément central contenant les éléments

de délais NAND configurés en deux boucles dont les délais sont légèrement différents reliées par des circuits d'arbitres. L'appariement de ces composantes est primordial en vue d'assurer une bonne précision de mesure. Avant de se rendre au cœur du TDC, les signaux sont validés par la logique d'entrée. Un module de détection du dépassement lit les sorties des arbitres, détecte la fin de la conversion et en sauvegarde l'état. Des compteurs de tours suivent la progression des signaux dans les structures oscillantes avant de fournir leurs valeurs à la logique de lecture qui produit une estampille de sortie compressée. Afin d'augmenter la plage de mesure, un compteur macro doté de 19 bits est mis en lumière.

Les structures de test permettant de déboguer le TDC et de caractériser les éléments de délais critiques ont été incluses dans le circuit intégré. Finalement, l'ensemble du circuit intégré est supporté par un PCB hôte doté d'une multitude de fonctionnalités essentielles. L'interface électrique y est composée de microcâblages.

Les indices de performance du TDC simulé dont sa résolution de 14,5 ps, son DNL de 1 LSB, son INL de 2,2 LSB, sa fréquence de conversion de 11,1 Méch./s, sa plage dynamique de 5 ns, sa puissance moyenne consommée de 4,5 mW et sa taille d'environ 0,029 mm² sont présentés et discutés au chapitre 5. Un exemplaire fabriqué de TDC intégré à la matrice de détection arbore une résolution de 31 ps, un DNL de 2,15 LSB et un INL de 9,6 LSB, tandis qu'un exemplaire de TDC doté de tensions d'ajustement externe a permis d'obtenir une résolution de 12,6 ps.

La discussion sur la résolution et la précision de mesure suggère l'ajout de circuits tampons permettant ainsi de découpler les capacités parasites des longues traces de la propagation des signaux du cœur du TDC et l'intégration locale d'un circuit configurable d'ajustement de la résolution. Du côté de la consommation, une diminution du nombre d'éléments oscillateurs permettrait de diminuer les capacités d'interconnexion et donc une partie de la consommation. Un gain substantiel pourrait toutefois être fait en modifiant la logique de contrôle du cœur du TDC et en révisant le choix de la résolution en mode oscillateur. Finalement, concernant la taille du circuit, quelques changements dans la stratégie de dessin des masques permettraient de diminuer la consommation spatiale.

En somme, ces travaux de recherche auront permis au GRAMS d'explorer l'architecture en oscillateur vernier avec anneaux des convertisseurs temps-numérique afin d'en faire ressortir plus clairement les avantages, les inconvénients et les écueils à surveiller pour la conception d'une prochaine version. Le TDC a permis de valider l'architecture du système de détection et de lecture des PAMP appliqué à la TEP. Les travaux s'inscrivent donc

dans une étape intermédiaire avant l'intégration d'un TDC par PAMP dans les matrices de photodétection.

Ainsi, les travaux de recherches futurs devront, non seulement, se concentrer sur la réalisation d'un TDC encore plus précis, mais également sur l'intégration d'un TDC par PAMP afin de répondre aux besoins spécifiques de la caméra 3D ou d'une matrice de caractérisation de cristaux scintillateurs pour la TEP. Étant donné la densité actuelle de 400 photodétecteurs par mm^2 , il est inconcevable de caractériser et de calibrer manuellement des TDC aussi nombreux. Un prochain circuit intégré avec un TDC par PAMP devra comprendre un système de caractérisation des délais et de calibration. À ce titre, la conception d'une boucle à verrouillage de phase (PLL) toute numérique est probablement la solution permettant de mettre le plus à profit les caractéristiques des nœuds technologiques avancés et la configuration en oscillateur vernier du TDC.

LISTE DES RÉFÉRENCES

- [1] Ajane, A., Furth, P., Johnson, E. et Subramanyam, R. (2011). Comparison of binary and LFSR counters and efficient LFSR decoding algorithm. Dans *IEEE International Midwest Symposium on Circuits and Systems*. IEEE, p. 1–4.
- [2] Albota, M., Heinrichs, R., Kocher, D., Fouche, D., Player, B., OBrien, M., Aull, B., Zayhowski, J., Mooney, J., Willard, B. et Carlson, R. (2002). Three-dimensional imaging laser radar with a photon-counting avalanche photodiode array and microchip laser. *Applied Optics*, volume 41, numéro 36, p. 7671–7678.
- [3] Arpin, L., Bergeron, M., Tétrault, M., Lecomte, R. et Fontaine, R. (2010). A sub-nanosecond time interval detection system using FPGA embedded I/O resources. *IEEE Transactions on Nuclear Science*, volume 57, numéro 2, p. 519–524.
- [4] Becker, W. (2005). *Advanced Time-Correlated Single Photon Counting Techniques*. Springer-Verlag, Berlin, Allemagne, 401 p.
- [5] Becker, W. (2010). *The bh TCSPC handbook*, 4^e édition. Becker & Hickl GmbH, 554 p.
- [6] Chan, A. et Roberts, G. (2004). A jitter characterization system using a component-invariant vernier delay line. *IEEE Transactions on Very Large Scale Integration Systems*, volume 12, numéro 1, p. 79–95.
- [7] Chandrakasan, A., Sheng, S. et Brodersen, R. (1992). Low-power CMOS digital design. *IEEE Journal of Solid-State Circuits*, volume 27, numéro 4, p. 473–484.
- [8] Charbon, E. (2011). Fully integrated single-photon image sensors : The MEGAFRAME and SPADnet projects. Dans CERN, *8th International Meeting on Front-End Electronics*. <http://indico.cern.ch/getFile.py/access?contribId=29&sessionId=2&resId=0&materialId=slides&confId=122027> (page consultée le 22 juillet 2012).
- [9] Chen, J. (2012). *Overview of Mixed-Signal Design Methodologies*. Cadence Design Systems, San Jose, États-Unis, 408 p.
- [10] Cherry, S. R., Sorenson, J. A. et Phelps, M. E. (2003). *Physics in Nuclear Medicine*, 3^e édition. Saunders, Philadelphia, États-Unis, 523 p.
- [11] Christiansen, J. (2011). TDC architectures in ASIC's. Dans CERN, *8th International Meeting on Front-End Electronics*. <http://indico.cern.ch/getFile.py/access?contribId=24&sessionId=11&resId=0&materialId=slides&confId=122027> (page consultée le 3 juin 2012).
- [12] Cova, S., Ghioni, M., Lacaita, A., Samori, C. et Zappa, F. (1996). Avalanche photodiodes and quenching circuits for single-photon detection. *Applied Optics*, volume 35, numéro 12, p. 1956–1976.

- [13] Cova, S., Ghioni, M., Zappa, F., Gulinatti, A., Rech, I. et Tosi, A. (2010). Single photon counting detectors in action : Retrospect and prospect. Dans *Annual Meeting of the IEEE Photonics Society*. p. 177–178.
- [14] Doernberg, J., Lee, H.-S. et Hodges, D. A. (1984). Full-speed testing of A/D converters. *IEEE Journal of Solid-State Circuits*, volume 19, numéro 6, p. 820–827.
- [15] Dudek, P., Szczepanski, S. et Hatfield, J. (2000). A high-resolution CMOS time-to-digital converter utilizing a vernier delay line. *IEEE Journal of Solid-State Circuits*, volume 35, numéro 2, p. 240–247.
- [16] Fishburn, M. W. et Charbon, E. (2012). Time-to-digital converters for PET : An examination of metrology aspects. Dans *IEEE Nuclear Science Symposium and Medical Imaging Conference*. p. 839–840.
- [17] Fontaine, R., Belanger, F., Viscogliosi, N., Semmaoui, H., Tetrault, M.-A., Michaud, J.-B., Pepin, C., Cadorette, J. et Lecomte, R. (2009). The hardware and signal processing architecture of LabPET™, a small animal APD-based digital PET scanner. *IEEE Transactions on Nuclear Science*, volume 56, numéro 1, p. 3–9.
- [18] Gao, W., Gao, D., Hu-Guo, C. et Hu, Y. (2011). Integrated high-resolution multi-channel time-to-digital converters (TDCs) for pet imaging. Dans Laskovski, A. N., *Biomedical Engineering, Trends in Electronics, Communications and Software*. In-tech, Rijeka, Croatia, p. 295–316.
- [19] Gersbach, M. (2009). *Single-photon detector arrays for time-resolved fluorescence imaging*. Thèse de doctorat, ÉCOLE POLYTECHNIQUE FÉDÉRALE DE LAUSANNE.
- [20] Gibson, A., Hebden, J. et Arridge, S. (2005). Recent advances in diffuse optical imaging. *Physics in Medicine and Biology*, volume 50, p. R1–R43.
- [21] Hamamatsu Photonics (2007). Photomultiplier tubes, basics and applications. Dans Hamamatsu Photonics, *Hamamatsu Photonics*. http://sales.hamamatsu.com/assets/pdf/catsandguides/PMT_handbook_v3aE.pdf (page consultée le 3 avril 2012).
- [22] Hawkes, R., Lucas, A., Stevick, J., Llosa, G., Marcatili, S., Piemonte, C., Del Guerra, A. et Carpenter, T. (2007). Silicon photomultiplier performance tests in magnetic resonance pulsed fields. Dans *IEEE Nuclear Science Symposium Conference Record*. volume 5. p. 3400–3403.
- [23] Henzler, S. (2010). *Time-to-digital Converters, volume 29*. Springer, 123 p.
- [24] Junnarkar, S., O’Connor, P., Vaska, P. et Fontaine, R. (2009). FPGA-based self-calibrating time-to-digital converter for time-of-flight experiments. *IEEE Transactions on Nuclear Science*, volume 56, numéro 4, p. 2374–2379.
- [25] Kalisz, J. (2004). Review of methods for time interval measurements with picosecond resolution. *Metrologia*, volume 41, p. 17–32.

- [26] Kanoun, M., Berube-Lauziere, Y. et Fontaine, R. (2008). High precision time-to-amplitude converter for diffuse optical tomography applications. Dans *International Conference on Design and Technology of Integrated Systems in Nanoscale Era*. p. 1–4.
- [27] Karnane, K. et Balasubramanian, S. (2010). Solutions for mixed-signal SoC verification. Dans Cadence Design Systems, *Cadence Design Systems*. http://www.cadence.com/rl/Resources/white_papers/ms_soc_verification_wp.pdf (page consultée le 6 décembre 2012).
- [28] Kinget, P. (2005). Device mismatch and tradeoffs in the design of analog circuits. *IEEE Journal of Solid-State Circuits*, volume 40, numéro 6, p. 1212–1224.
- [29] Kume, H., Koyama, K., Nakatsugawa, K., Suzuki, S. et Fatlowitz, D. (1988). Ultrafast microchannel plate photomultipliers. *Applied Optics*, volume 27, numéro 6, p. 1170–1178.
- [30] Kundert, K., Chang, H., Jefferies, D., Lamant, G., Malavasi, E. et Sendig, F. (2000). Design of mixed-signal systems-on-a-chip. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, volume 19, numéro 12, p. 1561–1571.
- [31] Lapointe, E., Pichette, J. et Bérubé-Lauzière, Y. (2012). A multi-view time-domain non-contact diffuse optical tomography scanner with dual wavelength detection for intrinsic and fluorescence small animal imaging. *Review of Scientific Instruments*, volume 83, numéro 6, p. 1–14.
- [32] Large Synoptic Survey Telescope (2007). *The New Sky*. <http://www.lsst.org/lsst/> (page consultée le 21 mai 2013).
- [33] Lecoq, P., Auffray, E., Brunner, S., Hillemanns, H., Jarron, P., Knapitsch, A., Meyer, T. et Powolny, F. (2010). Factors influencing time resolution of scintillators and ways to improve them. *IEEE Transactions on Nuclear Science*, volume 57, numéro 5, p. 2411–2416.
- [34] Lee, M. et Abidi, A. (2008). A 9 b, 1.25 ps resolution coarse–fine time-to-digital converter in 90 nm CMOS that amplifies a time residue. *IEEE Journal of Solid-State Circuits*, volume 43, numéro 4, p. 769–777.
- [35] Lewellen, T. K. (2008). Recent developments in PET detector technology. *Physics in Medicine and Biology*, volume 53, numéro 17, p. R287–R317.
- [36] Liu, Y., Vollenbruch, U., Chen, Y., Wicpalek, C., Maurer, L., Mayer, T., Boos, Z. et Weigel, R. (2008). A 6ps resolution pulse shrinking time-to-digital converter as phase detector in multi-mode transceiver. Dans *IEEE Radio and Wireless Symposium*. p. 163–166.
- [37] Mandai, S. et Charbon, E. (2011). A 128-channel, 9ps column-parallel two-stage TDC based on time difference amplification for time-resolved imaging. Dans *Proceedings of the ESSCIRC*, IEEE. p. 119–122.
- [38] Maxim Integrated Products (06 2003). <http://www.maxim-ic.com/app-notes/index.mvp/id/2085> (page consultée le 25 février 2012).

- [39] Maxim Integrated Products (2005). Random noise contribution to timing jitter – theory and practice. Dans Maxim Integrated Products, *Maxim Integrated Products*. <http://pdfserv.maxim-ic.com/en/an/AN3631.pdf> (page consultée le 11 avril 2012).
- [40] Moses, W. (2003). Time of flight in PET revisited. *IEEE Transactions on Nuclear Science*, volume 50, numéro 5, p. 1325–1330.
- [41] Moses, W. W., Janecek, M., Spurrier, M. A., Szupryczynski, P., Choong, W.-S., Melcher, C. L. et Andreaco, M. (2010). Optimization of a LSO-based detector module for time-of-flight PET. *IEEE Transactions on Nuclear Science*, volume 57, numéro 3, p. 1570–1576.
- [42] Moses, W. W. et Ullisch, M. (2006). Factors influencing timing resolution in a commercial LSO PET camera. *IEEE Transactions on Nuclear Science*, volume 53, numéro 1, p. 78–85.
- [43] Napolitano, P., Alimenti, F. et Carbone, P. (2010). A novel sample-and-hold-based time-to-digital converter architecture. *IEEE Transactions on Instrumentation and Measurement*, volume 59, numéro 5, p. 1019–1026.
- [44] Newman, M. E. (mai 2007). *Fiftieth Anniversary of First Digital Image Marked*. http://www.nist.gov/public_affairs/releases/image_052407.cfm (page consultée le 20 mai 2013).
- [45] Niclass, C. (2008). *Single-photon image sensors in CMOS : picosecond resolution for three-dimensional imaging*. Thèse de doctorat, École Polytechnique Fédérale de Lausanne, Lausanne, Suisse, 262 p.
- [46] Niclass, C., Favi, C., Kluter, T., Gersbach, M. et Charbon, E. (2008). A 128×128 single-photon image sensor with column-level 10-bit time-to-digital converter array. *IEEE Journal of Solid-State Circuits*, volume 43, numéro 12, p. 2977–2989.
- [47] Niclass, C., Rochas, A., Besse, P.-A. et Charbon, E. (2005). Design and characterization of a CMOS 3-D image sensor based on single photon avalanche diodes. *IEEE Journal of Solid-State Circuits*, volume 40, numéro 9, p. 1847–1854.
- [48] Pelgrom, M., Duinmaijer, A. et Welbers, A. (1989). Matching properties of MOS transistors. *IEEE Journal of Solid-State Circuits*, volume 24, numéro 5, p. 1433–1439.
- [49] Pelgrom, M. J. (2010). *Analog-to-Digital Conversion*, 1^{re} édition. Springer, 455 p.
- [50] Photonics, H. (2009). MCP & MCP assembly selection guide. Dans Photonics, H., *Hamamatsu Photonics*. http://sales.hamamatsu.com/assets/pdf/catsandguides/MCPassy_TMCP0001E08.pdf (page consultée le 17 juillet 2012).
- [51] Porat, D. (1973). Review of sub-nanosecond time-interval measurements. *IEEE Transactions on Nuclear Science*, volume 20, numéro 5, p. 36–51.

- [52] Ramakrishnan, V. et Balsara, P. (2006). A wide-range, high-resolution, compact, CMOS time to digital converter. Dans *International Conference on VLSI Design*. p. 1–6.
- [53] Schooley, J. (octobre 2010). *NIST Culture of Excellence Article #4*. <http://www.nist.gov/director/saa/nist-culture-of-excellence-article-4.cfm> (page consultée le 20 mai 2013).
- [54] Seitz, P. et Theuwissen, A. (2011). *Single-Photon Imaging*. Springer-Verlag, Berlin, Allemagne, 351 p.
- [55] Shao, Y. (2007). A new timing model for calculating the intrinsic timing resolution of a scintillator detector. *Physics in Medicine and Biology*, volume 52, p. 1103–1117.
- [56] Stoppa, D., Borghetti, F., Richardson, J., Walker, R., Henderson, R. K., Gersbach, M. et Charbon, E. (2011). Ultra compact and low-power TDC and TAC architectures for highly-parallel implementation in time-resolved image sensors. Dans *International Workshop on ADC Modeling, Testing and Data Converter Analysis and Design*. p. 1–5.
- [57] Straayer, M. et Perrott, M. (2009). A multi-path gated ring oscillator TDC with first-order noise shaping. *IEEE Journal of Solid-State Circuits*, volume 44, numéro 4, p. 1089–1098.
- [58] Swann, B., Blalock, B., Clonts, L., Binkley, D., Rochelle, J., Breeding, E. et Baldwin, K. (2004). A 100-ps time-resolution CMOS time-to-digital converter for positron emission tomography imaging applications. *IEEE Journal of Solid-State Circuits*, volume 39, numéro 11, p. 1839–1852.
- [59] Tisa, S., Guerrieri, F. et Zappa, F. (2008). Variable-load quenching circuit for single-photon avalanche diodes. *Optics express*, volume 16, numéro 3, p. 2232–2244.
- [60] Tisa, S., Zappa, F., Tosi, A. et Cova, S. (2007). Electronics for single photon avalanche diode arrays. *Sensors and Actuators A : Physical*, volume 140, numéro 1, p. 113–122.
- [61] Wallace, A., Buller, G. et Walker, A. (2001). 3D imaging and ranging by time-correlated single photon counting. *Computing & Control Engineering Journal*, volume 12, numéro 4, p. 157–168.
- [62] Yarema, R., Christian, D., Demarteau, M., Deptuch, G. Hoff, J., Lipton, R., Shenai, A., Trimpl, M. et Zimmerman, T. (2008). 3D IC pixel electronics-the next challenge. Dans *Topical Workshop on Electronics for Particle Physics*. CERN, p. 1–5.
- [63] Yousif, A. et Haslett, J. (2007). A fine resolution TDC architecture for next generation PET imaging. *IEEE Transactions on Nuclear Science*, volume 54, numéro 5, p. 1574–1582.
- [64] Yu, J. et Dai, F. (2010). A 3-dimensional vernier ring time-to-digital converter in 0.13 μm CMOS. Dans *IEEE Custom Integrated Circuits Conference*. p. 1–4.

- [65] Yu, J., Dai, F. et Jaeger, R. (2010). A 12-bit vernier ring time-to-digital converter in $0.13\ \mu\text{m}$ CMOS technology. *IEEE Journal of Solid-State Circuits*, volume 45, numéro 4, p. 830–842.
- [66] Zappa, F., Tisa, S., Tosi, A. et Cova, S. (2007). Principles and features of single-photon avalanche diode arrays. *Sensors and Actuators A : Physical*, volume 140, numéro 1, p. 103–112.
- [67] Zhao, H., Gao, F., Tanikawa, Y. et Yamada, Y. (2007). Time-resolved diffuse optical tomography and its application to in vitro and in vivo imaging. *Journal of Biomedical Optics*, volume 12, p. 1–13.

