

Fabrication de transistors mono-électroniques en silicium pour le traitement classique et quantique de l'information : une approche nanodamascène

par

Patrick Harvey-Collard

Mémoire présenté au département de physique
en vue de l'obtention du grade de Maître ès Sciences (M.Sc.)

FACULTÉ DES SCIENCES
UNIVERSITÉ DE SHERBROOKE

Sherbrooke, Québec, Canada, 30 avril 2013



Library and Archives
Canada

Published Heritage
Branch

395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque et
Archives Canada

Direction du
Patrimoine de l'édition

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

ISBN: 978-0-494-95138-5

Our file Notre référence

ISBN: 978-0-494-95138-5

NOTICE:

The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

AVIS:

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protègent cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

Canada

Le 30 avril 2013

*le jury a accepté le mémoire de Monsieur Patrick Harvey-Collard
dans sa version finale.*

Membres du jury

Professeur Michel Pioro-Ladrière
Directeur de recherche
Département de physique

Professeur Dominique Drouin
Codirecteur de recherche
Département de physique

Professeur René Côté
Évaluateur interne
Département de physique

Professeur René Côté
Président rapporteur
Département de physique

À Robert Lacroix dit « Boris »

Sommaire

Les transistors mono-électroniques (SETs) sont des dispositifs ayant un grand potentiel d'applications, comme la détection de charge ultra-sensible, la logique à basse consommation de puissance, la mémoire ou la métrologie. De plus, la possibilité de piéger un seul électron et de manipuler son état de spin pourrait permettre des applications en informatique quantique. Le silicium est un matériau intéressant pour fabriquer l'îlot d'un SET. Son gap semi-conducteur permet le fonctionnement du dispositif dans le régime à un seul électron ou trou et pourrait permettre d'étendre la plage d'opération du SET en température en augmentant l'énergie d'addition du diamant central de la valeur du gap. En outre, le silicium bénéficie de plus de quarante années d'expertise en microfabrication et d'une compatibilité avec la technologie métal-oxyde-semi-conducteur complémentaire (CMOS). Cependant, la fabrication de ces dispositifs fait face à de sérieuses limitations à cause de la taille nanométrique requise pour l'îlot. À ce jour, les procédés de fabrication proposés permettant l'opération à la température ambiante sont trop peu reproductibles pour permettre des applications à grande échelle.

Dans ce mémoire de maîtrise, la fabrication de transistors mono-électroniques en silicium (Si-SETs) pour le traitement classique et quantique de l'information est réalisée avec un procédé nanodamascène. Le polissage chimico-mécanique (CMP) est introduit comme étape clef de la fabrication du transistor, permettant le contrôle au nanomètre près (nanodamascène) de l'épaisseur du transistor. Cet outil permet la fabrication de dispositifs ayant une géométrie auparavant impossible à réaliser et ouvre la porte à l'innovation technologique. De plus, un procédé de gravure du silicium par plasma à couplage inductif (ICP) est développé pour permettre la fabrication de nanostructures de silicium sur une nanotopographie alliant le nano et le 3D.

Les Si-SETs fabriqués sont caractérisés à basse température et démontrent du blocage de Coulomb avec une énergie de charge de plus de 100 meV, soit quatre fois la température ambiante. De plus, le régime à un seul électron et les effets quantiques du confinement

dans ce régime sont observés. Pour la première fois, le gap complet du silicium et les premiers diamants sont mesurés sur un dispositif fabriqué avec un procédé reproductible et industrialisable. Le diamant central voit son énergie d'addition augmentée de la valeur du gap du silicium, pour un total de plus de 1200 meV, soit 46 fois la température ambiante. Cette caractéristique pourrait ouvrir la porte à des applications en logique basse puissance dans un mode de transport à plusieurs électrons laissant circuler dix fois plus de courant dans l'état ouvert, tout en conservant le bas courant dans l'état fermé d'un SET.

Mots clefs : transistor mono-électronique, silicium, opération à température ambiante, logique basse puissance, informatique quantique, nanoélectronique, polissage chimico-mécanique, gravure plasma, nanofabrication.

Remerciements

Cette maîtrise d'une durée plus longue que la moyenne fut rendue possible et plus agréable par de nombreuses personnes.

D'abord, j'aimerais remercier mes superviseurs, Michel et Dominique, pour m'avoir permis de m'engager dans ce projet un peu trop gros et de m'y accrocher désespérément en quête de résultats. Ce fut très amusant de supporter les « tu n'as pas encore fini ??? » avec votre appui. Michel, tes encouragements, ton support attentionné pour les demandes de bourses et tes conseils furent très appréciés.

Ensuite, j'aimerais remercier mes parents, qui, en plus d'un appui inconditionnel envers mes choix, se classent au rang numéro un de mes organismes subventionnaires. J'aimerais remercier ma copine, Chloé, dont la compagnie a su rendre toutes ces heures d'études et de loisirs infiniment plus agréables.

Puis, j'aimerais remercier mes collègues de travail, dont la contribution directe ou indirecte à ce projet fut essentielle. D'abord, l'équipe de recherche de Dominique (Marc, Gabriel, Damien, Bruno, Jean-François, Frédéric, Christian, Aurélie) et en particulier Jean-Philippe pour sa contribution initiale au projet, Serge pour le polissage et Nicolas pour nous donner l'occasion de redessiner notre photomasque en toute hâte. Ensuite, l'équipe de Michel (Anton, Chloé, Julien) pour le travail sur les montages à basse température. Puis, l'équipe technique du Centre de Recherche en Nanofabrication et en Nanocaractérisation (CRN2) et des salles propres de physique, qui maintient l'opération des salles blanches et s'occupe des demandes de service. En particulier, Christian pour ses discussions sur les plasmas et son support au cours des dernières étapes de fabrication.

Finalement, j'aimerais remercier mes collègues de bureau, amis et occupants de « The House », qui savent si bien meubler les moments de distraction et en créer, et pour les soirées de bière, les journées de ski, l'escalade, le parapente, et toutes ces autres activités loin des salles blanches et de l'hélium liquide.

Table des matières

Sommaire	vii
Table des matières	xi
Liste des tableaux	xv
Liste des figures	xvii
Liste des acronymes	xxi
Introduction	1
L'informatique classique et l'ère post-CMOS	1
Les transistors mono-électroniques	2
Le blocage de Coulomb	2
Les dispositifs mono-électroniques	6
L'informatique quantique	8
Les boîtes quantiques	9
Les qubits de spin	11
La cohérence et le contrôle quantique	12
Réalizations de SETs et QDs en silicium	13
Description du projet et objectifs	17
Contexte	17
Objectifs	18
Approche	18
Méthode	18
Importance de la recherche	19

1	Théorie	21
1.1	Théorie orthodoxe du blocage de Coulomb	21
1.1.1	L'énergie électrostatique	22
1.1.2	Approximations de la théorie orthodoxe	22
1.1.3	Hamiltonien tunnel	23
1.1.4	Équation maîtresse	25
1.1.5	Diamants de Coulomb et spectroscopie	25
1.2	Modélisation de la capacité	27
1.2.1	Théorie	27
1.2.2	Énergie de charge d'un SET	30
1.2.3	Modèle analytique simple	32
1.2.4	Simulation numérique par éléments finis	36
1.2.5	Simulation numérique d'un SET	38
1.2.6	Implication sur la température d'opération d'un SET métallique	39
1.3	Boîtes quantiques semi-conductrices	40
1.3.1	Alignement des bandes	41
1.3.2	Énergie de confinement	42
1.3.3	Diamants de Coulomb et gap semi-conducteur	43
1.3.4	Effets à faible nombre d'électron	43
2	Procédé de fabrication	45
2.1	Vue d'ensemble	45
2.1.1	Laboratoire de nanofabrication	45
2.1.2	Étapes de fabrication	46
2.2	Oxydation du substrat	49
2.3	Gravure des contacts	49
2.3.1	Photolithographie	49
2.3.2	Détails du procédé	51
2.3.3	Conception du photomasque	51
2.3.4	Résultats	53
2.4	Gravure des nanostructures	54
2.4.1	Électrolithographie	54
2.4.2	Résultats	58
2.5	Dépôt de silicium amorphe	62

2.6	Gravure du silicium	64
2.6.1	Nettoyage post-gravure	65
2.7	Cristallisation du silicium	66
2.8	Jonctions tunnel	66
2.9	Métallisation	67
2.10	Polissage des dispositifs	68
2.10.1	Uniformité	69
2.10.2	Planarisation	69
2.10.3	Contrôle de l'épaisseur	70
2.10.4	Dispositifs polis	72
2.11	Passivation	73
2.12	Gravure et dépôt des plots de contact	74
2.13	Grille supérieure	74
2.14	Montage sur support de puce	75
3	Gravure plasma du silicium	77
3.1	Résumé	77
3.2	Introduction	78
3.3	Fonctionnement du réacteur plasma	79
3.4	Chimie du plasma mixte C_4F_8/SF_6	80
3.5	Gravure ICP de substrats plans	81
3.5.1	Méthodologie	81
3.5.2	Effet des paramètres du ICP sur les taux de gravure et les sélectivités	83
3.6	Gravure ICP de nanostructures	90
3.6.1	Méthodologie	91
3.6.2	Gravure dans des nanotranchées	92
3.6.3	L'anisotropie et les effets de surface	94
3.6.4	Discussion sur les effets de chargement de surface	95
3.7	Conclusion	96
3.8	Remerciements	97
4	Caractérisation électrique	99
4.1	Montage de caractérisation cryogénique	99
4.2	Effet Hall	101
4.3	Conductance du substrat en température	103

4.4	Nanofils	104
4.5	Transistors mono-électroniques	107
4.5.1	Sommaire des dispositifs	108
4.5.2	Observation du gap et implications sur le comportement mono- électronique	111
4.5.3	Diamant à un électron	114
4.5.4	Dépendance en température du blocage de Coulomb	117
4.5.5	Sauts de charge et bruit télégraphique	118
4.5.6	Performance des transistors	121
Conclusion		127
	Résumé des principaux résultats	127
	Importance des résultats obtenus et contribution originale	129
	Perspectives	130
Annexe A Supplément théorique		132
A.1	Transport électronique dans les systèmes mésoscopiques	132
A.1.1	Matrice de diffusion	133
A.1.2	Formule de Landauer	134
Annexe B Propriétés des matériaux		135
B.1	Semiconducteurs	135
B.2	Isolants	135
B.3	Métaux	135
Annexe C Paramètres du procédé de fabrication		137
Bibliographie		153

Liste des tableaux

1	Comparaison entre un îlot métallique et semi-conducteur.	10
3.1	Comparaison entre les sélectivités atteignables pour la gravure de a-Si sans et avec nanotopographie dans l'oxyde.	85
3.2	Déposition de la couche de passivation fluorocarbonnée en fonction de la puissance du plateau.	87
4.1	Paramètres géométriques du modèle de résistivité.	106
4.2	Paramètres extraits des diamants de Coulomb.	116
4.3	Ratio I_{on}/I_{off} des Si-SETs et comparaison avec un MOSFET.	123
B.1	Propriétés des principaux semi-conducteurs.	136
B.2	Propriétés des principaux isolants utilisés.	136
B.3	Propriétés des principaux métaux utilisés.	136

Liste des figures

1	Densité de puissance des processeurs et énergie par opération.	3
2	Évolution des processeurs Intel au cours des années.	4
3	Schéma simplifié d'un SET, diagramme de bande et circuit équivalent. . .	5
4	Représentation schématique de la caractéristique IV d'un SET.	6
5	Dispositifs mono-électroniques.	7
6	Qubit de spin.	11
7	Réalisations de SETs en silicium 0D (dopants uniques).	13
8	Réalisations de SETs 0D (nanocristaux).	14
9	Réalisation de SET en silicium 1D (PADOX).	15
10	Réalisations de SETs en silicium 1D.	16
11	Réalisations de SETs en silicium 2D.	17
1.1	Énergie électrostatique du système et nombre moyen d'électron en fonction de n_g	23
1.2	Pic de Coulomb pour différentes températures et tensions source-drain. .	26
1.3	Diamants de Coulomb et spectroscopie des niveaux d'énergie.	26
1.4	Capacité dans la géométrie plaques parallèles.	29
1.5	Capacité dans la géométrie guide d'onde coplanaire.	30
1.6	Schéma d'un SET représenté par quatre armatures et circuit équivalent. .	31
1.7	Définition des paramètres et des régions de l'espace pour le modèle test. .	33
1.8	Décomposition de la capacité en la somme de deux modèles analytiques simples.	33
1.9	Calcul de $C_{\text{tot}}(a)$ pour $\epsilon_r = 3.5$, $d = 5$ nm et $w = 500$ nm.	35
1.10	Calcul de $C_{\text{tot}}(d)$ pour $\epsilon_r = 3.5$, $a = 20$ nm et $w = 500$ nm.	35

1.11	Simulation aux éléments finis pour le modèle de capacité test.	37
1.12	Géométrie de la région simulée dans COMSOL et matrice de capacité. . .	38
1.13	Énergie de charge et capacité d'un SET métallique pour une opération à température ambiante.	40
1.14	Alignement des bandes dans une structure MOS en silicium.	41
1.15	Diagramme de bande du Si-SET.	42
1.16	Niveaux d'énergie d'une boîte quantique semi-conductrice, énergie d'addi- tion et effet du gap.	44
2.1	Salle blanche de la Faculté de génie.	46
2.2	Vue d'ensemble du procédé de fabrication des Si-SETs.	47
2.3	Représentation schématique des Si-SETs et circuit électrique de contrôle.	48
2.4	Dispositif avec une grille supérieure.	48
2.5	Étapes d'un procédé de photolithographie/électrolithographie.	50
2.6	Disposition d'une gaufre.	52
2.7	Image optique d'une cellule Si-SET après l'étape (2).	53
2.8	Microscope électronique à balayage Leo VP en salle blanche.	55
2.9	Paramètres de l'exposition par NPGS.	55
2.10	Déformation due au côté de balayage des polygones.	56
2.11	Paramètres des niveaux d'alignement 1 à 4. a) Distances standard, taille des marques et grossissement. b) et c) Forme des marques d'alignement. .	57
2.12	Test de dose démontrant la possibilité de fabriquer des tranchées jusqu'à 10 nm de largeur.	58
2.13	Nanotranchées dans l'oxyde alignées sur les tranchées en photolithographie.	59
2.14	Nanotranchées dans l'oxyde alignées sur les tranchées en photolithographie.	60
2.15	Nanotranchées dans l'oxyde (étape (2) de la figure 2.2).	61
2.16	Couverture d'une marche dans l'oxyde par du a-Si épais.	62
2.17	Tranchées dans l'oxyde recouvertes d'un film de 40 nm de a-Si.	63
2.18	Silicium poly-cristallin après un recuit RTA.	64
2.19	Nanofil de a-Si croisant une nanotranchée dans le SiO ₂	65
2.20	Géométrie de la nanotranchée après la désoxydation des jonctions tunnel.	67
2.21	Schéma et fonctionnement du CMP.	68
2.22	Non-idéalités de la planarisation CMP.	70
2.23	Image SEM de dispositifs près de t_0	71

2.24	Images SEM d'un dispositif poli.	72
2.25	Image AFM d'un dispositif poli.	73
2.26	Image AFM d'un îlot.	74
2.27	Grille supérieure en aluminium alignée sur une cellule.	75
2.28	Puce montée sur un support à 19 plots.	76
3.1	Système ICP ASE de la compagnie STS.	79
3.2	Résumé des réactions de gravure.	81
3.3	Schéma représentant l'anisotropie dans une gravure.	82
3.4	Taux de gravure de l'oxyde de silicium et de la résine ma-N en fonction de la puissance de la bobine.	84
3.5	Taux de gravure du silicium, de l'oxyde et de la résine en fonction du ratio de SF ₆	86
3.6	Profil vertical de nanostructures pour une grande plage de ratios de SF ₆	88
3.7	Taux de gravure du silicium, de l'oxyde et de la résine en fonction de la puissance du plateau.	89
3.8	Taux de gravure du silicium, de l'oxyde et de la résine en fonction de la pression de la chambre.	90
3.9	Taux de gravure relatif entre des tranchées étroites dans le a-Si et une tranchée large de 10 µm. Schéma de la structure fabriquée.	92
3.10	Effet de différents paramètres sur la gravure du silicium dans des tranchées étroites dans l'oxyde.	93
3.11	Vue latérale au SEM d'un nanofil de a-Si pour différentes couches d'arrêt.	94
4.1	Schéma expérimental des mesures cryogéniques.	100
4.2	Schéma expérimental de la mesure de l'effet Hall.	101
4.3	Mesure de la densité électronique du titane par effet Hall.	102
4.4	Schéma expérimental de la mesure de la conductance du substrat.	103
4.5	Mesure de la conductivité du substrat en fonction de la température.	104
4.6	Schéma expérimental de la mesure de nanofils.	105
4.7	Courants source et drain dans un nanofil de titane.	106
4.8	Modèle de résistivité des nanofils.	107
4.9	Schéma expérimental de la mesure de SETs.	108
4.10	Sommaire des mesures de diamants de Coulomb de l'échantillon F802D.	109

4.11	Sommaire des mesures de diamants de Coulomb de l'échantillon F802D en conductance différentielle.	110
4.12	Diamant de Coulomb d'un dispositif sans grille supérieure.	111
4.13	Observation du gap et des régimes à un seul électron et trou.	112
4.14	Diamants de Coulomb dans le régime à quelques électrons.	115
4.15	Impact qualitatif du nombre d'électrons sur la forme du potentiel de confinement de l'îlot.	117
4.16	Diamants de Coulomb en fonction de la température.	119
4.17	Caractéristique IV d'un Si-SET à température ambiante.	120
4.18	Courant dans un Si-SET en fonction de la tension de grille.	120
4.19	Trace temporelle du courant dans un Si-SET.	121
4.20	Pente sous le seuil SS et ratio I_{on}/I_{off} d'un Si-SET.	124
4.21	Transport dans le régime multi-électronique du Si-SET.	125
A.1	Modèle de transport à travers un dispositif mésoscopique.	133

Liste des acronymes

- 2DEG** gaz bi-dimensionnel d'électrons, *Two Dimentionnal Electron Gas*. 15, 17
- 3IT** Institut Interdisciplinaire d'Innovation Technologique. 45, 46
- AFM** microscope à force atomique, *Atomic Force Microscope*. 18, 72–74, 105, 128
- ARDE** taux de gravure dépendant du rapport d'aspect, *Aspect Ratio Dependent Etch rate*. 64, 91, 92, 128
- ASE** *Advanced Silicon Etch*. 79, 82
- CIFAR** *Canadian Institute For Advanced Research*. 97
- CMOS** métal–oxyde–semi-conducteur complémentaire, *Complementary Metal–Oxide–Semiconductor*. vii, 1, 2, 7, 68, 123, 124, 128
- CMP** polissage chimico-mécanique, *Chemical Mechanical Polishing*. vii, 18, 19, 46, 52, 53, 67–69, 72–74, 104, 113, 127, 129, 130
- CRN2** Centre de Recherche en Nanofabrication et en Nanocaractérisation. ix, 46, 55
- CRSNG** Conseil de Recherche en Sciences Naturelles et en Génie du Canada. 97
- DRAM** mémoire à accès aléatoire dynamique, *Dynamic Random Access Memory*. 7
- EBL** lithographie par faisceau d'électron, *Electron Beam Lithography*. 49, 50, 53, 103, 127
- ESR** résonance électronique de spin, *Electron Spin Resonance*. 11, 125, 129
- finFET** transistor à effet de champ à aileron, *fin Field Effect Transistor*. 15, 16
- FRQNT** Fonds de Recherche du Québec : Nature et Technologie. 97

- ICP** plasma à couplage inductif, *Inductively Coupled Plasma*. vii, 77–79, 82–90, 92, 127, 129
- ITRS** International Technology Roadmap for Semiconductors. 2
- IV** courant-tension. 2, 6, 99, 105, 120
- LPCVD** dépôt chimique en phase vapeur sous pression réduite, *Low Pressure Chemical Vapor Deposition*. 46, 62, 81, 91, 127, 129
- MOS** métal-oxyde-semi-conducteur, *Metal-Oxide-Semiconductor*. 15, 17, 41
- MOSFET** *Metal-Oxide-Semiconductor Field Effect Transistor*. 1, 2, 10, 13, 15, 19, 66, 122–124
- NKMv3** *Nicolas Killed the Mask version 3*, modèle de photomasque. 51, 69
- NMR** résonance magnétique nucléaire, *Nuclear Magnetic Resonance*. 8, 9
- NPGS** *Nanometer Pattern Generation System*. 54, 55, 58
- NW** nanofil, *nanowire*. 104
- PADOX** oxydation géométrique, *PAttern Dependent OXidation*. 14, 15
- PECVD** dépôt chimique en phase vapeur assisté par plasma, *Plasma Enhanced Chemical Vapor Deposition*. 73
- PTFE** polytétrafluoroéthylène. 87
- QCA** automate cellulaire quantique, *Quantum Cellular Automata*. 7
- QD** boîte quantique, *Quantum Dot*. 9, 10
- RCA** *Radio Corporation of America*. 49
- RF** radio-fréquence. 79, 80, 82
- RTA** recuit thermique rapide, *Rapid Thermal Anneal*. 63, 64, 66
- SED** dispositif mono-électronique, *Single Electron Device*. 6, 7
- SEM** microscope électronique à balayage, *Scanning Electron Microscope*. 18, 49, 54, 55, 62, 63, 65, 66, 70, 72, 89, 92–94, 111, 128, 137
- SET** transistor mono-électronique, *Single Electron Transistor*. vii, viii, 2, 5, 6, 10, 13–17, 19, 21, 27, 32, 39, 40, 51, 53, 68, 73, 78, 91, 97, 99, 104, 105, 107, 108, 118, 122–125, 127–131

- Si-SET** transistor mono-électronique en silicium, *Silicon Single Electron Transistor*. vii, 19, 21, 45, 54, 77, 99, 118, 120, 121, 123, 125, 127, 130, 137
- SMU** unité de source/mesure, *Source/Measure Unit*. 100, 105, 107, 110, 121
- SOI** silicium-sur-isolant, *Silicon-On-Insulator*. 14, 15
- SS** pente sous le seuil, *Subthreshold Slope*. 122, 123
- SSE** Système de Suivi des Échantillons. 51, 52, 105
- STM** microscope à effet tunnel, *Scanning Tunneling Microscope*. 13, 14
- STS** *Surface Technology System*. 79, 82
- UVL** photolithographie, *UltraViolet Lithography*. 49, 50, 53, 128
- VTI** cryostat à température variable, *Variable Temperature cryogenic Insert*. 99

Introduction

Les nanotechnologies sont un amalgame de techniques de fabrication ayant des applications dans des domaines aussi variés que le textile, les matériaux de construction, l'optique ou encore l'électronique. Ce dernier champ d'applications attire beaucoup d'efforts de recherche et de développement de par son importance stratégique : l'ère moderne est celle de l'électronique et de l'information. Le développement des nanotechnologies permet de concevoir des dispositifs électroniques avec de nouvelles fonctionnalités, consommant moins d'énergie, étant plus rapides, plus sensibles, plus autonomes, ou encore plus petits.

Dans ce chapitre, les enjeux liés à la miniaturisation des transistors et des composants électroniques classiques seront discutés. Ensuite, ceux liés au traitement quantique de l'information seront abordés. Le fonctionnement des transistors mono-électroniques sera expliqué et leur utilité dans le contexte de l'informatique classique et quantique motivée. Finalement, les objectifs et la méthodologie du projet de recherche seront énoncés.

L'informatique classique et l'ère post-CMOS

Les avancées technologiques de la micro et nanofabrication ont atteint un point tournant de leur développement. D'un côté, la suprématie de la technologie métal-oxyde-semi-conducteur complémentaire (CMOS) et des *Metal-Oxide-Semiconductor Field Effect Transistors* (MOSFETs) pourrait tirer à sa fin [1]. Rapides et puissants, les MOSFETs consomment néanmoins beaucoup de puissance et leurs circuits libèrent beaucoup de chaleur, ce qui limite l'amélioration de leur performance et leur intégration dans d'autres systèmes. Entre autres, la densité de puissance dissipée sous forme de chaleur par un processeur a augmentée exponentiellement jusqu'à la limite pratique de 100 W/cm^2 (figure 1a). De plus, l'énergie par opération binaire est encore mille fois plus grande que la

limite thermodynamique de $k_B T \ln 2 \sim 20$ meV (figure 1b) [2, 3], ce qui suggère qu'il y a encore place à amélioration.

À long terme (après 2018 selon l'International Technology Roadmap for Semiconductors (ITRS) [1]), l'industrie est à la recherche de nouveaux dispositifs capables de compléter ou même remplacer le CMOS. La figure 2 montre l'évolution du nombre de transistors, la vitesse d'horloge et la puissance des processeurs Intel au cours des années.

D'un point de vue fondamental, la circulation de forts courants électriques dans des circuits résistifs tels que les interconnexions des transistors engendre beaucoup de dissipation. Ainsi, de nouveaux paradigmes de traitement de l'information sont proposés pour éviter de faire circuler un courant électrique. Par exemple, l'interaction magnétique entre des nanoaimants [6], l'interaction de Coulomb entre des îlots métalliques [7] ou encore les ondes de spin [8] sont des candidats potentiels comme dispositifs traitant l'information avec un minimum de consommation d'énergie.

Pour compléter les fonctionnalités du CMOS, un microprocesseur pourrait par exemple avoir des sections optimisées pour la logique basse-puissance ou de la mémoire intégrée directement par dessus la couche de transistors CMOS (*back-end*). Les transistors mono-électroniques sont de bons candidats pour poursuivre dans cette voie [9].

Les transistors mono-électroniques

Les transistors mono-électroniques (SETs) sont des dispositifs électroniques à trois terminaux, tout comme les MOSFETs. Un schéma d'un SET est présenté à la figure 3. Le courant électrique circulant entre la source et le drain est modulé par le potentiel d'une grille couplée capacitivement à l'îlot. Celui-ci est l'équivalent du canal du MOSFET. La figure 4 montre la caractéristique courant-tension (IV) typique d'un SET. La grille permet de moduler le courant source-drain I_{DS} , tout comme dans un MOSFET. L'état bloqué ($I_{DS} = 0$) du dispositif est causé par un phénomène appelé blocage de Coulomb [9] qui domine le comportement des dispositifs mono-électroniques.

Le blocage de Coulomb

Une façon simple de comprendre le transport électronique à travers un SET est représentée à la figure 3c. Les niveaux de Fermi des électrodes source et drain sont contrôlés par les potentiels appliqués. Sur l'îlot, les électrons occupent des niveaux discrets d'énergie dont l'espacement est déterminé par l'énergie de charge $E_C = e^2/C$ du dispositif. Chaque

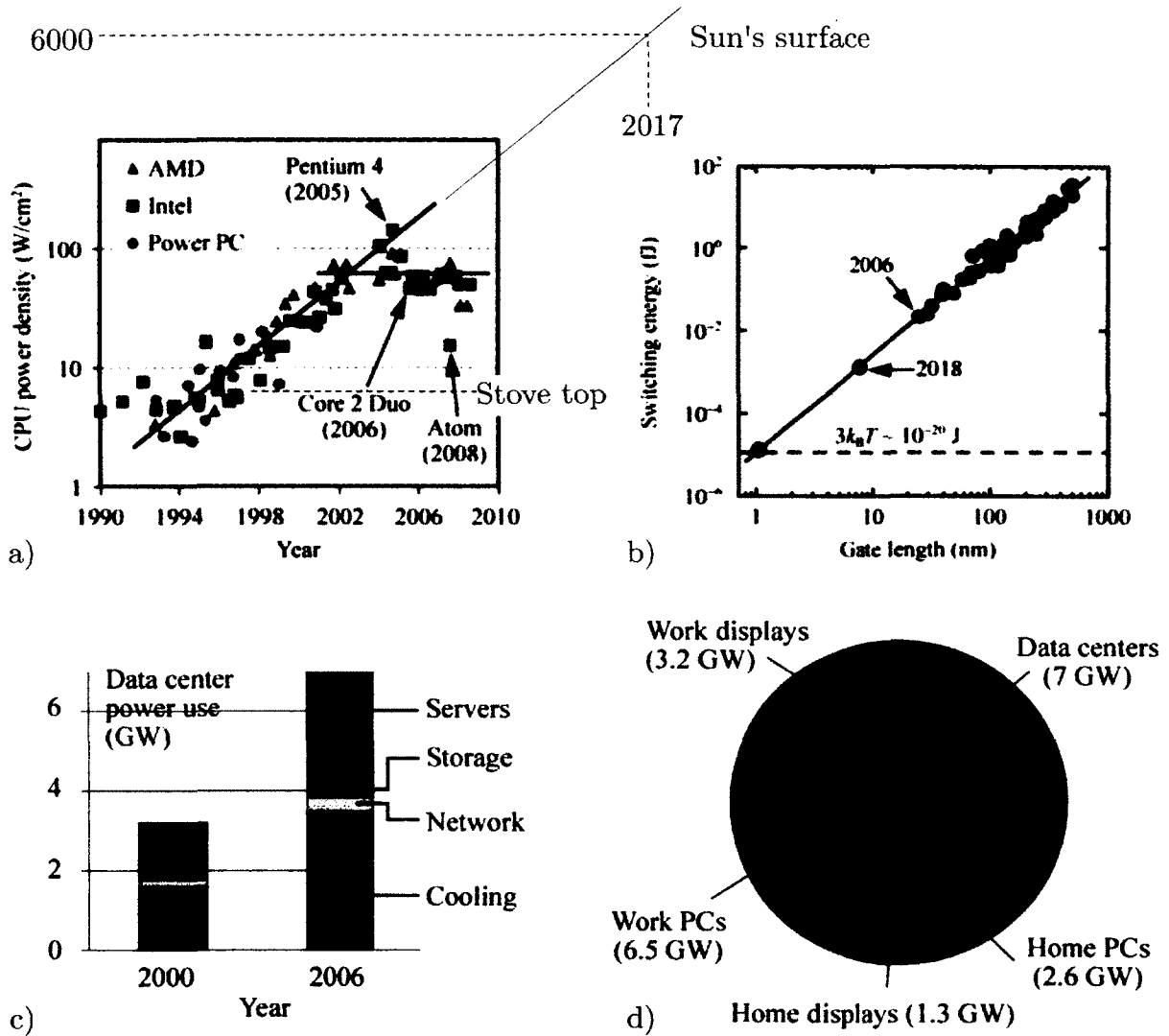


Figure 1. a) Évolution temporelle de la densité de puissance des processeurs. b) Énergie par opération binaire en fonction de la largeur de la grille et limite thermodynamique (pointillé). c) L'utilisation de la puissance par les centres de données montre que le refroidissement consomme une part importante de puissance. d) Répartition de la consommation en énergie de différents secteurs de l'informatique. Figure reproduite de [4].

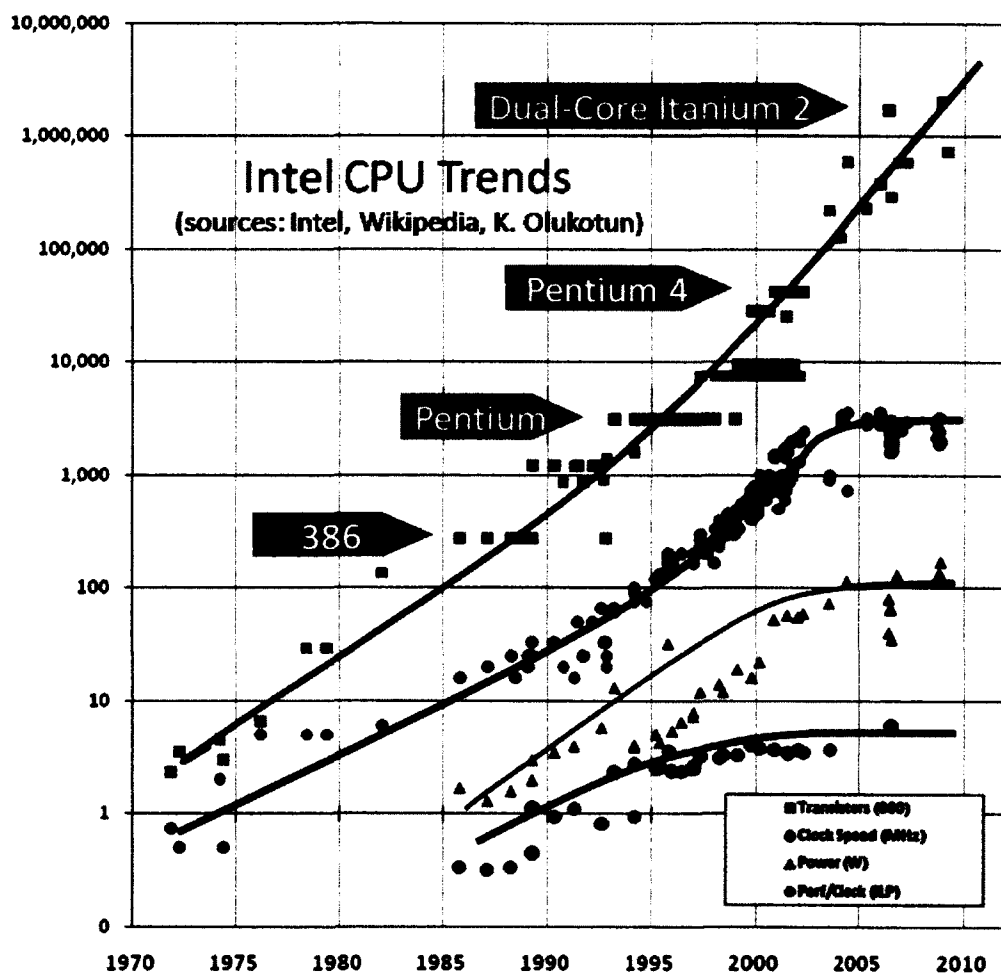


Figure 2. Évolution du nombre de transistors, de la vitesse d'horloge et de la puissance des processeurs Intel au cours des années. Figure reproduite de [5].

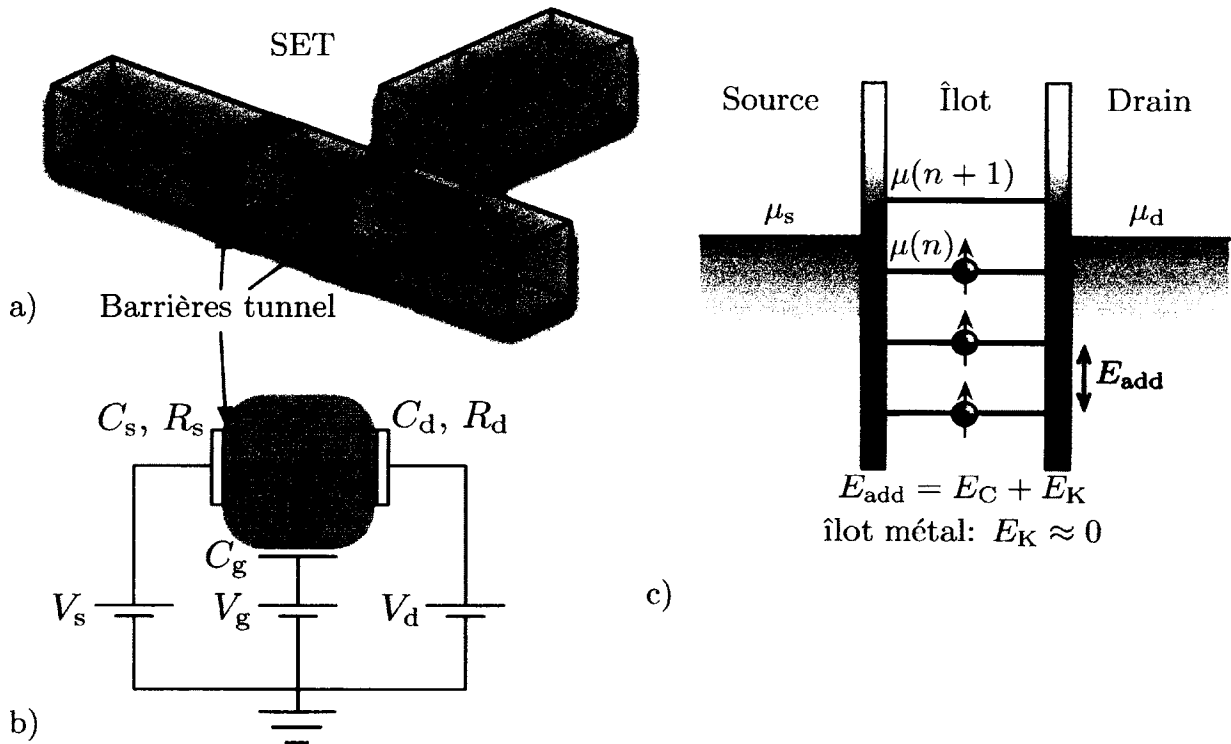


Figure 3. a) Schéma simplifié d'un SET. Les électrons peuvent circuler de la source au drain en sautant sur l'île par effet tunnel. b) Circuit équivalent d'un SET, où les jonctions tunnel sont représentées par un symbole semblable à une capacité avec une troisième ligne. La région en violet représente l'îlot. c) Diagramme de bande montrant les potentiels chimiques de la source, du drain et de l'îlot (μ_s , μ_d et $\mu(n)$). La grille permet de moduler la hauteur de $\mu(n)$.

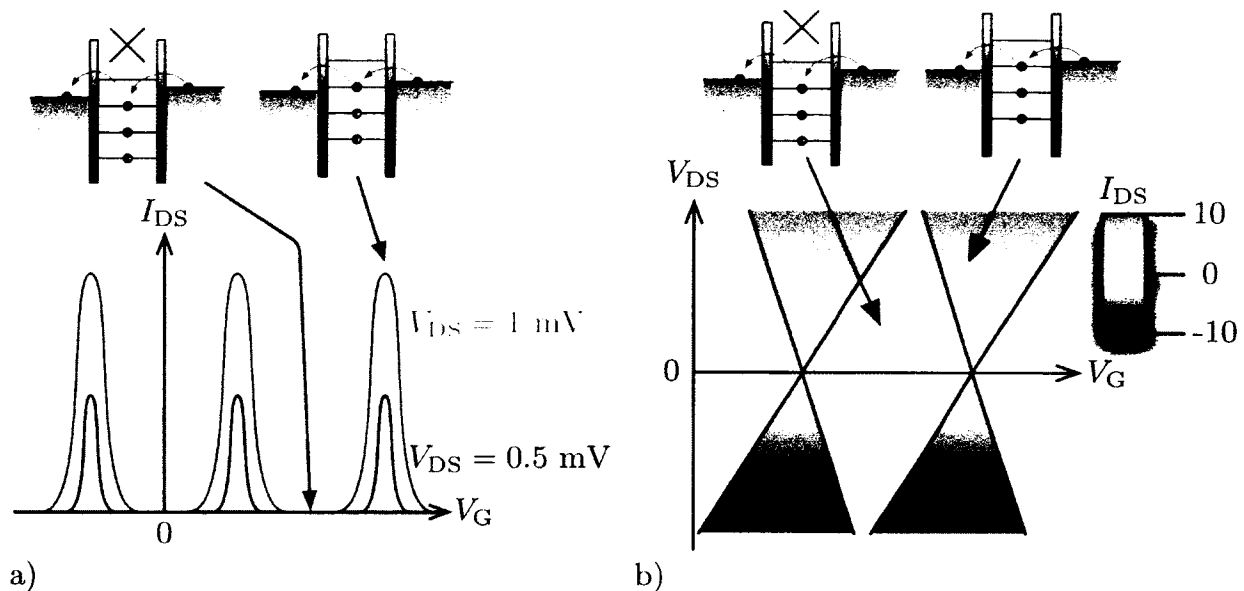


Figure 4. Représentation schématique de la caractéristique IV d'un SET. a) Le courant dans le dispositif est bloqué, sauf pour certaines valeurs périodiques du potentiel de grille V_G . b) Diagramme de stabilité. Les diamants de Coulomb sont les régions blanches en losange où le courant source-drain est bloqué.

électron additionnel équivaut à charger une capacité C , ce qui requière de l'énergie. Les électrons doivent sauter d'une région à l'autre par effet tunnel. Le champ électrique de la grille peut modifier l'alignement des niveaux discrets de l'îlot par rapport à la fenêtre de transport. Ceci fournit un outil efficace pour contrôler le courant circulant à travers le dispositif, ce qui cause les pics de courant de la figure 4a. Quand une différence de potentiel est appliquée, aucun électron ne peut circuler à travers l'îlot si son potentiel chimique n'est pas dans la fenêtre de transport (entre celui de la source et du drain), car il est énergétiquement interdit pour l'électron déjà présent de sauter hors de l'îlot. Si un niveau se situe dans la fenêtre de transport, les électrons peuvent alors circuler un par un à travers l'îlot, d'où le terme « mono-électronique ».

Les dispositifs mono-électroniques

En plus d'un comportement de type transistor, le blocage de Coulomb peut servir à fabriquer des dispositifs ayant des caractéristiques de mémoires [10], de détecteurs de charge [11–13] ou encore d'automates cellulaires quantiques [7]. On parle alors plus généralement de dispositifs mono-électroniques (SEDs). Par exemple, une mémoire mono-

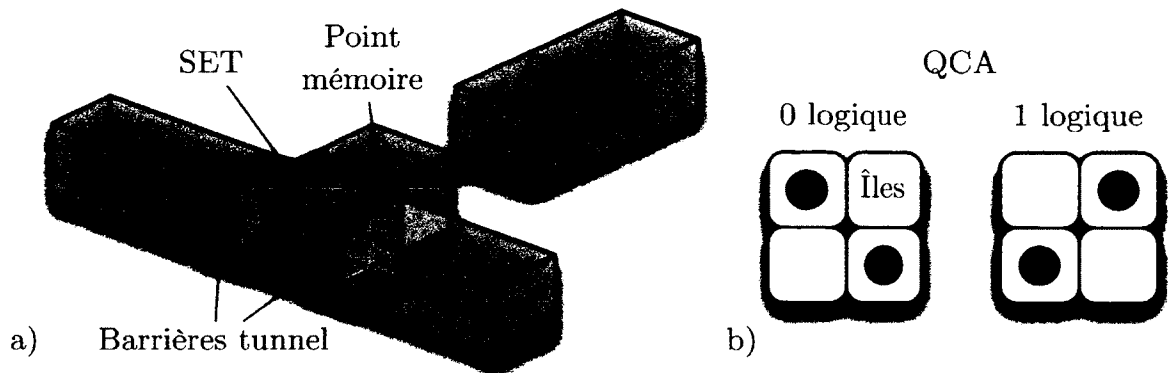


Figure 5. Dispositifs mono-électroniques (SEDs). a) Mémoire à un électron. b) Cellule unitaire à quatre îlots d'un automate cellulaire quantique (QCA).

électronique peut utiliser un deuxième îlot entre l'îlot source-drain et la grille, de sorte que la charge sur l'îlot mémoire change le courant à travers le canal source-drain (figure 5a). Un autre SED, l'automate cellulaire quantique (QCA), utilise la configuration électronique de quatre îlots adjacents pour représenter les états logiques 0 et 1 (figure 5b).

Plusieurs défis technologiques attendent les SEDs pour leur intégration industrielle. D'abord, ils doivent opérer à des températures qui peuvent atteindre 100 °C dans un processeur. Leur énergie de charge doit être supérieure à la température à laquelle ils opèrent, disons dix fois plus grande, de sorte que la capacité de l'îlot doit être inférieure à 0.50 aF. Ceci correspond à des jonctions tunnel d'une surface totale de $5 \times 5 \text{ nm}^2$, une épaisseur de 2 nm et une constante diélectrique de 4, imposant de fortes contraintes de dimensions. Ensuite, ces dispositifs sont sensibles à l'environnement électrostatique au point où un seul électron dans un piège près de l'îlot peut en altérer le comportement. Finalement, les faibles courants fournis par ces dispositifs rendent nécessaire l'utilisation d'amplificateurs (souvent CMOS) pour les interactions avec d'autres types de dispositifs.

Parmi les avantages des technologies SEDs, ceux-ci tireraient profit au maximum de la tendance à la miniaturisation des circuits intégrés, allant jusqu'à l'échelle d'un seul atome [14]. Les mémoires mono-électroniques pourraient avoir à la fois la vitesse d'une mémoire à accès aléatoire dynamique (DRAM) et la densité d'intégration d'une mémoire flash, en plus d'avoir un bon temps de rétention [10].

L'informatique quantique

L'informatique quantique se distingue des paradigmes de traitement de l'information classiques de par le fait qu'elle repose sur les lois physiques de la mécanique quantique. Conceptuellement, simuler un système quantique requière un nombre de variables exponentiel avec la taille du système. Pour illustrer à quel point le problème peut être difficile, prenons l'exemple de n spins 1/2 sur un réseau. Chaque spin étant représenté par un état $|\phi\rangle = \alpha|0\rangle + \beta|1\rangle$ ayant deux degrés de liberté, il faut 2^n nombres complexes pour représenter l'état du système (simple!) de n spins. Pour 30 spins, il faut donc $2 \cdot 2^n - 2$ nombres réels,¹ soit environ 8.6 Go de mémoire en simple précision seulement pour représenter l'état du système. Pour 300 spins, le nombre de degrés de liberté est déjà beaucoup plus grand que le nombre d'atomes dans l'univers connu!

Richard Feynman est le premier à suggérer en 1982 d'utiliser des systèmes quantiques pour simuler des systèmes quantiques [15], marquant le premier pas vers le concept de l'ordinateur quantique universel. Des protocoles ont ensuite donné à l'informatique quantique ses applications phare. D'abord, le protocole de distribution quantique de clés cryptographiques de Bennet et Brassard (BB84 [16]) garantissait la sécurité de la clef. Puis, l'idée que l'informatique quantique pourrait exécuter certaines tâches exponentiellement plus rapidement (au sens de la complexité) est apparue en 1992 avec l'algorithme de Deutsch-Jozsa [17]. Une variante de ce protocole permet d'effectuer une tâche impossible à effectuer classiquement. L'algorithme de Shor pour factoriser de grands nombres [18] (en 1994) ou l'algorithme de recherche de Grover [19] (en 1997) sont d'autres protocoles qui ont eu un rôle déterminant. La démonstration que la fragilité de l'information quantique pouvait être protégée par la correction d'erreur fut faite en 1995 [20, 21] par Peter Shor. À ce moment, l'intérêt pour l'informatique quantique est devenu fort, d'autant plus que les premiers dispositifs physiques capables d'en implémenter les idées font leur apparition [22, 23]. En 1998, un premier algorithme quantique (Deutsch-Jozsa) est réalisé avec des spins nucléaires contrôlés par résonance magnétique nucléaire (NMR) [24, 25].

Les années 1998–2004 ont vu le développement des principales architectures physiques pour l'implémentation de l'informatique quantique. Parmi les principales, notons que les photons sont la première à avoir été proposée [26]. Les photons ont un bon temps de cohérence (temps caractéristique de rétention de l'information quantique) et peuvent

¹Les coefficients α et β sont des nombres complexes représentés chacun par deux nombres réels, mais la normalisation et la phase globale non pertinente réduisent le nombre de nombres réels de deux.

être envoyés sur de grandes distances. Malgré la difficulté de les faire interagir entre eux pour effectuer des calculs [27], ils demeurent la seule architecture pratique pour la communication quantique à longue distance à ce jour. Les ions et les atomes piégés ont eux aussi une excellente cohérence. De plus, des algorithmes complexes de même que de l'intrication à seize qubits ont été démontrés. Les qubits en NMR ont été utilisés pour la réalisation des premiers algorithmes quantique [24, 28] et de correction d'erreur [29], mais sont désormais considérés comme impossible à élargir à un grand nombre de qubits. Les qubits supraconducteurs sont maintenant une architecture importante pour les systèmes sur puce, ayant démontrés des algorithmes et de la correction d'erreur [30]. De plus, la possibilité d'envoyer des états quantiques à longue distance sur la puce leur confère un grand atout [31]. Les qubits de spin, eux, prennent différentes formes. Certains sont des spins nucléaires [32], d'autres des spins électroniques [33]. Certains sont manipulés électriquement sur puce, d'autres sont manipulés optiquement (comme les centres colorés² dans le diamant [34] ou les boîtes quantiques en InAs [35]).

Les spins électroniques dans des boîtes quantiques semi-conductrices sont un système particulièrement intéressant. En effet, le spin forme un système à deux niveaux idéal pour représenter un qubit. Bien que certains groupes les manipulent optiquement [35], la méthode plus répandue est à l'aide d'électrodes. Le temps de cohérence potentiel de ces qubits est élevé, de l'ordre de deux secondes dans du ²⁸Si [36]³, ce qui motive un important effort de recherche. Cependant, les architectures ayant démontré du succès jusqu'à présent utilisent des matériaux riches en spins nucléaires (comme GaAs ou InSb), qui sont la principale cause de décohérence dans ces systèmes. Des opérations à un et deux qubits ont été démontrées [37], mais le couplage à distance des qubits est difficile [38]. Les différentes réalisations de qubits de spin semi-conducteurs seront revues plus en détail dans une section suivante.

Les boîtes quantiques

Les boîtes quantiques (QDs) sont des particules de semi-conducteurs de taille nanométrique dans lesquelles les électrons et/ou les trous occupent des niveaux discrets d'énergie dû au confinement quantique.⁴ La littérature utilise aussi ce terme même quand

²Aussi appelés centres NV, pour *Nitrogen-Vacancy*.

³Silicium isotopiquement purifié contenant 50 ppm de ²⁹Si.

⁴À titre d'exemple, un électron dans une boîte quantique cubique en silicium de 20 nm de côté a une énergie de point zéro quantique de 10.9 meV.

Tableau 1. Valeurs typiques de la densité électronique n , la longueur d'onde de Fermi λ_F et le nombre d'électrons N dans un îlot métallique et semi-conducteur. Le calcul de N suppose un îlot cubique de 10 nm de côté.

Matériau	n_e (cm ⁻³)	λ_F (nm)	N
Métal	10^{22}	< 1	10 000
Semi-conducteur	10^{18}	10	1

le confinement ne provient pas d'une interface entre deux matériaux ou d'un matériau et le vide/liquide/air, mais aussi s'il provient de n'importe quelle barrière de potentiel (comme un confinement électrostatique, voir la figure 6c).

Historiquement, les boîtes quantiques ont d'abord été étudiées pour leurs propriétés et applications en optique [39], par exemple pour la fabrication de lasers, de bio-marqueurs ou de cellules solaires. Ensuite, le transport électronique à travers des boîtes quantiques uniques a été utilisé pour la fabrication de transistors mono-électroniques [40]. En 1990, le transport électronique dans des MOSFETs en silicium à basse température (100 mK) montrait des oscillations périodiques mal comprises. En utilisant des hétérostructures en GaAs à haute mobilité, la preuve fut faite que ces oscillations étaient en fait du blocage de Coulomb dans des îlots d'électrons.⁵

QDs et SETs Les QDs et les SETs sont reliés par le fait qu'un QD peut servir comme îlot pour un SET. Les îlots métalliques et semi-conducteurs se distinguent par le confinement quantique et le nombre d'électrons. Le tableau 1 montre les densités électroniques typiques et les longueurs d'onde de Fermi pour un métal et un semi-conducteur. La faible longueur d'onde de Fermi dans les métaux (de l'ordre de l'Angström) rend les effets de confinement quantique négligeables dans les nanostructures plus grandes que ~ 2 nm, alors que ceux-ci sont mesurables dans des îlots semi-conducteurs de ~ 50 nm.

Technologiquement parlant, isoler un nanocrystal semi-conducteur entre deux électrodes métalliques est assez difficile. En 1996, Tarucha *et al.* [41] démontrent une boîte quantique (en géométrie verticale) à un électron et mesurent ses niveaux d'énergie. En 1997, Klein *et al.* [42] isolent une sphère de CdSe de 5 nm entre deux électrodes métalliques et observent un trou unique, mais la technique n'est pas assez reproductible

⁵Les structures en silicium montraient du confinement à cause des charges d'interface qui pinçaient le canal de conduction. En utilisant le GaAs, les défauts chargés ont pu être presque éliminés, permettant le contrôle de la position des constriction du canal. [40]

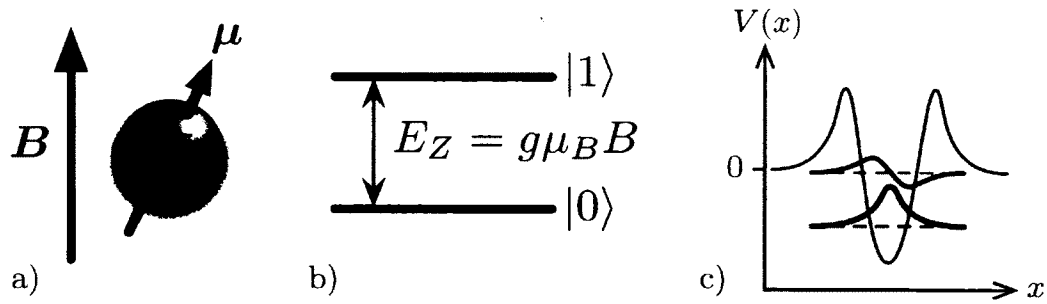


Figure 6. a) Électron de moment magnétique μ dans un champ magnétique B . b) Énergie Zeeman E_Z et états logiques $|0\rangle$ et $|1\rangle$ du qubit. c) Confinement quantique 1D dans un semi-conducteur. Les électrons de la bande de conduction occupent des niveaux discrets d'énergie.

pour une quelconque application. Des boîtes quantiques à un électron simples, doubles et triples dans des hétérostructures de GaAs ont été réalisées en 2000, 2003 et 2007 [43–45].

Comme les électrons/trous occupent des niveaux discrets d'énergie dans les îlots semi-conducteurs à cause du confinement quantique, les boîtes quantiques sont parfois appelées atomes artificiels.

Les qubits de spin

Les boîtes quantiques simple, doubles et multiples peuvent servir à piéger un seul électron. Son spin forme alors un système à deux niveaux (figure 6) qui peut être manipulé à l'aide de différentes techniques, comme la résonance électronique de spin (ESR) [46].

Des systèmes comportant plus d'un électron peuvent aussi être utilisés pour encoder l'information quantique en utilisant un sous-espace à deux dimensions de l'espace de Hilbert des spins. Par exemple, pour deux spins, les états singulet et triplet, $|S\rangle$ et $|T_0\rangle$, peuvent représenter les états $|0\rangle$ et $|1\rangle$ logiques [47] :

$$|S\rangle = |\uparrow\rangle |\downarrow\rangle - |\downarrow\rangle |\uparrow\rangle \quad (1)$$

$$|T_0\rangle = |\uparrow\rangle |\downarrow\rangle + |\downarrow\rangle |\uparrow\rangle \quad (2)$$

$$|T_+\rangle = |\uparrow\rangle |\uparrow\rangle \quad (3)$$

$$|T_-\rangle = |\downarrow\rangle |\downarrow\rangle. \quad (4)$$

Le temps de cohérence des spins dans les boîtes quantiques est potentiellement assez grand, de l'ordre de la seconde dans le silicium isotopiquement pur [48]. Pour cette raison,

beaucoup d'efforts de recherche sont actuellement déployés pour atteindre cette limite. Actuellement, l'interaction des spins électroniques avec les spins nucléaires limite ce temps à une dizaine de nanosecondes [47], ce qui est comparable au temps requis pour manipuler le spin. L'objectif pour améliorer ces qubits est donc de fabriquer des boîtes quantiques avec des matériaux sans spins nucléaires isotopiquement purs, comme le silicium ou le carbone.

La cohérence et le contrôle quantique

La cohérence (quantique) est la propriété d'un système physique à évoluer selon les lois (réversibles) de la mécanique quantique. Les états quantiques aux propriétés intéressantes pour l'informatique quantique sont ceux qui ont des superpositions d'états et/ou de l'intrication, deux phénomènes hautement non intuitifs.

Si une interaction d'un système quantique (comme un spin électronique) avec son environnement (comme des phonons ou des spins nucléaires) permet à l'environnement d'obtenir de l'information sur l'état du système quantique (mesure), les corrélations quantiques (intrication) et/ou superpositions d'état seront perdues. Ce phénomène est appelé décohérence. Le temps de cohérence est le temps caractéristique de rétention des ces corrélations quantiques.⁶

Le défi technologique de l'informatique quantique est de contrôler des systèmes quantiques de façon cohérente, c'est-à-dire sans briser la fragile information quantique. En pratique, cela implique d'interagir de façon contrôlée avec des systèmes à une seule particule de taille nanométrique.⁷

Le contrôle quantique d'un système signifie être en mesure de préparer un état quantique arbitraire du système à N qubits et de le faire évoluer à l'aide de manipulations à un et deux qubits, manipulations qui elles aussi doivent être arbitraire. Finalement, l'état du système doit pouvoir être mesuré dans une base arbitraire. Un tel contrôle sur un système quantique permet l'informatique quantique dite universelle. [49]

⁶Pour une définition plus rigoureuse, supposons qu'un système quantique soit dans l'état initial $|\psi(0)\rangle = \frac{1}{\sqrt{2}}(|0\rangle + |1\rangle)$ et que la matrice densité du système au temps t soit donnée par $\rho(t) = \frac{1}{2} \begin{pmatrix} 1 & e^{-t/2T_2^*} \\ e^{-t/2T_2^*} & 1 \end{pmatrix}$. T_2^* est le temps de cohérence.

⁷Les qubits supraconducteurs sont des systèmes quantiques de taille millimétrique qui font exception à cette règle.

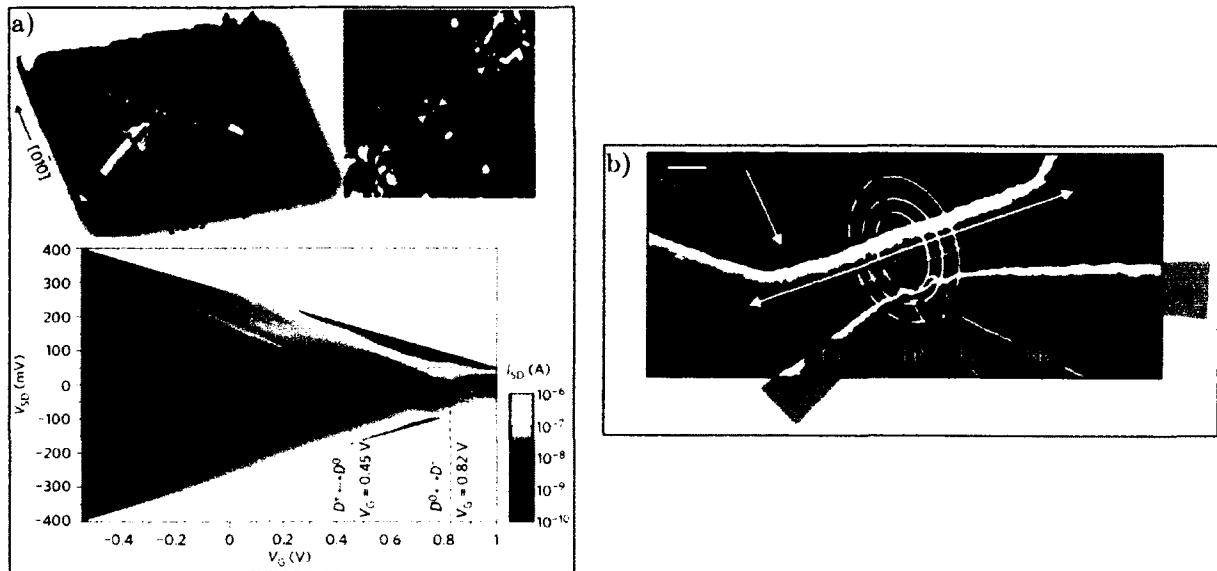


Figure 7. Réalisations de SETs en silicium 0D (dopants uniques). a) Transistor à un seul atome. Figure reproduite de la référence [14]. b) Qubit de spin hybride (électron et noyau). Figure reproduite de la référence [33].

Réalizations de SETs et QDs en silicium

Dans cette section, différents dispositifs permettant de piéger des électrons dans des boîtes quantiques en silicium seront présentés. La dimensionnalité indiquée dans la description fait référence au confinement provenant des matériaux (structure de bande). Le reste du confinement provient d'une influence électrostatique via des grilles de confinement. Voir la référence [50] pour un excellent article de revue.

0D : Dopants uniques Un dopant unique, tel un atome de phosphore, dans un cristal de silicium agit comme un puits de potentiel qui peut servir à piéger un ou deux électrons. Pour contrôler ce dernier, des électrodes sont définies par lithographie. La lithographie à l'hydrogène assistée par microscope à effet tunnel (STM) est une technique qui permet la résolution atomique pour le placement des électrodes et du dopant (figure 7a) [14]. Une autre méthode consiste à utiliser un SET de type MOSFET et à implanter stochastiquement un dopant unique [33, 51, 52] (figure 7b).

Récemment, le spin du noyau a aussi été utilisé comme qubit, avec une fidélité de mesure de 99.8 % et un temps de cohérence de 60 ms [32].⁸

⁸Dans un substrat de silicium naturel.

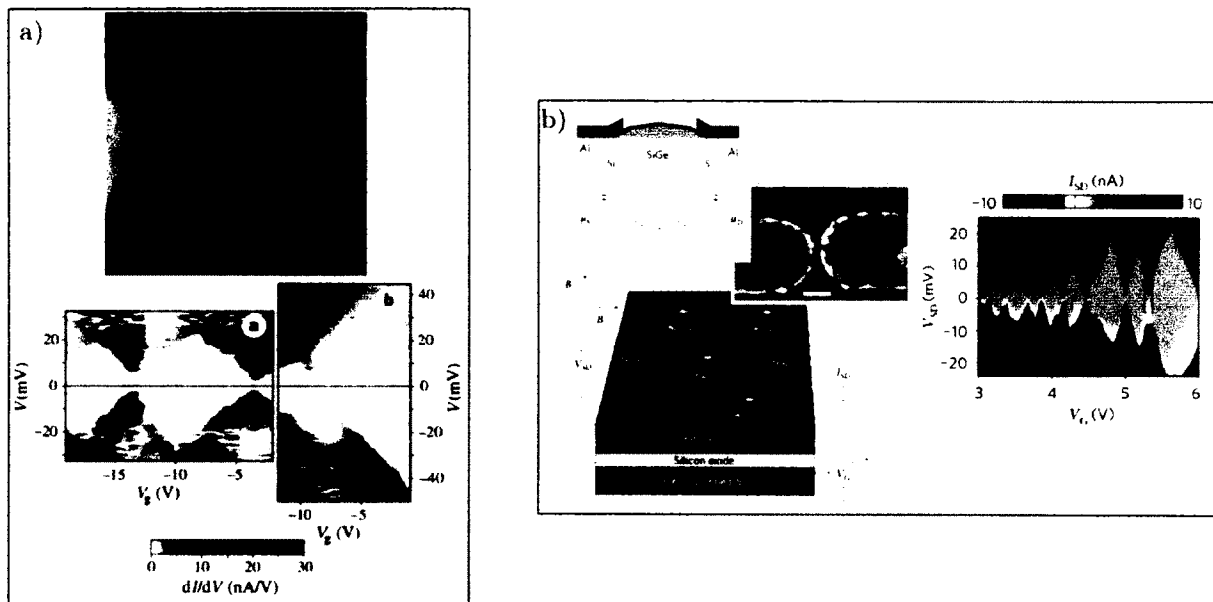


Figure 8. Réalisations de SETs 0D (nanocristaux). a) Nanocristaux de CdSe. Figure reproduite de la référence [42]. b) Nanocristaux de SiGe. Figure reproduite de la référence [53].

0D : Nanocristaux Des nanoparticules de silicium peuvent être synthétisées en phase liquide avec une grande pureté et un bon contrôle. Cependant, aucune méthode n'a été démontrée pour connecter des cristaux avec des électrodes de façon reproductible. Les particules sont dispersées aléatoirement sur un substrat et comblent aléatoirement un gap entre deux électrodes [42, 53] ou sont mesurées par une pointe STM [54] sans grille de contrôle (figure 8).

0D : Hétéronanofils Un hétéronanofil est un nanofil dont la croissance fait en sorte que différentes couches de matériaux peuvent être insérées dans l'axe longitudinal du nanofil. Des jonctions tunnel peuvent ainsi être formées en choisissant les bons matériaux et les bons gaps. Une boîte quantique simple peut ainsi être réalisée [55] et contrôlée par une grille. La géométrie peut être verticale ou latérale. Cependant, peu de travaux ont été réalisés avec du silicium.

1D : Nanofils avec PADOX Des nanofils de silicium peuvent être gravés sur un substrat silicium-sur-isolant (SOI) par lithographie et gravure plasma. Les SOIs sont des minces couches (typiquement > 20 nm) de silicium mono-cristallin sur une couche d'oxyde de silicium. Le procédé oxydation géométrique (PADOX) consiste à oxyder une

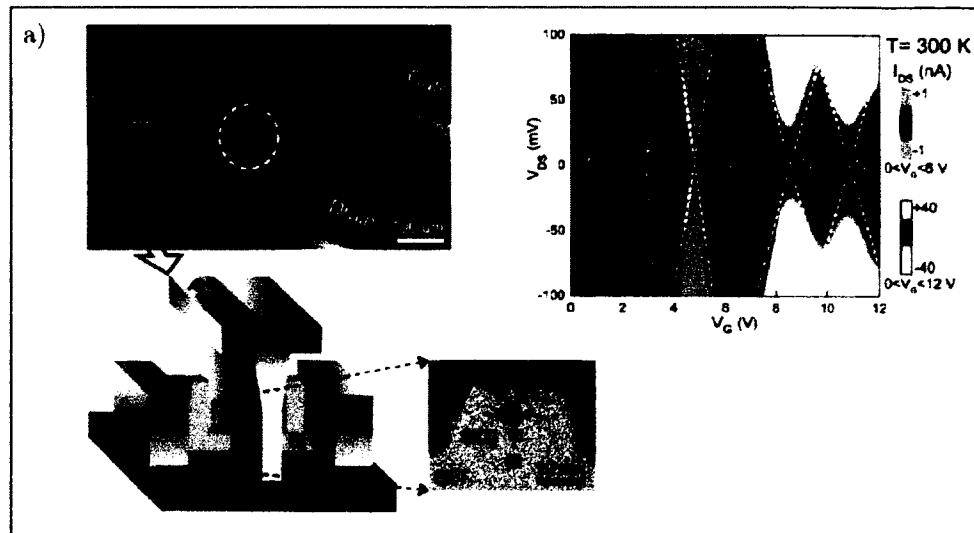


Figure 9. Réalisation de SET en silicium 1D (PADOX) démontrant du blocage de Coulomb à température ambiante. Figure reproduite de la référence [57].

nanostructure. Le stress dans le silicium limite l'oxydation au centre du nanofil, mais crée des barrières tunnel aux extrémités. Le confinement provient de la modulation du gap du silicium due au confinement quantique et au stress [56]. Récemment, ce type de procédé a été utilisé pour fabriquer des SETs à température ambiante [57] (figure 9).

1D : Nanofils avec grilles Un procédé permettant l'ajustement des barrières tunnel utilise des électrodes pour confiner les électrons le long de l'axe du nanofil. Ce dernier peut être gravé dans un substrat SOI [58–61], permettant la fabrication de QD simples, doubles ou même triples (figure 10b-c).

Un procédé à mi-chemin entre un nanofil et un nanocristal a été démontré par Zwanenburg *et al.* [62]. Du nickel provenant des électrodes diffuse dans un nanofil, formant des barrières Shottky avec l'îlot (figure 10a).

1D : Nanofils MOS Les MOSFETs fabriqués sur des substrats SOI de type finFET démontrent eux aussi du confinement quantique, mais sans grilles contrôlant les jonctions tunnel [63] (figure 10d).

2D : MOS et hétérostructures Des structures métal-oxyde-semi-conducteur (MOS) peuvent être utilisées pour induire un gaz bi-dimensionnel d'électrons (2DEG) [64]. Ces

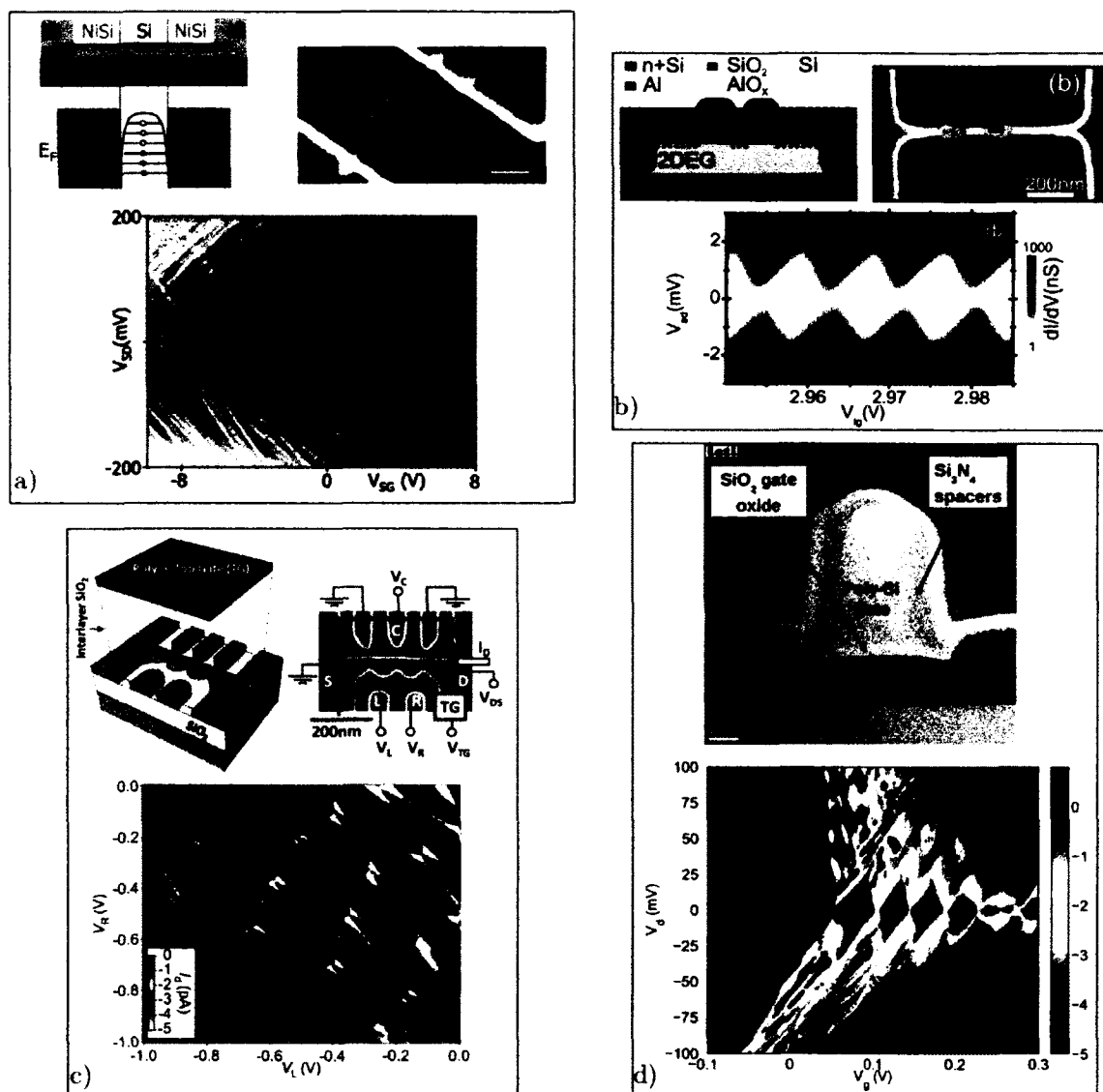


Figure 10. Réalisations de SETs en silicium 1D. a) Du nickel diffusé dans le nanofil forme une double barrière Schottky. Figure reproduite de la référence [62]. b) Des grilles induisent des électrons de surface et modulent le potentiel pour former un îlot. Figure reproduite de la référence [61]. c) Fonctionnement similaire à (b). Figure reproduite de la référence [59]. d) Confinement quantique dans un finFET partiellement dû au potentiel de la grille et aux constriction. Figure reproduite de la référence [63].

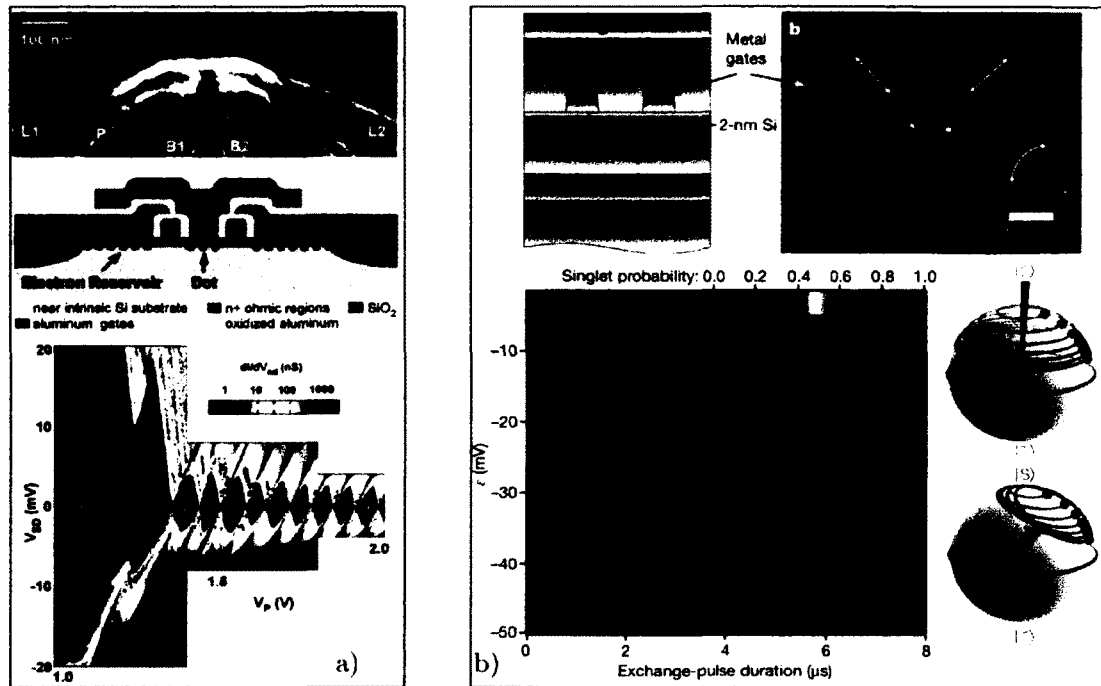


Figure 11. Réalisations de SETs en silicium 2D. a) 2DEG induit dans du silicium (structure MOS). Figure reproduite de la référence [64]. b) 2DEG dans un puits de silicium (hétérostructure Si/SiGe). Figure reproduite de la référence [65].

structures sont aussi utilisées conjointement avec des dopants uniques [33, 51] (figure 11a). Le 2DEG peut alternativement être confiné dans une hétérostructure de Si/SiGe [65] (figure 11b).

Description du projet et objectifs

Contexte

En résumé, dans les sections précédentes, il a été expliqué que l'énergie de confinement quantique dans les boîtes quantiques semi-conductrices exige la fabrication d'îlots de taille inférieure à une centaine de nanomètres. De même, l'énergie de charge d'un SET augmente avec la réduction des dimensions. Ainsi, les technologies de l'électronique classique et quantiques bénéficient toutes deux de cette miniaturisation.

Les approches traditionnelles en nanolithographie (*top-down*) permettent de fabriquer des structures avec une résolution de 10 nm latéralement, mais la dimension verticale reste difficile à contrôler. Les approches utilisant comme point de départ les nanostructures

auto-assemblées (*bottom-up*), elles, permettent la fabrication de structures petites, mais dont la géométrie est difficile à contrôler.

Objectifs

Le projet vise à démontrer une nouvelle méthode de fabrication de boîtes quantiques en silicium qui permet l'opération à la température ambiante et le contrôle quantique d'un spin électronique unique.

Approche

Le silicium poly-cristallin intrinsèque est un matériau qui permet de confiner l'électron dans un état quantique. La taille des grains peut être dix fois supérieure à la taille de l'îlot. Afin d'optimiser le confinement, des barrières tunnel en oxyde de silicium seront utilisées. Celles-ci forment une bonne interface avec le silicium, sont faciles à fabriquer et sont bien étudiées dans la littérature. La hauteur de la barrière permettra de couper tout courant thermoionique à température ambiante.

L'îlot sera intentionnellement laissé intrinsèque. L'absence de dopage permettra un alignement particulier des bandes tel que la bande de conduction est vide et la bande de valence est remplie. Un potentiel de grille sera utilisé pour induire des électrons/trous par effet électrostatique. Ainsi, le gap du silicium sera vu comme un espacement géant entre deux niveaux d'énergie de l'îlot et permettra l'opération à température ambiante.

Méthode

Pour fabriquer un îlot de silicium le plus petit possible, la résolution (latérale) ultime de la lithographie par faisceau d'électrons et la gravure plasma seront utilisés. Ensuite, pour réduire les dimensions verticales, un procédé de polissage chimico-mécanique (CMP) sera utilisé. Ce procédé de fabrication est appelé « procédé nanodamascène » [66, 67].

Des outils de nanocaractérisation comme le microscope électronique à balayage (SEM) ou le microscope à force atomique (AFM) permettront de caractériser la géométrie des nanostructures fabriquées.

Afin de démontrer la fonctionnalité du dispositif, une caractérisation électrique à basse température (1.5 K) et à température ambiante (300 K) sera effectuée. La mesure

d'un diagramme de stabilité sera l'étalon de la qualité de la fabrication et du potentiel d'applications du dispositif.

Les performances du dispositifs seront analysées selon les critères de l'électronique classique (courant de fuite I_{off} , ratio $I_{\text{on}}/I_{\text{off}}$, pente sous le seuil SS) et quantique (régime à un électron, bruit télégraphique).

Importance de la recherche

D'abord, le procédé de fabrication proposé (dans son ensemble) est unique au monde. Un seul autre groupe utilise un procédé damascène pour fabriquer des SETs. L'îlot est en silicium dopé [68] ou en aluminium [69], mais leurs dispositifs ont des énergies de charge inférieures à 30 meV. Leur procédé de fabrication diffère de celui proposé ici pour les raisons suivantes. D'abord, leur procédé utilise deux étapes de CMP, alors que celui proposé n'en utilise qu'une. Ensuite, leur objectif est d'obtenir une grande densité d'électrons dans l'îlot en utilisant du silicium fortement dopé ou un métal, alors que l'objectif du procédé proposé est d'obtenir une faible densité d'électrons grâce à du silicium intrinsèque. De plus, l'alignement des bandes est complètement différent dans leur structure, de sorte que leur transistor n'est pas opérationnel à la température ambiante et est « normalement ON », alors que celui proposé a un comportement transistor à la température ambiante et est « normalement OFF ».

Les SETs à température ambiante permettraient de réduire la consommation de puissance des processeurs [70]. Ils pourraient aussi permettre la fabrication de mémoires vives rapides et denses [10]. Bien que certains prototypes aient déjà été réalisés [57, 67, 71], leur fabrication demeure un formidable défi technologique. Le procédé nanodamascène (CMP) pourrait permettre un nouveau type de transistor mono-électronique en silicium (Si-SET) à température ambiante qui pourrait être intégré par dessus des MOSFETs.

Le régime à un électron dans une boîte quantique en Si permettrait l'utilisation du spin électronique comme qubit. Dans les boîtes quantiques latérales de AlGaAs/GaAs, le temps de cohérence T_2^* est d'environ 10 – 20 ns [46, 72], alors que les calculs théoriques montrent qu'une boîte quantique en Si purifié pourrait avoir un temps de cohérence de $T_2^* = 5 \mu\text{s}$, une amélioration de trois ordres de grandeurs [73]. Un autre avantage considérable de cette architecture est sa compatibilité avec l'industrie de la microélectronique et le savoir-faire industriel, de même que le couplage avec des cavités résonnantes supraconductrices à un seul photon. Ce sont des caractéristiques qui pourraient ouvrir la

porte à une nouvelle génération de qubits de spin et à la réalisation de portes logiques quantiques à grande échelle.

Chapitre 1

Théorie

Dans ce chapitre, la théorie nécessaire à la modélisation des transistors mono-électroniques en silicium (Si-SETs) est présentée. D'abord, la théorie orthodoxe du blocage de Coulomb est dérivée et utilisée pour modéliser le courant à travers un SET métallique. Ensuite, les méthodes analytiques et numériques pour calculer les capacités du système sont détaillées. Finalement, les différences à prendre en compte pour les îlots semi-conducteurs sont décrites.

1.1 Théorie orthodoxe du blocage de Coulomb

Le blocage de Coulomb est un effet complètement classique dans un certain sens. Les interactions électron-électron de Coulomb qui dominent le comportement des transistors mono-électroniques (SETs) sont entièrement explicables avec une charge électronique discrète et l'effet tunnel séquentiel. La cohérence de la fonction d'onde de l'électron n'est pas nécessaire pour comprendre les îlots métalliques. Il n'en est pas de même pour les îlots semi-conducteurs, où les effets ondulatoires s'ajoutent au comportement électrostatique. Cette théorie est originellement proposée dans les références [74, 75]. La version présentée ici est tirée des références [76–78]. Un excellent article de revue sur les SETs métalliques et leurs applications est donné à la référence [9].

1.1.1 L'énergie électrostatique

À la section 1.2.2, le formalisme de la matrice de capacité est utilisé pour calculer l'énergie de charge électrostatique d'un SET métallique comme celui de la figure 1.6 :

$$U(n) = \frac{e^2}{2C_{\text{II}}}(n - n_{\text{g}})^2, \quad (1.1)$$

qui dépend du nombre d'électrons en excès n sur l'îlot (la contribution indépendante de n peut être enlevée, voir l'éq. (1.41)), de la charge induite $en_{\text{g}} = -(C_{\text{IS}}V_{\text{S}} + C_{\text{ID}}V_{\text{D}} + C_{\text{IG}}V_{\text{G}})$, des éléments de la matrice de capacité C_{ij} définis à la section 1.2.1 (C_{II} est la capacité totale) et des potentiels de la source, du drain et de la grille V_{S} , V_{D} et V_{G} . Le potentiel chimique de l'îlot, quand à lui, est donné par l'éq. (1.43) :

$$\mu(n) = \frac{e^2}{C_{\text{II}}} \left(n - n_{\text{g}} - \frac{1}{2} \right). \quad (1.2)$$

Ces fonctions sont illustrées à la figure 1.1. En a), on voit que l'état de plus faible énergie du système dépend du potentiel appliqué sur la grille à travers la valeur de n_{g} . Quand deux valeurs de n donnent la même énergie et qu'une tension source-drain est appliquée, les électrons peuvent alors circuler un par un à travers l'îlot, ce qui produit les pics de courant de la figure 4. Ces pics coïncident avec les valeurs de $n_{\text{g}} = \pm 1/2, \pm 3/2, \dots$

1.1.2 Approximations de la théorie orthodoxe

Dans la théorie orthodoxe, un certain nombre d'approximations sont faites pour calculer les taux tunnel des électrons.

1. **Barrières tunnel opaques.** Cette approximation a pour conséquence de localiser l'électron d'un côté où de l'autre de la jonction tunnel. Pour satisfaire cette condition, la résistance de la jonction tunnel doit être supérieure au quantum de résistance $R_{\text{Q}} = h/e^2 = 25.8 \text{ k}\Omega$. En effet, le temps pris par l'électron pour traverser est approximativement $\tau = RC$, avec R et C la résistance et la capacité de la jonction. Si l'effet tunnel est séquentiel et les processus virtuels négligeables, alors via la relation d'incertitude temps-énergie $\tau\Delta E \geq h$, où $\Delta E = e^2/C$ est la séparation entre deux niveaux d'énergie du SET. Ainsi, $(RC)(e^2/C) \geq h$ et donc $R \geq h/e^2$.
2. **Effets quantiques absents.** Cette approximation signifie que les niveaux d'énergie

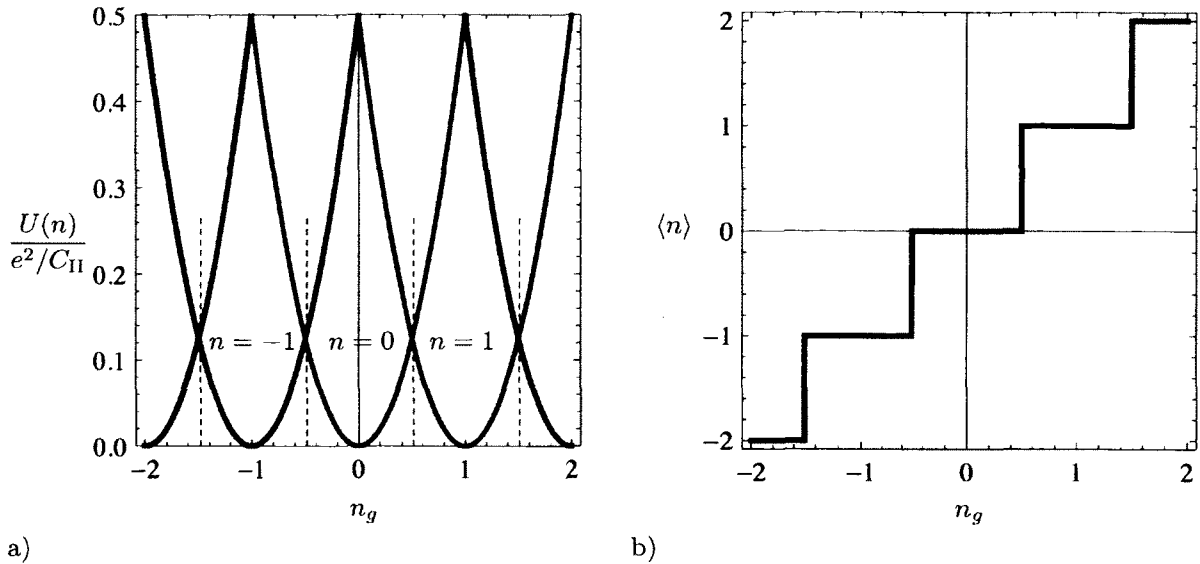


Figure 1.1. a) Énergie électrostatique du système en fonction de n_g . b) Nombre moyen d'électron $\langle n \rangle$ en fonction de n_g . La valeur de n_g peut être ajustée avec le potentiel de grille.

discrets d'énergie cinétique sont négligeables devant l'énergie de charge, et que la cohérence de la phase des électrons est perdue avant qu'un second événement tunnel ne se produise. Ces conditions sont réalistes pour des nanostructures métalliques et semi-conductrices. Par exemple, le temps de cohérence de la phase des électrons dans une boîte quantique en GaAs est de l'ordre de 10 – 100 ps [79]. Les effets quantiques influencent le calcul des capacités, des énergies de charge, des énergies de confinement et des couplages tunnel (résistances tunnel), mais ne changent pas le comportement qualitatif.

1.1.3 Hamiltonien tunnel

Un Hamiltonien H de type Hubbard peut être utilisé pour calculer les taux tunnel des jonctions. Supposons que les opérateurs $c_{k_L}^\dagger$, $c_{k_R}^\dagger$ et c_q^\dagger créent des électrons libres de vecteurs d'onde k_L , k_R et q , et d'énergies ϵ_{k_L} , ϵ_{k_R} et ϵ_q dans les contacts de gauche (L),

de droite (R) et dans l'îlot (I) respectivement. Soit

$$H = H_L + H_R + H_I + H_T, \quad (1.3)$$

$$H_L = \sum_{k_L} (\epsilon_{k_L} - eV_L) c_{k_L}^\dagger c_{k_L}, \quad (1.4)$$

$$H_R = \sum_{k_R} (\epsilon_{k_R} - eV_R) c_{k_R}^\dagger c_{k_R}, \quad (1.5)$$

$$H_I = \sum_q \epsilon_q c_q^\dagger c_q + \frac{E_C}{2} \left(\sum_q c_q^\dagger c_q - n_0 - n_g \right)^2, \quad (1.6)$$

$$H_T = \sum_{k_L, q} \left(t_{k_L, q}^* c_q^\dagger c_{k_L} + t_{k_L, q} c_{k_L}^\dagger c_q \right) + \sum_{k_R, q} \left(t_{k_R, q}^* c_q^\dagger c_{k_R} + t_{k_R, q} c_{k_R}^\dagger c_q \right). \quad (1.7)$$

Les potentiels électrostatiques V_L et V_R sont appliqués sur les contacts de gauche et de droite. Le deuxième terme de l'éq. (1.6) représente l'énergie de charge où $E_C = e^2/C_{II}$ et où l'opérateur $\hat{n} = \sum_q c_q^\dagger c_q - n_0$ représente le nombre d'électrons en excès de l'éq. 1.1. La constante n_0 est donc simplement le nombre d'électrons sur l'îlot lorsque celui-ci est neutre, et n_g est une constante définie à l'éq. 1.1. Le terme qui gouverne le transport est le terme tunnel H_T . Les coefficients t_k sont des coefficients tunnel.

Le taux de transition de l'état n vers l'état $n + 1$, avec un processus tunnel de L vers I , peut se calculer avec la règle d'or de Fermi :

$$\Gamma_{n, n+1}^{LI} = \frac{2\pi}{\hbar} \sum_{i_n, f_{n+1}} |\langle f_{n+1} | H_T | i_n \rangle|^2 w_{i_n} \delta(E_{f_{n+1}} - E_{i_n}), \quad (1.8)$$

où $|f_{n+1}\rangle = c_q^\dagger c_{k_L} |i_n\rangle$, w_{i_n} est la probabilité d'occupation de l'état $|i_n\rangle$, $E_{f_{n+1}} = U(n + 1) + \epsilon_q$ et $E_{i_n} = U(n) + \epsilon_{k_L}$. $U(n)$ est défini à l'éq. 1.1. Après une certaine quantité de calculs¹, on arrive au résultat

$$\Gamma_{n, n+1}^{LI} = \frac{1}{e^2 R_L} \frac{\Delta E_{\text{el}}(n + 1)}{\exp[\Delta E_{\text{el}}(n + 1)/k_B T] - 1}, \quad (1.9)$$

$$\Delta E_{\text{el}}(n + 1) = U(n + 1) - U(n) + \mu_I - \mu_L \quad (1.10)$$

$$= \mu(n + 1) - eV_L. \quad (1.11)$$

Les potentiels chimiques sur l'îlot et le contact gauche sont μ_I et μ_L , et $\mu(n)$ est défini

¹Voir la référence [80, pages 124–129] ou [78] pour les détails.

comme à l'équation 1.2. La constante

$$\frac{1}{R_L} = \frac{(2\pi)^2 |t_L|^2 d_L d_I}{R_Q} \quad (1.12)$$

est la résistance tunnel de la jonction L , avec t_L un coefficient tunnel moyen, et d_L et d_I le nombre de modes par unité d'énergie.²

1.1.4 Équation maîtresse

Soit $P(\alpha, t)$ la probabilité de trouver le système dans l'état $n = \alpha$ au temps t . La probabilité est normalisée, $\sum_{\alpha} P(\alpha, t) = 1$. On doit avoir

$$\frac{\partial P(\alpha, t)}{\partial t} = - \sum_{\beta} \Gamma_{\alpha, \beta} P(\alpha, t) + \sum_{\beta} \Gamma_{\beta, \alpha} P(\beta, t), \quad (1.13)$$

où la somme sur les indices $\{L, R, I\}$ dans les $\Gamma_{\alpha, \beta}^{LI}$ est implicite. À l'état stationnaire, $\frac{\partial P(\alpha, t)}{\partial t} = 0$ et la solution est alors $P_s(\alpha)$. Avec la connaissance des $P_s(n)$, le courant à travers le SET est alors

$$I = -e \sum_n \left(\Gamma_{n, n+1}^{LI} - \Gamma_{n, n+1}^{IL} \right) P_s(n). \quad (1.14)$$

On peut résoudre l'équation maîtresse pour une tension symétrique $V_L = -V_R = V/2$, avec $eV, k_B T \ll E_C$ et $n < n_g < n + 1$. On trouve alors

$$I(V, n_g) = -e \frac{\Gamma_{n, n+1}^{LI} \Gamma_{n+1, n}^{IR} - \Gamma_{n, n+1}^{RI} \Gamma_{n+1, n}^{IL}}{\Gamma_{n, n+1}^{LI} + \Gamma_{n+1, n}^{IR} + \Gamma_{n, n+1}^{RI} + \Gamma_{n+1, n}^{IL}}. \quad (1.15)$$

La figure 1.2 trace le courant pour différentes températures et valeurs de V .

1.1.5 Diamants de Coulomb et spectroscopie

La mesure du courant dans un SET en fonction de V_G et de V_{DS} donne un diagramme avec des régions en forme de losanges, comme celui de la figure 4b, appelés diamants de Coulomb. La figure 1.3a montre un diamant de Coulomb calculé avec l'éq. (1.15).

En fait, tous les paramètres électrostatiques (i.e. capacités et énergie de charge)

²Provient de la conversion d'une somme vers une intégrale de type $\sum_q \rightarrow d_I \int d\epsilon_I$.

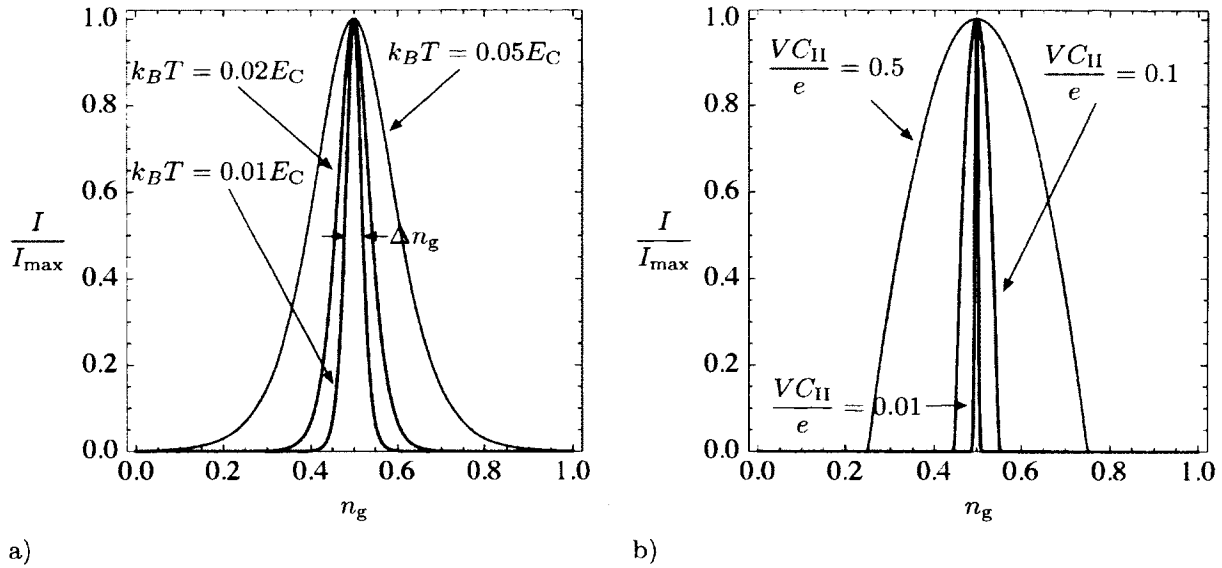


Figure 1.2. a) Pic de Coulomb pour différentes températures à faible tension. La largeur du pic est approximativement $\frac{e^2}{C_{II}} \Delta n_g \approx 3.53 k_B T$ [77, page 396]. b) Pic de Coulomb pour différentes tensions source-drain à $T \approx 0$.

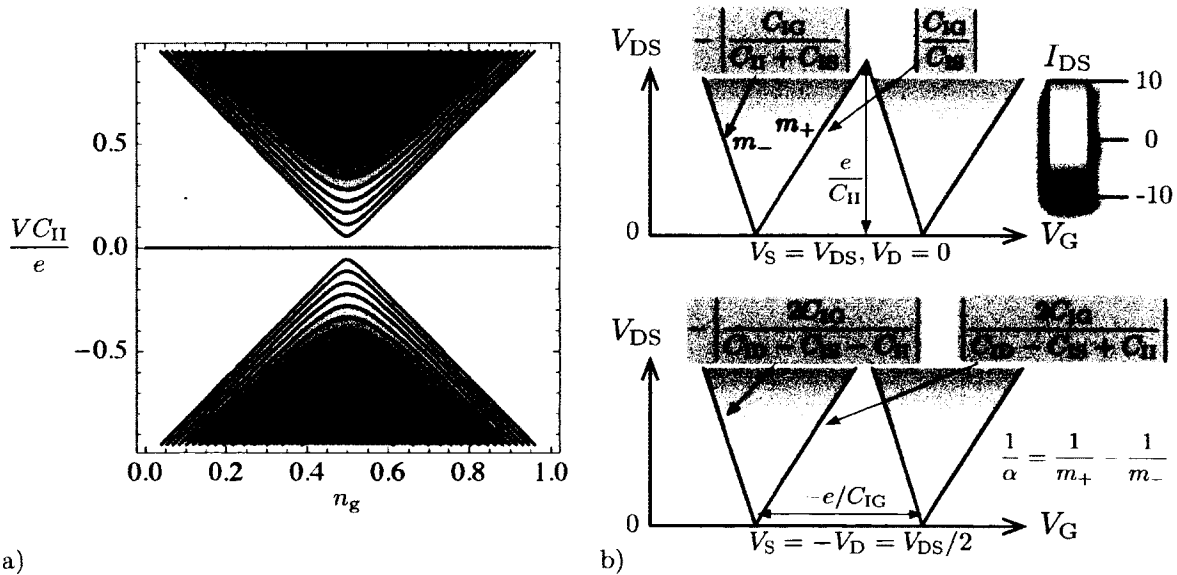


Figure 1.3. a) Diamant de Coulomb calculé avec l'éq. (1.15) à basse température et pour une tension symétrique $V_L = -V_R = V/2$. L'échelle de couleur représente le courant dans le SET. b) Les diamants de Coulomb contiennent l'information sur les états d'énergie dans l'îlot. Les pentes permettent de calculer le levier de grille α . L'énergie de charge et les capacités peuvent ensuite être extraites du diagramme. Les états excités d'un îlot semi-conducteurs peuvent aussi être visibles (voir [81]). La convention de signe des C_{ij} est celle de la matrice de capacité.

peuvent être extraits des diamants de Coulomb. La figure 1.3b montre comment extraire ces paramètres. Pour calculer les pentes des diamants, il faut appliquer une tension symétrique ($V_S = -V_D = V_{DS}/2$) ou mettre le drain à la masse, puis calculer comment doit varier $V_{DS}(V_G)$ pour que $\mu(n)$ reste aligné avec la source ou le drain. Le résultat de ce calcul est indiqué dans les boîtes bleues de la figure 1.3b. Les pentes permettent de calculer le levier de grille

$$\frac{1}{\alpha} = \frac{1}{m_+} - \frac{1}{m_-}. \quad (1.16)$$

Pour $V_{DS} = 0$, la distance entre les pics donne la capacité de la grille (en valeur absolue). La hauteur du triangle donne la capacité totale (en valeur absolue), ou encore l'énergie d'addition totale (voir la section 1.3). Si une contribution quantique E_K s'additionne à E_C , l'interprétation du diagramme devient alors plus difficile, car il faut trouver une façon de différencier les deux contributions.

1.2 Modélisation de la capacité

La modélisation des SETs nécessite un calcul approprié de la capacité entre les différents éléments du circuit. La géométrie des dispositifs fabriqués est telle que des modèles analytiques simples (p. ex. plaques parallèles) ne s'appliquent pas dû aux champs de frange [82]. Ainsi, le calcul numérique est nécessaire. Dans un premier temps, le formalisme de la matrice de capacité est introduit et utilisé pour calculer l'énergie de charge d'un SET. Par la suite, un modèle analytique simple de capacité est proposé pour comprendre comment celle-ci se comporte en fonction des paramètres géométriques. Finalement, la simulation numérique des capacités par éléments finis à l'aide de logiciels commerciaux (COMSOL, etc.) est utilisée pour calculer le levier et l'énergie de charge d'un SET métallique en fonction des dimensions géométriques. Les implications sur la température d'opération sont discutées.

1.2.1 Théorie

Capacité

La capacité C entre deux conducteurs parfaits dans un milieu polarisable de constante diélectrique $\epsilon = \epsilon_0 \epsilon_r$ est reliée à la charge q sur une armature, la différence de potentiel

V entre les armatures ou encore à l'énergie électrostatique W_{el} par les relations

$$q = CV, \quad (1.17)$$

$$W_{\text{el}} = \frac{1}{2}CV^2 = \frac{q^2}{2C}, \text{ et} \quad (1.18)$$

$$W_{\text{el}} = \int u(\mathbf{r})d^3r, \quad (1.19)$$

où l'intégrale est sur l'espace libre entre les armatures et $u(\mathbf{r}) = \frac{1}{2}\epsilon\mathbf{E}^2$ est la densité d'énergie électrostatique. Cette dernière relation est très utile pour comprendre la capacité.

Conducteurs multiples

Considérons un ensemble de n conducteurs dans un espace de constante diélectrique $\epsilon = \epsilon_0\epsilon_r$. La charge totale q_i sur le i^{e} conducteur est reliée au potentiel électrostatique V_i dans le conducteur par

$$q_i = \sum_j C_{ij}V_j. \quad (1.20)$$

Les coefficients C_{ij} définissent la matrice de capacité \mathbf{C} . La connaissance de cette matrice suffit pour connaître tous les paramètres du système (q_i , V_i et W_{el}) et pour retrouver les autres définitions de la capacité.

Dans ce formalisme, l'énergie électrostatique du système est simplement

$$W_{\text{el}} = \frac{1}{2} \sum_i q_i V_i = \frac{1}{2} \sum_{i,j} C_{ij} V_i V_j. \quad (1.21)$$

On voit que

$$C_{ij} = \frac{\partial^2 W_{\text{el}}}{\partial V_i \partial V_j}. \quad (1.22)$$

Propriétés de la matrice de capacité

1. \mathbf{C} est symétrique, i.e. $C_{ij} = C_{ji}$.
2. $C_{ii} \geq 0$ et $C_{ij} \leq 0$.
3. $C_{ii} \geq |C_{ij}|$.

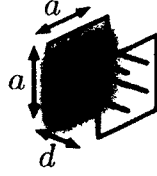


Figure 1.4. Capacité dans la géométrie plaques parallèles $C_{\text{plan}} = \epsilon_0 \epsilon_r \frac{a^2}{d}$.

Relations entre la capacité et le potentiel

Soit $\Phi(\mathbf{r}) = \sum_i V_i \phi_i(\mathbf{r})$ le potentiel électrostatique dans l'espace. Les $\phi_i(\mathbf{r})$ représentent le potentiel quand $V_i = 1$ V et $V_{j \neq i} = 0$ V. Ils sont constants dans les conducteurs et s'annulent quand $|\mathbf{r}| \rightarrow \infty$. Si S_i est la surface du i^{e} conducteur, on a donc

$$q_i = \epsilon \int_{S_i} -\nabla \Phi(\mathbf{r}) \cdot d\mathbf{a} = \sum_j \left(-\epsilon \int_{S_i} \nabla \phi_j(\mathbf{r}) \cdot d\mathbf{a} \right) V_j, \quad (1.23)$$

$$C_{ij} = -\epsilon \int_{S_i} \nabla \phi_j(\mathbf{r}) \cdot d\mathbf{a}. \quad (1.24)$$

De plus, en utilisant l'énergie électrostatique, on montre que

$$W_{\text{el}} = \int_{\mathcal{V}} \frac{1}{2} \epsilon |\nabla \Phi(\mathbf{r})|^2 d^3 r = \frac{1}{2} \sum_{i,j} \left(\epsilon \int_{\mathcal{V}} \nabla \phi_i(\mathbf{r}) \cdot \nabla \phi_j(\mathbf{r}) d^3 r \right) V_i V_j, \quad (1.25)$$

$$C_{ij} = \epsilon \int_{\mathcal{V}} \nabla \phi_i(\mathbf{r}) \cdot \nabla \phi_j(\mathbf{r}) d^3 r, \quad (1.26)$$

où \mathcal{V} est le volume libre entre les conducteurs.

Capacité en géométrie plaques parallèles

Comme exemple de l'application de la densité d'énergie électrostatique au calcul de capacité, utilisons le cas simple de la géométrie des plaques parallèles. Si les plaques carrées ont une dimension latérale a et sont séparées par une distance d , alors $E = V/d$ et donc $W_{\text{el}} = \frac{1}{2} \epsilon_0 \epsilon_r \frac{V^2}{d^2} \times a^2 d = \frac{1}{2} \left(\epsilon_0 \epsilon_r \frac{a^2}{d} \right) V^2$. On retrouve l'expression familière

$$C_{\text{plan}} = \epsilon_0 \epsilon_r \frac{a^2}{d}. \quad (1.27)$$

La figure 1.4 illustre ce calcul.

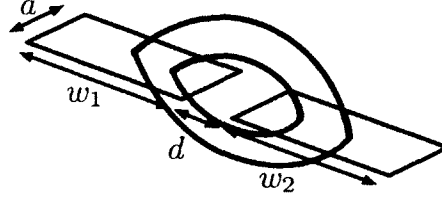


Figure 1.5. Capacité dans la géométrie guide d'onde coplanaire $C_{\text{strip}} = \epsilon_0 \epsilon_r a \frac{K(\sqrt{1-k^2})}{K(k)}$.

Capacité en géométrie guide d'onde coplanaire

Une géométrie utile à considérer est la géométrie du guide d'onde coplanaire illustrée à la figure 1.5. La capacité est donnée par

$$k_1 = \frac{d}{2w_1 + d} \quad k_2 = \frac{d}{2w_2 + d} \quad k = \sqrt{k_1 k_2} \quad (1.28)$$

$$C_{\text{strip}} = \epsilon_0 \epsilon_r a \frac{K(\sqrt{1-k^2})}{K(k)}, \quad (1.29)$$

où $K(k) = \int_0^{\pi/2} \frac{d\theta}{\sqrt{1-k^2 \sin^2 \theta}}$ est une intégrale elliptique de première classe. Cette formule est exacte mais suppose un guide d'onde infini dans la direction a [83].

1.2.2 Énergie de charge d'un SET

Dans cette section, l'énergie de charge d'un SET est calculée avec le formalisme de la matrice de capacité. On définit quatre armatures comme sur la figure 1.6a. Le circuit équivalent est dessiné à la figure 1.6b. Des électrons peuvent passer de la source ou du drain vers l'île. On définit donc $q_I = -en$ la charge totale sur l'armature de l'île, n étant un nombre entier. Le potentiel V_I dépend de n , les potentiels sur les autres armatures étant fixés par les sources de tension. Partant de l'équation (1.20), on peut exprimer V_I en fonction de la matrice de capacité inverse \mathbf{C}^{-1} :

$$V_I = \sum_i C_{Ii}^{-1} q_i = C_{II}^{-1} q_I + \sum_{i \neq I} C_{Ii}^{-1} q_i = C_{II}^{-1} q_I + \sum_{i \neq I} C_{Ii}^{-1} \left(C_{iI} V_I + \sum_{j \neq I} C_{ij} V_j \right) \quad (1.30)$$

$$= C_{II}^{-1} q_I + \sum_{i \neq I} C_{Ii}^{-1} C_{iI} V_I + \sum_{j \neq I} \sum_{i \neq I} C_{Ii}^{-1} C_{ij} V_j. \quad (1.31)$$

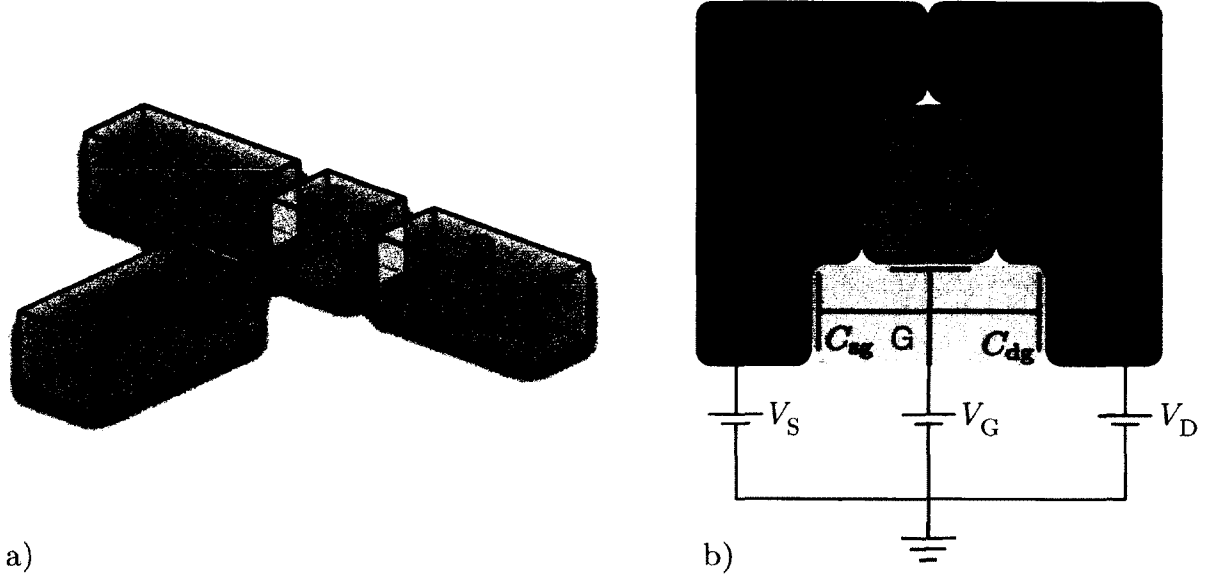


Figure 1.6. a) Schéma d'un SET représenté par quatre armatures. b) Circuit équivalent. Les jonctions tunnel y sont représentées.

Par définition, $\sum_l C_{il}^{-1} C_{lj} = \delta_{ij}$ et donc $\sum_{i \neq I} C_{iI}^{-1} C_{ij} = \delta_{Ij} - C_{II}^{-1} C_{Ij}$. L'équation précédente devient

$$V_I = C_{II}^{-1} q_I + V_I - C_{II}^{-1} C_{II} V_I + \sum_{j \neq I} -C_{II}^{-1} C_{Ij} V_j, \quad (1.32)$$

$$C_{II}^{-1} C_{II} V_I = C_{II}^{-1} q_I + \sum_{j \neq I} -C_{II}^{-1} C_{Ij} V_j, \quad (1.33)$$

$$V_I = \frac{q_I}{C_{II}} - \frac{1}{C_{II}} \sum_{j \neq I} C_{Ij} V_j. \quad (1.34)$$

On doit avoir $q_I = -en$. On définit n_g tel que³

$$en_g = - \sum_{j \neq I} C_{Ij} V_j, \quad (1.35)$$

$$V_I = \frac{-e}{C_{II}} (n - n_g). \quad (1.36)$$

Calculons ensuite l'énergie libre du système. Il faut calculer l'énergie électrostatique

³La convention de signe est la même que dans la littérature, où $en_g = C_S V_S + C_D V_D + C_G V_G$ [9, 81, 84]. En effet, les C_{ij} sont négatifs pour $i \neq j$, contrairement aux C_S , C_D et C_G .

du système selon (1.21), moins le travail $q_i V_i$ fourni par chaque source :

$$U(n) = \frac{1}{2} \sum_{i,j} C_{ij} V_i V_j - \sum_{i \neq 1} q_i V_i \quad (1.37)$$

$$\begin{aligned} &= \frac{1}{2} C_{II} V_I V_I + \frac{1}{2} \sum_{i \neq I} C_{iI} V_i V_I + \frac{1}{2} \sum_{j \neq I} C_{Ij} V_I V_j + \frac{1}{2} \sum_{i \neq I} \sum_{j \neq I} C_{ij} V_i V_j \\ &\quad - \sum_{i \neq I} C_{iI} V_i V_I - \sum_{i \neq I} \sum_{j \neq I} C_{ij} V_j V_i. \end{aligned} \quad (1.38)$$

où on a séparé les contributions de l'île et des autres armatures. Comme $C_{ij} = C_{ji}$,

$$U(n) = \frac{1}{2} C_{II} V_I V_I - \frac{1}{2} \sum_{i \neq I} \sum_{j \neq I} C_{ij} V_i V_j \quad (1.39)$$

$$= \frac{e^2}{2C_{II}} (n - n_g)^2 - \frac{1}{2} \sum_{i \neq I} \sum_{j \neq I} C_{ij} V_i V_j. \quad (1.40)$$

On peut définir $U_{cc} = -\frac{1}{2} \sum_{i \neq I} \sum_{j \neq I} C_{ij} V_i V_j$, qui est indépendant de n . L'énergie libre électrostatique du système est donc

$$U(n) = \frac{e^2}{2C_{II}} (n - n_g)^2 + U_{cc}. \quad (1.41)$$

Le potentiel chimique $\mu(n)$ est défini par

$$\mu(n) = U(n) - U(n-1) \quad (1.42)$$

$$= \frac{e^2}{C_{II}} \left(n - n_g - \frac{1}{2} \right). \quad (1.43)$$

L'énergie de charge, elle, est simplement

$$E_C = \mu(n+1) - \mu(n) = \frac{e^2}{C_{II}}. \quad (1.44)$$

1.2.3 Modèle analytique simple

Description du modèle

Afin de comprendre la dépendance de la capacité d'un SET avec les paramètres du système et de valider les calculs numériques, étudions le cas simple de deux fils rectangulaires séparés par un gap (voir la figure 1.7a). On se place toujours dans le cas $w \gg d$

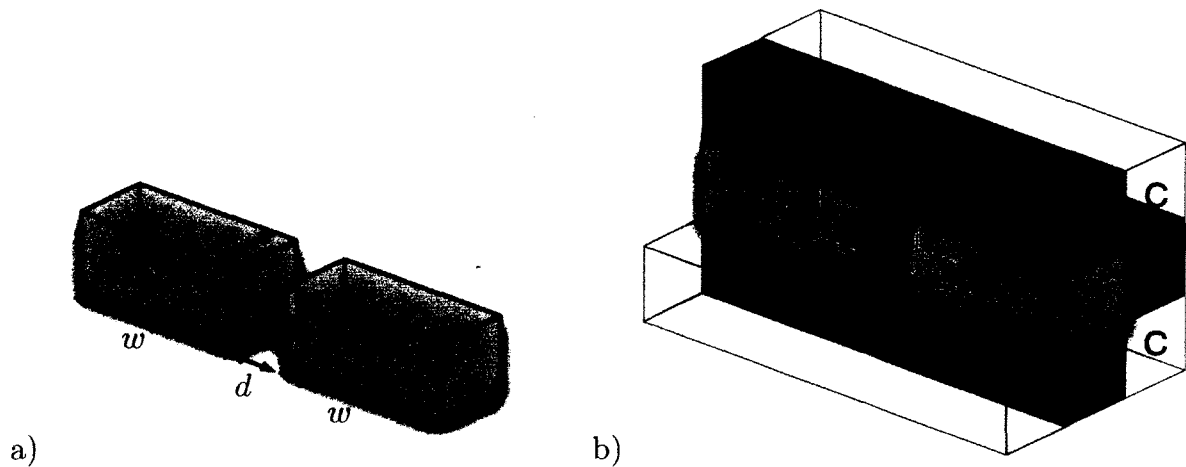


Figure 1.7. a) Définition des paramètres pour la géométrie modélisée. b) Définition des sous-régions de l'espace autour de l'armature. Deux blocs ont été omis par soucis de clarté.

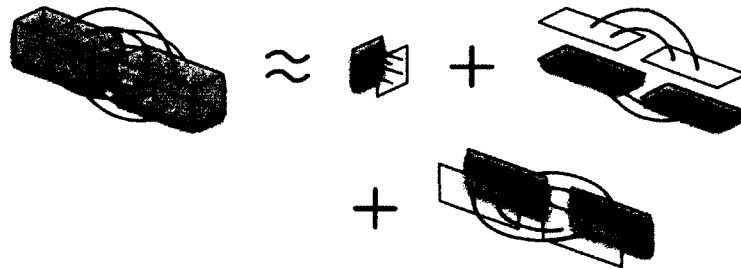


Figure 1.8. Décomposition de la capacité en la somme de deux modèles analytiques simples.

et $w \gg a$. L'idée du modèle repose sur le fait que la capacité totale peut être exprimée comme la somme de l'énergie électrostatique contenue dans différentes sous-régions de l'espace autour des armatures (figure 1.7b). En première approximation, le champ électrique est environ celui de la géométrie plaques parallèles dans la région A, celui de la géométrie guide d'onde dans la région B et celui d'un fil dans la région C.

Le modèle proposé consiste à additionner les contributions des régions A et B (voir la figure 1.8), c'est-à-dire

$$C_{\text{tot}} = C_{\text{plan}} + 2C_{\text{strip}}. \quad (1.45)$$

Déduction des lois d'échelles

À partir de cette décomposition en sous-régions, on peut prédire les lois d'échelle pour la capacité, c'est-à-dire la dépendance en a et en d de C_{tot} . L'équation (1.19) à la section 1.2.1 montre que la capacité est proportionnelle à l'énergie électrostatique contenue dans le champ, qui à son tour est proportionnelle au carré du champ électrique et au volume de la sous-région.

Pour la région A, le champ $E = V/d$ varie linéairement entre les plaques et le volume est a^2d . Donc $C_A \propto \frac{1}{d^2}a^2d \propto a^2/d$.

Pour la région B, le champ E est indépendant de a et le volume est proportionnel à a . On s'attend donc à ce que $C_B \propto a$. Analysons la dépendance en d . Dans l'espace vis-à-vis le gap, $E \sim 1/d$ alors que le volume croît comme d . Les deux contributions s'annulent donc. De plus, les plaques sont supposées très larges. Dans ce cas, le champ vis-à-vis celles-ci est donc environ constant (ne dépend pas de d). Ainsi C_B ne devrait pas être très sensible à d .

On en déduit que

$$C_{\text{tot}}(a) \approx c_0 + c_1a + c_2a^2, \quad (1.46)$$

$$C_{\text{tot}}(d) \approx c'_0 + c'_1\frac{1}{d}. \quad (1.47)$$

Note Le champ dans la région C peut être approximé comme étant celui de deux fils unidimensionnels se faisant face et séparés par une distance d . Il ne dépend donc pas de a , seulement de $\sim 1/d$.

Calcul numérique

La formule (1.45) est aisément calculable avec Mathematica. La figure 1.9 montre C_{tot} en fonction de a . On voit clairement les contributions en a et a^2 . La contribution constante n'est pas calculée. À cause de la loi d'échelle, à courte distance la contribution en a due aux faces latérales domine, alors qu'à grande distance la contribution en a^2 des plaques parallèles domine.

La figure 1.10 montre C_{tot} en fonction de d . On observe la contribution en $1/d$ du modèle plaques parallèles et la contribution relativement constante du guide d'onde (sur une plage réaliste de paramètres).

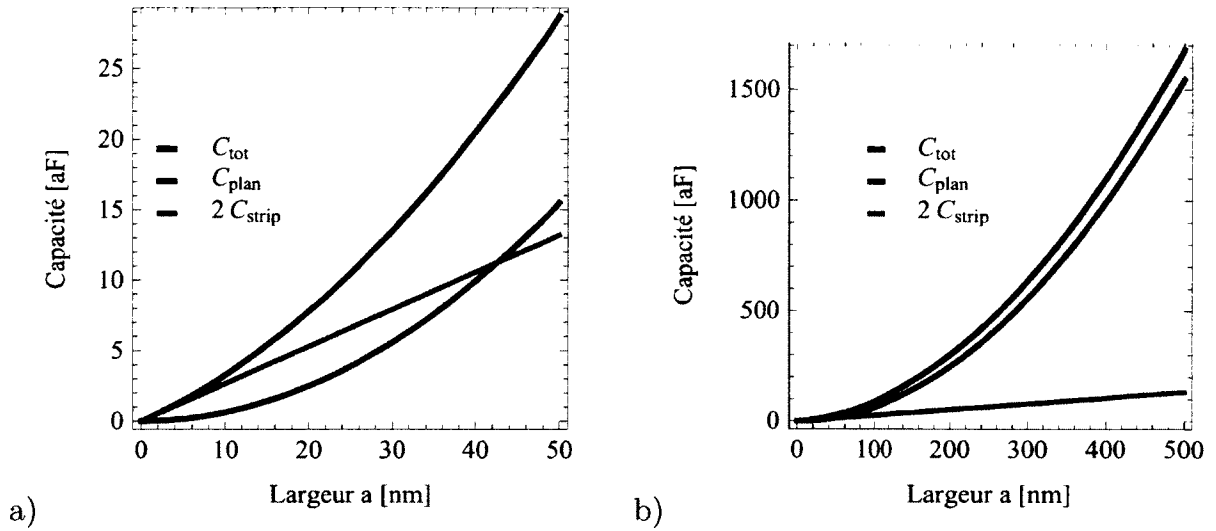


Figure 1.9. Calcul de $C_{tot}(a)$ pour $\epsilon_r = 3.5$, $d = 5$ nm et $w = 500$ nm. a) et b) montrent des échelles de valeurs différentes de a .

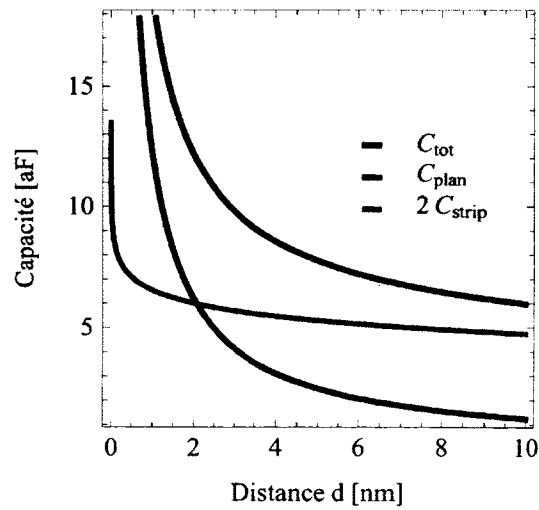


Figure 1.10. Calcul de $C_{tot}(d)$ pour $\epsilon_r = 3.5$, $a = 20$ nm et $w = 500$ nm.

1.2.4 Simulation numérique par éléments finis

Le logiciel de simulation par éléments finis COMSOL permet de simuler les champs électrostatiques par la méthode des éléments finis et d'en extraire les capacités par différentes méthodes de calcul.

Description des méthodes numériques

Méthode de la charge (méthode q) L'intégrale de la densité surfacique de charge sur les faces d'une armature S permet de calculer q et d'en inférer la capacité $C = q/V = -\frac{1}{V}\epsilon_0\epsilon_r \int_S \nabla\Phi(\mathbf{r}) \cdot d\mathbf{a}$.

Méthode de l'énergie électrostatique (méthode We) En calculant l'énergie électrostatique dans un volume donné de l'espace, on peut calculer la capacité via les relations (1.19) et (1.18).

Analyse des résultats

La figure 1.11 compare les résultats analytiques avec les simulations numériques en fonction de a .

La contribution du modèle plaque parallèle C_{plan} (région A) est égale dans les trois méthodes de calcul utilisées (analytique, q et We).

La contribution à la capacité de la région B ($2C_{\text{strip}}$) est bonne entre le modèle analytique et la méthode We. La différence entre les deux est attribuable aux effets de pointe qui intensifie le champ électrique près des coins et rend la contribution réelle supérieure. L'accord avec la méthode q est incorrect, mais ce résultat est normal. Dans la méthode q, $2C_{\text{strip}}$ correspond en fait à l'intégrale sur les régions B et C, alors que dans la méthode We cette capacité n'inclut que la région B.

L'accord total entre le modèle analytique et le modèle We intégré sur les régions A et B varie de 6 % pour $a = 100$ nm à 50 % pour $a = 5$ nm.

L'écart entre les deux modèles numériques (q et We) est de l'ordre de 5 aF, ce qui représente un écart de 25 % pour un paramètre $a = 20$ nm réaliste. Cet écart est probablement dû au maillage et au calcul numérique et devrait être amélioré.

La différence $2C_{\text{strip q}} - 2C_{\text{strip We}}$ représente l'erreur systématique prédite dans le modèle analytique (contribution de la région C). Selon le modèle analytique, cette contribution est prédite indépendante du paramètre a (éq. (1.46)). C'est ce qui est en effet

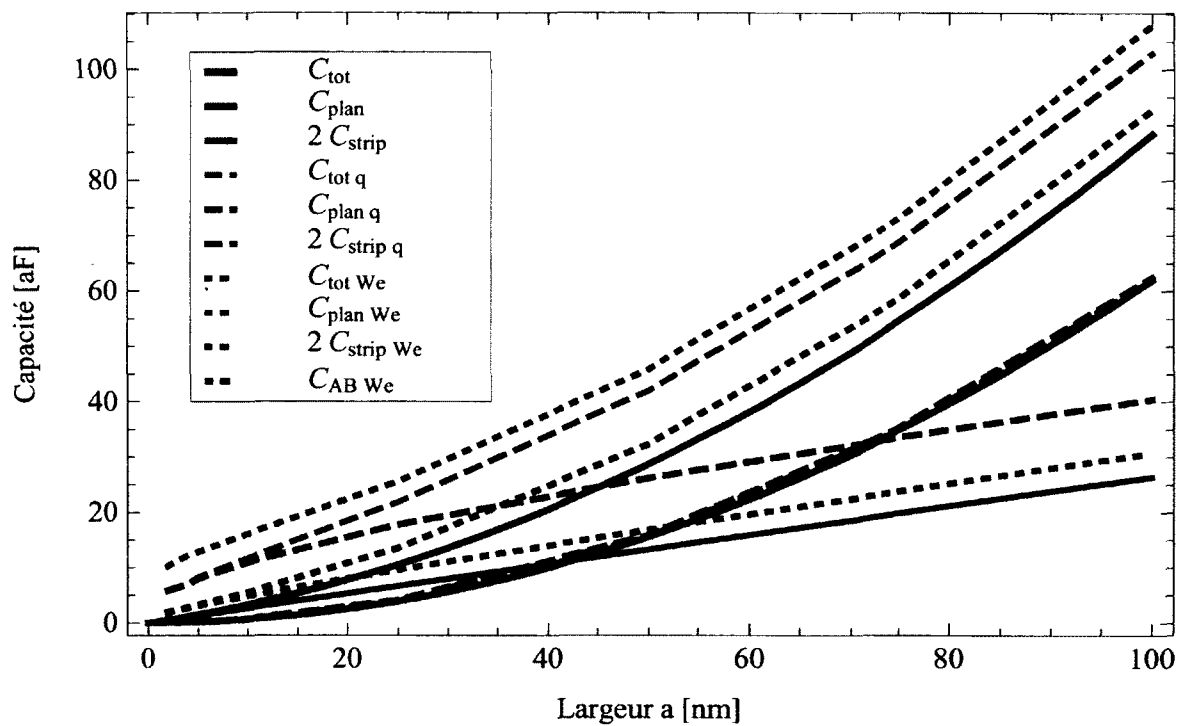


Figure 1.11. Comparaison des différentes contributions à la capacité pour $\epsilon_r = 3.5$, $d = 5$ nm et $w = 500$ nm. Les trois premières courbes correspondent au modèle analytique, les trois suivantes à la méthode q et les quatre dernières à la méthode We.

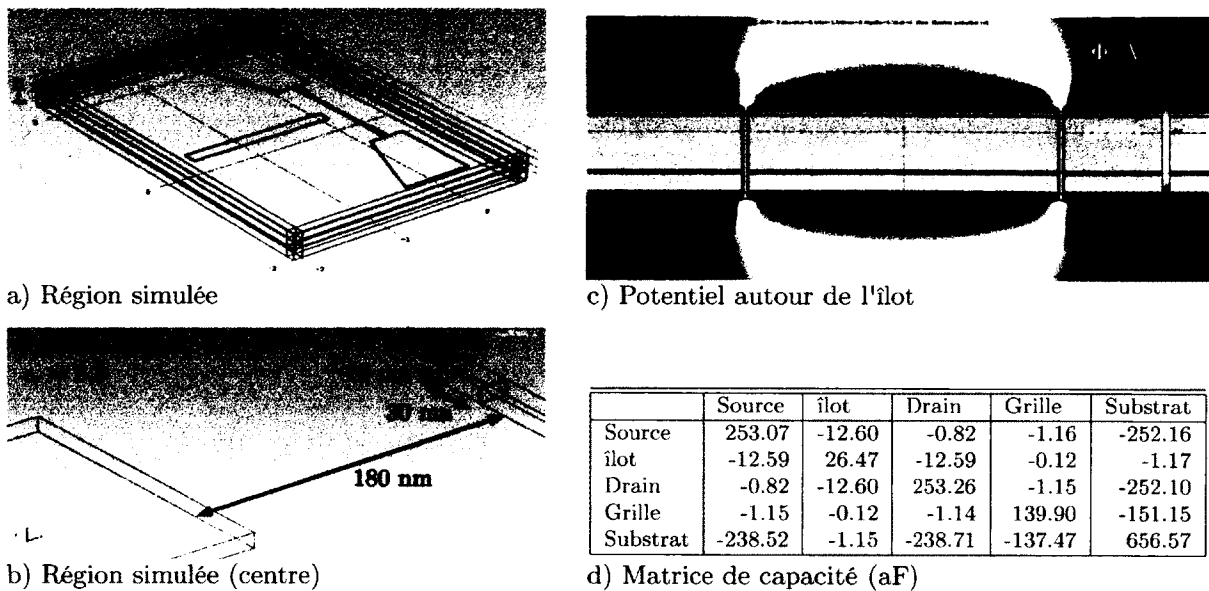


Figure 1.12. a) et b) Géométrie de la région simulée dans COMSOL. c) Potentiel électrostatique dans le plan du nanofil pour une tension de 1 V sur l'îlot. d) Matrice de capacité. L'énergie de charge est de $E_C = e^2/C_{II} = 6.0$ meV

observé sur la région $a \in [20 \text{ nm}, 100 \text{ nm}]$. Ainsi, pour les paramètres de la simulation, $c_0 \approx 10$ aF.

1.2.5 Simulation numérique d'un SET

La méthode numérique développée peut être utilisée pour calculer la matrice de capacité d'un SET en silicium. Le procédé de fabrication exact et la géométrie du dispositif sont expliqués en détail au chapitre 2.

L'îlot est approximé par un métal, car la simulation d'un semi-conducteur est complexe et nécessite un calcul auto-cohérent. Si cette approximation est plus ou moins valable à faible nombre d'électrons dans l'îlot ($0 \leq n \leq \sim 5$), elle le devient assez rapidement [84]. L'incertitude sur l'épaisseur de la jonction tunnel, les impuretés et les défauts peuvent facilement masquer ces effets.

La figure 1.12a et b donne les paramètres géométriques de la simulation. Le dispositif est emboîté dans du SiO_2 de constante diélectrique relative $\epsilon_r = 3.9$. L'épaisseur de la couche d'oxyde est de 150 nm (non illustré sur la figure). La surface de l'oxyde coïncide avec le haut du nanofil et de la grille. Au-dessus, de l'air ($\epsilon_r = 1$) est utilisé comme diélectrique.

Le maillage des éléments est difficile à ajuster et induit une légère erreur numérique. En effet, la différence d'échelle entre la région simulée ($\sim 10 \mu\text{m}$) et les jonctions tunnel étroites ($\sim 0.5 \text{ nm}$) demande un maillage adaptatif et une grande puissance de calcul. Sur la figure 1.12c, on voit que le potentiel électrostatique autour de l'îlot présente une certaine rugosité autour des coins. C'est pourquoi certains éléments de la matrice de capacité (figure 1.12d) qui devraient être identiques présentent une légère différence. Dans la région centrale, cette différence est limitée à environ 1 %, mais dans la région de la grille, où le maillage est plus grossier, elle peut aller jusqu'à 10 %.

La capacité est dominée par la contribution de la source et du drain, avec $C_{\text{IS}} = C_{\text{ID}} = -12.6 \text{ aF}$. La capacité à la grille, elle, est très faible en comparaison, avec $C_{\text{IG}} = -0.12 \text{ aF}$. Un paramètre important du système est le levier de la grille

$$\alpha = |C_{\text{IG}}/C_{\text{II}}|. \quad (1.48)$$

Il représente la capacité de celle-ci à ajuster les niveaux d'énergie par rapport au niveau de Fermi (voir l'éq. (1.43)). Pour les paramètres simulés, $\alpha = 0.0044$. À 1.5 K, le gap du silicium est de 1.16 eV. Ainsi, pour mettre le premier électron dans l'îlot, il faut appliquer un potentiel de grille de $1.16/2/\alpha = 132 \text{ V}$. Cette valeur est beaucoup trop élevée (elle ferait claquer les diélectriques de l'échantillon) et prouve la nécessité d'ajouter une grille supérieure dans les dispositifs. L'énergie de charge, quand à elle, est de $E_C = 6.0 \text{ meV}$.

1.2.6 Implication sur la température d'opération d'un SET métallique

Le procédé nanodamascène utilisé pour la fabrication des SETs métalliques a été inventé pour réduire la taille des îlots et des jonctions tunnel [67]. Une question naturelle est de savoir quelles sont les dimensions maximales d'un îlot pour obtenir un fonctionnement à température ambiante. Les outils développés permettent de calculer numériquement la capacité totale et l'énergie de charge de l'îlot pour des géométries réalistes. La figure 1.13 montre le résultat de ces simulations.

Sur une base physique, la largeur w et l'épaisseur t sont variés séparément car w dépend de la résolution lithographique et t du procédé de polissage. Typiquement, t peut être plus facilement diminué que w . On voit que les dimensions doivent être miniaturisées à l'extrême pour produire un dispositif fonctionnel au sens de l'électronique classique et de la production à grande échelle.

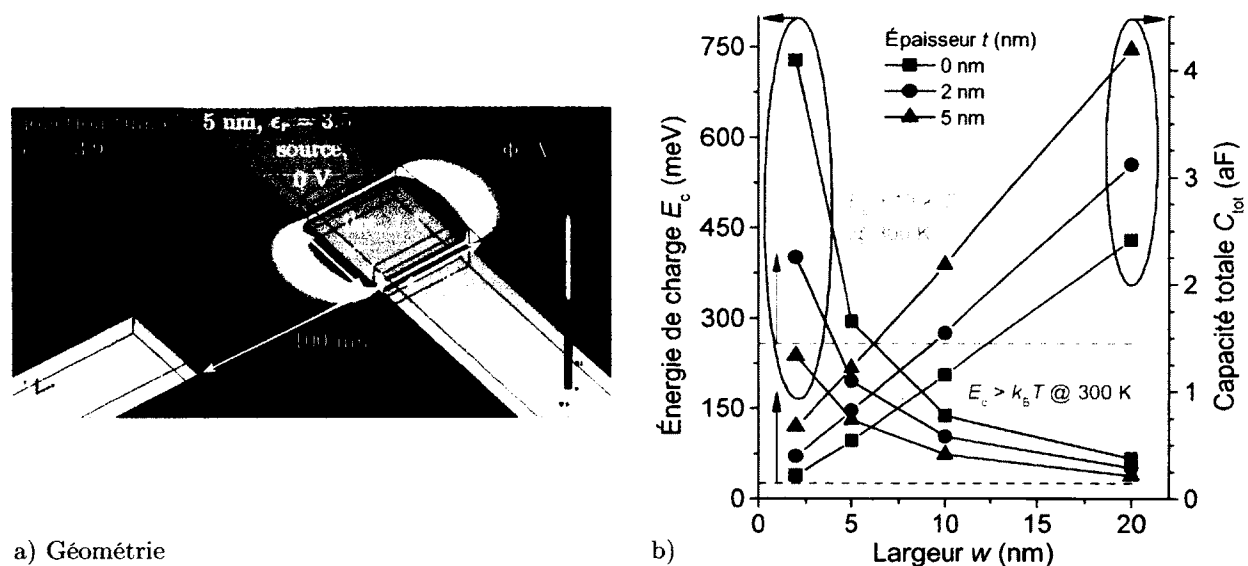


Figure 1.13. a) La géométrie simulée comprend un substrat 150 nm sous la surface de l'oxyde, de l'air au dessus et des jonctions tunnel de TiO_x ($\epsilon_r = 3.5$). b) Énergie de charge et capacité d'un SET métallique pour une opération à température ambiante.

La capacité résiduelle à $t = 0$ nm représente la capacité de frange du dispositif. Notons que l'écart avec un modèle plaque parallèle est assez élevé. Pour $w = 10$ nm et $t = 2$ nm, un modèle plaque parallèle donnerait $C_{\text{tot}} = 0.28$ aF, comparativement à 1.5 aF pour la simulation. Ce type d'observation a déjà été rapporté dans d'autres géométries [82].

Contribution des auteurs Le modèle analytique et le formalisme de la matrice de capacité ont été développés par P. Harvey-Collard. Les simulations sur COMSOL ont été réalisées par G. Droulers.

1.3 Boîtes quantiques semi-conductrices

Quand l'îlot d'un SET est un semi-conducteur, les effets quantiques de confinement spatial des électrons et de cohérence de phase (p. ex. : hétérostructures à haute mobilité) peuvent devenir mesurables, voire dominer l'énergie de charge. L'îlot forme alors un atome artificiel où les niveaux d'énergie sont remplis selon la règle de Hund, comme pour les atomes. Les articles de revue [40, 81, 84, 85] sont représentatifs de l'historique des développements dans les boîtes quantiques semi-conductrices nanofabriquées.

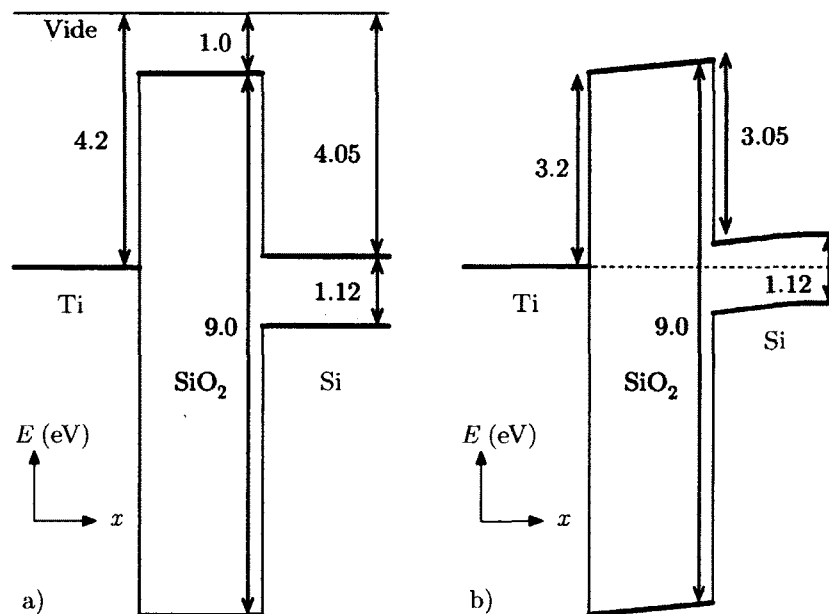


Figure 1.14. Alignement des bandes dans une structure MOS en silicium. a) Énergies d'addition et gap des matériaux pris séparément ($T = 300$ K). b) Lorsque mis en contact, le potentiel chimique s'équilibre via un transfert d'électrons, ce qui donne lieu à un champ électrique et à la courbure des bandes.

1.3.1 Alignement des bandes

Dans cette section, nous nous attarderons à l'alignement des bandes dans une structure identique à celle fabriquée. Le contact source est en titane, la jonction tunnel en oxyde de silicium et l'îlot en silicium intrinsèque. En principe, les bandes de valence et de conduction s'alignent comme à la figure 1.14. L'oxyde est représenté avec un gap gigantesque de 9 eV. Lorsque mis en contact, le potentiel chimique s'équilibre via un transfert d'électrons, ce qui donne lieu à un champ électrique qui courbe les bandes [86]. Les paramètres des matériaux sont donnés à l'annexe B.

La figure 1.15 montre l'alignement des bandes de l'îlot confiné entre deux contacts de Ti. Les barrières tunnel du SiO₂ sont très hautes, de sorte que les électrons ne pénètrent pas profondément dans celles-ci. Le confinement quantique et l'énergie de charge donnent lieu à des niveaux d'énergie discrets dans l'îlot. La courbure des bandes est négligée. Dans un dispositif réel, des défauts, des impuretés ou des états d'interface peuvent changer cet alignement. Une mesure de spectroscopie de Coulomb est nécessaire pour pouvoir caractériser l'alignement réel dans la nanostructure.

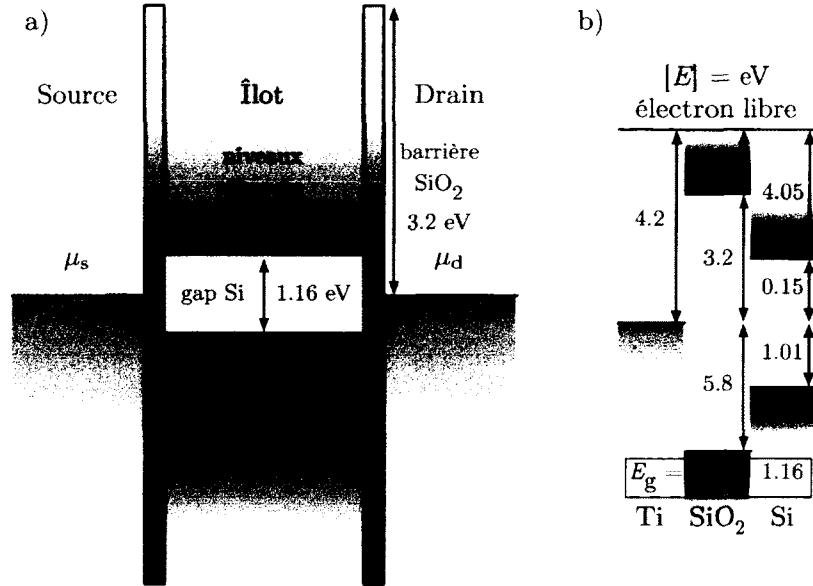


Figure 1.15. a) Diagramme de bande du Si-SET. Les barrières tunnel de SiO_2 sont très hautes, de sorte que les électrons ne pénètrent pas profondément dans celles-ci. Le confinement quantique et l'énergie de charge donnent lieu à des niveaux d'énergie discrets dans l'îlot. b) Énergies d'addition et gap des matériaux pris séparément ($T = 1.5$ K).

1.3.2 Énergie de confinement

Pour calculer l'énergie quantique de confinement, un modèle simple de puits de potentiel infini en parallélépipède rectangle est suffisant. En effet, la hauteur de la barrière tunnel d'oxyde est grande, de sorte que la longueur de pénétration d'un électron de masse effective $m^* = 0.26$ sous une barrière de potentiel de 3.2 eV est de 1 Å, ce qui est inférieur à une couche atomique. De plus, l'îlot nanofabriqué a une forme assez carrée, ce qui justifie le parallélépipède. Les énergies propres du système sont données par

$$E(n_x, n_y, n_z) = \frac{\pi^2 \hbar^2}{2m_e} \left(\frac{n_x^2}{m_x a^2} + \frac{n_y^2}{m_y b^2} + \frac{n_z^2}{m_z c^2} \right), \quad (1.49)$$

où les nombres quantiques sont $n_i \in \{1, 2, \dots\}$, m_e est la masse de l'électron et m_i est la masse effective relative (en unités de m_e) dans la direction i de la boîte de largeur a , b et c .

Pour une boîte quantique en silicium telle que celles fabriquées, $a = 32$ nm, $b = 25$ nm et $c = 10$ nm. Les masses effectives relatives sont $m_x = 0.98$ et $m_y = m_z = 0.19$. Elles sont attribuées dans cet ordre pour minimiser l'énergie en fonction des dimensions latérales

du confinement. Dans ce cas, l'énergie de point zéro est $E(1, 1, 1) = 23$ meV. La plus petite différence d'énergie entre deux niveaux, elle, est de $E(2, 1, 1) - E(1, 1, 1) = 1$ meV.

Les bandes X du silicium ont une dégénérescence de six, de sorte que le remplissage des niveaux se ferait comme suit. D'abord, six électrons dans les six bandes, puis six autres pour le spin. Dans ce cas, l'espacement entre les niveaux est de E_C . Ensuite, même ordre pour le niveau $n_x = 2$. La transition entre $n = 12$ et 13 électrons aurait une énergie d'addition de $E_C + E(2, 1, 1) - E(1, 1, 1)$. Et ainsi de suite. En pratique, cet ordre peut ne pas être respecté, car le stress mécanique dans la nanostructure peut lever la dégénérescence des bandes [50] et des interactions électron-électron doivent être prises en compte.

1.3.3 Diamants de Coulomb et gap semi-conducteur

La présence du gap semi-conducteur et de l'énergie de confinement quantique sont mesurables à l'aide des diamants de Coulomb. La figure 1.16 montre cet impact. Le potentiel chimique de l'îlot est alors donné par

$$\mu(n) = \frac{e^2}{C_{II}(n)} \left(n - n_g(n) - \frac{1}{2} \right) + E_K(n), \quad (1.50)$$

où la dépendance des capacités envers n est maintenant explicite (voir la section 1.3.4). La contribution $E_K(n)$ provient du confinement quantique et du spin, et peut varier considérablement d'un n à l'autre selon le remplissage des orbitales. La contribution du gap semi-conducteur est aussi incluse dans E_K . L'espacement entre deux niveaux est donné par

$$E_{\text{add}}(n) = E_C(n) + E_K(n). \quad (1.51)$$

1.3.4 Effets à faible nombre d'électron

À faible nombre d'électron, la densité électronique sur l'îlot est trop faible pour écranter le champ électrique sur une distance $\lambda_{el} \ll \ell$, où ℓ est une dimension caractéristique de la capacité. Cet effet est analogue à la courbure de bande d'une jonction $p-n$ ou celle d'une hétérostructure. Le champ électrique pénétrant l'îlot affecte à son tour la structure de bande et la forme du potentiel de confinement de la fonction d'onde électronique. La

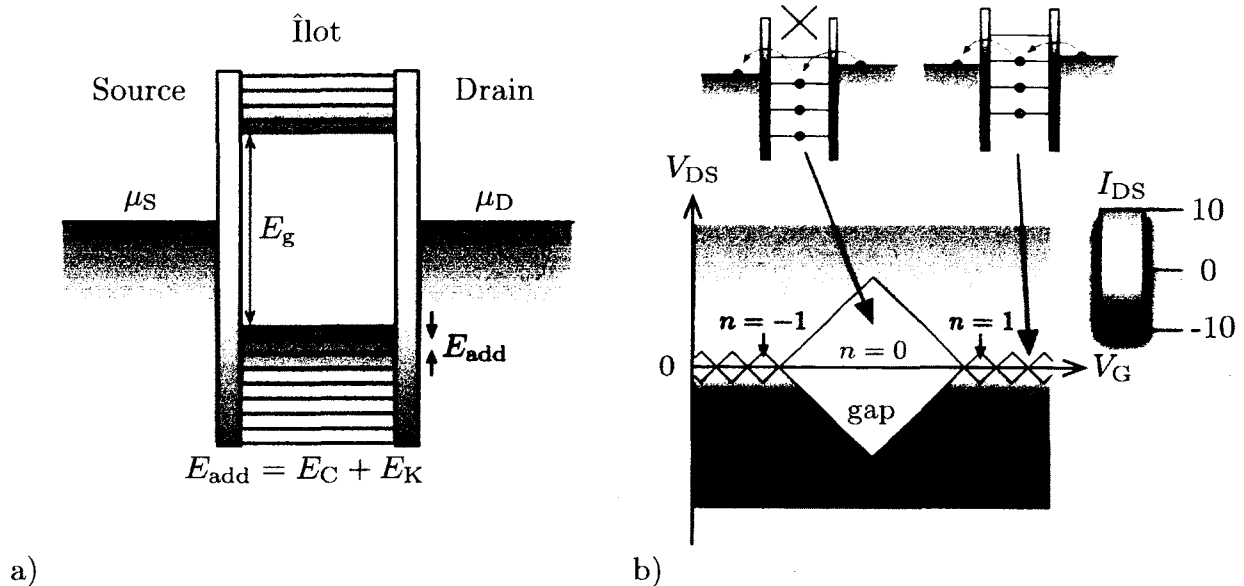


Figure 1.16. a) Niveaux d'énergie d'une boîte quantique semi-conductrice. L'énergie d'addition $E_{add}(n) = E_C(n) + E_K(n)$ dépend du nombre d'électrons sur l'îlot. Le gap donne une contribution supplémentaire à E_{add} pour $n = 0$. b) La présence du gap est visible sous la forme d'un diamant ayant une énergie d'addition énorme par rapport aux autres.

solution exacte du problème nécessite de résoudre de façon auto-cohérente l'équation de Schrödinger et l'équation de Poisson dans l'îlot pour connaître la fonction d'onde des électrons et les capacités. Ce calcul n'a pas été effectué.

Chapitre 2

Procédé de fabrication

Dans ce chapitre, le procédé de fabrication des transistors mono-électroniques en silicium (Si-SETs) est expliqué. D'abord, une vue d'ensemble de la conception et des étapes est donnée. Ensuite, chaque étape est expliquée en détail, avec les paramètres importants, les méthodes de contrôle du procédé, les difficultés et les améliorations possibles. Une liste complète des étapes et des paramètres est fournie dans l'annexe C.

2.1 Vue d'ensemble

2.1.1 Laboratoire de nanofabrication

La fabrication de dispositifs en nanoélectronique nécessite un environnement contrôlé. Les puces sont fabriqués dans les anciennes salles blanches de la Faculté de génie et la nouvelle salle blanche à l'Institut Interdisciplinaire d'Innovation Technologique (3IT). Certaines étapes à la fin du procédé sont réalisées en salle propre au Département de physique.

Une salle blanche est un laboratoire de fabrication dont l'air est contrôlé en particules (poussière). Étant donné la petite taille des dispositifs et les enjeux de rendement, des dépôts de particules sur les échantillons seraient critiques et causeraient un plus grand taux d'échec. Les salles blanches de l'université sont de classe 100, c'est-à-dire moins de 100 particules de plus de $0.5 \mu\text{m}$ par pied cube d'air. Pour atteindre ce niveau, un système de filtration de l'air la faisant circuler du plafond vers les planchers est utilisé. La surpression empêche l'air extérieur d'entrer dans le laboratoire. De plus, des précautions doivent être prises au niveau de l'habillement et des activités dans le laboratoire. Des

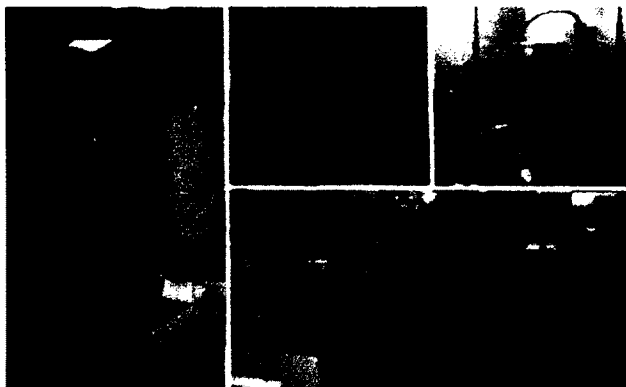


Figure 2.1. Salle blanche de la Faculté de génie. Photo : CRN2.

costumes anti-particules complets sont portés pour protéger des émissions. De même, les objets manipulés ne doivent pas être en tissus, papier ou autre qui pourraient émettre des particules. La salle blanche au 3IT a aussi un contrôle en température et en humidité, ce qui aide pour les procédés d'étalement de résine et de gravure humide. La figure 2.1 montre des images de la salle blanche.

Les salles propres de physique sont de classe 10 000. On y trouve la microsouduse utilisée à la fin du procédé.

2.1.2 Étapes de fabrication

La figure 2.2 montre une vue d'ensemble des principales étapes du procédé. D'abord, un substrat de silicium type p est oxydé (1). Ensuite, des tranchées dans l'oxyde sont gravées en photolithographie et en électrolithographie pour définir les contacts et la grille (2). Une couche de silicium intrinsèque est déposée par dépôt chimique en phase vapeur sous pression réduite (LPCVD) (3), puis gravée en électrolithographie (4). Le silicium est ensuite recuit à haute température pour être cristallisé et les jonctions tunnel oxydées (5). Une couche de titane est déposée par évaporation pour remplir les contacts (6). Ensuite, un polissage chimico-mécanique (CMP) est utilisé pour isoler l'îlot et les contacts (7). Une couche de nitrure de silicium est déposée pour isoler l'îlot (8). Finalement, une grille supérieure est déposée par photolithographie et soulèvement (9). Le dispositif final est schématisé aux figures 2.3 et 2.4.

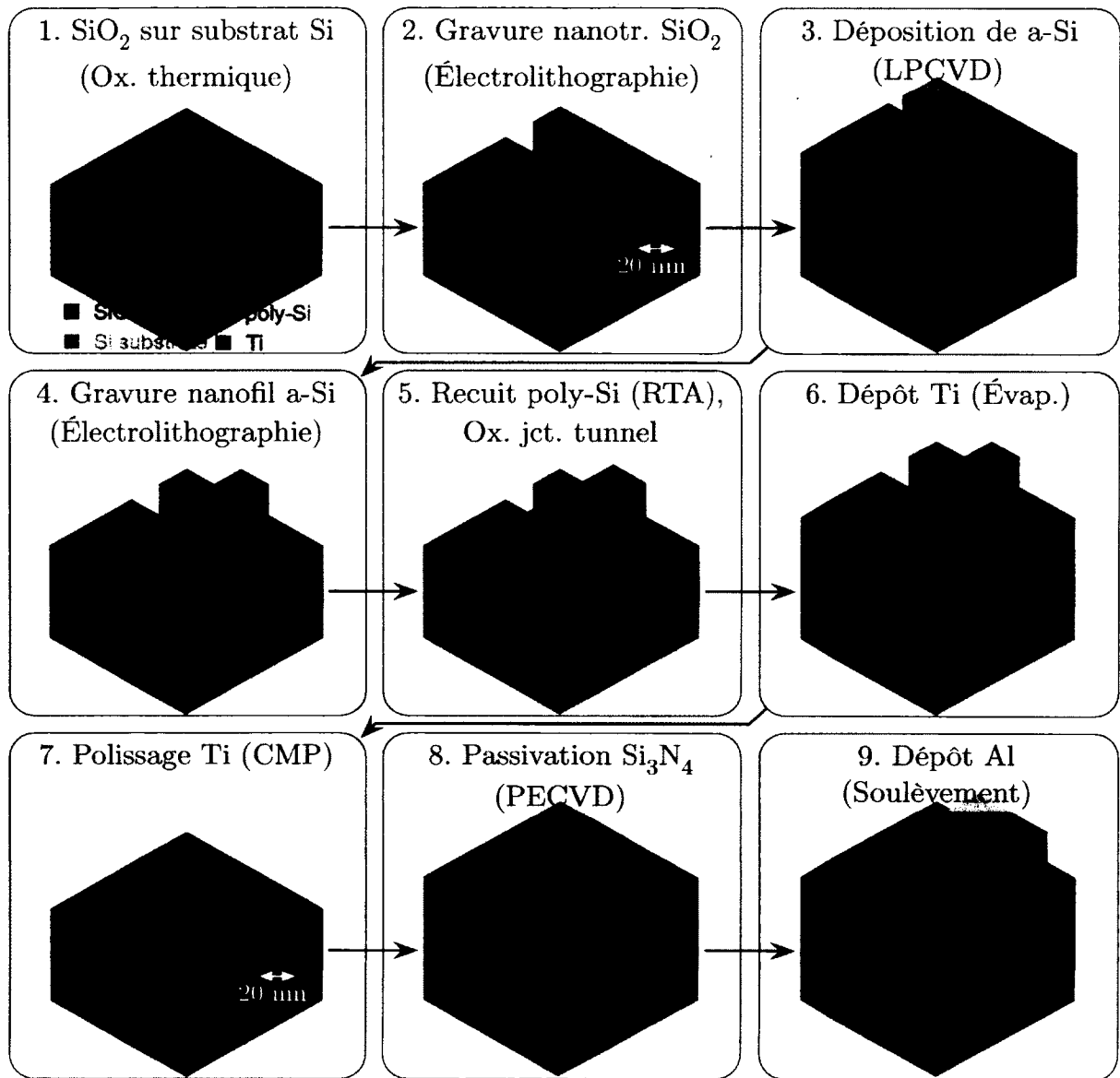


Figure 2.2. Vue d'ensemble du procédé de fabrication des Si-SETs.

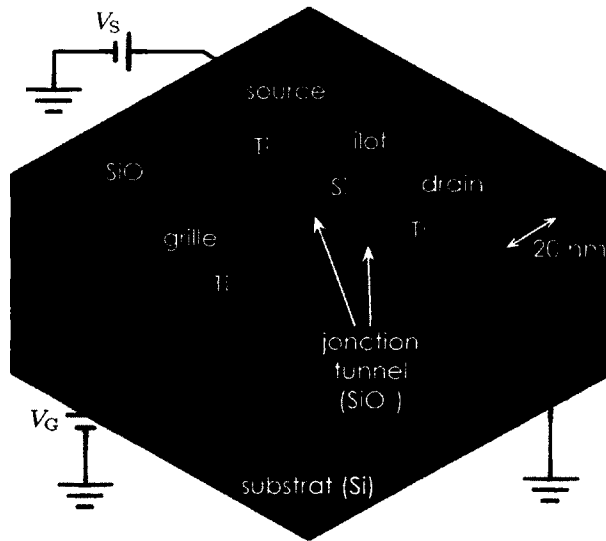


Figure 2.3. Représentation schématique des Si-SETs et circuit électrique de contrôle.

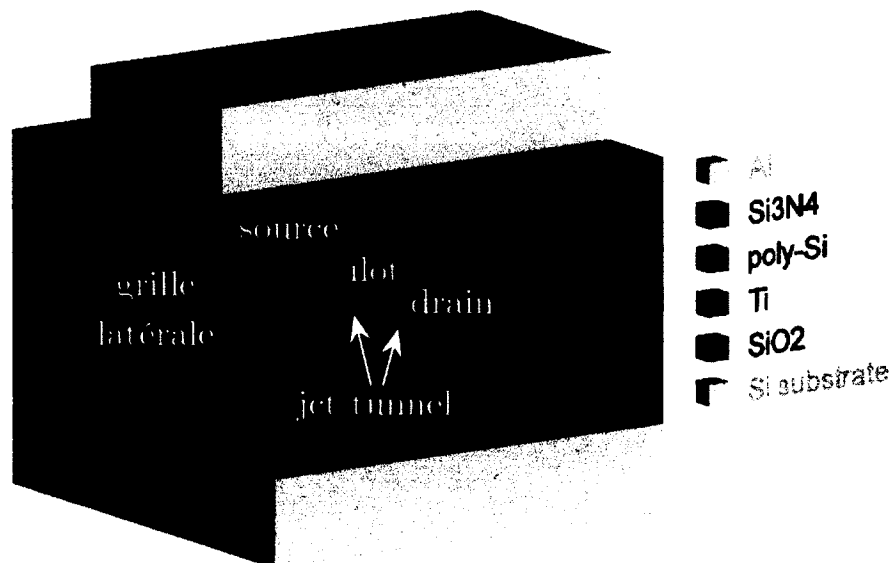


Figure 2.4. Dispositif avec une grille supérieure. L'objectif de cette grille est d'augmenter le bras de levier. La passivation au nitrure de silicium isole la grille des autres éléments du circuit et isole l'îlot de l'atmosphère.

2.2 Oxydation du substrat

Les substrats utilisés sont des gaufres de silicium de 3 po de diamètre et de 380 μm d'épaisseur. Ils sont dopés avec du bore (type p) pour une résistivité de 10 – 20 Ωcm , orientés (100) et polis simple face. Cette valeur de résistivité correspond à un dopage de $6.5 - 10.5 \times 10^{14}\text{ cm}^{-3}$ [87, p. 32 fig. 18].

L'oxydation thermique, c'est-à-dire à haute température dans des fournaies tubulaires, produit un oxyde de silicium stœchiométrique et dense. Avant l'oxydation, la gaufre doit être nettoyée de toute contamination. Pour ce faire, un nettoyage de type *Radio Corporation of America* (RCA) est nécessaire. Ce nettoyage agressif consiste en une série d'étapes visant à éliminer les contaminations organiques, ioniques et l'oxyde natif. Les solutions utilisées incluent des acides, des bases et de l'acide fluorhydrique.

Après le nettoyage, la gaufre est chauffée dans une atmosphère d'oxygène à 1050 °C pendant 80 min. La couche d'oxyde ainsi formée a une épaisseur d'environ 107 nm. L'incorporation de l'oxygène par le silicium fait augmenter l'épaisseur du substrat. La couche oxydée est 2.17× plus épaisse que la couche d'origine [88]. Ceci crée un stress compressif dans l'oxyde et tensile dans la gaufre.

L'épaisseur de l'oxyde est choisie assez mince pour éviter le chargement lors des observations au microscope électronique à balayage (SEM) et lors de la lithographie par faisceau d'électron (EBL).

2.3 Gravure des contacts

2.3.1 Photolithographie

La photolithographie (UVL) est un procédé qui permet de transférer un masque de résine sur un échantillon. Le masque sert ensuite de couche protectrice pour une gravure ou un dépôt. Quand le masque est nettoyé, seules les parties de l'échantillon exposées au procédé sont affectées. Ainsi, le motif dessiné dans le masque est transféré dans le substrat. Ces étapes sont expliqués à la figure 2.5.

La résolution latérale de ce procédé dépend beaucoup de la qualité de l'équipement utilisé et de l'étape de gravure ou de dépôt à effectuer. Sur les équipements disponibles en salle blanche, celle-ci est d'au mieux 1 μm . L'alignement sur des étapes précédentes peut être précis à 2 μm . La longueur d'onde utilisée est de 220 – 440 nm. Sur des équipements industriels, cette résolution peut être aussi bonne que 50 nm (ou 25 nm avec certaines

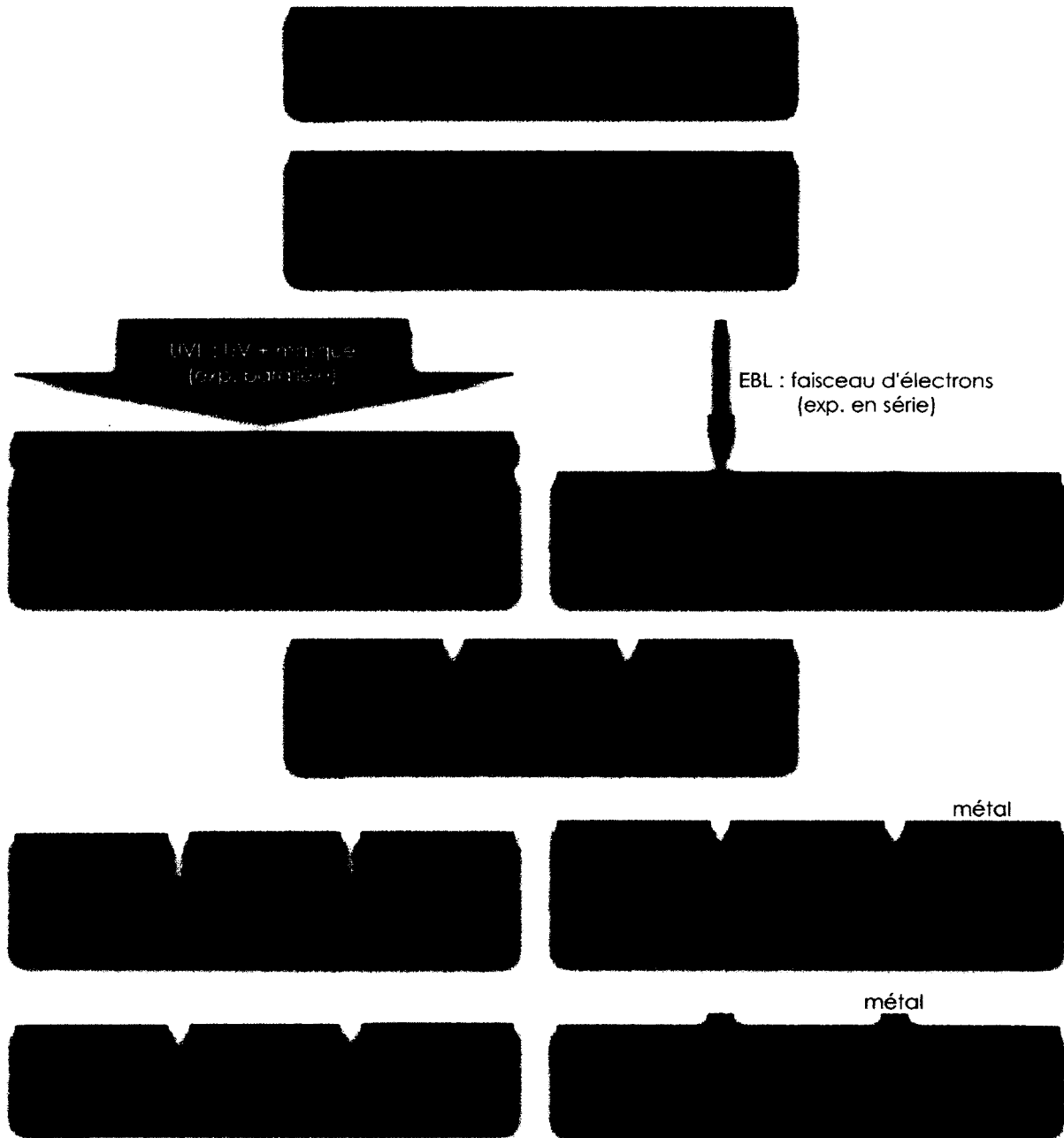


Figure 2.5. Étapes d'un procédé de photolithographie/électrolithographie. (1) Substrat à lithographier. (2) Étalement et recuit de la résine. (3) Exposition sélective de la résine à l'aide d'un photomasque et de lumière ultraviolette (UVL), ou d'un faisceau d'électrons (EBL). (4) Développement de la résine dans une solution (solvant ou base). La solution de développement peut dissoudre la résine exposée (résine positive) ou non-exposée (résine négative), selon le cas. (5) Gravure (5-1) ou dépôt de métal pour soulèvement (5-2). (6) Nettoyage. Le motif du masque est transféré dans le substrat.

astuces). Ainsi, les étapes réalisées par électrolithographie peuvent ou pourront bientôt être faites par photolithographie sur des chaînes de production.

L'avantage de la photolithographie est le parallélisme. Des surfaces immenses peuvent être structurées en quelques secondes, ce qui explique pourquoi le coût des puces en électronique est si faible. À titre d'exemple, le photomasque utilisé dans ce procédé requière quatre jours de temps d'écriture sur le *photoplotter* (machine à fabriquer des photomasques avec une exposition séquentielle).

2.3.2 Détails du procédé

Après l'oxydation thermique, un masque complexe est transféré par photolithographie et gravure plasma pour définir les matrices, cellules et contacts des dispositifs. Cette étape n'est pas illustrée à la figure 2.2. La profondeur de cette gravure est de 60 nm et crée des tranchées larges de 2 μm qui serviront à connecter les nanostructures avec les plots de microsoudure. À l'étape suivante, les tranchées plus étroites définies en électrolithographie seront gravées avec 20 nm de profondeur. À certains endroits, la superposition des deux gravures crée des tranchées de 80 nm de profondeur.

2.3.3 Conception du photomasque

Les étapes (1) à (3) de la figure 2.2 sont appliquées sur des gaufres (tranches) de 3 po. Le plan du photomasque utilisé est illustré à la figure 2.6. Le nom du masque est *Nicolas Killed the Mask version 3* (NKMv3) et son numéro dans le Système de Suivi des Échantillons (SSE) est G641. Chaque gaufre contient neuf cellules identiques de 1 cm de côté appelées matrices (*dies*). Chaque matrice contient 49 cellules repérées par des coordonnées alphanumériques. Ces cellules contiennent des structures test pour contrôler le procédé à différentes étapes (lithographie, gravure, polissage), des structures de mesures de résistivité à deux et huit contacts, des cellules d'alignement, des marques d'alignement et des dispositifs. Les cellules utilisées pour fabriquer les Si-SETs sont C3, C4, D3 et D4. La différence entre les cellules C3-4 et D3-4 est la forme des figurants (*dummies*) qui entourent les fils de contact (voir le paragraphe suivant). Chaque cellule Si-SET contient un nanofil et trois transistors mono-électroniques (SETs), pour un total de quatre nanofils et douze SETs.

Une caractéristique qui rend le masque complexe est la présence de structures électriquement flottantes appelées figurants partout sur la matrice. La présence des figurants est

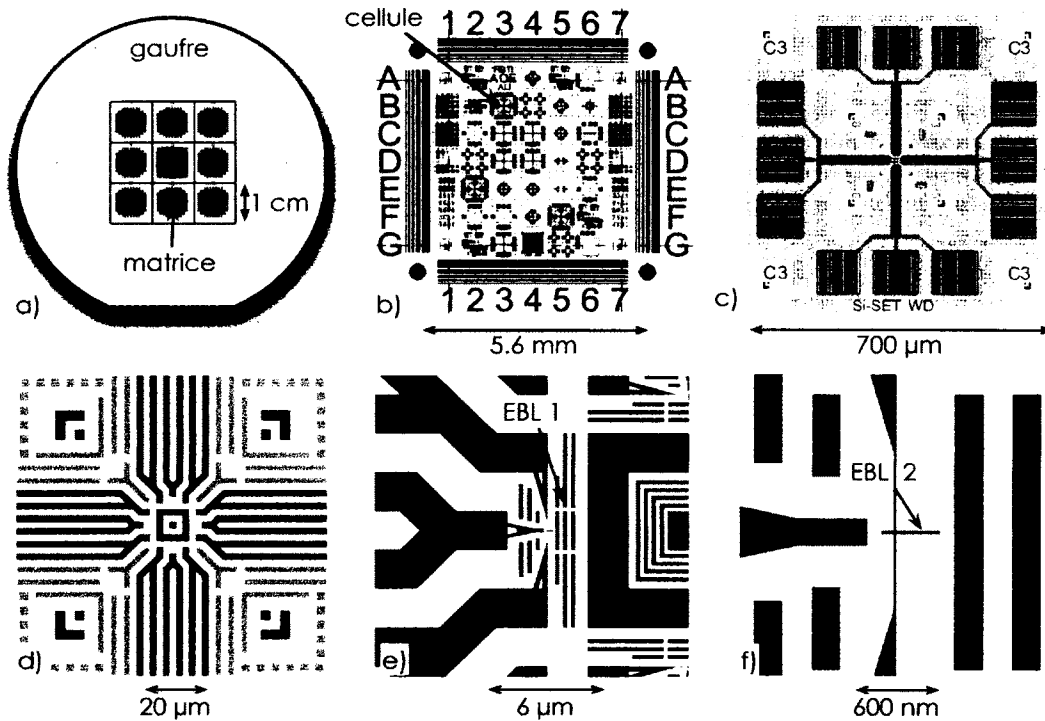


Figure 2.6. Disposition d'une gaufre. a) Gaufre de 3 po contenant 9 matrices. b) Matrice avec ses cellules identifiées par des coordonnées alphanumériques. c) Cellule de type Si-SET utilisée pour les dispositifs. Les cellules C3, C4, D3 et D4 sont presque identiques. Les structures en gris sont des figurants pour le CMP. d) à f) Centre de la cellule. Les motifs en turquoise sont gravés en électrolithographie. Les dispositifs sont identifiés par leur numéro du SSE, suivi d'un trait d'union puis du numéro de cellule et de la position du dispositif dans la cellule (p. ex. F802D-C3G). La dernière lettre signifie gauche (G), droite (D), haut (H) ou bas (B).

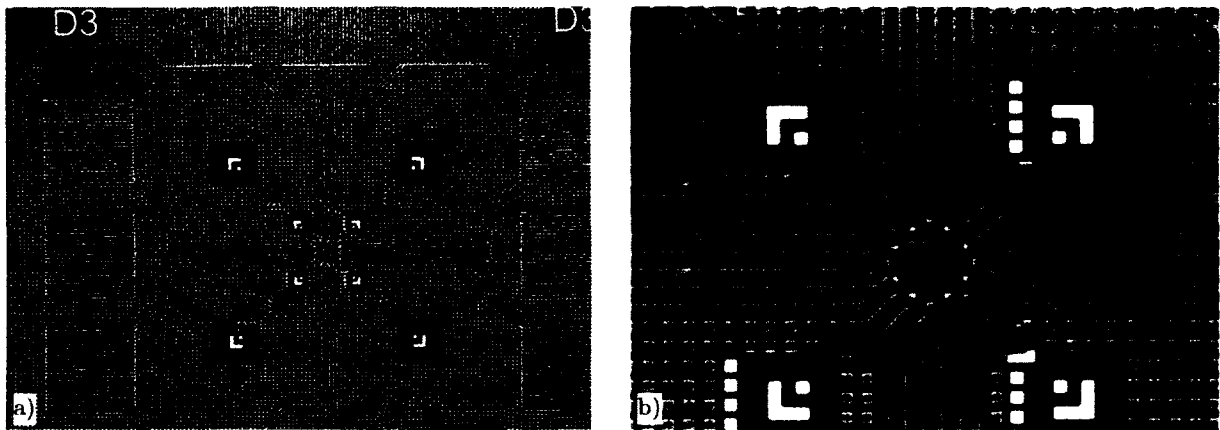


Figure 2.7. Image optique d'une cellule Si-SET après l'étape (2) (figure 2.2). Les zones gravées sont en jaune et la surface d'oxyde masquée est en bleu. La gravure après l'EBL apparaît en brun, et la double gravure en jaune clair. a) Grossissement 10 \times . b) Grossissement 50 \times . Les structures EBL sont visible mais floues.

nécessaire pour le bon fonctionnement du CMP. Tel qu'expliqué dans la section 2.10, la densité de structure doit être relativement uniforme sur tout l'échantillon. C'est pourquoi chaque plot de contact est en forme de grillage et chaque fil de contact pour la source, le drain et la grille des dispositifs est dédoublé. Aucun espace ne doit être laissé sans figurants et la forme des contacts doit être ajustée de manière à ne laisser aucun espace sans structures.

À la figure 2.6, on voit que les SETs sont près du centre de la cellule (turquoise). Ils sont eux aussi accompagnés de figurants, même si leur effet est plus faible dû à la profondeur de gravure différente. Le recouvrement entre l'électrolithographie et la photolithographie est juste assez grand pour tolérer des erreurs d'alignement et l'arrondissement des formes dû à la diffraction de la lumière lors de l'exposition.

2.3.4 Résultats

La figure 2.7 montre des images au microscope optique d'une cellule Si-SET après la gravure des contacts en UVL et des nanostructures en EBL (voir la section suivante). Pour produire un résultat fidèle au masque et avec des coins carrés, le contact entre le masque et l'échantillon lors de l'exposition de la résine doit être parfait.

2.4 Gravure des nanostructures

Après la gravure des contacts, les nanostructures définissant le nanofil source-drain et la boîte de la grille doivent être gravées à leur tour (étape (2) de la figure 2.2). La photolithographie permet d'exposer rapidement une grande surface, mais ne possède pas la résolution spatiale nécessaire à la fabrication des Si-SETs (du moins avec les équipements disponibles). C'est pourquoi l'électrolithographie est utilisée.

2.4.1 Électrolithographie

L'électrolithographie permet d'obtenir une résolution latérale de l'ordre de 10 nm, et une erreur en alignement de l'ordre de 40 nm. La séquence d'étapes est similaire à celle de la photolithographie et est illustrée à la figure 2.5. La principale différence est que la résine est électrosensible plutôt que photosensible. Lors de l'exposition, un faisceau d'électrons précisément focalisé sur la surface expose point par point les motifs à réaliser avec une dose ponctuelle calculée en femtoCoulombs. La résine peut être positive ou négative, comme pour la photolithographie.

Exposition

L'exposition est réalisée avec un SEM augmenté de l'interface de contrôle du faisceau *Nanometer Pattern Generation System* (NPGS). Les SEMs utilisés sont le Leo 1530, le Leo 1540XB FIB et le Leo Supra VP (figure 2.8). Alors que le Leo 1530 dispose d'une platine motorisée assez précise, les autres SEMs sont beaucoup moins précis. En comparaison, l'erreur sur un déplacement de 700 μm sur le Leo 1530 est de 1.5 μm , alors que sur les autres SEMs cette erreur est plutôt de 20 μm . La figure 2.9 montre le schéma d'exposition de NPGS.

Le DCC et le LS sont toujours égaux et ajustés à 5 nm pour les grandes formes ou le plus faible permis pour les lignes.

Le côté de balayage du faisceau des polygones (*sweep side*) doit être ajusté quand la dimension de la forme est critique. En effet, dû à la grande vitesse de balayage, l'axe de balayage rapide est toujours plus étroit que celui spécifié. Il en découle que les formes ont la bonne dimension dans une direction, mais sont plus étroites dans l'axe rapide. La figure 2.10 montre l'effet d'une telle déformation sur la forme d'une marque d'alignement. Ces résultats montrent que le *sweep side* de toutes les formes en jeu peut affecter l'alignement



Figure 2.8. Microscope électronique à balayage Leo VP en salle blanche. Les SEMs étant utilisés pour l'électrolithographie et la caractérisation, ils sont des outils indispensables en nanoélectronique. Photo : CRN2.

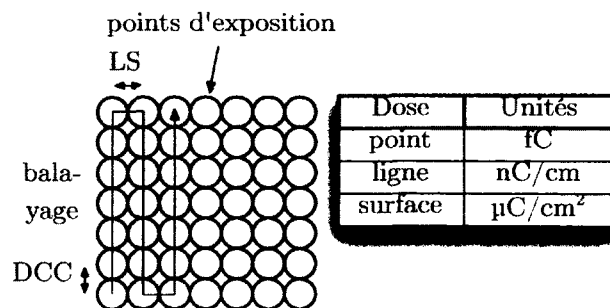


Figure 2.9. Paramètres de l'exposition par NPGS. Le DCC est la distance entre deux points sur une ligne (*center-to-center distance*) et LS est la distance entre deux lignes (*line spacing*). Le faisceau est écranté entre chaque point.

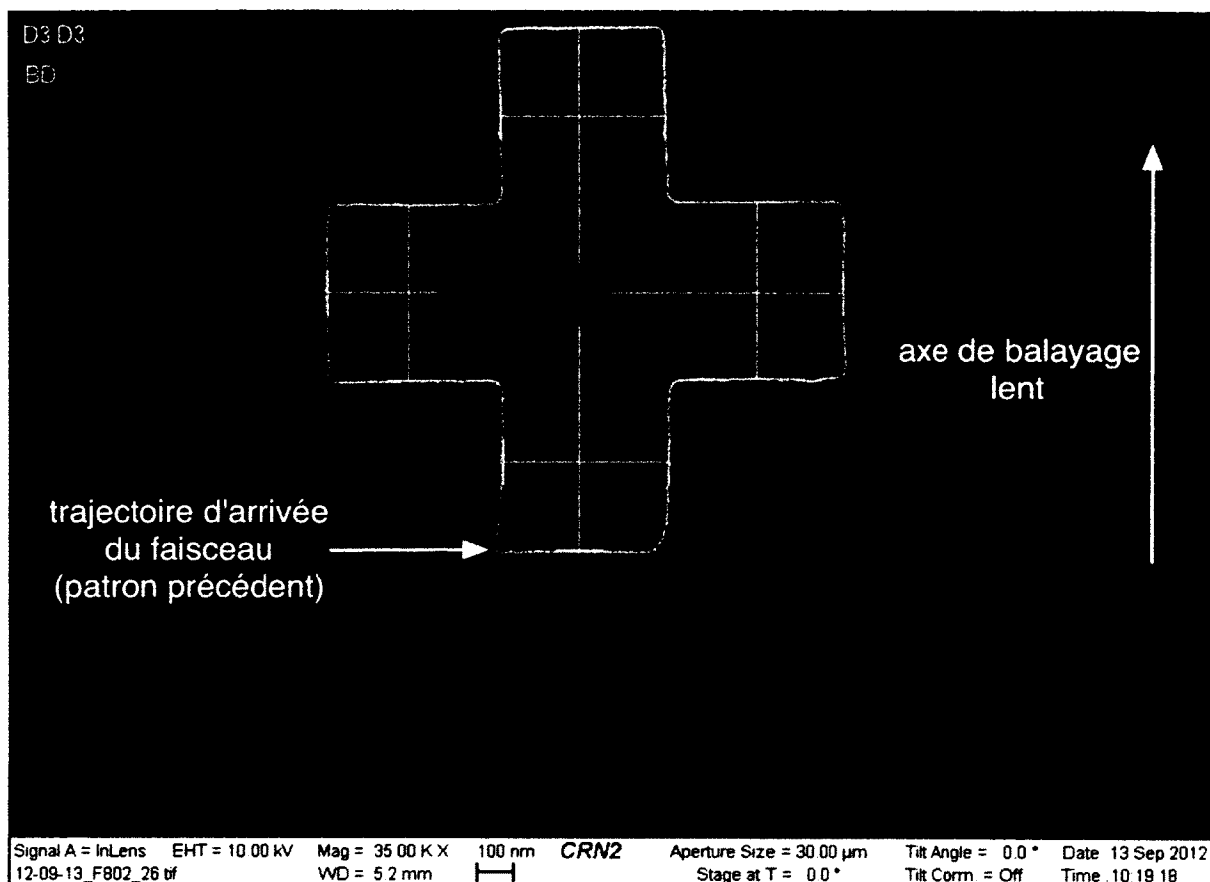


Figure 2.10. Déformation due au côté de balayage des polygones. Les dimensions du patron sont $1.5 \mu\text{m}$ et 500 nm . On voit que la marque d'alignement est 50 nm trop étroite dans l'axe rapide. La courbure au bas de la marque est due au délais de stabilisation de la bobine de balayage.

et les dimensions des dispositifs. Plus le courant de faisceau est grand, plus l'exposition est rapide et plus la déformation est importante.

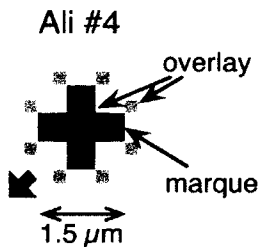
La figure 2.10 montre un autre effet du balayage très rapide des formes. Sur cette image, le faisceau arrive de la gauche. Un délais dans la stabilisation de la bobine de balayage (*scan coil*) cause un gauchissement de la forme. Le temps d'attente avant l'écriture est insuffisant et devrait être augmenté. Cet effet peut aussi causer un léger désalignement lors d'une écriture simple passe rapide.

Alignement

Les marques d'alignement standard de la cellule Si-SET sont en quatre niveaux. Leur conception est le fruit d'un processus d'optimisation visant à offrir un maximum de

a) PARAMÈTRES ALIGNEMENT CELLULE SI-SET 2X2µm							
Niveau	D/2 (µm)	Largeur (µm)	Scan Zone (µm)	Total (µm)	MAG (x)	Champ (µm)	
1	290	15	100	680	150	720	
2	100	15	50	250	300	360	
3	31.5	9	18	81	1000	108	
4	18	1.5	3	39	2200	49	

D/2 : Distance horizontale/verticale entre l'origine et le centre de la marque
 Largeur : Largeur totale de la marque
 Scan Zone : Largeur totale de la zone balayée par NPGS pour l'alignement
 Total : Largeur totale des fenêtres d'alignement, incluant la Scan Zone
 MAG : Magnification recommandée pour le niveau d'alignement
 Champ : Champ du LEO 1530 à cette magnification (MAGSCALE = 108121)

b) 

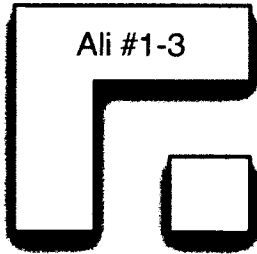
c) 

Figure 2.11. Paramètres des niveaux d'alignement 1 à 4. a) Distances standard, taille des marques et grossissement. b) et c) Forme des marques d'alignement.

flexibilité et de précision dans la procédure d'alignement. Les enjeux critiques dans ce choix sont les suivants.

1. Le grossissement utilisé doit être le même pour l'alignement que pour la lithographie. La largeur du champ d'écriture est calculable selon la formule

$$\text{champ} = \frac{\text{MAGSCALE}}{\text{grossissement}} \quad (2.1)$$

Pour le Leo 1530, MAGSCALE = 108 121.

2. Le changement de circuit de grossissement des microscopes, audible par un « clic » caractéristique, crée un décalage du centre du champ d'écriture. Sur le Leo 1530, ce changement a lieu aux valeurs 629× et 19 350× pour une distance de travail de 3.18 mm. Elles dépendent du microscope et de la distance de travail. Ces valeurs de grossissement sont à éviter, particulièrement aux valeurs tout juste inférieures au point de changement.
3. La taille des marques, des fenêtres d'alignement et des motifs à écrire doivent coïncider avec le champ d'écriture plus une marge d'erreur pour les désalignements.

La figure 2.11 résume les choix qui ont été faits.

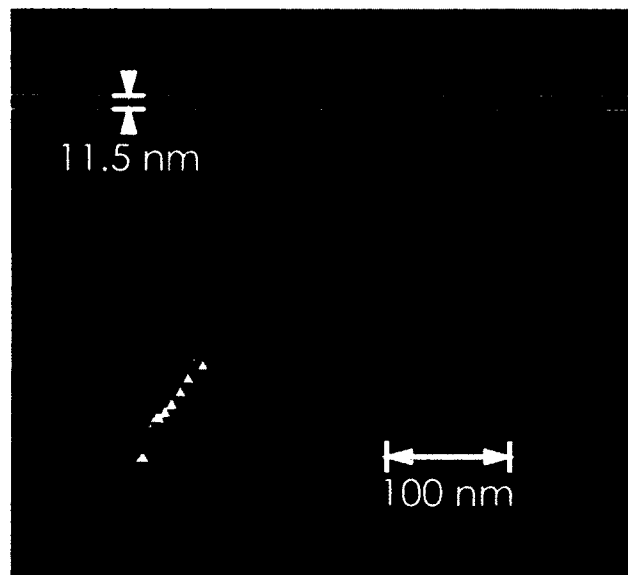


Figure 2.12. Test de dose démontrant la possibilité de fabriquer des tranchées jusqu'à 10 nm de largeur.

L'alignement sur les motifs gravés avec 60 nm de profondeur ne pose pas de problème, car ceux-ci offrent un bon contraste. Il n'en est pas de même avec les marques du niveau quatre, qui sont gravées lors de la première électrolithographie et ont 20 nm de profondeur.

2.4.2 Résultats

Les lignes les plus fines sont faites d'une seule passe du faisceau d'électron. À ces faibles dimensions, la largeur de la ligne est ajustée avec la dose d'exposition. La figure 2.12 montre les résultats de tests de doses servant à calibrer la lithographie. Des lignes de 10 nm sont démontrées, mais exigent un procédé finement optimisé. Pour augmenter le rendement du procédé, les échantillons sont fabriqués avec des lignes de 20 nm.

Les figures 2.13, 2.14 et 2.15 montrent des tranchées gravées de la cellule Si-SET. Pour plus de détails sur le fonctionnement de NPGS et d'excellents trucs sur l'électrolithographie, le manuel de l'utilisateur de NPGS est une bonne référence.

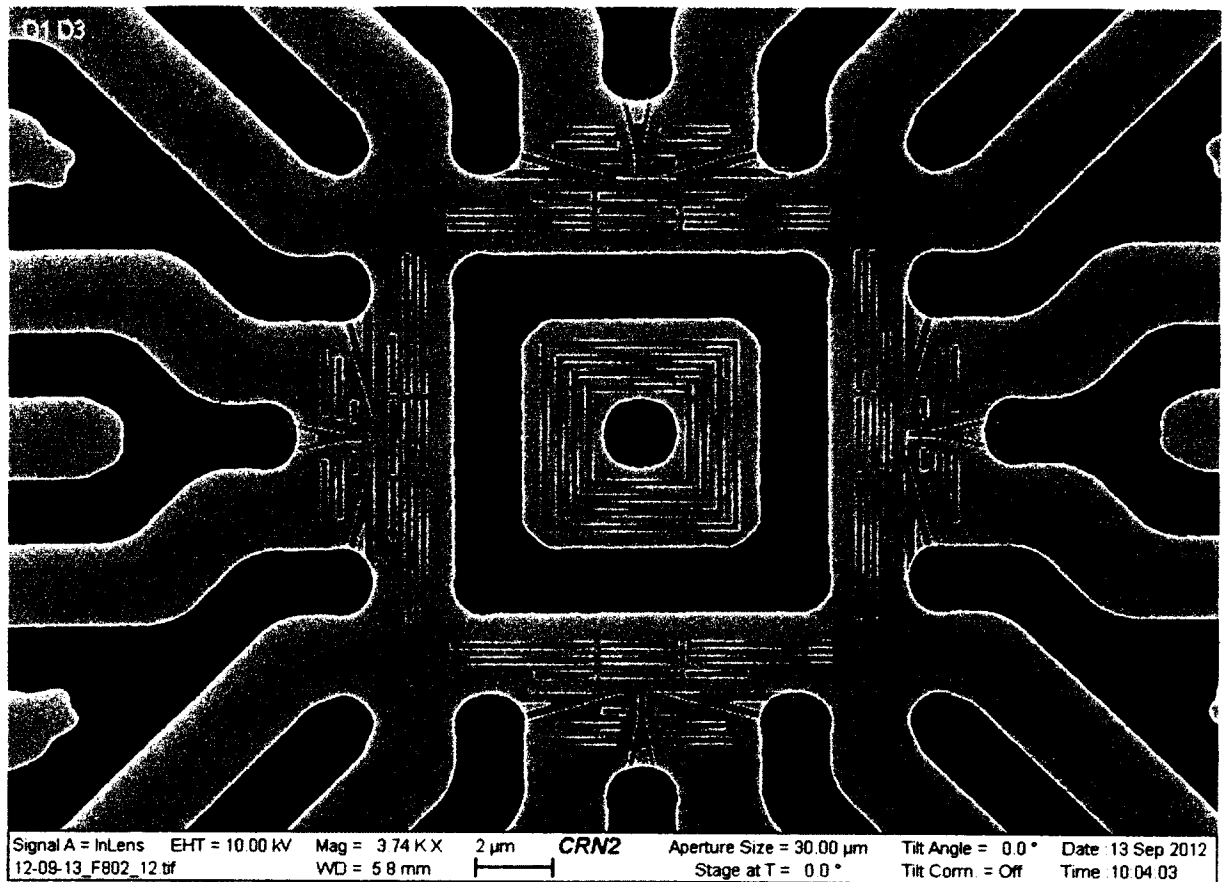


Figure 2.13. Nanotranchées dans l'oxyde alignées sur les tranchées en photolithographie.

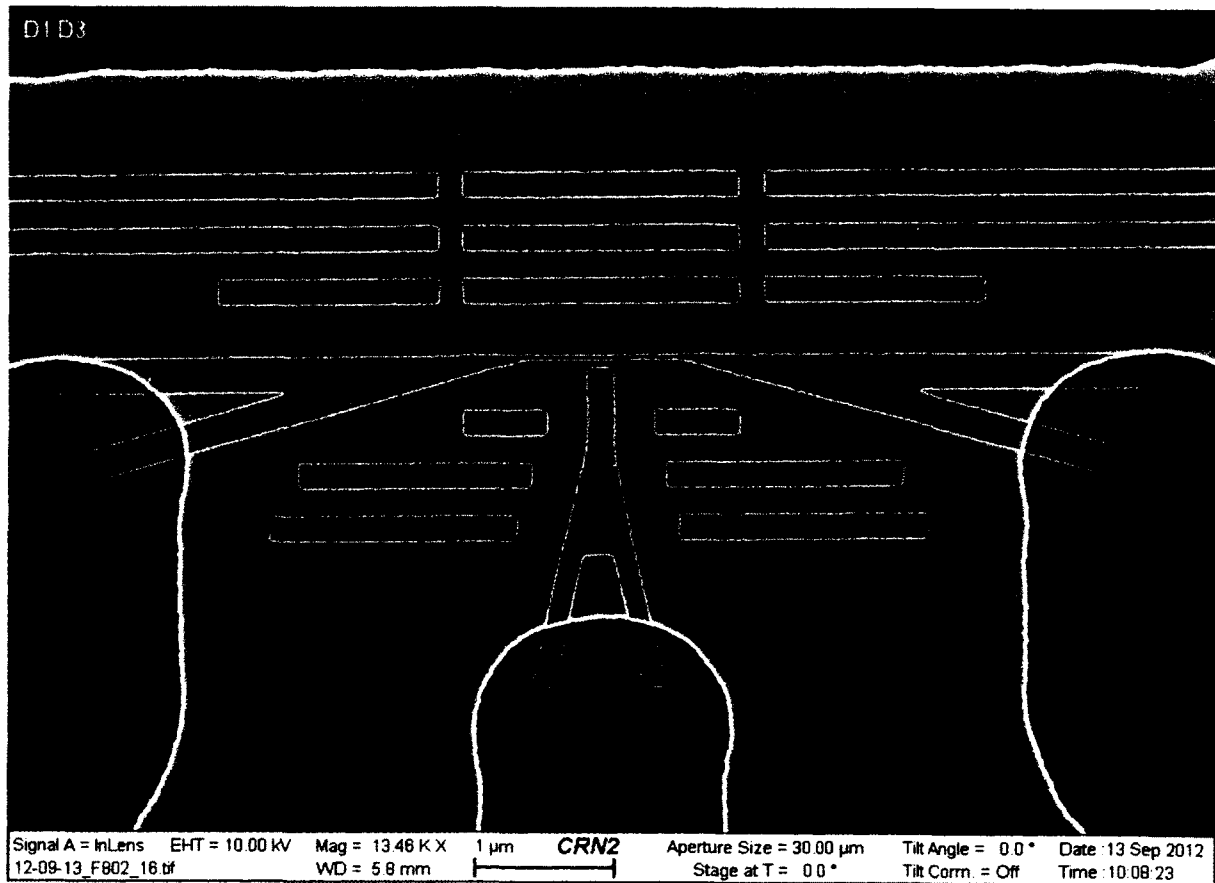


Figure 2.14. Nanotranchées dans l'oxyde alignées sur les tranchées en photolithographie.

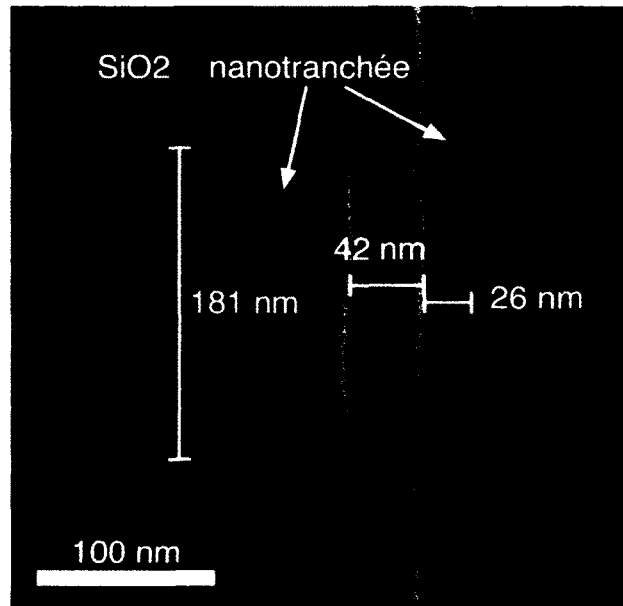


Figure 2.15. Nanotranchées dans l'oxyde (étape (2) de la figure 2.2). La distance de la grille n'est pas la même sur tous les échantillons. Elle est de 180 nm, 70 nm ou 40 nm selon le patron.

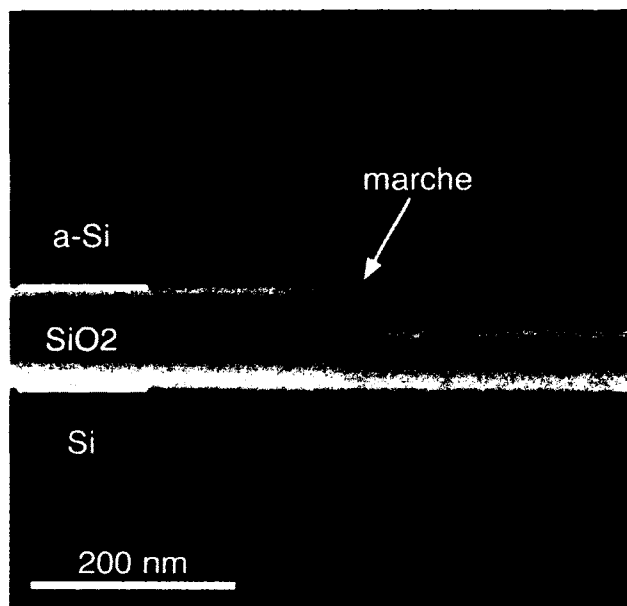


Figure 2.16. Vue en coupe au SEM de la couverture d'une marche dans l'oxyde par du a-Si épais.

2.5 Dépôt de silicium amorphe

Une fois les tranchées dans l'oxyde définies, une couche de silicium amorphe (a-Si) doit être déposée pour remplir les tranchées (étape (3) de la figure 2.2). Plusieurs options sont possibles pour déposer du silicium. Celui-ci peut être évaporé, déposé par plasma ou encore cru par LPCVD. La dernière option est retenue, car elle permet de faire des films intrinsèques de qualité à des températures intermédiaires (~ 600 °C). Selon la température et la pression choisie, le silicium peut être amorphe ou polycristallin [89]. Selon la littérature, les plus gros grains sont obtenus en cristallisant du silicium amorphe. L'épaisseur de la couche joue aussi un rôle. Les différentes options possibles sont étudiées avec plus de détail dans la référence [90].

D'un point de vue technologique, l'option retenue est de déposer le silicium amorphe par LPCVD (525 °C, 300 mTorr). Cette méthode est très conforme et isotrope, comme le montre la figure 2.16. La gravure du silicium sera effectuée avant de cristalliser le a-Si, ce qui permettra de réparer les défauts potentiels introduits par la gravure plasma et permettra peut-être de localiser le grain vis-à-vis l'îlot.

L'épaisseur choisie est de 40 nm. Celle-ci permet d'obtenir un contraste suffisant pour l'alignement lors de l'électrolithographie, tout en ayant de gros grains (favorisé par un

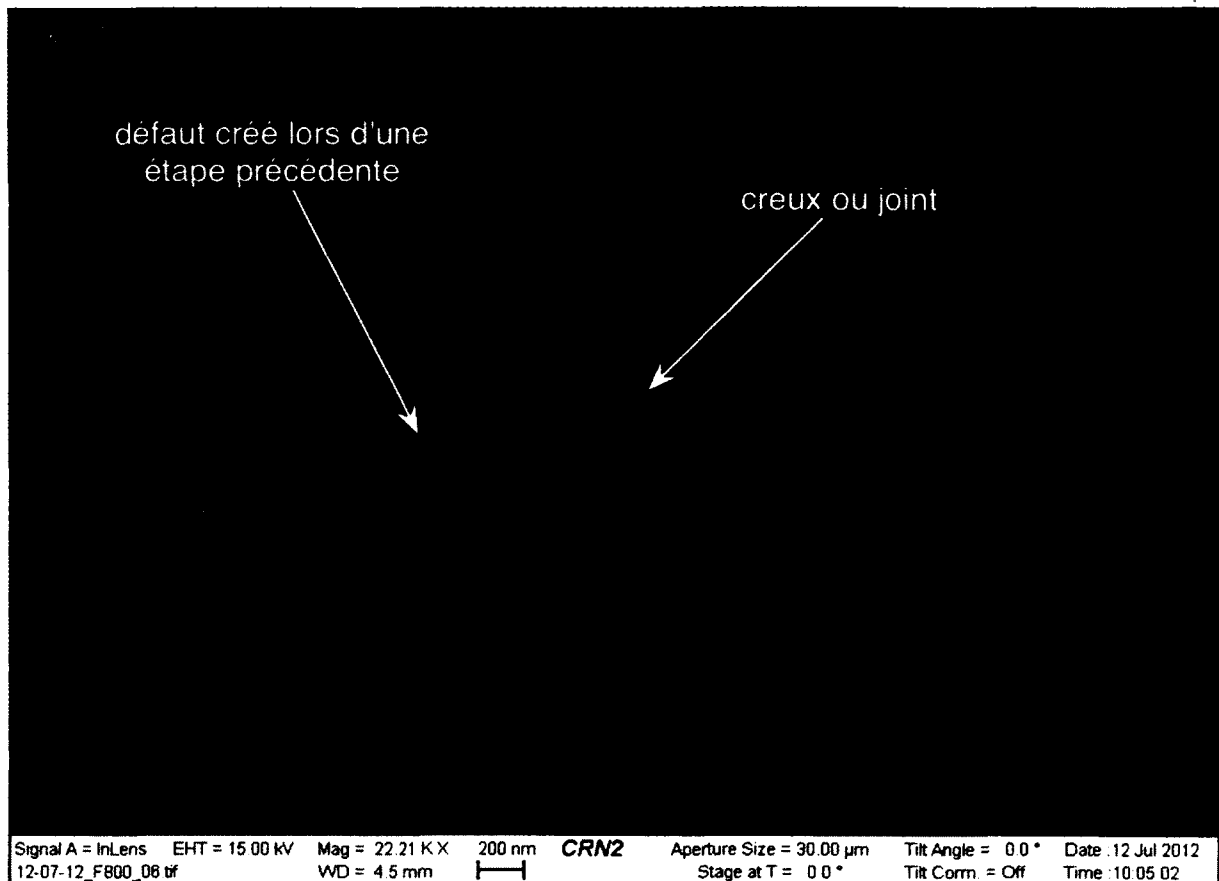


Figure 2.17. Tranchées dans l'oxyde recouvertes d'un film de 40 nm de a-Si. Une sorte de joint est visible vis-à-vis de la nanotranchée.

film épais). La tranchée doit être bien recouverte. En effet, une couche trop faible pourrait permettre à un joint de s'oxyder et inhiber la gravure. Le joint en question est visible sur la figure 2.17. Le rapport d'aspect de la tranchée devrait être inférieur à un.

La taille des grains est environ 10 fois supérieure à la taille de l'îlot, ce qui permet d'espérer qu'un seul grain formera l'îlot. La figure 2.18 montre du poly-Si après un recuit thermique rapide (RTA). L'observation au SEM des grains requière un film plus épais (80 nm).

Améliorations possibles Le niveau de dopage n'a jamais été vérifié. Des mesures de conductivité ou d'effet Hall pourraient permettre de contrôler la qualité du film. Cependant, un niveau de dopage élevé, d'environ 10^{18} cm^{-3} , est requis pour avoir statistiquement un dopant dans le volume de l'îlot. Un tel niveau d'impuretés semble peu

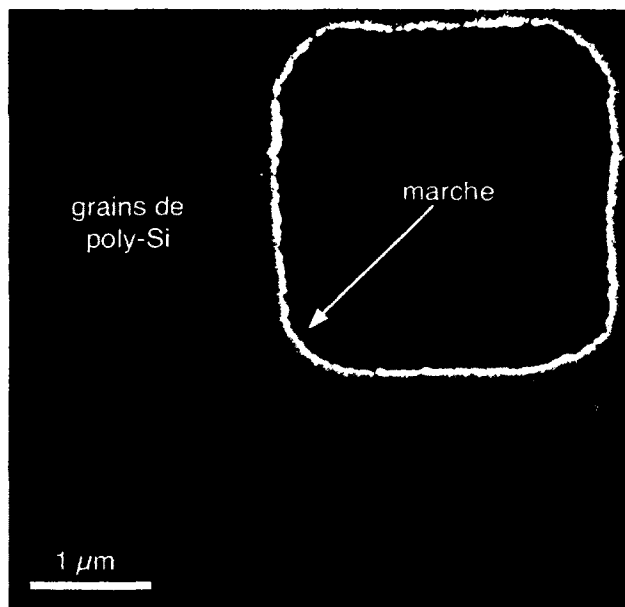


Figure 2.18. Silicium poly-cristallin après un RTA de 3 min à 800 °C sous atmosphère d'azote. La taille des grains est d'environ 250 nm et l'épaisseur du film 80 nm.

probable.

2.6 Gravure du silicium

L'étape suivante consiste à graver la couche de silicium pour former un nanofil croisant perpendiculairement la tranchée du canal source-drain. Cette étape est illustrée à la figure 2.2(4). Une électrorésine négative (ma-N) est utilisée pour masquer le nanofil.

Différentes solutions technologiques permettent de graver le silicium. Cependant, cette gravure requière toutes les caractéristiques d'une gravure plasma idéale :

1. haute sélectivité ;
2. haute anisotropie ;
3. faible taux de gravure dépendant du rapport d'aspect (ARDE) ; et
4. gravure de l'oxyde natif.

Il s'avère que même si la gravure plasma du silicium est très connue en microélectronique, graver une géométrie tridimensionnelle et de taille nanométrique pose un grand défi. Aucun procédé plasma capable de remplir le cahier des charges n'était disponible ou documenté. Afin d'obtenir le résultat planifié, le développement d'un procédé soigneuse-

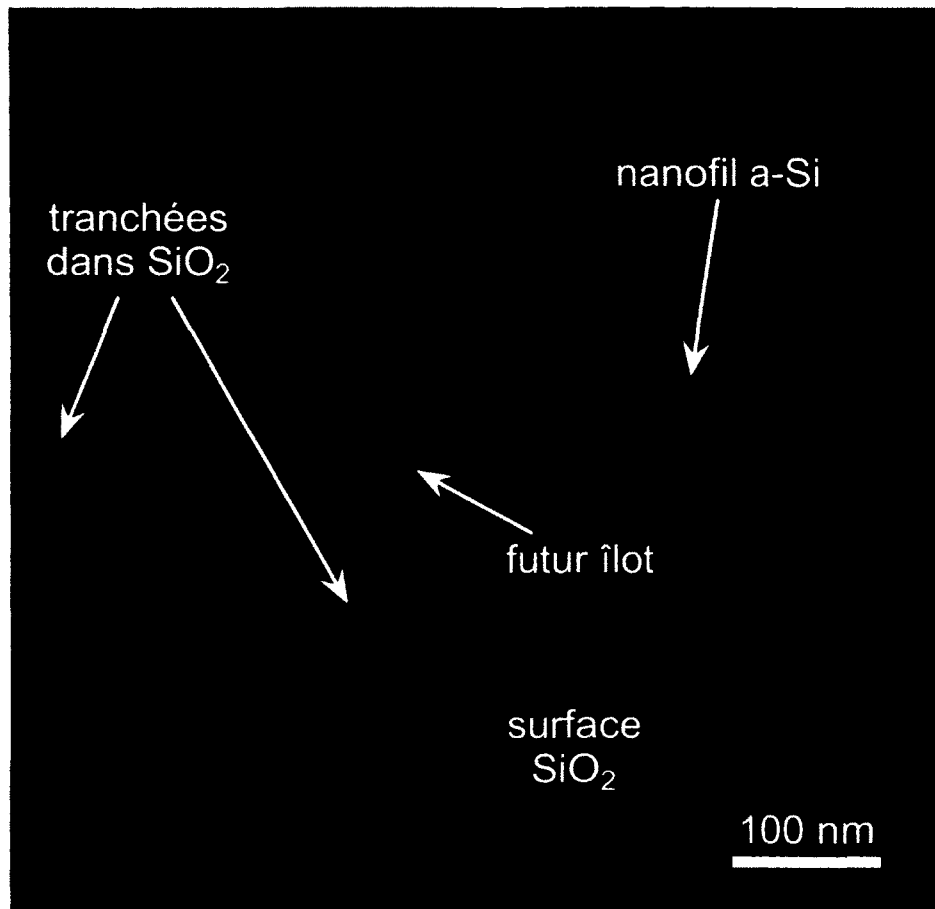


Figure 2.19. Nanofil de a-Si croisant une nanotranchee dans le SiO₂. L'image SEM ressemble beaucoup au schéma correspondant de la figure 2.2(4).

ment optimisé fut nécessaire et publié dans la revue *Microelectronic Engineering* [91] par la suite. Le chapitre 3 explique en détail ce procédé de gravure.

La figure 2.19 montre un nanofil de a-Si croisant une nanotranchee dans le SiO₂. La géométrie produite est celle qui était recherchée. La gravure semble propre. De plus, aucune fissure n'est visible vis-à-vis de la future position de l'îlot.

2.6.1 Nettoyage post-gravure

La passivation utilisée dans le procédé de gravure plasma (décrit au chapitre 3) laisse une couche de polymère fluorocarbonné (CF_xO_y) sur l'échantillon.¹ De plus, le masque de ma-N doit être enlevé. Après une gravure, les masques de résine peuvent être durs à

¹Des traces de soufre peuvent aussi être présentes.

nettoyer.

La meilleure méthode consiste à utiliser d'abord un plasma d'oxygène. Ce processus, appelé *ashing*, permet d'enlever la résine et grave la couche de passivation.² Ensuite, une sauce piranha ($\text{H}_2\text{SO}_4:\text{H}_2\text{O}$ 4:1, 15 min) est utilisée pour enlever les éventuels contaminants restants avant le RTA servant à cristalliser le a-Si.

2.7 Cristallisation du silicium

Les avantages de cristalliser le silicium après la gravure et le procédé sont expliqués à la section 2.5. Après le recuit, le a-Si change de couleur. Cependant, aucune modification de la structure du nanofil n'est apparente à l'inspection au SEM.

2.8 Jonctions tunnel

La préparation des jonctions tunnel de SiO_2 est une phase importante du procédé car elle détermine les propriétés du dispositif. L'effet tunnel est très sensible aux défauts, à la hauteur de barrière et à son épaisseur.

Il est extrêmement difficile d'avoir une mesure précise de l'épaisseur des jonctions tunnel à cause de la taille très petite de l'îlot. La méthode utilisée consiste à faire subir le même procédé d'oxydation à une couche de a-Si et à mesurer l'oxyde avec un ellipsomètre spectroscopique. Une meilleure méthode serait d'utiliser une couche de poly-Si à la place, mais les modèles ellipsométriques sont moins précis dans ce cas à cause des joints de grains et de la rugosité de surface du poly-Si.

Après le nettoyage post-gravure, une couche d'oxyde d'environ 3 nm est formée sur les parois du nanofil à cause du plasma d'oxygène. Cet oxyde doit être enlevé, car il est trop épais et rendrait les jonctions complètement opaques. Bien qu'aucun modèle n'ait été examiné, en comparant avec les épaisseurs de grille des *Metal-Oxide-Semiconductor Field Effect Transistors* (MOSFETs) et de d'autres dispositifs similaires [68] on estime que l'épaisseur idéale serait de 0.5 – 1 nm.

Pour enlever l'oxyde, l'échantillon est trempé dans une solution de HF dilué avec de l'eau désionisée ($\text{H}_2\text{O}:\text{HF}$ 50:1) pour environ 30 s, un temps calculé pour graver 3.5 nm de SiO_2 . Des temps plus long risqueraient d'endommager l'ensemble de la structure et de

²Avec le Plasmaline en salle blanche de la Faculté de génie, un plasma de 100 W pour 1 min grave plus de 25 nm de polymère.

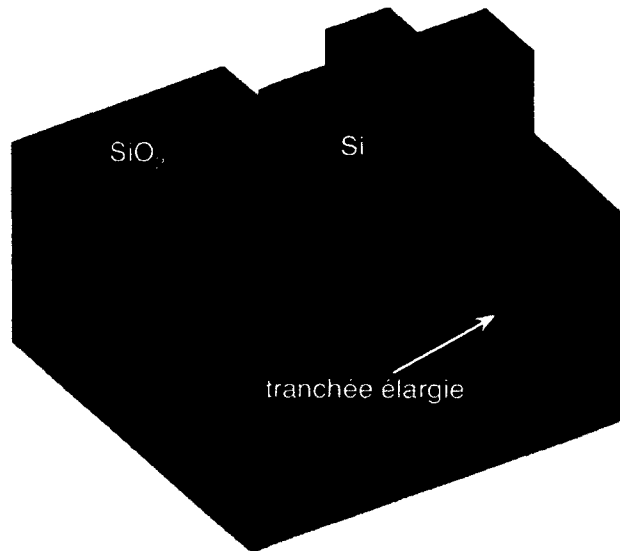


Figure 2.20. Géométrie de la nanotranchée après la désoxydation des jonctions tunnel. La gravure de l'oxyde élargit le nanofil.

creuser l'oxyde sous de nanofil de poly-Si. Après la désoxydation, les nanotranchées sont élargies d'environ 7 nm et l'îlot est surélevé d'environ 3.5 nm par rapport au niveau du fond du nanofil. Ce phénomène est illustré sur la figure 2.20.

Après la désoxydation, la surface du nanofil s'oxyde ensuite naturellement dans l'air ambiant pour former les jonctions tunnel (étape (5) de la figure 2.2).

2.9 Métallisation

L'étape suivante (étape (6) de la figure 2.2) est de déposer un métal (du titane) pour remplir le canal source-drain et la boîte de la grille. Le titane a été choisi originellement pour sa dureté et ses bonnes propriétés au CMP. Cependant, sa haute réactivité en fait un mauvais choix pour la stabilité des dispositifs. Au fil des semaines, le titane réagit avec la jonction tunnel et l'oxyde de la tranchee. De plus, le titane s'oxyde dans l'air ambiant.

Ainsi, un matériau de remplacement approprié serait le nitrure de titane (TiN). Celui-ci est un bon conducteur, est très dur, a un oxyde natif plus mince et réagit beaucoup moins avec l'oxyde de silicium. Pour des références sur le sujet, consulter la revue de Gabriel Droulers (document interne de l'équipe de D. Drouin).

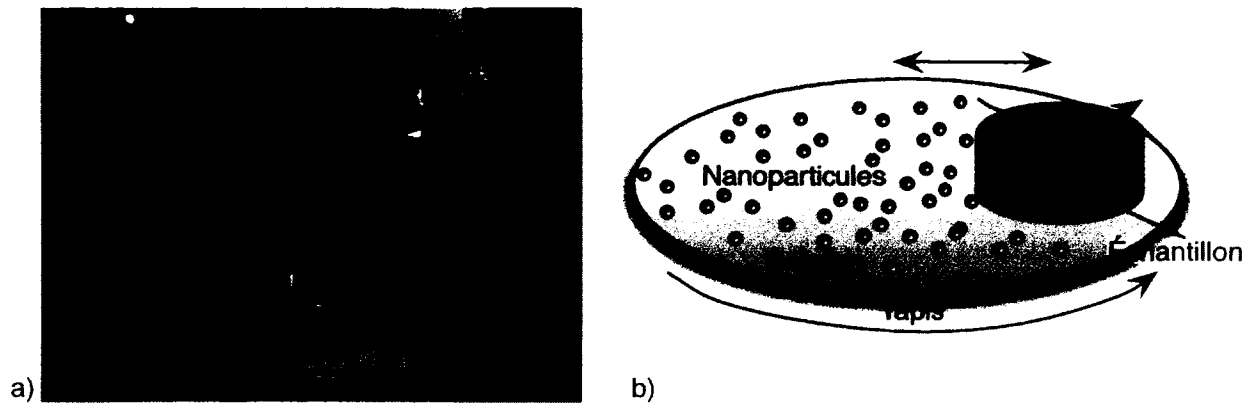


Figure 2.21. a) Polisseuse Alpsitec en salle blanche. b) CMP. L'échantillon est placé sur une tête rotative avec sa face sur la tapis de polissage. Une solution de polissage contenant des nanoparticules contribue au polissage chimico-mécanique.

2.10 Polissage des dispositifs

Après la métallisation, l'échantillon est poli au CMP (étape (7) de la figure 2.2) pour révéler l'îlot (ou boîte quantique). Cette étape permet d'amincir les îlots avec une précision nanométrique sur l'épaisseur. Conceptuellement, ce procédé de nano polissage (appelé « nanodamascène ») est ce qui fait l'originalité de notre méthode de fabrication et permet de réaliser des géométries de nanostructures qui seraient impossibles à réaliser avec une autre approche.

Le CMP est un procédé utilisé dans l'industrie de la microélectronique pour le polissage de tranches de silicium après la découpe des lingots, pour la planarisation des couches de métal d'interconnexion des transistors métal-oxyde-semi-conducteur complémentaire (CMOS) et se rapproche continuellement de l'étape des dispositifs (*front end*) [92]. Compatible avec la production de masse, ce procédé pourrait éventuellement servir en première ligne de fabrication, comme dans la fabrication de SETs en métal pour la logique basse puissance. La figure 2.21 montre la polisseuse Alpsitec utilisée en salle blanche.

Dans les prochaines sections, les enjeux liés à l'uniformité du polissage, le contrôle de l'épaisseur des dispositifs et la qualité de la planarisation seront abordés.

Définitions

1. **Polissage** : Abrasion de matériel. Rend une surface lisse (mais peut être ondulée).
2. **Planarisation** : Abrasion de matériel. Rend une surface plate, sans relief.

La nuance entre les deux termes est importante dans le vocabulaire du CMP.

2.10.1 Uniformité

L'uniformité du polissage se définit par rapport à l'épaisseur de la couche polie d'une zone de l'échantillon à une autre. Une pression non uniforme ou un moment de force causé par la rotation du tapis de polissage peut causer un polissage non uniforme. Par exemple, un des coins pourrait être trop poli.

Une autre cause de non uniformité entre les zones est la densité de structures. Des structures très denses engendrent un relief qui augmente le taux de polissage. Typiquement, avec le photomasque NKMv3, le centre est toujours plus poli que les bords de l'échantillon, car il contient plus de structures. Les zones où il n'y a pas eu de photolithographie sont ainsi sous-polies.

2.10.2 Planarisation

Un polissage CMP idéal donne une surface plane d'où tout relief a disparu. En pratique, le relief initial et la sélectivité envers les matériaux fait en sorte que le polissage n'est pas idéal.

D'abord, le relief initial présent dans l'échantillon est atténué par le CMP mais peut quand même subsister. Ce phénomène donne lieu à l'abrasion et est illustré à la figure 2.22. Pour cette raison, la couche de métallisation de l'étape précédente est de 150 nm pour couvrir les tranchées de 60 nm. Une métallisation plus épaisse permet de réduire les effets du relief, qui ont tendance à s'atténuer avec l'augmentation de l'épaisseur polie. Ensuite, la densité des structures affecte le taux de polissage local. Plus précisément, la proportion de la surface recouverte de tranchées est un paramètre critique. Les bosses créées entre deux tranchées augmentent la pression locale et donc le taux de polissage. Il en résulte que les zones avec plus de surface gravée (en proportion) ont un taux de polissage plus grand. C'est pourquoi tous les plots de contact du photomasque sont faits de grilles et que tout l'espace vide est rempli de figurants.

Il existe aussi une longueur caractéristique en deçà de laquelle l'abrasion a moins d'effet, appelée longueur d'abrasion [93]. Pour le tapis de polissage utilisé, celle-ci se situe autour de 2 μm . Pour cette raison, toutes les structures (comme les contacts) sont faites de lignes de 2 μm . Idéalement, cette taille serait la plus petite possible, mais l'équipement de photolithographie disponible rend moins fiable la lithographie à des résolutions

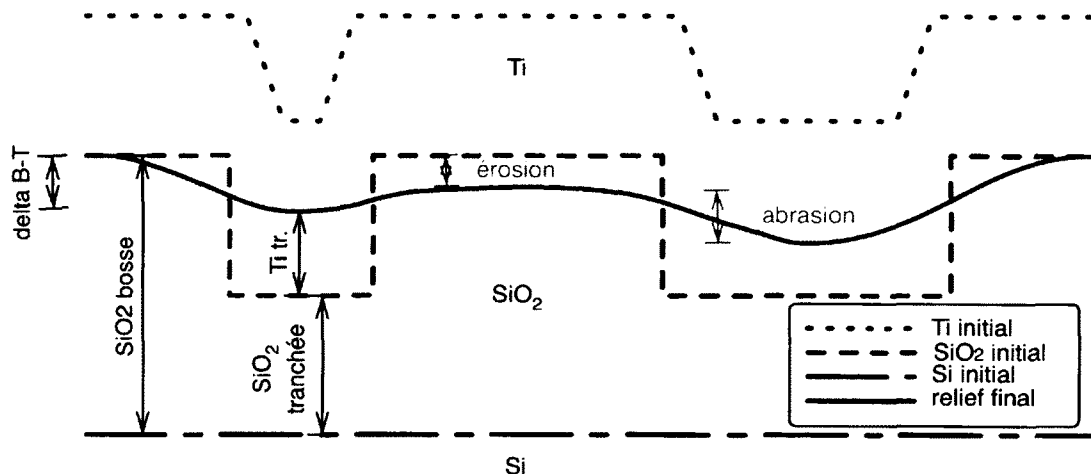


Figure 2.22. Non-idéalités de la planarisation CMP.

inférieures.

2.10.3 Contrôle de l'épaisseur

Contrôler l'épaisseur résiduelle des nanofils après polissage est un enjeu majeur. Sur des appareils de production de haut niveau, des capteurs de moment de force du moteur ou des capteurs infrarouges peuvent détecter quand la couche de métal est polie. Cependant, de tels dispositifs de métrologie ne sont pas disponibles sur notre polisseuse. Deux méthodes simples sont possibles avec notre appareillage : la méthode optique/SEM et la méthode de la résistivité.

La méthode optique/SEM consiste à utiliser le contraste donné par une mince couche de titane résiduelle à la surface pour déterminer si le polissage est suffisant. On dit que le polissage est t_0 quand tout le titane est poli, mais que le dispositif n'est pas encore aminci. Le microscope optique permet de voir quand du titane n'est pas complètement poli [93]. Il permet entre autre de voir les gradients d'épaisseur. Au SEM, une couche résiduelle de 1 nm a une couleur noire, alors que l'oxyde de silicium est blanc. Ce contraste binaire est très utile pour valider qu'un échantillon a bien atteint t_0 . La figure 2.23 montre un exemple d'une telle méthode.

La seconde méthode, plus précise, consiste à mesurer la résistance d'un nanofil présent au centre de la cellule. La résistance est inversement proportionnelle à l'épaisseur, de sorte que cette mesure permet de connaître très précisément l'épaisseur du nanofil entre 2 et 20 nm. Cette méthode a été développée par M. Guilmain et T. Labbaye [94].

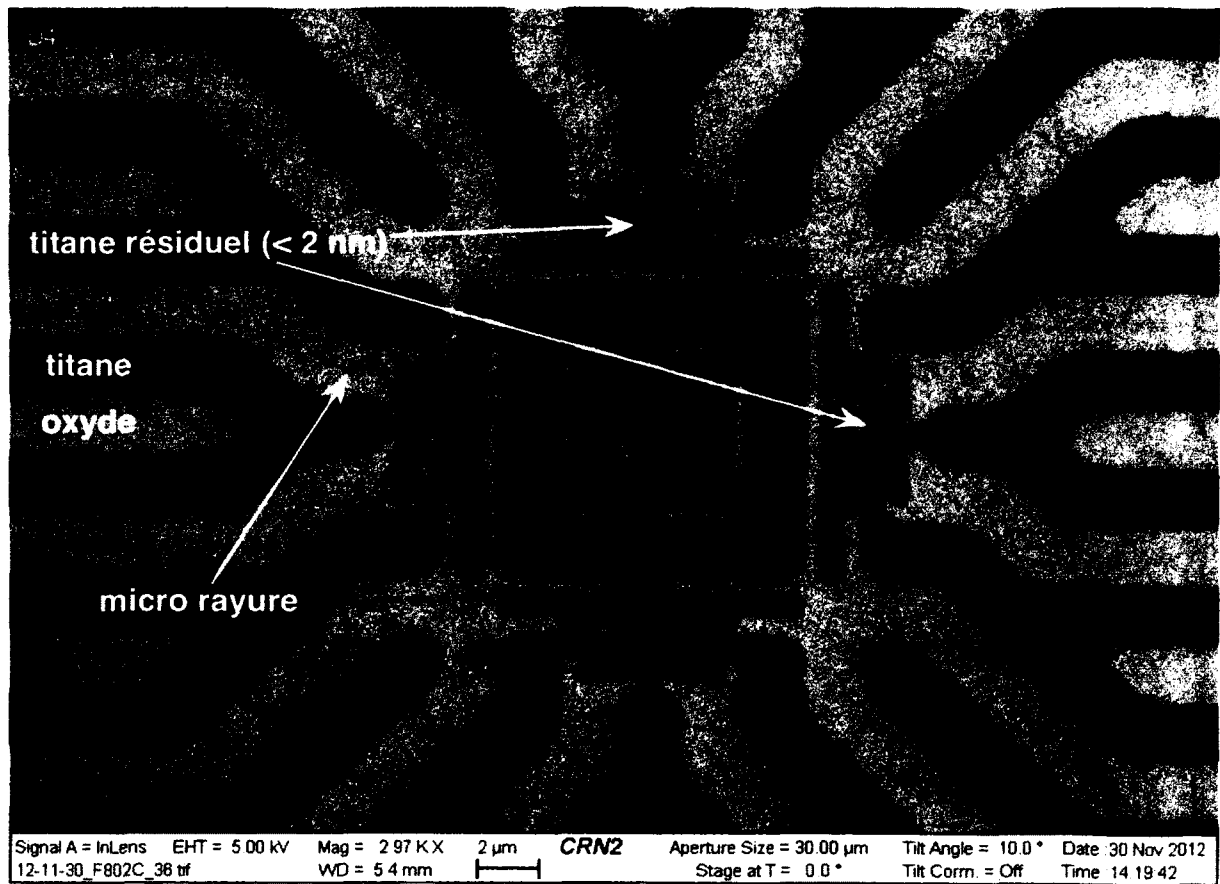


Figure 2.23. Image SEM de dispositifs près de t_0 . Une épaisseur résiduelle de Ti, même très faible, donne une couleur noire.

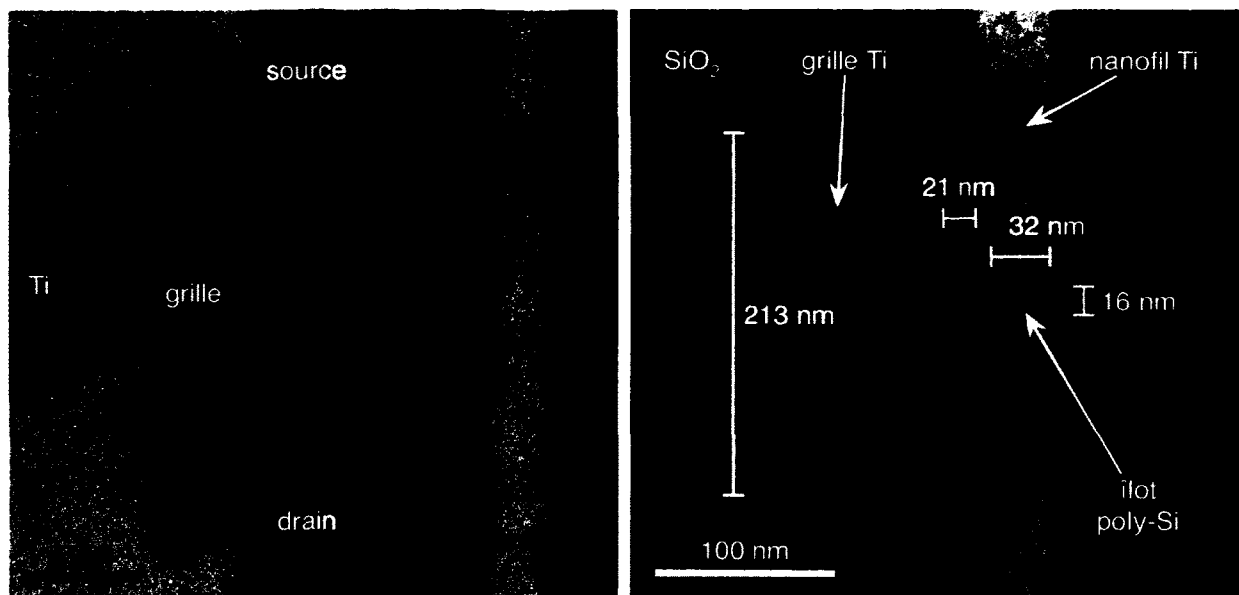


Figure 2.24. Images au SEM d'un dispositif poli. Les structures de Ti et l'îlot y sont clairement visibles. Les images de gauche et de droite ne montrent pas le même dispositif.

2.10.4 Dispositifs polis

La figure 2.24 montre une image SEM d'un dispositif après le polissage. Ces images sont difficiles à faire, car l'oxyde se charge sous l'effet du faisceau d'électrons. L'image doit ainsi être acquise avec un balayage rapide pour éviter les distorsions. L'îlot y est cependant clairement visible. Le canal source-drain se rétrécit vis-à-vis l'îlot. Ce phénomène est dû au procédé de désoxydation des jonctions tunnel illustré à la figure 2.20.

La figure 2.25 montre une image par microscope à force atomique (AFM) d'un échantillon poli. Sur l'image, on peut voir la courbure de la surface qui est due à l'abrasion du CMP. Près des grosses structures gravées en photolithographie, le polissage est plus rapide, ce qui cause la courbure. On peut aussi voir des traces de rayures. Celles-ci sont très peu profondes ($\sim 2 \text{ \AA}$), comme en témoigne le profil de la figure 2.25b. La surface résultant du polissage est lisse au niveau quasi atomique.

On constate que les structures de Ti sont environ 2 nm plus hautes que la surface de l'oxyde. L'inverse pourrait être attendu, car ces structures étaient moins hautes avant le polissage. L'effet provient de la sélectivité défavorable du CMP. La sélectivité est le ratio de deux taux de polissage (ou gravure). Un procédé CMP idéal aurait une sélectivité

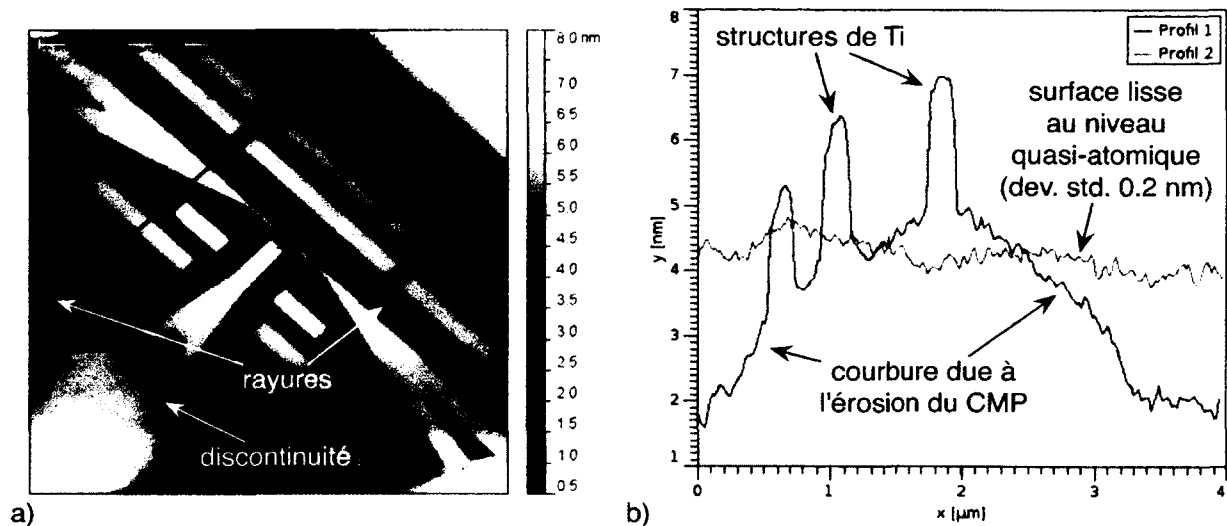


Figure 2.25. a) Image AFM d'un dispositif poli. b) Profils topographiques selon deux axes.

de 1:1 envers les autres matériaux, ce qui permettrait de bien planariser. Cependant, la sélectivité actuelle est de 1:2 Ti:SiO₂ et de 1:3 Ti:a-Si. Ainsi, dès que l'oxyde est exposé au polissage, les différences de hauteur s'inversent et ne peuvent que s'agrandir par la suite. La figure 2.26 montre l'impact de cette sélectivité défavorable sur l'îlot de poly-Si. Celui-ci est creusé par le CMP, mais toujours présent. La pointe AFM est trop large pour pouvoir sonder le fond du creux.

2.11 Passivation

À partir de ce point, deux voies de fabrication ont été utilisées. La première n'inclut pas de passivation de la surface, ni de grille supérieure (*top gate*). L'étape suivante est donc la déposition de plots de contact en or par photolithographie et soulèvement (voir la section 2.12). Les dispositifs fabriqués sans grille supérieure n'ont pas un levier de grille suffisant pour démontrer les propriétés de SET souhaitées.

Pour la deuxième voie, une couche de nitrure de silicium (Si₃N₄) est déposée par dépôt chimique en phase vapeur assisté par plasma (PECVD) (étape (8) de la figure 2.2). Cette méthode permet de déposer un nitrure de silicium de qualité, c'est-à-dire dense et électriquement très isolant. Cette couche de passivation empêche le titane et l'îlot d'être en contact avec l'air et de réagir avec l'oxygène. Les travaux de M. Guilmain sur des nanofils de Ti ont démontré que la méthode arrête bien le vieillissement des

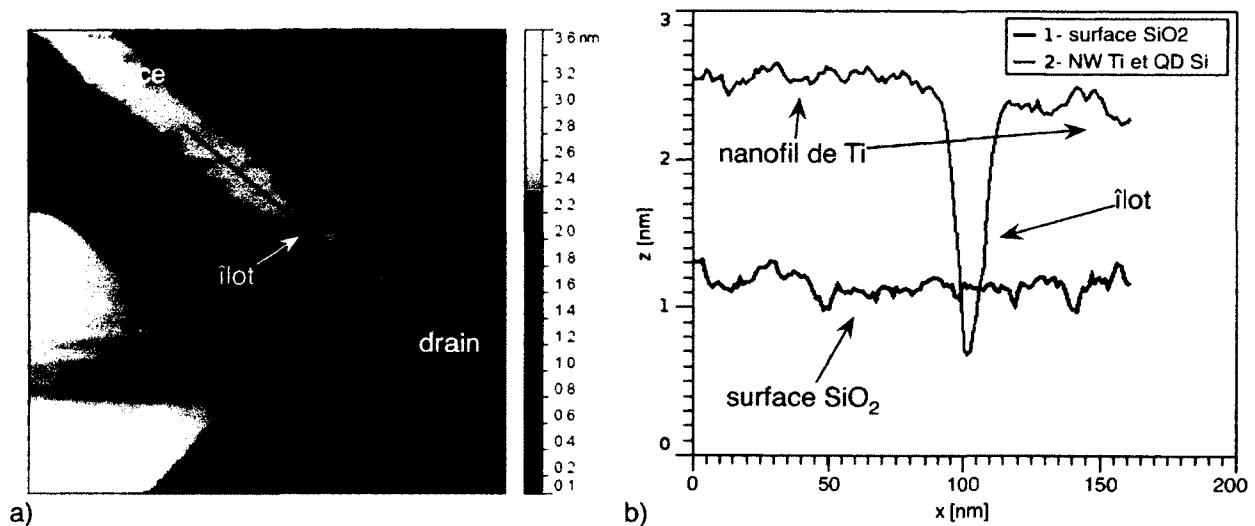


Figure 2.26. a) Image AFM d'un îlot. b) Profils topographiques selon deux axes. Le creux vis-à-vis l'îlot est causé par la sélectivité défavorable du procédé CMP. Le creux dans la grille est dû à une erreur d'alignement de l'îlot.

nanofils. À une étape subséquente, des trous d'interconnexion devront être gravés dans la couche de passivation pour connecter les plots de contact.

2.12 Gravure et dépôt des plots de contact

Pour permettre la microsoudure et le montage de la puce dans le cryostat, des plots de contact en or sont déposés sur les plots grillagés de titane de chaque cellule (voir la figure 2.6c). Un masque de résine double couche est utilisé pour faire le soulèvement. Un nettoyage au plasma d'oxygène est nécessaire pour l'adhésion de la couche d'or et/ou pour une gravure des trous d'interconnexion optimale.

Si une couche de passivation est présente, le masque de résine est utilisé pour graver des ouvertures dans la couche de passivation avant le dépôt d'or.

2.13 Grille supérieure

Les échantillons suivant la deuxième voie de fabrication reçoivent ensuite une grille supérieure. La grille est déposée par photolithographie et soulèvement. Elle est en aluminium. Le processus est illustré schématiquement à l'étape (9) de la figure 2.2 et à la figure 2.4. La figure 2.27 montre une image optique d'une grille supérieure après sa fabrication.

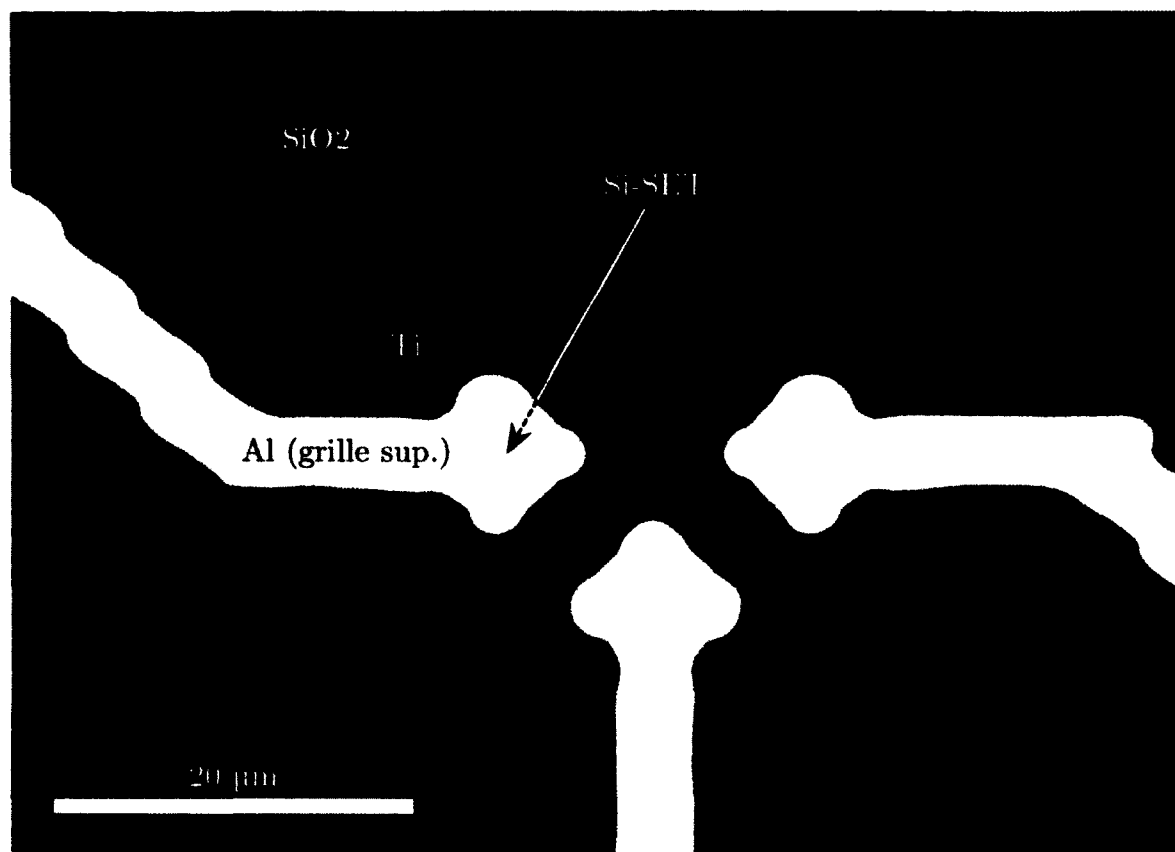


Figure 2.27. Grille supérieure en aluminium alignée sur une cellule. Image au microscope optique.

2.14 Montage sur support de puce

Avant de caractériser électriquement les dispositifs, ceux-ci sont montés sur des supports de puce à 19 plots. Une fois soudés sur ces supports, ils peuvent être mesurés dans les différents cryostats.

L'espace libre entre les plots du support 19 plots est de $5 \text{ mm} \times 7 \text{ mm}$. Comme les puces mesurent $10 \text{ mm} \times 10 \text{ mm}$, celles-ci doivent être découpées pour entrer dans cet espace. Un traçoir avec une pointe au diamant est utilisé pour découper les bords de la puce.

Celle-ci est ensuite collée sur le support 19 plots avec une époxy d'argent.³ Le substrat

³L'époxy d'argent est conductrice à température pièce et à basse température.



Figure 2.28. Puce montée sur un support à 19 plots.

est connecté à un plot de contact du support avec une trace d'époxy.

Un fil d'or ou d'aluminium de 1 mil = 25.4 μm est ensuite utilisé pour la microsoudure des plots du support vers les plots de la puce. La figure 2.28 montre une photo d'une puce montée sur son support prise à travers l'objectif d'une binoculaire.

Chapitre 3

Gravure plasma du silicium

Dans ce chapitre, le développement d'un procédé de gravure plasma nécessaire à la fabrication de l'îlot du transistor mono-électronique en silicium (Si-SET) est expliqué. Le texte est une version étendue et en français d'un article publié dans la revue *Microelectronic Engineering* ayant pour titre : Gravure plasma à couplage inductif de nanostructures de silicium amorphe sur nanotopographie utilisant la chimie C_4F_8/SF_6 [91]. Les auteurs du manuscrit original sont : P. Harvey-Collard, A. Jaouad, D. Drouin et M. Piore-Ladrière.

3.1 Résumé

La gravure plasma à couplage inductif (ICP) de nanostructures de silicium amorphe (a-Si) sur nanotopographie dans l'oxyde de silicium (SiO_2) est étudiée. La puissance de la bobine du système ICP est utilisée pour ajuster le taux de gravure du a-Si de 20 à 125 nm/min. Les taux de gravure du a-Si, du SiO_2 et de l'électrorésine sont mesurés en fonction du ratio de SF_6 , de la puissance du plateau et de la pression dans la chambre et sont utilisés pour optimiser la sélectivité du silicium envers l'oxyde. Les résultats sur des nanostructures montrent que la présence d'une couche d'arrêt isolante affecte le ratio de passivation nécessaire pour produire des parois verticales. Une basse pression est aussi nécessaire pour graver le silicium dans les nanotranchées pour former un nanofil hautement conforme. Nous soutenons que ces deux caractéristiques pourraient être expliquées par des effets de chargement de surface. Finalement, la gravure de nanofils de a-Si de 20 nm croisant des nanotranchées de 15 nm dans l'oxyde avec des parois verticales et une sélectivité de 4.3:1 a-Si: SiO_2 est démontrée. Ce procédé de gravure pourrait être utilisé

dans des applications où une nanotopographie est présente, comme dans les transistors mono-électroniques où les transistors multigrille.

3.2 Introduction

Les nouveaux dispositifs et les nouvelles applications en nanoélectronique requièrent à la fois des procédés de lithographie et de gravure de très haute résolution pour pouvoir fabriquer des structures de plus en plus petites. Les dispositifs de la prochaine génération utiliseront une variété de nouveaux matériaux et de géométries, de même qu'ils seront soumis à des contraintes de miniaturisation difficiles. Beaucoup d'efforts ont été mis dans le développement de gravure plasma de nanostructures utilisant une variété de gaz et de masques [95–97]. Néanmoins, le problème spécifique de graver des nanostructures de silicium sur une nanotopographie est encore peu exploré. Cette capacité est importante pour la fabrication de transistors mono-électroniques (SETs) avec le procédé nanodamascène [66, 98] ou de transistors multigrilles en poly-silicium [99].

Les procédés plasma capables de fabriquer ces structures requièrent une haute sélectivité du matériau gravé par rapport à la résine et à la couche d'arrêt, une haute anisotropie, la capacité de graver dans la nanotopographie et des taux de gravure qui permettent un bon contrôle de la gravure pour un film mince. Réunir toutes ces conditions à la fois est difficile. Il est de plus commun que des procédés développés pour des structures plus grandes échouent lorsqu'appliqués à des échelles nanométriques, car ils produisent des défauts (i.e. oscillations des flancs (*scallops*), rugosité, *trenching*, *footing* [88]) de taille comparable aux structures produites. Ces problèmes peuvent être accentués quand des nanostructures doivent être gravées dans d'autres gravées à une étape précédente.

Ce chapitre étudie la gravure ICP de nanostructures de a-Si avec les gaz C_4F_8/SF_6 sur des nanotranchées gravées précédemment dans le SiO_2 . Après une introduction à la gravure ICP, la première série d'expériences présentée à la section 3.5 étudie la dépendance des taux de gravure et de la sélectivité en fonction de la puissance de la bobine, de la puissance du plateau, la pression de la chambre et la concentration des gaz sur des échantillons non-structurés. La section 3.6 montre le résultat de différents paramètres de gravure sur des nanostructures et des nanotranchées, ce qui démontre les difficultés de ce type de gravure. Ensuite, la fabrication de petites lignes de 20 nm de a-Si par dessus et perpendiculairement à une nanotranchée (15 nm de largeur, 25 nm de profondeur) dans

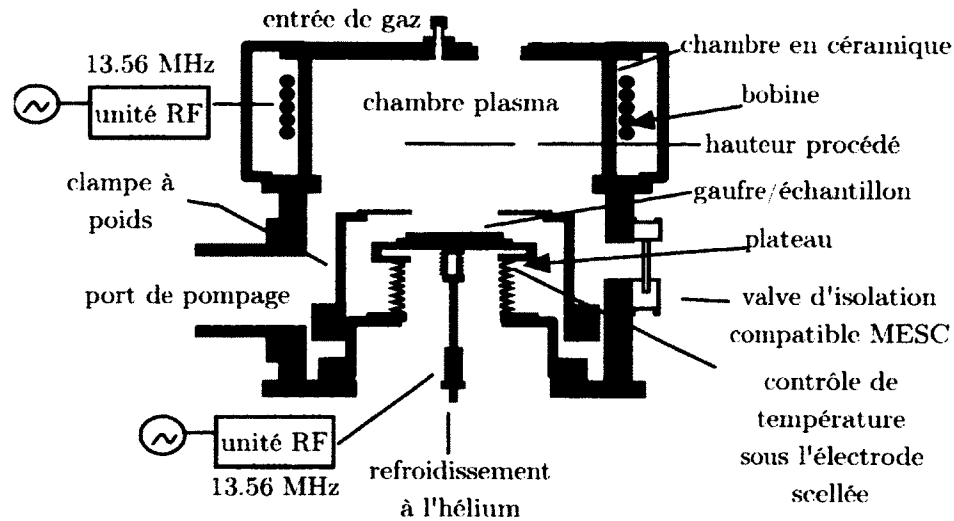


Figure 3.1. Système ICP ASE de la compagnie STS. La bobine contrôle la densité du plasma et le plateau contrôle la différence de potentiel du plasma, découplant ainsi le taux de gravure de l'énergie des ions. Schéma tiré de la référence [100].

l'oxyde avec une sélectivité de 4.3:1 ($\alpha\text{-Si}:\text{SiO}_2$) est démontrée.

3.3 Fonctionnement du réacteur plasma

Le réacteur ICP utilisé est un *Surface Technology System (STS) multiplex Advanced Silicon Etch (ASE)*, illustré à la figure 3.1. La concentration des gaz utilisés pour la gravure est contrôlée par un régulateur de débit pour chaque gaz. La pression dans la chambre est contrôlée par un port de pompage à impédance variable. Le support de gravure est une gaufre en quartz refroidie par un flux d'hélium à haute pression (~ 10 Torr). L'échantillon y est collé avec une cire pour un bon contact thermique. La bobine est couplée inductivement au plasma. Un générateur radio-fréquence (RF) à 13.56 MHz permet de contrôler la puissance envoyée au plasma par la bobine. Une puissance RF est aussi générée à partir du plateau. Cette composante RF crée une différence de potentiel dans le plasma qui accélère les ions vers la surface de l'échantillon. Par conception, le système ICP permet contrôler la densité du plasma avec la bobine et l'énergie des ions avec le plateau, ce qui offre une grande flexibilité au niveau du procédé.

3.4 Chimie du plasma mixte C_4F_8/SF_6

Les processus physico-chimiques qui gouvernent la gravure au plasma sont complexes à décrire quantitativement. Une description simplifiée est cependant suffisante pour comprendre les mécanismes en jeu. La référence [101] explique en détails la physique du plasma RF et la gravure du silicium avec une chimie fluorée.

Les électrons sont accélérés par les forts champs électriques et ionisent les molécules neutres de gaz dans la chambre. Les ions sont ensuite accélérés vers la surface de l'échantillon par la différence de potentiel V_{DC} qui est présente dans le plasma RF en régime permanent. La distribution de leur angle d'incidence est plus ou moins faible et dépend de beaucoup de paramètres, mais surtout de la puissance du plateau et de la pression. Leur rôle dans la gravure est de réagir chimiquement avec la surface, fournir une énergie d'activation pour des réactions chimiques, éjecter des atomes de la surface, ou une combinaison de ces phénomènes. Ils peuvent même parfois déposer une couche de passivation qui inhibe plutôt la gravure. Des radicaux libres sont aussi produits par les collisions des électrons avec les molécules, ce qui excite des états électroniques. Ceux-ci sont très réactifs chimiquement et jouent souvent un rôle très important dans le cas de la gravure du silicium avec une chimie fluorée. Leur distribution angulaire est isotrope, car ceux-ci sont neutres. Finalement, des électrons sont aussi incidents sur la surface, eux-aussi avec une distribution relativement isotrope d'angle due à leur faible masse.

La figure 3.2 résume les différents processus physico-chimiques impliqués dans la gravure du silicium par le plasma mixte C_4F_8/SF_6 . Les radicaux de fluor neutres sont responsables de la gravure isotrope du silicium, produisant du SiF_4 . Ceux-ci sont libérés surtout par le SF_6 et en partie par le C_4F_8 . Le carbone est nécessaire pour briser le lien $Si-O$ et permettre la gravure du SiO_2 par le fluor. Ce processus requière un fort bombardement ionique pour fournir l'énergie d'activation, contrairement à la réaction quasi spontanée des radicaux de fluor avec le silicium. Le carbone provient de la couche de passivation et des ions incidents de CF_x^+ . Le C_4F_8 libère des monomères de CF_x qui sont déposés sur la surface et se polymérisent, formant un film de fluorocarbonate similaire à du Téflon.

L'anisotropie, c'est-à-dire la verticalité des profils verticaux, provient de l'interrelation entre le bombardement ionique et l'épaisseur du film de passivation. En effet, les surfaces exposées aux ions ont un film plus mince et la gravure y est plus rapide. Sur les parois verticales, le bombardement ionique significativement plus faible laisse un film plus épais

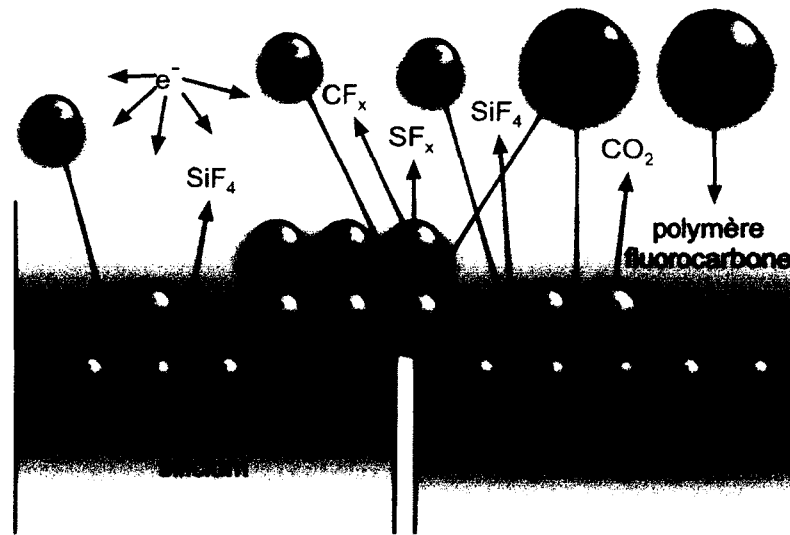


Figure 3.2. Résumé des réactions de gravure. Les radicaux de fluor neutres sont responsables de la gravure isotrope du silicium, produisant du SiF_4 .

qui inhibe la gravure du silicium. Ce phénomène est illustré à la figure 3.3.

3.5 Gravure ICP de substrats planaires

Les mécanismes de gravure du plasma C_4F_8/SF_6 ont été étudiés pour la gravure profonde [102–107]. Cette section présente une étude des taux de gravure en fonction du ratio de SF_6 , de la puissance du plateau et de la pression de la chambre dans un régime de basse puissance du réacteur adapté à la gravure de nanostructures peu profondes. Ensuite, les mécanismes de gravure du plasma mixte C_4F_8/SF_6 dans ce régime sont discutés. Cette étude permet l'optimisation de la sélectivité α -Si:SiO₂ et α -Si:résine. Puisque ces sélectivités sont environ les mêmes et suivent les mêmes tendances, seule celle envers l'oxyde est discutée à cause de sa plus grande importance pour les applications suggérées.

3.5.1 Méthodologie

Les mesures de taux de gravure sont effectuées en gravant des échantillons non-structurés de α -Si, de SiO₂ et d'électrorésine (ma-N). Pour les échantillons de SiO₂, l'oxyde est cru thermiquement (1050 °C) sur un substrat de silicium dopé type p (résistivité de 10–20 Ω cm). Pour les échantillons de α -Si, le silicium est cru par dépôt chimique en phase vapeur sous pression réduite (LPCVD) à 525 °C et 300 mTorr par dessus les

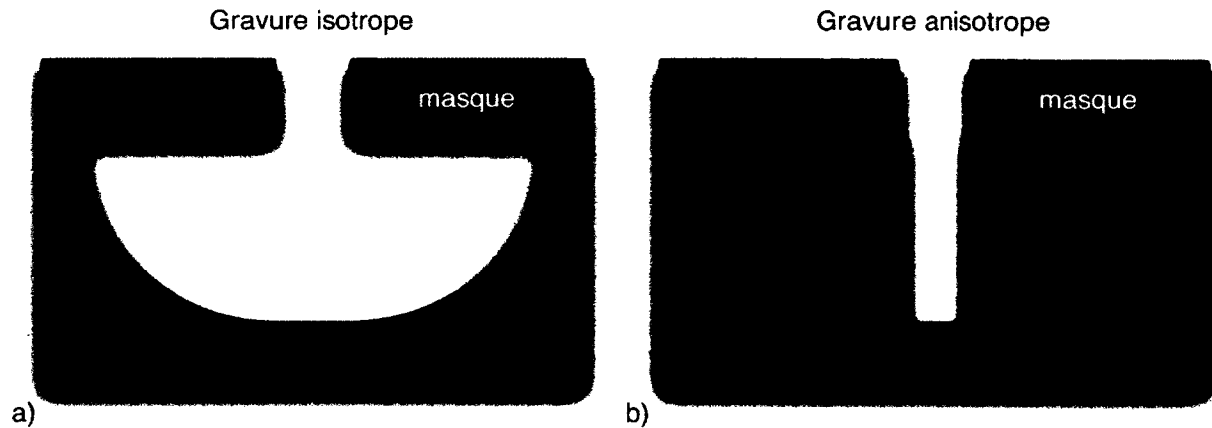


Figure 3.3. Schéma représentant l'anisotropie dans une gravure. a) Une gravure isotrope grave à la même vitesse dans toutes les directions. b) Une gravure anisotrope grave plus rapidement dans la direction verticale. L'effet provient de la combinaison de la passivation et du bombardement ionique.

échantillons de SiO_2 décrits précédemment. Ils sont désoxydés dans une solution de HF dilué (HF 49%: H_2O 1:50) immédiatement avant la gravure. Dans ce chapitre, le terme silicium est parfois utilisé plutôt que silicium amorphe, même si le silicium gravé est toujours amorphe et non-dopé. Les échantillons de ma-N sont des échantillons de SiO_2 recouverts avec une électrorésine ma-N 2401 de *Micro Resist Technology* diluée 1:1 avec de l'anisole. La résine est recuite à 90 °C pour 1 min et ensuite à 100 °C pour 10 min. Les épaisseurs des films de a-Si, de SiO_2 et de ma-N sont respectivement de 470 nm, 107 nm et 35 nm et sont mesurées avec un ellipsomètre spectroscopique avant et après chaque gravure. Voir la section suivante pour plus de détails.

Les échantillons sont gravés dans un système ICP ASE de STS. Ils sont fixés sur un substrat de quartz avec un adhésif STI Crystalbond 555HMP pour un bon contrôle de la température pendant la gravure. Les paramètres de l'ICP étudiés sont la puissance de la bobine P_c , la puissance du plateau P_p , la pression de la chambre p , la proportion du débit de SF_6 définie comme $r_{\text{SF}_6} = (\text{flot } \text{SF}_6) / (\text{flot total})$ et le temps de gravure t . La puissance de la bobine est fixée à 100 W sauf lorsque mentionné, le débit total de gaz est toujours de 75 sccm et le mélange de gaz utilisé est un mélange de C_4F_8 et de SF_6 . La température du plateau est de 20 °C. Les générateurs RF de la bobine et du plateau ont une fréquence de 13.56 MHz.

Détails sur les mesures de taux de gravure

Pour trouver les taux de gravure, les épaisseurs des couches de a-Si, de SiO₂ et de ma-N sont mesurées avec un ellipsomètre spectroscopique avant et après chaque gravure. L'épaisseur gravée est ensuite divisée par le temps de gravure pour calculer les taux de gravure. La sélectivité est définie comme le ratio du taux de gravure de deux matériaux.

Les épaisseurs ellipsométriques mesurées sont compatibles avec les mesures profilométriques. La couche de a-Si inclut une couche d'oxyde natif. L'indice de réfraction n et le coefficient d'absorption k du modèle ellipsométrique des couches d'a-Si et de ma-N sont ajustés avec l'épaisseur à chaque fois. Les valeurs de n et k ne changent pas significativement après la gravure. Toutes les autres couches ont des valeurs fixes de n et k . De la rugosité et un résidu de gravure fluorocarbonné est perçu comme un oxyde natif accru après la gravure, typiquement de 1 – 2.5 nm. Tous les ajustements sont bons et l'erreur est faible.

Les mesures sont précises à un nanomètre près et les épaisseurs gravées varient de 25 à 40 nm selon les taux de gravure. Ceci donne une incertitude relative de 0.5 à 8 % dans le pire cas. La variabilité dans les mesures de taux de gravure est aussi due à l'augmentation des taux avec le temps de gravure. Les temps varient de 45 s à 120 s. Par exemple, le point à 33 % SF₆ de la série de données de 15 W / 6 mTorr de la figure 3.5 a un temps de gravure de 120 s, alors que les autres en ont un de 60 s. Ce point est décalé des autres de 15 % à cause de l'augmentation du taux pendant la gravure. Malgré ces incertitudes, c'est la dépendance des taux de gravure envers la paramètres du ICP qui est importante. Obtenir des mesures d'une grande précision est d'importance secondaire car les valeurs seraient différentes dans un autre réacteur. Les barres d'erreur n'apparaissent pas sur les graphiques car elles les encombreraient.

3.5.2 Effet des paramètres du ICP sur les taux de gravure et les sélectivités

Effet de la puissance de la bobine

Les réacteurs ICP sont conçus pour produire des plasmas de haute densité et utilisés principalement pour la gravure profonde et de grands taux de gravure. Ainsi, pour contrôler la gravure de nanostructures peu profondes, les taux de gravure doivent plutôt être réduits pour assurer un procédé reproductible et éviter les instabilités du plasma.

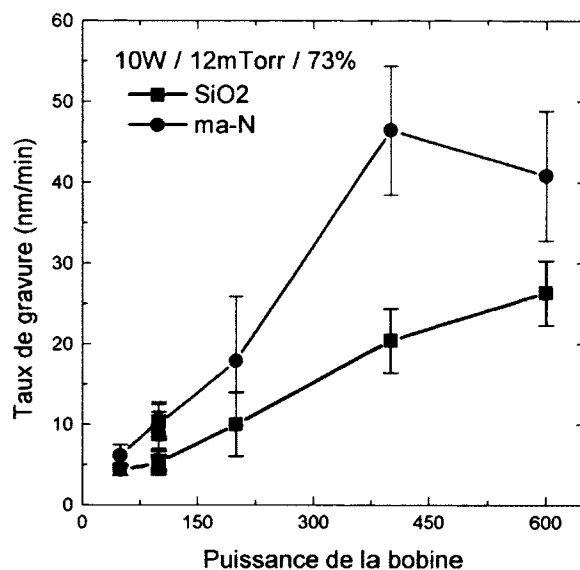


Figure 3.4. Taux de gravure de l'oxyde de silicium et de la résine ma-N en fonction de la puissance de la bobine. Les autres paramètres du ICP sont donnés dans la légende dans l'ordre $P_p / p / r_{\text{SF}_6}$.

La capacité du réacteur à séparer la puissance de génération du plasma (bobine) de celle d'accélération des ions (plateau) permet d'ajuster le taux de gravure via la puissance de la bobine. Cependant, cela peut mener à des changements dans les ratios de dissociation des espèces de gaz et dans le comportement de la gravure.

Les mesures de taux de gravure menées avec des puissances de bobine de 50 W à 600 W montrent que le taux de gravure du silicium peut être ajusté sur une grande plage de valeurs, de 20 nm/min à 125 nm/min pour le a-Si. Les changements dans le plasma (densité des ions et des radicaux) induits par cette puissance très basse (la plage normale de ce réacteur est de 600 – 1000 W) peuvent être compensés en ajustant le ratio des gaz.

La figure 3.4 fait le graphique des taux de gravure de l'oxyde¹ et de la résine en fonction de la puissance de la bobine. Avec 73 % SF_6 , ce procédé est quasiment isotrope. Les courts temps de gravure (15 – 45 s) expliquent la largeur des barres d'erreur. Le point erratique sur la courbe de la ma-N à 400 W est dû au temps de gravure de 15 s, ce qui est trop court pour permettre une bonne stabilité du plasma.

Dans le tableau 3.1, des détails sont donnés à propos de deux procédés similaires à différentes puissances de bobine. Le premier est ajusté pour une application qui ne requière

¹L'oxyde de silicium est souvent appelé plus simplement oxyde dans ce chapitre.

Tableau 3.1. Comparaison entre les sélectivités atteignables pour la gravure de a-Si sans et avec nanotopographie dans l'oxyde. Cette topographie coûte presque un facteur 2 en sélectivité à cause de la basse pression requise. Notez que ce n'est pas la puissance de bobine plus faible qui en est la cause.

Procédé	Normal	Sur topographie
P_c (W)	600	100
P_p (W)	10	10
p (mTorr)	12	6
ratio SF ₆ (%)	26.7	28.0
a-Si (nm/min)	125	27.9
a-Si:SiO ₂	7.5:1	4.3:1

pas beaucoup de surgravure après que la surface d'oxyde soit atteinte. Le deuxième est ajusté pour une application où la nanotopographie est impliquée, comme dans la figure 3.9.²

Une puissance de bobine de 100 W est choisie comme une valeur appropriée et est utilisée à travers le reste de ce chapitre. La puissance choisie est beaucoup plus basse que ce qui est rapporté dans la littérature pour des systèmes similaires. En comparaison, Welch *et al.* [96] rapportent des puissances dans la plage 600 – 1200 W³ et Hung *et al.* [95] de 800 W. Selon Henry [108], augmenter la puissance dans ce régime réduit le taux de gravure du silicium, alors que Hung *et al.* [95] rapportent que le taux de gravure est relativement insensible à la puissance de la bobine. Ces deux affirmations sont en désaccord avec nos résultats expérimentaux, qui montrent qu'augmenter la puissance augmente le taux de gravure. Cette différence pourrait être expliquée par deux facteurs. Premièrement, notre régime en est un de basse puissance bien adapté à la gravure de films d'épaisseur nanométrique, alors que les autres travaux rapportés sont à beaucoup plus haute puissance. Deuxièmement, puisque notre réacteur ICP est différent, les valeurs de puissances utilisées ne peuvent être comparées directement. Elles sont à interpréter plutôt comme des ordres de grandeur.

²Le deuxième procédé est le fruit de l'optimisation décrite dans ce chapitre. C'est la basse pression requise qui coûte presque un facteur 2 en sélectivité.

³Données obtenues par communication personnelle avec C. C. Welch.

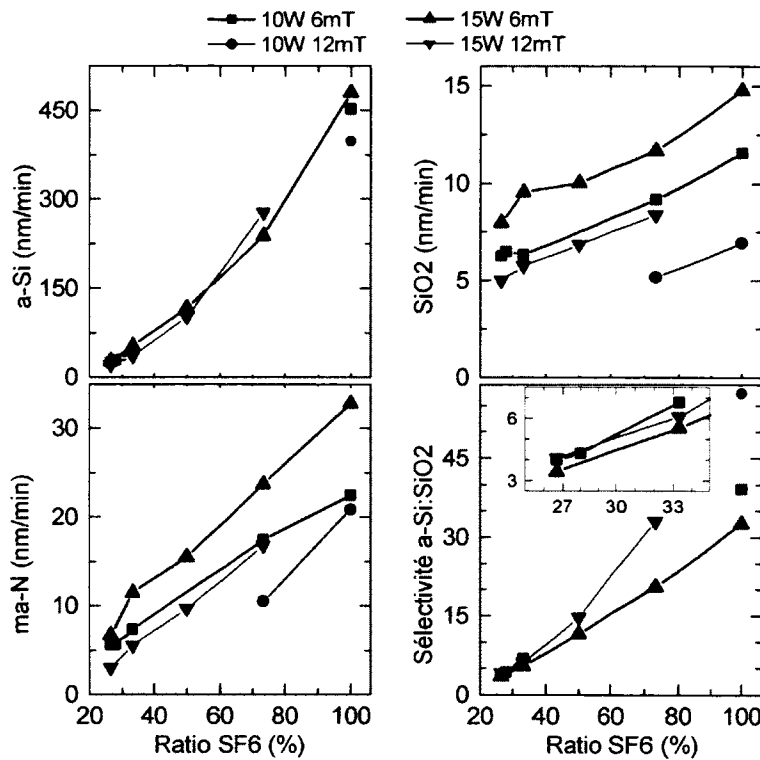


Figure 3.5. Taux de gravure du silicium, de l'oxyde et de la résine en fonction du ratio de SF₆. La sélectivité a-Si:SiO₂ est calculée à partir des taux de gravure. Les autres paramètres du ICP sont donnés dans la légende dans l'ordre P_p / p , où mT signifie mTorr. Aux très faibles ratios de SF₆ ($\lesssim 20\%$), la passivation domine la gravure et un polymère est déposé sur les échantillons.

Effet de la concentration des gaz

L'effet de la concentration des gaz est maintenant étudié. La figure 3.5 montre les taux de gravure mesurés du silicium, de l'oxyde et de l'électrorésine en fonction du ratio de SF₆. Les différentes courbes dans chaque graphes sont pour différentes puissances de plateau et pressions de la chambre. Alors que le taux de gravure du silicium varie non-linéairement, ceux de l'oxyde et de la résine sont linéaires. La sélectivité du silicium envers son oxyde est calculée à partir des taux de gravures et est aussi représentée sur la figure 3.5.

La gravure du silicium est causée par les radicaux libres de fluor produits par le SF₆ [104] et ce procédé est isotrope dans notre régime de puissance. Conséquemment, les données de la figure 3.5 montrent que les plus grands taux de gravure du silicium sont obtenus pour le SF₆ pur. Quand du C₄F₈ est ajouté pour obtenir de l'anisotropie, le

Tableau 3.2. Dépôt de la couche de passivation fluorocarbonnée en fonction de la puissance du plateau. Les autres paramètres du ICP sont $P_c = 100$ W, $p = 12$ mTorr, C_4F_8 flow = 20 sccm. Le substrat est une couche de SiO_2 sur silicium.

Puissance du plateau (W)	Taux de dépôt (nm/min)
20	26
50	32

taux de gravure du silicium diminue rapidement. Ceci est dû à la présence d'un film de passivation qui protège le silicium de la gravure par le fluor, qui doit diffuser à travers le film pour réagir avec le silicium [105]. La pente raide indique que trop de passivation par le C_4F_8 va fortement dégrader la sélectivité a-Si:SiO₂ et a-Si:ma-N.

Il est important de noter que des ratios de SF₆ de 20 à 40 % sont requis pour obtenir de l'anisotropie. Les valeurs optimales rapportées dans la littérature [95, 96] dépendent des paramètres du ICP. Dans la figure 3.6, la colonne de gauche fournit des données montrant le profil vertical de nanostructures en fonction du ratio de SF₆. La gravure est isotrope à 100 % de SF₆ et parfaitement anisotrope à 27 % de SF₆. Ce dernier paramètre permet la fabrication de nanofils de 11 nm, ce qui est très petit. Dans la colonne de droite, des tranchées dans l'oxyde sont visiblement vidées de leur silicium, une caractéristique requise pour la fabrication de structures sur une topographie.

Pour le C_4F_8 pur, un polymère semblable au polytétrafluoroéthylène (PTFE) est déposé sur la surface. Nos données présentées dans le tableau 3.2 montrent que le taux de dépôt de ce polymère est accentué par la puissance du plateau. Ceci suggère que le mécanisme de passivation a une composante ionique.

Le fluor pur grave aussi l'oxyde. Cependant, la réduction du taux de gravure causée par l'ajout de C_4F_8 est beaucoup moins dramatique que dans le cas du a-Si. De plus, la pente de la courbe du SiO₂ est plus petite que celle de la ma-N. Ceci suggère que les composés CF_x du C_4F_8 participent aussi à la réaction chimique, une observation qui est aussi rapportée dans la littérature [104]. Le carbone a un fort lien avec l'oxygène et est abondant dans la couche de passivation à la surface, alors que le fluor doit diffuser à travers le film. Quand le carbone se lie à l'oxygène pour produire du CO₂, plus de liaisons chimiques insatisfaites sont disponibles pour que le fluor se lie au silicium. Cette réaction requière l'action du bombardement ionique pour fournir l'énergie d'activation.

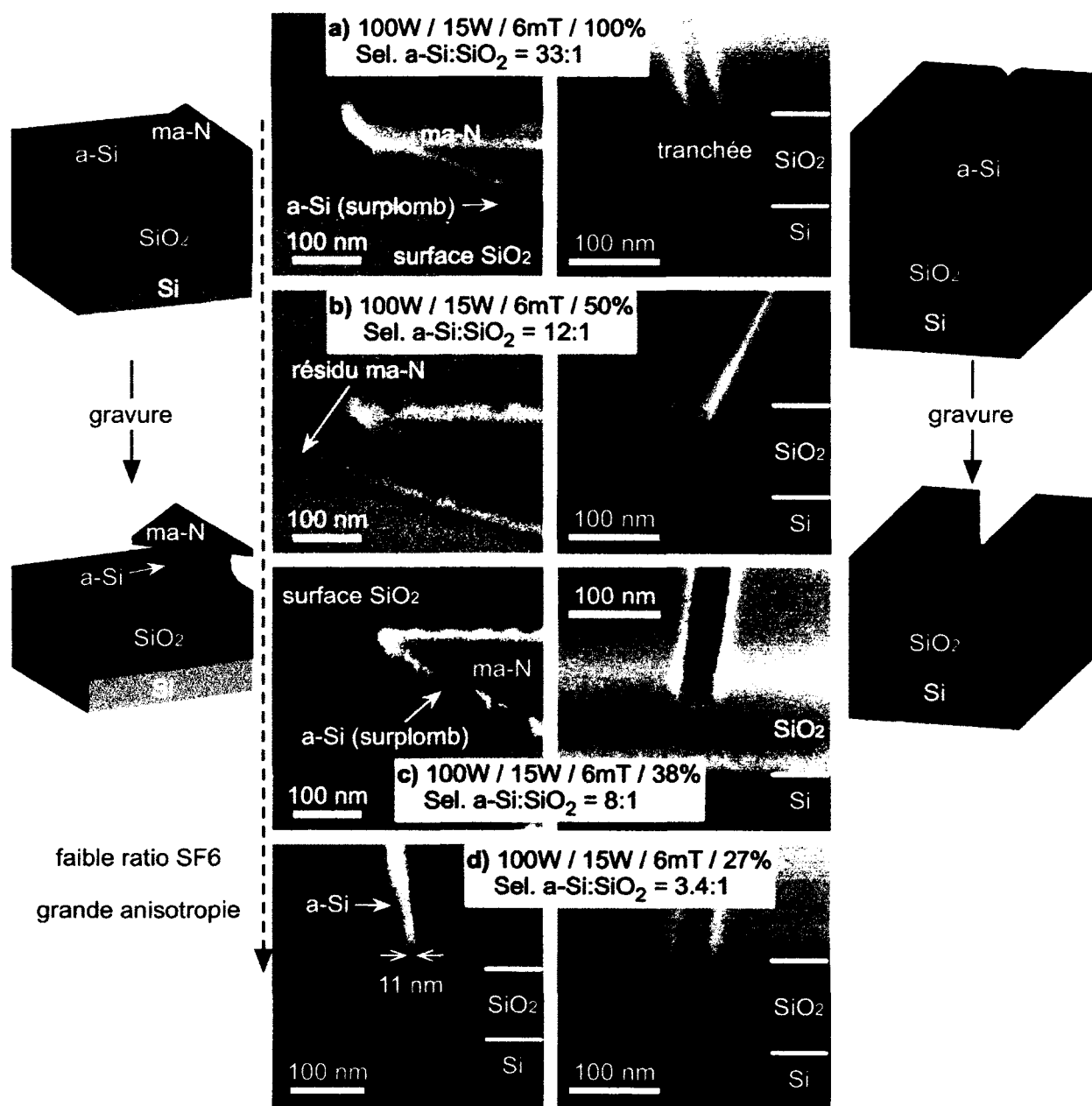


Figure 3.6. Profil vertical d'échantillons de type A (défini à la section 3.6.1) pour une grande plage de ratios de SF_6 . Colonne de gauche : structures de a-Si de 40 nm d'épaisseur. Colonne de droite : tranchées dans l'oxyde. Les paramètres du ICP sont donnés dans la légende dans l'ordre $P_c / P_p / p / r_{\text{SF}_6}$, où mT signifie mTorr. Les tranchées ont environ 40 nm de largeur et 26 nm de profondeur. En a), b) et c), les structures de a-Si ont clairement un profil surplombant, démontrant trop peu ou pas de passivation. En d), un nanofil de 11 nm montre un bon profil vertical aux dépens de la sélectivité a-Si:SiO₂. Dans toutes les images, les tranchées dans l'oxyde sont libres de silicium, une propriété importante pour graver dans la topographie.

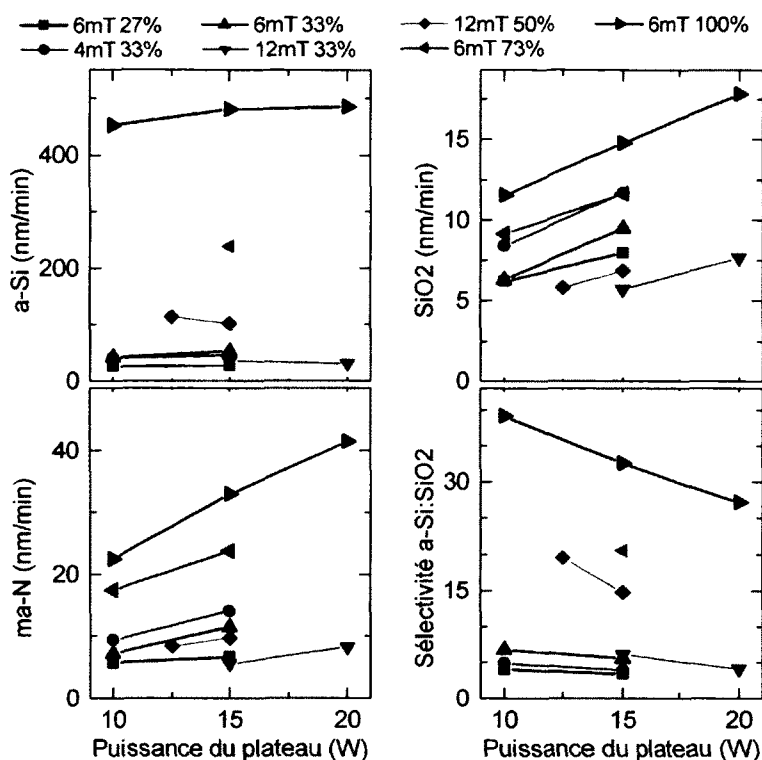


Figure 3.7. Taux de gravure du silicium, de l'oxyde et de la résine en fonction de la puissance du plateau. La sélectivité a-Si:SiO₂ est calculée à partir des taux de gravure. Les autres paramètres du ICP sont donnés dans la légende dans l'ordre p / r_{SF_6} , où mT signifie mTorr.

Effet de la puissance du plateau

L'effet de la puissance du plateau est maintenant étudié. La figure 3.7 montre les taux de gravure en fonction de la puissance du plateau. Ce dernier provoque l'accélération des ions vers la surface. Pour la gravure du silicium dans le SF₆ pur, la dépendance relativement faible du taux de gravure du silicium envers la puissance du plateau indique que les ions ne limitent pas le taux de gravure (même s'ils peuvent jouer un rôle d'activation de la réaction) [106]. L'inspection au microscope électronique à balayage (SEM) de profils verticaux révélant une gravure isotrope (voir la figure 3.6) renforce cette conclusion, car l'isotropie est typique d'une gravure par des espèces neutres. La relative insensibilité du taux de gravure du silicium envers la puissance du plateau n'est pas affectée par l'ajout de C₄F₈. Cependant, de l'anisotropie est observée dû à la passivation des profils latéraux. Les taux de gravure du SiO₂ et de la ma-N dépendent de la puissance du plateau, ce qui implique que leurs mécanismes de gravure sont fortement catalysés par les ions.

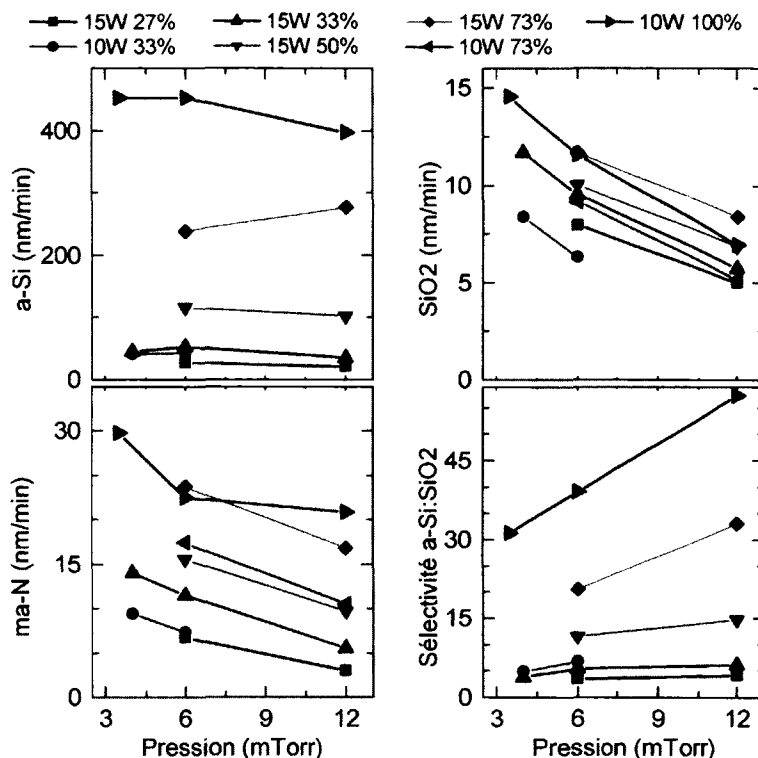


Figure 3.8. Taux de gravure du silicium, de l'oxyde et de la résine en fonction de la pression de la chambre. La sélectivité a-Si:SiO₂ est calculée à partir des taux de gravure. Les autres paramètres du ICP sont donnés dans la légende dans l'ordre P_p / r_{SF_6} .

La figure 3.8 montre les taux de gravure du silicium, de l'oxyde et de la résine en fonction de la pression de la chambre. Son effet sur les taux de gravure est similaire à celui de la puissance du plateau, c'est-à-dire qu'elle affecte surtout l'oxyde et la résine. Baisser la pression a pour effet connu d'augmenter le flux et l'énergie des ions dû au plus grand libre parcours moyen et à une modification de la gaine [104], mais dans des proportions différentes que celles de la puissance du plateau. La sélectivité a-Si:SiO₂ est aussi tracée à la figure 3.8.

3.6 Gravure ICP de nanostructures

Dans cette section, les résultats relatifs aux nanostructures et aux nanotranchées sont présentés. L'étude des taux de gravure et de la sélectivité a-Si:SiO₂ de la section précédente permet d'être presque optimal au niveau de la sélectivité tout en explorant l'impact des paramètres du ICP sur d'autres caractéristiques de la gravure comme l'anisotropie,

le taux de gravure dépendant du rapport d'aspect (ARDE) ou le *footing* [88]. Les facteurs influençant la verticalité des profils gravés et la capacité du procédé à graver dans les nanotranchées sont discutés. Finalement, un procédé fonctionnel est présenté et les compromis entre les différents paramètres sont discutés.

3.6.1 Méthodologie

Trois différents types d'échantillons sont utilisés pour étudier le comportement du procédé sur des nanotranchées et des nanostructures. Les échantillons de type A sont structurés pour une application de type SET (voir la figure 3.9). Ils ont des nanofils de silicium fabriqués par dessus des tranchées dans l'oxyde. Les échantillons de type B sont des échantillons de a-Si épais avec des structures test en résine négative ma-N. Les échantillons de type C sont des échantillons de a-Si épais structurés avec la résine positive ZEP. Dans les paragraphes suivants, les paramètres de fabrication des échantillons sont détaillés.

Les échantillons de type A ont 107 nm de SiO₂ cru par oxydation thermique. L'oxyde est gravé par plasma avec un masque de résine positive ZEP pour former des tranchées de 15 – 25 nm de largeur et de 20 nm de profondeur en utilisant le procédé développé par Guilmain *et al.* [109]. Les tranchées sont alors remplies par une couche de 40 nm d'épaisseur de a-Si déposé par LPCVD. Un masque de ma-N de 35 nm d'épaisseur est utilisé pour les nanofils de a-Si qui seront gravés avec le plasma de C₄F₈/SF₆. La résine et les résidus fluorocarbonnés sont nettoyés dans un plasma d'oxygène après la gravure (type A seulement).

Les échantillons de type B ont une couche épaisse de 470 nm de a-Si par dessus les échantillons de 107 nm de SiO₂ préparés comme décrit dans la section précédente. Un masque de ma-N est utilisé pour fabriquer les nanostructures de a-Si.

Les échantillons de type C sont similaires au type B, mais sont structurés avec la résine positive ZEP. La résine Zeon Corp. ZEP 520A est diluée 2.4:1 (poids) avec de l'anisole et son épaisseur est de 90 nm. Les trois types d'échantillons structurés avec la résine sont désoxydés dans du HF dilué juste avant la gravure.

Pour les échantillons de type A, le temps de gravure t est calculé comme suit. Connaissant le taux de gravure de films plans, le temps de gravure de l'oxyde natif, du film de a-Si et de la tranchée est calculé et additionné. Le temps total est ensuite multiplié par un facteur de surgravure f_{overetch} choisi entre 1.10 et 1.25. Pour les échantillons de type

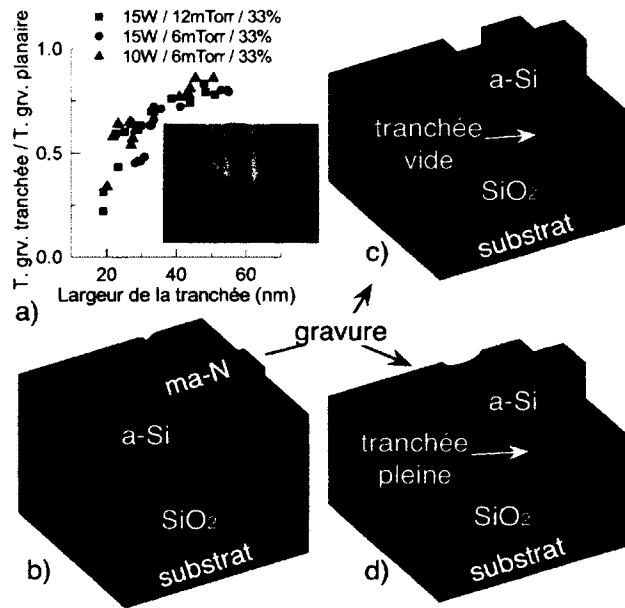


Figure 3.9. a) Taux de gravure relatif entre des tranchées étroites dans le a-Si et une tranchée large de 10 μm (échantillons de type C). Les paramètres du ICP sont donnés dans la légende dans l'ordre $P_p / p / r_{\text{SF}_6}$. Dans ce test, les tranchées sont gravés dans le a-Si en utilisant la résine ZEP comme masque (image SEM insérée). Tous les paramètres testés semblent avoir le même comportement pour graver dans des tranchées étroites de ZEP et de a-Si. b) Schéma d'un échantillon de type A avant la gravure. c) Schéma d'un échantillon de type A après la gravure. Il s'agit de la structure à fabriquer. d) Pour certains paramètres, le procédé ICP est incapable de graver le a-Si dans la nanotranchee, tel qu'illustré sur le schéma.

B et C, le temps de gravure est choisi pour créer des structures ou des tranchées de 30 – 100 nm de profondeur.

3.6.2 Gravure dans des nanotranchees

Une réduction du taux de gravure dans les tranchées étroites (ARDE) est attendue à cause du flux réduit de réactifs dans le fond des tranchées (*microloading*). Dans la figure 3.9a, le taux de gravure de tranchées dans du a-Si définies par une ouverture dans la résine positive ZEP est mesuré et comparé au taux d'une ouverture de 10 μm considérée comme le taux de base. Trois procédés sont testés avec différentes pressions et puissances de plateau, mais les mêmes ratios de SF_6 , pour chercher les meilleurs paramètres pour réduire l'ARDE. Les données montrent qu'il n'y a pas de différences significatives entre les trois.

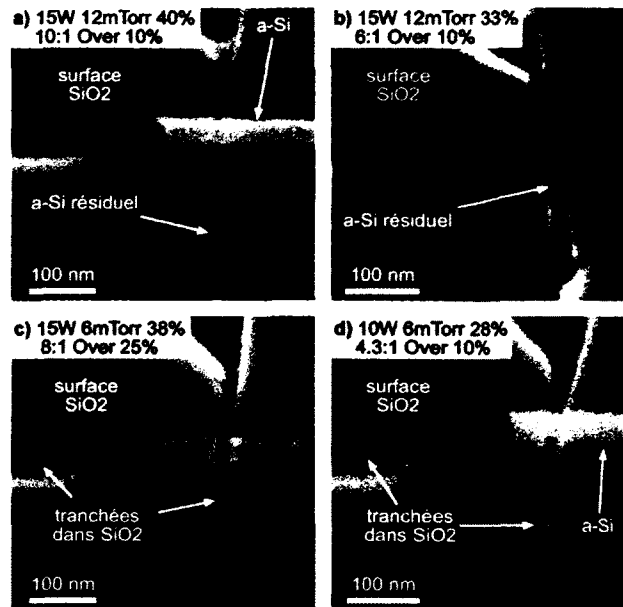


Figure 3.10. Effet de différents paramètres sur la gravure du silicium dans des tranchées étroites (< 25 nm) dans l'oxyde (échantillons de type A). Les paramètres sont donnés dans l'ordre $P_p / p / r_{SF_6} /$ sélectivité a-Si:SiO₂ / surgravure. a) et b) ressemblent au schéma de la figure 3.9d. Un bon procédé est présenté en d), où on voit que le nanofil de a-Si descend dans la nanotranchee comme dans la figure 3.9c.

Des paramètres similaires sont ensuite testés sur des échantillons de type A, qui sont les structures cibles de la figure 3.9c. Dans la figure 3.10, des images au SEM de nanotranchées avec un nanofil de a-Si sont montrées. On voit que pour les figures 3.10a et 3.10b la tranchée dans l'oxyde n'est pas vide, alors que celles des figures 3.10c et 3.10d le sont. Ainsi, les mêmes conditions qui étaient utilisées pour le test de la figure 3.9a ne sont pas équivalentes dans cette situation. D'autres structures gravées avec 25 % de surgravure montrent les mêmes résultats. En comparant les figures 3.10a avec 3.10c, et 3.10b avec 3.10d, on trouve que les conditions ayant du succès sont celles avec une pression de 6 mTorr, un résultat qui ne pouvait pas être anticipé à partir du test de la figure 3.9a. D'autres combinaisons de paramètres ont été testées et confirment ces résultats. En particulier, un procédé à 10 W / 6 mTorr / 33 % SF₆ / 7:1 / Over 10 % ayant environ la même sélectivité a-Si:SiO₂ et gravure physique que celui de la figure 3.10b (car leurs taux de gravure de l'oxyde et de la résine sont semblables et d'origine ionique) fut testé, mais seul les procédés avec 6 mTorr gravent le a-Si dans les tranchées. Tous les nanofils montrent des profils surplombants à cause du haut taux de SF₆, sauf pour celui de la figure 3.10d. Ce dernier procédé démontre un bon profil vertical et une

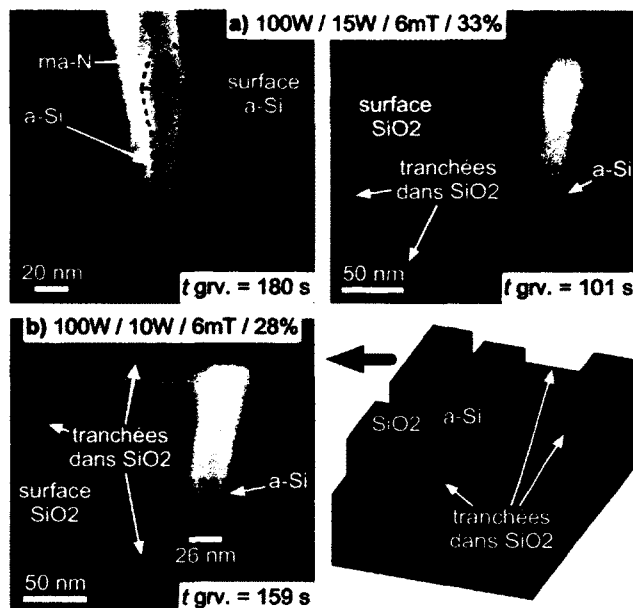


Figure 3.11. Vue latérale au SEM d'un nanofil de a-Si pour différentes couches d'arrêt. a) Dans l'image de gauche, il n'y a pas de couche d'arrêt (type B, surface de a-Si). Dans l'image de droite, la gravure est faite sur une topographie : la gravure arrête sur la surface d'oxyde (type A, surface de SiO₂). Le nanofil de silicium est plus sévèrement surplombant en présence de la couche d'arrêt d'oxyde. b) Un bon profil vertical est réalisé en utilisant un ratio de SF₆ plus faible.

tranchée vide de silicium, ce qui est le résultat voulu.

3.6.3 L'anisotropie et les effets de surface

L'anisotropie est obtenue en passivant les parois avec un polymère de fluorocarbène. Dans la section 3.5, il est démontré que le C₄F₈ fournit cette passivation au détriment de la sélectivité a-Si:SiO₂. Ainsi, ajuster le ratio de SF₆ est important à la fois pour l'anisotropie et la sélectivité.

Dans la figure 3.11a, des échantillons de type A (droite) et de type B (gauche) sont gravés et imagés au SEM avec un angle rasant de 15°. Dans l'image de gauche, il n'y a pas de couche d'arrêt. La surface exposée au plasma est donc du a-Si. Dans l'image de droite, la gravure est faite sur une topographie et arrête sur la couche d'oxyde. La nécessité de graver dans la nanotranche impose que presque 50 % de la gravure soit effectuée alors que la surface de l'oxyde est exposée au plasma. Les procédés démontrés sont sous-passivés, ce qui cause des profils surplombants. Néanmoins, la structure de droite est beaucoup plus surplombante que celle de gauche, même si le temps de gravure

est plus court. La plupart des structures de l'échantillon de droite étaient complètement affaissées. Ce phénomène a aussi été observé avec d'autres paramètres.

Les auteurs des références [95, 96] rapportent que des ratios de SF₆ de 30 – 35 % produisent des parois verticales et que la valeur optimale dépend de la pression. Même si dans nos travaux ces paramètres produisent aussi des parois presque verticales sur les échantillons de type B, des ratios inférieurs de 26 – 28 % sont nécessaires pour les échantillons de type A à cause de la présence de l'oxyde, tel que montré sur la figure 3.11b. Selon la figure 3.5, ceci réduit la sélectivité a-Si:SiO₂ d'environ un tiers. Puisqu'il a été établi précédemment que la pression est la clef pour graver le silicium dans les nanotranchées, la puissance du plateau peut être réduite de 15 à 10 W sans impact sur la gravure du silicium dans les tranchées. Selon la figure 3.7, une puissance du plateau plus faible permet de compenser partiellement pour la perte de sélectivité a-Si:SiO₂ causée par le ratio de SF₆ plus faible. Ainsi, nos travaux montrent que le ratio de SF₆ optimal dépend aussi de la présence ou de l'absence d'une couche d'arrêt d'oxyde et fournit une méthode pour optimiser les conditions du procédé. Une comparaison des paramètres de gravure pour les deux scénarios est présentée dans le tableau 3.1.

3.6.4 Discussion sur les effets de chargement de surface

Nous avons démontré que la présence d'une surface d'oxyde augmente le profil surplombant de nanostructures de a-Si (figure 3.11) et qu'elle inhibe la gravure dans les tranchées lorsqu'utilisée avec une haute pression (figure 3.10). Une explication possible pour ces résultats est que la surface d'oxyde charge positivement lorsqu'exposée au plasma. Le chargement peut causer des profils surplombants sur les parois, du *footing* et peut aussi ralentir la gravure de surfaces [110, 111]. Dans notre cas, l'effet observé doit être relié à la surface d'oxyde, car n'importe quel effet causé par la nanostructure serait toujours présent et passerait inaperçu. Une charge positive sur l'oxyde dévierait les ions vers les parois, causant une gravure de la couche de passivation et des profils surplombants comme observé. Elle peut aussi repousser les ions avec une basse énergie, les empêchant de graver la passivation sur les tranchées.

Les résultats montrent que la pression est le paramètre qui a le plus grand impact sur la gravure dans les nanotranchées, et une observation similaire est rapportée par Park *et al.* [111]. Nous suggérons que la plus faible pression change la distribution en énergie des ions vers les plus hautes énergies, tout en changeant la quantité de charge accumulée à la

surface, d'une façon favorable à vaincre les effets de charge. Ceci serait compatible avec les travaux de Park *et al.* [111].

Nous croyons aussi qu'utiliser une plus grande puissance de plateau n'augmente pas la gravure dans les tranchées d'oxyde, car les procédés avec $P_p = 15$ W fonctionnent seulement à basse pression. De plus, les hautes puissances de plateau dégradent la sélectivité a-Si:SiO₂. Nous avons aussi montré dans le tableau 3.2 en utilisant du C₄F₈ pur qu'augmenter la puissance du plateau augmente le taux de déposition du polymère de fluorocarbone. Ceci suggère que la couche de passivation elle-même est chargée à cause de la contribution ionique.

Nous excluons aussi que le problème observé est un effet de la sélectivité a-Si:SiO₂. Dans la figure 3.10, il n'y a pas de corrélation entre la sélectivité (4:1 à 10:1) et la capacité à graver dans les tranchées. Cependant, nous avons observé dans d'autres expériences qu'utiliser un ratio de SF₆ extrêmement grand (73 %) permet la gravure dans les tranchées à haute pression. Dans ce régime de ratios, la sélectivité est élevée (34:1) mais la gravure est isotrope. Nous suggérons que dans ce cas extrême, le film de passivation présent à la surface est trop mince, voir quasi absent, de sorte qu'une accumulation de charge n'empêcherait pas la gravure de la tranchée par le fluor neutre.

Des expériences avec un suivi précis de la densité et de l'énergie des ions, combinées avec de la simulation, seraient nécessaires pour valider ces prédictions, mais sont au delà de la portée de ce travail.

3.7 Conclusion

La gravure ICP de nanostructures de silicium amorphe sur une nanotopographie a été réalisée en utilisant un plasma mixte de C₄F₈/SF₆. Nos résultats montrent que la puissance de la bobine peut être utilisée pour ajuster le taux de gravure, permettant la gravure reproductible de films minces de 40 nm. En utilisant une puissance de 100 W, nous avons ensuite démontré comment les taux de gravure et les sélectivités dépendent du ratio de SF₆, de la puissance du plateau et de la pression de la chambre. Ces résultats nous renseignent sur les mécanismes de gravure à l'échelle microscopique. Nos procédés ont été appliqués à différents types d'échantillons nanostructurés. Nous avons observé que la quantité de passivation par le C₄F₈ requise pour obtenir des parois verticales est plus grande en présence d'une couche d'arrêt d'oxyde. Pour graver le silicium dans les nanotranchées d'oxyde, il est nécessaire d'utiliser une pression de 6 mTorr. Alors qu'une

pression de 12 mTorr ou plus permet une meilleure sélectivité a-Si:SiO₂, la gravure arrête quand la surface de l'oxyde est atteinte, laissant la tranchée incomplètement gravée, même avec une sévère surgravure. Il est suggéré que la dépendance envers la surface du profil vertical et de la gravure de tranchée peuvent toutes deux être expliqués par des effets de charge. Finalement, nous avons démontré un procédé capable de produire des nanofils hautement conformes de a-Si de 20 nm croisant des tranchées dans l'oxyde de 15 nm avec des parois verticales et une sélectivité a-Si:SiO₂ de 4.3:1 suffisante pour des applications avec de la nanotopographie, comme les transistors multigrille ou les SETs.

3.8 Remerciements

Les auteurs remercient C. Sarra-Bournet pour les discussions constructives concernant ces travaux et C. Bureau-Oxton pour la lecture attentive de la version anglaise du manuscrit. Ces travaux ont été financés par le Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG), le Fonds de Recherche du Québec : Nature et Technologie (FRQNT), NanoQuébec et le *Canadian Institute For Advanced Research* (CIFAR).

Chapitre 4

Caractérisation électrique

Dans ce chapitre, les résultats concernant la caractérisation électrique des dispositifs sont présentés. D'abord, la méthodologie et le montage expérimental sont expliqués. Ensuite, la mesure de l'effet Hall classique sur des microfils de Ti permet de mesurer la densité de porteurs de charge. Puis, une mesure simple de la conductivité du substrat en température permet de montrer que le substrat de silicium dopé devient isolant à basse température. Ensuite, la mesure de la résistance de nanofils près des transistors mono-électroniques (SETs) permet de connaître leur épaisseur après le polissage grâce à un modèle. Finalement, les résultats concernant les transistor mono-électronique en silicium (Si-SET) sont présentés. Un sommaire des caractéristiques courant-tension (IV) des tous les dispositifs est d'abord donné. Les performances du dispositif, l'observation du régime à peu d'électrons/trou, l'observation de l'effet du gap du silicium et les défauts du dispositifs sont ensuite analysés.

4.1 Montage de caractérisation cryogénique

La caractérisation électrique à basse température des dispositifs est réalisée dans le cryostat à température variable (VTI) du laboratoire de caractérisation des dispositifs quantiques (Michel Pioro-Ladrière). Le schéma expérimental et une photo du montage sont présentés à la figure 4.1. La chambre à température variable permet de caractériser les puces à des températures de 1.5 à 300 K. De l'hélium gazeux est injecté dans la chambre à partir d'un réservoir liquide (4 K). En pompant, la température peut descendre à 1.5 K. Deux thermomètres et deux éléments chauffants asservis par un contrôleur permettent de contrôler la température. Pour obtenir une température minimale, la

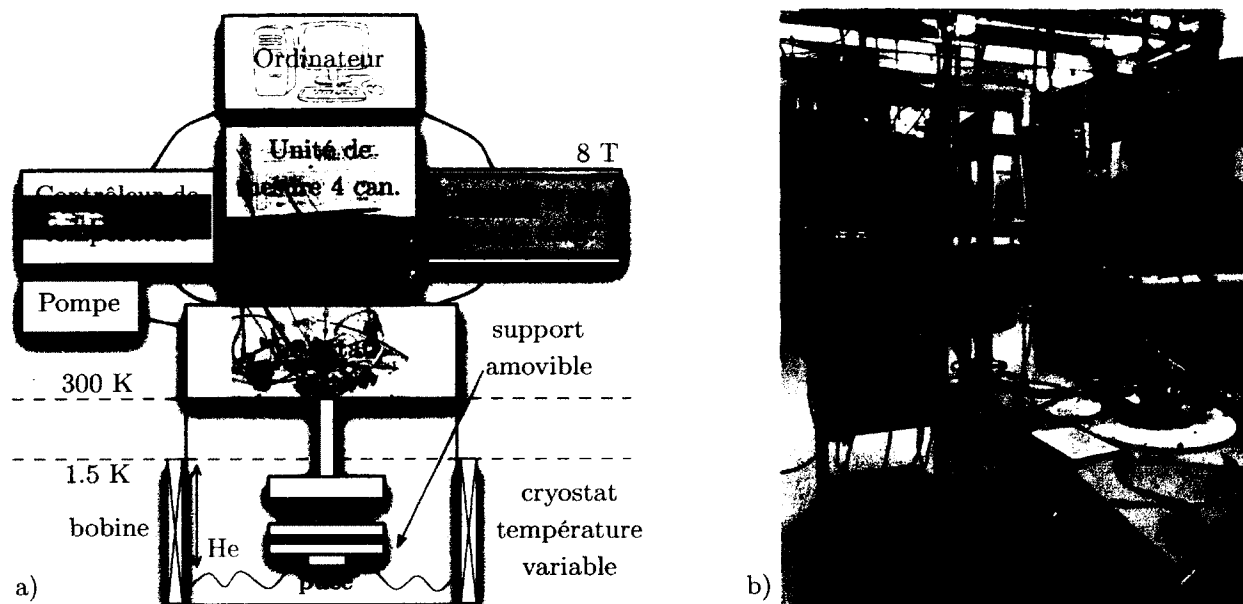


Figure 4.1. a) Schéma expérimental des mesures cryogéniques. La puce est montée sur un support amovible fixé au bout d'une canne. De l'hélium liquide ou gazeux est utilisé pour le refroidissement. Une pompe permet de faire descendre la température jusqu'à 1.5 K. La puce est connectée sans filtres à l'unité de source/mesure SMU à quatre canaux contrôlée par un ordinateur. b) Photo du montage.

chambre est remplie d'hélium liquide de façon à immerger la puce. Le pompage permet alors de faire descendre la température sous 1.4 K (limite du thermomètre). Un aimant supraconducteur permet d'appliquer une induction magnétique jusqu'à 8 T.

Une unité de source/mesure (SMU) Agilent E5270B à quatre canaux MPSMU contrôlée par un ordinateur est utilisée pour les mesures électriques. Chaque canal permet d'appliquer des tensions avec une résolution de 20 μV et de mesurer des courants de 10 fA. Un SMU permet de fournir une tension (un courant) noté $\text{VAR}_{\text{source}}$ et de mesurer le courant (la tension) $\text{VAR}_{\text{mesure}}$ envoyé par l'unité, et ce sur chaque canal. Cette fonctionnalité est très utile pour tester la validité des mesures. Par exemple, un courant injecté par la source devrait être récupéré par le drain. Si des fuites sont présentes, ou s'il y a une erreur dans le montage, il est alors plus facile de l'identifier. Les canaux sont connectés par des câbles BNC à un commutateur, qui permet de connecter les plots du support à puce avec les appareils.

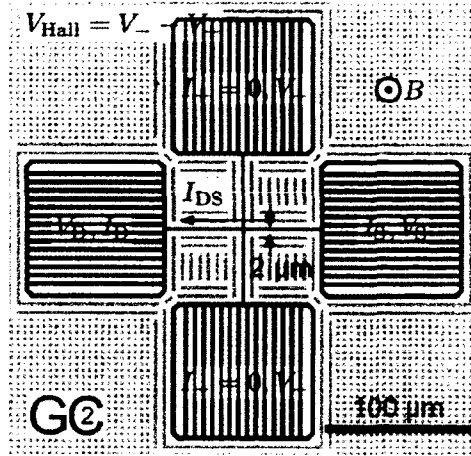


Figure 4.2. Schéma expérimental de la mesure de l'effet Hall. Les canaux sont notés selon la convention ($\text{VAR}_{\text{source}}$, $\text{VAR}_{\text{mesure}}$).

4.2 Effet Hall

L'effet Hall classique permet de mesurer la densité de porteurs dans un métal ou un semi-conducteur. Le schéma expérimental est illustré à la figure 4.2. Quand un courant circule dans un fil de section rectangulaire de largeur w et d'épaisseur t , l'induction magnétique B donne lieu à une accumulation de charge en bordure du fil qui se traduit par une différence de potentiel $V_{\text{Hall}} = V_- - V_+$. Le calcul de l'équilibre de la force de Lorentz et du champ électrique donne la condition d'équilibre

$$V_{\text{Hall}} = -\frac{I_{\text{DS}}B}{net}, \quad (4.1)$$

$$R_{\text{Hall}} = -\frac{V_{\text{Hall}}t}{I_{\text{DS}}B} = -\frac{1}{ne}, \quad (4.2)$$

avec n la densité électronique et e la charge de l'électron en valeur absolue [112, pp. 11–15]. La mesure de V_{Hall} en fonction de B donne directement la densité de porteurs.

Une mesure de l'effet Hall sur un microfil tel de celui de la figure 4.2 est présentée à la figure 4.3. L'épaisseur est de $t = (60 \pm 5)$ nm. On trouve une pente de $(-2.01 \pm 0.04) \times 10^{-5}$ V/T, une résistance de Hall de $R_{\text{Hall}} = -2.4 \times 10^{-10}$ m³/C et une densité de porteurs de $n = (2.6 \pm 0.3) \times 10^{22}$ el./cm³ en accord avec la densité électronique d'un métal (voir l'annexe B). La mesure est bruitée car les tensions mesurées sont très faibles à cause de la grande densité de porteurs.

À partir de la densité électronique et de la résistivité, le libre parcours moyen λ_m des

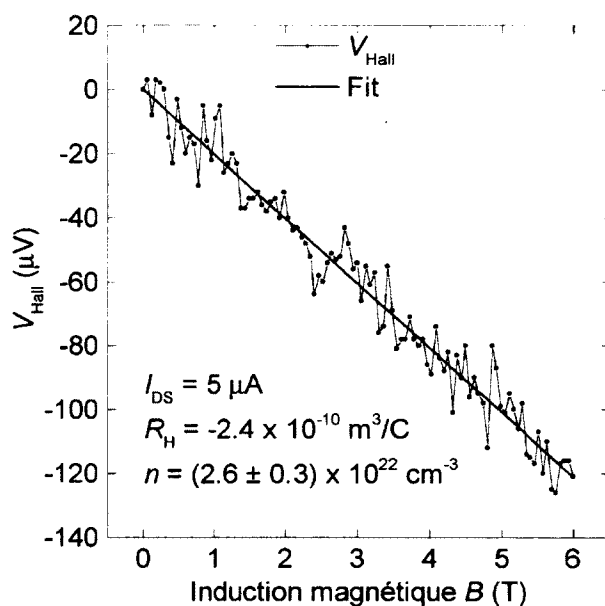


Figure 4.3. Mesure de la densité électronique du titane par effet Hall.

électrons peut être estimé [87, pp. 27–30]. La mobilité μ est reliée à la résistivité ρ par la relation

$$\rho = \frac{1}{e\mu n} \quad (4.3)$$

et au libre parcours moyen par

$$\mu = \frac{e\lambda_{\text{m}}}{m^*v_{\text{F}}}, \quad (4.4)$$

avec v_{F} la vitesse de Fermi des électrons. Le libre parcours moyen est donc

$$\lambda_{\text{m}} = \frac{\sqrt{2m^*E_{\text{F}}}}{e^2\rho n}, \quad E_{\text{F}} = \frac{\hbar^2}{2m^*} (3\pi^2 n)^{2/3}. \quad (4.5)$$

En prenant $\rho = 8.0 \times 10^{-5} \Omega \text{ cm}$ (modèle de résistivité, section 4.4) et $m^* = m_{\text{e}}$, on trouve $\lambda_{\text{m}} = 1.8 \text{ nm}$, ce qui est nettement inférieur aux dimensions des contacts et des nanofils fabriqués.

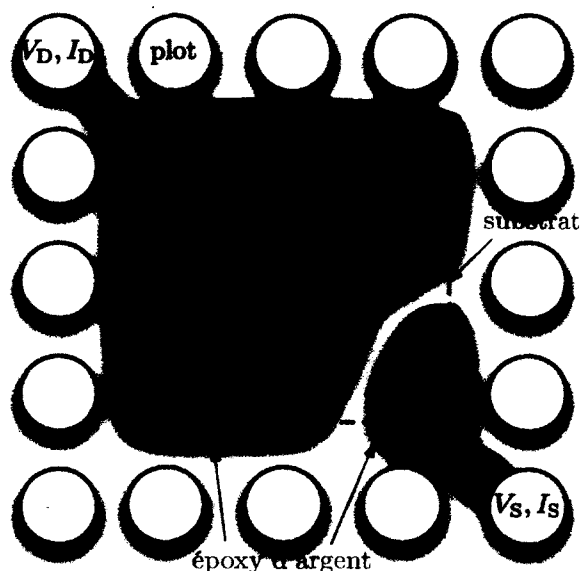


Figure 4.4. Schéma expérimental de la mesure de la conductance du substrat. L'époxy d'argent contacte les plots du support de puce au substrat. Le contact avec le substrat se fait par les côtés.

4.3 Conductance du substrat en température

Un problème rencontré fréquemment lors de la caractérisation à température ambiante est une fuite par le substrat. Lors de la microsoudure en coin (*wedge microbonding*), le bond fracasse une couche de matériau d'une centaine de nanomètres et contacte parfois le substrat. Celui-ci est dopé avec du bore, ce qui permet une meilleure conductivité électrique et est essentiel à la lithographie par faisceau d'électron (EBL). Afin de vérifier électriquement comment se comporte le substrat en température, sa conductance a été mesurée avec une méthode simple (figure 4.4). De l'époxy d'argent contacte les plots du support de puce à un substrat. Le contact avec le substrat se fait par les côtés.

Une tension de $V = 10$ mV est appliquée sur le substrat et le courant I est mesuré en fonction de la température. Le résultat de la mesure est montré à la figure 4.5. La densité de courant j peut être approximée par

$$j = pev_d, \quad (4.6)$$

où p est la densité de trous et v_d leur vitesse de dérive. Il est supposé que v_d ne dépend pas de la température, ce qui est relativement faux en général. À basse température, les

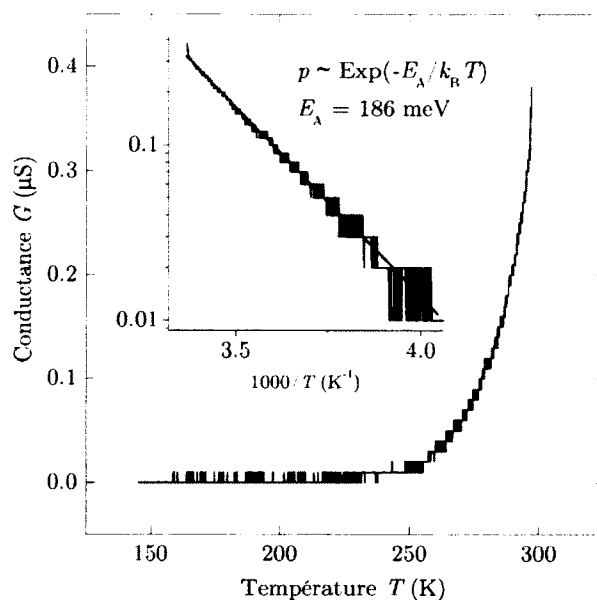


Figure 4.5. Mesure de la conductivité $G = I/V$ du substrat en fonction de la température T . À basse température, les trous sont gelés sur les accepteurs de bore.

trous sont gelés sur les accepteurs de bore. L'énergie thermique libère les porteurs, ce qui permet la conduction du courant via l'augmentation de la densité de porteurs

$$p \sim \exp \left[-\frac{E_A}{k_B T} \right]. \quad (4.7)$$

Le bore a une énergie de liaison de $E_A = 44$ meV [87, p. 23 fig. 10]. À partir de l'encart du graphique de la figure 4.5, une valeur de $E_A = 186$ meV est obtenue, ce qui est raisonnable, mais un ordre de grandeur trop grand. La conduction a lieu à partir de 250 K ~ 22 meV, ce qui est compatible avec la valeur attendue de 44 meV. Ainsi, lors de la caractérisation sous 150 K, le substrat devient complètement isolant et le problème de fuites par le substrat disparaît.

4.4 Nanofils

La mesure de la résistance de nanofils (NWs) de titane permet la détermination de l'épaisseur du nanofil de façon non destructive après chaque itération de polissage chimico-mécanique (CMP). Cette méthode d'amincissement-caractérisation successives très précise permet d'amincir les SETs situés tout près afin d'atteindre des épaisseurs



Figure 4.6. Schéma expérimental de la mesure de nanofils. Les canaux sont notés selon la convention (VAR_{source} , VAR_{mesure}).

extrêmement fines, jusqu'à environ 2 nm. Elle a été introduite par M. Guilmain, T. Labbaye, C. Naunheim, S. Ecoffey et D. Drouin [94]. Dans le cadre des travaux de ce mémoire, un modèle de résistivité est utilisée pour mesurer l'épaisseur des nanofils et des SETs.

La figure 4.6 montre le schéma expérimental de la mesure de résistance d'un nanofil. La mesure est effectuée à deux pointes, car les résistances de contact avec la technique de microsoudure utilisée sont faibles. La résistance des fils reliant le commutateur au support de puce n'est pas suffisante ($2 \times 10^1 \Omega$ à 300 K) pour influencer fortement le résultat. De plus, il est attendu que cette résistance diminue un peu avec la température, puisque les fils sont en partie froids.

Une mesure de résistance de nanofil¹ à basse température ($T = 1.75$ K) est présentée à la figure 4.7. Le graphique montre le courant dans les deux canaux (source et drain) du SMU. Le drain est mis à la masse ($V_D = 0$), et le potentiel est appliqué sur la source (V_S). La caractéristique IV est linéaire sur une grande plage de courant. Sur un autre nanofil, le courant mesuré est allé jusqu'à ~ 3 mA avant que celui-ci ne claque.

Un modèle de résistivité est ensuite utilisé pour calculer l'épaisseur du nanofil. Ce modèle prend en compte les collisions des électrons sur les grains et les interfaces et permet une grande précision. Il a été validé par des mesures par microscope à force atomique (AFM). La résistance des fils de titane reliant les plots de contact au nanofil doit être prise en compte. Le tableau 4.1 donne les paramètres géométriques utilisés dans le modèle. La figure 4.8 montre la résistance du nanofil et la résistance totale en fonction de l'épaisseur pour ces paramètres. Selon cette courbe, l'épaisseur du nanofil de la figure 4.7 est de (9 ± 1) nm. Il s'agit d'une épaisseur typique. En effet, même si le polissage

¹L'identifiant du Système de Suivi des Échantillons (SSE) du nanofil est F802D-C3H.

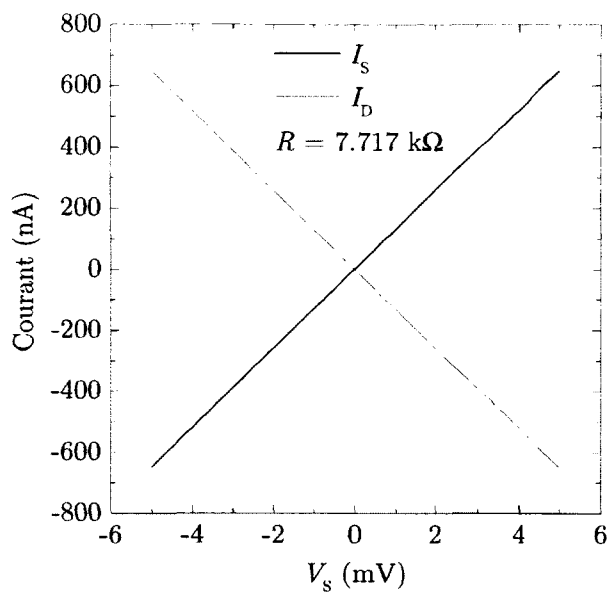


Figure 4.7. Courants source et drain dans un nanofil de titane à $T = 1.75 \text{ K}$. Un ajustement de courbe linéaire donne une résistance $R = 7.717 \text{ k}\Omega$.

Tableau 4.1. Paramètres géométriques du modèle de résistivité. NW signifie nanofil, PG signifie « partie reliant le nanofil au contact » et CT signifie contact.

Paramètre	Valeur
Longueur NW	1.0 μm
Largeur NW	$(40 \pm 2) \text{ nm}$
Longueur PG	4 μm
Largeur PG	500 nm
Longueur CT	500 μm
Largeur CT	$2 \times 2 \mu\text{m}$
Profondeur ini. CT	60 nm
Profondeur ini. NW	20 nm

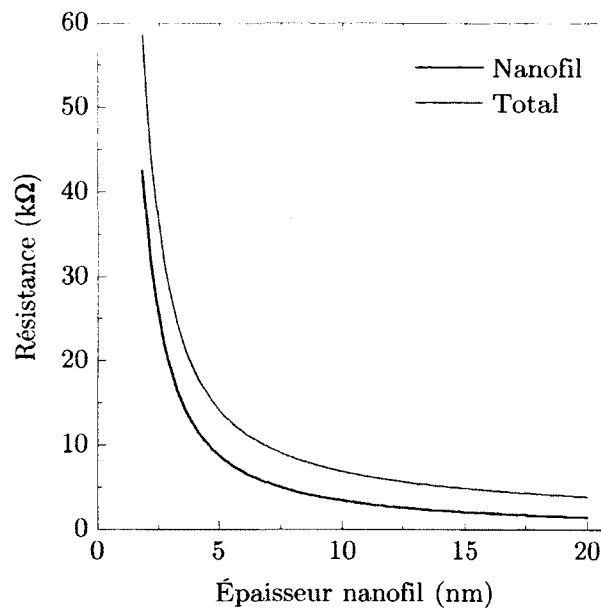


Figure 4.8. Modèle de résistivité des nanofils. La résistance du nanofil et des électrodes de contacts est calculée à partir d'un modèle de résistivité calibré expérimentalement et des paramètres géométriques du dispositif. La résistance mesurée permet d'extraire l'épaisseur du nanofil de façon non-destructive.

est arrêté dès que dispositif est suffisamment poli pour fonctionner (t_0), une certaine épaisseur de titane est tout de même polie. De plus, la surface du nanofil s'oxyde dans l'air avant que celui-ci ne soit passivé, ce qui consomme quelques nanomètres de son épaisseur.

4.5 Transistors mono-électroniques

Dans cette section, les mesures électriques des SETs sont présentées. Elles sont prises à basse température, entre 1.5 et 1.75 K, pour que l'énergie thermique des électrons soit suffisamment faible pour résoudre les niveaux d'énergie discrets de l'îlot. La figure 4.9 illustre le circuit de mesure des SETs. Deux canaux SMU sont utilisés pour la source et le drain. La tension est asymétrique, c'est-à-dire que la tension est appliquée sur la source ou le drain pendant que l'autre canal est mis à la masse. Les courants source et drain sont mesurés individuellement, ce qui permet de séparer les fuites à la grille du courant passant réellement par l'îlot. La tension de grille est appliquée sur la grille latérale et sur la grille supérieure simultanément, dénotée simplement par V_G . Quand une seule des deux grilles est utilisée, la notation $V_{G \text{ lat}}$ ou $V_{G \text{ sup}}$ est employée. Le courant de fuite de

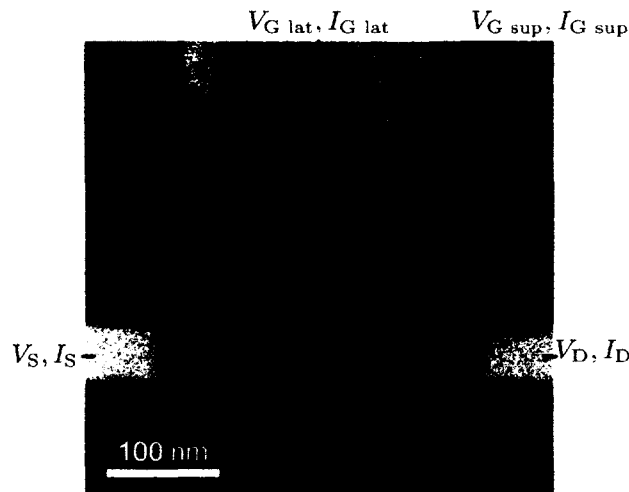


Figure 4.9. Schéma expérimental de la mesure de SETs. Les canaux sont notés selon la convention ($\text{VAR}_{\text{source}}$, $\text{VAR}_{\text{mesure}}$).

la grille est aussi mesuré.

La caractérisation d'un SET nécessite la mesure du courant source-drain I_{DS} en fonction de la tension source-drain V_{DS} et de la tension de grille V_{G} . Cette carte de courant bidimensionnelle permet d'observer la signature des niveaux discrets d'énergie dans l'îlot, tel qu'expliqué dans les sections 1.1.5 et 1.3.3 et à la figure 1.16, et est appelée diamant de Coulomb ou parfois diagramme de stabilité.

4.5.1 Sommaire des dispositifs

Les dispositifs ayant obtenu le plus de succès sont ceux possédant une grille supérieure en plus de la grille latérale. Les données présentées proviennent de l'échantillon F802D possédant trois dispositifs de type SET et un nanofil par cellule. Les deux cellules fonctionnelles sont C3 et C4, pour un total de six SETs et deux nanofils. Les dispositifs sont identifiés tel qu'expliqué à la figure 2.6. La figure 4.10 montre les mesures de diamants de Coulomb des six dispositifs.

La conductance différentielle $G_{\text{DS}} = \frac{\partial I_{\text{DS}}}{\partial V_{\text{DS}}}$ permet d'identifier les frontières des diamants plus précisément et de distinguer les états excités. Celle-ci est calculée numériquement à partir des données de la figure 4.10 et est présentée à la figure 4.11.

Par conception, les dispositifs positionnés en G et en B dans la cellule ont une grille distante de 70 nm du canal source-drain, alors que celui en D a une grille à 40 nm. Il y a une étonnante corrélation entre la forme des diamants de Coulomb et la position

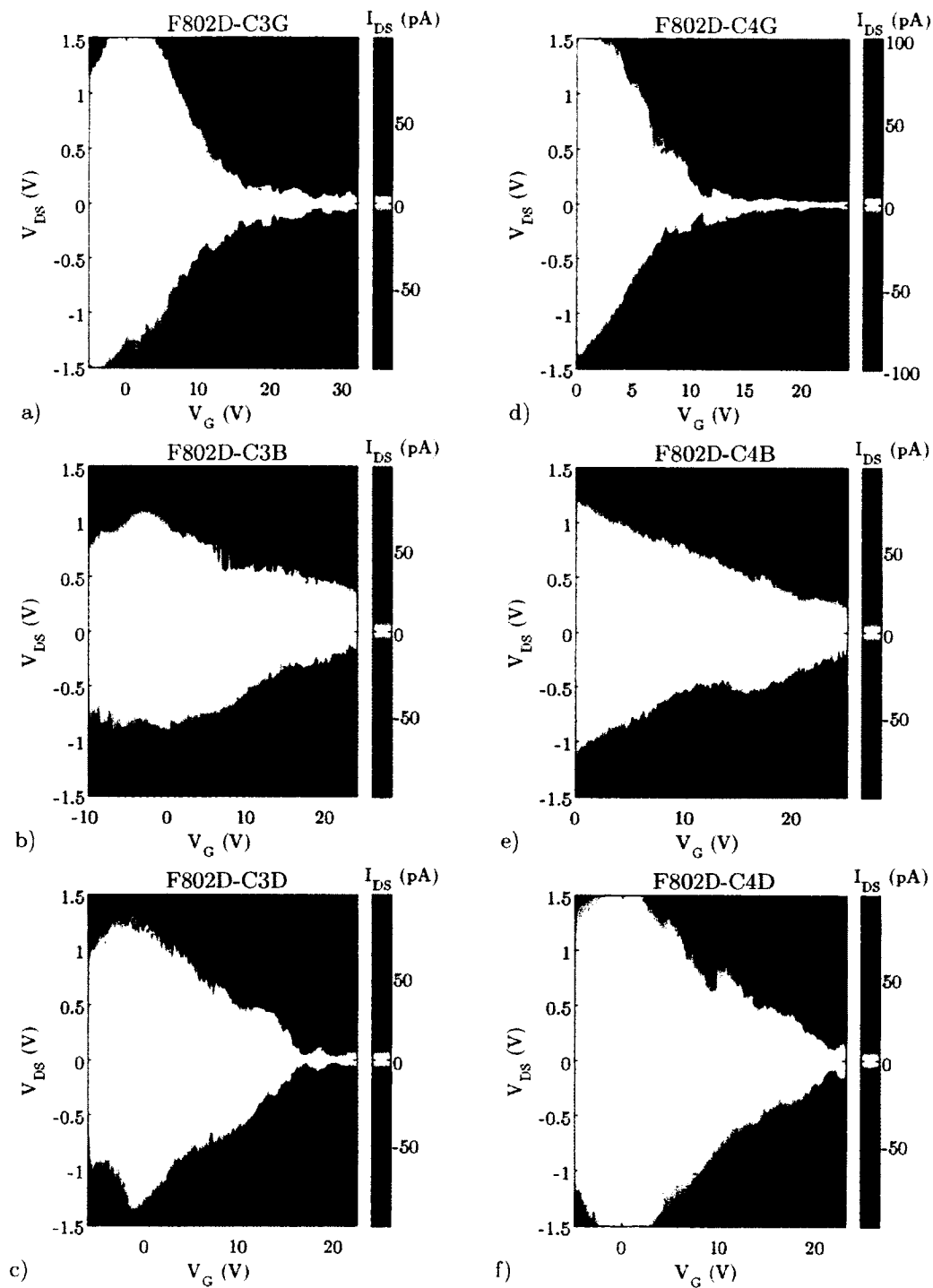


Figure 4.10. Sommaire des mesures de diamants de Coulomb de l'échantillon F802D à $T = 1.5$ K.

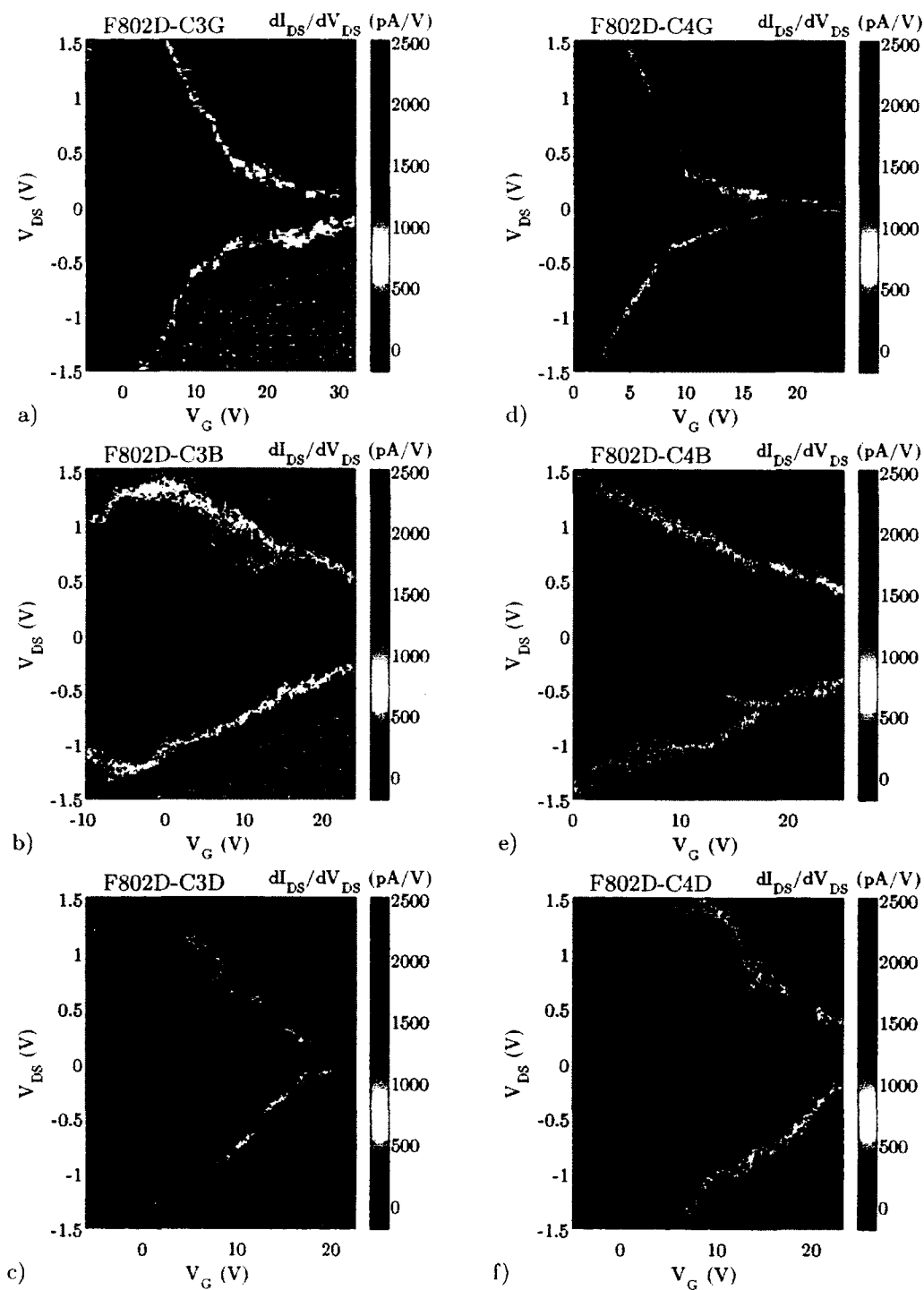


Figure 4.11. Sommaire des mesures de diamants de Coulomb de l'échantillon F802D en conductance différentielle. Les régions bleues en dehors du diamant central sont dues à la limite en courant du SMU.

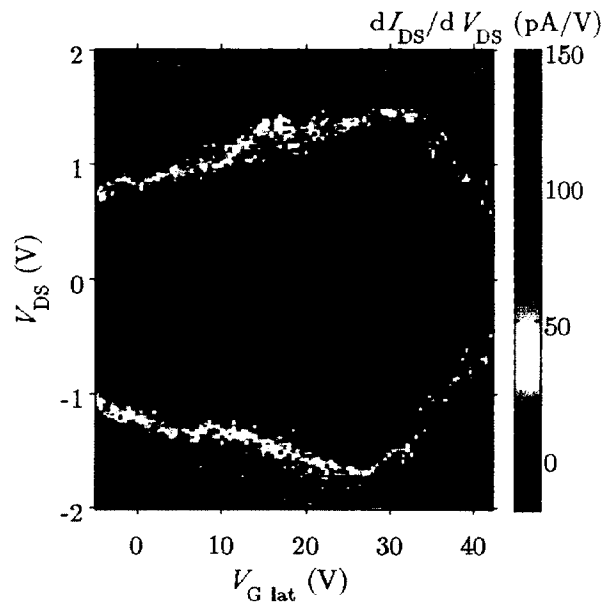


Figure 4.12. Diamant de Coulomb d'un dispositif sans grille supérieure. Le levier de grille est insuffisant pour fermer le diamant à cause de l'énergie d'addition colossale de celui-ci. L'échantillon est F802C-D4B et a subi des observations au SEM qui peuvent être responsables du décalage du diamant vers la droite.

du dispositif dans la cellule. Ceci pourrait être dû à l'alignement de l'îlot par rapport à la grille qui serait similaire dans les deux cas. Il s'agit très probablement d'un effet géométrique. Cependant, l'observation au microscope électronique à balayage (SEM) des dispositifs est impossible à cause de la présence de la grille supérieure et de la couche de passivation.

Les échantillons sans grille supérieure ne possèdent pas un levier de grille suffisant pour caractériser le diamant central dans son ensemble à cause de son énergie d'addition gigantesque. Les données présentées à la figure 4.12 montrent cependant que ces dispositifs ont le même comportement et sont aussi très reproductibles.

4.5.2 Observation du gap et implications sur le comportement mono-électronique

Un fait remarquable est que tous les dispositifs de la figure 4.10 montrent un diamant de Coulomb gigantesque, correspondant à une énergie d'addition de plus de 1 200 meV. Cette région centrale où le courant est bloqué est due en grande partie au gap du silicium, qui est de 1.16 eV à cette température. Le gap est mesurable sous la forme d'un

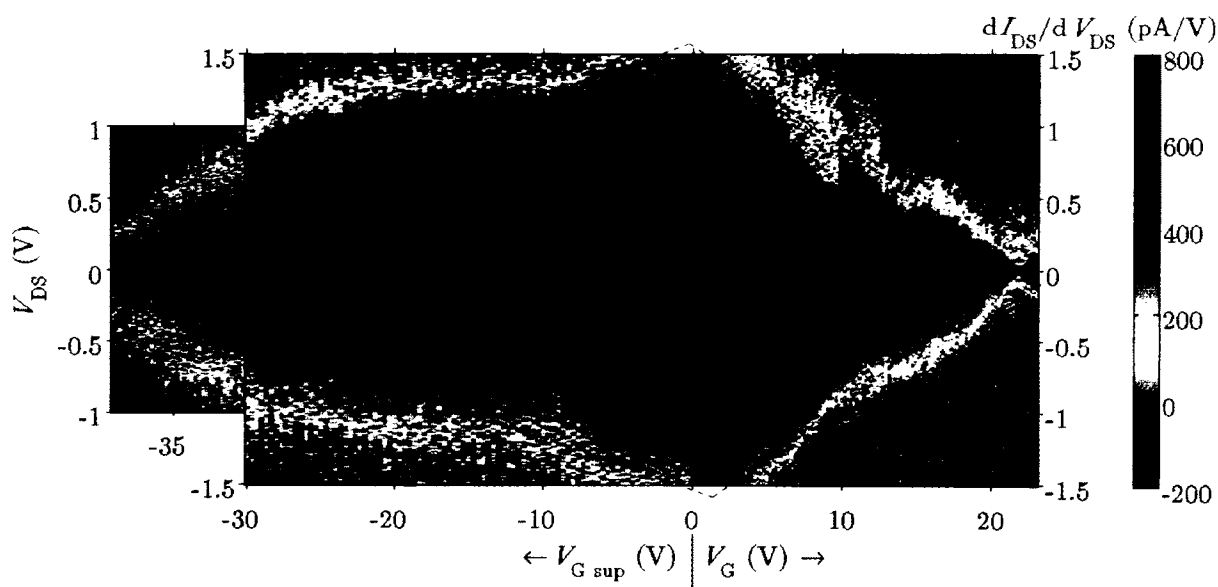


Figure 4.13. Observation du gap et du régime à un seul électron. Le premier niveau de trous n'est pas visible car la grille claque avant qu'une tension suffisante ne soit atteinte. Les lignes en pointillé indiquent les frontières des régions de transport de façon approximative. Pour $V_G > 0$ V, les grilles latérales et supérieures sont utilisées de pair. Pour $V_G < 0$ V, seule la grille supérieure est utilisée, avec $V_{G \text{ lat}} = 0$ V. Le levier de grille et les pentes sont ainsi différentes dans les parties gauche et droite.

espacement géant entre les niveaux d'énergie discrets des électrons et des trous dans le diagramme de bande de la figure 1.16a. La forme en losange de la région du gap est la signature des niveaux d'énergie discrets dans le dispositif. Ces mesures montrent que la représentation simplifiée de la figure 1.16 modélise bien le comportement du dispositif. Les électrons occupent alors un état quantique dans l'îlot et sentent l'interaction de Coulomb. L'observation complète du gap dans une mesure de diamant de Coulomb a été réalisé seulement dans des systèmes à base de carbone [113, 114].

La figure 4.13 montre un dispositif pour lequel le diamant central est presque entièrement visible. Des lignes en pointillé indiquent les frontières approximatives entre les régions de transport. Pour $V_G > 0$ V, les grilles latérales et supérieures sont utilisées de pair. Pour $V_G < 0$ V, seule la grille supérieure est utilisée, avec $V_{G \text{ lat}} = 0$ V. Le levier de grille et les pentes sont ainsi différentes dans les parties gauche et droite.

Des tensions de grilles plus élevées ne peuvent être utilisées car les grilles claquent avec la source ou le drain. Typiquement, la grille latérale claque vers +25 V et -7 V (pour une distance grille-drain de 70 nm). La cause de cette asymétrie n'est pas bien

comprise et est une sérieuse limitation pour l'observation des niveaux de trous. La grille supérieure claqué vers ± 35 V et est moins asymétrique dans son claquage que la grille latérale. Par exemple, une tension de 22 V appliquée sur la grille latérale à 40 nm du canal source/drain du dispositif de la figure 4.11 (c) ou (f) correspond à un champ électrique de 5.5 MV/cm, ce qui est très près de la tension de claquage de l'oxyde de silicium ou du nitrure de silicium, qui est de ~ 10 MV/cm.

Une observation empirique basée sur une multitude de séries de données est que les pentes des diamants sont généralement plus régulières quand les deux grilles sont utilisées de pair, comme dans la partie droite de la figure 4.13. Dans la partie gauche, les pentes montrent des changements d'angle étranges. Ces irrégularités pourraient être dues à la forme de l'îlot ou à des pièges dans celui-ci. On sait qu'à cause de la sélectivité défavorable du CMP envers l'îlot, celui-ci a très probablement une forme creuse (voir la figure 2.26). De même, la rugosité du canal causée par la lithographie est une autre source de déformation de l'îlot. Une forme irrégulière, ou encore des défauts, pourraient causer une modulation du potentiel de confinement idéal qui serait visible selon la position de la grille.

L'observation complète du gap permet de mesurer l'alignement des bandes (figures 1.14 et 1.15). Comme la densité électronique est nulle pour $V_G = 0$ V dans l'îlot, le niveau de Fermi des électrodes ne peut s'aligner avec le centre du gap du silicium, car ce processus nécessite un transfert de charge entre l'îlot et l'électrode métallique. On constate que le centre du diamant central de la figure 4.13 coïncide approximativement avec $V_G = 0$ V. Si l'alignement des bandes prédit avec les affinités électroniques extraites de la littérature (figure 1.15) était juste, le diamant correspondant à $n = 1$ serait très près de $V_G = 0$ V, et le diagramme entier serait décalé vers la gauche. Il est probable que la valeur en cause soit le travail d'extraction du titane. Dans la littérature, la valeur donnée varie beaucoup selon la méthode expérimentale et la qualité du titane. Par exemple, une valeur de 4.33 eV par effet photoélectrique [115] ou de 4.1 eV par effet thermoionique [116] est rapportée. Selon l'alignement des bandes mesuré, il faudrait plutôt une valeur de 4.6 eV.

Amélioration de la plage accessible des niveaux d'énergie de l'îlot

Suite aux résultats obtenus et aux limitations dans le nombre de diamants visibles, il serait intéressant d'augmenter la plage de niveaux d'énergie accessible avec la grille. Deux éléments importants peuvent être améliorés.

D'abord, la grille latérale claqué près de la tension maximale du diélectrique (~ 10 MV/cm) pour les tensions positives, mais pas pour les valeurs négatives. Comme les deux grilles ne peuvent être utilisés conjointement, le levier de grille est insuffisant et les niveaux à un seul trou ne sont pas accessibles dans les mesures. Comprendre ce qui cause le claquage de la grille dans les valeurs négatives pourrait permettre de résoudre ce problème.

Ensuite, le levier de la grille doit être augmenté. La première approche qui a été tentée avant d'obtenir des dispositifs fonctionnels fut de réduire la distance de la grille latérale $d_{G \text{ lat}}$ pour augmenter sa capacité. Le problème de cette approche est que le levier augmente proportionnellement à $1/d_{G \text{ lat}}^2$ et le champ électrique suit la même loi d'échelle. Ainsi, même si une tension de grille inférieure est nécessaire, le claquage se produit aussi à une tension inférieure, de sorte que la plage accessible de niveaux d'énergie est inchangée. La deuxième approche consiste à jouer sur la géométrie de la capacité, c'est-à-dire à augmenter la surface en commun entre la grille et l'îlot. Ceci a été réalisé en ajoutant une grille supérieure, ce qui a permis d'augmenter le levier sans changer la tension de claquage. Le substrat pourrait aussi être utilisé comme grille, à condition d'augmenter son dopage afin de le rendre conducteur à basse température.

4.5.3 Diamant à un électron

Le régime à peu d'électrons a été observé dans quatre des six dispositifs caractérisés de la figure 4.10. La figure 4.14 présente les données du dispositif F802D-C3D. Les états de charge de l'îlot $n = 0$, $n = 1$ et $n = 2$ sont clairement visibles. Sur la figure 4.14b, les contours des diamants sont identifiés par des lignes pointillées blanches et retracés en (a) et en (c) pour comparaison. Les pentes m_+ et m_- permettent de calculer le levier de la grille α , tel qu'expliqué à la section 1.1.5. L'énergie d'addition E_{add} est mesurée à partir de la hauteur des diamants. Ensuite, la capacité totale $C_{\text{II}} = e^2/E_C$ est calculée en faisant l'approximation que la contribution E_K de l'équation 1.51 est petite devant E_C , et donc que $E_{\text{add}} \approx E_C$. La capacité de grille C_G est ensuite calculée à partir de la formule $C_G = \alpha C_{\text{II}}$. Les résultats sont présentés dans le tableau 4.2. Les capacités ne peuvent pas être calculées pour $n = 0$, car dans ce cas l'énergie de charge est petite devant la contribution du gap $E_K \sim 1160$ meV.

Dans le tableau 4.2, on voit que les pentes des diamants et les leviers de grille dimi-

²En première approximation, la capacité est en $1/d$.

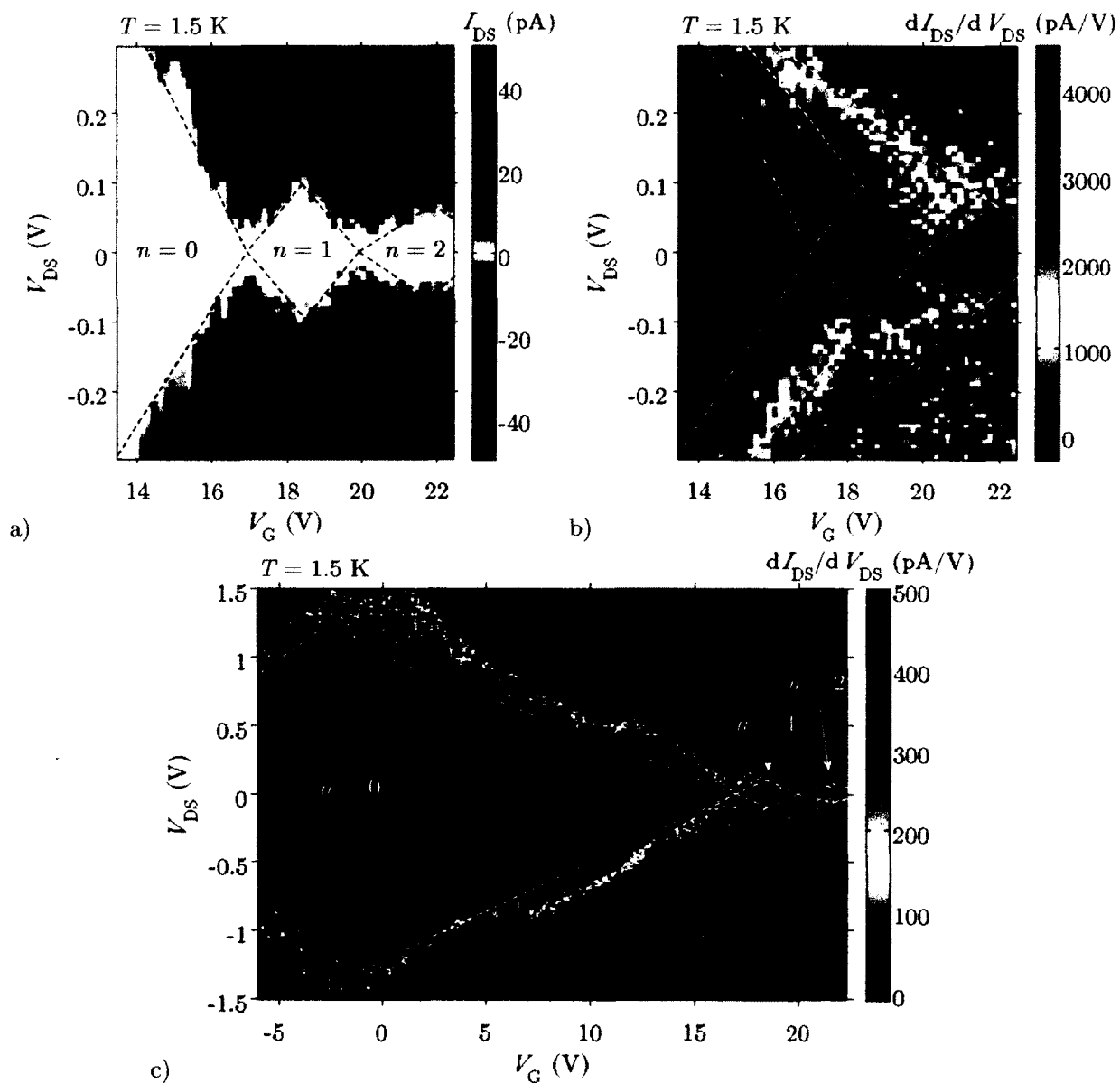


Figure 4.14. Diamants de Coulomb dans le régime à quelques électrons. Ceux-ci sont clairement visibles dans le courant (a) et la conductance différentielle (b) du dispositif F802D-C3D. Les données en (a) et en (b) sont des agrandissements des données de (c). L'énergie d'addition et les pentes des diamants changent avec le nombre d'électron, ce qui est typique pour les boîtes quantiques semi-conductrices à peu d'électrons.

Tableau 4.2. Paramètres extraits des diamants de Coulomb de la figure 4.14. Les capacités ne peuvent pas être extraites du diamant $n = 0$ car l'énergie de charge n'est pas la contribution dominante.

n	m_+	m_-	α	E_{add} (meV)	C_{II} (aF)	C_G (aF)
0	0.0753	-0.0837	0.0396	1240		
1	0.0660	-0.0656	0.0329	95.3	1.68	0.055
2	0.0528	-0.0492	0.0255	58.5	2.74	0.070

nuent quand n augmente. Cet effet est dû à la nature semi-conductrice de l'îlot et au faible nombre d'électrons [81]. La figure 4.15 illustre ce phénomène. Pour $n = 0$, la densité électronique dans l'îlot n_e est nulle, de sorte que le champ électrique des électrodes environnantes ne peut être écranté. Pour $n = 1$, la densité de probabilité de présence élevée de l'électron au centre de l'îlot fait en sorte que le champ électrique est écranté sur une distance non négligeable devant la taille de l'îlot. Plus le nombre d'électrons est élevé, plus le champ électrique est écranté sur une petite distance, qui tend vers zéro pour une densité typique d'un métal (voir le tableau 1). Alors que la capacité de grille reste quasiment inchangée dû à sa grande distance, les capacités à la source et au drain changent significativement lors de l'ajout d'un seul électron. C'est ce qui est observé dans les résultats du tableau 4.2. De plus, ce comportement est observé dans tous les dispositifs où suffisamment de diamants de Coulomb sont visibles (figure 4.11 (a), (c) et (d)).

Le nombre d'électrons a aussi un effet sur les coefficients tunnel des jonctions. Sur la figure 4.14, le courant du premier pic est moins élevé que celui du deuxième. Tel qu'illustré à la figure 4.15, l'épaisseur de la jonction tunnel diminue avec l'augmentation du nombre d'électrons. La probabilité tunnel s'en trouve augmentée, de même que le courant. Cet effet est aussi présent sur les autres dispositifs de la figure 4.11 où des diamants sont visibles. Cet effet est également rapporté par Jarillo-Herrero *et al.* [113] dans un nanotube de carbone.

L'observation que la capacité de grille ne varie pas beaucoup avec n et l'augmentation de la capacité source/drain avec n semble indiquer que l'énergie de charge est la contribution dominante. Si l'énergie de confinement quantique E_K était dominante, une grande variation de E_{add} avec n ne serait pas attendue. De plus, la taille de l'îlot devrait être beaucoup plus faible que celle qui est fabriquée pour que cette contribution soit suffisamment grande. Supposons que l'îlot a une hauteur $c = 5$ nm, ce qui est possible si

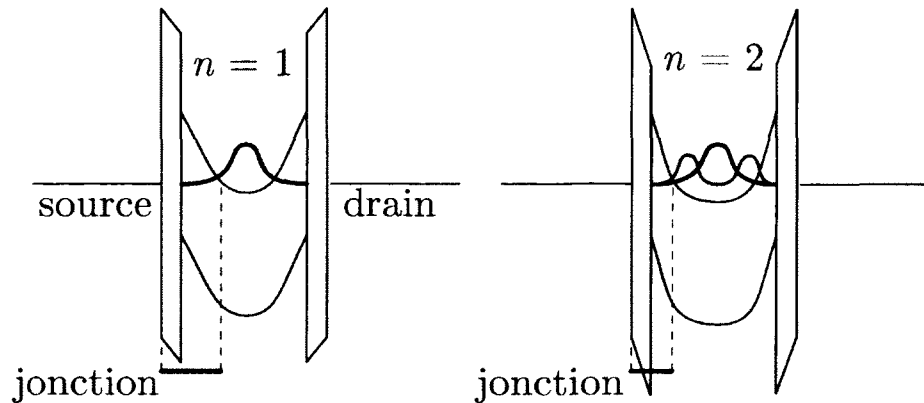


Figure 4.15. Impact qualitatif du nombre d'électrons sur la forme du potentiel de confinement de l'îlot. La densité de probabilité de l'électron est représentée schématiquement en bleu et en vert. Les électrons se redistribuent pour écranter le champ électrique. Plus le nombre d'électrons est élevé, plus le champ électrique est écrané sur une petite distance, qui tend vers zéro pour une densité typique d'un métal. Cet effet affecte l'épaisseur de la jonction tunnel. À faible nombre d'électrons, la jonction est plus large, de sorte que la probabilité tunnel et le courant sont moins grands.

l'épaisseur du nanofil est de 9 nm tel que démontré à la section 4.4. En utilisant l'équation 1.49, on trouve $E_K = 1$ meV pour la transition de un à deux électrons, ce qui est presque deux ordres de grandeur trop faible. En supposant maintenant que le potentiel de confinement est déformé par les champs électriques et que l'espace que peuvent explorer les électrons est en fait plus petit que celui de l'îlot, il faudrait que cette région de l'espace ait des dimensions latérales inférieures à 7 nm dans toutes les directions pour avoir le bon ordre de grandeur (100 meV). Une dimension si faible pourrait être possible, de sorte que E_C et E_K seraient du même ordre. Un calcul auto-cohérent serait nécessaire pour calculer cet effet avec précision. De plus, moins de bruit télégraphique dans les données pourrait aider à identifier les états excités et déterminer les états orbitaux.

4.5.4 Dépendance en température du blocage de Coulomb

Afin d'observer du blocage de Coulomb, l'énergie thermique des électrons doit être significativement plus faible que l'espacement en énergie des niveaux de l'îlot. À la section 4.5.3, il a été démontré que l'énergie de charge des diamants $n = 1$ et $n = 2$ est grande, de l'ordre de la centaine de milliélectron-volt. Ainsi, il est attendu que le blocage de ces diamants subsiste à des températures élevées, voire même à la température ambiante. La

figure 4.16 montre les diamants à zéro, un et deux électrons du dispositif F802D-C3G pour des températures de 1.5 à 100 K. Au delà de cette température, des fuites par le substrat empêchent la mesure. Les régions à zéro et un électron sont encore clairement visibles, même à une température élevée.

Les fuites par le substrat sont causées par les contacts microsoudés. Lors de la soudure, le chevron broie une couche de matériau en surface, établissant un contact entre le fil de soudure et le substrat. À basse température, le substrat est isolant, ce qui permet la mesure des dispositifs (voir la figure 4.5). Cependant, dès 150 K, les champs électriques intenses ionisent des dopants et causent des fuites entre la grille et les autres contacts. Une autre méthode de contact devrait être utilisée pour permettre la caractérisation à des températures plus élevées.

Il est à prévoir que des traces du diamant à un électron devraient subsister à température ambiante. Cependant, le fait le plus remarquable est que le diamant à zéro électron devrait encore présenter une grande région complètement bloquée. L'énergie d'addition de ce diamant est de plus de 46 fois la température ambiante. De plus, la densité électronique du silicium intrinsèque à cette température est environ de 10^{11} cm^{-3} [87], alors qu'un électron dans l'îlot correspond à une densité de 10^{18} cm^{-3} . Ainsi, statistiquement, peu d'électrons devraient être excités thermiquement et causer des fuites. La figure 4.17 montre des mesures préliminaires à température ambiante sur l'échantillon F802A. La prochaine étape est de mesurer un diamant complet.

4.5.5 Sauts de charge et bruit télégraphique

Les diamants de Coulomb présentés jusqu'à présent montrent souvent des sauts de charge. Ceux-ci sont généralement causés par des défauts chargés près de l'îlot. En changeant les potentiels de la grille ou de la source, ces défauts peuvent changer d'état de charge, ce qui cause un décalage du potentiel chimique dans l'îlot. En fait, les SETs sont d'excellents détecteurs de charge.

Sur la figure 4.18, on voit la présence de tels sauts dans la conductivité d'un Si-SET. Au fur et à mesure que le potentiel de grille augmente, des pièges deviennent chargés en électrons. Lors d'un saut, la courbe se déplace vers la droite car les pièges se chargent négativement. À cause de la grande tension source-drain appliquée, les pics de Coulomb ne sont pas visibles, mais le courant augmente avec le nombre de niveaux dans la fenêtre de transport. Ce phénomène retarde l'apparition des premiers pics de Coulomb

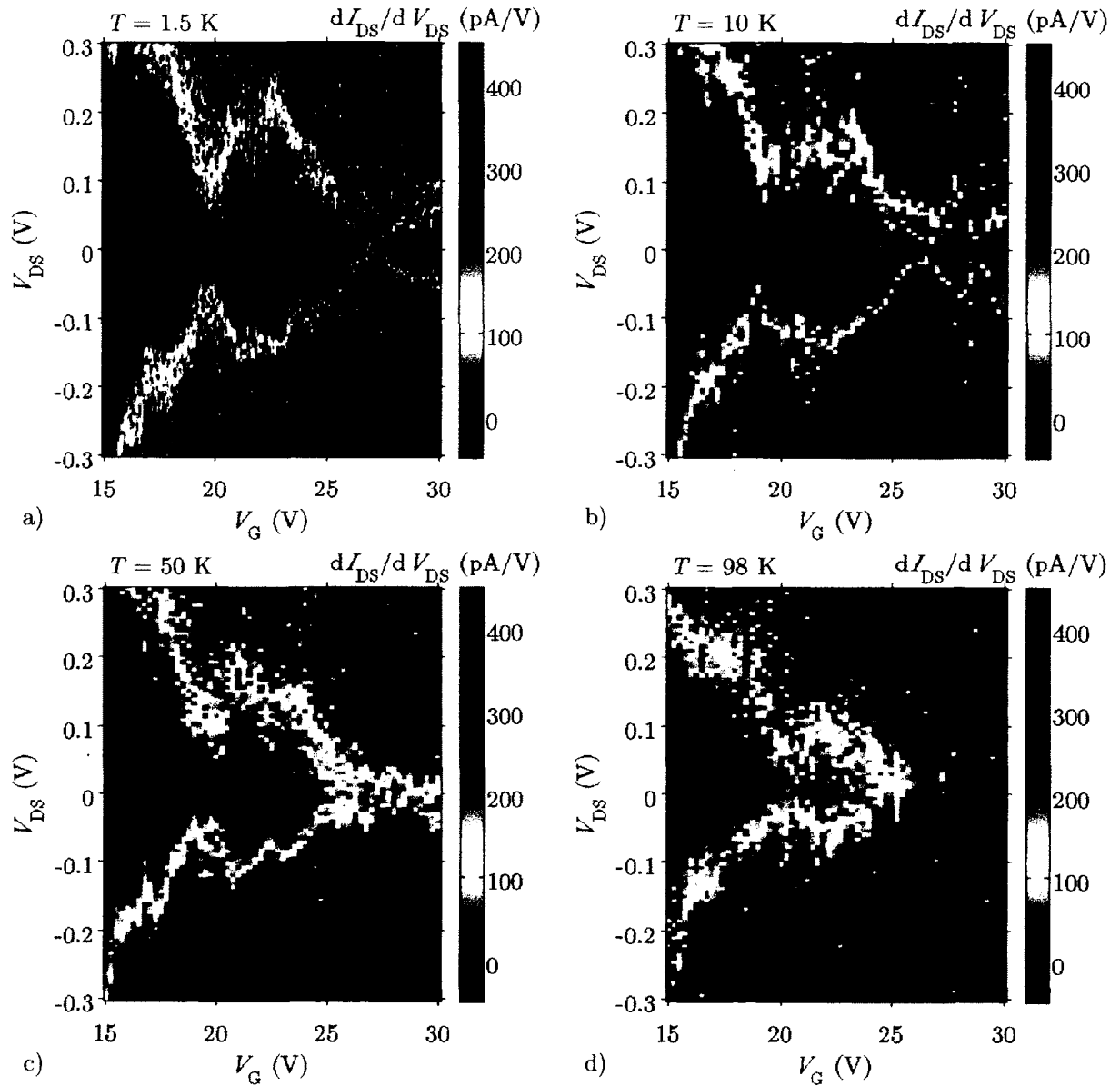


Figure 4.16. Diamants de Coulomb en fonction de la température montrant la persistance du blocage jusqu'à 100 K (8.6 meV). Au delà de cette température, des fuites par le substrat empêchent la mesure.

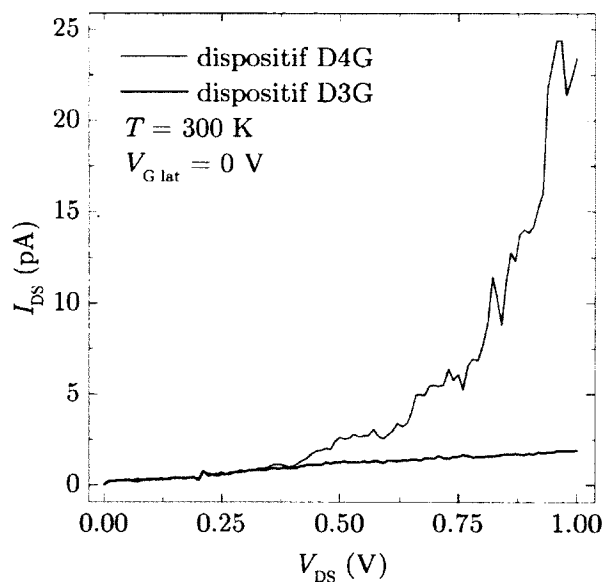


Figure 4.17. Caractéristique IV d'un Si-SET à température ambiante. Le dispositif D4G conduit un peu le courant à haute tension, alors que le D3G reste bloqué. Ces mesures indiquent que le diamant central, visible dans la figure 4.10, est probablement encore présent à température ambiante.

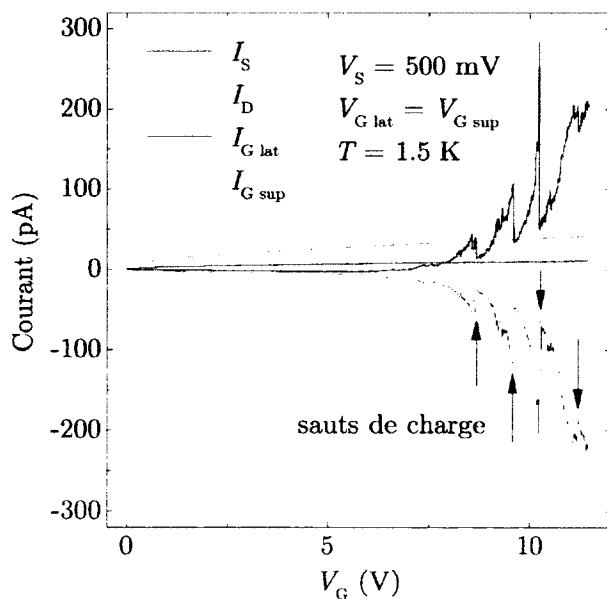


Figure 4.18. Courant dans un Si-SET en fonction de la tension de grille. La présence de sauts dans la courbe est due au changement d'état de charge de pièges près de l'îlot. La mesure à quatre canaux indépendants permet de distinguer les fuites du courant drain-source.

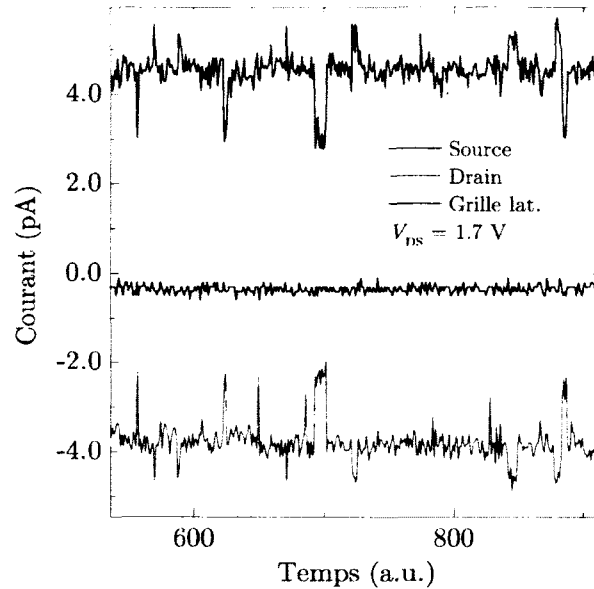


Figure 4.19. Trace temporelle du courant dans un Si-SET. Trois niveaux sont clairement visibles dans les deux canaux du SMU.

significativement quand trop de défauts sont présents.

En mesurant le courant en fonction du temps comme dans la figure 4.19, il apparaît que certaines trappes subissent des fluctuations de leur état de charge qui se traduit par une modulation du courant source-drain. Généralement, les électrons bougent entre une trappe et un contact, l'îlot ou une autre trappe par effet tunnel ou par activation thermique. Ce processus est plus ou moins rapide selon le couplage tunnel ou la hauteur de barrière [117]. Ces charges agissent comme des grilles locales qui déplacent le potentiel chimique de l'îlot, causant une modulation du courant à travers le dispositif. Dans la figure 4.19, trois niveaux distincts sont clairement visibles. Certains événements ne sont pas visibles dû à la bande passante limitée du SMU. Le bruit dans le courant source-drain n'est pas dû au temps d'intégration, car le signal de la grille est beaucoup moins bruité. Il s'agit plutôt de fluctuations de trappes trop rapides pour la bande passante du SMU.

4.5.6 Performance des transistors

Dans cette section, les performances des Si-SETs fabriqués sont analysées selon les critères de l'informatique classique et quantique.

Transistors classiques

Les performances des transistors classiques sont évalués selon les critères suivant :

1. **Ratio $I_{\text{on}}/I_{\text{off}}$** : Un transistor est un commutateur contrôlé électriquement. Un bon transistor doit pouvoir communiquer avec des éléments distants d'un circuit intégré. Le courant dans l'état ON du transistor I_{on} doit être le plus grand possible pour charger les éléments du circuit rapidement. Dans l'état OFF, un transistor doit avoir un courant de fuite I_{off} le plus faible possible pour éviter la dissipation d'énergie et le chauffage. Le ratio $I_{\text{on}}/I_{\text{off}}$ est une bonne mesure de la versatilité d'un transistor, c'est-à-dire sa capacité à opérer à basse puissance s'il est inutilisé et à fournir de la puissance lorsque nécessaire. Pour les SETs, l'énergie d'addition E_{add} influence fortement le ratio $I_{\text{on}}/I_{\text{off}}$ et doit être la plus grande possible. Entre autres, elle devrait être au moins dix fois supérieure à l'énergie thermique pour que le blocage de Coulomb permette un blocage quasi complet du transistor.
2. **Pente sous le seuil** : La tension appliquée sur la grille pour changer l'état du transistor est la même que la tension source-drain, notée V_{dd} . Plus cette tension est faible, plus la puissance consommée $P = I_{\text{on}}V_{\text{dd}}$ est faible. Un bon transistor doit donc fournir le plus de courant possible (condition précédente) à la tension de grille la plus faible possible. La pente sous le seuil (SS) est définie par [99]

$$SS = \frac{dV_G}{d \log_{10}(I_{\text{DS}})} \quad (4.8)$$

et est exprimée en mV par décade de courant. La SS doit être la plus petite possible.

3. **Vitesse d'opération** : Pour un *Metal-Oxide-Semiconductor Field Effect Transistor* (MOSFET), la vitesse d'opération intrinsèque du transistor n'est pas un facteur limitant, car elle se situe typiquement au dessus d'un térahertz. Pour un SET, elle peut en principe atteindre une dizaine de térahertz,³ mais en pratique elle est souvent de l'ordre de la dizaine de mégahertz, ce qui est problématique. Elle est limitée par le transport séquentiel des électrons et leur temps tunnel τ qui limite le courant I_{on} qui peut circuler dans le dispositif.
4. **Bipolarité** : Pour la logique basse puissance, il est important qu'un transistor puisse changer d'état avec des voltages de grille positifs ou négatifs. La technologie

³On peut définir la fréquence maximale d'opération f_{max} comme l'inverse du temps que prend un électron pour traverser l'îlot. La résistance tunnel doit être supérieure à R_Q pour chaque jonction et $C > 0.5$ aF, soit dix fois 100 °C d'énergie de charge. Ainsi $f_{\text{max}} = 1/(2R_Q C) = 39$ THz.

Tableau 4.3. Ratio $I_{\text{on}}/I_{\text{off}}$ des Si-SETs et comparaison avec un MOSFET. L'avantage d'un SET est son faible I_{off} , alors que celui d'un MOSFET est son grand I_{on} . Les données pour les Si-SETs sont prises à basse température (1.5 K).

	Si-SET, $V_{\text{DS}} = 1 \text{ V}$	Si-SET, $V_{\text{DS}} = 0.1 \text{ V}$	MOSFET, $V_{\text{dd}} = 1 \text{ V}$
I_{on}	10 nA	1 nA	1 mA
I_{off}	< 500 fA	< 10 fA	50 pA
$I_{\text{on}}/I_{\text{off}}$	2×10^4	10^5	2×10^7

métal-oxyde-semi-conducteur complémentaire (CMOS) repose sur deux types de transistors (types n et p) pour accomplir cette fonction. Les SETs possèdent cette caractéristique par défaut, à condition que des charges de fond ne décalent pas le potentiel chimique de l'îlot.

Le ratio $I_{\text{on}}/I_{\text{off}}$ des transistors fabriqués est excellent pour un SET. La tension d'opération peut être poussée à un niveau énorme pour ce type de dispositif grâce à l'énergie d'addition colossale du premier diamant. Le tableau 4.3 montre le ratio $I_{\text{on}}/I_{\text{off}}$ pour différentes tensions d'opération V_{DS} . Celui d'un MOSFET typique est donné à titre de référence. Les données pour les Si-SETs sont mesurées à basse température (1.5 K) sur les dispositifs F802D-C4G et C4B.

La figure 4.20 montre le courant en fonction de la tension de grille pour une grande tension source-drain. Les données en échelle logarithmique sont suffisamment linéaires pour extraire une pente sous le seuil de 12 V/décade. Cette valeur est beaucoup trop grande pour une application pratique (60–80 mV/décade pour un transistor commercial). Cependant, en utilisant un oxyde de grille beaucoup plus mince et une double grille latérale, le levier de la grille pourrait être augmenté et la SS serait beaucoup plus faible. Pour être optimal, les grilles doivent envelopper l'îlot le plus possible.

Tel que discuté précédemment, l'énergie d'addition du diamant central est grande grâce au gap du silicium. Celle du diamant à un électron et les suivants sont beaucoup plus petits. Cette caractéristique, particulière à un îlot semi-conducteur intrinsèque, offre un avantage au niveau de la performance du dispositif. Le diamant central ayant une énergie d'addition 46 fois supérieure à la température ambiante, l'opération à cette température devrait être possible (mais nécessite des modifications dans la méthode de contact des dispositifs). L'énergie d'addition des autres diamants n'a pas à être supérieure à la température ambiante. Ceci permet d'avoir plusieurs niveaux d'énergie dans la fenêtre

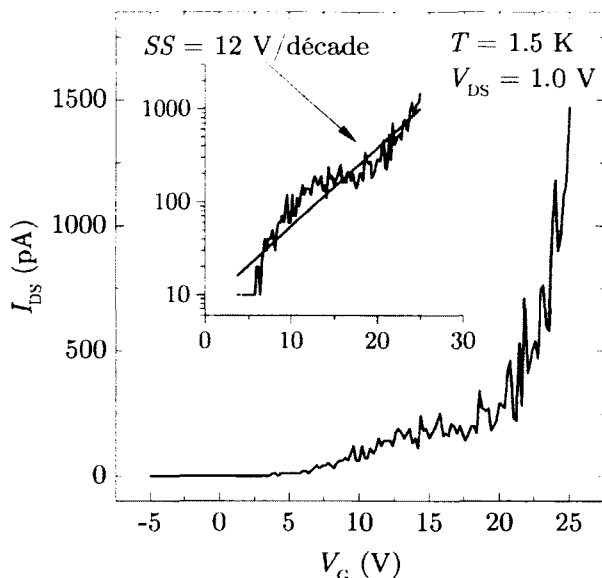


Figure 4.20. Pente sous le seuil SS et ratio I_{on}/I_{off} pour $V_{DS} = 1.0$ V. L'énergie d'addition colossale du SET permet l'opération à une tension similaire à celle d'un MOSFET, environ un volt. La SS n'est pas bonne, mais pourrait être améliorée avec un oxyde de grille similaire à celui d'un transistor CMOS. La ratio I_{on}/I_{off} atteint 2×10^4 quand la grille est poussée plus positivement.

de transport. Les valeurs de $E_{add}(n)$ sont telles que pour $V_{DS} = 1$ V, il peut y avoir plus d'une dizaine de niveaux dans la fenêtre de transport. Le courant I_{on} est donc supérieur à celui qui serait obtenu par effet tunnel séquentiel à travers un seul niveau d'un facteur dix. Ce phénomène est illustré dans le schéma de la figure 4.21.

La fréquence d'opération intrinsèque du dispositif n'a pas été mesurée. Un estimé peut être réalisé en prenant comme fréquence maximale l'inverse du temps tunnel d'un électron à travers le dispositif. En prenant $I_{on} = 10$ nA, on obtient $\tau = 16$ ps, soit une fréquence maximale de 62 MHz. Bien que relativement lent, il s'agit d'une bonne fréquence pour un SET.

L'opération bipolaire est naturelle avec le dispositif démontré. L'alignement des bandes aux interfaces détermine la position du diamant central dans le diagramme, tel que discuté à la section 4.5.2. Les diamants de la figure 4.10 sont tous remarquablement bien alignés sur $V_G = 0$ V. Ceci semble indiquer que cette robustesse aux charges de fond (qui sont présentes en grand nombre) et aux fluctuations du procédé provient de l'alignement des bandes. Un tel alignement systématique des diamants est relativement rare pour un SET et permet l'opération avec des tensions de grilles positives ou négatives.

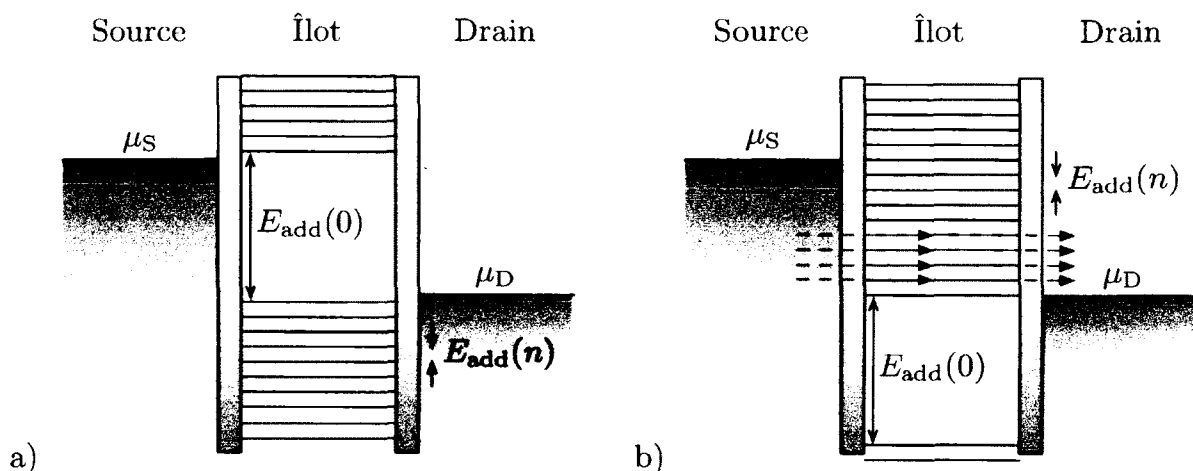


Figure 4.21. Transport dans le régime multi-électronique du Si-SET. a) L'énergie d'addition du diamant central permet l'utilisation d'une grande tension source-drain. b) Dans l'état ouvert, plusieurs niveaux se situent dans la fenêtre de transport. Le nombre d'états de charge accessibles énergétiquement permet à plus grand courant de circuler que le transport par un seul niveau.

Transistors quantiques

Pour le traitement quantique de l'information, l'îlot doit pouvoir être chargé avec un seul électron de façon stable pour pouvoir manipuler son spin. Un détecteur de charge doit pouvoir lire l'état du spin, et celui-ci doit pouvoir être initialisé et manipulé [49].

Les Si-SET démontrés ne possèdent pas encore les caractéristiques nécessaires au traitement quantique de l'information. D'abord, le bruit télégraphique et les sauts de charge sont très grands, ce qui peut empêcher l'opération stable du dispositif. Une passivation des défauts avec un recuit sous atmosphère d'hydrogène devrait améliorer les caractéristiques du dispositif.

Ensuite, le SET ne dispose pas de détecteur de charge pour détecter les événements tunnel [44, 118] et mesurer le spin de l'électron, par exemple avec la méthode de lecture sélective en énergie [81, 119].

Finalement, le dispositif ne dispose pas des éléments nécessaires pour faire de la résonance électronique de spin (ESR). Pour y arriver, il faudrait intégrer une ligne à transmission locale [46] ou un microaimant [120].

Conclusion

Dans ce chapitre, les principaux résultats obtenus sont résumés. Ensuite, l'importance et l'originalité de ces résultats sont discutés. Finalement, les perspectives du projet et les améliorations au dispositif sont explorées.

Résumé des principaux résultats

Le projet de recherche faisant l'objet de ce mémoire a pour but de fabriquer des transistors mono-électroniques en silicium (Si-SETs) pour le traitement classique et quantique de l'information avec un procédé nanodamascène. Les principaux résultats obtenus au cours de ce projet de recherche se situent dans trois catégories faisant chacune l'objet d'un chapitre : le procédé de fabrication (chapitre 2), la gravure plasma (chapitre 3) et la caractérisation électrique des transistors mono-électroniques (SETs) fabriqués (chapitre 4).

Le procédé de fabrication démontré comporte beaucoup d'étapes à la fine pointe de la résolution de la lithographie par faisceau d'électron (EBL) et de la gravure par plasma à couplage inductif (ICP). À partir d'un substrat de silicium oxydé, des tranchées sont gravées dans l'oxyde par EBL et gravure plasma. Ensuite, une couche de silicium amorphe est déposée par dépôt chimique en phase vapeur sous pression réduite (LPCVD). Un nanofil de silicium perpendiculaire à la tranchée dans l'oxyde est ensuite gravé par EBL et gravure plasma. Le développement de cette étape requière un procédé finement optimisé et a fait l'objet d'une publication [91]. Après le recuit cristallisant du nanofil, les jonctions tunnel sont préparées. Une couche de titane est ensuite déposée pour métalliser les électrodes de contact, puis polie par polissage chimico-mécanique (CMP) pour révéler le dispositif. Ensuite, une couche de passivation de nitrure de silicium est déposée, suivie

de l'ouverture de vias et du dépôt de contacts. Finalement, la grille supérieure est déposée par photolithographie (UVL) et soulèvement. Chaque étape est caractérisée avec des méthodes standard en nanoélectronique, soit la microscopie optique, le microscope électronique à balayage (SEM) et le microscope à force atomique (AFM).

La gravure plasma du nanofil de silicium est une gravure exigeante car elle requière toutes les caractéristiques d'une gravure idéale : anisotropie, sélectivité et faible taux de gravure dépendant du rapport d'aspect (ARDE). L'apparition de problèmes relatifs aux profils verticaux et à la gravure dans une nanotopographie a nécessité une investigation complète de l'effet des paramètres du procédé sur la gravure. La méthode développée démontre la possibilité de fabriquer des structures nanométriques conformes à une nanotopographie avec le procédé plasma C_4F_8/SF_6 mixte et fourni une méthode expérimentale pour le développement de ce type de procédé.

Les dispositifs fabriqués démontrent le comportement attendu à basse température. La présence d'un diamant de Coulomb central ayant une énergie d'addition de plus de 1200 meV est la signature du gap du silicium. Ensuite, le régime à peu d'électrons a été observé sur plusieurs dispositifs. Des effets quantiques dus à la nature semi-conductrice de l'îlot sont rapportés. Entre autres, une augmentation du couplage tunnel et de la capacité source-drain avec le nombre d'électrons est visible dans les mesures de transport et provient de la géométrie du dispositif et des matériaux. Le régime à peu de trous est quasiment atteint, mais des fuites anormales de la grille empêchent d'explorer ce régime. Des mesures de 1.5 à 100 K démontrent que le blocage de Coulomb survit encore à ces températures. Cependant, un problème de fuites par le substrat empêche d'effectuer des mesures à plus haute température. La présence de sauts de charge et de bruit télégraphique sont significatifs et pourraient être grandement réduits par l'introduction de recuits pendant la fabrication afin de passiver les pièges.

Les performances des dispositifs sont analysées selon les critères de l'informatique classique et quantique. Les performances démontrées à basse et moyenne température laissent présager que le dispositif devrait démontrer du blocage de Coulomb à la température ambiante grâce à une énergie d'addition 46 fois supérieure à celle-ci. Cette énergie colossale du diamant central permet d'appliquer des tensions source-drain comparables à celles de la technologie métal-oxyde-semi-conducteur complémentaire (CMOS). Le ratio I_{on}/I_{off} du dispositif est de 10^5 , une valeur excellente pour un SET. La fréquence maximale d'opération du dispositif est de 62 MHz. Finalement, l'alignement des bandes semble fournir une source de robustesse à l'alignement du diamant central, garantissant

le fonctionnement bipolaire du transistor. Du point de vue de l'informatique quantique, le bruit télégraphique est trop important pour permettre l'utilisation du SET comme détecteur de charge ou faire des expériences de résonance électronique de spin (ESR). Des solutions sont suggérées pour réduire le nombre de pièges et de défauts causant les sauts de charge.

Importance des résultats obtenus et contribution originale

Le procédé de fabrication dans son ensemble est introduit pour la première fois. Les techniques de nanofabrication comme l'électrolithographie sont relativement bien maîtrisées. Cependant, certains éléments clefs du procédé sont utilisés d'une nouvelle façon qui permet l'innovation technologique et la fabrication de dispositifs impossibles à réaliser auparavant. D'abord, la gravure plasma de nanostructures dans une nanotopographie est un sujet peu documenté. La petite taille des structures fabriquées et la géométrie nouvelle impliquée dans cette gravure font l'objet d'un article de recherche original publié dans la revue *Microelectronic Engineering* [91]. Ensuite, l'utilisation du CMP pour fabriquer des dispositifs de taille nanométrique est relativement nouvelle. À ma connaissance, il n'y a que deux groupes dans le monde qui utilisent ce procédé : celui de D. Drouin (Université de Sherbrooke) et celui de G. Snider (University of Notre-Dame) [68].

Les résultats obtenus démontrent la première observation complète du gap et du régime à un seul électron d'un SET fabriqué avec un procédé de fabrication compatible avec la fabrication à grande échelle et reproductible.

En effet, le procédé est compatible avec la production à grande échelle dans le sens où toutes les étapes sont ou peuvent être réalisées avec des méthodes à grand volume, c'est-à-dire sans écriture séquentielle (un procédé trop lent). Par exemple, la largeur de ligne réalisée en électrolithographie (~ 25 nm) est accessible à des équipements de photolithographie de pointe et pourrait donc être substituée par cette technique. Les autres étapes sont déjà directement industrialisables, comme le LPCVD, la gravure ICP ou le CMP.

Ensuite, le procédé est reproductible dans le sens où tous les dispositifs fabriqués démontrent un diamant central possédant une énergie d'addition supérieure à 1 200 meV (la deuxième plus grande rapportée pour un SET [114]) et quasi parfaitement centrés

sur $V_G = 0$ V de façon systématique grâce à la structure de bande. De telles caractéristiques sont très prometteuses en termes d'applications industrielles et ne sont pas encore rencontrées par les SETs concurrents.

La structure des niveaux d'énergie présente des avantages impossibles à réaliser avec un îlot métallique ou semi-conducteur dopé. D'abord, l'alignement des bandes garantit que le dispositif soit dans l'état bloqué pour $V_G = 0$ V, ce qui est rarement le cas d'un SET métallique. Les charges piégées causent souvent un décalage des diamants, ce qui est un problème pour les applications. Ensuite, l'espacement inégal des niveaux permet d'augmenter le courant I_{on} du dispositif d'un facteur 10 par rapport à un SET conventionnel où tous les niveaux sont également espacés. En effet, le transport électronique dans un SET conventionnel se fait un électron à la fois, séquentiellement. Le courant est limité par le temps tunnel caractéristique $\tau \approx RC$. Un espacement inégal des niveaux comme celui de la figure 1.16 permet de conserver le I_{off} d'un SET conventionnel tout en permettant l'opération avec une grande tension V_{DS} , de sorte qu'une dizaine de niveaux peuvent se situer dans la fenêtre de transport en même temps. Ceci confère un avantage considérable au Si-SET nanodamascène démontré. À ma connaissance, ce concept n'a jamais été proposé comme moyen d'améliorer les performances des SETs et est donc une contribution originale.

Perspectives

L'importance de la recherche réalisée dépasse le dispositif fabriqué. Il s'agit d'une preuve de concept qui justifie de poursuivre les efforts de recherche. L'idée du procédé nanodamascène peut être améliorée pour réaliser des dispositifs beaucoup plus performants et concurrentiels que ceux démontrés. Comme le CMP peut être adapté à différents matériaux, l'approche proposée peut être étendue à d'autres métaux et semi-conducteurs.

L'introduction du CMP comme étape clef du procédé de fabrication a permis de réaliser de façon déterministe des dispositifs qui n'étaient possible qu'avec des méthodes stochastiques : auparavant, la fabrication de SETs avec un îlot semi-conducteur intrinsèque d'une taille aussi petite ne permettaient pas de fabriquer les électrodes de contrôle de façon auto-alignées sur l'îlot, rendant toute application à grande échelle impraticable [42].

Beaucoup de travail est encore nécessaire pour rendre possible l'utilisation des transistors mono-électroniques dans l'électronique à grande échelle. Le contrôle des jonctions

tunnel et des défauts dans ces dispositifs est toujours un enjeu majeur qui ne peut être résolu que par une meilleure compréhension des matériaux. Par ailleurs, des technologies concurrentes au SET comme les transistors multigrilles démontrent elles aussi des performances accrues. Afin de déterminer quelle est la limite des SETs, l'approche démontrée est définitivement un pas dans la bonne direction.

Annexe A

Supplément théorique

A.1 Transport électronique dans les systèmes mésoscopiques

Dans un dispositif électronique, les phénomènes microscopiques de transport électronique sont reliés au monde extérieur par la relation $I(V)$ qui relie le courant I circulant dans le dispositif au potentiel V à ses bornes. Dans les dispositifs « classiques », comme une résistance, la caractéristique $I(V)$ ne porte pas la signature des effets quantiques. Une résistance suit la loi d'Ohm

$$I = \frac{1}{R}V = GV, \quad (\text{A.1})$$

où la résistance R et la conductance G sont des constantes. Dans les dispositifs intéressants cependant, la conductance n'est pas constante et dépend de V et de d'autres paramètres, comme le potentiel d'une grille de contrôle électrostatique V_G d'un transistor.

Les effets quantiques (i.e. dû à la nature ondulatoire des électrons) apparaissent dans la caractéristique $I(V)$ lorsque

1. la longueur d'onde de de Broglie $\lambda_B = \frac{h}{mv}$, où m est la masse effective et v la vitesse de l'électron,
2. le libre parcours moyen λ_m , et
3. la longueur de déphasage λ_ϕ

deviennent comparables aux dimensions latérales du canal de transport. Dans ces conditions, des effets intéressants et contre-intuitifs peuvent apparaître. Tel qu'expliqué au

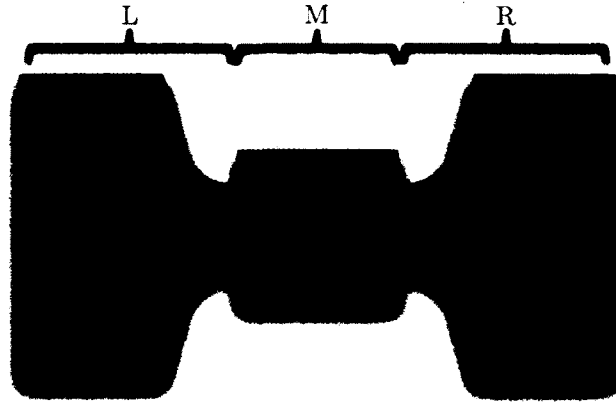


Figure A.1. Modèle de transport à travers un dispositif mésoscopique. Le réservoir $\alpha \in \{L, R\}$ est à la température T_α et au potentiel chimique μ_α . Il émet des électrons à travers le contact sans réflexion vers le mode de conduction n et d'énergie E via l'opérateur de création $\hat{a}_{\alpha,n}^\dagger(E)$ et reçoit des électrons via $\hat{b}_{\alpha,n}^\dagger(E)$.

tableau 1, ces conditions sont satisfaites pour des dispositifs semi-conducteurs de taille inférieure à environ 100 nm.¹

A.1.1 Matrice de diffusion

Afin de modéliser un dispositif mésoscopique, le formalisme de la matrice de diffusion est une méthode puissante et versatile. Le détail de cette théorie est présenté dans la référence [78]. La figure A.1 montre un schéma du modèle de transport. Le réservoir $\alpha \in \{L, R\}$ est à la température T_α et au potentiel chimique μ_α . Il émet des électrons à travers le contact sans réflexion vers le mode de conduction n et d'énergie E via l'opérateur de création $\hat{a}_{\alpha,n}^\dagger(E)$ et reçoit des électrons via $\hat{b}_{\alpha,n}^\dagger(E)$. Dans les contacts L et R , la fonction d'onde est représentée par une onde plane d'énergie $E_k = \frac{\hbar^2 k^2}{2m}$ dans la direction longitudinale et E_n dans le mode discret transverse n , de sorte que $E = E_k + E_n$. Le nombre de modes dans chaque contact est N_α . Le spin est ignoré.

Les opérateurs $\hat{a}_{\alpha,n}$ et $\hat{b}_{\alpha,n}$ sont reliés via la matrice de diffusion \mathbf{s} définie telle que

$$\hat{b}_{\alpha,n} = \sum_{\beta=L,R} \sum_{n'} s_{\alpha n, \beta n'} \hat{a}_{\beta n'}. \quad (\text{A.2})$$

On définit ensuite l'opérateur de destruction d'un électron $\hat{\psi}_L(\mathbf{r}, t)$ dans le contact L à

¹La densité électronique d'un semi-conducteur est souvent inférieure à celle donnée dans le tableau 1.

la position \mathbf{r} et au temps t par

$$\hat{\psi}_L(\mathbf{r}, t) = \int dE e^{-iEt/\hbar} \sum_n \left[\hat{a}_{Ln}(E) \phi_{nE}^+(x, \mathbf{r}_\perp) + \hat{b}_{Ln}(E) \phi_{nE}^-(x, \mathbf{r}_\perp) \right], \quad (\text{A.3})$$

$$\phi_{nE}^\pm(x, \mathbf{r}_\perp) = \frac{1}{\sqrt{2\pi\hbar v_n(E)}} \chi_n(\mathbf{r}_\perp) e^{\pm ik_n x}, \quad (\text{A.4})$$

avec $v_n(E)$ la vitesse de l'électron dans le mode n et d'énergie E et $\chi_n(\mathbf{r}_\perp)$ la fonction d'onde dans la direction transverse. L'opérateur courant s'écrit ainsi

$$\hat{I}(x, t) = \frac{\hbar e}{2mi} \int d\mathbf{r}_\perp \left[\hat{\psi}_L^\dagger \partial_x \hat{\psi}_L - (\partial_x \hat{\psi}_L^\dagger) \hat{\psi}_L \right]. \quad (\text{A.5})$$

La matrice \mathbf{s} est unitaire. De plus, elle est symétrique à champ magnétique nul. On définit la matrice \mathbf{t} telle que

$$t_{n,n'} = s_{Rn, Ln'} \quad (\text{A.6})$$

est une sous-matrice de \mathbf{s} .

A.1.2 Formule de Landauer

Sous certaines approximations raisonnables, on peut calculer le courant dans la région mésoscopique

$$I = \langle \hat{I}(x, t) \rangle = \frac{e}{2\pi\hbar} \int dE \text{Tr} \left[\mathbf{t}^\dagger(E) \mathbf{t}(E) \right] (f_L(E) - f_R(E)), \quad (\text{A.7})$$

où $f_\alpha(E) = [1 + \exp[(E - \mu_\alpha)/k_B T]]^{-1}$. À basse température et pour $V = (\mu_L - \mu_R)/e$, cette expression se simplifie encore pour prendre la forme connue de la formule de Landauer

$$G = \frac{2e^2}{h} \text{Tr} \left[\mathbf{t}^\dagger(E_F) \mathbf{t}(E_F) \right] = \frac{2e^2}{h} \sum_{n=1}^{N_L} T_n. \quad (\text{A.8})$$

Les coefficients T_n représentent les probabilités de transmission de chaque mode et le facteur 2 a été ajouté pour tenir compte du spin.

Annexe B

Propriétés des matériaux

Dans cette annexe, les propriétés des matériaux utilisés pour la fabrication des dispositifs et pour les calculs théoriques sont présentés. Les matériaux sont séparés par type, soit les semi-conducteurs, les isolants et les métaux.

B.1 Semiconducteurs

Le tableau B.1 présente des données utiles sur les propriétés du silicium. Les données sur l'arsenure de gallium sont présentées à des fins de comparaison.

B.2 Isolants

Le tableau B.2 présente les propriétés physiques de différents isolants (ou diélectriques) présents dans le procédé de fabrication.

B.3 Métaux

Le tableau B.3 présente les propriétés physiques de différents métaux présents dans le procédé de fabrication.

Tableau B.1. Propriétés des deux principaux semi-conducteurs. L'énergie de confinement E_{conf} est calculée pour une boîte quantique cubique de 20 nm de côté. Données tirées de la référence [86] ([121, 122] pour les facteurs g).

Propriété	Si	GaAs
ϵ_r	11.9	13.2
g (électrons)	1.9987	-0.45
Structure cristalline	diamand	zinc blende
Gap (eV)	1.12	1.42
Direct/Indirect	I	D
μ_n (cm ² /V.s)	1350	8500
μ_p (cm ² /V.s)	480	400
m_l, m_t (m_0)	0.98, 0.19	0.067
m_{lh}, m_{hh} (m_0)	0.16, 0.49	0.074, 0.50
E_{conf} (meV)	10.9	42.1
Affinité électronique (eV)	4.05	4.07

Tableau B.2. Propriétés des principaux isolants (diélectriques) utilisés. Données tirées des références [87, 123]. Les données pour le TiO₂ sont approximatives.

Propriété	SiO ₂	Si ₃ N ₄	TiO ₂
ϵ_r	3.9	7.5	7.8
Structure cristalline	amorphe	amorphe	
Gap (eV)	9.0	5	3.05
Affinité électronique (eV)	0.9	2.1	3.9
Champ de claquage (MV/cm)	10	10	

Tableau B.3. Propriétés des principaux métaux utilisés. La densité électronique du Ti est absente des tables car la valeur varie beaucoup selon la qualité du métal. L'Au n'est pas supraconducteur. Données tirées de la référence [124].

Propriété	Ti	Au	Al
Résistivité (nOhm.m)	420.0	22.1	26.5
Densité électronique (10 ²² cm ⁻³)	–	5.90	18.06
Travail d'extraction (eV)	4.2	4.8	4.2
Température critique supraconductrice (K)	0.39	–	1.2
Champ critique supraconducteur (G)	105	–	100

Annexe C

Paramètres du procédé de fabrication

Cette annexe contient le procédé de fabrication des Si-SETs avec tous les paramètres. La quantité de détails nécessaires à connaître pour reproduire le procédé est immense. À titre d'exemple, la liste d'étapes qui suit contient environ 500 paramètres de quantité, temps, température, pression, mode, etc.

Certains de ces paramètres ont une importance critique alors d'autres n'ont pas à être contrôlés avec précision. Savoir lesquels de ces paramètres sont critiques n'est pas facile, car le procédé peut avoir des effets inconnus de l'opérateur. Ainsi, la meilleure stratégie pour éviter les mauvaises surprises consiste à contrôler le plus rigoureusement possible tous les paramètres et les conditions environnementales. Il faut ensuite noter systématiquement tous ces paramètres et contrôler le procédé fréquemment, par exemple au SEM ou au microscope optique lorsque possible.

Procédé: poly-Si Single Electron Transistor for Quantum Dot Spintronic
 Opérateur: Patrick Harvey-Collard
 Création: 2010-09-01
 Dernière modification: 2013-04-03

Substrat: silicium (lot 3P1-07) (100) type p (bore) 10-20 ohm.cm d=76.2mm t=380um (t=356-406um)

Étape	Équipement	Détails	Cible	Notes
1.01	Nettoyage RCA	1) Opticlear : 5 min 2) Acétone : 5 min 3) IPA : 5 min 4) Rinçage eau- D.I. : 2 min 5) H2O: HF 10:1 : 10 sec 6) Rinçage : 2 min 7) H2O2 / H2SO4 (1:1) : 15 min 8) Rinçage : 2 min 9) (sauce RCA standard SC-1) H2O:NH4OH:H2O2 5:1:1 75°C : 15 min 10) Rinçage eau- D.I. : 2min 11) H2O: HF 50:1 : 10 sec 12) Rinçage court : 30 sec 13) (sauce RCA standard SC-2) H2O:H2O2:HCl 5:1:1 75°C : 15 min 14) Rinçage : 1 min 15) Essorage eau déionisée (2min)/séchage azote (3min)	Nettoyage	
1.02	CVD(4)	Tube 2, sous N2 à 40% 10L/min, Entré à 400° C, Monté à 1050 C en 35 minutes Attente de 45 minutes, Oxydation sous O2 40% 4L/min de 80 minutes, Attente de 2 minutes sous N2 à 40% 10L/min, Refroidissement de 60 minutes, Sorti.	100nm SiO2	
1.03	Ellipsomètre Alpha-SE	SiO2 on thermal oxide.mod	100nm SiO2	Mesurer épaisseur SiO2
2.01	Étuve	125°C / 30min		
2.02	Étaleuse Polos	HMDS / dépôt dynamique / qqe gouttes Dépôt 500rpm / 30s Séchage 5000rpm / 30s		
2.03	Étaleuse Polos	S1805 / dépôt statique / couvrir la gaufre Étalement 500rpm / 30s Séchage 5000rpm / 30s		
2.04	Plaque chauffante	115°C / 1min		
2.05	Ellipsomètre Alpha-SE	Transparent film on SiO2 on Si.mod	425nm S1805	Mesurer la résine
2.06	Aligneuse OAI 200	Mode : Intensité courante Intensité (mW/cm2) : 15 Format du masque : 4 po #SSE du photomasque : D729 (EBR 3po) Alignement : Oui Mode de contact : Dur Durée d'exposition (s) : 10 Chuck Z : 10		
2.07	Développeuse Polos	Développeur : MF319 Durée : 2x15s (puddle double) T (°C) : TP		
2.08	Aligneuse OAI 806	Mode : Intensité courante Intensité (mW/cm2) : 15 Format du masque : 5 po #SSE du photomasque : G641 (NKMv3) Alignement : Oui Mode de contact : N2 Hard Durée d'exposition (s) : 2.0 Chuck Z : 10		
2.09	Développeuse Polos	Développeur : MF319 Durée : 2x15s (puddle double) T (°C) : TP		
2.10	Microscope Nikon	Inspection visuelle / résidus / marques al. / contacts / lignes 1:1		
2.11	AOE-STS	Recette: Descum Durée : 00:00:30 Profondeur visée : 0 nm	De-scum	
2.12	AOE-STS	Recette: SiNSlow Durée : 00:00:37 Profondeur visée : 60 nm	60 nm tranchées	

2.13 Banc humide	Remover 1165 / 70°C / 30min Remover 1165 + Bain ultrason 5min Acétone 5min / IPA 5min / Eau DI 5min Séchage azote	S1805 cramée après AOE -> faire un bon nettoyage
2.14 Plasmaline	O2 / 100W / 2min	
2.15 Microscope Nikon	Inspection visuelle / résidus / marques al. / contacts / lignes 1:1	
2.16 Profilomètre DEKTAK	Profondeur des tranchées (contacts)	
2.17 Banc humide / nettoyage		
3.01 Plaque chauffante	180°C / 5min	
3.02 Étaleuse Polos	ZEP520A DR2.4 / 5000rpm / 30s	
3.03 Plaque chauffante	180°C / 5min	
3.04 Ellipsomètre Alpha-SE	Mesure épaisseur résine (ZEP_on_SiO2.mod)	90nm
3.05 Zeiss LEO 1530	20kV / 10µm / 3.17mm / ~16pA Dose linéaire: 0.20nC/cm (double passe) Dose surfacique: 40µC/cm²	20nm
Zeiss FIB	20kV / 7.5µm / 5.00mm / ~22pA Dose linéaire: 0.15nC/cm (simple passe) Dose surfacique: 50µC/cm²	20nm
3.06 Banc humide	Développeur: o-xylène / TP / 75s Rinçage: MIBK (méthyl-4 pentanone-2) 30s (15s pour Marc Guilmain) Séchage: azote	
3.07 Étuve	125°C / 30min	
3.08 AOE-STS	Recette: SiNSlow Durée: 00:00:25 Profondeur visée: 20 nm	20nm
3.09 Banc humide	Remover 1165 / 70°C / 30min Remover 1165 + Bain ultrason 5min Acétone 5min / IPA 5min / Eau DI 5min Séchage azote	ZEP cramée après AOE -> faire un bon nettoyage
3.10 Plasmaline	O2 / 100W / 2min	
3.11 Microscope Nikon	Inspection visuelle / résidus / marques al.	
3.12 Profilomètre DEKTAK	Profondeur des tranchées (nanofils)	
3.13 Zeiss LEO VP	Largeur des nanofils, alignements, état de la lithographie	
4.14 Banc humide / nettoyage		
Banc humide	Piranha H2SO4:H2O2 4:1 15min (optionnel 2:1) Rinçage eau DI 5min Séchage N2	
Plasmaline	O2 100W 2min	
4.01 LPCVD	Polysilicium Température (°C): 525°C Pression (mTorr): 300 Durée du dépôt: 00:18:30 SiH4 (sccm): 1.5v HCl (sccm): 1.0v	Taux = ~3 nm/min Cible = 40nm
4.02 Ellipsomètre Alpha-SE	aSi3_SiO2_Si.mod	Mesure aSi
4.03 Microscope Nikon	Inspection visuelle / résidus / marques al.	
4.04 Zeiss LEO VP	État de surface (grains, propreté, défauts)	
4.05 Plaque chauffante	115°C / 5min	
4.06 Étaleuse Polos	S1813 / dépôt statique / couvrir la gaufre Étalement 500rpm / 30s Séchage 5000rpm / 30s	
4.07 Plaque chauffante	115°C / 1min	
4.08 Découpage	10mm x 10mm	
4.09 Banc humide	Acétone 5min (enlever la pellicule de plastique si elle est sur la résine) Remover 1165 + Bain ultrason 5min Remover 1165 / 70C / 30min Remover 1165 + Bain ultrason 5min Acétone 5min / IPA 5min / Eau DI + ultrasons 5min Séchage N2	
4.10 Plasmaline	O2 100W 1min	Ne pas passer au plasmaline pour ne pas oxyder
4.11 Microscope Nikon	Inspection visuelle / résidus / marques al.	
4.12 Zeiss LEO VP	État de surface (propreté) (OPTIONNEL)	
4.13 Banc humide / nettoyage / inspection visuelle		
5.01 Plaque chauffante	180°C / 5min	
5.02 Étaleuse Polos	HMDS + ma-N 2401 1:1 anisole / 1000rpm / 30s // 5000rpm / 30s	
5.03 Plaque chauffante	90°C / 1min	
5.04 Ellipsomètre Alpha-SE	Mesure épaisseur résine (TranspFilm on a-Si on SiO2 on Si.mod)	35nm
5.05 Zeiss LEO 1530	20kV / 10µm / 3.17mm / ~16pA Dose linéaire: 2.50nC/cm (simple passe) Dose surfacique: 150µC/cm²	20nm

Zeiss FIB	20kV / 7.5µm / 5.00mm / ~22pA Dose linéaire: 2.5nC/cm (simple passe) Dose surfacique: 150µC/cm ²	25nm	
Zeiss VP	20kV / 7.5µm / 3.50mm / ~25pA Dose linéaire: 3.5nC/cm (simple passe) Dose surfacique: 350µC/cm ²	25nm	Doses pour développement Polos Doses pour développement Polos
5.06 Banc humide	Développeur: ma-D 525 / TP / 15s Rinçage: Eau DI / TP / 5min + agitateur Séchage: azote		
Développeuse Polos	Développeur : MF319 Durée : 2x20s (puddle double) Rinçage : Eau DI 10 min T (°C) : TP		
5.07 Etuve	100°C / 10min (pas nécessaire)		Post bake pas nécessaire
5.08 Banc humide	Désoxydation H2O:HF(49%) 50:1 40s	3.5nm	Enlever l'oxyde natif
5.09 ASE-STS	Recette: SiNanoA Coil 100W / Platen 10W / Pressure 6mT / C4F8:SF6 54:21 sccm Durée : 00:02:39 Nombre de cycles : 1 Profondeur visée : 1.1 x NatOx[nm] + 1.1 x aSi[nm] + 1.1 x Trench[nm] O2 / 100W / 1min	70nm	
5.10 Plasmaline	O2 / 100W / 1min		Pour nettoyer fluorocarbone
5.11 Microscope Nikon	Vérifier présence nanofils (dark field, reduced apperture, max illumination)		
5.12 Zeiss LEO VP	Largeur des nanofils, inspection (OPTIONNEL)		
5.13 Banc humide	Piranha H2SO4:H2O2 4:1 15min Rinçage eau DI Séchage N2		Nettoyage pré-RTA
5.14 RTA	800°C / 3min / N2		
5.15 Banc humide	H2O:HF(49%) 50:1 40s	5-15nm/min	Désoxydation
5.16 RTA	O2 - autres (A TESTER)	1nm	Oxydation jet tunnel
6.01 Pulvérisation	Ti / 3h50min / Power=60 / Pression 15 / RF / Ar 2.5	150nm	
6.02 Profilomètre DEKTAK	Épaisseur Ti (OPTIONNEL)	150nm	
7.01 CMP	Recette Allied 50nm / IPA (1:1 vol) 1) 900gr, 70P, 60T, 40% ring		
7.02 Microscope Nikon	Inspection visuelle / résidus / marques al.		
7.03 Zeiss LEO VP	Inspection du polissage / choix des cellules à caractériser		
7.04 Nettoyage	Opticlear 5min / Acétone 5min / IPA 5min / Eau DI / N2 blow		
8.01 PECVD-STS	Recette: HFSiN Durée: 00:03:50 Épaisseur visée: 50nm		
8.01 Etuve	125°C / 30min		Déshydratation
8.03 Étaleuse Polos	Mcc Primer / dépôt dynamique / 2-3 gouttes Étalement 500rpm / 30s Séchage 3000rpm / 30s		
8.04 Étaleuse Polos	LOR3A / dépôt statique / couvrir 4 coins Étalement 500rpm / 30s Séchage 3000rpm / 30s		
8.05 Plaque chauffante	150°C / 5min		
8.06 Ellipsomètre Alpha-SE	Transparent film on SiO2 on Si.mod	340nm LOR3A	Mesurer la résine
8.07 Étaleuse Polos	S1805 / dépôt statique / couvrir 4 coins Étalement 500rpm / 30s Séchage 5000rpm / 30s		
8.08 Plaque chauffante	115°C / 1min		
8.09 Ellipsomètre Alpha-SE	S1805-LOR3A-SiO2-Si.mod	425nm S1805	Mesurer la résine
8.10 Aligneuse OAI 806	Mode : Intensité courante Intensité (mW/cm2) : 15 Format du masque : 5 po #SSE du photomasque : EBR 8mm et H065 (Pads NKMv3) Alignement : Oui Mode de contact : Dur Durée d'exposition (s) : 4.0 Chuck Z: 18		Exp. les 2 masques sans développer
8.11 Développeuse Polos	Développeur : MF319 Durée : 1x20s+4x30s (puddle quintuple) T (°C) : TP		
8.12 Microscope Nikon	Inspection visuelle / résidus	Undercut 1.5µm	
8.13 Plasmaline	O2 / 75W / 15s	Enlève 75nm/min S1805 Descum	
8.14 AOE-STS	Recette : SiNSlow Durée : 20s		

8.15 Évaporateur Intelvac (physique)	Épaisseur visée : 1.1xSi3N4[nm] Cr / 5nm Au / 200nm	55nm 5nm 200nm	
8.16 Banc humide	Remover 1165 / 70°C / 60min Ultrasons 20s (ou plus forte si possible) Pompage résidus		Lift-off. Décolle après 30min environ. Laisser encore 30min pour enlever les traces de résine.
8.17 Nettoyage	Opticlear 5min / Acétone 5min / IPA 5min / Eau DI 5min / Séchage N2		
9.01 Plaque chauffante	160°C / 5min		PROCESS EN SP2 et SP1 (Physique)
9.02 Étaleuse Polos SP2	LOR5A / dépôt statique / couvrir 4 coins Étalement 100rpm / 30s (augmente à 500rpm) Séchage 3000rpm / 30s		
9.03 Plaque chauffante	160°C / 5min		
9.04 Étaleuse Polos SP2	S1805 / dépôt statique / couvrir 4 coins Étalement 100rpm / 30s (augmente à 500rpm) Séchage 4000rpm / 30s		
9.05 Plaque chauffante	130°C / 1.5min		
9.06 SF-100 Xpress Direct Write	CAD : Si-SET Top Gate Durée : 0.96s		
9.07 Banc humide	Développement MF319 5min / H2O 5min / Séchage N2		
9.08 Microscope Nikon	Inspection visuelle / résidus	Undercut 1.5µm	
9.09 Plasmaline	O2 / 75W / 15s	Enlève 75nm/min S1805 Descum	
9.10 Évaporateur Intelvac (physique)	Cr / 5nm Al / 200nm	5nm 200nm	
9.11 Banc humide	Remover 1165 / 70°C / 30min Pas d'ultrasons		
9.12 Nettoyage	Opticlear 5min / Acétone 5min / IPA 5min / Eau DI 5min / Séchage N2		
9.13 Microscope Nikon	Inspection visuelle / résidus		
10.01 Découpage (scriber)	Taille max 5mm x 7mm		

Bibliographie

- [1] *International Technology Roadmap for Semiconductors Report 2011*. International Technology Roadmap for Semiconductors, 2011. [En ligne]
- [2] R. Landauer, “Irreversibility and Heat Generation in the Computing Process,” *IBM Journal of Research and Development*, vol. 5, no. 3, pp. 183–191, july 1961.
- [3] C. H. Bennett, “Notes on Landauer’s principle, Reversible Computation and Maxwell’s Demon,” *ArXiv e-prints*, Oct. 2002. [En ligne]
- [4] E. Pop, “Energy dissipation and transport in nanoscale devices,” *Nano Research*, vol. 3, pp. 147–169, 2010. [En ligne]
- [5] H. Sutter, “The Free Lunch Is Over : A Fundamental Turn Toward Concurrency in Software,” <http://www.gotw.ca/publications/concurrency-ddj.htm>, november 2012. [En ligne]
- [6] A. Imre, G. Csaba, L. Ji, A. Orlov, G. H. Bernstein, et W. Porod, “Majority Logic Gate for Magnetic Quantum-Dot Cellular Automata,” *Science*, vol. 311, no. 5758, pp. 205–208, 2006. [En ligne]
- [7] P. D. Tougaw et C. S. Lent, “Logical devices implemented using quantum cellular automata,” *Journal of Applied Physics*, vol. 75, no. 3, pp. 1818–1825, 1994. [En ligne]
- [8] Y. Wu, M. Bao, A. Khitun, J.-Y. Kim, A. Hong, et K. L. Wang, “A Three-Terminal Spin-Wave Device for Logic Applications,” *Journal of Nanoelectronics and Optoelectronics*, vol. 4, no. 3, pp. 394–397, 2009. [En ligne]
- [9] K. Likharev, “Single-electron devices and their applications,” *Proceedings of the IEEE*, vol. 87, no. 4, pp. 606–632, apr. 1999.
- [10] K. Yano, T. Ishii, T. Sano, T. Mine, F. Murai, T. Hashimoto, T. Kobayashi, T. Kure, et K. Seki, “Single-electron memory for giga-to-tera bit storage,” *Proceedings of the IEEE*, vol. 87, no. 4, pp. 633–651, april 1999.

- [11] U. Hanke, Y. M. Galperin, et K. A. Chao, "Charge sensitivity of a single electron transistor," *Applied Physics Letters*, vol. 65, no. 14, pp. 1847–1849, 1994. [En ligne]
- [12] D. Berman, N. B. Zhitenev, R. C. Ashoori, H. I. Smith, et M. R. Melloch, "Single-electron transistor as a charge sensor for semiconductor applications," dans *Papers from the 41st international conference on electron, ion, and photon beam technology and nanofabrication*, vol. 15, no. 6. AVS, 1997, pp. 2844–2847. [En ligne]
- [13] A. N. Korotkov et M. A. Paalanen, "Charge sensitivity of radio frequency single-electron transistor," *Applied Physics Letters*, vol. 74, no. 26, pp. 4052–4054, 1999. [En ligne]
- [14] M. Fuechsle, J. A. Miwa, S. Mahapatra, H. Ryu, S. Lee, O. Warschkow, L. C. L. Hollenberg, G. Klimeck, et M. Y. Simmons, "A single-atom transistor," *Nat Nano*, vol. 7, no. 4, pp. 242–246, 04 2012. [En ligne]
- [15] R. Feynman, "Simulating physics with computers," *International Journal of Theoretical Physics*, vol. 21, pp. 467–488, 1982. [En ligne]
- [16] C. H. Bennett et G. Brassard, dans *Proceedings of IEEE International Conference on Computer, Systems, and Signal Processing*. IEEE New-York, 1984, p. 175.
- [17] D. Deutsch et R. Jozsa, "Rapid Solution of Problems by Quantum Computation," *Proceedings of the Royal Society of London. Series A : Mathematical and Physical Sciences*, vol. 439, no. 1907, pp. 553–558, 1992. [En ligne]
- [18] P. Shor, "Algorithms for quantum computation : discrete logarithms and factoring," dans *Proceedings of the 35th Annual Symposium on Foundations of Computer Science 1994*, nov 1994, pp. 124 –134.
- [19] L. K. Grover, "Quantum Mechanics Helps in Searching for a Needle in a Haystack," *Phys. Rev. Lett.*, vol. 79, pp. 325–328, Jul 1997. [En ligne]
- [20] P. W. Shor, "Scheme for reducing decoherence in quantum computer memory," *Phys. Rev. A*, vol. 52, pp. R2493–R2496, Oct 1995. [En ligne]
- [21] A. M. Steane, "Error Correcting Codes in Quantum Theory," *Phys. Rev. Lett.*, vol. 77, pp. 793–797, Jul 1996. [En ligne]
- [22] J. I. Cirac et P. Zoller, "Quantum Computations with Cold Trapped Ions," *Phys. Rev. Lett.*, vol. 74, pp. 4091–4094, May 1995. [En ligne]
- [23] C. Monroe, D. M. Meekhof, B. E. King, W. M. Itano, et D. J. Wineland, "Demonstration of a Fundamental Quantum Logic Gate," *Phys. Rev. Lett.*, vol. 75, pp. 4714–4717, Dec 1995. [En ligne]

- [24] I. L. Chuang, L. M. K. Vandersypen, X. Zhou, D. W. Leung, et S. Lloyd, "Experimental realization of a quantum algorithm," *Nature*, vol. 393, no. 6681, pp. 143–146, 05 1998. [En ligne]
- [25] J. A. Jones et M. Mosca, "Implementation of a quantum algorithm on a nuclear magnetic resonance quantum computer," *The Journal of Chemical Physics*, vol. 109, no. 5, pp. 1648–1653, 1998. [En ligne]
- [26] G. J. Milburn, "Quantum optical Fredkin gate," *Phys. Rev. Lett.*, vol. 62, pp. 2124–2127, May 1989. [En ligne]
- [27] E. Knill, R. Laflamme, et G. J. Milburn, "A scheme for efficient quantum computation with linear optics," *Nature*, vol. 409, no. 6816, pp. 46–52, 01 2001. [En ligne]
- [28] L. M. K. Vandersypen, M. Steffen, G. Breyta, C. S. Yannoni, M. H. Sherwood, et I. L. Chuang, "Experimental realization of Shor's quantum factoring algorithm using nuclear magnetic resonance," *Nature*, vol. 414, no. 6866, pp. 883–887, 12 2001. [En ligne]
- [29] L. Viola, E. M. Fortunato, M. A. Pravia, E. Knill, R. Laflamme, et D. G. Cory, "Experimental Realization of Noiseless Subsystems for Quantum Information Processing," *Science*, vol. 293, no. 5537, pp. 2059–2063, 2001. [En ligne]
- [30] M. D. Reed, L. DiCarlo, S. E. Nigg, L. Sun, L. Frunzio, S. M. Girvin, et R. J. Schoelkopf, "Realization of three-qubit quantum error correction with superconducting circuits," *Nature*, vol. 482, no. 7385, pp. 382–385, 02 2012. [En ligne]
- [31] M. H. Devoret, A. Wallraff, et J. M. Martinis, "Superconducting Qubits : A Short Review," *ArXiv e-prints :cond-mat/0411174v1*, 2004. [En ligne]
- [32] J. J. Pla, K. Y. Tan, J. P. Dehollain, W. H. Lim, J. J. L. Morton, F. A. Zwanenburg, D. N. Jamieson, A. S. Dzurak, et A. Morello, "High-fidelity readout and control of a nuclear spin qubit in silicon," *ArXiv e-prints*, Jan. 2013.
- [33] J. J. Pla, K. Y. Tan, J. P. Dehollain, W. H. Lim, J. J. L. Morton, D. N. Jamieson, A. S. Dzurak, et A. Morello, "A single-atom electron spin qubit in silicon," *Nature*, vol. 489, no. 7417, pp. 541–545, 09 2012. [En ligne]
- [34] L. Childress, M. V. Gurudev Dutt, J. M. Taylor, A. S. Zibrov, F. Jelezko, J. Wrachtrup, P. R. Hemmer, et M. D. Lukin, "Coherent Dynamics of Coupled Electron and Nuclear Spin Qubits in Diamond," *Science*, vol. 314, no. 5797, pp. 281–285, 2006. [En ligne]

- [35] K. De Greve, P. L. McMahon, D. Press, T. D. Ladd, D. Bisping, C. Schneider, M. Kamp, L. Worschech, S. Hofling, A. Forchel, et Y. Yamamoto, “Ultrafast coherent control and suppressed nuclear feedback of a single quantum dot hole qubit,” *Nat Phys*, vol. 7, no. 11, pp. 872–878, 11 2011. [En ligne]
- [36] A. M. Tyryshkin, S. Tojo, J. J. L. Morton, H. Riemann, N. V. Abrosimov, P. Becker, H.-J. Pohl, T. Schenkel, M. L. W. Thewalt, K. M. Itoh, et S. A. Lyon, “Electron spin coherence exceeding seconds in high-purity silicon,” *Nat Mater*, vol. 11, no. 2, pp. 143–147, 02 2012. [En ligne]
- [37] R. Brunner, Y.-S. Shin, T. Obata, M. Pioro-Ladrière, T. Kubo, K. Yoshida, T. Taniyama, Y. Tokura, et S. Tarucha, “Two-Qubit Gate of Combined Single-Spin Rotation and Interdot Spin Exchange in a Double Quantum Dot,” *Phys. Rev. Lett.*, vol. 107, p. 146801, Sep 2011. [En ligne]
- [38] L. Gaudreau, G. Granger, A. Kam, G. C. Aers, S. A. Studenikin, P. Zawadzki, M. Pioro-Ladriere, Z. R. Wasilewski, et A. S. Sachrajda, “Coherent control of three-spin states in a triple quantum dot,” *Nat Phys*, vol. 8, no. 1, pp. 54–58, 01 2012. [En ligne]
- [39] A. I. Ekimov et A. A. Onushchenko, “Quantum size effect in three-dimensional microscopic semiconductor crystals,” *Soviet Journal of Experimental and Theoretical Physics Letters*, vol. 34, p. 345, Sep. 1981.
- [40] M. A. Kastner, “The single-electron transistor,” *Rev. Mod. Phys.*, vol. 64, pp. 849–858, Jul 1992. [En ligne]
- [41] S. Tarucha, D. G. Austing, T. Honda, R. J. van der Hage, et L. P. Kouwenhoven, “Shell Filling and Spin Effects in a Few Electron Quantum Dot,” *Phys. Rev. Lett.*, vol. 77, pp. 3613–3616, Oct 1996. [En ligne]
- [42] D. L. Klein, R. Roth, A. K. L. Lim, A. P. Alivisatos, et P. L. McEuen, “A single-electron transistor made from a cadmium selenide nanocrystal,” *Nature*, vol. 389, no. 6652, pp. 699–701, 10 1997. [En ligne]
- [43] M. Ciorga, A. S. Sachrajda, P. Hawrylak, C. Gould, P. Zawadzki, S. Jullian, Y. Feng, et Z. Wasilewski, “Addition spectrum of a lateral dot from Coulomb and spin-blockade spectroscopy,” *Phys. Rev. B*, vol. 61, pp. R16315–R16318, Jun 2000. [En ligne]
- [44] J. M. Elzerman, R. Hanson, J. S. Greidanus, L. H. Willems van Beveren, S. De Franceschi, L. M. K. Vandersypen, S. Tarucha, et L. P. Kouwenhoven, “Few-electron quantum dot circuit with integrated charge read out,” *Phys. Rev. B*, vol. 67, p. 161308, Apr 2003. [En ligne]

- [45] L. Gaudreau, A. Kam, G. Granger, S. A. Studenikin, P. Zawadzki, et A. S. Sachrajda, "A tunable few electron triple quantum dot," *Applied Physics Letters*, vol. 95, no. 19, p. 193101, 2009. [En ligne]
- [46] F. H. L. Koppens, C. Buizert, K. J. Tielrooij, I. T. Vink, K. C. Nowack, T. Meunier, L. P. Kouwenhoven, et L. M. K. Vandersypen, "Driven coherent oscillations of a single electron spin in a quantum dot," *Nature*, vol. 442, no. 7104, pp. 766–771, 08 2006. [En ligne]
- [47] J. R. Petta, A. C. Johnson, J. M. Taylor, E. A. Laird, A. Yacoby, M. D. Lukin, C. M. Marcus, M. P. Hanson, et A. C. Gossard, "Coherent Manipulation of Coupled Electron Spins in Semiconductor Quantum Dots," *Science*, vol. 309, no. 5744, pp. 2180–2184, 09 2005. [En ligne]
- [48] W. M. Witzel, M. S. Carroll, A. Morello, L. Cywiński, et S. Das Sarma, "Electron Spin Decoherence in Isotope-Enriched Silicon," *Phys. Rev. Lett.*, vol. 105, p. 187602, Oct 2010. [En ligne]
- [49] D. P. DiVincenzo, "The Physical Implementation of Quantum Computation," *Fortschritte der Physik*, vol. 48, no. 9-11, pp. 771–783, 2000. [En ligne]
- [50] F. A. Zwanenburg, A. S. Dzurak, A. Morello, M. Y. Simmons, L. C. L. Hollenberg, G. Klimeck, S. Rogge, S. N. Coppersmith, et M. A. Eriksson, "Silicon Quantum Electronics," *ArXiv e-prints*, Juin. 2012.
- [51] A. Morello, J. J. Pla, F. A. Zwanenburg, K. W. Chan, K. Y. Tan, H. Huebl, M. Mottonen, C. D. Nugroho, C. Yang, J. A. van Donkelaar, A. D. C. Alves, D. N. Jamieson, C. C. Escott, L. C. L. Hollenberg, R. G. Clark, et A. S. Dzurak, "Single-shot readout of an electron spin in silicon," *Nature*, vol. 467, no. 7316, pp. 687–691, 2010. [En ligne]
- [52] N. S. Lai, W. H. Lim, C. H. Yang, F. A. Zwanenburg, W. A. Coish, F. Qassemi, A. Morello, et A. S. Dzurak, "Pauli Spin Blockade in a Highly Tunable Silicon Double Quantum Dot," *Sci. Rep.*, vol. 1, 10 2011. [En ligne]
- [53] G. Katsaros, P. Spathis, M. Stoffel, F. Fournel, M. Mongillo, V. Bouchiat, F. Lefloch, A. Rastelli, O. G. Schmidt, et S. De Franceschi, "Hybrid superconductor-semiconductor devices made from self-assembled SiGe nanocrystals on silicon," *Nat Nano*, vol. 5, no. 6, pp. 458–464, 06 2010. [En ligne]
- [54] B. Zaknoon, G. Bahir, C. Saguy, R. Edrei, A. Hoffman, R. A. Rao, R. Muralidhar, et K.-M. Chang, "Study of Single Silicon Quantum Dots' Band Gap and Single-Electron Charging Energies by Room Temperature Scanning Tunneling Microscopy," *Nano Letters*, vol. 8, no. 6, pp. 1689–1694, 2008. [En ligne]

- [55] M. T. Björk, C. Thelander, A. E. Hansen, L. E. Jensen, M. W. Larsson, L. R. Wallenberg, et L. Samuelson, "Few-Electron Quantum Dots in Nanowires," *Nano Letters*, vol. 4, no. 9, pp. 1621–1625, 2004. [En ligne]
- [56] M. Nagase, S. Horiguchi, K. Shiraishi, A. Fujiwara, et Y. Takahashi, "Single-electron devices formed by thermal oxidation," *Journal of Electroanalytical Chemistry*, vol. 559, no. 0, pp. 19–23, 2003. [En ligne]
- [57] S. J. Shin, J. J. Lee, H. J. Kang, J. B. Choi, S.-R. E. Yang, Y. Takahashi, et D. G. Hasko, "Room-Temperature Charge Stability Modulated by Quantum Effects in a Nanoscale Silicon Island," *Nano Letters*, vol. 11, no. 4, pp. 1591–1597, 2011. [En ligne]
- [58] H. W. Liu, T. Fujisawa, Y. Ono, H. Inokawa, A. Fujiwara, K. Takashina, et Y. Hirayama, "Pauli-spin-blockade transport through a silicon double quantum dot," *Phys. Rev. B*, vol. 77, no. 7, p. 073310, Feb 2008.
- [59] G. Yamahata, T. Kodera, H. O. H. Churchill, K. Uchida, C. M. Marcus, et S. Oda, "Magnetic field dependence of Pauli spin blockade : A window into the sources of spin relaxation in silicon quantum dots," *Phys. Rev. B*, vol. 86, p. 115322, Sep 2012. [En ligne]
- [60] R. Mizokuchi, T. Kodera, K. Horibe, Y. Kawano, et S. Oda, "Charge sensing of a Si triple quantum dot system using single electron transistors," dans *2012 IEEE Silicon Nanoelectronics Workshop (SNW)*, june 2012, pp. 1–2.
- [61] M. F. Gonzalez-Zalba, D. Heiss, G. Podd, et A. J. Ferguson, "Tunable aluminium-gated single electron transistor on a doped silicon-on-insulator etched nanowire," *Applied Physics Letters*, vol. 101, no. 10, p. 103504, 2012. [En ligne]
- [62] F. A. Zwanenburg, C. E. W. M. van Rijmenam, Y. Fang, C. M. Lieber, et L. P. Kouwenhoven, "Spin States of the First Four Holes in a Silicon Nanowire Quantum Dot," *Nano Letters*, vol. 9, no. 3, pp. 1071–1079, 2009. [En ligne]
- [63] E. Prati, M. D. Michielis, M. Belli, S. Cocco, M. Fanciulli, D. Kotekar-Patil, M. Ruoff, D. P. Kern, D. A. Wharam, J. Verduijn, G. C. Tettamanzi, S. Rogge, B. Roche, R. Wacquez, X. Jehl, M. Vinet, et M. Sanquer, "Few electron limit of n-type metal oxide semiconductor single electron transistors," *Nanotechnology*, vol. 23, no. 21, p. 215204, 2012. [En ligne]
- [64] W. H. Lim, C. H. Yang, F. A. Zwanenburg, et A. S. Dzurak, "Spin filling of valley-orbit states in a silicon quantum dot," *Nanotechnology*, vol. 22, no. 33, p. 335704, 2011. [En ligne]

- [65] B. M. Maune, M. G. Borselli, B. Huang, T. D. Ladd, P. W. Deelman, K. S. Holabird, A. A. Kiselev, I. Alvarado-Rodriguez, R. S. Ross, A. E. Schmitz, M. Sokolich, C. A. Watson, M. F. Gyure, et A. T. Hunter, "Coherent singlet-triplet oscillations in a silicon-based double quantum dot," *Nature*, vol. 481, no. 7381, pp. 344–347, 01 2012. [En ligne]
- [66] C. Dubuc, J. Beauvais, et D. Drouin, "A Nanodamascene Process for Advanced Single-Electron Transistor Fabrication," *IEEE Transactions on Nanotechnology*, vol. 7, no. 1, pp. 68–73, 2008.
- [67] C. Dubuc, J. Beauvais, et D. Drouin, "Single-electron transistors with wide operating temperature range," *Applied Physics Letters*, vol. 90, no. 11, p. 113104, 2007. [En ligne]
- [68] V. Joshi, A. O. Orlov, et G. L. Snider, "Silicon single-electron transistor with oxide tunnel barriers fabricated using chemical mechanical polishing," *Journal of Vacuum Science & Technology B : Microelectronics and Nanometer Structures*, vol. 26, no. 6, pp. 2587–2591, Nov. 2008.
- [69] Y.-C. Lee, A. O. Orlov, et G. L. Snider, "Fabrication of hybrid metal island/silicon single electron transistor," *Journal of Vacuum Science & Technology B : Microelectronics and Nanometer Structures*, vol. 29, no. 6, p. 06FB02, 2011. [En ligne]
- [70] S. J. Kim, J. J. Lee, H. J. Kang, J. B. Choi, Y.-S. Yu, Y. Takahashi, et D. G. Hasko, "One electron-based smallest flexible logic cell," *Applied Physics Letters*, vol. 101, no. 18, p. 183101, 2012. [En ligne]
- [71] V. Deshpande, R. Wacquez, M. Vinet, X. Jehl, S. Barraud, R. Coquand, B. Roche, B. Voisin, C. Vizioz, B. Previtali, L. Tosti, P. Perreau, T. Poiroux, M. Sanquer, B. D. Salvo, et O. Faynot, "300 K Operating Full-CMOS Integrated Single Electron Transistor (SET)-FET Circuits," dans *IEEE International Electron Devices Meeting (IEDM)*, 2012.
- [72] H. Bluhm, S. Foletti, I. Neder, M. Rudner, D. Mahalu, V. Umansky, et A. Yacoby, "Dephasing time of GaAs electron-spin qubits coupled to a nuclear bath exceeding 200 μ s," *Nat Phys*, vol. 7, no. 2, pp. 109–113, 2011. [En ligne]
- [73] L. V. C. Assali, H. M. Petrilli, R. B. Capaz, B. Koiller, X. Hu, et S. Das Sarma, "Hyperfine interactions in silicon quantum dots," *Phys. Rev. B*, vol. 83, p. 165301, Apr 2011. [En ligne]
- [74] D. V. Averin, A. N. Korotkov, et K. K. Likharev, "Theory of single-electron charging of quantum wells and dots," *Phys. Rev. B*, vol. 44, pp. 6199–6211, Sep 1991. [En ligne]

- [75] D. V. Averin et K. K. Likharev, *Single-electronics. Mesoscopic Phenomena in Solids*, Elsevier, 1991, pp. 173–271.
- [76] Y. V. Nazarov et Y. M. Blanter, *Quantum Transport : Introduction to Nanoscience*. Cambridge University Press, 2009.
- [77] T. Ihn, *Semiconductor Nanostructures : Quantum States and Electronic Transport*. Oxford University Press, 2009.
- [78] A. Blais, *PHY 724 Physique mésoscopique (Notes de cours)*. Université de Sherbrooke, 2011.
- [79] Y. Dovzhenko, J. Stehlik, K. D. Petersson, J. R. Petta, H. Lu, et A. C. Gossard, “Nonadiabatic quantum control of a semiconductor charge qubit,” *Phys. Rev. B*, vol. 84, p. 161302, Oct 2011. [En ligne]
- [80] T. T. Heikkilä, *The Physics of Nanoelectronics*. Oxford University Press, 2013.
- [81] R. Hanson, L. P. Kouwenhoven, J. R. Petta, S. Tarucha, et L. M. K. Vandersypen, “Spins in few-electron quantum dots,” *Rev. Mod. Phys.*, vol. 79, no. 4, pp. 1217–1265, Oct 2007.
- [82] T. Thorbeck, A. Fujiwara, et N. Zimmerman, “Simulating Capacitances to Silicon Quantum Dots : Breakdown of the Parallel Plate Capacitor Model,” *Nanotechnology, IEEE Transactions on*, vol. PP, no. 99, p. 1, 2012.
- [83] K. J. Binns et P. J. Lawrenson, *Analysis and computation of electric and magnetic field problems*. Pergamon Press, 1973.
- [84] L. P. Kouwenhoven, D. G. Austing, et S. Tarucha, “Few-electron quantum dots,” *Reports on Progress in Physics*, vol. 64, no. 6, p. 701, 2001. [En ligne]
- [85] L. P. Kouwenhoven, C. M. Marcus, P. L. Mceuen, S. Tarucha, R. M. Westervelt, et N. S. Wingreen, “Electron Transport In Quantum Dots,” *To be published in the proceedings of the Advanced Study Institute on Mesoscopic Electron Transport*, 1997.
- [86] B. G. Streetman et S. Banerjee, *Solid State Electronic Devices*, 6e éd. Prentice Hall, 2005.
- [87] S. M. Sze et K. K. Ng, *Physics of Semiconductor Devices*, 3e éd. Wiley-Interscience, 2007.
- [88] S. Franssila, *Introduction to Microfabrication*, 2e éd. Wiley, 2010.
- [89] S. Ecoffey, “Ultra-thin nanograin polysilicon devices for hybrid CMOS-NANO integrated circuits,” Thèse de doctorat, École Polytechnique Fédérale de Lausanne, Lausanne, 2007.

- [90] J.-P. Richard, "Étude des étapes de fabrication d'une boîte quantique en silicium par procédé nanodamacène," Université de Sherbrooke, Rap. Tech., Mai 2010.
- [91] P. Harvey-Collard, A. Jaouad, D. Drouin, et M. Pioro-Ladrière, "Inductively Coupled Plasma etching of amorphous silicon nanostructures over nanotopography using C₄F₈/SF₆ chemistry." *Microelectronic Engineering*, 2013, <http://dx.doi.org/10.1016/j.mee.2013.02.099>. [En ligne]
- [92] P. B. Zantye, A. Kumar, et A. K. Sikder, "Chemical mechanical planarization for microelectronics applications," *Materials Science and Engineering : R : Reports*, vol. 45, no. 3–6, pp. 89–220, 10 2004. [En ligne]
- [93] P. Harvey-Collard, "Amélioration d'un procédé nanodamacène pour la fabrication de transistors mono-électroniques," Université de Sherbrooke, Rap. Tech., 2009.
- [94] T. Labbaye, "Caractérisation électrique et physique des dispositifs fabriqués," Université de Sherbrooke, Rap. Tech., 2012.
- [95] Y.-J. Hung, S.-L. Lee, B. J. Thibeault, et L. A. Coldren, "Fabrication of Highly Ordered Silicon Nanowire Arrays With Controllable Sidewall Profiles for Achieving Low-Surface Reflection," *IEEE Journal of Selected Topics in Quantum Electronics*, vol. 17, no. 4, pp. 869–877, 2011.
- [96] C. C. Welch, A. L. Goodyear, T. Wahlbrink, M. C. Lemme, et T. Mollenhauer, "Silicon etch process options for micro- and nanotechnology using inductively coupled plasmas," *Microelectronic Engineering*, vol. 83, no. 4–9, pp. 1170–1173, 2006. [En ligne]
- [97] M. D. Henry, M. J. Shearn, B. Chhim, et A. Scherer, "Ga + beam lithography for nanoscale silicon reactive ion etching," *Nanotechnology*, vol. 21, no. 24, p. 245303, 2010. [En ligne]
- [98] A. Beaumont, C. Dubuc, J. Beauvais, et D. Drouin. "Room Temperature Single-Electron Transistor Featuring Gate-Enhanced on-State Current," *Electron Device Letters, IEEE*, vol. 30, no. 7, pp. 766–768, 2009.
- [99] I. Ferain, C. A. Colinge, et J.-P. Colinge, "Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors," *Nature*, vol. 479, no. 7373, pp. 310–316, 11 2011. [En ligne]
- [100] W. Park, Y. Kim, J. Kim, S. Suh, et D. Yoon, "Etching characterization of shaped hole high density plasma for using MEMS devices," *Surface and Coatings Technology*, vol. 193, no. 1–3, pp. 314–318, 2005. [En ligne]
- [101] M. A. Lieberman et A. J. Lichtenberg, *Principles of Plasma Discharges and Materials Processing*, 2e éd. Wiley, 2005.

- [102] R. A. H. Heinecke, "Control of relative etch rates of SiO₂ and Si in plasma etching," *Solid-State Electronics*, vol. 18, no. 12, pp. 1146–1147, 12 1975. [En ligne]
- [103] R. d'Agostino et D. L. Flamm, "Plasma etching of Si and SiO₂ in SF₆-O₂ mixtures," *Journal of Applied Physics*, vol. 52, no. 1, pp. 162–167, 01 1981. [En ligne]
- [104] D. L. Flamm et V. M. Donnelly, "The design of plasma etchants," *Plasma Chemistry and Plasma Processing*, vol. 1, pp. 317–363, 1981. [En ligne]
- [105] N. R. Rueger, J. J. Beulens, M. Schaepkens, M. F. Doemling, J. M. Mirza, T. E. F. M. Standaert, et G. S. Oehrlein, "Role of steady state fluorocarbon films in the etching of silicon dioxide using CHF₃ in an inductively coupled plasma reactor," *Journal of Vacuum Science & Technology A : Vacuum, Surfaces, and Films*, vol. 15, no. 4, pp. 1881–1889, 07 1997. [En ligne]
- [106] J.-H. Min, G.-R. Lee, J. kwan Lee, S. H. Moon, et C.-K. Kim, "Dependences of bottom and sidewall etch rates on bias voltage and source power during the etching of poly-Si and fluorocarbon polymer using SF₆, C₄F₈, and O₂ plasmas," *Journal of Vacuum Science & Technology B : Microelectronics and Nanometer Structures*, vol. 22, no. 3, pp. 893–901, 2004. [En ligne]
- [107] S. Chen, Y. Lin, J. Wu, L. Horng, et C. Cheng, "Parameter optimization for an ICP deep silicon etching system," *Microsystem Technologies*, vol. 13, pp. 465–474, 2007. [En ligne]
- [108] M. D. Henry, "ICP Etching Of Silicon For Micro And Nanoscale Devices," Thèse de doctorat, California Institute of Technology, Pasadena, California (USA), 2010.
- [109] M. Guilmain, A. Jaouad, S. Ecoffey, et D. Drouin, "SiO₂ shallow nanostructures ICP etching using ZEP electroresist," *Microelectronic Engineering*, vol. 88, no. 8, pp. 2505–2508, 8 2011. [En ligne]
- [110] J. C. Arnold et H. H. Sawin, "Charging of pattern features during plasma etching," *Journal of Applied Physics*, vol. 70, no. 10, pp. 5314–5317, 1991. [En ligne]
- [111] H. S. Park, S. J. Kim, Y. Q. Wu, et J. K. Lee, "Effects of plasma chamber pressure on the etching of micro structures in SiO₂ with the charging effects," *IEEE Transactions on Plasma Science*, vol. 31, no. 4, pp. 703–710, aug. 2003.
- [112] N. W. Ashcroft et N. D. Mermin, *Solid State Physics*. Brooks/Cole, 1976.
- [113] P. Jarillo-Herrero, S. Sapmaz, C. Dekker, L. P. Kouwenhoven, et H. S. J. van der Zant, "Electron-hole symmetry in a semiconducting carbon nanotube quantum dot," *Nature*, vol. 429, no. 6990, pp. 389–392, 2004. [En ligne]

- [114] A. Barreiro, H. S. J. van der Zant, et L. M. K. Vandersypen, "Quantum Dots at Room Temperature Carved out from Few-Layer Graphene," *Nano Letters*, vol. 12, no. 12, pp. 6096–6100, 2013/04/04 2012. [En ligne]
- [115] W. M. Haynes, éd., *Handbook of Chemistry and Physics*, 93e éd. CRC, 2013.
- [116] "Kane and Laby National Physics Lab," Webpage, 04 2013, http://www.kayelaby.npl.co.uk/atomic_and_nuclear_physics/4_3/4_3.html. [En ligne]
- [117] M. G. C. de Andrade, M. Toledano-Luque, F. Fourati, R. Degraeve, J. A. Martino, C. Claeys, E. Simoen, G. Van den Bosch, et J. Van Houdt, "RTN assessment of traps in polysilicon cylindrical vertical FETs for NVM application," *Microelectronic Engineering*, 2013, in press. [En ligne]
- [118] D. Sprinzak, Y. Ji, M. Heiblum, D. Mahalu, et H. Shtrikman, "Charge Distribution in a Kondo-Correlated Quantum Dot," *Phys. Rev. Lett.*, vol. 88, p. 176805, Apr 2002. [En ligne]
- [119] T. Fujisawa, T. Hayashi, et S. Sasaki, "Time-dependent single-electron transport through quantum dots," *Reports on Progress in Physics*, vol. 69, no. 3, p. 759, 2006. [En ligne]
- [120] M. Pioro-Ladrière, T. Obata, Y. Tokura, Y. S. Shin, T. Kubo, K. Yoshida, T. Taniyama, et S. Tarucha, "Electrically driven single-electron spin resonance in a slanting Zeeman field," *Nat Phys*, vol. 4, no. 10, pp. 776–779, 10 2008. [En ligne]
- [121] A. A. Konakov, A. A. Ezhevskii, A. V. Soukhorukov, D. V. Guseinov, S. A. Popkov, et V. A. Burdov, "Landé factor of the conduction electrons in silicon : temperature dependence," *Journal of Physics : Conference Series*, vol. 324, no. 1, p. 012027, 2011. [En ligne]
- [122] W. Zawadzki, P. Pfeffer, R. Bratschitsch, Z. Chen, S. T. Cundiff, B. N. Murdin, et C. R. Pidgeon, "Temperature dependence of the electron spin g factor in GaAs," *Phys. Rev. B*, vol. 78, p. 245203, Dec 2008. [En ligne]
- [123] J. Robertson, "Band offsets of wide-band-gap oxides and implications for future electronic devices," *Journal of Vacuum Science & Technology B : Microelectronics and Nanometer Structures*, vol. 18, no. 3, pp. 1785–1791, 2000. [En ligne]
- [124] C. Nordling et J. Österman, *Physics Handbook for Science and Engineering*, 8e éd. Studentlitterature, 2009.