

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique et de génie informatique

Mise en oeuvre de l'aspect démonstrateur des
transistors mono-électroniques

Mémoire de maîtrise
Spécialité : génie électrique

Damien GRIVEAU

Jury : Dominique DROUIN (directeur)
Francis CALMON
Jean-François PRATTE

Sherbrooke (Québec) Canada

Janvier 2013



Library and Archives
Canada

Published Heritage
Branch

395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque et
Archives Canada

Direction du
Patrimoine de l'édition

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

ISBN: 978-0-499-00334-8

Our file Notre référence

ISBN: 978-0-499-00334-8

NOTICE:

The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

AVIS:

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protègent cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

Canada

RÉSUMÉ

Depuis 1965, la loi de Moore, loi de doublement du nombre de transistors dans une puce tous les deux ans, n'a jamais été contredite. Il faut attendre septembre 2007 pour que son inventeur lui-même, Gordon Moore, ne la considère plus valide et estime sa fin dans les dix à quinze ans à venir. Le problème des limites physiques de la technologie CMOS actuelle est alors aujourd'hui posé : jusqu'où la miniaturisation peut-elle continuer ? Combien d'atomes faut-il pour faire un transistor fonctionnel ? Y-a t'il d'autres matériaux que les semi-conducteurs qui permettraient d'aller au delà des limites physiques, ou encore d'autres moyens de coder l'information de façon plus efficace ?

La technologie des transistors à un électron (SET, *Single Electron Transistor*) est une des solutions possible et semble très prometteuse. Bien souvent cantonné à un fonctionnement bien en dessous de la température ambiante, les premiers SETs métalliques démontrant un caractère typique de blocage de Coulomb à des températures dépassant 130°C sont une des premières réussites du projet « SEDIMOS » ici à l'Université de Sherbrooke.

Véritable couteau-suisse, le SET présente des caractéristiques électriques qui vont au delà de la technologie CMOS actuelle tout en pouvant copier cette dernière sans grande difficulté. Dans un circuit, il faut cependant lui adressé certains problèmes tel qu'un faible courant de commande, un faible gain en tension et un délai important. Mais tous ces aléas peuvent être cependant contournés ou réduits par une conception adaptée de ces circuits. Cependant, il existe une difficulté à fabriquer de multiples SETs ayant des caractéristiques électriques similaires. En outre, les circuits peuvent exiger des SETs avec un haut niveau de performance. Souhaitant repousser les limites actuelles de la logique SET, le but de cette maîtrise est de réaliser un inverseur SET développant principalement les deux caractéristiques critiques mentionnées dans le paragraphe précédent. Sous un travail à température ambiante, voir supérieur, l'inverseur devra développer un gain en tension supérieur à l'unité.

Les SET métalliques présentés dans ce travail sont fabriqués sur un substrat de silicium oxydé par oxydation sèche. Le procédé de fabrication utilisé est cependant compatible avec l'unité de fabrication finale du CMOS, *Back End of Line* (BEOL). Un coût réduit, un faible bilan thermique, et une amélioration de la densité d'intégration dans le cadre d'une production de masse de circuits hautement intégrés rendent ce procédé de fabrication très attrayant.

L'objectif principal de cette maîtrise peut être divisé en 3 parties : (1) L'étude des paramètres électriques tels que les tension, gain, capacité d'attaque et puissance du circuit inverseur SET, (2) l'amélioration des performances de la logique SET grâce à la modification des paramètres physiques des SETs et de l'architecture de leurs circuits et (3) la présentation des résultats de mesures électriques.

Mots-clés : Transistor monoélectronique, inverseur, gain en tension, logique complémentaire, hystérésis, empilement série

REMERCIEMENTS

Ce mémoire n'aurait pas été possible sans l'intervention, consciente, d'un grand nombre de personnes. Nous souhaitons ici les en remercier.

Je tiens d'abord à remercier très chaleureusement Dominique DROUIN qui m'a permis de bénéficier de son encadrement et Serge ECOFFEY qui a su le seconder sans faille. Les conseils qu'ils m'ont prodigués, la patience et la confiance qu'il m'ont témoignés, ont été déterminantes dans la réalisation de mon travail de recherche.

Mes remerciements s'étendent également à tous les membres du groupe SEDIMOS côtoyés durant ses années d'études. Dans l'ordre alphabétique, nous avons Mohammad BOU-NOUAR, Frédéric BOURQUE, Gabriel DROULERS, Patrick HARVEY-COLLARD, Aurélie LECESTRE, Bruno LEE SANG, Marc GUILMAIN, Christian NAUHENEIM, Jean-François MORISETTE et pour finir, Jean-Philippe RICHARD.

Enfin, nous tenons à remercier tous ceux qui, de près ou de loin, ont contribué à la réalisation de ce travail.

TABLE DES MATIÈRES

1	INTRODUCTION	1
1.1	Théorie du SET	3
1.1.1	Énergie de charge d'un unique électron et blocage de Coulomb	3
1.1.2	Concept de transistor mono-électronique	6
1.2	Définition du projet de recherche	12
1.2.1	Procédé Nanodamascène	12
1.2.2	Techniques de conception	13
1.2.3	Caractérisation par mesures électriques	14
1.3	Plan du document	14
2	ÉTAT DE L'ART	17
2.1	Techniques de fabrication	17
2.2	Logique en technologie SET	19
2.2.1	<i>Resistor Transistor Logic</i> (RTL)	20
2.2.2	<i>Complementary Transistor Logic</i> (C-SET)	21
2.2.3	Logique Domino et <i>Pass-Transistor</i>	23
2.2.4	Logique SET reconfigurable	25
2.2.5	Logique à valeurs multiples et logique majoritaire	25
2.3	Conclusion	26
3	THÉORIE DE L'INVERSEUR SET	27
3.1	Théorie orthodoxe et perturbations de la technologie SET	27
3.1.1	Principe de la théorie orthodoxe	27
3.1.2	Perturbations sur la logique SET	28
3.2	Théorie de l'inverseur C-SET	30
3.2.1	Paramètres d'opération (physique et technique)	30
3.2.2	Inverseur C-SET à réponse unipolaire	32
3.3	Considérations de conception	38
4	RÉALISATION	39
4.1	Cadre expérimental	39
4.1.1	Photolithographie	39
4.1.2	Électrolithographie	40
4.1.3	Planarisation mécanico-chimique (CMP)	41
4.2	Procédé nanodamascène	43
4.2.1	Préparation du substrat	43
4.2.2	Photolithographie	45
4.2.3	Première électrolithographie (EBL1)	46
4.2.4	Deuxième électrolithographie (EBL2)	47
4.2.5	Oxydation	48
4.2.6	Dépôt du métal de recouvrement (<i>blanket</i>)	48

4.2.7	Planarisation mécanico-chimique	49
4.3	Problème et solution	50
4.3.1	Alignement EBL	50
4.3.2	CMP	51
4.3.3	Grille parasite	51
4.4	Conclusion	52
5	CONCEPTION	55
5.1	Modèles de simulation	55
5.1.1	Modèles pour SET	55
5.1.2	Modèle pour CMOS	58
5.2	Modélisation par éléments finis	60
5.3	Méthodologie de mesure	63
5.3.1	Marge de bruit et excursion de sortie	63
5.3.2	Délai	64
5.3.3	Puissance	65
5.4	Hystérésis	67
5.5	Technique d'empilement	71
5.5.1	Empilement série	71
5.5.2	Empilement parallèle	76
5.5.3	Implémentation physique	78
5.6	Influence des charges parasites	80
5.6.1	Solutions connues	80
5.6.2	Effets des BCs sur un design à empilement série	81
5.7	Process Voltage Temperature (PVT)	85
5.8	Conclusion	88
6	MESURES ÉLECTRIQUES	89
6.1	Jonction parasite entre les électrolithographies 1 et 2	90
6.2	Nanofil	92
6.3	MIM	94
6.4	SET	98
6.4.1	Piège et asymétrie	98
6.4.2	Empilement série	99
6.4.3	Comparaison entre mesure électrique et simulation	99
7	CONCLUSION	107
	LISTE DES RÉFÉRENCES	109

LISTE DES FIGURES

1.1	Loi de Moore	2
1.2	Transfert de charge entre un ilot métallique et deux électrodes	4
1.3	Schéma physique, électrique et fonctionnement d'une double jonctions tunnels	5
1.4	Schéma physique, électrique et fonctionnement d'un SET	8
1.5	Diamants de Coulomb	10
1.6	Niveaux d'énergie pour les SET métalliques et silicium	11
2.1	Évaporation en angle de Dolan	17
2.2	Logique RTL	21
2.3	Inverseur en silicium en logique C-SET	22
2.4	Inverseur en aluminium en logique C-SET	22
2.5	Circuit XOR en logique DOMINO	24
2.6	Circuit demin-additionneur en logique <i>Pass-Transistor</i>	24
2.7	Logique SET reconfigurable	25
2.8	Quantificateur en logique multi-évaluée	26
3.1	Paramètres physiques d'un SET.	31
3.2	Schéma électrique et diamants de Coulomb d'un inverseur SET.	33
3.3	Partie n de l'inverseur SET	34
3.4	Partie p de l'inverseur SET	34
3.5	Caractéristique de transfert d'un inverseur C-SET	35
4.1	Principe de la photolithographie	40
4.2	Principe de l'électrolithographie	41
4.3	Procédé Nanodamascène	44
4.4	Photo-masque NKM V3	46
4.5	Évolution de la cellule inverseuse	47
4.6	Électrolithographie de niveau 1	47
4.7	Électrolithographie de niveau 2	48
4.8	Oxydation	49
4.9	Blanket	49
4.10	CMP	50
4.11	Évolution des marques d'alignement	50
4.12	Évolution de l'EBL1	51
4.13	Évolution de l'EBL2	52
5.1	MARSSEA	56
5.2	Évaluation du modèle "Verilog A"	57
5.3	DIBL	59
5.4	Procédure COMSOL	61
5.5	Résultats obtenus sous COMSOL	61
5.6	Influence de la grille sur le calcul des capacités sous COMSOL	62

5.7	Marge de bruit dans un inverseur CMOS	64
5.8	Fan-Out-of-One	65
5.9	Courant de court-circuit dans un CMOS	66
5.10	Technique de mesure de la puissance d'un inverseur	66
5.11	Mode Hystérésis et Non Hystérésis en logique C-SET	67
5.12	Tension d'alimentation optimale en logique C-SET	68
5.13	VTC et gain en mode NH et H	69
5.14	Inverseur avec empilement série	71
5.15	VTC d'un inverseur avec empilement série	72
5.16	Gain d'un inverseur simple et avec empilement en fonction de la hauteur de barrière ϕ_0	74
5.17	Schéma électrique d'un inverseur à empilement série avec $N=2$	75
5.18	Buffer SET	76
5.19	Circuit d'étude fréquentielle sur l'influence du buffer SET.	76
5.20	Slew rate et fréquence d'opération maximale d'un inverseur SET chargeant un CMOS	77
5.21	Fonctionnement d'un inverseur SET avec buffer et charge CMOS à une fréquence de 2.5 GHz.	78
5.22	CAD d'un inverseur avec double empilement série.	79
5.23	Design de l'EBL1 d'un inverseur avec empilement série.	79
5.24	Architecture <i>Fault Tolerant</i>	80
5.25	Marge de bruit du R-SET.	81
5.26	Effet des BCs sur un inverseur C-SET.	82
5.27	Effet des BCs sur un inverseur C-SET avec empilement.	82
5.28	Circuit de mesure des effets des BCs	83
5.29	Évaluation des effets des BCs par la marge de bruit	83
5.30	Évaluation des effets des BCs sur un SET MTJ	84
5.31	Paramètres du PVT	85
5.32	Délai et puissance suite au PVT	87
5.33	Marge de bruit et <i>voltage swing</i> suite au PVT	87
6.1	Jonctions parasites entre EBL1 et EBL2	90
6.2	Résultats électriques de nanofils avec de supposées jonctions parasites	91
6.3	Capacité et résistance simulées d'une jonction parasite	91
6.4	Résistivité du titane avec les modèles FS et MS.	92
6.5	Obtention de la hauteur de titane résiduelle à partir de la résistance mesurée électriquement sur G746H	93
6.6	Obtention de ϕ_0 et m^*	95
6.7	Influence de ϕ_0 , s et ϵ_r sur les courants thermoïonique et tunnel.	95
6.8	Caractérisation de ϕ_0 , m^* et ϵ_r	96
6.9	Caractérisation électrique $I_{DS}(V_{DS})$ d'une MIM faisant apparaître son ca- ractère asymétrique et hystérétique.	97
6.10	Influences de la symétrie et des pièges dans les jonctions tunnels sur les caractéristiques électriques d'un SET.	98
6.11	Influence de l'empilement série sur les caractéristiques électriques d'un SET.	99

6.12	Caractères physiques du SET simulé.	100
6.13	Comparaison de $I_{DS}(V_{DS})$ entre mesure électrique et simulation pour un flot simple.	101
6.14	Comparaison de $I_{DS}(V_{GS})$ entre mesure électrique et simulation pour un flot simple.	101
6.15	Comparaison entre mesure électrique et simulation de SET à empilement. .	102
6.16	comparaison entre la mesure électrique et la simulation d'un SET à empi- lement triple en tenant compte des effets de couplage inter-îlots.	103
6.17	VTC d'un inverseur à partir des données du SET simulé.	104
6.18	VTC d'un inverseur à partir des données du SET simulé.	105

LISTE DES TABLEAUX

5.1	Données physiques et électriques du modèle « Verilog A »	57
5.2	Modèle PTM 22nm	58
5.3	Capacité en mode non-hystérésis	70
5.4	Comparaison des caractéristiques électriques d'un inverseur C-SET pour deux modes d'opérations, NH et H	70
5.5	Comparaison inverseur C-SET avec empilement et CMOS	73
5.6	Process corner en tension et température	86
6.1	Données physiques du modèle de nanofil	93
6.2	ϕ_0 , hauteur de barrière mesurée	96
6.3	Données physiques, géométriques et capacités associés	100

LISTE DES ACRONYMES

Acronyme	Définition
AFM	<i>Atomic Force Microscopy</i> (Microscopie à force atomique)
AOE	<i>Advanced Oxide Etch</i> (Gravure d'oxyde par plasma)
BC	<i>Background Charges</i> (Charges parasites)
CB	<i>Coulomb Blockade</i> (Blocage de Coulomb)
BEOL	<i>Back-End-Of-Line</i> (Étape du processus de fabrication des plaques de CMOS)
CMP	<i>Chemical-Mecanical Polishing</i> (Polissage chimique-mécanique)
CMOS	<i>Complimentary MOS</i> (MOS complémentaire)
CRN2	Centre de recherche en nanofabrication et nanocaractérisation
CSL	<i>Charge State Logic</i> (Logique basée sur la présence de charge)
C-SET	<i>Complementary Single Electron Transistor</i> (Logique SET complémentaire)
DIBL	<i>Drain induced barrier lowering</i>
EBL	<i>Electron beam lithography</i> (Lithographie par faisceau d'électrons)
FF	<i>Fast Fast</i> (<i>Process Corner</i> relatif à des transistors supposés rapides)
FS	<i>Fast Slow</i> (<i>Process Corner</i> relatif à des transistors supposés rapide et lent)
FO	<i>Fan Out</i> (Capacité de commande d'une porte logique)
H	Hystérésis
ICP	<i>Inductively coupled plasma</i> (Plasma à couplage inductif)
INL	Institut des Nanotechnologies de Lyon
INV	Inverseur
ITRS	<i>(International Technology Roadmap for Semiconductors)</i> Plan de route des industriels de la micro-électronique
MARSSEA	<i>Approximation Resolution for Simulation of Single Electron Artefacts</i> Logiciel mis au point par A. Beaumont permettant la simulation du comportement de SET à l'aide de l'équation maîtresse (<i>Master equation</i>)
MG-SET	<i>Multi gate SET</i> (SET à multi-grilles)
MIM	Capacité Métal-Isolant-Métal
MOS	<i>Metal-Oxyde-Semiconducteur</i>
MOSFET	<i>Metal-Oxyde-Semiconductor Field-Effect Transistor</i> (Transistor MOS à effet de champ)
NH	Non-hystérésis
PADOX	<i>Pattern Dependant Oxydation</i> (Technique d'oxydation)
PTM	<i>Predictive Technology Model</i> (Modèle de simulation d'une technologie CMOS)
PVT	<i>Process Voltage Temperature</i> (Technique de plan d'expérience)
QCA	<i>Quantum Cellular Automata</i> (Automate cellulaire quantique)
RIE	<i>Reactive Ion Etching</i> (Gravure réactive ionique)
RTL	<i>Resistor Transistor Logic</i> (Logique basée sur la combinaison d'une résistance et d'un transistor)
R-SET	<i>Resistively charged SET</i> (SET résistivement chargé)

Acronyme	Définition
SEDIMOS	<i>Single Electron Device Integration on CMOS technology</i> Projet d'intégration de dispositifs mono-électroniques dans le BEOL du CMOS
SED	<i>Single-Electron Device</i> (Regroupement des dispositif mono-électronique)
SEM	<i>Scanning Electron Microscopy</i> (Microscope électronique à balayage)
SET	<i>Single-Electron Transistor</i> (Transistor mono-électronique)
SF	<i>Slow Fast</i> (<i>Process Corner</i> relatif à des transistors supposés lent et rapide)
SOI	<i>Silicon-On-Insulator</i> (Silicium sur isolant)
SR	<i>Slew Rate</i> (Vitesse de variation suite à un échelon de tension)
SS	<i>Slow Slow</i> (<i>Process Corner</i> relatif à des transistors supposés lents)
SubS	<i>Subthreshold Slope</i> (Pente sous le seuil)
TEM	<i>Transmission Electron Microscopy</i> (Microscopie électronique en transmission)
TT	<i>Typical Typical</i> (<i>Process Corner</i> relatif à des transistors typiques)
UdeS	Université de Sherbrooke
UV	Étape de photolithographie
VS	<i>Voltage Swing</i> (Excursion en tension)
VSL	<i>Voltage State Logic</i> (Logique en tension)
VTC	<i>Voltage Transfer Curve</i> (Courbe de tension de transfert)
WKB	<i>Wentzel-Kramers-Brillouin</i> (Modèle de calcul quantique)

CHAPITRE 1

INTRODUCTION

En 1948, « Bell Labs » annonçait la fabrication réussie du premier transistor à effet de champ. Depuis, des progrès scientifiques immenses ont été réalisés. Ils ont permis de démultiplier la puissance de ce dernier tout en diminuant son coût par un million. Néanmoins, à l'heure actuelle, la réduction de la taille des transistors soulève des difficultés techniques croissantes et se heurtera tôt ou tard aux limites de la physique.

Depuis les années 60, les industriels se sont consacrés entièrement à la poursuite de la miniaturisation des transistors afin de suivre la loi de Moore. Moore, un des fondateurs d'INTEL, avait en effet prévu que le nombre de transistors contenus dans un circuit intégré doublerait à peu près tous les deux ans. Néanmoins, conscients que la technologie CMOS atteindrait un jour ses limites physiques, de nombreuses équipes de recherche s'intéressent à « l'après CMOS » et essaient d'inventer une nouvelle électronique. Comme on peut le voir sur la figure 1.1, trois grandes voies de recherches ont ainsi vu le jour.

L'intérêt de la miniaturisation est triple. Dans un premier temps, en raccourcissant la taille de la grille, on augmente ainsi le nombre d'opérations réalisées par seconde tout en « réduisant » la consommation en énergie des transistors. Dans un second temps, la réduction de la taille des circuits permet la fabrication collective de milliers de puces sur chaque plaquette de silicium, abaissant ainsi leur coût unitaire. Finalement, la miniaturisation diminue l'encombrement des objets tout en multipliant leurs fonctions.

Cependant, au-delà des dimensions des circuits, c'est l'ensemble de la chaîne de fabrication (pureté des produits chimiques, lithographie, techniques de dépôt et de gravure des matériaux, planarisation des surfaces, environnement de fabrication et contrôle des poussières, métrologie, ...) qui devient une technique nanométrique. Le problème de la lithographie a ainsi été mis en avant comme étant un mur infranchissable (voir section "Grand Challenges" [ITRS, 2011a]). Sa limite sera probablement atteinte au noeud de 10 nm, limite physique de fonctionnement du MOS.

La technologie CMOS, vieille de 40 ans, qui permet les fonctions de calcul et de mémoire est un facteur clé qui suffit à expliquer le succès de la micro-électronique. Cependant, l'ajout de fonctions non digitales, phénomène récent, a aussi joué un rôle décisif dans la croissance de la micro-électronique. Elles sont connues sous le nom de technologies *more*

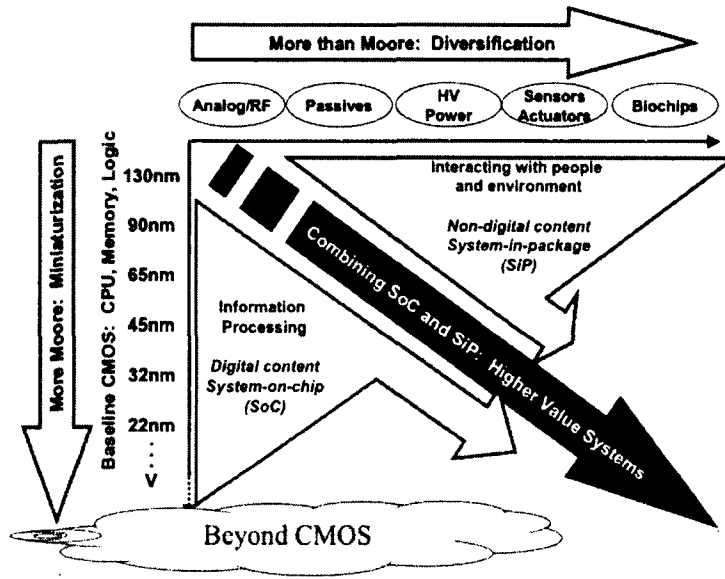


Figure 1.1 Évolution de la micro-électronique : l'axe vertical représente la poursuite de la loi de Moore (plus de transistors par puce) et l'axe horizontal représente l'intégration de dispositifs nouveaux. [ITRS, 2011a]

than Moore ou technologies dérivées. Un téléphone portable a ainsi un nombre significatif de fonctions non digitales comme la caméra, le système radiofréquence pour communiquer, le lecteur audio et vidéo. Tout en bénéficiant des progrès réalisés en micro-électronique, ces technologies sont issues de domaines différents de l'industrie de la micro-électronique (mécanique, fluide, acoustique, optique) et ne voient pas leurs performances directement corrélées aux problèmes de fabrication précédemment observés en technologie *more Moore*.

Malgré l'association du *more Moore* et du *more than Moore* qui offre à la micro-électronique de nombreuses opportunités de croissance, la technologie CMOS se heurtera tôt ou tard à une double limite :

- une limite physique, déjà abordée, envisagée autour de 2020 [ITRS, 2011a] : actuellement, dans un circuit intégré, en plus du problème de lithographie, des effets tunnels quantiques commencent à se manifester entre la grille du transistor et son canal [Frank *et al.*, 2001], créant alors une fuite de courant. Cette fuite constitue une fraction significative du courant du canal quand le dispositif est en position ouverte, *OFF*, ce qui réduit grandement la fiabilité des transistors ;
- une limite économique, qui pourrait intervenir plus rapidement que la limite physique : le coût de développement d'une technologie augmente de 30 % par noeud technologique. La loi de Rock, parallèle à celle de Moore, dit aussi que le coût des immobilisations

nécessaires à la fabrication des dispositifs semi-conducteurs double tous les quatre ans. Quelles industrielles du monde des semi-conducteurs seront alors capables de financer la recherche et développement pour les futures générations logiques ?

C'est pourquoi, l'ITRS, *International Technology Roadmap for Semiconductor*, consortium des différents grands joueurs oeuvrant dans le domaine des semi-conducteurs, prévoit dans ses plans l'arrivée de nouveaux types de dispositifs dont les capacités surpassent théoriquement celles du MOSFET [ITRS, 2009]. Afin de seconder cette technologie, des dispositifs seront intégrés dans cette dernière par le biais de « l'intégration hybride ». Ils pourront cependant la remplacer dans le cadre de fonctions spécifiques (mémoire, fonction logique par QCA, ...).

Un des grands candidats à cette nouvelle tournure du monde des semi-conducteurs se trouve être le transistor mono-électronique (*Single Electron Transistor*, SET), pierre angulaire de ce projet de recherche. Dans les systèmes mésoscopiques et à une température suffisamment basse, la discrétisation de la charge élémentaire e peut donner lieu à des effets électrostatiques particuliers. Cependant avec la possibilité de réaliser des dispositifs à l'échelle du nanomètre, il est envisageable de baser la conduction de ces derniers sur des effets de charge à électron unique.

Après une brève introduction au blocage de Coulomb et au SET, certains concepts de dispositifs pour des applications logiques seront présentés.

1.1 Théorie du SET

1.1.1 Énergie de charge d'un unique électron et blocage de Coulomb

La figure suivante représente l'agencement d'un îlot métallique, électriquement non chargé, incorporé dans un milieu diélectrique quelconque, et entourée par des électrodes métalliques électriquement connectées. Par transfert d'un électron unique sur l'îlot central, ce dernier est chargé négativement à $q = -e$ et des charges $q1$, $q2$ positives apparaissent sur les électrodes (voir 1.2 b). La charge globale du système se compense et devient nulle : $-e + q1 + q2 = 0$. De même, en transférant un électron de l'îlot électriquement déchargé aux électrodes, ce dernier est chargé positivement et des charges négatives sont induites sur les électrodes (voir 1.2 c). On peut deviner que cette agencement îlot-électrodes est similaire à un condensateur avec la capacité de charge, C_{Σ} . Pour les deux configurations de charge ($q = -e$; $q = e$), l'énergie électrostatique E_C vaut :

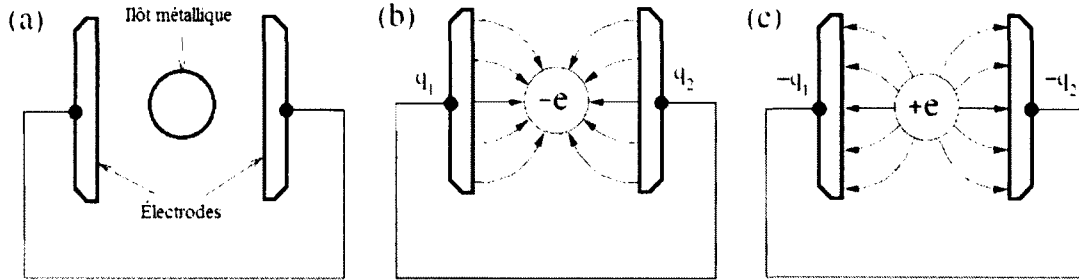


Figure 1.2 (a) Un îlot métallique est placé entre deux électrodes électriquement connectées. Transfert d'un électron (b) ou suppression de ce dernier (c) dans le condensateur formé par l'îlot et ses électrodes

$$E_C = e^2/(2C_\Sigma) \quad (1.1)$$

La quantité E_C est nommée comme l'énergie de charge d'un unique électron. Cette énergie est la barrière d'énergie électrostatique ressentie par l'électron unique se déplaçant sur ou à partir de l'îlot électriquement neutre.

Habituellement, cette énergie E_C n'est pas visible à cause de la taille de l'îlot ; quand C_Σ est grande. Toutefois, pour $C_\Sigma < aF$, cette énergie de charge devient mesurable car supérieure à l'énergie thermique $k_B T$. De cela, nous pouvons conclure que cette énergie de charge E_C est d'une importance évidente pour décrire les mouvements d'électrons uniques dans les systèmes de taille mésoscopique à atomique. A l'aide du dispositif précédent « îlot-électrodes » transféré en un schéma physique et électrique dans les figures 1.3 a et b, nous allons maintenant expliquer le principe de blocage de Coulomb (CB). En raison de certains principes de la mécanique quantique, les barrières entre les électrodes et l'îlot doivent être très mince pour permettre l'effet tunnel des électrons à travers ces couches isolantes ; et également suffisamment épaisse pour décrire les électrons uniques comme localisés soit sur l'îlot métallique ou bien sur les électrodes. Si l'îlot est isolé, la charge totale sur les électrodes métalliques est considérée comme étant quantifiée par la charge élémentaire e . En raison de l'énergie de charge E_C nécessaire pour charger ou décharger l'îlot, le transport électrique de charge est nul pour $V_{DS} = 0$. On parle alors de blocage de Coulomb.

Avec l'augmentation de la tension de polarisation $V_{DS} > 0$, la barrière d'énergie électrostatique pour l'ajout d'un électron à partir de la source est définie telle que

$$\Delta E_{S \rightarrow I} = E_C - e \frac{C_D}{C_\Sigma} V_{DS} \quad (1.2)$$

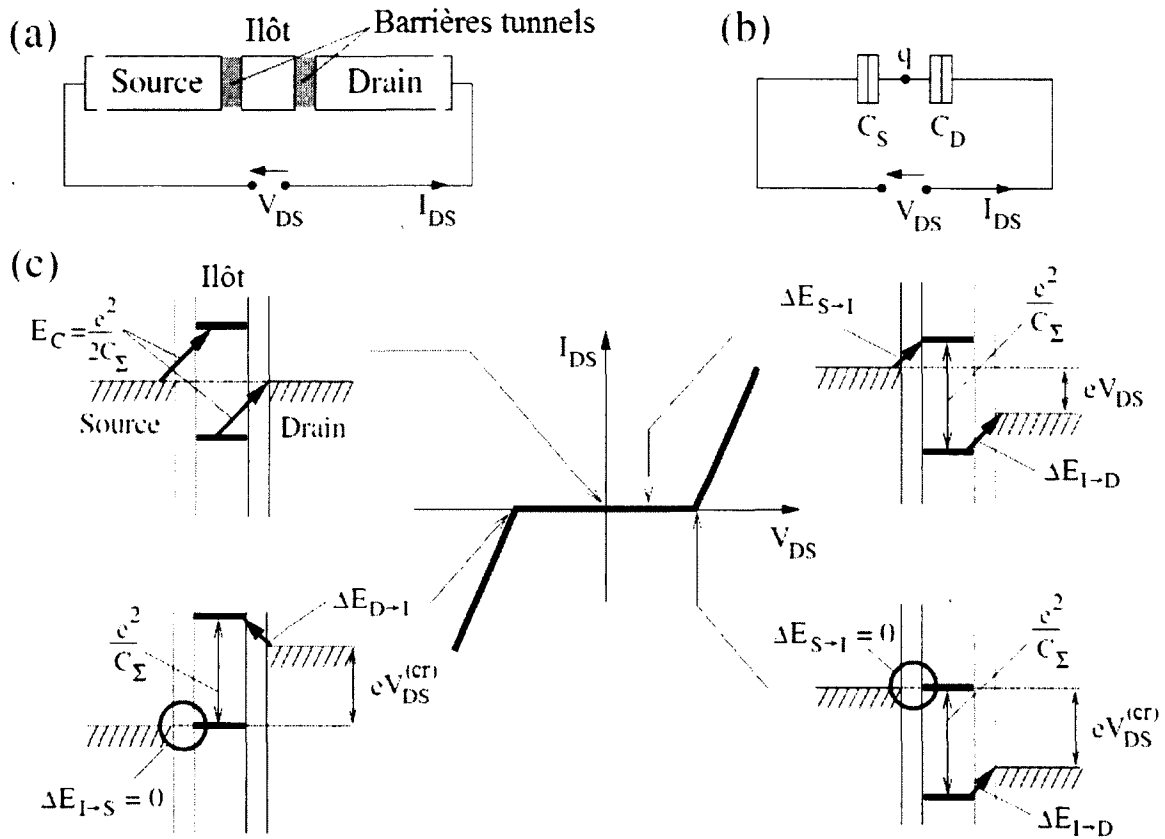


Figure 1.3 (a) Schéma physique du dispositif pour discuter de l'effet du blocage de Coulomb (b) Circuit électrique représentant les capacités respectives des barrières tunnels ($C_\Sigma = C_S + C_D$). (c) Courbe $I_{DS}(V_{DS})$ avec les caractéristiques des systèmes d'énergie du dispositif pour des valeurs distinctes de V_{DS} . Ces systèmes reflètent la position des niveaux de Fermi de l'îlot pour des états de charge $q = -e$, et $q = e$ comparativement au niveau de Fermi de la source et du drain.

et la barrière d'énergie électrostatique d'un électron quittant le drain

$$\Delta E_{I \rightarrow D} = E_C - e \frac{C_D}{C_\Sigma} V_{DS} - e V_{DS} \quad (1.3)$$

sont réduites en raison de la tension appliquée V_{DS} . Cela se produit de façon similaire pour $V_{DS} < 0$. Un courant drain-source, $|I_{DS}|$, apparaît donc pour :

$$|V_{DS}| \geq V_{DS}^{(cr)} = \min\left(\frac{e}{2C_S}; \frac{e}{2C_D}\right) \quad (1.4)$$

et ce dernier croît rapidement avec l'augmentation de $|V_{DS}|$. Si $E_C \gg k_B T$, pour un tel dispositif, la caractéristique courant-tension est une courbe non linéaire ayant des valeurs de seuil, V_{DS}^{cr} , symétrique autour $V_{DS} = 0$.

1.1.2 Concept de transistor mono-électronique

Au lieu de surmonter le CB en augmentant V_{DS} , une électrode de grille, G, avec une tension variable, V_{GS} , peut être ajouté au dispositif précédent de la figure 1.3 a. Avec l'augmentation de cette tension de grille V_{GS} , le potentiel électrostatique de l'îlot est décalé. En augmentant $V_{GS} > 0$, une charge négative est accumulée sur l'îlot d'une manière non continue, mais plutôt par escaliers comme montré dans la Fig. 3c. Un premier d'électron passe sur l'îlot à $V_{GS} = V_{GS}^{(cr)}$ quand l'énergie électrostatique pour un électron sur l'îlot est abaissée afin de compenser E_C , à savoir :

$$\Delta E_{S \rightarrow I} = E_C - e \frac{C_G}{C_\Sigma} V_{GS} \neq 0 \quad (1.5)$$

menant à une tension de seuil de la grille :

$$V_{GS}^{(cr)} = \frac{E_C}{e \frac{C_G}{C_\Sigma}} = \frac{e}{2C_G} \quad (1.6)$$

A cette valeur de tension de grille, l'état de charge de l'îlot fluctue de e . En appliquant une petite tension drain-source, V_{DS} , un courant est mesuré entre la source et le drain. Il est le reflet du passage d'un électron unique l'un après l'autre sur l'îlot. L'énergie électrostatique stockée dans une telle configuration de charge ($q = -\Delta N e$), à V_{DS} et V_{GS} fixés, est donnée par :

$$E_{clst}(\Delta N; V_{GS}; V_{DS}) = -\Delta N e \left(\frac{C_G}{C_\Sigma} V_{GS} + \frac{C_D}{C_\Sigma} V_{DS} \right) + \frac{(\Delta N e)^2}{2C_\Sigma} \quad (1.7)$$

Le premier terme décrit l'énergie potentielle de ΔN électrons au potentiel électrostatique de l'îlot donné par un diviseur capacitif de tension. Le second terme prend en compte le travail qui doit être fait pour séparer la charge $q = -\Delta N e$ des autres charges dispersées sur les électrodes de la source S, du drain D et de la grille G.

Si l'îlot central est chargé par ΔN électrons, le prochain électron $\Delta N + 1$ a passé de la source à l'îlot sent, pour V_{GS} et V_{DS} fixe, une différence d'énergie électrostatique telle que :

$$\Delta E_{S \rightarrow I}(\Delta N + 1; V_{GS}; V_{DS}) = \Delta E_{clst}(\Delta N + 1; V_{GS}; V_{DS}) - \Delta E_{clst}(\Delta N; V_{GS}; V_{DS}) \quad (1.8)$$

$$\Delta E_{S \rightarrow I}(\Delta N + 1; V_{GS}; V_{DS}) = \left(\Delta N + \frac{1}{2} \right) \frac{e^2}{C_\Sigma} - e \frac{C_G}{C_\Sigma} V_{GS} - e \frac{C_D}{C_\Sigma} V_{DS} \quad (1.9)$$

De façon similaire, avec ΔN électrons sur l'îlot, la différence d'énergie électrostatique ressentie par l'électron ΔN se déplaçant de l'îlot vers le drain est donné par :

$$\Delta E_{I \rightarrow D}(\Delta N; V_{GS}; V_{DS}) = \Delta E_{clst}(\Delta N - 1; V_{GS}; V_{DS}) - e V_{DS} - \Delta E_{clst}(\Delta N; V_{GS}; V_{DS}) \quad (1.10)$$

$$\Delta E_{I \rightarrow D}(\Delta N; V_{GS}; V_{DS}) = \left(\Delta N - \frac{1}{2} \right) \frac{e^2}{C_\Sigma} + e \frac{C_G}{C_\Sigma} V_{GS} - e \left(1 - \frac{C_D}{C_\Sigma} \right) V_{DS} \quad (1.11)$$

La différence des énergies $E_{clst}(\Delta n; V_{GS}; V_{DS}) - E_{clst}(\Delta n - 1; V_{GS}; V_{DS})$ avec $n \in (\dots, N - 1, N, N + 1, \dots)$ définit une échelle d'énergie espacée par un niveau fixe valant $2E_C = \frac{e^2}{C_\Sigma}$. Cette échelle se déplace linéairement avec V_{DS} et V_{GS} . Pour des tensions V_{DS} et V_{GS} données, le niveau Δn reflète la position énergétique du niveau de Fermi sur l'îlot comparativement aux autres niveaux de Fermi de la source et du drain lorsque l'îlot est chargé à $q = -\Delta n e$. A l'équilibre thermodynamique, $\Delta n = \Delta N_G$ électrons additionnels sont bloqués sur l'îlot seulement et seulement si :

pour $V_{DS} \geq 0$

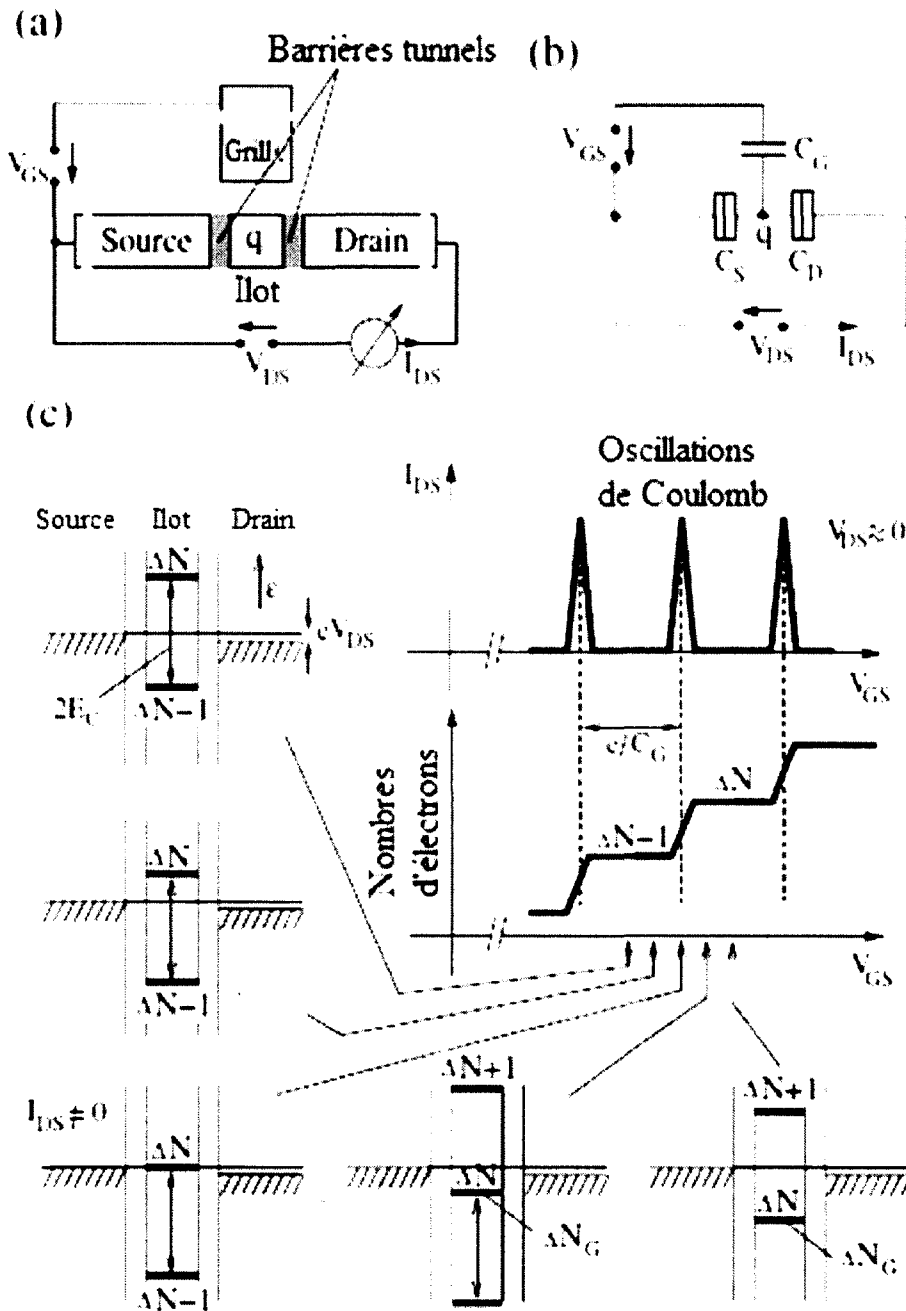


Figure 1.4 ((a) Schéma physique d'un SET. (b) Circuit électrique d'un SET ($C_{\Sigma} = C_S + C_D + C_G$). (c) Lorsque la tension de grille, V_{GS} , augmente; les électrons sont accumulés sur l'îlot. Chaque fois que l'état de charge est énergétiquement avantageux, le courant I_{DS} fluctue d'une charge e pour une faible tension V_{DS} appliquée. Ceci conduit à une modulation périodique de la courbe $I_{DS}(V_{GS})$, les oscillations du blocage de Coulomb. Des schémas énergétiques respectifs sont donnés pour différentes valeurs distinctes de V_{GS} .

$$\Delta E_{S \rightarrow I}(\Delta N_G + 1; V_{GS}; V_{DS}) > 0 \text{ et } \Delta E_{I \rightarrow D}(\Delta N_G; V_{GS}; V_{DS}) > 0 \quad (1.12)$$

pour $V_{DS} \leq 0$

$$\Delta E_{I \rightarrow S}(\Delta N_G; V_{GS}; V_{DS}) > 0 \text{ et } \Delta E_{D \rightarrow I}(\Delta N_G + 1; V_{GS}; V_{DS}) > 0 \quad (1.13)$$

Lorsque $\Delta E_{S \rightarrow I} = 0$ où $\Delta E_{I \rightarrow D} = 0$, l'état de charge de l'îlot central peut évoluer et fluctuer d'un seul électron e . En appliquant un faible V_{DS} un courant peut être mesuré entre les électrodes de source et de drain. De plus, un changement de la tension de grille, V_{GS} , permet de moduler ce courant avec une période

$$V_{GS} = \frac{e}{C_G} \quad (1.14)$$

telle que présenté en figure 1.4 c. Cette caractéristique porte le nom d'oscillations de Coulomb. Les équations 1.12 et 1.13 permettent de définir des régions spécifiques au transport des électrons au sein du SET en fonction de V_{DS} et V_{GS} . Ces dernières sont présentées dans la figure 1.5. A basse température, les zones de CB, en blanc, remplissent les conditions des équations 1.12 et 1.13. Le nombre d'électron y est fixe. Les fluctuations d'un seul électron ne sont possible que dans les régions adjacentes. Ce sont des régions de transport monoélectronique, les électrons passent l'îlot les uns après les autres. Pour $V_{DS} \approx 0$ et le long de l'axe V_{GS} , nous obtenons les oscillations du CB. Lors de l'accroissement de $|V_{DS}|$, de plus de plus de configurations de charge deviennent énergétiquement favorable. On obtient alors des zones de passage de multi-électrons. Pour un transistor SET métallique, les caractéristiques de transport des électrons sont périodiques en fonction de V_{GS} . Avec $\Delta V_{GS} = \frac{e}{C_G}$, nous nous retrouvons avec le même schéma que les barrières d'énergie des source et drain afin de charger l'îlot.

Les limites entre ces zones de CB et de passage monoélectronique ont alors pour pentes

$$\left. \frac{dV_{GS}}{dV_{DS}} \right|_{\Delta E_{S \rightarrow I}=0} = -\frac{C_D}{C_G} \text{ et } \left. \frac{dV_{GS}}{dV_{DS}} \right|_{\Delta E_{I \rightarrow D}=0} = -\frac{C_\Sigma - C_D}{C_G} \quad (1.15)$$

Dans le paragraphe précédent, nous avons mentionné les caractéristiques périodiques d'un SET métallique. Pour les autres familles telle que les SETs à point quantique, ces caractéristiques disparaissent. En effet, dans un semi-conducteur comme le silicium, lorsque les dimensions sont inférieures à la longueur d'onde de Fermi d'un électron, il y a apparition

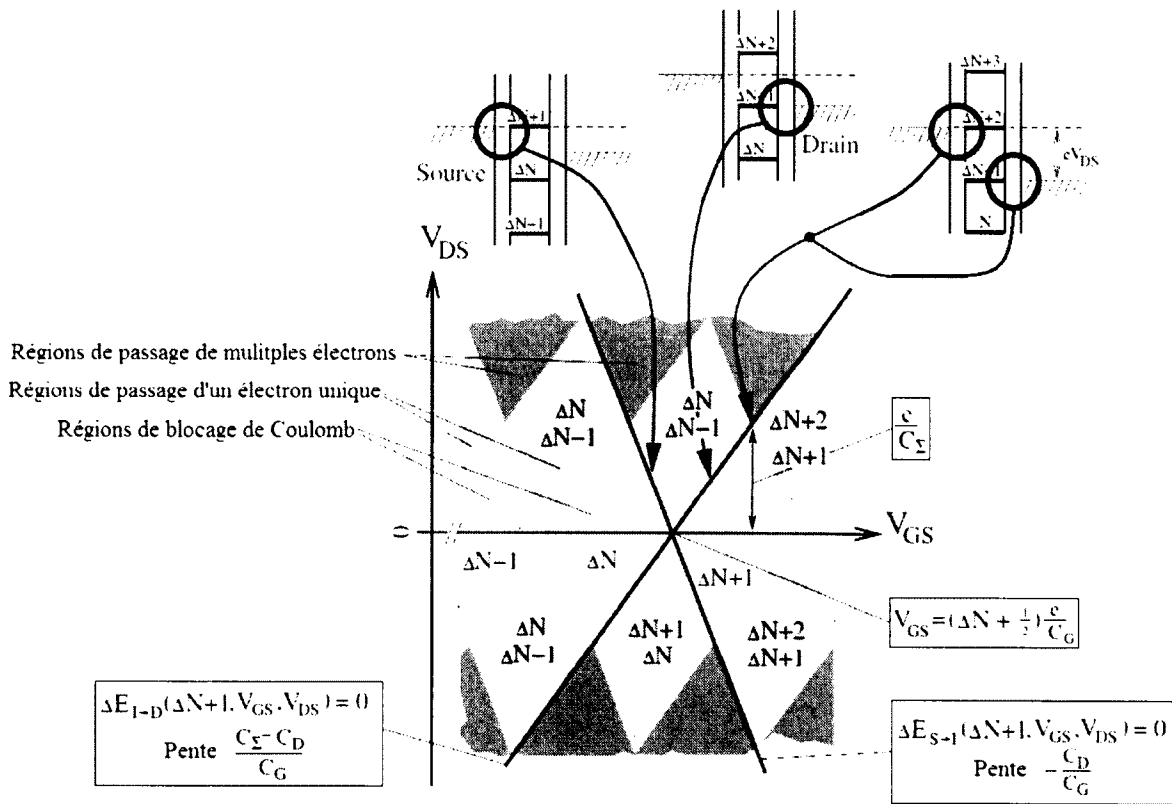


Figure 1.5 Régions de transport des électrons dans un SET. Schéma plus connu sous le nom de "Diamants de Coulomb".

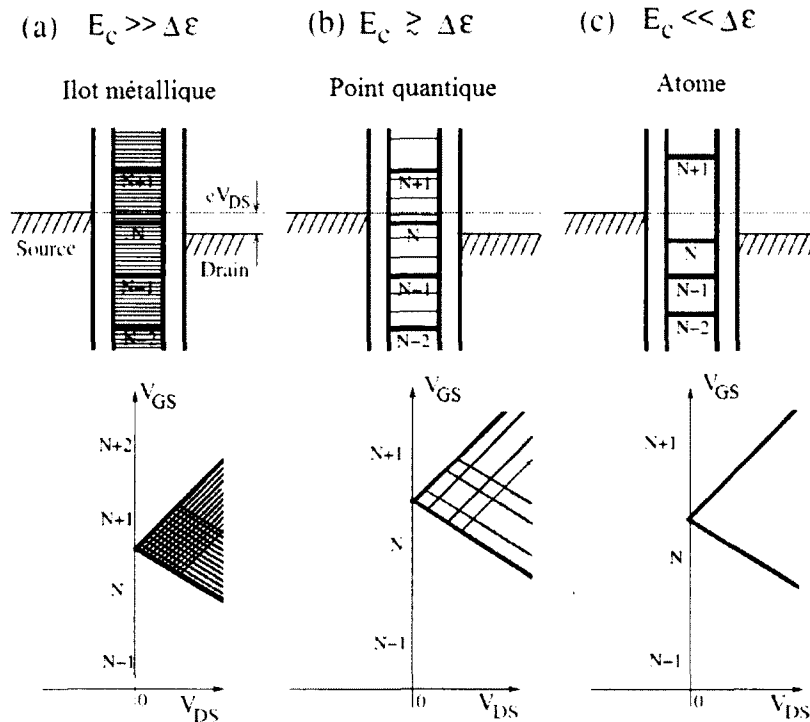


Figure 1.6 Lorsque le ratio $\frac{\Delta\epsilon}{E_C}$ augmente, le schéma des niveaux d'énergie montre moins de transition. $\Delta\epsilon$ est l'espacement énergétique de ces niveaux.

d'un confinement spatial et de niveaux discrets d'énergie. Ceci explique ainsi que la quantification des états dans l'îlot d'un SET semi-conducteur (point quantique) ne peut être ignorée, figure 1.6 b. Dans un SET métallique, cette quantification est négligée puisque l'espacement en énergie, $\Delta\epsilon$, entre ses états sont petits comparativement à l'énergie de charge E_C . Pour un îlot semi-conducteur, cette quantification des états d'énergie devient non négligeable et l'énergie nécessaire à l'addition, E_A d'un électron sur l'îlot se transforme en : $E_A = E_C + \Delta E$.

Le principal désavantage de cette quantification et la difficulté accrue de l'utilisation de ces dispositifs en logique. En effet, comme représenté à la figure 1.6 b, la taille des diamants de Coulomb non uniforme engendre une conductance non périodique et instable (résonance). Elle rend alors le fonctionnement des dispositifs imprécis.

1.2 Définition du projet de recherche

Manipuler, un, ou tout au plus, quelques électrons afin de réaliser des opérations logiques, peut être fait à l'aide de SETs. Cependant, les circuits logiques SET peuvent être divisés suivant deux grandes approches. La première consiste à utiliser le SET tel que le transistor MOSFET actuel. Dans une telle approche, les niveaux hauts et bas définissant les '1' et '0' logiques (bit) sont représentées sous forme de tension. On nomme ainsi cette logique *Voltage State Logic* (VSL). La seconde alternative est d'utiliser un seul électron, ou quelques électrons, pour définir un bit. Ainsi, la présence d'un électron à un point donné dans le circuit logique représente un '1', tandis que son absence représente un '0'. Cette approche a été désignée comme *Charge State Logic* (CSL).

Bien qu'un grand nombre de travaux théoriques existe sur la mise en oeuvre de circuits logiques SET, peu d'implémentations expérimentales de ces derniers ont été réalisées. Cette lacune peut être principalement due à la difficulté de fabriquer de multiples SETs ayant des caractéristiques électriques similaires. En outre, les circuits peuvent exiger des SETs avec un haut niveau de performance. Par exemple, l'approche VSL nécessite des dispositifs exhibant un gain en tension. Et pour les deux techniques, la difficulté de réaliser des circuits fonctionnant au minimum à température ambiante reste actuellement un frein à leur démocratisation.

Une théorie bien développée, mais un manque de réalisations physiques, laisse à la logique SET une grande marge de manoeuvre. Bien que l'aspect démonstrateur de la logique SET ait déjà été pensé puis physiquement implémenté, le but de ce projet est de réaliser un inverseur SET développant principalement les deux caractéristiques critiques mentionnées dans le paragraphe précédent. Sous un travail à température ambiante, voir supérieur, l'inverseur devra développer un gain en tension supérieure à l'unité.

Afin de rendre possible les conditions proposées précédemment, il est possible de proposer un projet de recherche en trois points majeurs.

1.2.1 Procédé Nanodamascène

Comme on le verra plus tard dans l'état de l'art, les premiers SETs métalliques travaillant à température ambiante ont été réalisés à l'UdeS par un procédé de fabrication dit "nanodamascène". Proposée par Dubuc et al. en 2007, dans cette méthode les dimensions latérales des jonctions tunnel sont définies par électrolithographie (*electron beam lithography*, EBL); tandis que la troisième dimension des jonctions, représentant la profondeur est

contrôlée par polissage mécano-chimique (*chemical mecanic polishing*, CMP). Avec l'usage de cette technique et à conditions lithographiques égales, on obtient ainsi une capacité plus faible et donc une température théorique d'opération plus élevée.

La technique nanodamascène reprend les bases de la technique d'évaporation à angle qui offre une grande maîtrise de la qualité des dispositifs réalisés. Et bien que la faiblesse majeur de cette dernière est l'obtention de dispositifs avec une capacité totale importante, l'ajout d'un contrôle supplémentaire sur la hauteur a permis d'obtenir des dispositifs encore plus performants. Cependant, l'atout majeur du procédé nanodamascène est sa potentielle compatibilité avec une fabrication de SETs métalliques en back-end-of-line de transistors CMOS. Ainsi à la manière d'une architecture 3D, le premier étage serait à base de composants CMOS, et un empilement de multiples couches de dispositifs SETs y seraient ajouté au dessus. Avec un tel design, la faible consommation du SET devient un véritable avantage. En effet, la puissance dissipée par les dispositifs CMOS est un frein majeur à l'augmentation de la densité d'intégration, qu'elle soit planaire ou 3D. La faible dissipation d'énergie des SETs en fait donc un composant de choix pour la réalisation d'architectures 3D hautes densités. Il est d'ailleurs probable que la densité d'intégration des SETs se retrouve limitée, non par des effets thermiques, mais par le couplage électrostatique parasite entre les différents transistors mono-électroniques. Ils agiraient envers les uns et les autres de la même façon que des *backgrounds charges*.

1.2.2 Techniques de conception

La théorie donne au CMOS un gain en tension supposé infini. Cependant, on peut le définir tel que :

$$Gain_{CMOS} = -(g_{mN} + g_{mP})(r_{oN} || r_{oP}) \quad (1.16)$$

g_{mN} , g_{mP} , r_{oN} et r_{oP} représentent respectivement la transconductance des transistors nMOS et pMOS et leurs résistances de sortie. Dans les inverseurs CMOS, la longueur de canal est généralement aussi courte que possible afin de minimiser sa surface et de ce fait de maximiser l'intégration. Ce facteur influence directement la transconductance. De plus, de part la résistances de sortie des n et pMOS relativement faible, le gain en tension d'un inverseur CMOS varie typiquement entre -5 et -10.

Pour le SET en revanche le gain est nettement plus influencé par ses caractéristiques électriques. On peut le retrouver à l'équation 1.15. La capacité de grille C_G et la capacité

de jonction de drain C_D sont les seuls facteurs bridant ce gain en tension. Augmenter C_G afin de faire grimper ce gain a l'effet pervers de diminuer la température d'opération du SET.

Ne pas augmenter C_G , mais le nombre de composants dans la cellule inverseuse peut être une solution afin d'obtenir un gain en tension proche de la valeur de celle d'un CMOS. Nous allons donc développer une idée d'empilement série déjà utilisé en CMOS mais jusqu'à aujourd'hui jamais implémentée en technologie SET.

1.2.3 Caractérisation par mesures électriques

Une partie des designs simulés lors de la phase "Techniques de conception" seront physiquement implémentés via le procédé "nanodamascène". La caractérisation électrique sera alors la seule technique mise en oeuvre afin de vérifier le bon fonctionnement des designs et leurs correspondances à leurs simulations respectives.

1.3 Plan du document

Ce document se sépare en 6 chapitres. En voici le plan :

INTRODUCTION : En partant de la loi de Moore, nous introduirons la théorie des transistors mono électronique avant de finir par une présentation du projet de recherche.

CHAPITRE 2. ÉTAT DE L'ART : Nous verrons via une revue de la littérature les techniques de fabrication des transistors mono électroniques et leurs logiques en tension.

CHAPITRE 3. THÉORIE : Après un brève introduction à la théorie orthodoxe et aux perturbations de la technologie SET, nous nous intéresserons au concept d'inverseur C-SET.

CHAPITRE 4. RÉALISATION : Du cadre expérimental, nous expliquerons les étapes de fabrication relatives au procédé nanodamascène.

CHAPITRE 5. CONCEPTION : Plusieurs modèles de simulations et méthodologie de mesure ont été utilisés, nous en ferons ici analyse. De plus, le mode dit d'hystérésis, les techniques d'empilement ou encore des études de variabilité (charges parasites, PVT) seront développées dans ce chapitre.

CHAPITRE 6 MESURES ÉLECTRIQUES : Afin de compléter et d'appuyer les techniques de conception, nous présenteront des résultats de mesures électriques de jonction parasite entre les électrolithographies 1 et 2, de nanofil, de MIM et de SET.

CONCLUSION : Un retour sur les objectifs du projet de recherche et les résultats principaux y référant seront abordés. Nous argumenterons également sur des suggestions d'évolution.

CHAPITRE 2

ÉTAT DE L'ART

2.1 Techniques de fabrication

Historiquement, la recherche sur les dispositifs mono-électroniques a commencé avec les métaux puis le silicium avant de s'étendre à d'autres matériaux, tels que les nanotubes de carbone et certaines molécules.

Parmi les métaux, le matériau le plus principalement utilisé est l'aluminium (Al) car son oxyde est un bon diélectrique pour créer des jonctions tunnels. Ces jonctions sont généralement fabriquées en utilisant l'évaporation à angle de Dolan [Dolan, 1977]. Cette technique permet de faire des jonctions multiples, structures importantes pour la manipulation des électrons uniques, comme on le verra plus loin. Ici, la valeur des capacités des jonctions peut être contrôlée à moins de 10% en considérant les jonctions Al-AIOX avec une capacité proche de plusieurs centaines d'attofarads. Rendre plus petites ces jonctions représente un défi technologique important, et les mesures électriques sont généralement réalisées en dessous de 1 K.

Toutefois, il a été démontré que faire un SET métallique avec des capacités extrêmement faibles, ou l'îlot dispose d'une énergie de charge beaucoup plus grande que le kT ambiant, soit 26 meV, est possible [Beaumont *et al.*, 2009; Dubuc *et al.*, 2007]. Ces SETs ont été réalisés à l'aide d'une méthode dite « nanodamascène » [Dubuc *et al.*, 2008]. Elle permet un travail des jonctions dans les trois dimensions de l'espace. Ainsi, à conditions lithogra-

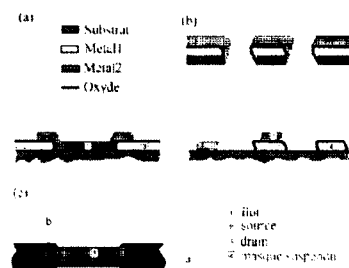


Figure 2.1 Aperçu du procédé par évaporation en angle de Dolan. (a) Vue selon la coupe a, (b) Vue du double dépôts à travers un masque suspendu (coupe b) et (c) vue de dessus et lignes de coupe a et b.

phiques égales, on obtient ainsi une capacité plus faible et donc une température théorique d'opération plus élevée. On donnera plus de détails sur cette technique « nanodamascène » dans les chapitres suivants.

Parmi les semi-conducteurs, le silicium (Si) est le matériau le plus utilisé dans la recherche destinée à des applications pratiques. Les SETs en Si sont généralement faits sur des substrats dit SOI pour silicium-sur-isolant. Dans un substrat SOI, une mince couche de Si, typiquement une dizaine de nanomètre, est formée sur une couche enterrée de SiO₂. Par lithographie, l'amincissement de la couche de Si afin de réduire sa taille se fait dans la dimension latérale et permet de produire des petites structures de Si. De ce fait, il est très commun d'obtenir des températures d'opération entre 1 et 100 K. Plusieurs groupes ont observé des oscillations de Coulomb à des températures plus élevées allant de 100 à 300 K [Kitade *et al.*, 2005; Lee *et al.*, 2010; Roche *et al.*, 2012; Saitoh *et al.*, 2004].

Le moyen le plus simple pour fabriquer des structures SET en Si est basé sur une oxydation dépendante d'un design préexistant. En anglais, elle se nomme *pattern dependant oxidation* pour PADOX [Ono *et al.*, 2000a]. Cette méthode ne nécessite pas de matériaux spéciaux pour les jonctions tunnel car elles sont réalisées directement à partir du silicium lui-même. En effet, dans la technologie PADOX, les jonctions sont faites en même temps que l'oxyde de grille. Avec cette technique, il a été montré que les capacités de grille et des jonctions sont contrôlables même lorsque leurs valeurs atteignent quelques attofarads. Ainsi, le cheval de bataille lors de la fabrication est maintenant de réussir à améliorer la reproductibilité. Cependant, cette technique PADOX pour des jonctions multiples reste encore immature. Pour une même fabrication, il existe une disparité sur les SEDs même lorsque leur capacité de jonction est grande. Jusqu'à aujourd'hui, seul quelques groupes ont réussi la fabrication contrôlée à base de Si de structures à multi-jonctions [Ohkura *et al.*, 2007; Single *et al.*, 1999].

Les nanotubes de carbone, avec des diamètres extrêmement faibles de l'ordre de quelques nanomètres, sont aussi des candidats attrayants pour atteindre des petites capacités et donc une température de fonctionnement élevée. De plus, leur longueur, typiquement 1 µm, diminue la difficulté de fixation de leur contact source / drain. Quelques SETs avec des nanotubes de carbone ont été reportés [Ishibashi *et al.*, 2003; Maeda *et al.*, 2008; Matsumoto *et al.*, 2003; Tsuya *et al.*, 2005a,b]. Cependant, pour des applications logiques, le diamètre des nanotubes, sa chiralité (structure électronique) et les emplacements des jonctions tunnel et du nanotube lui-même doivent être contrôlés précisément. Bien que ces questions aient déjà été en partie adressées [Ishibashi *et al.*, 2003; Matsumoto *et al.*, 2003], beaucoup d'autres améliorations s'imposent.

Il existe également des méthodes de fabrication utilisant des molécules. Avec de telles méthodes, les fonctions et les caractéristiques des dispositifs sont déterminées par synthèse chimique et également via des techniques lithographiques. Bien que les recherches relatives à l'effet de charge ou du BC dans une molécule aient commencé au milieu des années 1990, des dispositifs montrant une modulation de leur conductance à l'aide d'une grille ont récemment été obtenus [Maeda *et al.*, 2012]. Notre compréhension du transport dans une molécule s'est améliorée, mais beaucoup de questions liées à l'intégration de ces circuits, tels que la conception architecturale, la synthèse, l'interfaçage avec des circuits extérieurs demeurent.

2.2 Logique en technologie SET

Après une brève description des méthodes de fabrication de SET, il nous faut maintenant discuter des logiques potentiellement implémentables en technologie SET. On se rappelle qu'il existe deux logiques possibles, une logique VSL basée sur la tension et une autre dite CSL fondée sur la notion de charge. Cette logique CSL ne sera pas traitée ici en raison de l'utilisation préférentielle de la logique VSL, plus proche de la technologie actuelle. Le lecteur pourra cependant se tourner vers la référence suivante pour plus d'informations [Likharev, 1999].

L'approche dite VSL pour les SETs a été amenée pour la première fois en 1987 par Likharev [Likharev, 1987]. Il introduit le principe de contrôle de la conductance drain-source d'un SET à l'aide d'une tension appliquée à la grille de ce dernier. Tel que mentionné précédemment, les niveaux logiques '1' et '0' sont ici définis à l'aide d'un niveau de tension spécifique à l'un ou l'autre de ces bits logiques. Pour une logique unipolaire, on comprendra alors que le bit '0' sera représenté par la tension nulle à contrario du bit '1' représenté lui par la tension d'alimentation.

Le SET est un dispositif avec des caractéristiques électriques bien particulières. Il est en effet dominé par le blocage de Coulomb et le passage par effet tunnel d'un unique électron à travers son îlot. Le bit est alors représenté par la tension générée via l'accumulation de ces multiples électrons produit par plusieurs séquences d'effet tunnel. Ainsi, l'approche VSL est très similaire à la logique CMOS, basé sur le MOSFET classique.

Bien que les deux logiques SET et CMOS utilisent des niveaux de tension afin de définir les bits logiques, et des transistors de commutation pour déterminer ces niveaux, il y a bien des différences fondamentales dans les caractéristiques électriques de leurs dispositifs. La première est la nature oscillatoire de la caractéristique $I_{DS} - V_{GS}$ d'un SET, très différente

de celle d'un MOSFET où I_{DS} augmente de façon monotone avec V_{GS} . Pour le SET, les oscillations impliquent alors une augmentation ou diminution du courant I_{DS} sur une plage de tension V_{GS} connue et définie. Il montre donc les deux caractères de type n ou p, caractérisant un MOS, pour un seul et même dispositif. De part ce fait, il est ainsi possible de réaliser des SETs tantôt n, tantôt p, simplement en les polarisant en différents points de leur caractéristique $I_{DS} - V_{GS}$. Plus significativement, le SET développe rarement un gain en tension en mode inverseur supérieur à l'unité, contrairement au gain élevé d'un MOSFET. Pour rappel, il vaut en effet au maximum :

$$Gain = -\frac{C_G}{C_D} \quad (2.1)$$

Ceci restreint considérablement la capacité d'une porte logique SET pour commander d'autres dispositifs, connu sous le nom de *Fan-Out* (FO). La logique SET souffre également d'une restriction de son excursion en tension à sa sortie, autrement nommé *Voltage Swing* (VS). En outre, la haute sensibilité d'un SET contre des perturbations thermiques implique que cette plage de tension diminue rapidement avec la température. Aussi, depuis les derniers noeuds technologiques et la récente mise sur le marché de la technologie « Ivy Bridge » d'Intel gravé en 22nm, la taille des dispositifs SETs ne semble plus être un avantage majeur pour la densité d'intégration face au CMOS. Mais, tandis que les SETs en silicium sont principalement réalisés au même niveau que les transistors MOS, il existe une possibilité majeure d'intégration 3D des SETs métalliques au sein du BEOL de la technologie CMOS. Ceci est un avantage clair des SETs en métal pour la densité d'intégration sur CMOS [JOUVET *et al.*, 2012]. Aussi, l'utilisation de plus petites paquets d'électrons, possible avec une technologie SET, peut conduire à une dissipation de puissance considérablement réduite lors de la commutation logique.

Une grande variété de dispositif est réalisable en utilisant l'approche VSL. Elle regroupe en particulier les SETs résistivement chargés (R-SET), les SETs complémentaires (C-SET), les SETs programmable et d'autres types de logiques adaptées tous particulièrement aux caractéristiques électriques d'un SET.

2.2.1 Resistor Transistor Logic (RTL)

La plus simple logique SET est basé sur la retranscription de la logique RTL. Elle se compose d'un SET et d'une charge résistive. Nishiguchi *et al* ont fabriqué un inverseur sur la base de cette logique [Nishiguchi et Oda, 2001]. L'îlot est fait en aluminium par évaporation en utilisant une technique d'auto-alignement.

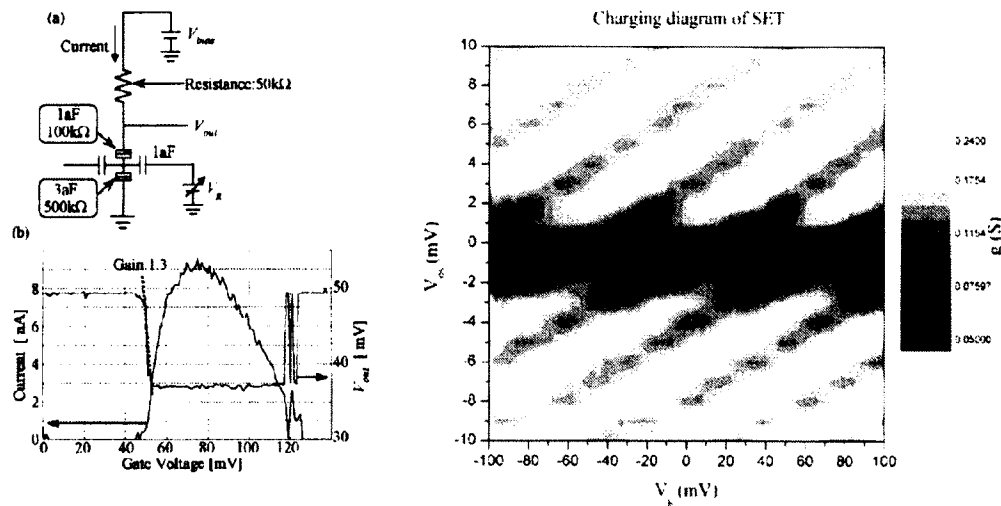


Figure 2.2 (Gauche) Circuit RTL et mesure des tensions et courants au sein de l'inverseur [Nishiguchi et Oda, 2001]; (Droite) Conductance représentée par un diagramme de diamants de Coulomb [Prager *et al.*, 2011]

Bien qu'un gain supérieur à l'unité a été atteint pour une température atteignant jusqu'à 5 K, le VS en sortie reste petit. Plus récemment, un inverseur également en Al présente quant à lui un gain inférieur à l'unité (0,6) à 1.1 K [Prager *et al.*, 2011]. Facile à implémenter, cette logique sert principalement à caractériser les dispositifs.

2.2.2 Complementary Transistor Logic (C-SET)

La logique SET complémentaire (C-SET) a été premièrement développée par Tucker [Tucker, 1992]. Cette logique est très semblable à la logique CMOS, puisque qu'on peut également la nommée *CMOS Like SET Logic*. Avec l'ajout d'une deuxième grille, il est possible de décaler les pics de courants des blocages de Coulomb et ainsi donner à notre SET un caractère de type n ou p.

A l'aide de ces C-SETs, de multiples inverseurs ont été indépendamment fabriqués. Certains basé sur du silicium [Ono *et al.*, 2000b], où de l'aluminium [Heij *et al.*, 2001] voir même avec des nanotubes de carbone [Ishibashi *et al.*, 2003; Tsuya *et al.*, 2005b] L'inverseur à base de Si a été fabriqué en utilisant le processus PADOX. Dans une région restreinte à 100 nm x 200 nm, cet inverseur montre un gain de tension d'environ deux, en plus d'une excursion complète de la tension de sortie à 27 K. L'inverseur à base d'Al atteint quant à lui un gain supérieur (2,6) mais à une température inférieure de 25 mK.

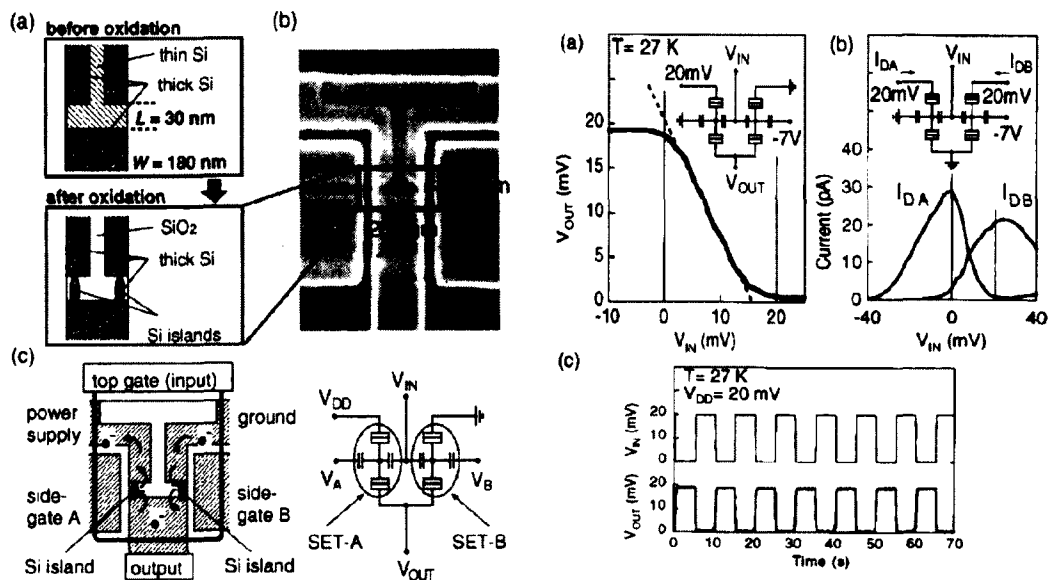


Figure 2.3 Structure de l'inverseur complémentaire en Si et données mesurées à 27K [Ono *et al.*, 2000b].

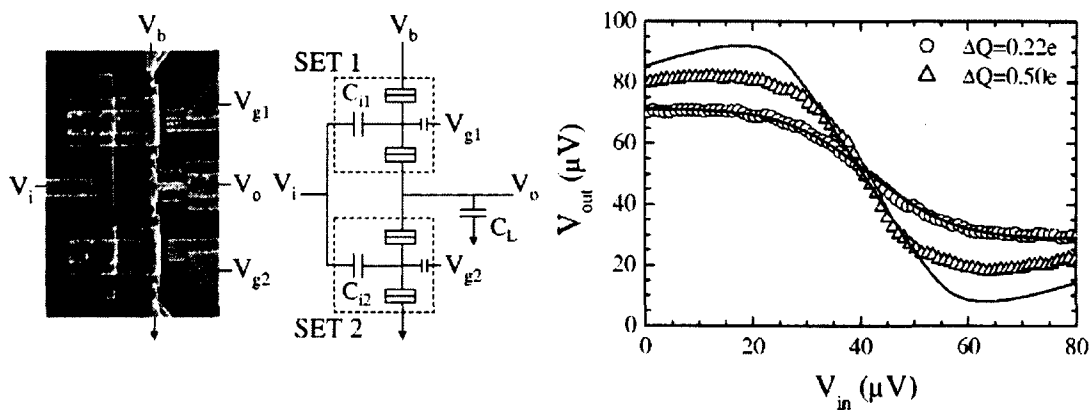


Figure 2.4 Structure de l'inverseur complémentaire en Al et tension de sortie mesurée aux alentours de 25 mK [Heij *et al.*, 2001].

Les inverseurs avec nanotubes de carbone se divisent en deux branches. Le dispositif en réf. [Tsuya *et al.*, 2005b] est réalisé à partir de nanotubes monofeuillets tandis qu'il repose sur un nanotube multifeuillet en réf. [Ishibashi *et al.*, 2003]. Il a été alors démontré que l'utilisation de nanotube monofeuillet améliore l'excursion de la tension de sortie de l'inverseur [Tsuya *et al.*, 2005b]. Cependant, les gains en tension restent inférieurs à l'unité pour les deux dispositifs et pour des températures d'opération variant entre 1.5 et 10 K.

Des dispositifs, autres que des inverseurs, ont également été réalisés. Par exemple, une porte NAND a été rapporté par Stone et Ahmed [Stone et Ahmed, 1999]. Sur un wafer SOI, quatre SETs à multi-jonctions composent cette porte. L'opération fondamentale a été atteinte à 1,6 K avec un gain en tension inférieur à l'unité. De plus, Tsuya *et al.* [Tsuya *et al.*, 2005a] ont démontré le fonctionnement d'une porte XOR à nanotubes de carbone sous une température atteignant 30 K.

L'avantage majeur de cette approche est de réutiliser les connaissances existantes et les outils de conception, à très faible effort et coût, tout en surmontant fondamentalement les restrictions physiques de la technologie CMOS. La logique C-SET semble donc être la première logique la plus rapide et la plus simple à implanter.

2.2.3 Logique Domino et *Pass-Transistor*

Afin de ne pas s'astreindre à l'obligation d'un gain supérieur à l'unité, une logique dite Domino a été proposé par Uchida *et al* [Uchida *et al.*, 1999]. Un circuit logique combinatoire est réalisé à l'aide d'un arbre logique composé de SETs utilisés comme transistors *pull-down*. Afin de rendre l'utilisation du blocage de Coulomb efficace, l'arbre fonctionne avec une petite tension d'alimentation. Le signal de sortie doit alors être amplifié avant son transfert aux différents circuits logiques qui peuvent lui succéder. Cette fonction d'amplification est ici réalisée à l'aide de MOSFET. Comme on peut le voir sur la Figure 2.5, le bloc de base pour cette logique est un commutateur directionnel de courant composé de deux SETs à une seule grille. Un tel dispositif a déjà été fabriqué sur substrats SOI et son fonctionnement a été confirmé à des températures avoisinant les 30 K [Fujiwara *et al.*, 1999; Ono *et al.*, 2000c]. Aussi, de la logique de base, comme une NAND, a été réalisée à l'aide de cette logique Domino à 10 K [Kim *et al.*, 2002].

La logique dite *Pass-transistor* est similaire à la logique Domino. Les SETs sont cependant à la fois utilisés comme *pull-up* et *pull-down*. Cette logique permet ainsi de réduire le nombre de transistors utilisés en éliminant les chemins redondants. Bien que cette logique réduise le nombre de dispositifs actifs, elle présente l'inconvénient majeur que ses niveaux

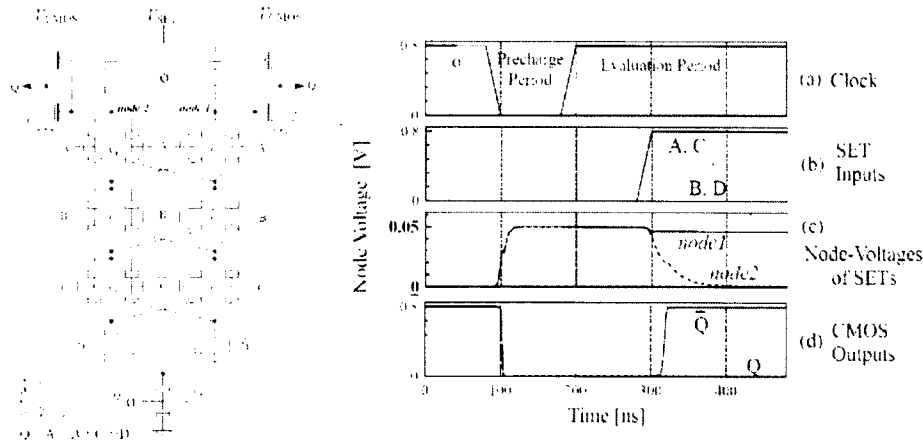


Figure 2.5 Circuit XOR en logique DOMINO [Uchida *et al.*, 1999].

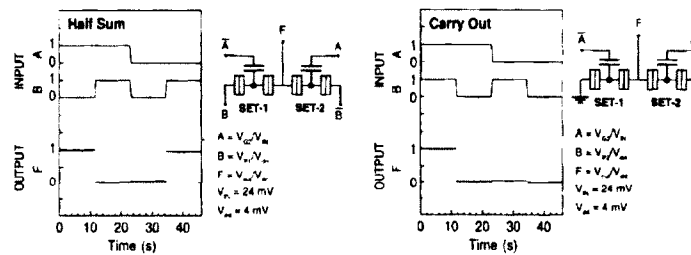


Figure 2.6 Schéma et données expérimentales du demi additionneur en logique dite pass-transistor [Ono *et al.*, 2000b].

de sortie ne peuvent être supérieurs aux niveaux d'entrée. Tout comme pour la logique Domino, le signal doit alors être amplifié entre chaque étage du circuit. Cette logique a permis la première opération arithmétique à base de circuits SET. Les deux parties composant un demi-additionneur, somme et retenu, ont été démontrée à 25 K [Ono *et al.*, 2000b].

Bien que le SET simple grille est utilisable en logique domino et *Pass-Transistor*, les SETs multi-grilles (MG-SET) sont également acceptables. Il convient de mentionner que les MG-SETs font référence à des SETs avec plus de deux grilles. Comme dans un MG-SET, la capacité de grille totale est partagée dans les grilles le composant, l'obtention d'un fort gain est plus difficile que dans une configuration à grille unique ou complémentaire. Par conséquent, la logique Domino où *Pass-Transistor* est cruciale pour les circuits à MG-SETs. Il a été montré que la combinaison de MG-SETs à la logique *Pass Transistor* nous permet de construire des additionneurs complets, voir multi-bits, très compacts [Ono et Takahashi, 2001]. À date, aucun circuit n'a cependant encore été réalisé.

2.2.4 Logique SET reconfigurable

Il y a eu quelques tentatives pour construire des circuits aux fonctions reconfigurables en combinant SETs et points quantiques. Les points quantiques sont alors utilisés comme des alternatives à la grille de polarisation (C-SET) pour commander la position des pics de courants de la courbe $I_{DS} - V_{GS}$. Un inverseur a été réalisé à l'aide d'un circuit composé de deux SETs [Takahashi *et al.*, 1999] et d'un circuit hybride SET / MOSFET [Uchida *et al.*, 2003].

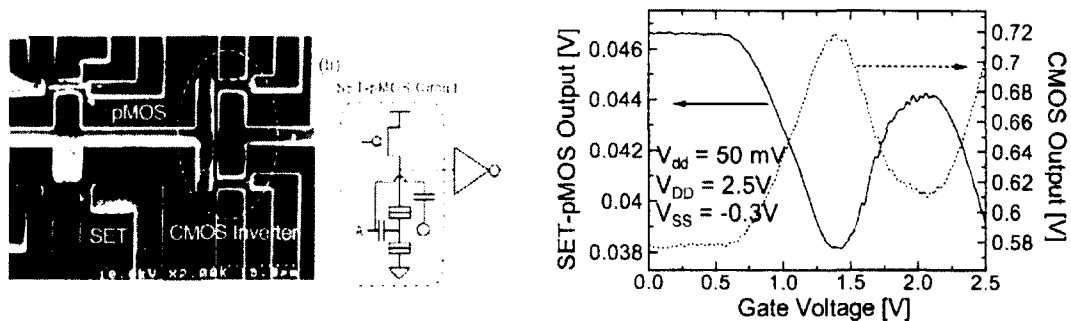


Figure 2.7 Image SEM, schéma électrique et données expérimentales d'un circuit SET reconfigurable-CMOS mesurées à 300K [Uchida *et al.*, 2003].

Bien que cette méthode semble très prometteuse, il est difficile de disposer des nanocristaux (points quantiques) à un endroit bien désiré. Le dépôt aléatoire de ces derniers rend alors difficile la fabrication de SETs avec les mêmes paramètres.

2.2.5 Logique à valeurs multiples et logique majoritaire

La logique à valeurs multiples [Hurst, 1984] a certains avantages sur la logique binaire en raison du nombre inférieur de SETs par fonction, d'une vitesse souvent supérieur, et d'une complexité d'interconnexion également facilitée. Cependant, son succès a longtemps été limité en raison de l'inadaptation des dispositifs MOSFET à cette dernière car il faut des transistors avec des tensions de seuil variables. Cependant, les SETs, avec un comportement oscillatoire de $I_{DS}(V_{GS})$, peuvent être utilisés. Plusieurs méthodes ont été proposées afin de réaliser des circuits logiques à valeurs multiples [Inokawa *et al.*, 2001; Takahashi *et al.*, 2000a]. En utilisant cette configuration, il est possible de créer une valeur considérable de niveaux logiques multiples en utilisant un seul SET. Inokawa *et al* [Inokawa *et al.*, 2003] ont ainsi fabriqué une porte littérale et un quantificateur; et ont démontré leurs opérations à 27 K. Il convient également de noter que le faible gain du SET peut être remarquablement amplifié dans cette configuration [Inokawa *et al.*, 2003].

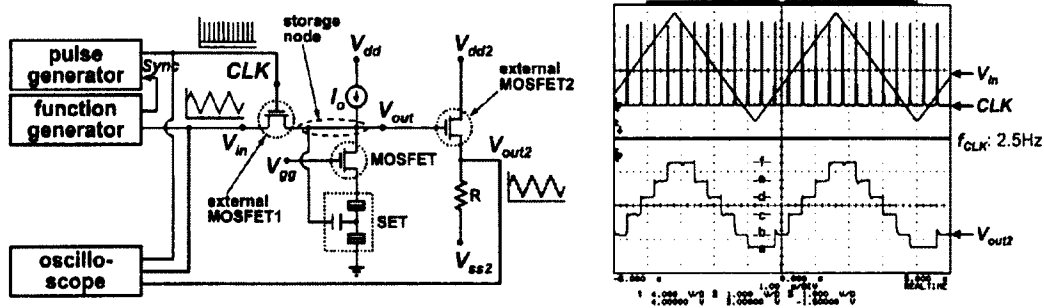


Figure 2.8 Setup et données de mesure d'un quantificateur fait par la méthode PADOX [Inokawa *et al.*, 2003].

Une autre façon de réaliser la logique multiple est d'utiliser une porte XOR SET. Une porte en T, T-gate, et *modsum* ont été proposés sur la base de cette configuration [Takahashi *et al.*, 2000a]. A l'aide de ces circuits, la logique majoritaire peut également être construite [Takahashi *et al.*, 2000b]. Bien que la porte XOR démontrée expérimentalement n'avait que deux entrées, il est théoriquement possible d'avoir un plus grand nombre de grilles en respectant les limites de la lithographie actuelle. Cependant, il n'y a pas aujourd'hui de rapport de fabrication de circuits fonctionnels à température ambiante basés sur la logique à valeurs multiples ou logique majoritaire en utilisant un SET multi-grille.

2.3 Conclusion

Gain et température d'opération ambiante sont les deux critères à respecter pour notre inverseur SET. Seul les logiques R-SET, C-SET et SET-reconfigurable ont montré la possibilité d'un gain en tension supérieur à l'unité. La logique C-SET est cependant la technologie la plus facile à implémenter physiquement avec le procédé développé à l'université de Sherbrooke (UdeS) [Dubuc *et al.*, 2008].

Pour le choix du type de matériaux, un SET métallique présente les avantages d'une mobilité accrue, d'une possibilité majeure d'intégration 3D sur CMOS ainsi que d'une simplification de sa théorie face à son homologue en silicium par la théorie orthodoxe [Likharev, 1999]. De plus, des SETs métalliques avec le procédé "nanodamascène" de l'UdeS ont démontré un fonctionnement à température ambiante [Beaumont *et al.*, 2009; Dubuc *et al.*, 2007].

La sélection d'un inverseur SET-SET métallique reposant sur une logique C-SET semble être le choix le plus pragmatique dans le cadre de ce projet de recherche.

CHAPITRE 3

THÉORIE DE L'INVERSEUR SET

Dans ce chapitre, nous allons présenter l'analyse du circuit inverseur pour répondre à la fois aux caractéristiques unipolaires et bipolaires d'une logique programmée. On examinera ainsi quelle est la meilleur méthodologie de conception à utiliser.

3.1 Théorie orthodoxe et perturbations de la technologie SET

Afin de simplifier la théorie du SET, nous allons introduire la théorie orthodoxe. Les perturbations à prendre en compte pour une utilisation fiable de la logique SET vont également être expliquées. Est-ce que les fluctuations quantiques sont plus dérangeantes que les fluctuations thermiques? Nous allons répondre à ce genre de questions dans le cadre de cette section.

3.1.1 Principe de la théorie orthodoxe

La théorie orthodoxe de I.O Kulik et R.I Shekhter [Kulik et Shekhter, 1975], pionniers de l'électronique à un électron, adaptée aux SETs par Likharev et Averin [Averin, 1986], est une simplification du blocage de Coulomb. Elle permet de ramener ce phénomène à un problème probabiliste (le franchissement par un électron de la barrière tunnel étant un événement aléatoire). On définit ainsi un taux de transition (ou probabilité par unité de temps qu'un électron franchisse la barrière) qui ne dépend plus que de la variation d'énergie libre de Helmholtz du système résultante de l'événement tunnel.

Les hypothèses avancées par cette théorie orthodoxe sont les suivantes :

- L'énergie quantique de confinement, E_k , est considérée négligeable devant l'énergie de charge, E_C . Les dimensions de l'îlot central du SET imposent que le spectre en énergie des électrons soit continu.
- La constante de temps Δt de l'événement tunnel à travers la barrière est négligeable devant les autres constantes de temps et notamment l'intervalle entre deux événements

tunnel voisins. Cette hypothèse est validée dans le cas où les jonctions des systèmes utilisés sont telles que Δt égale à 10^{-15} s.

- Le processus de transition quantique cohérent est ignoré. Cette hypothèse est remplie si les résistances tunnel de toutes les jonctions tunnels sont grandes devant le quantum de résistance h/e^2 .

Cependant, certains phénomènes ne sont pas pris en compte avec cette théorie. Pour que les phénomènes de blocage puissent avoir lieu, il est nécessaire que la particule « électron » soit localisée sur l'îlot. Ceci implique diverses contraintes sur la structure du transistor. On peut aussi comprendre que tout apport extérieur d'énergie, d'origine thermique ou électromagnétique, s'il est supérieur à la barrière d'énergie de Coulomb, entraîne des transferts de charge non désirés.

3.1.2 Perturbations sur la logique SET

Fluctuations quantiques

Une des contraintes sur la structure du transistor SET s'écrit à partir de la relation d'incertitude d'Heisenberg. Cette notion d'incertitude sur l'énergie s'écrit :

$$\Delta E. \Delta t \geq h \quad (3.1)$$

Le temps de chargement de l'îlot du SET, temps caractéristique pour les fluctuations de charge, est $\Delta t \approx R_T C_\Sigma$. R_T est la résistance de la jonction tunnel calculée à partir du facteur de transmission de la barrière tunnel. L'énergie ΔE est l'énergie de chargement électrostatique dans la théorie des SETs, $\Delta E = e^2/C_\Sigma = E_C$. En reprenant la relation d'incertitude, on peut écrire :

$$R_T \geq \frac{h}{e^2} \approx R_K = 25,8k\Omega \quad (3.2)$$

Cette résistance R_K est nommée quantum de résistance. Cette condition est déterminante, et est à la base du fonctionnement des systèmes mono-électroniques. Elle conditionne de même la fabrication des jonctions tunnels.

Fluctuations thermiques

L'énergie thermique du système, principalement due au bruit Johnson, peut elle aussi transmettre une énergie suffisante afin de permettre aux électrons de franchir les jonctions

3.1. THÉORIE ORTHODOXE ET PERTURBATIONS DE LA TECHNOLOGIE SETS

tunnels et ainsi rendre inefficace l'effet du blocage de Coulomb. Il faut alors que l'énergie de charge soit supérieure à cette énergie thermique. Ce qui se traduit par :

$$E_C \gg Xk_B T \quad (3.3)$$

Où k_B est la constante de Boltzmann et T la température de fonctionnement du système. X est un facteur à mesurer afin de toujours valider cette condition (X souvent ≥ 10 , suggéré par Likharev [Likharev, 1999]). Cette expression entraîne elle aussi une condition sur la fabrication des SETs principalement sur la capacité de l'îlot C_Σ :

$$C_\Sigma \ll \frac{e^2}{2Xk_B T} \approx aF \quad (3.4)$$

La valeur de la capacité de l'îlot est donc de l'ordre de l'attofarads pour travailler à température ambiante.

Bruit électromagnétique

Tel qu'exposé dans cet article [Manscher *et al.*, 2003], le bruit électromagnétique, tout comme le bruit (énergie) thermique peut induire des passages d'électrons incontrôlables. Ici on parle de *cotunneling*, deux électrons passent à travers les jonctions tunnels de manière élastique ou inélastiques. On peut alors équiper les lignes de grille et de polarisation de filtres adaptées afin de minimiser cet effet. Seulement, comme expliqué par Likharev, cette effet ne peut avoir lieu si la condition reliant l'énergie de charge, E_C aux fluctuations thermiques est respectée [Likharev, 1999].

Perturbations microscopiques

La présence de charges parasites dans le substrat crée des effets électrostatiques qui perturbent les mesures à basse fréquence [Zorin *et al.*, 1996]. Ces effets sont principalement dus au *shot noise*.

3.2 Théorie de l'inverseur C-SET

3.2.1 Paramètres d'opération (physique et technique)

Des paramètres de fonctionnement d'un inverseur SET, nous allons déterminer les paramètres physiques de ce dernier pour les conditions de fabrication utilisées dans les salles blanches du *CRN*². Nous dévoilerons également ces mêmes paramètres pour un fonctionnement à température ambiante et à une tension d'opération identique au noeud CMOS 22 nm. Notre design est un compromis entre ses dimensions physiques et ses paramètres électriques qui en découlent (bande passante, vitesse, température d'opération, tension d'alimentation).

- Réponse de sortie : Afin de répondre aux exigences d'un processeur, il nous faut obtenir une réponse unipolaire de notre inverseur C-SET.
- Tension d'opération : La logique CMOS au noeud 22 nm, est alimentée entre 0.8, 0.85 et 0.95 Volts suivant le type de technologie utilisée (Low Power, High Performance, Low Standby) [ITRS, 2011b]. Afin de comparer nos deux logiques, l'inverseur C-SET simulé sera alimenté à 0.95 V. Pour l'inverseur réalisé en salles blanches, sa tension d'alimentation dépendra essentiellement de ses capacités extirpées de mesures électriques.
- Gain : Il faut en tout temps développer un gain en tension supérieur à l'unité quelque soit la température d'opération de notre inverseur C-SET.
- Fiabilité : La température étant l'un des fléaux de la fiabilité de la logique SET, nous pouvons considérer qu'afin de diminuer son effet ; l'énergie de charge au sein de notre inverseur est telle que : $E_C = \frac{e^2}{40k_B T}$. Le choix de X à 40 repose sur la possibilité d'un fonctionnement des SETs simulés à une température proche de 400K.
- Capacité : Toutes les capacités des SETs formant l'inverseur sont calculées à partir du modèle plaque parallèle. La figure suivante représente les caractéristiques physiques d'un SET à double grille. w_G et d_G forment respectivement les boites de grille et de polarisation et leur espacement de l'îlot. L'îlot a une longueur, L_{ilot} , une largeur, w_j et une hauteur après CMP fixée à t_j . Les jonctions tunnels sont quant à elles données pour une épaisseur de t_{TiOx} .

Les capacités de grille et de polarisation sont calculées de la façon suivante en tenant compte de l'erreur d'alignement, D , lors d'une étape d'électrolithographie dans notre procédé de fabrication.

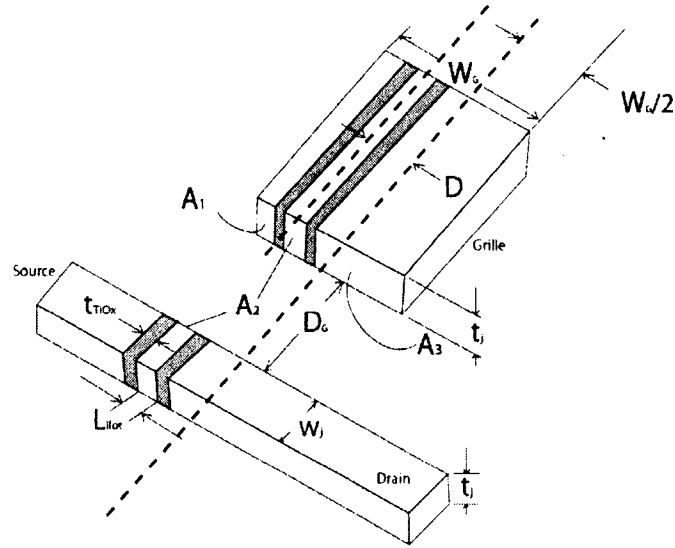


Figure 3.1 Paramètres physiques d'un SET [Morissette, 2010].

Distance entre les centres de A_1 et de la grille :

$$x_1 = \frac{w_G}{4} - \frac{D}{2} + \frac{L_{ilot}}{4} - \frac{t_{TiOx}}{2} \quad (3.5)$$

Distance entre les centres de A_1 et de l'îlot :

$$d_1 = \sqrt{x_1^2 + D_G^2} \quad (3.6)$$

Surface impliquée de A_1 pour le calcul de la capacité de grille :

$$A_{1_{moy}} = t_j * x_1 \quad (3.7)$$

Capacité partielle de grille C_1 relative à la surface A_1

$$C_1 = \varepsilon_0 \varepsilon_{SiO_2} \frac{A_{1_{moy}}}{d_1} \quad (3.8)$$

Capacité partielle de grille C_2 relative à la surface A_2

$$C_2 = \varepsilon_0 \varepsilon_{SiO_2} \frac{t_j * L_{ilot}}{d_G} \quad (3.9)$$

Distance entre les centres de A_3 et la grille :

$$x_3 = \frac{w_G}{4} + \frac{D}{2} + \frac{L_{\text{îlot}}}{4} - \frac{t_{TiO_x}}{2} \quad (3.10)$$

Distance entre les centres de A_3 et de l'îlot :

$$d_3 = \sqrt{x_3^2 + D_G^2} \quad (3.11)$$

Surface impliquée de A_3 pour le calcul de la capacité de grille :

$$A_{3_{\text{moy}}} = t_j * x_3 \quad (3.12)$$

Capacité partielle de grille C_3 relative à la surface A_3

$$C_3 = \varepsilon_0 \varepsilon_{SiO_2} \frac{A_{3_{\text{moy}}}}{d_3} \quad (3.13)$$

Capacité de grille totale, C_G :

$$C_G = C_1 + C_2 + C_3 \quad (3.14)$$

Tandis que l'on peut calculer C_B de la même manière que C_G , la capacité tunnel est quant à elle estimée de telle manière que :

$$C_J = \varepsilon_0 \varepsilon_{TiO_x} \frac{t_j * w_j}{t_{TiO_x}} \quad (3.15)$$

La capacité totale de l'îlot est alors $C_\Sigma = C_G + C_B + 2C_J$.

3.2.2 Inverseur C-SET à réponse unipolaire

Introduction au fonctionnement

Le schéma électrique d'un inverseur C-SET pourra être trouvé en figure 3.2. Ce dispositif est composé de deux C-SET en série. Ces deux derniers sont couplés par leur capacité de grille, C_G , au signal d'entrée, V_{IN} . Tandis que le signal de sortie, V_{OUT} , est récupéré en leur point milieu, C_L . Le SET supérieur, SET_1 , est utilisé d'une manière analogue à celle d'un PMOS lorsque sa grille de polarisation est fixée à 0 V. A l'inverse, le SET inférieure, SET_2 ,

travaille tel un NMOS lorsque sa grille de polarisation est fixée à la tension d'alimentation, V_{DD} .

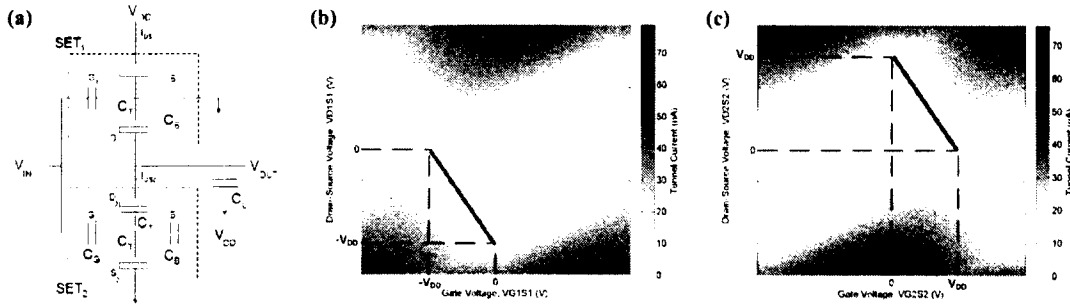


Figure 3.2 (a) Schéma électrique d'un inverseur C-SET. (b) diagramme de stabilité de SET1 et (c) SET2 .

Les variations des tensions au sein de l'inverseur sont définies de telle sorte :

$$V_{IN} = V_G = V_1 \rightarrow V_2 = 0 \rightarrow V_{DD} \quad (3.16)$$

$$V_{G1S1} = -V_{DD} \rightarrow 0 \quad (3.17)$$

$$V_{B1S1} = -V_{DD} \rightarrow -V_{DD} \quad (3.18)$$

$$V_{D1S1} = 0 \rightarrow -V_{DD} \quad (3.19)$$

$$V_{G2S2} = 0 \rightarrow V_{DD} \quad (3.20)$$

$$V_{B2S2} = V_{DD} \rightarrow V_{DD} \quad (3.21)$$

$$V_{D2S2} = V_{DD} \rightarrow 0 \quad (3.22)$$

De la même manière que l'a fait Tucker dans son analyse de l'inverseur complémentaire [Tucker, 1992], nous allons maintenant étudier chaque branche de ce dernier. Il nous est en effet possible de le scinder en deux parties, le SET_1 et C_L telle un p -switch et le SET_2 et C_L telle un n -switch. La capacité de charge, C_L , peut être vue comme une capacité de découplage. Le schéma électrique et le diagramme de stabilité du n -switch sont présentés en figure 3.3 (a) et (b). La valeur maximale du blocage de Coulomb est ici donnée pour $\pm V_C = \frac{e}{C_S}$, valeur de V_{DS} . La grille de polarisation, B_2 , permet de déplacer le diagramme de stabilité sur l'axe x, soit V_G , afin d'obtenir la figure 3.3 (b).

En observant le diagramme de stabilité, on découvre trois régions de fonctionnement de notre cellule. En assumant C_L chargée à $V_{OUT_{max}} < V_C$, le SET_2 est ouvert de V_{IN} variant de 0 à V_{IN_1} . Il reste ensuite passant de V_{IN_1} à V_{IN_3} . Une augmentation supplémentaire de V_G supérieure V_{IN_3} le fait redevenir bloqué suite au passage dans le second trapèze. Il est bon de noter que C_L se déchargera entièrement si le processus de commutation est dit

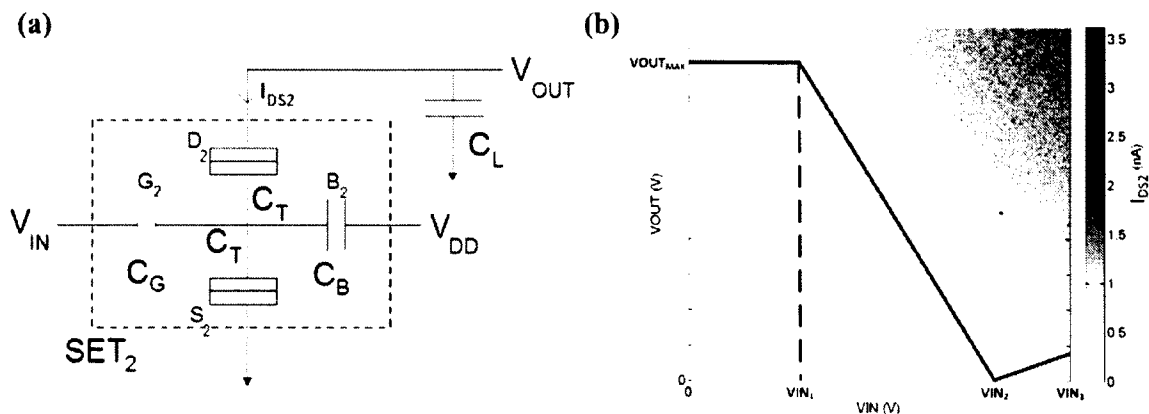


Figure 3.3 (a) n switch et (b) son diagramme de stabilité.

quasi-statique. Pour rappel, un processus quasi-statique doit être effectué sur une échelle de temps qui est beaucoup plus longue que le temps de relaxation du système. Le temps de relaxation est le temps que met le système pour revenir à l'équilibre après avoir été soudainement perturbé.

Pour le p switch, l'étude se fera également au travers du diagramme de stabilité. Le schéma électrique et le diagramme de stabilité du p -switch sont présentés en figure 3.4 (a) et (b).

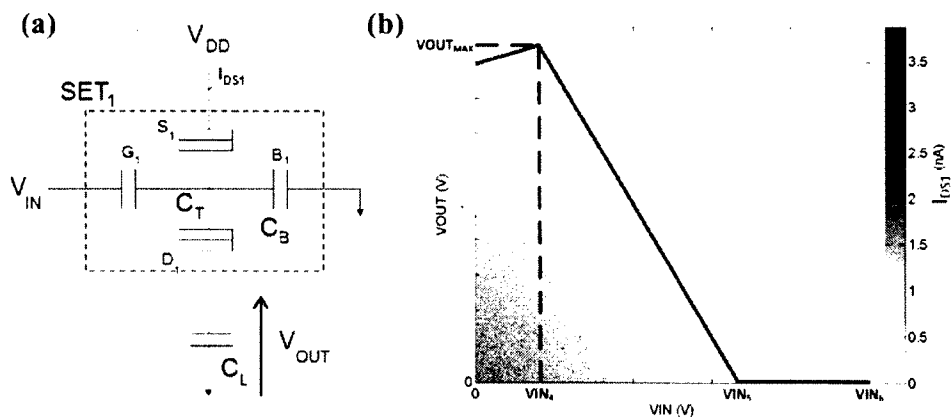


Figure 3.4 (a) p switch et (b) son diagramme de stabilité.

Le SET_1 est connectée à la tension d'alimentation V_{DD} . La grille de polarisation, B_1 , permet de déplacer le diagramme de stabilité sur l'axe de x, soit V_G , afin d'obtenir la figure 3.4 (b). En observant le diagramme de stabilité, on découvre également trois régions de fonctionnement de notre cellule comme pour le n -switch. En assumant une tension d'entrée V_{IN} à l'état haut, $V_{IN} = V_{IN_6}$, le SET_1 est ouvert. C_L est alors complètement déconnectée

de V_{DD} . Le SET_1 ne devient passant qu'à partir de V_{IN_3} . Il le reste jusqu'à V_{IN_4} . Durant cette période, V_{D1S1} est diminuée, la capacité C_L se charge. En atteignant V_{IN_4} , la capacité C_L est entièrement chargée. Une diminution supplémentaire de V_{IN} en dessous de V_{IN_4} fait redevenir le SET_1 bloqué, il passe dans le second trapèze du blocage de Coulomb.

Il nous reste maintenant à recoller les morceaux afin d'obtenir la caractéristique de transfert de l'inverseur complet représentée à la figure 3.5. Elle sera facilement obtenue par le chevauchement des caractéristiques de transfert individuelles au p/n -switch. Pour plus de simplicité, nous faisons en sorte que $V_{IN_1} = V_{IN_4}$, $V_{IN_2} = V_{IN_3}$ et $V_{IN_3} = V_{IN_6} = V_{DD}$. Ceci permet au p switch et au n -switch d'être passant et bloqué à des points similaires. De plus dans les régions noircies, ils sont tous les deux bloqués. Bien que ces zones noircies ont tendance à isoler la capacité de charge, C_L , des tensions d'alimentation supérieur, V_{DD} et inférieur, GND , la tension de sortie, V_{OUT} , commute de l'état haut à l'état bas, et vice et versa, par un processus quasi-statique.

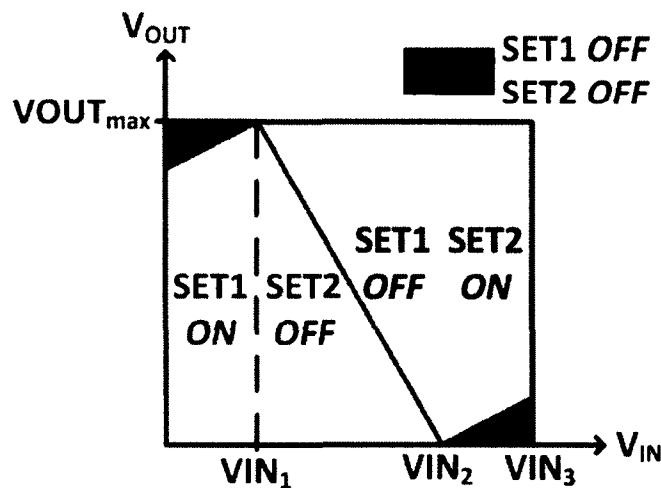


Figure 3.5 Caractéristique de transfert d'un inverseur C-SET.

Caractéristiques électriques

Après avoir pu apprécier le fonctionnement de l'inverseur C-SET, il nous faut maintenant extrapoler les différentes caractéristiques électriques de ce dernier. Quelle est la tension d'alimentation maximum, minimum ? Quelle est l'excursion, V_S , à la sortie de l'inverseur ? Comment calculer son gain ?

Dans tous les calculs suivants, nous tiendrons compte de la symétrie de l'inverseur SET. Nous fixons ainsi $C_{G_1} = C_{G_2} = C_G$, $C_{B_1} = C_{B_2} = C_B$, $C_{S_1} = C_{S_2} = C_S$ et $C_{D_1} = C_{D_2} = C_D$.

Tension de sortie La tension de sortie, $V_{OUT_{max}}$, est calculée à partir des tensions des jonctions tunnels S1 et D1. A $V_{IN} = V_{IN_1}$, il s'en suit :

$$V_{S1} = \frac{1}{C_{\Sigma}} [(C_{G_1} + C_{B_1} + C_{D_1})V_{DD} - C_{G_1}V_{IN} - C_{D_1}V_{OUT} - q_1] = \frac{e}{2C_{\Sigma}} \quad (3.23)$$

$$V_{D1} = \frac{1}{C_{\Sigma}} [C_{S_1}V_{DD} + C_{G_1}V_{IN} - (C_{G_1} + C_{B_1} + C_{S_1})V_{OUT} + q_1] = \frac{e}{2C_{\Sigma}} \quad (3.24)$$

Sachant que S1 est la première à atteindre la tension de *threshold* donnée par $V_{th} = \frac{e}{2C_{\Sigma}}$, nous obtenons :

$$V_{S1}(q_1 = 0) = \frac{e}{2C_{\Sigma}} \quad (3.25)$$

$$V_{D1}(q_1 = e) = \frac{e}{2C_{\Sigma}} \quad (3.26)$$

De 3.25 et 3.26, nous pouvons estimer que $V_{OUT_{max}}$ est égale à V_{DD} . Il en découle alors que l'excursion théorique en sortie d'un inverseur en technologie complémentaire n'est autre que la tension d'alimentation.

Tension d'alimentation Une des conditions sur la tension d'alimentation assure que les SETs, SET_1 et SET_2 , sont bel et bien ouverts lorsqu'ils le devraient. Il faut alors par exemple que les jonctions S2 et D2 ne soit pas chargées pour $V_{IN} = 0$.

$$V_{D2} = \frac{1}{C_{\Sigma}} [(C_{G_2} + C_{B_2} + C_{S_2})V_{OUT} - C_{G_2}V_{IN} - C_{B_2}V_{DD} - q_2] \quad (3.27)$$

$$V_{S2} = \frac{1}{C_{\Sigma}} [C_{G_2}V_{OUT} + C_{G_2}V_{IN} + C_{B_2}V_{DD} + q_2] \quad (3.28)$$

$$V_{D2}(q_2 = 0, V_{IN} = 0) \leq \frac{e}{2C_{\Sigma}} \quad (3.29)$$

$$V_{S2}(q_2 = 0, V_{IN} = 0) \leq \frac{e}{2C_{\Sigma}} \quad (3.30)$$

Pour $V_{OUT} = V_{DD}$ dans 3.29 et 3.30, la tension d'alimentation, V_{DD} est définie de telle façon que :

$$V_{DD} \leq \frac{e}{2\text{Max}(C_D + C_B; C_S + C_G)} \quad (3.31)$$

La seconde condition sur V_{DD} permet d'obtenir une excursion de sortie maximum. Elle est obtenue à partir de la tension de la jonction D2. Fixée à la tension de *threshold* et pour une charge nulle en son sein, nous pouvons écrire :

$$V_{T_{D2}} = V_{J2}(q_2 = 0) = \frac{e}{2C_\Sigma} = \frac{1}{C_\Sigma} \left[\frac{e}{2} - C_{B2}V_{DD} - C_{G2}V_{IN} \right] \quad (3.32)$$

A partir de 3.32, il nous est possible de trouver V_{IN_1} et V_{IN_2} .

$$V_{DD} = \frac{1}{C_\Sigma} \left[\frac{e}{2} - C_{B2}V_{DD} - C_{G2}V_{IN_1} \right] \quad (3.33)$$

$$V_{IN_1} = \frac{1}{C_G} \left[\frac{e}{2} - (C_D + C_B)V_{DD} \right] \quad (3.34)$$

$$0 = \frac{1}{C_\Sigma} \left[\frac{e}{2} - C_{B2}V_{DD} - C_{G2}V_{IN_2} \right] \quad (3.35)$$

$$V_{IN_2} = \frac{1}{C_G} \left[\frac{e}{2} - C_B V_{DD} \right] \quad (3.36)$$

La condition à respecter est donc :

$$V_{IN_2} \leq V_{DD} \quad (3.37)$$

$$V_{DD} \geq \frac{e}{2(C_G + C_B)} \quad (3.38)$$

Pour récapitulatif, la tension d'alimentation d'un inverseur SET se situe entre :

$$\frac{e}{2(C_G + C_B)} \leq V_{DD} \leq \frac{e}{2\text{Max}(C_D + C_B; C_S + C_G)} \quad (3.39)$$

Gain Le gain de l'inverseur se calcule dans la zone où les deux SETs sont passants. Dans un état stable et pour une tension de jonction S1 valant $\frac{e}{2C_\Sigma}$, nous obtenons un gain $A_V = \frac{\delta V_{OUT}}{\delta V_{IN}}$ tel que :

$$V_{S1} = \frac{e}{2C_\Sigma} [(C_{G1} + C_{B1} + C_{D1})V_{DD} - C_{G1}V_{IN} - C_{D1}V_{OUT} - q_1] = \frac{e}{2C_\Sigma} \quad (3.40)$$

Solutionnant 3.40 pour $A_V = \frac{\delta V_{OUT}}{\delta V_{IN}}$

$$-C_{G1} - C_{D1} \frac{\delta V_{OUT}}{\delta V_{IN}} = 0 \quad (3.41)$$

$$\frac{\delta V_{OUT}}{\delta V_{IN}} = -\frac{C_{G1}}{C_{D1}} = -\frac{C_G}{C_D} \quad (3.42)$$

3.3 Considérations de conception

Afin de conclure ce chapitre, nous allons récapituler les grandes considérations de conception en logique SET. À partir des capacités de l'inverseur, nous pouvons écrire :

- Énergie de charge, $E_C = \frac{e^2}{2C_\Sigma}$
- Température de fonctionnement, $T \propto \frac{e^2}{40k_B C_\Sigma}$
- Tension d'alimentation, $\frac{e}{2(C_G + C_B)} \leq V_{DD} \leq \frac{e}{2\text{Max}(C_D + C_B; C_S + C_G)}$
- Fréquence de fonctionnement $f \propto \frac{1}{R_T C_\Sigma}$ si $C_\Sigma \gg C_L$ avec R_T , résistance tunnel de la jonction S1.
- Gain en tension, $A_V = -\frac{C_G}{C_D}$.

CHAPITRE 4

RÉALISATION

Dans ce chapitre, nous allons présenter le processus de fabrication nanodamascène [Dubuc *et al.*, 2009] d'un SET développé à l'UdeS. Comme ce processus n'est pas totalement mature, son amélioration est toujours en cours. Bien que je n'ai pas été en mesure d'obtenir des échantillons respectant les définitions du projet, plusieurs améliorations ont été amenées à la fabrication. De plus, mon expérience au sein des salles blanches du CRN2 (Centre de Recherche en Nanofabrication et Nanocaractérisation) me permet de détailler dans ce chapitre le processus de fabrication en se concentrant sur ses originalités et ses limites.

4.1 Cadre expérimental

Afin de décrire le plus précisément le procédé de fabrication, il m'est indispensable d'énumérer et d'expliquer les différents outils et techniques utiles à la réalisation de ce dernier. On pourra ainsi parler de photolithographie, d'électrolithographie ou encore de planarisation mécano-chimique.

4.1.1 Photolithographie

Née du mélange de la photographie et de la lithographie, la photolithographie est la technique la plus répandue dans le monde du semi-conducteur. Cette technique se traduit par un processus impliquant le transfert photographique d'un modèle sur une surface afin de permettre sa gravure.

Historiquement, les prémices de la photographie furent apportées par Albert Magnus entre les années 1193 et 1280. Il fit la découverte du nitrate d'argent, composé sensible à la lumière. Cependant, la première photo « permanente » fut produite en 1826 par l'inventeur français Nicéphore Niepce. La lithographie (du grecque lithos : pierre et graphein : écrire) est une technique basée sur l'utilisation particulière du calcaire afin de répéter une image sur du papier. Elle fut inventée en Allemagne en 1796 par Aloys Senefelder. Finalement, l'invention de la photolithographie est le produit d'Alphonse Louis Poitevin en 1855. Ce ne fut que 100 ans plus tard que les premières résines photosensibles furent créées. En 1935, Louis Minsk d'Eastman Kodak inventa la première résine dite négative. Cinq ans plus

tard, la première résine positive quant à elle naquit des laboratoires de Hoest AG sous la direction d'Otto Suess.

Dans le monde des semi-conducteurs, la photolithographie permet entre autres de créer les interconnexions en métal, masquer des zones afin de doper sélectivement le substrat ou encore de micro-usiner le silicium (contraintes, ...). Son principe reste simple et est représenté dans la figure suivante.

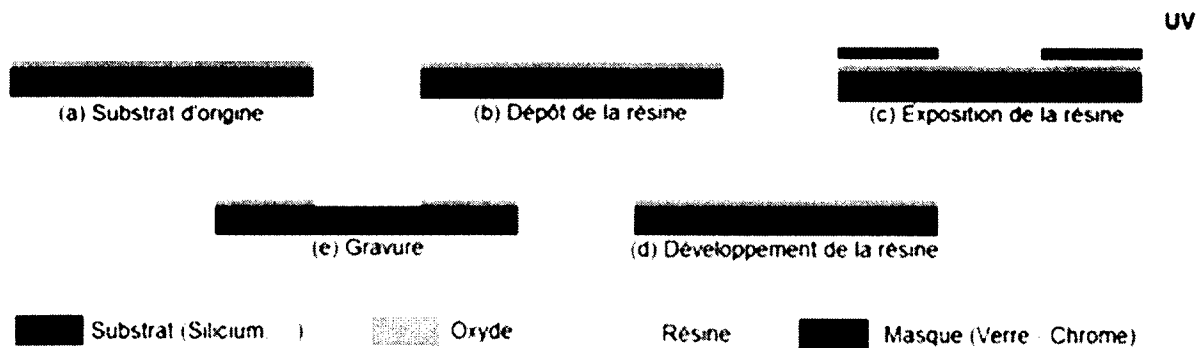


Figure 4.1 Étapes d'une photolithographie.

Dans notre procédé de fabrication, cette technique nous permet de créer l'ensemble des plots de contacts, des structures sacrificielles (dummies), des chemins d'aménés où toutes autres cellules test ayant une dimension supérieur où égale à $1\mu m$. Des procédés avancés de photolithographie en industrie, le *deep UV* où l'immersion pour ne citer que les plus connus, permettent d'atteindre des dimensions nanométriques. Cependant, au sein du CRN2, la photolithographie est réalisé à l'aide d'une aligneuse de type contact (OAI 806), d'une résine photosensible positive (S1805) et d'un masque de type verre-chrome. Le masque ayant été réalisé à l'externe, les limites de résolution reposent sur les deux autres paramètres. Elles sont respectivement $0.8\mu m$ (OAI 806) et $0.2\mu m$ (S1805). La résolution de l'aligneuse est donc notre facteur limitant.

4.1.2 Électrolithographie

Étant limité avec des dimensions supérieures ou égales à $1\mu m$, les appareils utilisées dans les salles blanches du CRN2 pour la photolithographie ne permettent d'atteindre les dimensions nanométriques obligatoires au bon fonctionnement des dispositifs SETs. Il est donc indispensable d'utiliser une autre technique d'écriture soit l'électrolithographie (EBL). Connue aussi sous le nom de lithographie à faisceaux d'électron, elle a l'avantage de battre la limite de diffraction de la lumière et ainsi de permettre la création de dispositifs nano-

métriques. Cette technique à haute précision est toutefois sensible aux champs électriques et magnétiques.

L'appareil nous permettant cette prouesse est un microscope électronique à balayage (SEM, *Scanning Electron Microscopy*) modifié. Dans ce dernier, le faisceau focalisé d'électron peut être obstrué ou libéré à l'aide d'un *blanker*. Les motifs sont ainsi réalisés dans une résine électrosensible (ZEP, PMMA, MaN) via ce système et le déplacement de l'échantillon. Ce déplacement (du *stage* du SEM) est la traduction d'un design (CAD) réalisé par ordinateur sur le logiciel DESIGN CAD et la relation ordinateur-SEM par le logiciel NPGS. Le lecteur pourra trouver de plus amples informations dans le mémoire de Jean-François MORISETTE [Morissette, 2010].

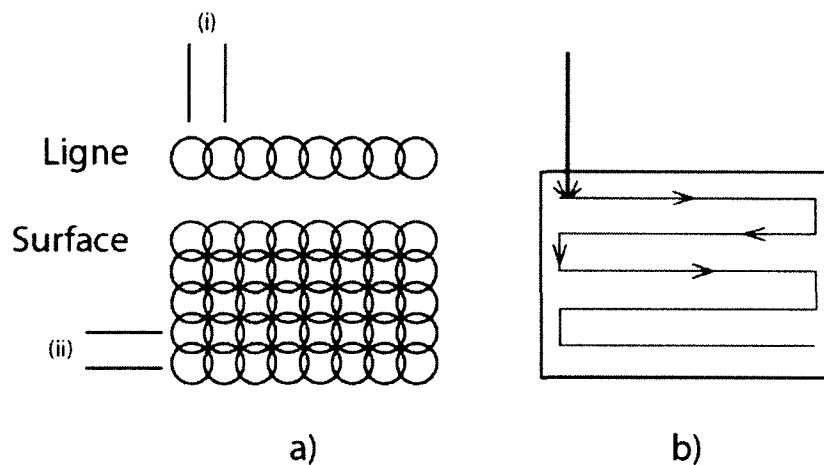


Figure 4.2 Paramètres du balayage du faisceau d'électrons lors de l'exposition en EBL. a) Caractère d'exposition des lignes et surfaces, b) Chemin de balayage pour l'électrolithographie d'un polygone [Morissette, 2010].

Les limites de résolution de l'électrolithographie varient principalement en fonction de la résine utilisée. Par exemple, on parle d'une vingtaine de nanomètre pour la ZEP à seulement une dizaine pour la PMMA.

4.1.3 Planarisation mécano-chimique (CMP)

Le CMP est un processus de lissage et de planarisation des surfaces combinant des actions chimiques et mécaniques, un mélange de gravure chimique et de polissage mécanique à abrasif libre. Le rodage mécanique seul cause trop de dégâts sur les surfaces et la gravure humide seule ne permet pas d'obtenir une bonne planarisation. Les réactions chimiques

étant isotropiques, elles attaquent les matériaux indifféremment dans toutes les directions. Le CMP combine les deux effets en même temps.

Plusieurs matières peuvent être planarisées par la technologie CMP. On parle de planarisation d'oxyde, de poly-silicium ou encore de planarisation des métaux. Des métaux comme le tungstène, l'aluminium, le cuivre ou le titane sont utilisés dans la technologie damascène pour remplir des vias ou tranchées afin de réaliser les connections électriques. Cette technologie est appelée ainsi d'après une ancienne technologie utilisée dans la fabrication d'épées à Damascus. Le process damascène du titane (Ti) part d'une surface diélectrique (SiO_2) complètement paternisés avec nos motifs formant nos dispositifs. Le titane est alors déposé par un processus de dépôt par pulvérisation cathodique. Ce process produit un film de titane compact qui remplit les motifs par toutes ses parois. Une étape de CMP est alors utilisée pour ôter le titane en surface, libérant ainsi les dispositifs. Ce process de polissage est conçu pour être autant sélectif entre le titane que le diélectrique de base.

Normalement, toutes les couches de métal doivent être recuites après le dépôt ou la planarisation. Par exemple, un processus de recuit du cuivre (100°C à 450°C) est utilisé afin d'améliorer sa conductivité par une augmentation de la taille des grains. Il permet également de supprimer les dislocations et diminue ainsi les contraintes à l'intérieur du matériau. Une diminution de l'électromigration est aussi visible. Dans notre cas, aucun recuit n'est fait afin d'éviter une migration de l'oxygène du diélectrique dans notre métal.

4.2 Procédé nanodamascène

L'intégration hybride impose aux SETs une plage de température d'opération impérativement similaire aux CMOS. Afin de supprimer l'influence des fluctuations thermiques sur le fonctionnement du SET, les tailles des dispositifs atteignent des dizaines de nanomètres.

La photolithographie traditionnelle ne nous permet pas la fabrication de tels dispositifs. C'est pourquoi, Dubuc et al. ont proposé une méthode de fabrication dite 3D [Dubuc *et al.*, 2009]. Les dimensions latérales des jonctions tunnel sont définies par électrolithographie ; tandis que leur troisième dimension, représentant la profondeur est contrôlée par polissage mécano-chimique. A conditions lithographiques égales, on obtient ainsi une capacité totale plus faible et donc une température théorique d'opération plus élevée.

La méthode de fabrication 3D n'est pas le seul point fort de ce procédé. Il est également compatible avec les technologies du BEOL des circuits CMOS car il ne repose que sur l'utilisation de métal et de diélectrique uniquement. La co-intégration des SETs et des CMOS ensemble à la manière d'une intégration 3D monolithique est donc possible.

Ce procédé nanodamascène développé à l'UdeS peut être réalisé suivant trois grandes approches. Dans sa présentation qui va suivre, le focus sera fait sur le procédé fait par soulèvement, *liftoff*. Les changements apportés par les deux autres versions seront succinctement développés au besoin. On retrouve sur la figure 4.3 les trois procédés au complet.

4.2.1 Préparation du substrat

Un substrat de Si de 4 pouces (100 mm) est oxydé pour obtenir une couche de 150 nm d'épaisseur de SiO₂ sur laquelle les dispositifs seront fabriqués.

L'oxydation est faite par une méthode sèche reposant sur un simple apport d'oxygène et un élèvement de la température dans un four. L'oxyde est ainsi formé à la fois par le silicium du substrat et par l'oxygène apporté par le gaz ambiant. Ainsi, la couche d'oxyde croît à la fois vers l'intérieur et l'extérieur de la gaufre. Pour chaque unité d'épaisseur de silicium consommé par la réaction, 2.27 unités d'épaisseur d'oxyde apparaîtront. Par conséquent, 46 % de la couche d'oxyde sera en dessous de la surface d'origine et 54 % au-dessus. On aurait pu utiliser l'oxydation humide, plus rapide mais qui induit une qualité des propriétés électroniques inférieure à son homologue sèche.

L'épaisseur de couche du SiO₂, ici 150 nm, est un facteur limitant pour la suite des étapes du procédé. Trop mince, elle ne permettra pas une isolation efficace de nos dispositifs par

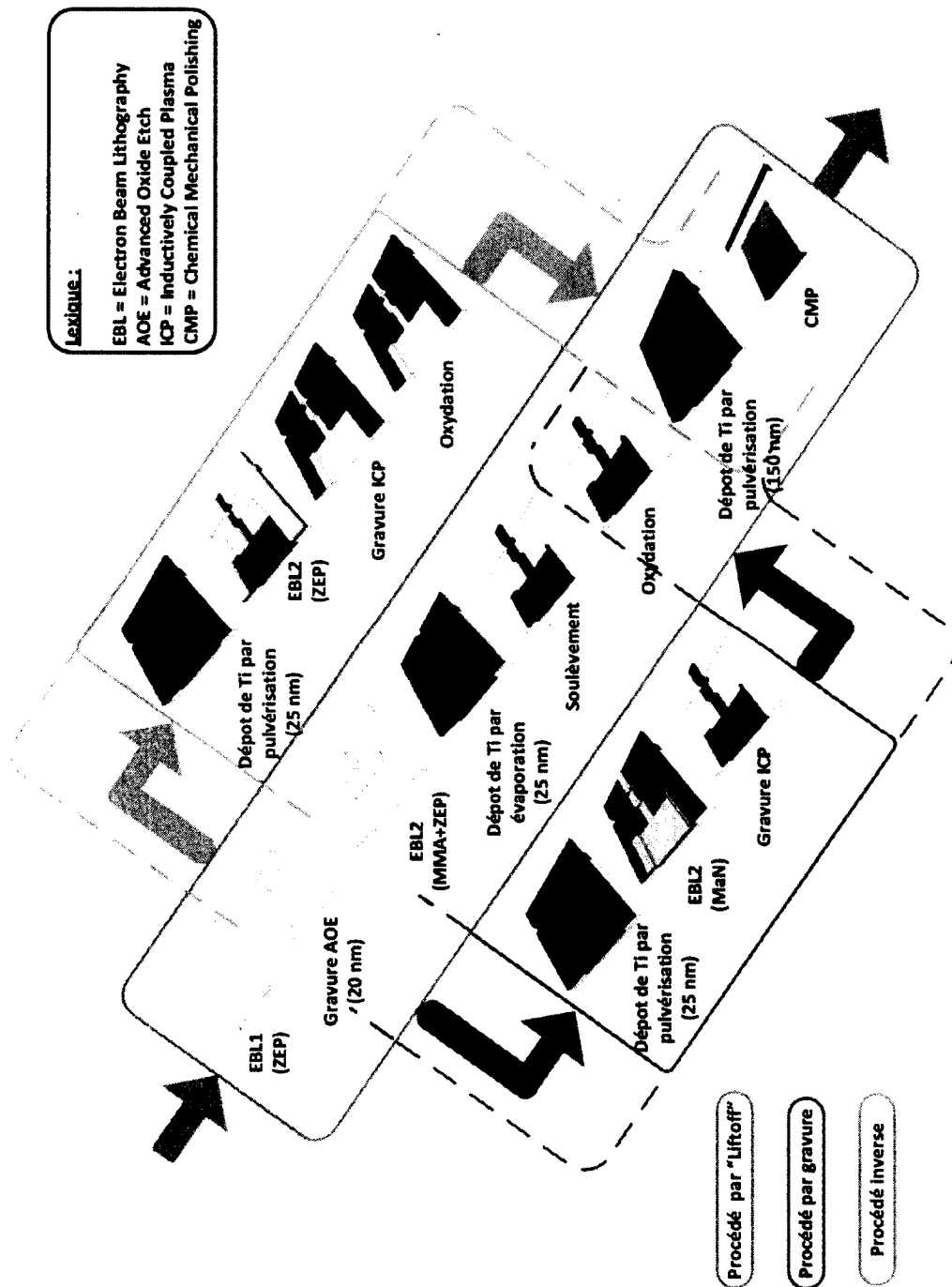


Figure 4.3 Présentation des étapes du procédé nanodamascène pour ses trois versions.

rapport au substrat de Si. Trop épaisse, les étapes d'électrolithographie deviendront plus difficile et entraîneront des erreurs d'alignements.

4.2.2 Photolithographie

Réalisés entièrement par lithographie par faisceau d'électrons, la méthode utilisée par Dubuc et al [Dubuc *et al.*, 2007] est inefficace pour une fabrication de masse. Le temps d'exposition y est incroyablement long en raison de la transition progressive des dimensions nanométrique (SET) vers micrométrique (plots de contact) dans la même exposition.

Par conséquent, notre deuxième étape principale est une photolithographie afin de réaliser les motifs et structures micrométriques. Regroupant pas moins de 49 cellules, copiés sur 9 dies, le photo-masque, NKM V3, utilisé lors de cette étape est représenté en figure 4.4.

Sur les 24 cellules potentiellement utiles aux étapes d'EBL, seules deux retiendront notre attention. Les cellules UV (A2, A5, F6, G2) et AOE (A3) apportent des informations sur les résultats des étapes de photolithographie et de gravure successive à cette dernière. Est-ce que les dispositifs micrométriques ont subis une quelconque déformation lors de la photolithographie ? Est-ce que la gravure à la profondeur désirée ? Par des techniques d'observation optique et de profilométrie, nous répondons à ces questions avant de poursuivre vers les étapes suivantes de fabrication. Les nanofils, capacités MIM (Metal-Insulator-Metal) et SETs sont réalisés dans les cellules INV et QCA. Ce sont les deux seules cellules parmi les quatre étudiés qui ont subi des changements suite au développement du nouveau masque UV (NKM V3). L'évolution de la cellule INV est présentée en figure 4.5.

Dans les deux cellules INV et QCA, afin d'améliorer le rendu de l'étape finale de CMP, des cellules sacrificielles dummies ont été insérés et retravaillés en plus des simples contacts UV. Leur taille et espacement a été réévalués afin d'atteindre un taux de remplissage proche de 50%. Le rapprochement des chemins d'amenés photolithographiés au plus proche des dispositifs nanométriques permet de diminuer la taille de ceux électrolithographiés bien plus résistifs [Ecoffey *et al.*, 2011]. Cependant, le changement principal dans la cellule INV, reste la possibilité de réaliser des SETs ayant deux grilles de contrôle. On peut désormais travailler en logique SET complémentaire. L'utilisation de la cellule QCA repose sur le fait que tandis que seulement 3 SETs à deux grilles peuvent être réalisés dans la cellule INV, jusqu'à 5 voire 6 dispositifs identiques sont transférables dans cette dernière.

Après la photolithographie, les motifs sont gravés d'une profondeur de 60 nm dans le SiO_2 par gravure AOE (*Advanced Oxide Etch*) . Cette profondeur choisit permet à la fois

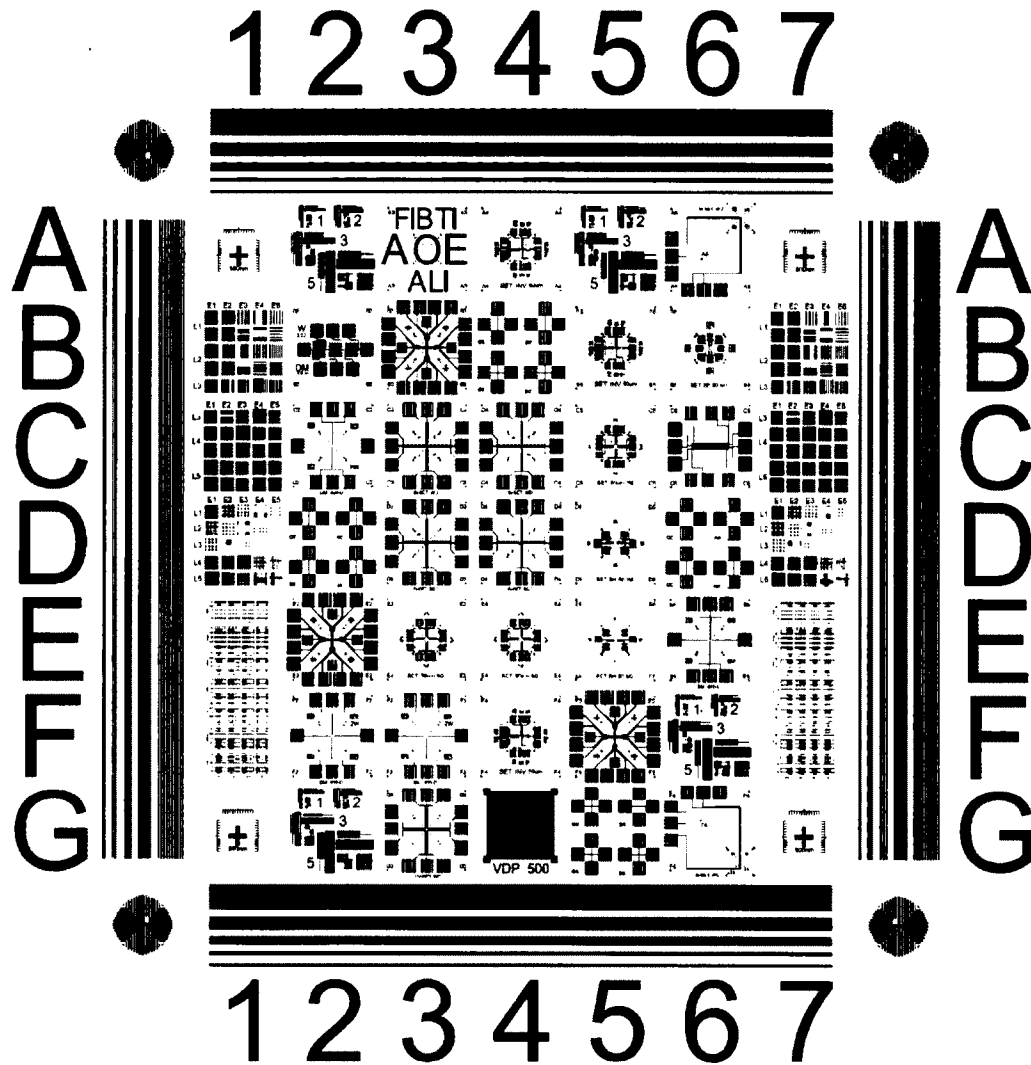


Figure 4.4 Troisième version du photo-masque utilisée pour l'implémentation des motifs micrométriques.

d'obtenir des chemins d'aménés peux résistifs et une possibilité d'alignement accrue lors des étapes d'électrolithographie.

4.2.3 Première électrolithographie (EBL1)

Les différents procédés nanodamascène commencent toutes par une électrolithographie, EBL1. On y dessine le squelette de notre SET. Boîte de grille et ligne source-drain sont ainsi transposés dans le diélectrique à l'aide d'une résine organique positive (ZEP). Après l'EBL, cette résine est développée et les motif de tranchée sont transférés dans la couche de SiO_2 par gravure sèche. Cette fois-ci, nous gravons 20 nm. Bien sûr, nous aurions pu graver une épaisseur plus importante pour faciliter l'alignement, mais cela aurait conduit

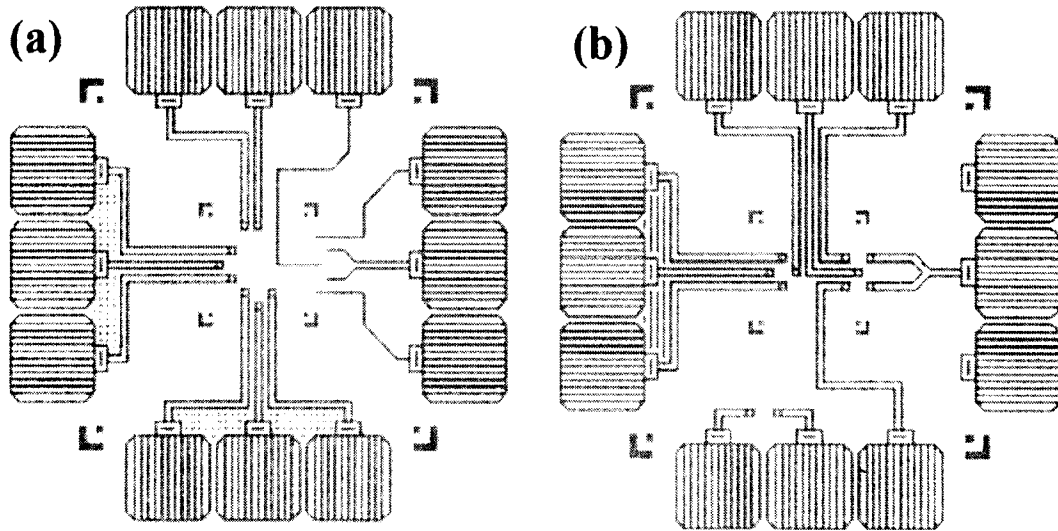


Figure 4.5 Évolution de la cellule inverseuse entre les deux générations du photo-masque utilisés lors de ma maîtrise.

à une augmentation de la capacité des dispositifs SET réduisant alors leurs températures d'opération.

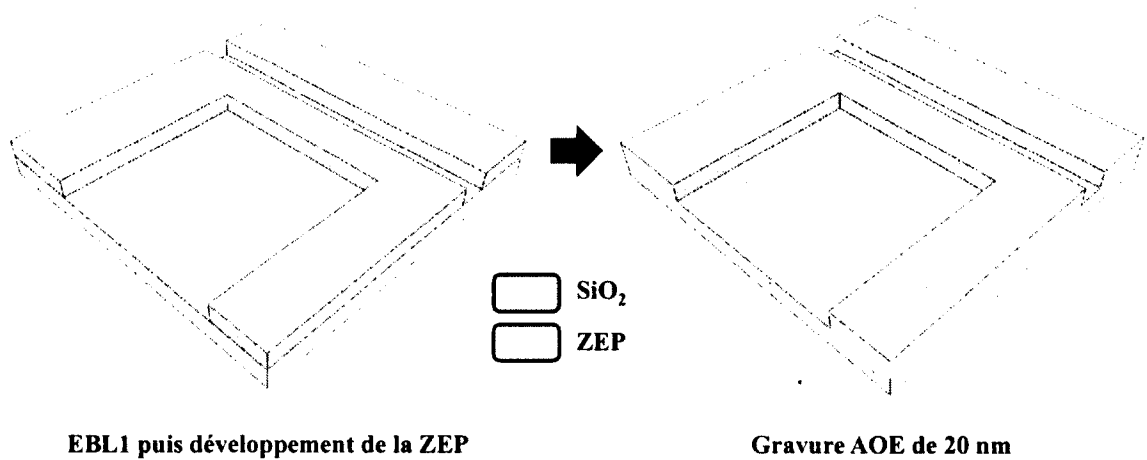


Figure 4.6 Étapes du procédé de fabrication relatives à la première électrolithographie.

4.2.4 Deuxième électrolithographie (EBL2)

Après l'EBL1, une deuxième EBL, EBL2, permet quant à elle de créer notre îlot métallique ainsi que les grilles par soulèvement. Cette EBL est également réalisé à l'aide résine organique mais cette fois-ci avec une double couche (PMMA). Il faut en effet faire de telle

sorte que le titane déposé après cette EBL2 ne puisse atteindre la surface du SiO_2 que dans les régions, où les motifs fins, îlot et grille, doivent être créés. Lorsque la bi-couche de PMMA est éliminée, le titane se souleve et décolle du SiO_2 . Sur notre échantillon, il ne subsiste que dans les régions où il possédait un contact direct avec le substrat.

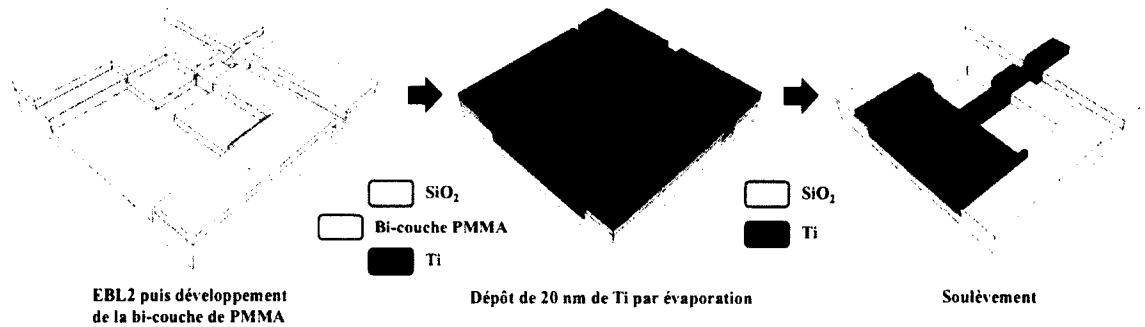


Figure 4.7 Étapes du procédé de fabrication relatives à la deuxième électrolithographie.

L'EBL2 peut également être faite à l'aide d'un procédé par gravure amenant au même résultat que le procédé *Lift-off*. Il est cependant plus adapté à la fabrication de masse de dispositifs. Cependant, dans le cas du procédé inverse, l'îlot est gravée à contrario du procédé de gravure simple qui le libère.

4.2.5 Oxydation

Cette étape permet de former une couche d'oxyde entourant le métal déposé au cours de l'étape précédente. L'oxydation est réalisée par plasma d' O_2 pendant une période variable de quelques secondes à une dizaine minutes. On obtient alors pour dix minute d'oxydation une jonction avec une largeur d'une dizaine de 10 nm. Ayant lieu en même temps sur les deux faces de l'îlot, cette étape impose au SET une structure symétrique. Cette effet peut se retrouver sur la caractéristique $I_{DS}(V_{DS})$ car il ne montre pas une ascension en escalier.

4.2.6 Dépôt du métal de recouvrement (*blanket*)

A la suite de l'oxydation, un nouveau dépôt de métal est réalisé. Remplissant l'ensemble des parties vide de titane après le premier dépôt de ti lors de l'EBL2, il forme les électrodes de drain et source du SET. Il est réalisé par pulvérisation car ce type de technique est plus conformable et donne de meilleurs résultats. La hauteur du dépôt effectué lors de cette étape à varier de 100 nm à 150 nm au cours de ma maîtrise. Cette amélioration a permis

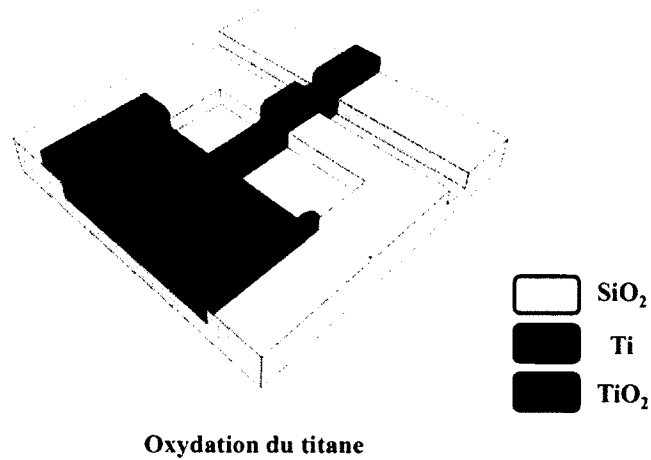


Figure 4.8 Étape du procédé de fabrication relatives à l'oxydation du titane

d'aider au bon déroulement de l'étape finale du procédé nanodamascène, la CMP : car on permet, en effet, une meilleur planarisation avec un dépôt épais.

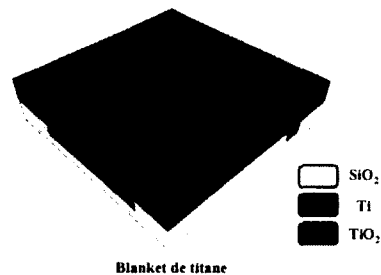


Figure 4.9 Étape du procédé de fabrication relative au *blanket* de titane

4.2.7 Planarisation mécano-chimique

L'objectif de cette étape est de libérer nos dispositifs en enlevant tout le métal et l'oxyde inutiles. On diminue aussi l'épaisseur du dispositif, ce qui à un impact direct sur ses capacités et de même sur la température d'opération de ce dernier. Un schéma de SET après la CMP est présenté dans la figure 4.10. Typiquement, on polit la surface du dispositif jusqu'à une épaisseur de seulement 2 nm. Pour une telle épaisseur, le titane se polit mais ne s'arrache pas tout au contraire de l'aluminium qui serait complètement supprimée par la CMP. Le choix du titane semble adapté pour le bon déroulement de ce processus.

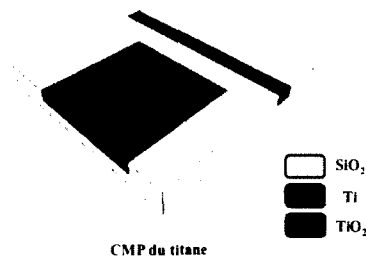


Figure 4.10 Étape du procédé de fabrication relative au *CMP* du titane

4.3 Problème et solution

Assez complexe, le procédé nanodamascène est rempli de défis. Dans cette section, nous allons les présenter en donnant les solutions possibles pour les relever.

4.3.1 Alignement EBL

La technique pour placer notre électrolithographie vis-à-vis des motifs photolithographiés repose sur un alignement séquentiel par ordinateur d'une même marque sur quatre niveaux différents. Le dernier niveau est le seul à être écrit par électrolithographie. Fait lors de l'EBL1, son design a évolué en raison d'un manque de précision perfectible lors de l'alignement de l'EBL2. Il existe en effet une erreur due au chevauchement des pixels de la marque d'alignement fictive sur son homologue physique.

Avec une boîte de grille de 100 nm et un ilot de 60 nm, la marge d'erreur doit être inférieure à 40 nm lors de l'EBL2. La manière la plus simple afin d'améliorer cette phase d'alignement fut d'ajouter d'autres symboles aux marques d'alignement lors de l'EBL1.

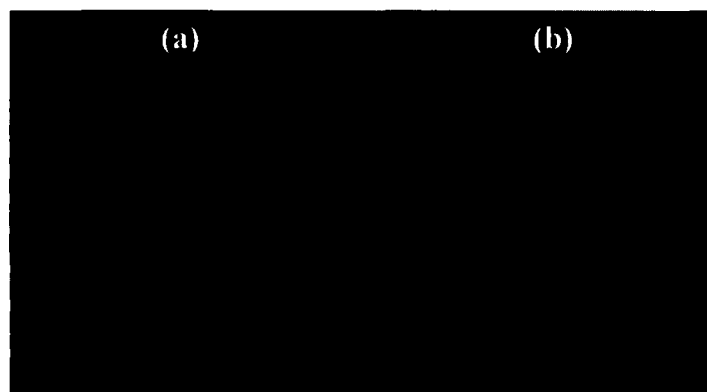


Figure 4.11 Évolution des marques d'alignement de l'EBL1, (a) première et (b) deuxième version

4.3.2 CMP

Pour nos SETs, il existe un dilemme entre la réussite de la CMP dans leur fabrication et leur fonctionnement. Réduire leur épaisseur permet de meilleurs performances mais impose des contraintes physiques accrues sur les dispositifs.

Ces contraintes se traduisent principalement par une érosion se produisant à la liaison des chemins photolithographiés et électrolithographiés. Il existe en effet une double gravure dans cette région suite au chevauchement de l'EBL1 sur les motifs UV pour permettre la connection électrique. Afin de palier à ce problème, ces chemins ont été transformés en peigne à cette jonction. On réduit ainsi cette double gravure et on permet un taux de remplissage plus proche de 50%. La CMP est en effet très sensible au ratio de surface de Ti/SiO_2 . Lorsqu'il est proche de 50%, on réduit les risques d'une abrasion prématurée de nos motifs en Ti et on planarise théoriquement de façon plus linéaire. L'ajout de dummies électrolithographiés est alors fortement recommandé. Les images dans les figures suivantes nous présente ces évolutions lors de le l'EBL1.

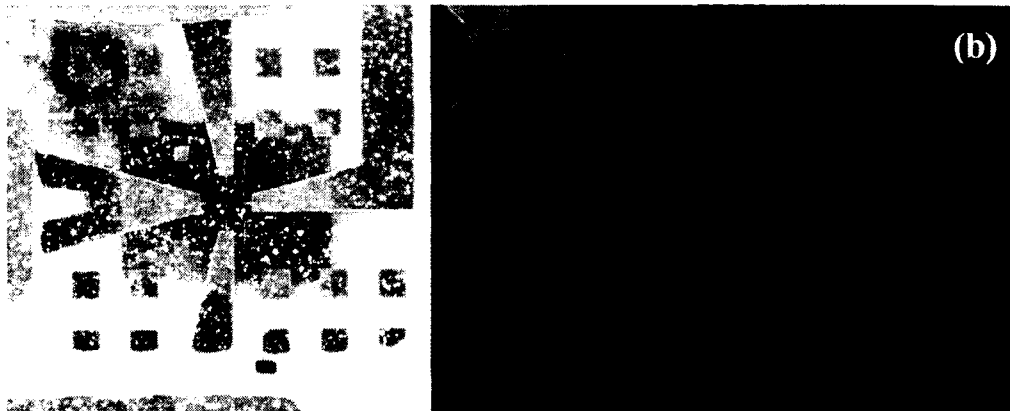


Figure 4.12 Évolution des designs de l'EBL1, (a) première version avec une densité de dummies proche de 30% et sans peignes de contact et (b) deuxième version avec l'augmentation de la densité proche de 50% et des contacts dits en peigne.

4.3.3 Grille parasite

Les changements pour l'EBL2 ne reposent pas quant à eux sur le rendu CMP du dispositif mais plutôt sur ses caractéristiques électriques. Au cours de cette étape, il apparaît une capacité parasite, C_{para} , en série avec celle de grille telle que présenté en figure 4.13. On obtient alors ce type de calcul pour estimer la nouvelle capacité de grille effective :

$$C_{G_{eff}} = \frac{C_{para}C_G}{C_{para}+C_G} \quad (4.1)$$

La capacité parasite étant une jonction tunnel, il faut maximiser son aire, et ainsi sa valeur, afin de diminuer son influence. On retrouvera sur la figure 4.13 les images SEM des deux versions des EBL2 ainsi qu'un schéma représentant la corrélation entre l'électrolithographie de niveau 2 et son schéma électrique associé.

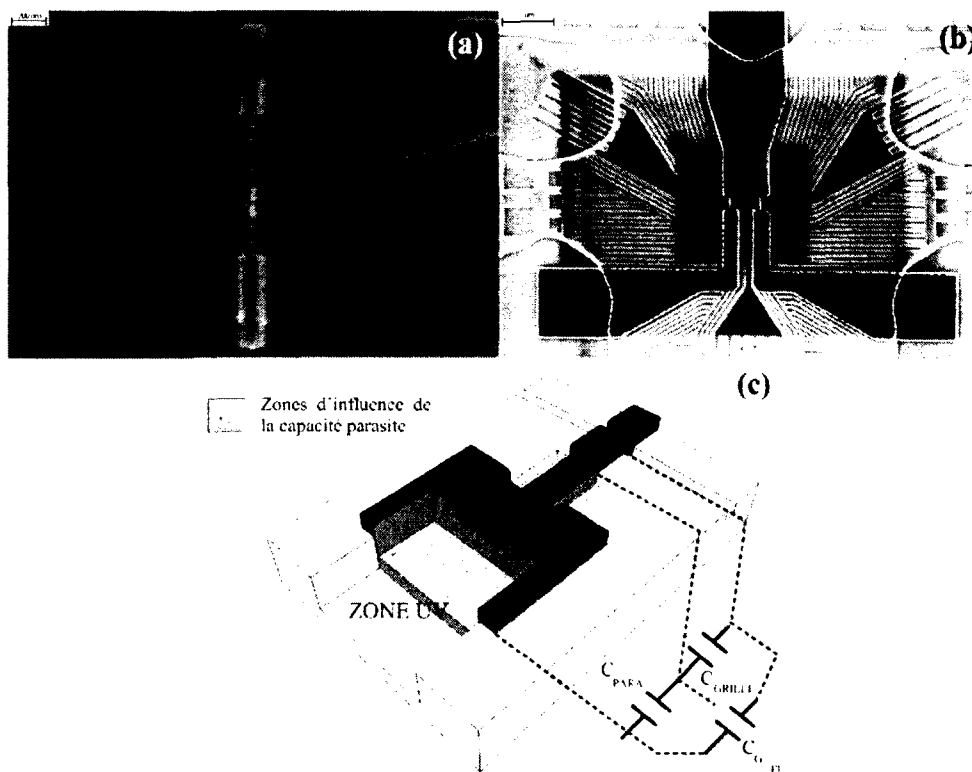


Figure 4.13 Évolution des designs de l'EBL2, (a) première, (b) deuxième version et (c) présentation de zones d'influence de la capacité parasite et leur corrélation physique-électrique

4.4 Conclusion

Dans ce chapitre, nous avons présenté le processus nanodamascène développé ici à l'Université de Sherbrooke. Constitué de 11 étapes, il repose essentiellement sur 5 phases principales (UV, EBL1, EBL2, Oxydation, CMP). Les défis et problèmes actuelles dans le procédé ont représenté un obstacle considérable dans l'atteinte de dispositifs et circuits simples fonctionnels. Cependant, les problèmes d'excès de CMP ont été partiellement réglés

à l'aide de modifications mineures des étapes du procédé. De même la présence de grandes structures lors du soulèvement (cf figure 4.13 (b)) après EBL2 n'a aucunement influencé le résultat de l'étape de CMP.

CHAPITRE 5

CONCEPTION

Dans ce chapitre, le résumé des études de conception sera développé. En partant de la présentation des modèles de simulations, nous introduirons de nouveaux designs et modes de fonctionnement en logique SET avant de finir par de multiples études validant la fiabilité de cette technologie. Le lecteur pourra trouver un aperçu de ce chapitre en référence [Griveau *et al.*, 2012].

5.1 Modèles de simulation

5.1.1 Modèles pour SET

Les dispositifs SET ont été simulés à partir de différents logiciels et modèles. Dans un but de validation des capacités évaluées par le modèle plaque parallèle, l'inverseur SET a tout d'abord été simulé sous SIMON [Wasshuber *et al.*, 1997]. Basé sur la théorie orthodoxe, ce logiciel ne prend cependant pas en compte le calcul du courant thermoïonique [Dubuc *et al.*, 2009]. Lorsque la température d'opération s'élève, le simulateur l'implémente comme une augmentation du taux de transfert tunnel. Il faut aussi savoir que le calcul des résistances tunnels n'existe pas dans SIMON [Dubuc *et al.*, 2009]. L'utilisateur rentre donc manuellement une estimation de ces dernières basée sur la géométrie de ses propres jonctions tunnels. Une légère erreur dans cette étape amène alors à une sur ou sous-estimation du courant au sein de notre inverseur. Les résultats de SIMON étant à prendre « avec des pincettes », j'ai décidé de simuler mes dispositifs avec un modèle plus complet, MARSSEA [Beaumont, 2005; Dubuc *et al.*, 2009].

MARSSEA, développé mutuellement entre l'INL et l'UdeS, calcule les résistances tunnels à partir du modèle WKB pour Wentzel-Kramers-Brillouin ainsi que le courant thermoïonique. Pour un rapide rappel de la méthode, il faut savoir que dans le développement de la mécanique quantique, les règles de quantification de Bohr-Sommerfeld de la théorie quantique occupent une position intermédiaire entre la mécanique classique et la mécanique quantique. La méthode WKB est donc un moyen pour le traitement approché de l'équation de Schrödinger en relation avec les règles de quantification. Ce modèle nous permet ainsi d'obtenir une solution approchée de la mécanique quantique dans des cas appropriés,

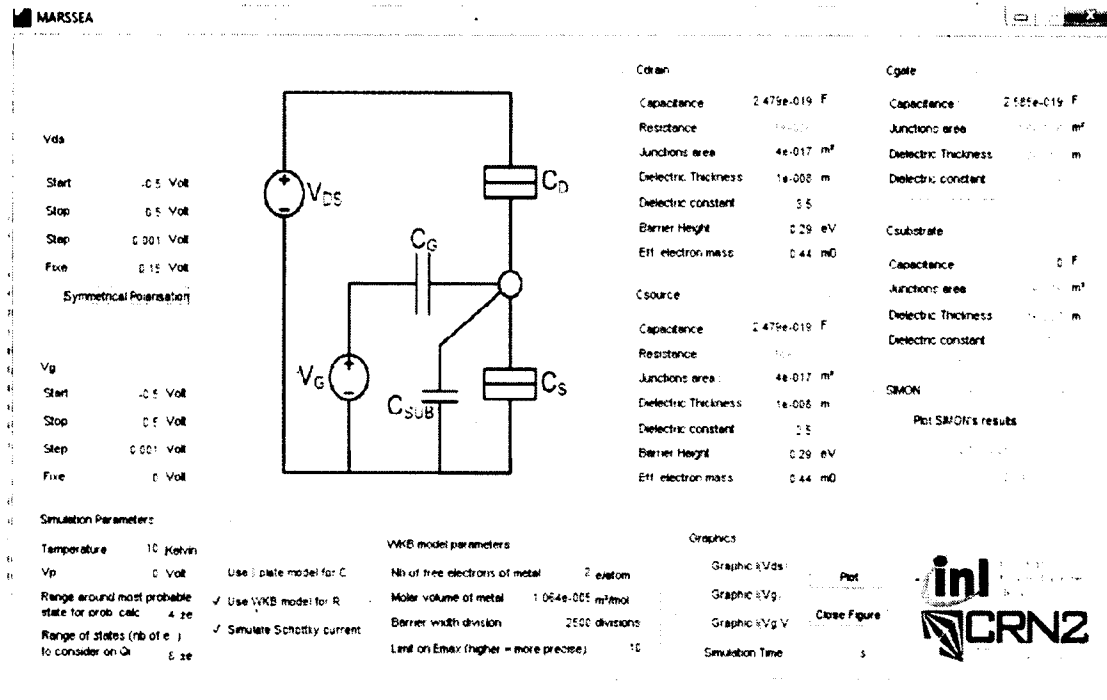


Figure 5.1 Interface sous MATLAB du modèle MARSSEA.

tel que le calcul des résistances tunnels. Ne pouvant que simuler des SETs n'ayant qu'une seule grille avec le modèle de base, il m'a fallu trouver puis modifier les lignes de code au sein de MARSSEA permettant l'implémentation de ma seconde grille de contrôle. Comme on n'a pu le voir dans le chapitre sur la théorie du SET complémentaire, le plus grand changement apporté fut la modification du calcul des énergies électrostatiques au sein du SET. Bien que très utile, ce modèle est limité à la simulation d'un seul SET à la fois. La simulation d'un inverseur C-SET semble donc compromise.

Les modèles précédemment présentés ne sont pas adaptés à une co-simulation avec une technologie CMOS. A des fins d'intégration, un modèle « Verilog A » a été développé à l'UdeS [Bounouar *et al.*, 2011]. Ce type de codage est dédié à la description de systèmes purement analogiques à l'aide d'une modélisation comportementale. Il est la retranscription de MARSSEA et permet à l'utilisateur d'entrer les paramètres électriques et physiques du SET à simuler. Les dimensions des jonctions sont à la discrétion de l'utilisateur mais il faut cependant les choisir adéquatement en fonction de la capacité tunnel entrée. Généralement, le modèle plaque parallèle est utilisé pour calculer cette capacité. On retrouvera dans le tableau les paramètres implémentés dans le modèle « Verilog A ». Avec les dimensions potentiellement réalisables, nous fixons s , h et w respectivement à 10, 2 et 20 nm.

Tableau 5.1 Données physiques et électriques du modèle « Verilog A »

Paramètres du modèle			
ε_r	Constante diélectrique (TiO2)	ξ (e)	Charges dans substrat
ϕ_0 (eV)	Hauteur de barrière tunnel (Ti/TiO2)	C_S (F)	Capacité de source
s (m)	Épaisseur du diélectrique	C_D (F)	Capacité de drain
h (m)	Hauteur de la jonction	C_{G1} (F)	Capacité de grille
w (m)	Épaisseur de la jonction	C_{G2} (F)	Capacité de la seconde grille
T (K)	Température de fonctionnement		

Cela implique les conditions suivantes sur notre inverseur :

$$C_S = C_D = \varepsilon_0 \varepsilon_r \frac{hw}{s} \quad (5.1)$$

$$C_S = C_D = 0.125aF \quad (5.2)$$

$$\frac{e}{2(C_{G1} + C_{G2})} \leq V_{DD} \leq \frac{e}{2\max(C_{G1} + C_D; C_{G2} + C_S)} \quad (5.3)$$

$$0.29 \leq V_{DD} \leq 0.305 \quad (5.4)$$

En utilisant ces valeurs, l'inverseur développe un gain légèrement supérieur à 1. Pour une variation de température d'opération de 75 à 300 K, on obtient les courbes de transfert en tension suivantes pour V_{DD} à 0.3 V. On peut voir que le modèle prend en compte l'influence

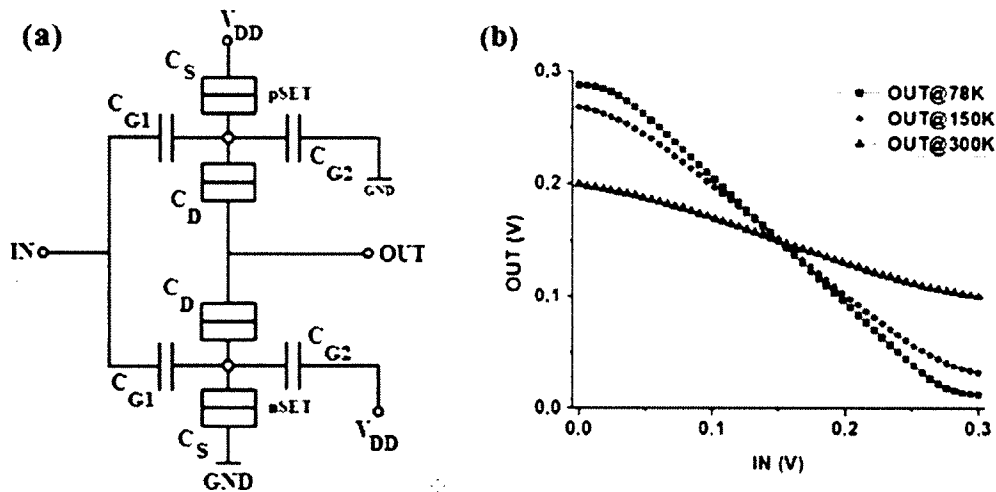


Figure 5.2 (a) Schéma électrique et (b) VTC de l'inverseur simulé avec le modèle "Verilog A"

de la température sur le fonctionnement général de l'inverseur. Le gain, l'excursion de la tension de sortie et la marge de bruit sont diminués pour une augmentation de T. Cette

impact est calculée via l'ajout d'un courant thermoïonique au courant tunnel présent seul à $T = 0$ K.

5.1.2 Modèle pour CMOS

Pour modéliser les transistors CMOS, le modèle PTM pour *Predictive Technology Model* au noeud 22 nm a été utilisé [Li *et al.*, 2009]. Il repose sur une technologie planaire comprenant une grille en métal et un oxyde de grille *high K*. De plus des contraintes physiques, tel que le SiGe, sont implémentées sur les zones source et drain aux abords du canal de conduction. Avec le choix d'un modèle basse consommation, quatre caractéristiques électriques d'un transistor MOS ont été testées. Elles sont le courant d'attaque, I_{ON} , le courant de fuite à l'état bloqué, I_{OFF} , le DIBL, *Drain Induced Barrier Lowering*, et la pente sous le seuil (*Subthreshold Slope*, SubS). De plus le modèle a également été comparé aux données sorties de l'ITRS 2011 pour la catégorie *Front End Process* en considérant la section *Low Standby Power Device*. Tous les résultats peuvent être retrouvés dans les tableaux suivant :

Tableau 5.2 Comparaison d'un nMOS du modèle PTM à la littérature ([ITRS. 2011b], [Yasutake *et al.*, 2004], [Auth *et al.*, 2012], [Cheng *et al.*, 2011], [Haran *et al.*, 2008], [Liu *et al.*, 2010], PTM)

	ITRS	Yasutake	Auth	Cheng	Haran	Liu	PTM
V_{DD} (V)	0.95	0.9	0.8	1	0.9	0.9	0.95
I_{ON} ($\mu A/\mu m$)	640	730	880	920	-	470	650
I_{DSOFF} ($pA/\mu m$)	10	-	-	-	-	-	107.5
I_{DSOFF} ($nA/\mu m$)	-	-	-	-	-	-	20.75
I_{OFF} ($nA/\mu m$)	0.01	2200	1	1	-	2	0.11
SubS (mV/dec)	-	-	69	90	122.5	80	90
DIBL mV/V	-	-	46	-	225	150	216

L'ensemble des dispositifs de la littérature ont été choisi afin de se conformer au noeud 22 nm. Bien que seul les références [Yasutake *et al.*, 2004] et [Haran *et al.*, 2008] respectent les caractéristiques physiques du modèle PTM, il est possible de sortir une tendance à partir des autres dispositifs de la littérature. Ainsi le courant I_{ON} du modèle PTM est très proche de l'ITRS et se situe quasiment au centre des données de la littérature. Les dispositifs en références [Auth *et al.*, 2012] et [Cheng *et al.*, 2011] développe plus de courant d'attaque en raison de leur géométrie. Le premier est basé sur une technologie *FinFET* et *Tri Gate* tandis que le second est développé sur un substrat SOI extrêmement fin. Les fuites, représentées par I_{OFF} , sont inférieures aux données de la littérature mais restent supérieures au but ultime de l'ITRS. Il faut se rappeler que le modèle est en design *bulk*. Les données pour la SubS et pour le DIBL semblent concorder. On pourra trouver sur la

figure suivante un regroupement des dernières valeurs mesurées du DIBL pour différentes géométries. On y verra que sa valeur évaluée avec le modèle PTM est sensiblement dans les marges mesurées sur des dispositifs physiques de même géométrie.

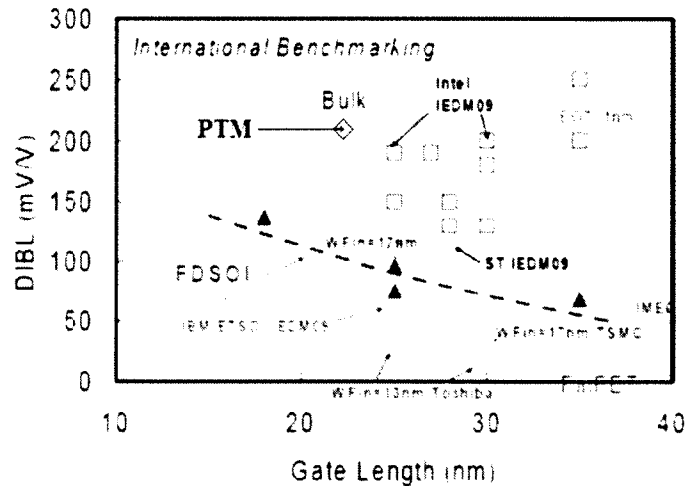


Figure 5.3 Benchmarking du DIBL. Modifié à partir de [Faynot *et al.*, 2010]

L'ensemble des données extirpées du modèle PTM sont valable à une température d'opération fixe et définie, $T = 25\text{ }^{\circ}\text{C}$. Kumar et al. [Kumar et Kursun, 2007] ont prouvé que dans ce dernier, les paramètres qui caractérisent les effets de la température sont généralement transférés d'une ancienne génération technologique sans aucune modification. Ceci induit alors une erreur grossière sur la vitesse et la consommation du circuit évalué lors de l'élévation de la température de ce dernier. Par exemple, le délai d'un inverseur CMOS suit la tendance inverse expliquée en référence [Kumar et Kursun, 2006]. En effet, au noeud 22 nm, il ne devrait pas diminuer avec une hausse de la température. Afin de palier à ce problème, l'implémentation d'un nouveau modèle *FinFET* [Sinha *et al.*, 2012] a été essayée sans succès. Il repose sur une technologie de modèle compact trop récente pour mon environnement de simulation (CADENCE).

En conclusion, à l'aide d'une comparaison des résultats extirpées du modèle et de données physiques de dispositifs de la littérature, nous pouvons conclure à une validation du modèle PTM utilisé pour une seule température d'opération, $T = 25\text{ }^{\circ}\text{C}$.

5.2 Modélisation par éléments finis

COMSOL Multiphysics est un logiciel d'ingénierie, de conception et d'analyse par éléments finis pour la modélisation et la simulation d'un grand nombre de problèmes liés à tous types de physique. L'utilisation de son module AC/DC m'a ainsi permis la modélisation et l'évaluation des capacités de mes dispositifs.

Nous verrons en premier lieu les différentes étapes réalisées sous COMSOL en vue d'un calcul de capacité par le biais de deux techniques : potentiel fixe ou induit. Puis nous évaluerons l'influence que peut avoir la géométrie de nos dispositifs SETs sur le calcul de ses capacités. L'obtention de résultats sous COMSOL se fait via trois grandes étapes. La première est la modélisation de nos dispositifs. Design et implémentation des matériaux de nos dispositifs sont réalisés en quelques clics. La deuxième étape est la plus critique des trois. Comme COMSOL est un outil basé sur la résolution d'équation aux dérivées partielles par le biais de la méthode des éléments finis, il est indispensable de réaliser une discrétisation des éléments (*meshing*) de nos designs de l'étape précédente la plus rigoureuse possible. La taille de ces éléments influence grandement la véracité des résultats obtenus. Un *meshing* très fin apporte une résolution accrue en contre partie d'un temps de calcul considérablement allongé. La troisième et dernière étape est l'évaluation en tant que telle de différents paramètres étudiés. Au sein de COMSOL et grâce au module AC/DC, un grand nombre de données physiques relatives à l'électrostatique sont mise à la disposition de l'utilisateur. Ainsi afin de calculer les capacités de nos dispositifs, nous entrons les formules suivantes :

$$C = \frac{dQ}{dV} \quad (5.5)$$

$$Q = \iint \vec{D} \cdot \vec{n} \quad (5.6)$$

Avec C, la capacité et Q, la charge surfacique, il est ainsi possible d'obtenir une matrice de capacités en faisant varier au tour à tour les potentiels des parties métalliques de nos dispositifs tout en fixant les restantes à zéro. On peut ainsi les estimer par le calcul suivant pour les deux méthodes (potentiel fixe et induit) :

$$C = \frac{\iint \vec{D} \cdot \vec{n}}{V_{fixe}} \quad (5.7)$$

$$C = \frac{\iint \vec{D} \cdot \vec{n}}{V_{fixe} - V_{induit}} \quad (5.8)$$

La figure 5.4 représente les trois étapes de COMSOL précédemment mentionnées.

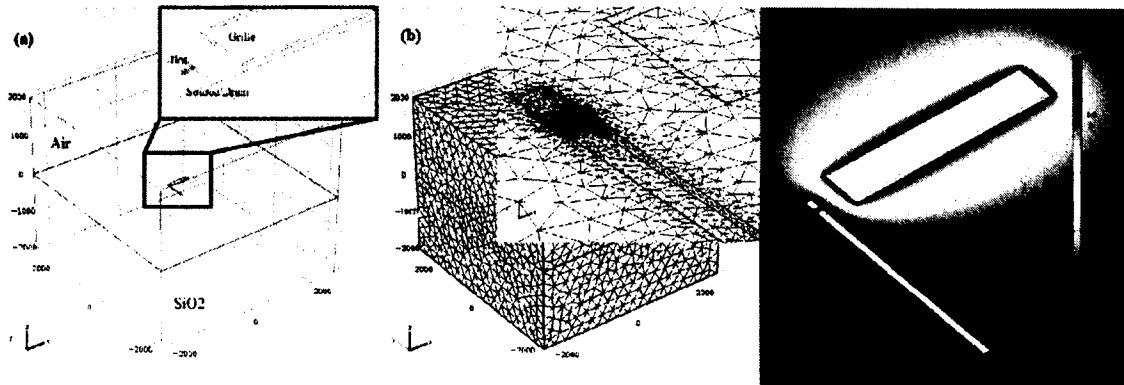


Figure 5.4 (a) Étape 1 : Design des dispositifs, (b) Étape 2 : Meshing et (c) Étape 3 : Potentiel électrique.

Dans la figure suivante, figure 5.5, vous pouvez retrouver le design effectué et les résultats des capacités simulés pour les deux méthodes de calcul. Les deux techniques donnant les mêmes résultats, un seul tableau est affiché.

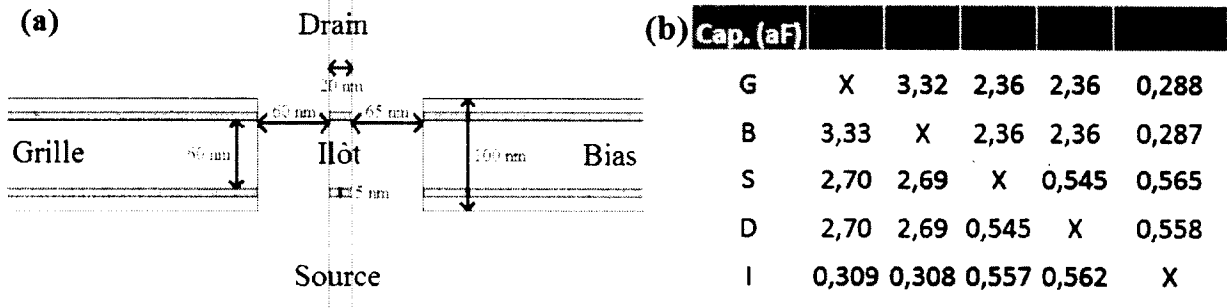


Figure 5.5 (a) Design d'un C-SET et (b) Capacités obtenues sous COMSOL.

Pour une même géométrie, les résultats des capacités par le modèle plaques parallèles donnent C_{GI} , C_{BI} et $C_{S/DI}$ une valeur respectivement de 0.14, 0.13 et 0.25 aF. Les différences entre les valeurs COMSOL et plaques parallèles proviennent essentiellement des capacités de *fringe*. Une étude a été faite et montré que la capacité Source/Drain- Îlot, sur notre design, est à 90% due à cet effet.

Afin de voir l'influence du design de la grille sur le calcul des capacités de jonctions, deux designs ont été réalisés; voir figure 5.6. Un premier représente un SET avec sa grille; en raison de la symétrie, seule une jonction a été dessinée. Le deuxième comme on peut le voir au-dessous est l'unique image d'un filot et de son drain ou source. La symétrie joue ici encore son rôle.

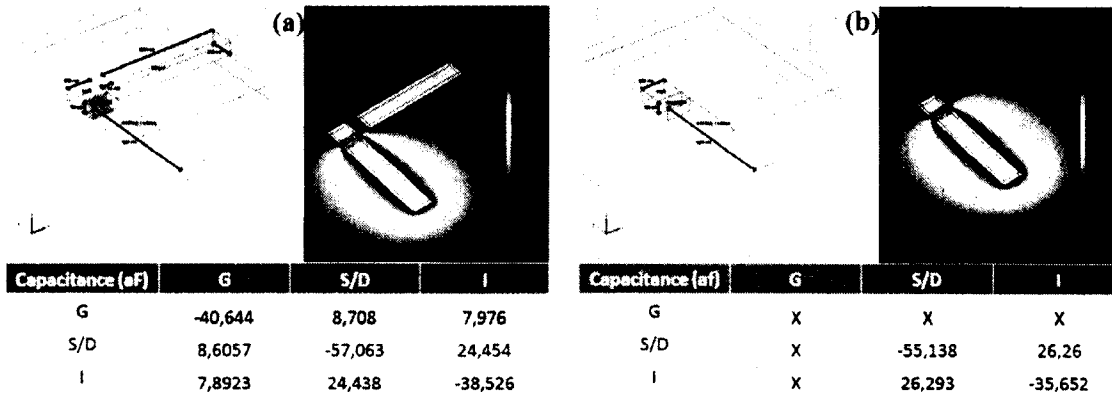


Figure 5.6 (a) Design et capacités d'un C-SET avec grille et (b) sans grille.

Il existe une différence de 7% entre les résultats de la capacité de jonction avec ou sans grille. Cette variation est principalement due aux déformations des lignes de champs lors de la présence de cette dernière. Dans le design sans grille, figure 5.6 (b), on majore cette capacité de jonction déjà sur-évaluée par la méthode COMSOL. Et comme les dimensions devenant de plus en plus petites, les variations de champs électriques sont de plus en plus importantes, il est donc indispensable d'ajouter la grille au design car les valeurs COMSOL convergent ainsi vers celles du modèle plaque parallèle.

5.3 Méthodologie de mesure

Dans les sections suivantes nous allons discuter de puissance, délai, marge de bruit ou encore d'excursion de tension. Afin de bien comprendre ces différents adages, une méthodologie sera présentée pour chacun.

5.3.1 Marge de bruit et excursion de sortie

Marge de bruit

La marge de bruit d'un circuit est sa capacité à éliminer le bruit sur ses entrées (bruit par couplage capacitif, résistif, bruit thermique, ...). A partir de la courbe VTC d'un inverseur (figure 5.7), obtenue par une étude statique de ce dernier, nous pouvons déterminer :

- V_{OH} : tension minimale de sortie représentant un état haut
- V_{OL} : tension maximale de sortie représentant un état bas
- V_{IH} : tension minimale d'entrée pour laquelle on est à l'état bas en sortie
- V_{IL} : tension maximale d'entrée pour laquelle on est à l'état haut en sortie

Pour les mêmes conditions que dans la logique CMOS, V_{IH} et V_{IL} sont définies par la position d'un gain équivalent à -1 sur la courbe VTC. On obtient alors les marges de bruit hautes, NM_H , et basse, NM_L et moyenne, NM , telles que :

$$NM_H = V_{OH} - V_{IL} \quad (5.9)$$

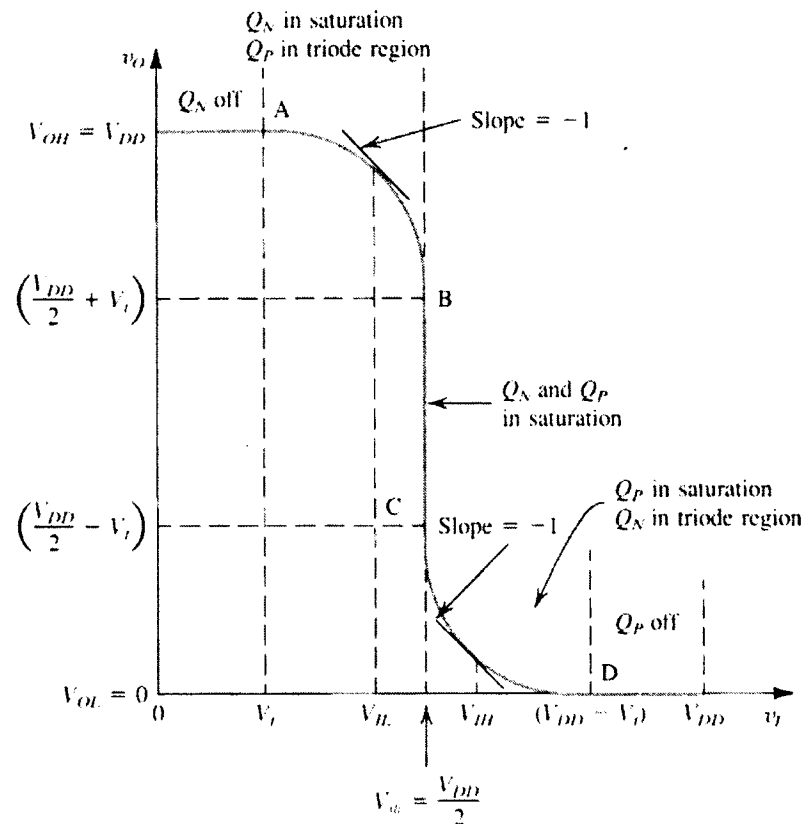
$$NM_L = V_{IH} - V_{OL} \quad (5.10)$$

$$NM = \frac{NM_H + NM_L}{2} \quad (5.11)$$

Excursion de sortie

L'excursion de sortie, VS , est la différence de tension maximale existant en sortie de l'inverseur. On peut la calculer par le biais de V_{OH} et V_{OL} .

$$VS = V_{OH} - V_{OL} \quad (5.12)$$



Microelectronic Circuits - Fifth Edition Sedra/Smith

Figure 5.7 Estimation de la marge de bruit à partir de la courbe VTC d'un inverseur CMOS. [Sedra et Smith, 2004]

5.3.2 Délai

Il existe plusieurs délais au sein d'un inverseur. Celui qui nous intéresse le plus est le temps de propagation, T_p , où délai intrinsèque. Également connu sous le nom de délai FO1 pour *Fan-Out-of-One*, il représente le retard du signal entre deux inverseurs identiques.

Un circuit FO1 est représenté en figure 5.8. Une étude temporelle du circuit permet alors d'obtenir la période d'oscillation, T , de ce circuit composé de N inverseurs. Les temps de transitions bas-haut, T_{PLH} , et haut-bas, T_{PHL} , indique la durée que met le signal à passer d'un état bas à un état haut et vice et versa. Dans un circuit inverseur SET ses valeurs sont identiques si les SETs le composant sont physiquement identiques.



Figure 5.8 Circuit FO1 pour mesure du temps de propagation, T_p , avec $N=5$.

$$T = N(T_{pLH} + T_{pHL}) \quad (5.13)$$

$$T_p = \frac{T_{pLH} + T_{pHL}}{2} \quad (5.14)$$

$$T_p = \frac{T}{2N} \quad (5.15)$$

Dans les circuits optimisés pour la vitesse, le *fanout* typique est aux alentours de 4. Les designers usent ainsi souvent le *fanout-of-four* (FO4) comme unité de normalisation de leurs circuit afin de pouvoir les comparer.

5.3.3 Puissance

Le calcul des puissances dans un inverseur représente l'addition de trois grandes composantes :

- Puissance statique ; quand l'entrée de l'inverseur est fixe.
- Puissance dynamique ; due au chargement et déchargement de la charge de l'inverseur.
- Puissance dynamique de court-circuit ; courant de fuite directe de V_{DD} à la masse quand les deux transistors sont passants. On fait ici référence à la présence d'un courant statique non nul dans la région de transition logique. L'inverseur CMOS présente en effet une co-conduction des deux transistors le composant [Veendrick, 1984]. Le courant de fuite induit est alors nommé I_{SC} , pour courant de court-circuit. Ce courant circule aussi longtemps que l'entrée tension, V_{IN} , est supérieure à la tension de seuil, V_{TN} , du nMOS et inférieure à celle du pMOS, $V_{DD} - |V_{TP}|$.

Le circuit de mesure de la puissance est représenté en figure 5.10 (a). L'inverseur à tester est situé au centre de *buffers* adaptant le signal de la source V_0 et faisant office de charge. En figure 5.10 (b), le signal d'entrée est fixe (V_{DD} ou 0). On obtient alors des états stables

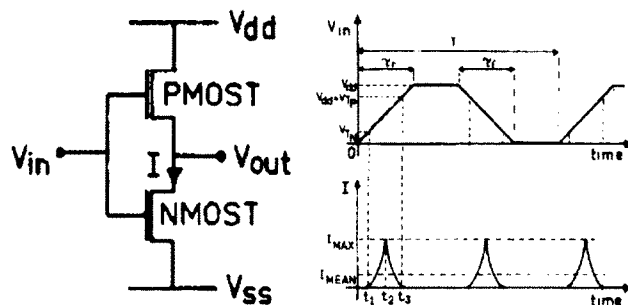


Figure 5.9 Inverseur CMOS basique et comportement du courant de court-circuit au sein d'un inverseur CMOS [Veendrick, 1984].

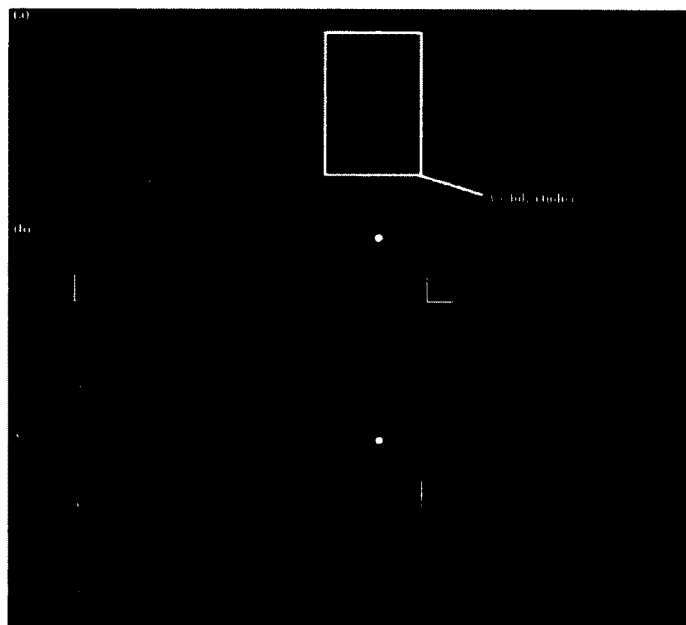


Figure 5.10 (a) Schéma électrique de mesure, (b) protocole pour mesure de la puissance statique et (c) de la puissance dynamique.

sur l'ensemble des sorties des inverseurs. Il est donc possible d'obtenir pour la cellule étudié la puissance statique.

$$P_{STATIC} = I * V_{DD} \quad (5.16)$$

En figure 5.10 (c), le signal d'entrée est cadencé à une fréquence fixe. Un seul tick d'horloge est envoyé en entrée. On obtient alors une propagation de ce signal permettant la mesure de la puissance dynamique.

$$P_{DYNAMIC} = MOYENNE(I * V_{DD}) - P_{STATIC} \quad (5.17)$$

La puissance dynamique de court-circuit est incluse dans cette puissance dynamique.

5.4 Hystérésis

Dans la logique établie par Tucker [Tucker, 1992], *static CMOS-like SET logic*, l'inverseur C-SET fonctionne tel que son homologue CMOS.

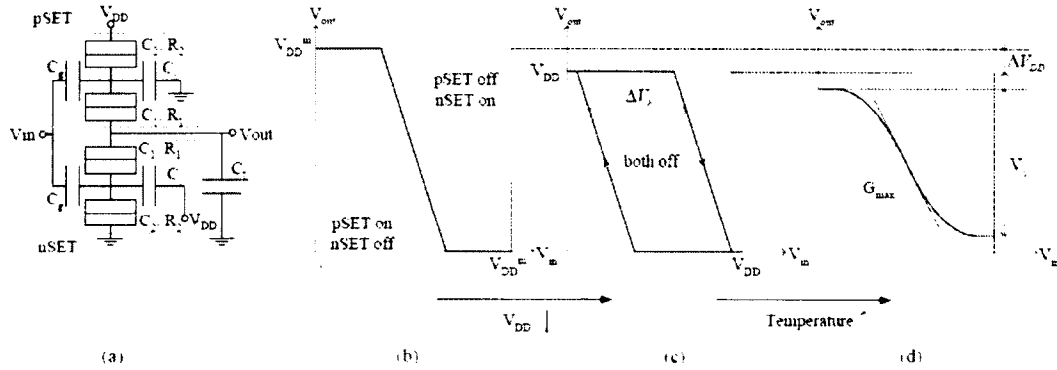


Figure 5.11 (a) Schéma d'un inverseur d'après Tucker, VTC (b) en mode NH, (c) en mode H et (d) lors de l'accroissement de la température [Jeong, 2001].

Pour cette logique SET, le courant I_{SC} de co-conduction se produit en raison d'une séparation incomplète des régions de blocage de Coulomb des deux SETs. Nous appellerons par la suite ce mode de fonctionnement non hystérésis (NH). A l'inverse, un nouveau mode d'opération est obtenu lorsque les SETs formant l'inverseur sont tous les deux dans la région BC lors de la transition logique. On parle alors d'un mode avec hystérésis (H). La courbe de tension de transfert (VTC) en figure 5.11 b et à la figure 5.11 c représente les modes de NH et H.

Pour Jeong *et al* [Jeong, 2001], le mode dit d'hystérésis est obtenu en diminuant la tension d'alimentation, V_{DD} , à partir de sa valeur maximale. A l'aide de calculs simples, nous allons donc tenter d'expliquer ce phénomène. Tout d'abord, il nous faut connaître les deux tensions de V_{IN} permettant de rendre passant tantôt le nSET, tantôt le pSET de l'inverseur en figure 5.11 a.

$$V_{th_{nSET}} = \frac{\frac{e}{2} - (C_S + C_J)V_{DD}}{C_G} \quad (5.18)$$

$$V_{th_{pSET}} = \frac{-\frac{e}{2} + (C_G + C_S + C_J)V_{DD}}{C_G} \quad (5.19)$$

Ces tensions d'activation sont toutes dépendantes de la tension d'alimentation. Si V_{DD} diminue alors $V_{th_{nSET}}$ décroît tandis que $V_{th_{pSET}}$ augmente. On obtient alors la valeur de

l'hystérésis, ΔV :

$$\Delta V = \frac{e - (C_G + 2C_B + C_J)V_{DD}}{C_G} \quad (5.20)$$

Cependant, il semble plus judicieux d'obtenir l'un des deux modes de fonctionnement pour une même tension V_{DD} . En choisissant de manière adéquate, les caractéristiques des SETs, il est possible d'obtenir un mode soit NH soit H. A la tension d'opération maximale, V_{DD_m} , l'inverseur fonctionne dans un mode sans hystérésis.

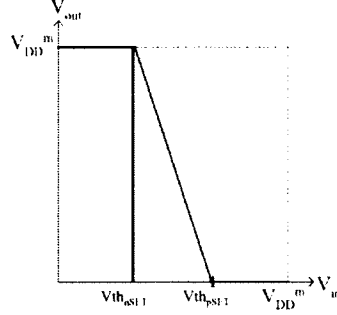


Figure 5.12 Calcul de la tension d'alimentation optimale, V_{DD_m} .

$$V_{OUT} = -\frac{C_G}{C_J}V_{IN} + b \quad (5.21)$$

$$V_{DD_m} = -\frac{C_G}{C_J}V_{th_nSET} + b \quad (5.22)$$

$$0 = -\frac{C_G}{C_J}V_{th_pSET} + b \quad (5.23)$$

$$V_{DD_m} = \frac{e}{C_G + 2C_S + C_J} \quad (5.24)$$

Afin de maximiser ΔV , il faut faire correspondre V_{DD_m} avec $V_{DD_mTUCKER}$, exprimée par Tucker [Tucker, 1992].

$$V_{DD_m} = V_{DD_mTUCKER} \quad (5.25)$$

$$\frac{e}{C_G + 2C_S + C_T} = \frac{e}{2(C_G + C_J)} \quad (5.26)$$

$$C_S = \frac{C_G + C_J}{2} \quad (5.27)$$

Le tableau suivant indique les caractéristiques des SETs de la figure 5.11 a pour les deux modes H et NH en figure 5.11 b et c que l'on utilisera par la suite. Avec les paramètres de la table 5.3 imposés aux SETs d'un inverseur, les courbes des caractéristiques de transfert pour chaque mode d'opération sont données en figure 5.13. La première information flagrante à tirer des courbes de cette figure 5.13 est la différence des niveaux de courant

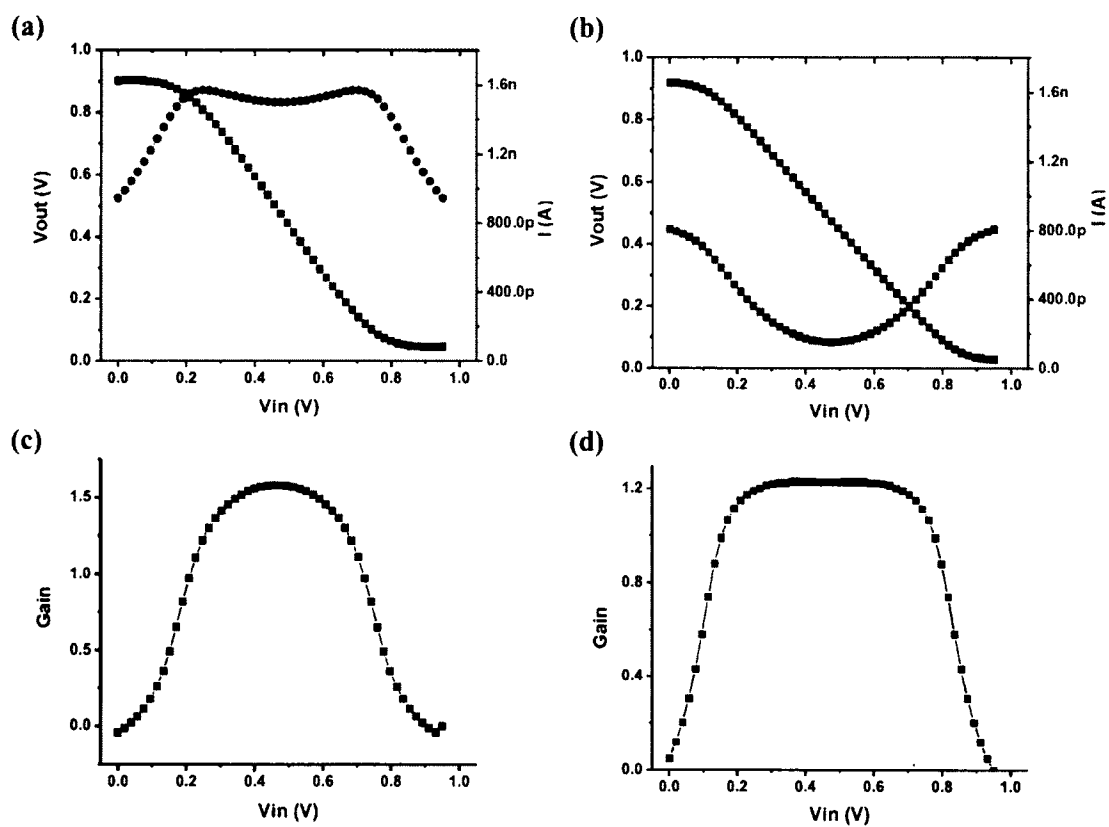


Figure 5.13 (a)(c) Caractéristique de transfert (VTC), courant et gain d'un inverseur en mode NH et (b)(d) H.

Tableau 5.3 Valeurs des capacités des SETs d'un inverseur C-SET pour deux modes d'opérations, NH et H, et pour une même tension d'alimentation, $V_{DD}=0.95$ V

Mode non-hystérésis					
C_G	Cap. grille (zF)	35	C_S	2 nd cap. grille (zF)	55
C_2	Cap. drain (zF)	20	C_1	Cap. Source (zF)	20
Mode hystérésis					
C_G	Cap. grille (zF)	50	C_S	2 nd cap. grille (zF)	35
C_2	Cap. drain (zF)	20	C_1	Cap. Source (zF)	20

de fuite dynamique entre les deux modes d'opération. Sans hystérésis, l'inverseur présente un comportement typique à un CMOS. La séparation des blocages de Coulomb, dans le mode avec hystérésis apporte quant à lui une diminution de ce courant de co-conduction, I_{SC} . La seconde information importante à retenir est la diminution de la marge de bruit dans le mode avec hystérésis. Cela est dû au fait que les tensions d'activation des SETs sont poussées vers l'extérieur de la caractéristique de transfert, figure 5.11.

Tableau 5.4 Comparaison des caractéristiques électriques d'un inverseur C-SET pour deux modes d'opérations, NH et H, et pour une même tension d'alimentation, $V_{DD}=0.95$ V

Temp : 300 (K)	P_{avg} @ 200 MHz (nW)	Délai (ps)	Marge de bruit (V)
INV_{NH}	0.96	7.57	0.18
INV_H	0.82	19.22	0.14

Au vue des résultats du tableau 5.4, l'hystérésis permet à un inverseur C-SET de moins consommé que son homologue en technologie sans hystérésis. Et bien que l'on double le temps de propagation, passant de 7.6 (NH) à 19 ps (H), la puissance dynamique de fuite est diminuée de plus de 80 %. Cependant, comme il existe une puissance statique non négligeable au sein d'un inverseur C-SET, la puissance totale consommée baisse seulement de 15 % passant de 0.96 à 0.82 nW. Mais cette réduction de puissance s'effectuant lors de la transition logique, son effet s'accroît lors de l'augmentation de la fréquence d'opération. Plus de transitions induisent pour un système sans hystérésis à une augmentation de la puissance dynamique de court-circuit. L'effet de cette technique pourrait également être accentuer par l'ajout de barrière diélectrique à nos SETs. Réduisant le courant de fuite thermoïonique, on supprimerait ainsi une partie du courant de fuite statique tout en travaillant de part l'hystérésis sur la puissance dynamique. Autre que l'utilisation de barrière tampon, nous allons voir dans la partie suivante comment réduire autrement la puissance statique.

5.5 Technique d'empilement

Nous avons pu réduire les pertes dues à la co-conduction via l'utilisation de l'hystérésis mais il reste cependant à régler les autres fuites potentielles de notre inverseur. Ainsi, dans la section suivante, nous allons introduire l'idée d'empilement de SETs.

5.5.1 Empilement série

La technique d'empilement en série, *serial stacking*, est une solution bien connue des designers en technologie CMOS. Elle permet en effet de diminuer les effets de fuite de la grille [Mukhopadhyay *et al.*, 2003] mais aussi du courant dit sous seuil (*subthreshold leakage*) [Deepaksubramanyan et Nunez, 2007; Rahman et Chakrabarti, 2004]. Ce dernier est un courant de fuite drain-source présent lorsque le transistor est bloqué. Cela se produit lorsque la tension V_{GS} appliquée est inférieure à la tension de seuil, V_{th} , du transistor. On parle alors de mode dit de faible inversion. La figure 5.14 représente l'évolution d'une cellule inverseuse C-SET basique vers un design d'empilement en série.

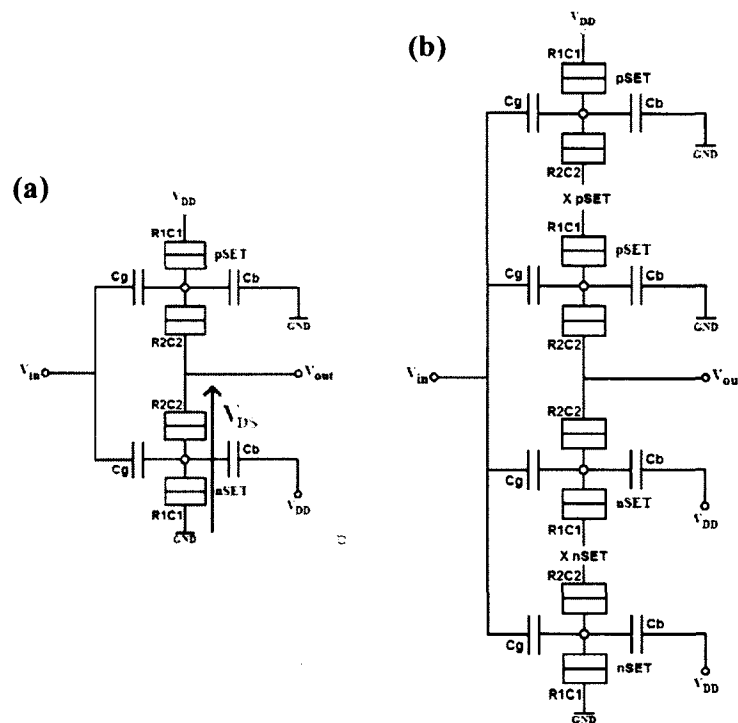


Figure 5.14 (a) Inverseur C-SET et (b) inverseur avec empilement série de C-SET.

L'effet de fuite principale pour la technologie SET est comme vous avez pu le lire dans les chapitres précédents le courant thermoïonique, I_{TH} . Ce courant, principalement induit

par la température, est également sensible à la tension source-drain appliquée sur le SET. La formule mathématique de I_{TH} [Dubuc *et al.*, 2009], est telle que :

$$I_{TH} \approx T^2 e^{\frac{\sqrt{V_{DS}}}{T}} \quad (5.28)$$

En considérant seulement la partie nSET des deux cellules, nous pouvons observer que pour la cellule (b) la tension $V_{DS_{ST}}$ appliquée à chacun des SETs la composant est un diviseur de tension de la cellule (a). En effet, nous pouvons écrire :

$$V_{DS_{ST}} = \frac{V_{DS}}{N} \quad (5.29)$$

N est représentatif du nombre de C-SET composant l'une des branches de l'inverseur (n ou p). Ainsi, bien qu'une diminution de la tension V_{DS} comparée à une chute de la température d'opération T entraîne une plus faible variation de I_{TH} ; l'empilement en série devrait diminuer cette fuite thermoïonique. L'évolution des tensions de sortie des deux dispositifs, pour les deux modes d'opérations H et NH, est donné dans la figure 5.16.

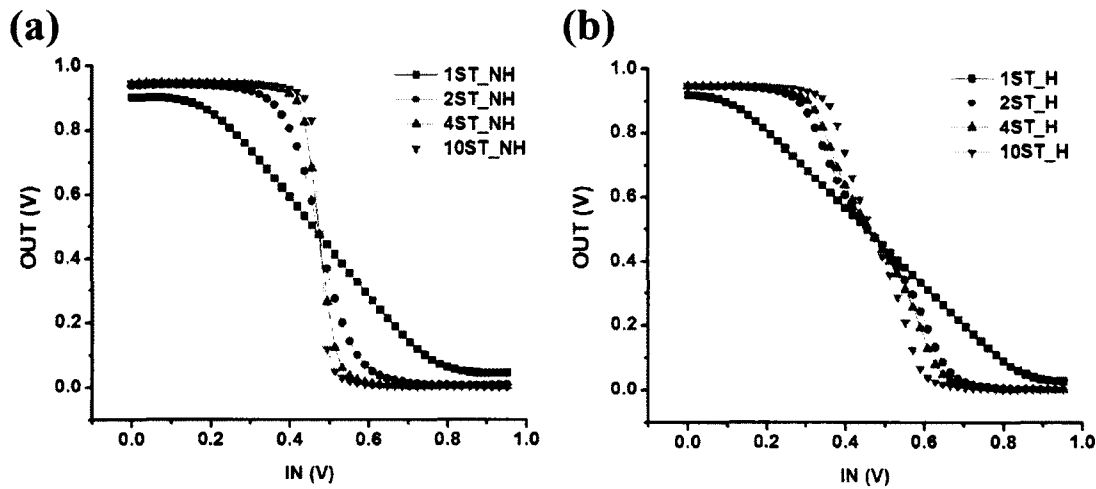


Figure 5.15 VTC d'un inverseur simple et empilé dans les deux modes d'opérations (a) non-hystérésis (NH) et (b) hystérésis (H).

Le tableau suivant, tableau 5.5, permet de comparer les caractéristiques de nos deux designs. Le courant thermoïonique n'a pas été le seul à diminuer ; le courant d'attaque de la cellule empilée est lui aussi restreint. On peut voir que cette variation induit principalement une augmentation du délai et une diminution de la puissance consommée. Cependant, de

part une augmentation du gain, la marge de bruit a été amélioré et via la suppression partielle du courant thermoïonique, l'excursion de la tension de sortie a été augmenté.

Tableau 5.5 Comparaison des caractéristiques électriques d'un inverseur C-SET simple et empilé avec son homologue CMOS 22nm.

Temp : 300K	INV NH	INV H	2ST INV NH	2ST INV H	INV CMOS
P_{avg} (nW)	0.96	0.82	0.084	0.072	18.72
P_{dyn} (nW)	0.07	0.02	0.017	0.018	18.72
P_{stat} (nW)	0.89	0.8	0.067	0.054	3.23
VS (%VDD)	90.5	93.7	97.9	98.95	99.7
NM (V)	0.18	0.14	0.32	0.19	0.38
T_p (ps) [FO1]	7.57	19.22	80.3	120.9	13.43
T_p (ps) [FO4]	38.5	94.7	387.65	882.75	29.25
T_p (ps) [FO10]	77.8	200.15	828.65	1900	61.8
Gain	1.6	1.2	4.8	2.3	6

Tout comme pour la technologie CMOS, le gain, G , influence la marge de bruit d'un inverseur SET de telle façon que :

$$V_M = \frac{V_{DD}}{2} \quad (5.30)$$

$$V_{IL} = V_M - \left(\frac{V_{DD}}{2G}\right) = \frac{V_{DD}}{2} \left(1 - \frac{1}{G}\right) \quad (5.31)$$

$$V_{IH} = V_M + \left(\frac{V_{DD}}{2G}\right) = \frac{V_{DD}}{2} \left(1 + \frac{1}{G}\right) \quad (5.32)$$

$$NM_L = V_{IL} - V_{OL} = \frac{V_{DD}}{2} \left(1 - \frac{1}{G}\right) \quad (5.33)$$

$$NM_H = V_{OH} - V_{IH} = V_{DD} - \frac{V_{DD}}{2} \left(1 + \frac{1}{G}\right) \quad (5.34)$$

D'où vient cette évolution du gain ? Elle est influencée par le nombre, N , de SETs empilés et par la hauteur de barrière, ϕ_0 , des jonctions tunnels. Pour rappel, ϕ_0 diminue le courant thermoïonique lorsque que sa valeur augmente. De ce fait, lors de son accroissement le gain tend vers sa valeur idéale tel que représenté en figure 5.16 pour un inverseur simple et double (2ST) en mode NH.

Pour une cellule à empilement double, ce gain idéal est calculé de la manière suivante en utilisant la même procédure que dans l'équation 3.40. On pourra également retrouver le

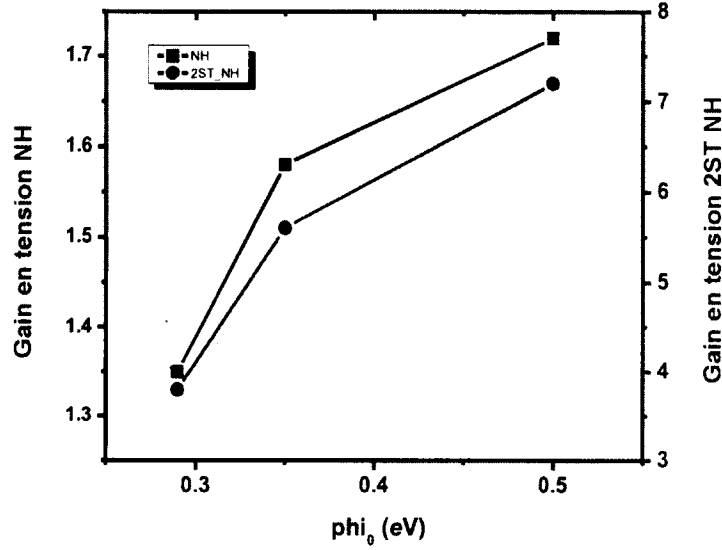


Figure 5.16 Gain d'un inverseur simple et avec empilement en fonction de la hauteur de barrière ϕ_0 .

schéma référant à ce calcul en figure 5.17 (b).

$$V_{J1} = \frac{1}{C_{\Sigma ST}} [(C_G + C_B + \frac{C_J}{2})V_{DD} - C_G V_{IN} - \frac{C_J}{2} * V_Y - q] \quad (5.35)$$

$$V_{J2} = \frac{1}{C_{\Sigma ST}} [C_J V_{DD} + C_G V_{IN} - (C_G + C_B + C_J)V_Y + q] \quad (5.36)$$

$$V_{J2} = \frac{1}{C_{\Sigma ST}} [(C_G + C_B + C_J)V_X - C_G V_{IN} - C_J V_{OUT} - q] \quad (5.37)$$

$$C_{\Sigma ST} = C_G + C_B + C_J + \frac{C_J}{2} \quad (5.38)$$

En solutionnant 5.36 = 5.37 et en remplaçant le résultat dans 5.35, nous obtenons :

$$\frac{\partial V_{J1}}{\partial V_{IN}} = -\frac{C_G}{C_G + C_B + C_J} + \frac{C_J^2}{2(C_B + C_G + C_J)(C_B + C_G + 2C_J)} \frac{\partial V_{OUT}}{\partial V_{IN}} = 0 \quad (5.39)$$

$$\frac{\partial V_{OUT}}{\partial V_{IN}} = -\frac{C_G(2C_{\Sigma ST} + C_J)}{C_J^2} \quad (5.40)$$

On peut réécrire ce gain à partir de la capacité totale initiale des SETs en figure 5.17 (a),

$$C_{\Sigma} = C_G + C_B + 2C_J.$$

$$\frac{\partial V_{OUT}}{\partial V_{IN}} = A_{v_{2ST}} = -\frac{2C_G C_\Sigma}{C_J^2} \quad (5.41)$$

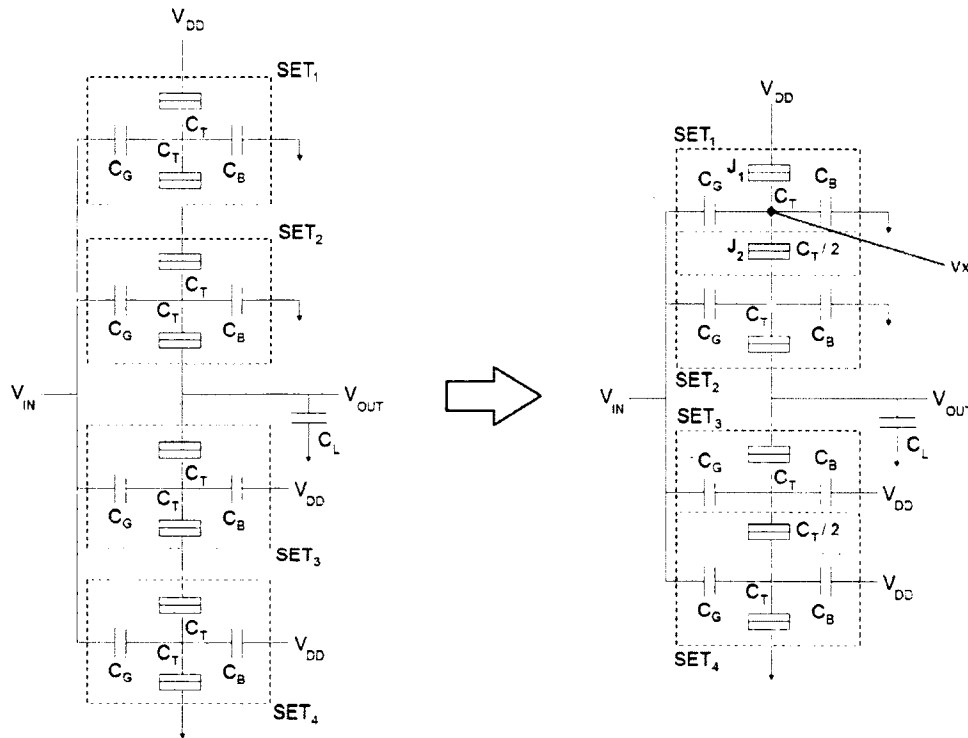


Figure 5.17 Modification du schéma électrique d'un inverseur à empilement série avec $N=2$ pour le calcul de son gain en tension.

Le gain ainsi calculé semble concorder avec celui de SETs multi-flots [Jeong, 2001]. Par exemple, une SET composé de trois jonctions tunnels a un gain, à $T = 0$ K, estimé de :

$$G_{MI} = -\frac{C_G(C_G + C_B + 3C_J)}{C_J^2} \quad (5.42)$$

Avec les caractéristiques de l'inverseur NH du tableau 5.3, nous obtenons un gain proche de 13. Ceci coïncide avec celui de 3 SETs empilés estimé à 12.8. Cependant, au sein d'un SET multi-flots, il existe un couplage de ses flots via l'idée de soliton [Chen et Likharev, 1998] et cela explique un gain élevé. Mais pour des SETs empilés, il n'y a aucun couplage. Les flots sont plus espacés et normalement capacitivement découplés et tout repose donc sur la technique d'empilement série.

5.5.2 Empilement parallèle

Empiler des SETs en série est une chose mais empiler des SETs en parallèle en est une autre [Ionescu *et al.*, 2002; Parekh *et al.*, 2012]. Nous avons vu que dernièrement que l'empilement série permet d'obtenir un gain en tension au détriment d'une diminution du gain en courant. Afin de remédier à cet aléa, nous utilisons la technique d'empilement parallèle. Pour une augmentation du gain en courant, elle garde un gain en tension stable. Le faible courant d'attaque de l'empilement série conduit à une diminution des fréquences de fonctionnement maximales du circuit ou il est implémenté. La plus simple contre-mesure afin de travailler à de plus hautes fréquences avec des circuits SETs où hybrides SET-CMOS est l'utilisation de l'empilement parallèle (*buffer*), représenté en figure 5.18.

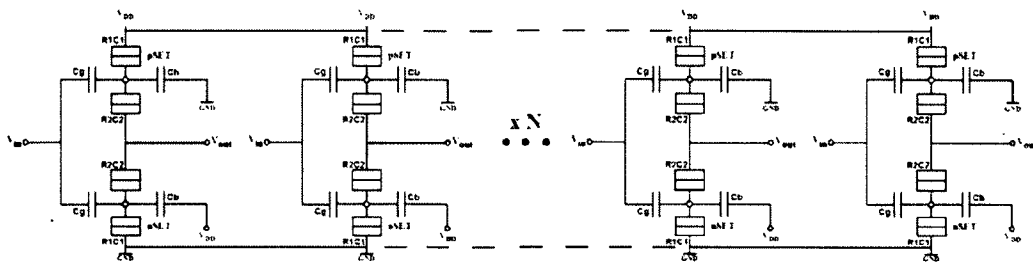


Figure 5.18 Schéma électrique d'un buffer SET (N inverseurs SET en parallèle).

Afin de voir l'influence de ce *buffer* sur la fréquence d'opération, nous allons faire une étude fréquentielle du circuit suivant. Un inverseur CMOS 22 nm joue le rôle de charge pour un inverseur SET et son buffer (figure 5.19).

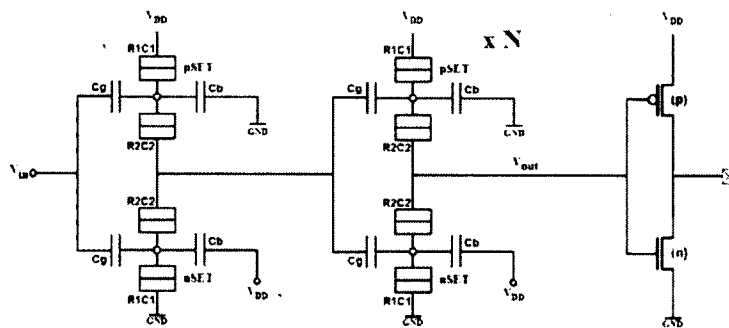


Figure 5.19 Circuit d'étude fréquentielle sur l'influence du buffer SET.

Pour N variant de 5 à 40, comme on peut le voir sur la figure 5.20, la fréquence maximale d'opération estimée a une valeur proche de 4.5 GHz. Elle est obtenue avec un inverseur avec empilement double, en mode H ou NH, et un *buffer* ($N=40$) en mode NH. La raison principale de ce choix de buffer vient du fait que les inverseurs en mode non hystérésis

injecte plus de courant que leurs homologues avec hystérésis. De plus, comme la capacité d'entrée de l'inverseur NH est inférieure à celle du mode H, la fréquence de fonctionnement en est de même améliorée.

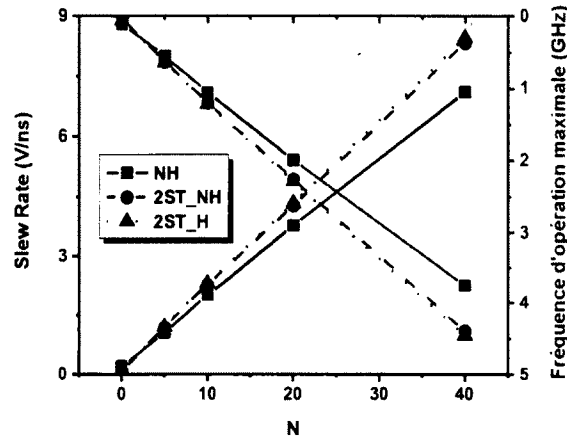


Figure 5.20 Slew rate et fréquence d'opération maximale d'un inverseur SET avec *buffer* chargeant un CMOS 22nm.

Le temps de montée (*slew-rate*, SR) est également représenté en figure 5.20. Il définit la vitesse de variation de la tension de sortie d'un dispositif lorsque l'on applique à son entrée un échelon de tension. Ici, le SR dépend généralement du courant de charge maximum que peut fournir l'étage SET. Ce courant sert majoritairement à charger la capacité présente dans l'étage CMOS. La relation courant/tension est alors celle d'un condensateur, $i = C \frac{dV}{dt}$. Le *slew-rate* peut s'obtenir de la façon suivante :

$$SR = \max \frac{dV_{OUT}}{dt} = \frac{I_{OUT}}{C_{LOAD}} \quad (5.43)$$

Tandis que C_{LOAD} est représenté par l'inverseur CMOS, le courant I_{OUT} est fonction du nombre d'inverseurs SET composant le *buffer*. Lorsque I_{OUT} augmente, le SR augmente également et la fréquence d'opération s'améliore.

Afin de vérifier les résultats précédents, le circuit en figure 5.19 a été testé à une fréquence de 2.5 GHz. On peut retrouver les signaux V_{IN} et V_{OUT} pour un inverseur simple et avec empilement double dans les deux modes d'opération. Le *buffer* est composé d'inverseurs simples en mode non-hystérésis.

Les signaux V_{OUT} pour chaque dispositifs et mode de fonctionnement présentent un *voltage swing* quasi maximal au milieu du signal V_{IN} après les fronts montants et descendants de ce dernier. Au vue des signaux $V_{OUT_{2ST}}(NH)$ et $V_{OUT_{2ST}}(H)$ superposés en figure 5.21, on

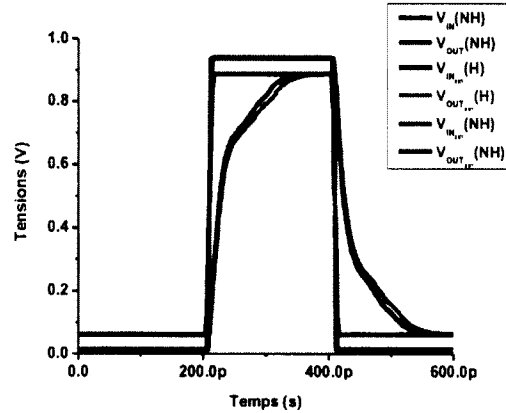


Figure 5.21 Fonctionnement d'un inverseur SET avec buffer et charge CMOS à une fréquence de 2.5 GHz.

peut estimer que les fréquences de coupures autour de 4 à 5 GHz semblent concorder avec ces résultats.

En conclusion, le gain en tension d'une cellule à empilement série couplé au gain en courant d'un *buffer* permet de commander des circuits CMOS à l'aide de SETs à de plus hautes fréquences. Un inverseur avec empilement série double chargé par un *buffer* de 0 à 40 dispositifs est capable de commander un inverseur CMOS en technologie 22 nm pour des fréquences variant de 30 MHz à plus de 4.5 GHz. En CMOS, on peut faire l'analogie de ces techniques de *buffer* SET par une augmentation de la largeur ou du nombre de doigts de grille d'un transistor MOSFET.

5.5.3 Implémentation physique

Après avoir vu la théorie de l'empilement adapté à la technologie SET, nous allons maintenant voir comment l'implémenter physiquement. L'adaptation du procédé de fabrication à cette technique est assez simple et repose sur une modification mineure des designs de grille latérale présentés par Jean-François dans son mémoire [Morissette, 2010]. La modification est seulement requise pour les deux étapes d'électrolithographie du procédé nanodamascène car elles sont les deux seules à influencer directement le design des SETs.

Si l'on regarde le CAD d'un design d'un inverseur à double empilement série, en figure 5.22 (a), on voit l'ajout de deux boîtes de grille et de polarisation aux abords du canal source-drain. Sur le circuit électrique résultant du CAD, en figure 5.22 (b), la position des SETs dans chaque branche de l'inverseur est indiqué. Dans ce design, tous les SETs sont indépendants car il ont chacun leur propre boîte de grille et de polarisation. Ceci a été réalisé en dédoublant le design initial d'un inverseur simple pour les étapes d'EBL1 et 2.

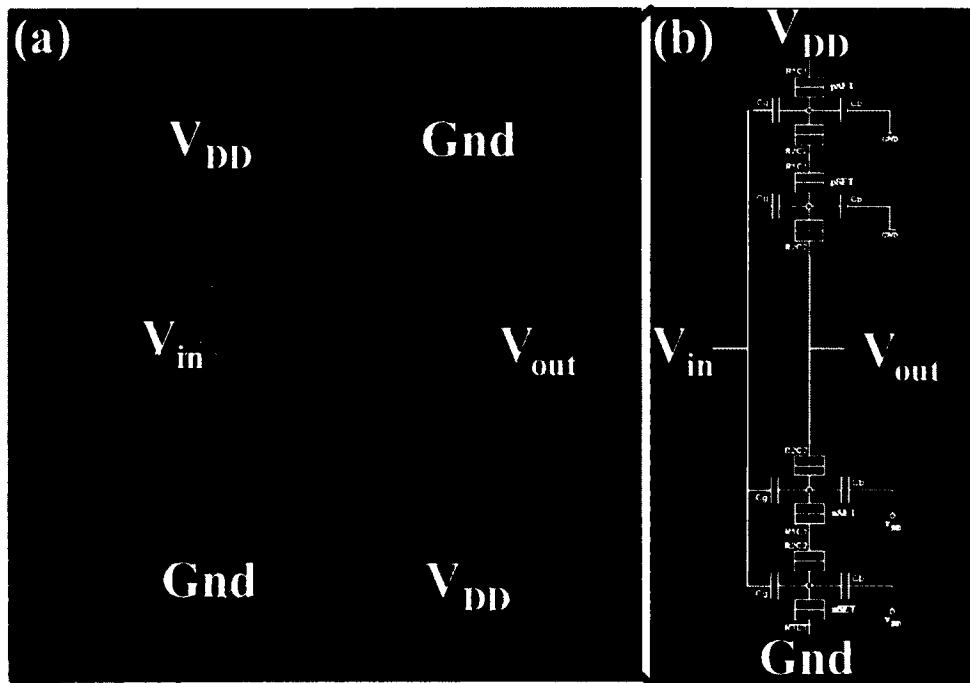


Figure 5.22 (a) CAD d'un inverseur avec double empilement série et (b) corrélation avec son schéma électrique.

Par déduction, un inverseur à empilement triple a trois boîtes de grille et de polarisation distinctes pour le nSET et le pSET tel que sur la photo SEM donnée par l'image 5.23 (b).

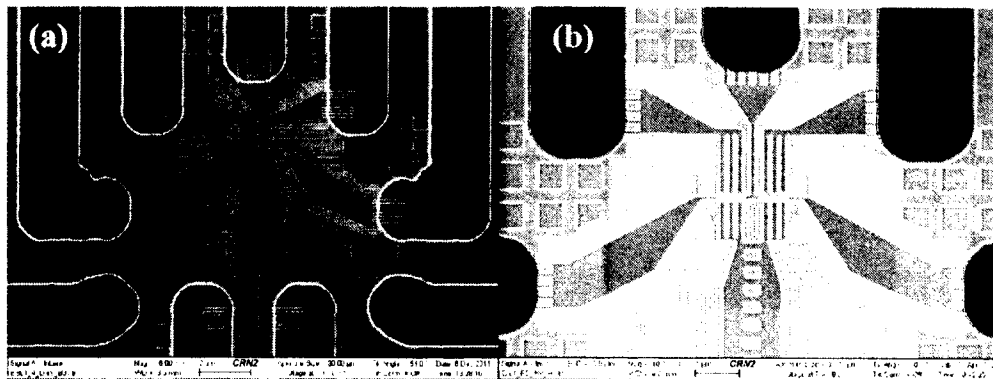


Figure 5.23 (a) Image SEM d'un inverseur SET simple et (b) d'un inverseur avec empilement série composé de 3 SET après EBLI.

5.6 Influence des charges pararistes

Un des problèmes récurrents développé autour de la logique SET est sa sensibilité aux impuretés chargées et piégées dans le substrat, les charges de fond (*background charges*, BC) [Wolf *et al.*, 1997; Zorin *et al.*, 1996]. Agissant comme des grilles parasites, elles changent les seuils des blocages de Coulomb des dispositifs affectés et donc leurs caractéristiques de fonctionnement.

5.6.1 Solutions connues

Deux solutions s'offrent à nous afin de combattre les BCs. La première réside en les supprimant tout simplement en utilisant des matériaux extrêmement purs. Cependant, plusieurs études suggèrent que ce problème peut se révéler ne pas être si grave que ça [Korotkov, 1996; Lambe et Jaklevic, 1969]. Dans des systèmes présentant un nombre élevé de pièges, il a été expérimentalement prouvé que leur influence générale tend vers zéro. Deuxièmement, on peut résoudre ce problème au niveau du dispositif lui-même ou par l'architecture générale du circuit. Bien que théoriquement possible, il est impensable d'ajuster indépendamment chaque dispositifs souffrant de ces BCs à l'aide leur seconde grille de contrôle, C_B . Cependant, au niveau circuit, il est possible de diminuer le taux d'erreur via une logique dit redondante [Schmid et Leblebici, 2004; She *et al.*, 2012]. La figure suivant présente une architecture tolérante aux BCs.

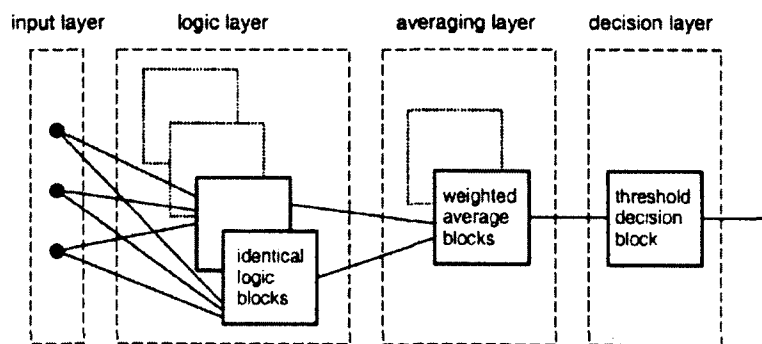


Figure 5.24 Architecture dite *Fault Tolerant* basée sur des niveaux multiples. Tirée de [Schmid et Leblebici, 2004].

Le remplacement de nos SETs capacitivement couplés par des dispositifs avec une grille résistive (R-SET) est également une possibilité. Insensibles aux BCs, les R-SET présentent cependant une diminution plus rapide de leurs caractéristiques électriques lors d'une aug-

mentation de la température d'opération en comparaison à un C-SET [Ionescu *et al.*, 2002; Korotkov, 1998]. Il également plus difficile de fabriquer de tels dispositifs.

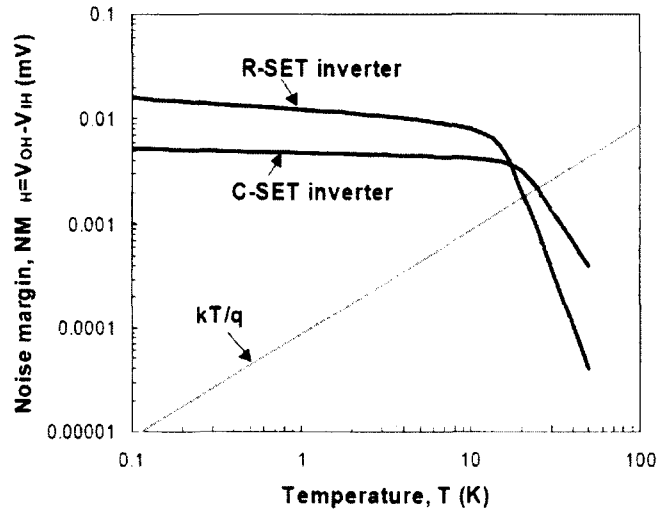


Figure 5.25 Marge de bruit haute, NM_H , d'un inverseur C-SET et R-SET en fonction de sa température d'opération [Ionescu *et al.*, 2002].

5.6.2 Effets des BCs sur un design à empilement série

Ne pouvant utiliser ni l'une ni l'autre des solutions proposés précédemment, nous allons étudier l'impact des BCs sur les designs avec empilement série. Est-ce une autre technique pour diminuer l'effet des charges parasites sur nos dispositifs C-SET ?

Durant cette étude, nous ajouterons des fractions d'électrons (0.1, 0.2, etc...) sur nos dispositifs. Un nombre entier est en effet considéré comme un nouvel électron qui arrive sur l'îlot et n'aura donc aucune influence visible. Nous allons tout d'abord étudier les conséquences que peuvent avoir ses BCs sur la courbe de transfert, VTC, d'un inverseur C-SET simple.

Comme on peut le voir sur la figure 5.26, le dérangement majeur apporté par les BCs est une déviation de la courbe VTC typique (0 0). Cette déviation, tantôt vers la gauche pour des BCs chargées positivement (0.1 0) où vers la droite pour celles représentant un électron (-0.1 0), implique alors une suppression totale de la marge de bruit haute ou basse et une diminution du *voltage swing* en sortie de notre dispositif.

Voyons maintenant comment réagit un inverseur avec empilement ($N=2$) aux mêmes BCs. Les deux pSETs ou nSETs composant l'inverseur sont influencés différemment pour la

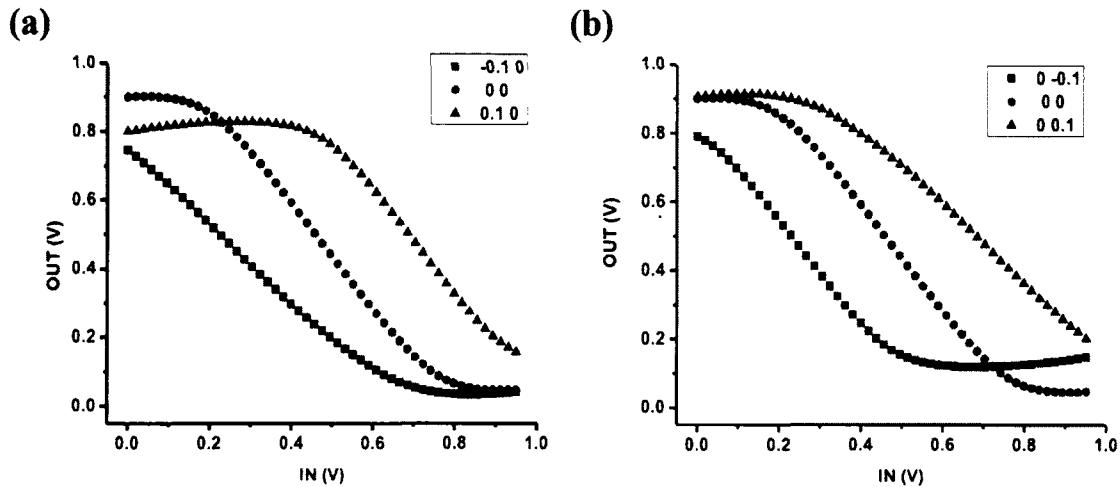


Figure 5.26 (a) VTC d'un inverseur ayant des BCs ($\pm 0.1e$) sur son pSET et (b) son nSET.

même charge parasite. P1, N1 et P2, N2 ont vice et versa le même comportement. A première vue rien ne différencie P1 de P2 où N1 de N2, mais il existe une légère différence de polarisation des SETs proche de V_{OUT} dans l'inverseur. Ce dérèglement engendre alors ce comportement. Cependant, pour une même charge parasite de $0.1e$, le design à empilement présente une excursion de la tension de sortie quasi similaire à un même inverseur sans BCs comme le montre les figures 5.27 (a) et (b).

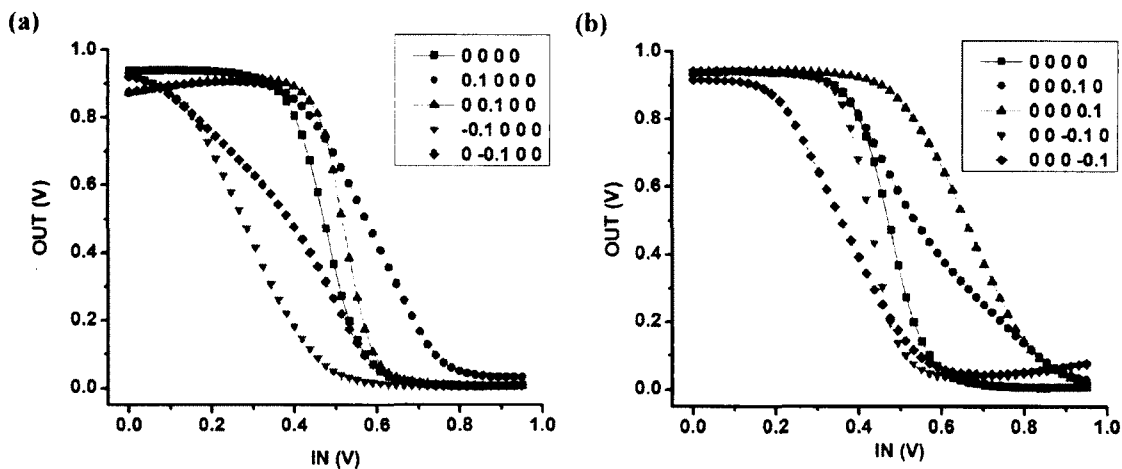


Figure 5.27 (a) VTC d'un inverseur avec empilement série double ayant des BCs ($\pm 0.1e$) sur ses pSETs et (b) nSETs. Par exemple, l'indice 0.1 0 0 0 est le signe d'une BC valant $0.1e$ seulement sur le pSET au plus proche du rail d'alimentation. De même 0 0 0.1 0 nous indique la présence de la BC sur le nSET ayant son drain relié à la sortie de l'inverseur.

La robustesse de nos dispositifs avec et sans empilement peut être évaluée par la marge de bruit. On détermine ainsi quand les effets des BCs dépassent les limites de détection de notre inverseur. La figure suivante représente le circuit permettant la mesure de cette marge de bruit influencée par les BCs. Le premier inverseur est la cible des effets parasites. C'est sur ce dernier que sont ajoutés les fractions d'électrons. La seconde cellule inverseuse mesure la limite de détection et transmet ces données au dernier inverseur de lecture.

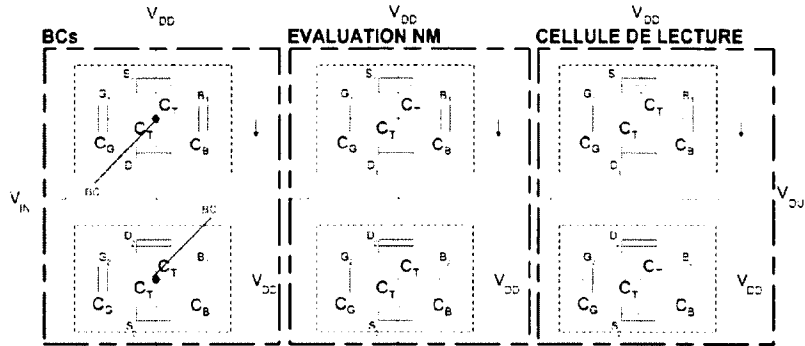


Figure 5.28 Circuit de mesure pour l'évaluation des effets des BCs par la marge de bruit.

Pour déterminer les effets sur un inverseur simple, les trois cellules sont implémentées par ce même module. On fait de la même façon pour un inverseur avec empilement. La figure 5.29 représente les maximums de BCs pouvant perturber chaque SETs d'un inverseur SET.

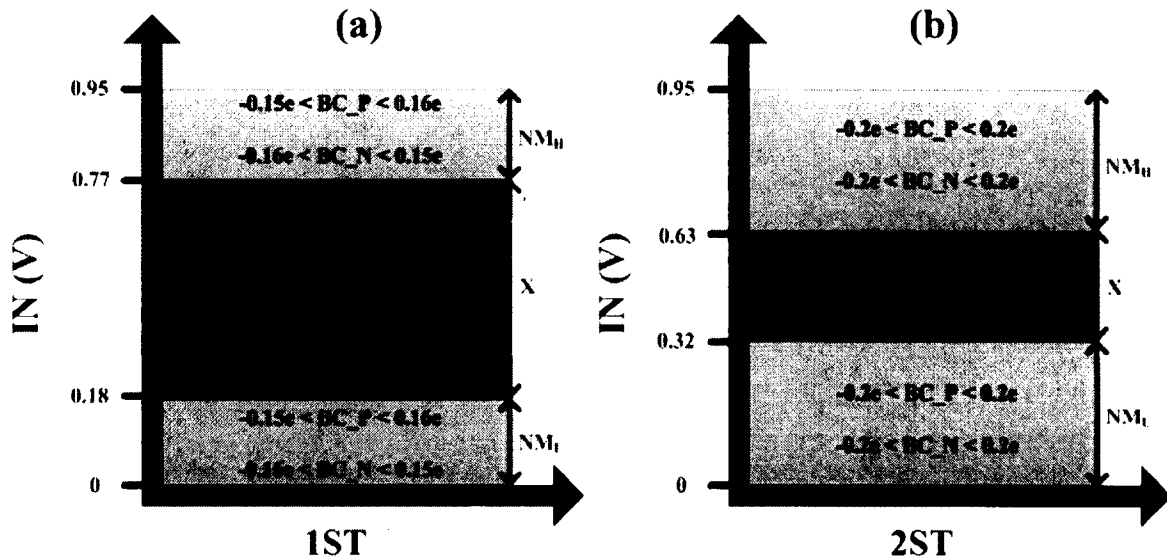


Figure 5.29 (a) BCs maximum sur un inverseur simple et (b) sur un inverseur à double empilement.

Tandis que les charges parasites peuvent atteindre $0.16e$ sur le pSET d'un inverseur simple, elles culminent à $0.2e$ sur une cellule avec un empilement double. Avec un inverseur à empilement série, il semble que tant que le nombre de défauts dans un SET est maintenu inférieur au nombre de SETs le formant, le dispositif est robuste contre les problèmes de charges parasites. Cette théorie a également été rapportée pour des SETs à multi-jonctions [Mizuta *et al.*, 1998].

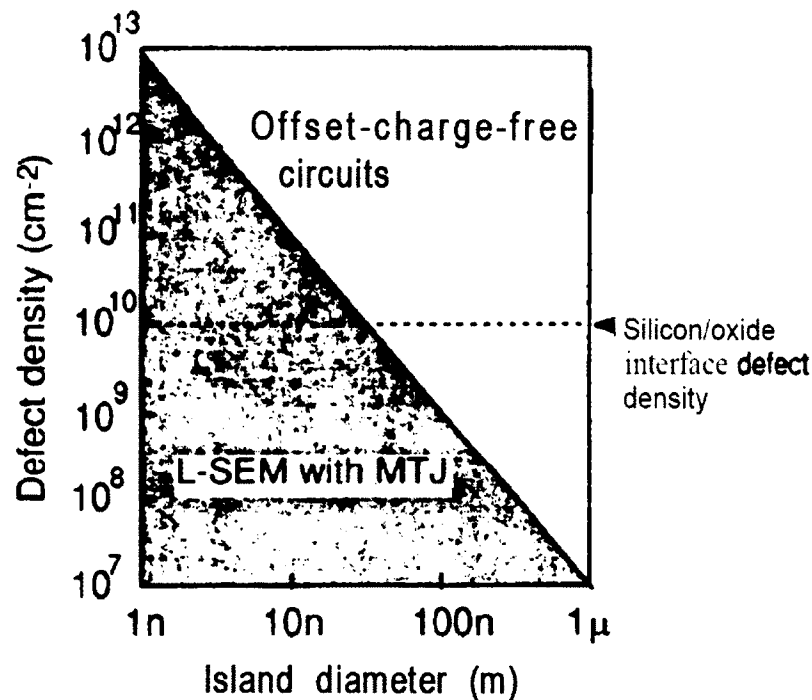


Figure 5.30 Représentation de la densité de défauts en fonction de la taille des îlots d'un SET à multi-jonctions. Dans la zone grise, il fonctionne quelque soient les BCs [Mizuta *et al.*, 1998].

5.7 Process Voltage Temperature (PVT)

Dans la fabrication des semiconducteurs, un *process corner* est un exemple de technique de plan d'expérience qui se réfère à une variation des paramètres de fabrication de circuits intégrés. Il représente les extrêmes de ces variations du procédé de fabrication dans lequel un circuit doit tout de même fonctionner correctement. La variation de la tension et de la température sont quant à elles considérées à part. On nomme alors cette étude *Process Voltage Temperature*.

Une variation de $\pm 5\%$ pour toutes les données physiques sera utilisée. Dans sa thèse, Dubuc avait utilisé cette même valeur pour estimer les déviations des paramètres physiques de ses SETs afin de s'assurer d'un fonctionnement à une température compatible CMOS. Pour la variation de la tension d'opération, en technologie CMOS, la valeur maximale est définie comme une limite de fiabilité pour le dispositif (puissance, fuite, ...) et la valeur minimum est requise pour garder les mêmes performances (fréquence) [Borkar *et al.*, 2003]. On considérera ainsi une variation de $\pm 10\%$ de la tension d'opération. L'évaluation de la température se fera quant à elle sur une plage de 300 à 400 K, chaleur typiquement rencontrée dans les processeurs.

Qu'allons-nous étudier au sein de ce PVT? Nous allons évaluer la résistance de nos designs simple et empilé face à ces variations de procédé, de tension et de température d'opération.

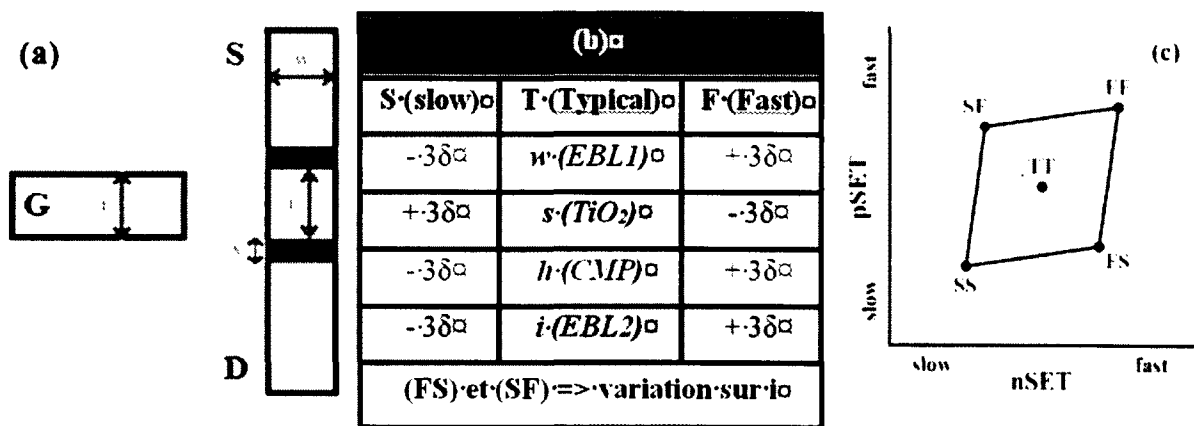


Figure 5.31 (a) Design, (b) paramètres et (c) représentation du *Process Corner*.

Si l'on regarde le corner S, il faut trouver les paramètres réduisant la fréquence d'opération ; soient le courant de commande, I_{ON} , et le gain en tension, G . La diminution de la largeur du canal, w , et de sa hauteur, h , impose une réduction de ce courant I_{ON} . De même, il est également affaibli par une augmentation de l'épaisseur de la jonction, s . La taille

de l'îlot, i , influence quant à elle le gain en tension. En effet, une réduction de la taille de l'îlot entraîne une diminution de la capacité de grille (C_G), ce qui réduit le gain en tension (équation 2.1). Pour les *corners* SF et FS, seul la taille de l'îlot pourra avoir une influence. En effet, comme on a pu le voir dans l'explication du procédé de fabrication, durant l'EBL2, les îlots sont fait séparément sur chaque SET composant l'inverseur ; à contrario de tous les autres paramètres de la Figure 5.31 b.

V_{DD} et T variant dans le temps et sur la puce, leurs *corners* associés sont telles que présentés dans le tableau 5.6.

Tableau 5.6 Corner associés au variations de tension et de température d'opération.

Corner	Tension (V)	Température (K)
Fast	1.05	400
Typical	0.95	300
Slow	0.85	273

En plus des variations de procédé, un dispositif au *corner Fast-Fast* (FF), par exemple, sera alors simulé à tension d'alimentation de 1.05 V. A ce point d'opération, la fréquence d'opération est amélioré de par une augmentation du courant tunnel. Cependant, les fuites diverses de l'inverseur sont elles aussi accentués. A contrario, pour le *corner Slow Slow* (SS), cette baisse de la tension d'alimentation diminue le courant de commande et les courants de fuite.

Une température d'opération proche de 400 K dans le *corner* FF induit les mêmes variations qu'une augmentation de la tension d'alimentation. Elle engendre principalement des effets de fuites thermiques mais aussi une légère augmentation du courant tunnel. Dans le *corner* SS, une diminution de la température fait quant à elle décroître seulement les courants de fuite.

Quelles mesures seront effectuées sur nos dispositifs ? Délai, puissance et pertes, représentées par la marge de bruit et l'excursion de sortie, ont été mesurés aux quatre coins du *process corner*.

La première conclusion à retirer des figures suivantes est l'absence de propagation du signal dans un design simple pour les *corners* SS et FF. En effet, au fil de la propagation au sein du *ring oscillator*, le signal s'atténue avec une enveloppe exponentielle. Pour le *corner* FF, cette atténuation est due aux courants de fuites supérieures à celui de commande. Tandis que pour le *corner* SS, le courant de commande n'ai pas assez important pour permettre une charge ou décharge complète d'un inverseur SET. Dans ces deux cas, le dispositif est

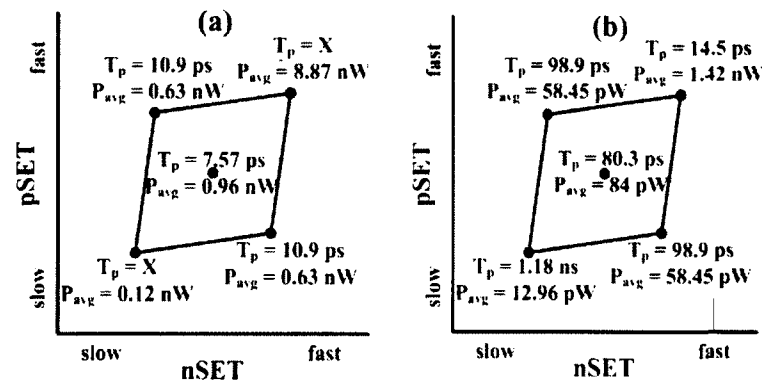


Figure 5.32 (a) Délai et puissance d'un inverseur simple (mode non hystérésis) et (b) avec un design à empilement ($N=2$, mode non hystérésis) pour les quatre coins du *process corner*.

alors inutilisable. Cependant, comme on peut le voir pour design à empilement, il existe un délai intrinsèque, T_p , pour ces mêmes conditions. Le stacking étant déjà moins sensible aux variations de température, voir section 5.5, il semble également plus robuste aux variations du procédé de fabrication et de la tension d'opération.

Afin d'appuyer cette hypothèse, la figure suivante nous présente les marges de bruit ainsi que l'excursion de sortie de nos deux designs.

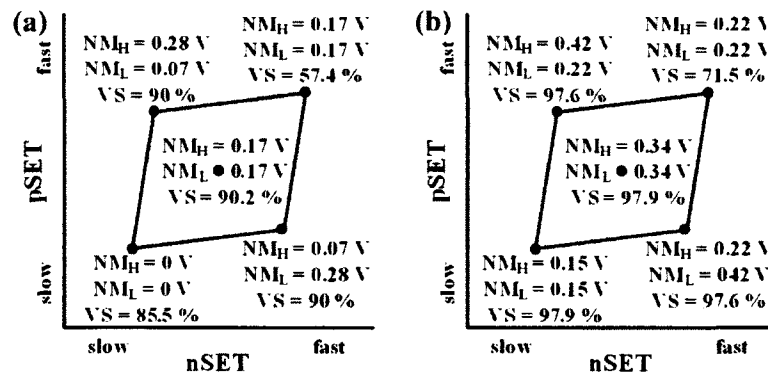


Figure 5.33 (a) Marge de bruit et excursion de sortie d'un inverseur simple (mode non hystérésis) et (b) avec un design à empilement ($N=2$, mode non hystérésis) pour les quatre coins du *process corner*.

Tandis que l'absence de délai dans le corner SS pour un design simple est le fruit d'une marge de bruit nulle; dans le corner FF elle est due à une faible excursion de sortie du système. Cependant, on peut remarquer qu'aucune de ces problèmes n'apparaissent pour le design avec empilement. Le corner SS présente même des résultats proches en terme de marge de bruit, voir supérieurs au niveau de la tension d'excursion de sortie, à un

design simple typique, TT. Cependant par simulation, il a été trouvé que pour les mêmes variations de tension et de température d'opération, un delta de $\pm 10\%$ sur le procédé de fabrication rend le design avec empilement aussi inutilisable qu'un inverseur simple dans les corners SS et FF. En technologie SET, les paramètres physiques du dispositif influent directement sur sa tension d'opération [Tucker, 1992]. La paramètre h représentant la CMP est le plus critique dans l'étude des variations de procédé car il modifie très rapidement les points d'opération d'un inverseur SET.

En plus de résister mieux à des deltas de température, nous venons de démontrer qu'un design avec empilement série peut travailler dans les pires conditions de simulation suite à des variations de procédé ($\pm 5\%$), de tension d'alimentation ($\pm 10\%$) et de température de plus de (100%). Cependant au vue des marges de bruit pour le corner SS, il semble qu'un ajout de charges parasites, jusqu'à hauteur de $0.16e$ rendrait notre dispositif inutile (voir figure 5.29). Pour une telle marge de bruit ($NM = 0.18$ V), un inverseur simple ne supporte en effet des BCs supérieures à cette limite.

5.8 Conclusion

Dans ce chapitre, la mise en valeur de conditions de conception telles que l'empilement série ou parallèle et l'hystérésis ont permis de démontrer que les faiblesses de la logique SET (gain en tension, *voltage swing*, *fan-out*, ...) peuvent être partiellement compensés. De plus, tout comme pour la logique CMOS, des études PVT ont soulignés la force de ces techniques de conception.

CHAPITRE 6

MESURES ÉLECTRIQUES

Dans les chapitre précédents, nous avons pu apprécier les techniques de fabrication et de conception de circuits inverseurs SET. Dans ce chapitre nous allons étudié les comportements électriques des dispositifs réalisés.

En passant des nanofils (NW) , aux capacités MIM et en finissant par les SET, leurs mesures seront corrélés aux designs des étapes de fabrication EBL1 et EBL2 ainsi qu'à la phase d'oxydation et de CMP. En effet, chaque dispositifs tests. NW et MIM, nous renseigne partiellement sur une caractéristique spécifique du SET. Le NW permet une estimation assez précise du rendu de l'étape de CMP tandis que la MIM permet l'accès à une jonction tunnel simple.

Avant de présenter ces résultats, une étude validera l'absence de jonctions parasites pouvant modifier les caractéristiques électriques de ces derniers. La fin du chapitre quant à elle sera porté sur la comparaison des résultats électriques obtenues avec des simulations prenant en compte les paramètres physiques extraits des NWs et MIMs.

6.1 Jonction parasite entre les électrolithographies 1 et 2

Comme on a pu le voir en figure 4.13, il existe des jonctions tunnels parasites entre les étapes UV et EBL. Afin d'estimer leur influence, l'étape d'électrolithographie 2 n'a pas été réalisée avant le dépôt de 20 nm de titane. Nous nous retrouvons ainsi avec des jonctions tunnels sur les source, drain et grilles des SETs achevés. La figure suivante est une image SEM d'un inverseur après toutes les étapes de fabrication. La position des jonctions parasites y est représentée.

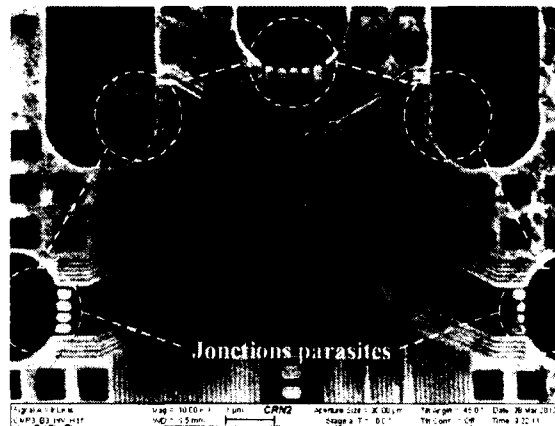


Figure 6.1 Image SEM d'un inverseur sans îlots et représentation des jonctions parasites.

S'il y avait existence de jonctions tunnels parasites, les mesures électriques des nanofils présenteraient une caractéristique intrinsèque des SETs, soit une non linéarité de la courbe $I_{DS}(V_{DS})$. Comme on peut le voir sur la figure 6.2, les courbes restent linéaires et permettent d'extraire des résistances de l'ordre d'une vingtaine de $k\Omega$. Cependant, nos jonctions tunnels ont typiquement des résistances proche du $M\Omega$.

L'explication la plus probable de la non influence de cette jonction est son importante aire de contact entre les zones UV-EBL1. Sa résistance est ainsi baissée à telle point qu'elle devient négligeable face à celle du nanofil telle que présenté en figure 6.3.

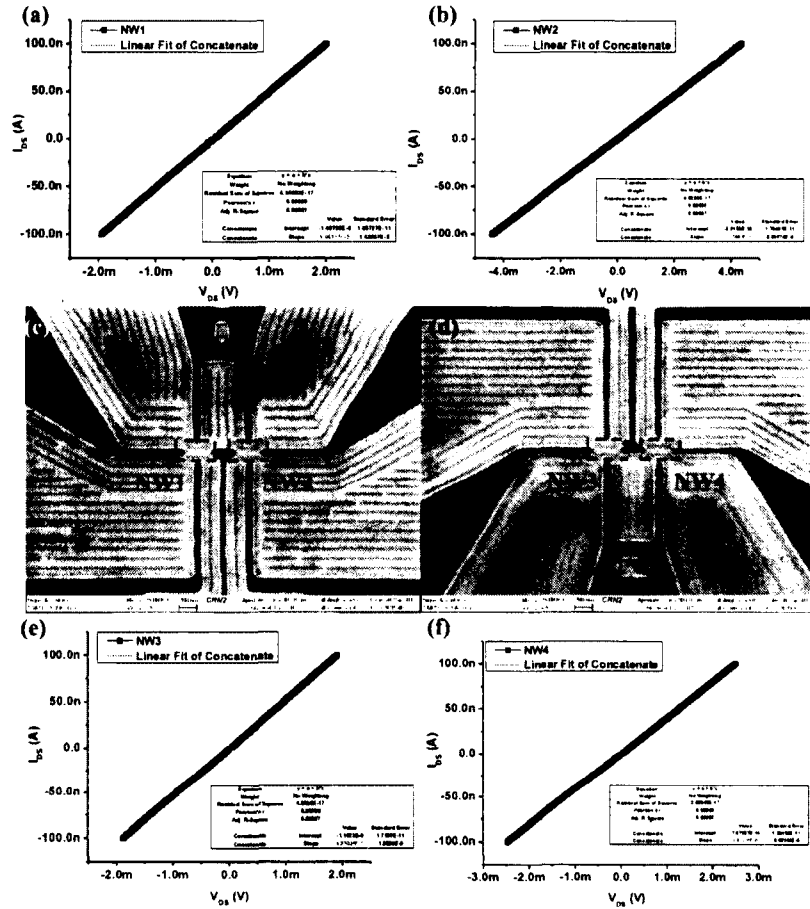


Figure 6.2 (a) Mesure $I_{DS}(V_{DS})$ du NW1 et (b) du NW2; (c) image SEM de l'inverseur comportant les NW1 et 2 et (d) NW3 et 4; (e) Mesure $I_{DS} - V_{DS}$ du NW3 et (f) du NW4.

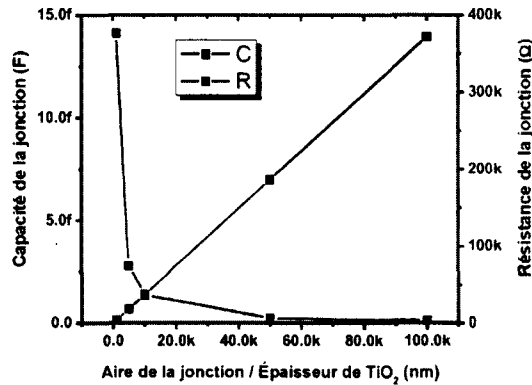


Figure 6.3 Capacité et résistance simulées de la jonction parasite.

6.2 Nanofil

Le nanofil nous renseigne sur la hauteur, h , de titane restant après CMP. A l'aide d'un modèle basé sur les modèles de Fuchs Sondheimer, rugosité de surface, et Mayadas Shatzkes, taille des grains du Ti, il est possible d'obtenir cette information directement après une simple mesure de la résistivité du nanofil [Ecoffey *et al.*, 2011]. En plus de nous informer sur la hauteur de Ti restante, le modèle permet également d'ajuster le temps des étapes de CMP.

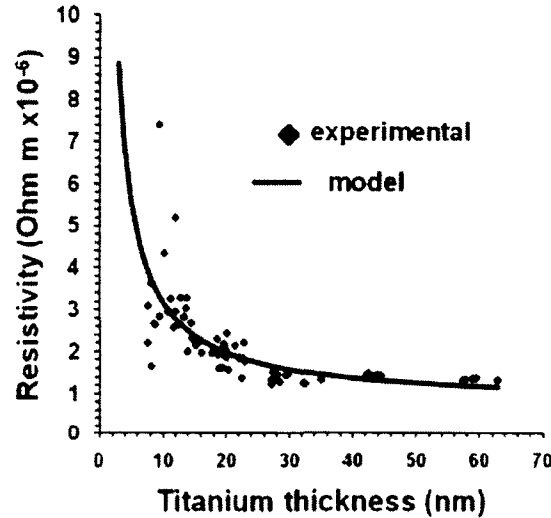


Figure 6.4 Résistivité du titane avec les modèles de Fuchs Sondheimer et Mayadas Shatzkes. [Ecoffey *et al.*, 2011]

L'ensemble des paramètres pour le titane ont été tirés de la littérature (libre parcours moyen, coefficients de diffusion) ou appréciés physiquement sur nos dispositifs (taille moyenne des grains de Ti). Guilmain *et al.* ont effectué des mesures électriques corrélées avec une technique de microscopie à force atomique (*Atomic Force Microscope*, AFM) [Guilmain, 2013]. Ceci a permis de valider le modèle et d'écrire l'équation traduisant la résistivité d'un nanofil telle que :

$$\alpha = \frac{lR}{d(1-R)} \quad (6.1)$$

$$\rho = \rho_0 \left[\frac{1}{1 - 1.5\alpha + 3\alpha^2 - 3\alpha^3 \ln\left[1 + \frac{1}{\alpha}\right]} + lC(1-P)\left(\frac{1}{h} + \frac{1}{w}\right) \right] \quad (6.2)$$

Dans les équations précédentes, nous avons considéré l , le libre parcours moyen ; R , le pourcentage de diffusion dû à la taille des grains ; d , la taille moyenne des grains ; ρ_0 , la résistivité intrinsèque ; P , le pourcentage de diffusion dû à la rugosité de surface ; h , la hauteur du nanofil, w , sa largeur et C , une constante.

Tableau 6.1 Données physiques du modèle de nanofil.

l	18 nm	R	2.10%
d	5 nm	ρ_0	800 n Ω .m
P	30 %	h	X nm
w	X nm	C	0.38

Sur 2 NWs présents sur la même puce (G746H) et avec le même design, il existe une différence de hauteur du titane de l'ordre de 2 nm, fig. 6.5. Les cellules où ses deux dispositifs sont implémentés sont cependant espacées d'une distance de 2.2 mm. Cette déviation est donc raisonnable au vue du matériel utilisé lors de l'étape de CMP. Le même comportement a été retrouvé pour une autre puce; une même différence de hauteur de 2 nm pour la même distance. Comme les deux puces, ont eu un temps total de CMP différent et des étapes aléatoires (position initiale, temps intermédiaire); on peut affirmer que cette déviation est répétable.

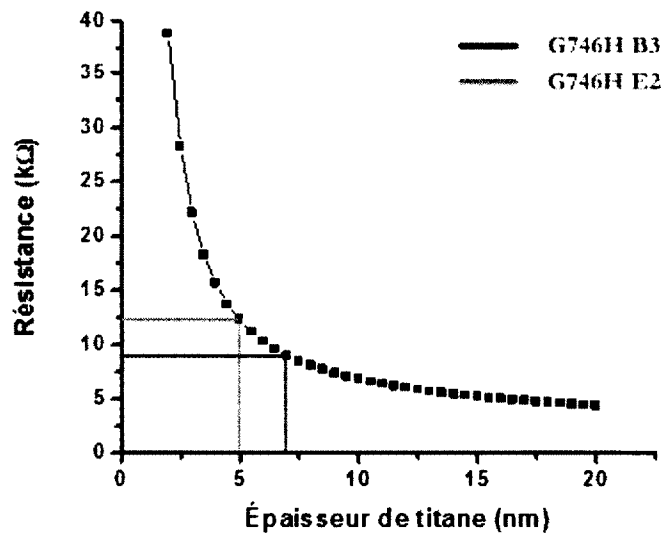


Figure 6.5 Obtention de la hauteur de titane résiduelle à partir de la résistance mesurée électriquement sur G746H.

6.3 MIM

La hauteur de barrière, ϕ_0 , la masse effective, m^* , et la permittivité des jonctions tunnel, ϵ_r , sont les paramètres électriques pouvant être retirées de mesures effectuées sur des MIMs en séparant les courants Schottky (6.3), et Fowler Nordheim (6.4).

Le courant Schottky, considéré lorsque la caractérisation est effectuée à faible champ (faible tension V_{DS}) et à une température élevée (supérieur à 100°C), permet l'extraction de la permittivité de l'oxyde, la masse effective et la hauteur de barrière [Dubuc, 2008].

$$J_S = 120 \frac{m^*}{m} T^2 \exp\left[-\frac{-q(\phi_0 - \sqrt{\frac{qE}{4\pi\epsilon_r\epsilon_0}})}{k_B T}\right] \quad (6.3)$$

La permittivité est donnée par la pente de la trace $[\ln(\frac{J_S}{T^2}) \text{ vs } \sqrt{E}]$ car elle s'écrit de la façon suivante, $\frac{\sqrt{\frac{qE}{4\pi\epsilon_r\epsilon_0}}}{kT}$. L'origine de cette trace est quant à elle seulement fonction de la masse effective et de la hauteur de barrière et à une valeur donnée par $\ln(120 \frac{m^*}{m}) - \frac{q\phi_0}{kT}$.

Le Fowler Nordheim est quant à lui fonction de la masse effective et de la hauteur de barrière. Cette caractérisation faite à température ambiante et à fort champ (forte tension V_{DS}) place en théorie le dispositif MIM dans ce mode de conduction [Dubuc, 2008].

$$J_{FN} = \frac{q^3 m}{16\pi^2 \hbar m^* \phi_0} E^2 \exp\left[-\frac{8\pi \sqrt{\frac{2qm^*}{m}}}{3hE} \phi_0^{\frac{3}{2}}\right] \quad (6.4)$$

Avec ce courant, la pente de la trace $[\ln(\frac{J_S}{E^2}) \text{ vs } E^{-1}]$ donne l'information sur la valeur de la masse effective et de la hauteur de barrière. Elle s'écrit en effet, $\frac{8\pi \sqrt{\frac{2qm^*}{m}}}{3h} \phi_0^{\frac{3}{2}}$.

Dans les équations précédents, nous avons considéré J_S , la densité de courant Schottky, m^* , la masse effective, m , la masse d'un électron, T , la température, e , la charge élémentaire, ϕ_0 , la hauteur de barrière de la jonction, E , le champ électrique, ϵ_r , la permittivité relative de la jonction, ϵ_0 la permittivité du vide, k_B la constante de Boltzmann, et h , \hbar les constantes de Planck usuelle et réduite.

Les valeurs par défauts pour ces paramètres sont tirées de Dubuc [Dubuc, 2008] : $\phi_0 = 0.29$ eV ; $m^* = 0.4m$ et $\epsilon_r = 3.5$, telle que le montre la figure 6.6.

Bien que très intéressante cette méthode ne peut cependant être réalisée au CRN2. Il m'est en effet impossible de chauffer mon échantillon afin de le placer dans les conditions pour extraire le courant thermoïonique seul. Un compromis a été fait par la comparaison des résultats électriques d'une MIM à un modèle tenant compte des deux modes de conduction

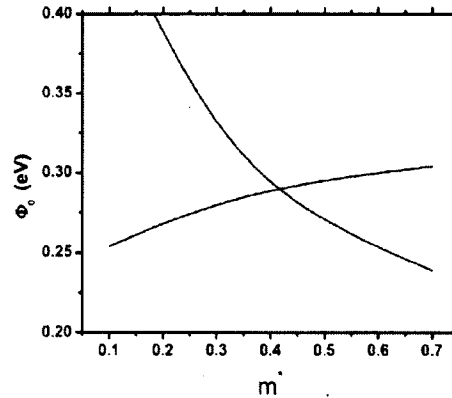


Figure 6.6 Hauteur de barrière, ϕ_0 , et masse effective, m^* , à partir de l'interprétation des courants Schottky et Fowler Nordheim. [Dubuc, 2008]

précédemment étudiés. En partant des conditions initiales de Dubuc pour ϕ_0 , m^* et ε_r , il m'est possible de rentrer dans le modèle les paramètres physiques du dispositif sortis des observations SEM (pour la largeur du canal) et de la mesure électrique du nanofil proche de la MIM (pour la hauteur de titane restante). Il est ensuite possible de calibrer ϕ_0 , s et ε_r afin de faire correspondre mesure et simulation. Ses paramètres influencent différemment les courants tunnel et thermoïonique. Comme le présente la figure 6.7, pour le courant thermoïonique, seul ϕ_0 joue sur la position de la courbe. ε_r et s modifient sa pente. Et c'est le comportement inverse pour le courant tunnel.

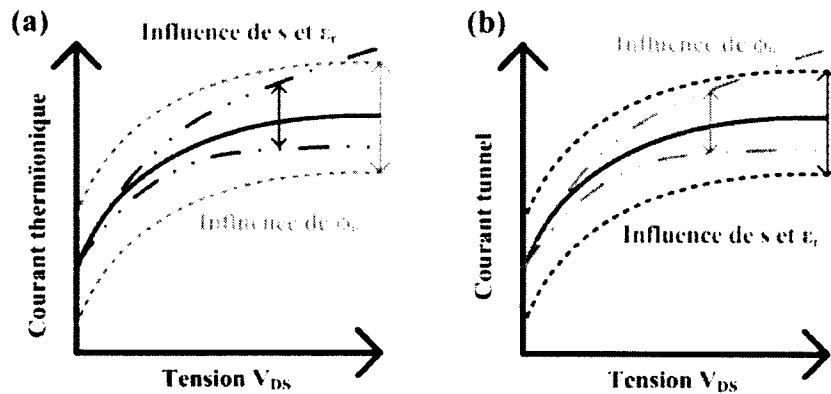


Figure 6.7 Influence de ϕ_0 , s et ε_r sur les courants thermoïonique et tunnel.

A partir de la figure 6.8 et pour une masse effective et une permittivité fixé aux valeurs données par Dubuc, on estime une hauteur de barrière de l'ordre de 0.238 eV.

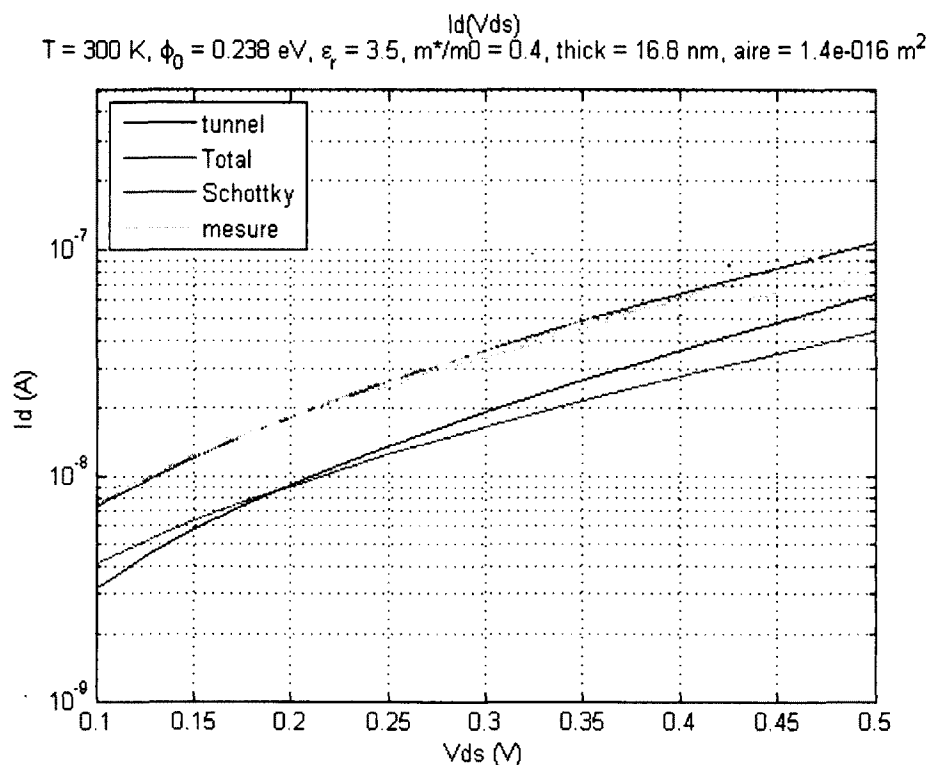


Figure 6.8 Caractérisation de la hauteur de barrière, ϕ_0 , de la masse effective, m^* , et de la permittivité, ϵ_r du TiO_2 à partir de mesures électriques.

Plusieurs autres mesures électriques de dispositifs MIM ont été effectuées afin d'extraire leurs hauteurs de barrière. La compilation de ces résultats peut être retrouvée dans le tableau 6.2.

Tableau 6.2 ϕ_0 , hauteur de barrière mesurée.

Échantillon	ϕ_0 (eV)
G746I B3	0.238
G746H B3	0.23
G746H E2	0.24

Comme on peut le voir, ϕ_0 varie essentiellement entre 0.23 eV et 0.24 eV. Il existe donc une consistance dans ses mesures et l'on se rapproche de la valeur typique mesurée dans le passé, soit 0.29 eV [Dubuc, 2008]. Cette différence peut être expliquée par le fait que le titane utilisé aujourd'hui diffère de celui déposé en 2008. Les techniques de dépôt ont en effet été modifiées, passant de l'évaporation à la pulvérisation pour l'étape de "blanket" de 150 nm.

Si l'on regarde maintenant les courbes $I_{DS}(V_{DS})$ de deux MIMs caractérisées précédemment, on peut voir apparaître une asymétrie de conduction et un caractère hystérétique

pour l'une des deux. La figure 6.9 (b) est représentative de ce type de fonctionnement. On prendra note que le courant est affichée en valeur absolue.

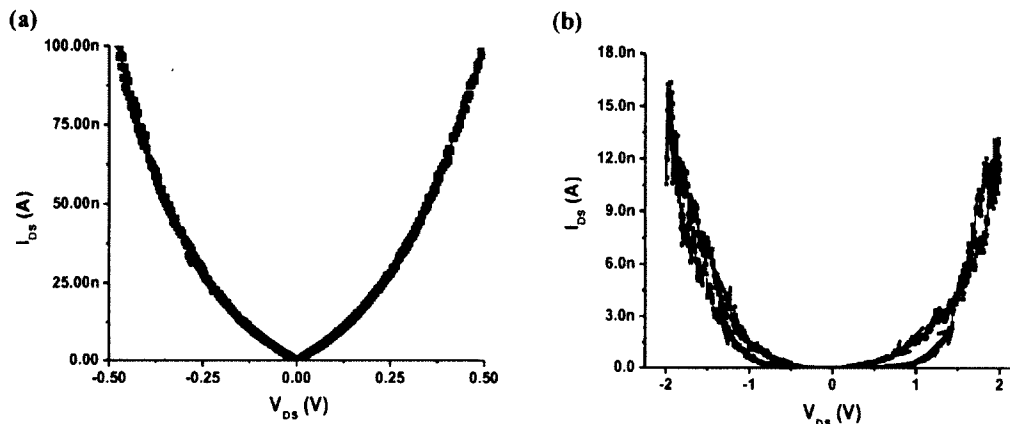


Figure 6.9 Caractérisation électrique d'une MIM (a) symétrique et (b) avec un caractère asymétrique et hystérétique. Les flèches rouges en (b) montrent les chemins de mesure.

Plusieurs sources peuvent causer l'apparition d'une asymétrie et/ou d'une hystérésis dans le comportement électrique d'une MIM. Premièrement, pour expliquer l'asymétrie, si il existe une certaine rugosité de surface différentes entre les interfaces $Ti/TiO_2/Ti$, les charges accumulées à ces interfaces peuvent traverser plus aisément par transport tunnel due à des effets de pointe [Gaillard *et al.*, 2006]. Deuxièmement, une insuffisance de la concentration en oxygène de l'oxyde à l'interface avec le métal causerait une modification de la hauteur de barrière ϕ_0 [Huang *et al.*, 2010]. La MIM pourrait alors posséder des hauteurs de barrière différentes pour ses deux jonction Ti/TiO_2 . Pour finir, le caractère asymétrique et hystérétique pourrait être du à la présence de pièges au niveau des interfaces. Un chargement et déchargement de ces pièges résulteraient en une modification de la valeur effective de la hauteur de barrière à chaque mesure [Kim *et al.*, 2011].

Dans le procédé actuel, les jonctions tunnels sont exposées à l'air avant le dépôt de la couche finale de Ti et peuvent subir la formation de ses pièges aléatoires. Un passage sous vide durant les étapes successives de nettoyage avec plasma argon pour décaper l'oxyde natif, oxydation par plasma O_2 pour la création des jonctions, et de dépôt de la couche de Ti de 150nm devrait résoudre ces apparitions de pièges. Il pourrait être également possible de supprimer ces pièges en effectuant un recuit des dispositifs sous atmosphère d'hydrogène.

6.4 SET

Les SETs que nous avons réalisés avec le procédé nanodamascène présentent une allure caractéristique $I_{DS}(V_{DS})$ typique de la présence de barrières tunnels similaire aux travaux de Dubuc [Dubuc, 2008; Dubuc *et al.*, 2007]. Ceci démontre que l'îlot est bien présent. Il serait de plus possible de vérifier sa présence et celle des jonctions tunnel par l'impact de la tension de grille sur la conductivité du SET [Beaumont *et al.*, 2009; Dubuc *et al.*, 2007].

6.4.1 Piège et asymétrie

Le processus de fabrication est censé produire des jonctions tunnels identiques car symétriques. Cependant comme on peut le voir sur la figure 6.10, ils semblent que ces dernières présentent une très grande variabilité. A noter que les SETs en figure 6.10 (a) et (b) sont différents.

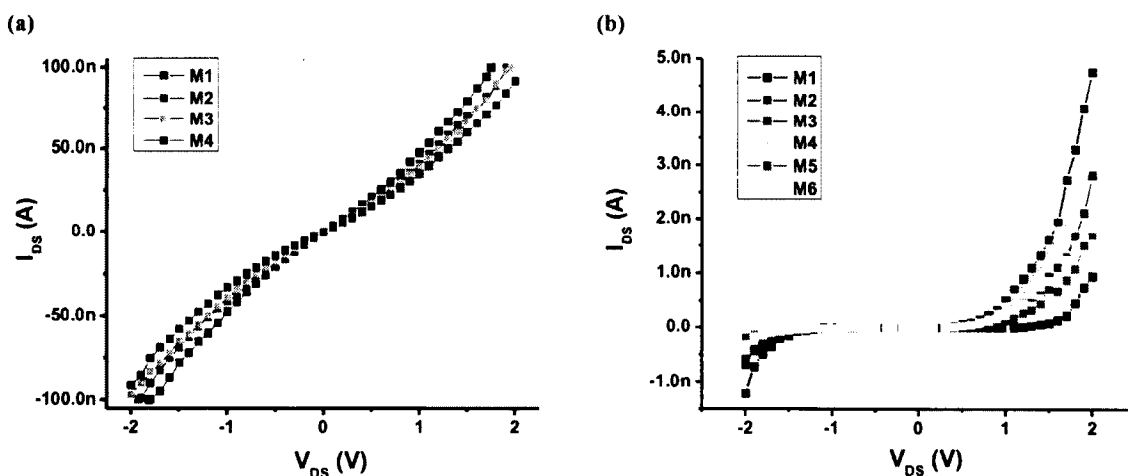


Figure 6.10 Influences de la symétrie et des pièges dans les jonctions tunnels sur les caractéristiques électriques d'un SET. (a) Jonctions tunnels symétriques et (b) Jonctions asymétriques et présence de pièges.

Tout comme pour les MIMs, les SETs fabriqués présentent des niveaux de courant variables représentés par de grandes différences de comportement entre chaque dispositif. Même si ces deux SETs proviennent du même échantillon et on subit le même temps de CMP, il est clair que le SET en figure 6.10 (a) est plus conducteur que son homologue en (b). De plus, il présente des jonctions symétriques car un courant similaire le traverse pour une tension V_{DS} opposée; à un facteur négatif près évidemment. Un SET peut être assimilé à une double jonctions MIM avec tous les effets d'asymétrie et d'hystérésis qui peuvent y apparaître. Donc, l'asymétrie de la conduction en fonction de la tension de polarisation

V_{DS} sur le SET en figure 6.10 (b) est le fruit d'une asymétrie de jonctions du SET. On voit également le courant I_{DS} fluctuer entre les étapes de mesures successives (M1, M2, ..., M6) ce qui laisse penser à croire à la présence de pièges dans les jonctions que l'on piège ou dé-piège au gré de la polarisation de V_{DS} .

6.4.2 Empilement série

Les derniers SETs réalisés reposent pour la plus part sur l'empilement série. Il a été mentionné précédemment que cette technique devrait diminuer le courant thermoionique de la cellule où il est implémenté.

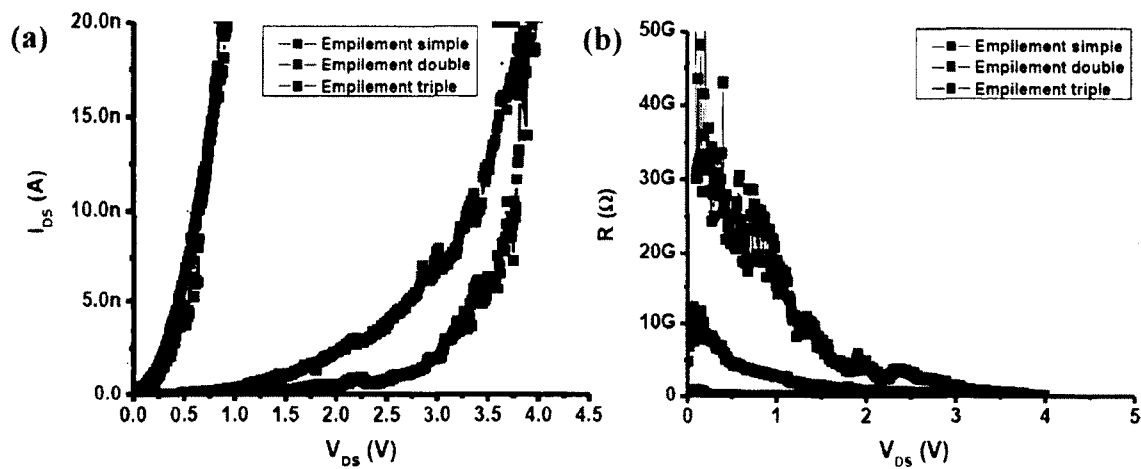


Figure 6.11 (a) Comparaison des mesures $I_{DS}(V_{DS})$ pour un empilement simple, double ou triple et (b) Résistance tunnel totale associée à chaque SET.

Les courbes $I_{DS}(V_{DS})$ de ces dispositifs en figure 6.11 (a) présentent bien une amélioration de la zone de blocage de Coulomb. La vérification majeur de ce blocage peut être analysé par la valeur de la résistance du dispositif. Comme on peut le voir sur la figure 6.11 (b), plus elle est forte, plus le blocage est important.

6.4.3 Comparaison entre mesure électrique et simulation

SET à filot simple

Les résultats électriques précédent peuvent être vérifier à l'aide de simulation faite à partir du modèle SET en VerilogA. Ayant l'ensemble des renseignements sur les caractéristiques physiques du dispositif via l'image SEM en figure 6.12, il nous reste à ajouter les données des nanofils et MIM pour correspondre correctement aux mesures électriques.

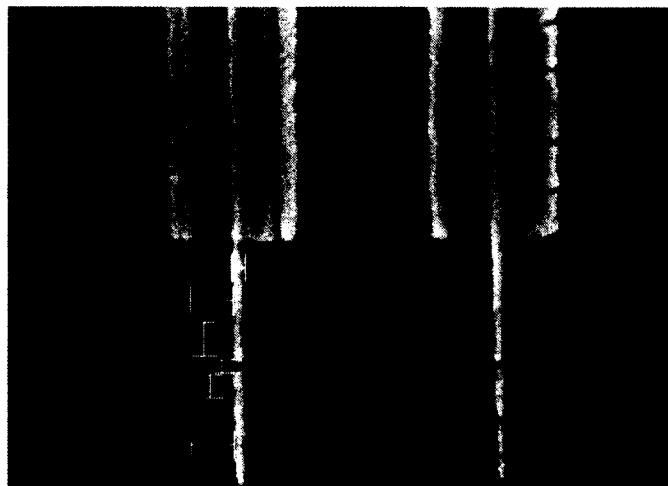


Figure 6.12 Caractères physiques du SET simulé extrait d'une image SEM de l'EBL2.

Le tableau 6.3 récapitule l'ensemble des paramètres à entrer dans le modèle VerilogA. Le calcul des capacités du dispositif ont été réalisés à partir de la méthode en 3.2.1. ϵ_r , ϕ_0 et l'épaisseur, s , de la jonction de TiO₂ sont retirés de la MIM au plus proche du SET mesuré. Pour rappel, la hauteur, h , est calculé à partir de la résistance du nanofil de contrôle. Valant ici 28 k Ω , il reste un épaisseur proche de 2 nm de Ti après la dernière étape de CMP.

Tableau 6.3 Données physiques, géométriques et capacités associés.

Paramètres du SET			
ϵ_r	3.5	ξ (e)	0
ϕ_0 (eV)	0.24	C_S (aF)	0.09
s (nm)	22	C_D (aF)	0.09
h (nm)	2	C_{G1} (aF)	0.1
w (nm)	30	C_{G2} (aF)	0.07
T (K)	300		

Au vue du chevauchement des courbes de mesure et de simulation en figure 6.13, il semble que les données entrées dans le modèle soient correctes. L'épaisseur s des jonctions influençant grandement le courant I_{DS} et il n'est pas si étrange qu'il existe une différence de courant pour une tension V_{DS} élevée. Sa valeur estimée de 22 nm à l'aide des mesures électriques et du modèle de la MIM a peut être été sous-estimée telle que le montre la figure 6.13. Une mesure de cette jonction à l'aide d'une image TEM (Transmission Electron Microscopy, Microscopie électronique en transmission) pourrait cependant nous donner une meilleure résolution.

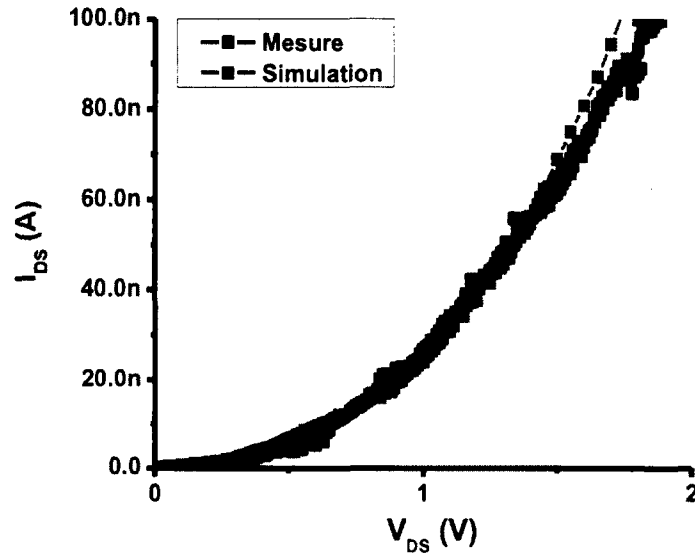


Figure 6.13 Comparaison de $I_{DS}(V_{DS})$ entre mesure électrique et simulation pour un îlot simple.

Les résultats de mesure et simulation de courbe $I_{DS}(V_{GS})$ sont présentés à la figure 6.14. La mesure électrique ne montre aucunes oscillations de Coulomb (CB). Il est tout de même possible de vérifier par simulation la réponse du SET simulé à partir du tableau 6.3.

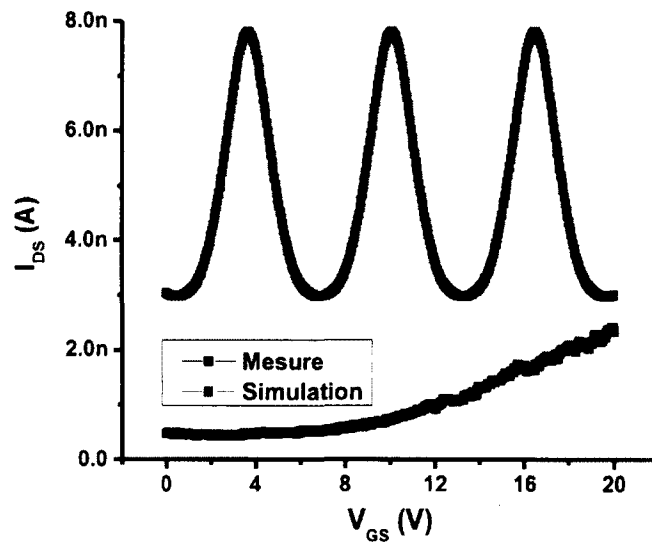


Figure 6.14 Comparaison de $I_{DS}(V_{GS})$ entre mesure électrique et simulation pour un îlot simple à $V_{DS} = 500$ mV.

La mesure de I_{DS} 500 pA pour un V_{DS} proche de 500 mV et une tension de grille nulle ne semble pas concorder avec les mesures $I_{DS}(V_{DS})$ de la figure 6.13. Cette différence des niveaux de courant est le fruit d'une hystérésis de la mesure électrique non représentée dans cette figure. Le chemin de retour de cette mesure présente en effet un plus faible niveau de courant.

La raison principale de l'absence de CB pourrait venir d'un mauvais couplage entre la grille et l'îlot. On peut apercevoir sur la figure 6.12 que l'îlot est hors de la boîte de grille, ce qui réduit alors la capacité de grille. Cependant à fort champ électrique, donc pour une forte tension V_{GS} , il existe tout de même un effet d'abaissement des barrières permettant à un courant I_{DS} de circuler à travers l'îlot. On retrouve alors des niveaux de courant proche de quelques nA concordant avec les mesures $I_{DS}(V_{DS})$ de la figure 6.13. Plus qu'un véritable effet de couplage, on utilise ici un fort champ électrique pour contrôler la conduction du SET.

SET avec empilement série

Comme on peut le voir en figure 6.15, les simulations électriques de SET avec empilement série ne concordent pas avec les mesures électriques correspondantes.

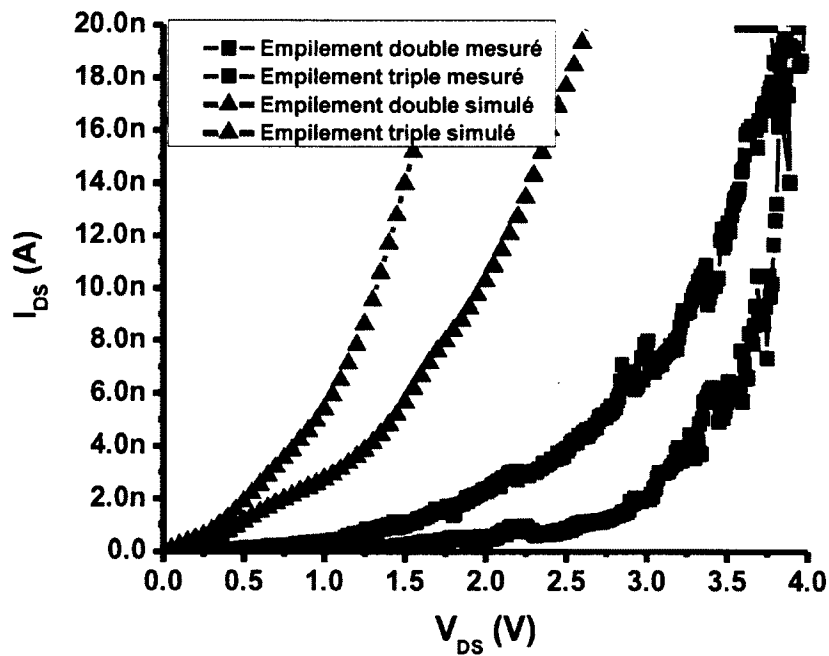


Figure 6.15 Comparaison entre mesure électrique et simulation sous CA-DENCE pour un empilement série double et triple.

Le résultat est cependant meilleur en pratique comme le montre la figure 6.15. Les zones de CB sont nettement plus prononcées pour les dispositifs mesurés. Cette différence pourrait s'expliquer par l'existence d'un couplage entre les îlots des SETs empilés. Cela n'a pas été considéré dans les étapes de conception et de simulation. Cependant, pour des SETs multi-îlots, ce couplage amène en effet une augmentation du blocage de Coulomb.

Ne pouvant simuler le couplage des îlots d'un design à empilement à partir du modèle Verilog A, il nous est tout de même possible de simuler cet effet sous SIMON. Tel que mentionné en 5.1.1, nous avons la possibilité de rentrer manuellement la résistance des jonctions des SETs avec ce modèle. Il nous est cependant très difficile d'extraire la résistance de chaque jonction composant le SET avec empilement. Un compromis a été fait en introduisant la résistance à partir de la courbe en figure 6.11 pour l'empilement triple. Comme la totalité de la jonction mesure environ $30 \text{ G}\Omega$, chaque jonction est imposée à une valeur de $5 \text{ G}\Omega$. Pour les capacités, nous utilisons le tableau 6.3. La figure 6.16 représente la comparaison entre la mesure électrique et la simulation d'un SET à empilement triple en tenant compte des effets de couplage inter-îlots.

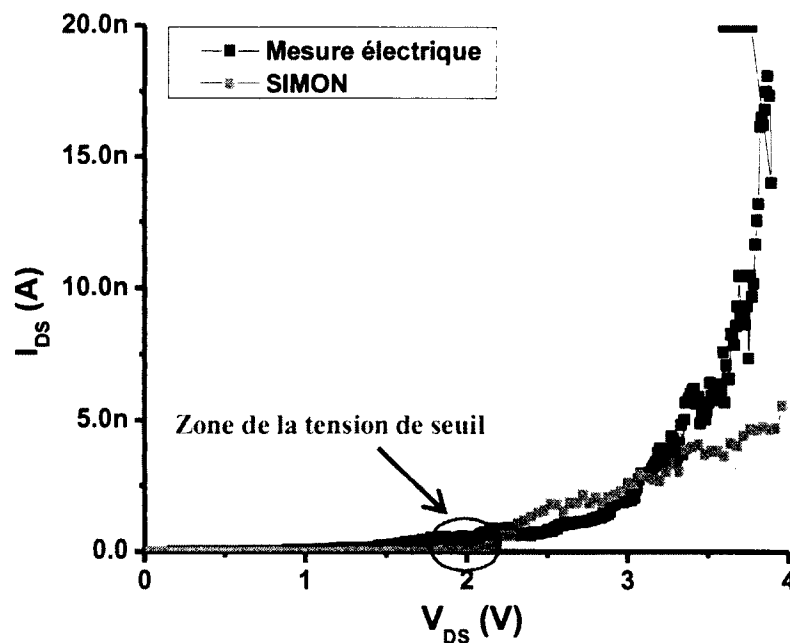


Figure 6.16 comparaison entre la mesure électrique et la simulation sous SIMON d'un SET à empilement triple en tenant compte des effets de couplage inter-îlots.

Ne prenant pas compte du courant thermoïonique, il semble normal que le courant du SET simulé soit inférieur à celui mesuré. Il est cependant intéressant de voir qu'en tenant compte du couplage on voit apparaître une augmentation de la zone de blocage de Coulomb. De plus, la zone de la tension de seuil se situant aux alentours de 2 V pour les deux courbes confirme les capacités du tableau 6.3 entrées dans le modèle. Cette tension est effet dépendante de la capacité totale de l'îlot. Pour rappel, elle vaut $\frac{e}{C_{\Sigma}}$.

Inverseur

Au vue des résultats électriques des courbes $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ pour des SETs simple ou à empilement série, il semble difficile d'obtenir un inverseur SET fonctionnel à température ambiante.

Il est tout de même possible d'estimer son fonctionnement à partir du SET extrait du tableau 6.3. Avec les mêmes conditions de conception données en 3.3, nous nous retrouvons avec une tension d'alimentation comprise entre 0.4 et 0.45 V.

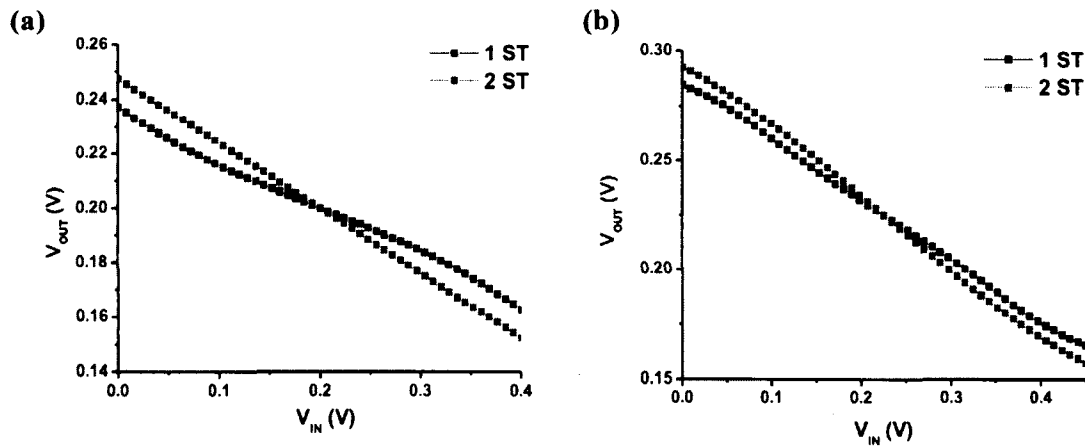


Figure 6.17 VTC d'un inverseur simple (1ST) et double (2ST) empilement série à partir des données du SET simulé précédemment pour une tension d'alimentation V_{DD} de (a) 400 mV et (b) 450 mV et à une température d'opération de 300 K.

Comme on peut le voir sur la figure 6.17, pour les deux tensions d'alimentation les inverseurs exhibent des excursions des VS inférieures à la tension d'alimentation. La cause principale de cette diminution de l'excursion de la tension de sortie est le courant thermoïonique très important à cette température de fonctionnement de 300 K. Le design à empilement démontre tout de même une certaine influence en augmentant ce paramètre et le gain en tension.

La température d'opération respectant les conditions en 3.3 est proche de 75 K. La courbe 6.18 représente les courbes de transfert en tension de l'inverseur à ce point d'opération.

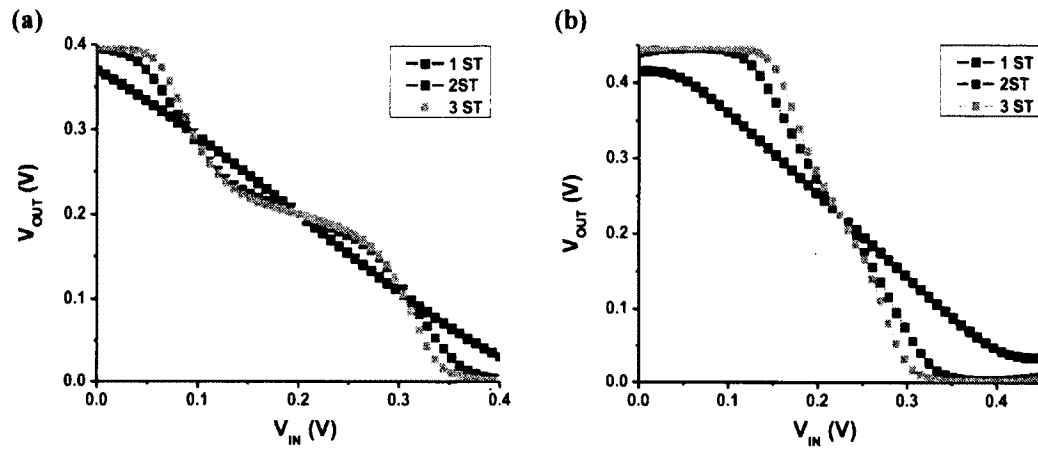


Figure 6.18 VTC d'un inverseur simple (1ST), double (2ST) et triple (3ST) empilement série à partir des données du SET simulé précédemment pour une tension d'alimentation V_{DD} de (a) 400 mV et (b) 450 mV et à une température d'opération de 75 K.

Pour un SET ayant des dimensions réalisables au sein du CRN2 et à une température similaire à l'azote liquide (75 K), on peut voir sur la figure 6.18 que l'inverseur exhibe un comportement avec ou sans hystérésis en fonction de sa tension d'alimentation comme l'avait expliqué Jeong *et al* [Jeong, 2001]. De plus, l'empilement série apporte bien un gain en tension supérieur à un simple inverseur en plus de permettre une excursion de la tension de sortie maximale.

CHAPITRE 7

CONCLUSION

Réaliser des SETs performants et fonctionnant à hautes températures repose essentiellement sur notre capacité à fabriquer des dispositifs à l'échelle nanométrique. Comme on a pu le voir dans l'état de l'art, plusieurs groupes ont cependant présentés des résultats à température ambiante voire supérieure en avançant des techniques de fabrication différentes. Cependant, aucun n'a prouvé une certaine répétabilité de leurs dispositifs. Cependant pour un fonctionnant seul en circuit, de tels dispositifs ne sont potentiellement intéressants que s'ils démontrent une répétabilité élevée, ainsi qu'une forte compatibilité avec la technologie CMOS.

Tout les freins à la logique SET peuvent partiellement être estompés à l'aide d'une conception adaptée. Un nouveau mode de fonctionnement avec hystérésis basé sur quelques simples changements d'implémentation physique du dispositif a permis à un inverseur C-SET de réduire sa puissance dynamique de fuite de près de 80% face à son homologue en technologie sans hystérésis. Cette baisse repose principalement sur la suppression partielle de la co-conduction des SETs composant l'inverseur.

La puissance statique a elle aussi été améliorée de 10% grâce à une technique dit d'empilement série. Avec ce design, le courant thermoïonique (fluctuations thermiques parasites) n'a cependant pas été le seul à diminuer; le courant d'attaque de la cellule empilée a lui aussi été restreint. On a pu voir que cette variation induit principalement une augmentation du délai et une diminution de la puissance consommée. Mais, de part une augmentation du gain, la marge de bruit a été amélioré et via la suppression partielle du courant parasite, l'excursion de la tension de sortie a été augmentée.

Le souci de *fan-out* relatif au faible courant d'attaque d'une cellule SET a été détourné via un empilement parallèle des inverseurs SET cette fois-ci. La vitesse de variation de la tension de sortie de notre cellule inverseuse est ainsi grandement amélioré avec ce type de design et on estime même un fonctionnement proche du GHz lors de l'hybridation avec du CMOS.

Les caractérisations électriques des dispositifs créés ont mis en évidence la qualité du contrôle de la hauteur obtenue grâce à l'étape de CMP. Toutefois, on s'est aussi aperçu du nombre important de pièges présents dans les jonctions. Ces pièges ont perturbé les mesures des SETs au point de ne pouvoir affirmer avec certitude la présence de blocage de Coulomb.

Plusieurs pistes seront explorées par la suite dans l'optique de s'en débarrasser : diminution de la présence de contaminant en contact avec le TiO_2 en déposant une couche protectrice sur le substrat, et en réalisant la création de l'oxyde sous vide, immédiatement suivie par le dépôt d'une couche de métal protectrice ; utilisation de l'ALD (Atomic Layer Deposition) pour la déposition de l'oxyde, offrant ainsi un meilleur contrôle de ses propriétés ; dépôt d'oxyde de nature différente.

On a également pu apprécier la grande importance d'utiliser des nanofils et des capacités MIM afin de valider nos mesures électriques par des simulations. Ces simples dispositifs témoins m'ont permis de faire concorder parfaitement mes résultats électriques avec des simulations basés sur les données physiques du dispositif.

Pour clore ce document, on peut conclure que, premièrement, le procédé de fabrication de SETs employé est l'atout majeur de ce projet SEDIMOS. Deuxièmement, bien que la logique SET semble encore très loin derrière sa cousine CMOS, on a vu qu'elle peut être mature à raison d'une conception adaptée. Pour finir les mesures électriques ont amenés à un fonctionnement partiel d'un SET à température ambiante. La présence de pièges dans les dispositifs et l'asymétrie des jonctions ont cependant limité l'obtention de résultats expérimentaux. Toutefois, après avoir surpassé ces obstacles, nous pourrions bien être vers le premier pas d'une industrialisation du SET.

LISTE DES RÉFÉRENCES

- Auth, C., Allen, C. et Blattner, A. (2012). A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors. *VLSI Technology* (... , volume m, numéro 2003, p. 131–132.
- Averin, D. (1986). Coulomb blockade of single-electron tunneling, and coherent oscillations in small tunnel junctions. *Journal of low temperature physics*, volume 62, p. 345–373.
- Beaumont, A. (2005). *Etude des mécanismes de transport électrique dans des structures à base de nanocristaux de silicium ordonnés*. École doctorale électronique, électrotechnique, automatique de lyon, Institut National des Sciences Appliquées de Lyon, 190 p.
- Beaumont, A., Dubuc, C., Beauvais, J. et Drouin, D. (2009). Room Temperature Single-Electron Transistor Featuring Gate-Enhanced State Current. *IEEE Electron Device Letters*, volume 30, numéro 7, p. 766–768.
- Borkar, S., Karnik, T., Narendra, S., Tschanz, J., Keshavarzi, A. et De, V. (2003). Parameter variations and impact on circuits and microarchitecture. Dans *Proceedings 2003. Design Automation Conference (IEEE Cat. No.03CH37451)*. IEEE, p. 338–342.
- Bounouar, M. A., Calmon, F., Beaumont, A., Guilmain, M., Xuan, W., Ecoffey, S. et Drouin, D. (2011). Single Electron Transistor analytical model for hybrid circuit design. Dans *2011 IEEE 9th International New Circuits and systems conference*. IEEE, p. 506–509.
- Chen, R. H. et Likharev, K. K. (1998). Multiple-junction single-electron transistors for digital applications. *Applied Physics Letters*, volume 72, numéro 1, p. 61.
- Cheng, K., Khakifirooz, A., Kulkarni, P., Ponoth, S., Haran, B., Kumar, A., Adam, T., Reznicek, A., Loubet, N., He, H., Kuss, J., Wang, M., Levin, T., Monsieur, F., Liu, Q., Sreenivasan, R., Cai, J., Kimball, A., Mehta, S., Luning, S., Zhu, Y., Zhu, Z., Yamamoto, T., Bryant, A., Lin, C., Naczas, S., Jagannathan, H., Edge, L., Allegret-Maret, S., Dube, A., Kanakasabapathy, S., Schmitz, S., Inada, A., Seo, S., Raymond, M., Zhang, Z., Yagishita, A., Demarest, J., Li, J., Hopstaken, M., Berliner, N., Upham, A., Johnson, R., Holmes, S., Standaert, T., Smalley, M., Zamdmer, N., Ren, Z., Wu, T., Bu, H., Paruchuri, V., Sadana, D., Narayanan, V., Haensch, W., O'Neill, J., Hook, T., Khare, M. et Doris, B. (2011). Etsi cmos for system-on-chip applications featuring 22nm gate length, sub-100nm gate pitch, and 0.08 um² sram cell. Dans *VLSI Technology (VLSIT), 2011 Symposium on*. p. 128 –129.
- Deepaksubramanian, B. S. et Nunez, A. (2007). Analysis of subthreshold leakage reduction in CMOS digital circuits. Dans *2007 50th Midwest Symposium on Circuits and Systems*. Numéro 1. IEEE, p. 1400–1404.
- Dolan, G. J. (1977). Offset masks for lift-off photoprocessing. *Applied Physics Letters*, volume 31, numéro 5, p. 337.

- Dubuc, C. (2008). *Étude et fabrication de transistors mono-électroniques à température d'opération étendue*. Thèse de doctorat, Université de Sherbrooke, 129 p.
- Dubuc, C., Beaumont, A., Beauvais, J. et Drouin, D. (2009). Current conduction models in the high temperature single-electron transistor. *Solid-State Electronics*, volume 53, numéro 5, p. 478–482.
- Dubuc, C., Beauvais, J. et Drouin, D. (2007). Single-electron transistors with wide operating temperature range. *Applied Physics Letters*, volume 90, numéro 11, p. 113104.
- Dubuc, C., Beauvais, J. et Drouin, D. (2008). A Nanodamascene Process for Advanced Single-Electron Transistor Fabrication. *IEEE Transactions on Nanotechnology*, volume 7, numéro 1, p. 68–73.
- Ecoffey, S., Morissette, J.-F., Jedidi, N., Guilmain, M., Nauenheim, C. et Drouin, D. (2011). Ultrathin titanium passive devices fabrication. Dans *2011 11th IEEE International Conference on Nanotechnology*. volume 2. IEEE, p. 1689–1692.
- Faynot, O., Andrieu, F., Fenouillet-Beranger, C., Weber, O., Perreau, P., Tosti, L., Brevard, L., Rozeau, O., Scheiblin, P., Thomas, O. et Poiroux, T. (2010). Planar FDSOI technology for sub 22nm nodes. *Proceedings of 2010 International Symposium on VLSI Technology, System and Application*, p. 26–27.
- Frank, D., Dennard, R., Nowak, E., Solomon, P. et Taur, Y. (2001). Device scaling limits of Si MOSFETs and their application dependencies. *Proceedings of the IEEE*, volume 89, numéro 3, p. 259–288.
- Fujiwara, A., Takahashi, Y., Yamazaki, K., Namatsu, H., Nagase, M., Kurihara, K. et Murase, K. (1999). Double-island single-electron devices. A useful unit device for single-electron logic LSI's. *IEEE Transactions on Electron Devices*, volume 46, numéro 5, p. 954–959.
- Gaillard, N., Pinzelli, L., Gros-Jean, M. et Bsiesy, A. (2006). In situ electric field simulation in metal/insulator/metal capacitors. *Applied Physics Letters*, volume 89, numéro 13, p. 133506.
- Griveau, D., Ecoffey, S., Parekh, R. M., Bounouar, M. a., Calmon, F., Beauvais, J. et Drouin, D. (2012). Single electron CMOS-like one bit full adder. *2012 13th International Conference on Ultimate Integration on Silicon (ULIS)*, volume 1, numéro 1, p. 77–80.
- Guilmain, M. (2013). *Nanotechnology*.
- Haran, B. S., Kumar, A., Adam, L., Chang, J., Basker, V., Kanakasabapathy, S., Horak, D., Fan, S., Chen, J., Faltermeier, J., Seo, S., Burkhardt, M., Burns, S., Halle, S., Holmes, S., Johnson, R., McLellan, E., Levin, T. M., Zhu, Y., Kuss, J., Ebert, A., Cummings, J., Canaperi, D., Paparao, S., Arnold, J., Sparks, T., Koay, C. S., Kanarsky, T., Schmitz, S., Petrillo, K., Kim, R. H., Demarest, J., Edge, L. F., Jagannathan, H., Smalley, M., Berliner, N., Cheng, K., LaTulipe, D., Koburger, C., Mehta, S., Raymond, M., Colburn, M., Spooner, T., Paruchuri, V., Haensch, W., McHerron, D. et Doris, B. (2008). 22

- nm technology compatible fully functional 0.1 μm^2 6T-SRAM cell. Dans *2008 IEEE International Electron Devices Meeting*. IEEE, p. 1–4.
- Heij, C. P., Hadley, P. et Mooij, J. E. (2001). Single-electron inverter. *Applied Physics Letters*, volume 78, numéro 8, p. 1140.
- Huang, J.-J., Kuo, C.-W., Chang, W.-C. et Hou, T.-H. (2010). Transition of stable rectification to resistive-switching in Ti/TiO₂/Pt oxide diode. *Applied Physics Letters*, volume 96, numéro 26, p. 262901.
- Hurst, S. L. (1984). Multiple-Valued Logic: its Status and its Future. *IEEE Transactions on Computers*, volume C-33, numéro 12, p. 1160–1179.
- Inokawa, H., Fujiwara, A. et Takahashi, Y. (2001). A multiple-valued logic with merged single-electron and MOS transistors. Dans *International Electron Devices Meeting. Technical Digest (Cat. No.01CH37224)*. IEEE, p. 7.2.1–7.2.4.
- Inokawa, H., Fujiwara, a. et Takahashi, Y. (2003). A multiple-valued logic and memory with combined single-electron and metal-oxide-semiconductor transistors. *IEEE Transactions on Electron Devices*, volume 50, numéro 2, p. 462–470.
- Ionescu, A. M., Declercq, M. J., Mahapatra, S., Banerjee, K. et Gautier, J. (2002). Few electron devices. Dans *Proceedings of the 39th conference on Design automation - DAC '02*. ACM Press, New York, New York, USA, p. 88.
- Ishibashi, K., Tsuya, D., Suzuki, M. et Aoyagi, Y. (2003). Fabrication of a single-electron inverter in multiwall carbon nanotubes. *Applied Physics Letters*, volume 82, numéro 19, p. 3307.
- ITRS (2009). International Technology Roadmap for Semiconductors - 2009 Edition - Emerging Research Devices.
- ITRS (2011a). International Technology Roadmap for Semiconductors - 2011 Edition - Executive Summary.
- ITRS (2011b). *International Technology Roadmap for Semiconductors - 2011 Edition - Front End Processes* (Rapport technique). IEEE.
- Jeong, Y.-h. (2001). Power consumption considerations of C-SET logics for digital applications. *2001 6th International Conference on Solid-State and Integrated Circuit Technology. Proceedings (Cat. No.01EX443)*, volume 2, p. 1373–1377.
- JOUVET, N., BOUNOUAR, M. A., ECOFFEY, S., NAUENHEIM, C., BEAUMONT, A., MONFRAY, S., RUEDIGER, A., CALMON, F., SOUIFI, A. et DROUIN, D. (2012). RECENT DEVELOPMENTS ON 3D INTEGRATION OF METALLIC SET ONTO CMOS PROCESS FOR MEMORY APPLICATION. *International Journal of Nanoscience*, volume 11, numéro 04, p. 1240024.
- Kim, D. H., Sung, S.-k., Kim, K. R., Lee, J. D. et Park, B.-g. (2002). Silicon single-electron transistors with sidewall depletion gates and their application to dynamic single-electron

- transistor logic. *IEEE Transactions on Electron Devices*, volume 49, numéro 4, p. 627–635.
- Kim, K. M., Choi, B. J., Lee, M. H., Kim, G. H., Song, S. J., Seok, J. Y., Yoon, J. H., Han, S. et Hwang, C. S. (2011). A detailed understanding of the electronic bipolar resistance switching behavior in Pt/TiO₂/Pt structure. *Nanotechnology*, volume 22, numéro 25, p. 254010.
- Kitade, T., Ohkura, K. et Nakajima, A. (2005). Room-temperature operation of an exclusive-OR circuit using a highly doped Si single-electron transistor. *Applied Physics Letters*, volume 86, numéro 12, p. 123118.
- Korotkov, A. N. (1996). Coulomb Blockade and Digital Single-Electron Devices. *Molecular Electronics*, p. 49.
- Korotkov, A. N. (1998). Theoretical analysis of the resistively coupled single-electron transistor. *Applied Physics Letters*, volume 72, numéro 24, p. 3226.
- Kulik, I. O. et Shekhter, R. I. (1975). Kinetic phenomena and charge discreteness effects in granulated media. *Soviet Physics - JETP*, volume 41, numéro 2, p. 308.
- Kumar, R. et Kursun, V. (2006). Reversed Temperature-Dependent Propagation Delay Characteristics in Nanometer CMOS Circuits. *IEEE Transactions on Circuits and Systems II : Express Briefs*, volume 53, numéro 10, p. 1078–1082.
- Kumar, R. et Kursun, V. (2007). Modeling of temperature effects on nano-CMOS devices with the predictive technologies. Dans *2007 50th Midwest Symposium on Circuits and Systems*. Numéro 1. IEEE, p. 694–697.
- Lambe, J. et Jaklevic, R. (1969). Charge-Quantization Studies Using a Tunnel Capacitor. *Physical Review Letters*, volume 22, numéro 25, p. 1371–1375.
- Lee, J.-E., Kim, G., Wan, K. K., Shim, W. B., Lee, J.-H., Kang, K.-C., Yun, J.-G., Lee, J.-H., Shin, H. et Park, B.-G. (2010). Room-Temperature Operation of a Single-Electron Transistor Made by Oxidation Process Using the Recessed Channel Structure. *Japanese Journal of Applied Physics*, volume 49, numéro 11, p. 115202.
- Li, X., Zhao, W., Cao, Y., Zhu, Z., Song, J., Bang, D., Wang, C.-C., Kang, S. H., Wang, J., Nowak, M. et Yu, N. (2009). Pathfinding for 22nm CMOS designs using Predictive Technology Models. *2009 IEEE Custom Integrated Circuits Conference*, , numéro Cicc, p. 227–230.
- Likharev, K. (1987). Single-electron transistors : Electrostatic analogs of the DC SQUIDS. *IEEE Transactions on Magnetics*, volume 23, numéro 2, p. 1142–1145.
- Likharev, K. (1999). Single-electron devices and their applications. *Proceedings of the IEEE*, volume 87, numéro 4, p. 606–632.
- Liu, Q., Yagishita, A., Loubet, N., Khakifirooz, A., Kulkarni, P., Yamamoto, T., Cheng, K., Fujiwara, M., Cai, J., Dorman, D., Mehta, S., Khare, P., Yako, K., Zhu, Y., Mignot, S., Kanakasabapathy, S., Monfray, S., Boeuf, F., Koburger, C., Sunamura, H.,

- Ponoth, S., Reznicek, A., Haran, B., Upham, A., Johnson, R., Edge, L. F., Kuss, J., Levin, T., Berliner, N., Leobandung, E., Skotnicki, T., Hane, M., Bu, H., Ishimaru, K., Kleemeier, W., Takayanagi, M., Doris, B. et Sampson, R. (2010). Ultra-thin-body and BOX (UTBB) fully depleted (FD) device integration for 22nm node and beyond. Dans *2010 Symposium on VLSI Technology*. IEEE, p. 61–62.
- Maeda, K., Okabayashi, N., Kano, S., Takeshita, S., Tanaka, D., Sakamoto, M., Teranishi, T. et Majima, Y. (2012). Logic operations of chemically assembled single-electron transistor. *ACS nano*, volume 6, numéro 3, p. 2798–803.
- Maeda, M., Iwasaki, S., Kamimura, T., Murata, K. et Matsumoto, K. (2008). Room-Temperature Carbon Nanotube Single-Electron Transistor with Defects Introduced by $\text{La}(\text{NO}_3)_3$ Process. *Japanese Journal of Applied Physics*, volume 47, numéro 7, p. 5724–5726.
- Mauscher, M., Savolainen, M. et Mygind, J. (2003). Microwave enhanced cotunneling in SET transistors. *IEEE Transactions on Applied Superconductivity*, volume 13, numéro 2, p. 1107–1110.
- Matsumoto, K., Kinoshita, S., Gotoh, Y., Kurachi, K., Kamimura, T., Maeda, M., Sakamoto, K., Kuwahara, M., Atoda, N. et Awano, Y. (2003). Single-Electron Transistor with Ultra-High Coulomb Energy of 5000 K Using Position Controlled Grown Carbon Nanotube as Channel. *Japanese Journal of Applied Physics*, volume 42, numéro Part 1, No. 4B, p. 2415–2418.
- Mizuta, H., Williams, D., Katayama, K., Muller, H.-O., Nakazato, K. et Ahmed, H. (1998). High-speed single-electron memory : cell design and architecture. *Proceedings. Second International Workshop on Physics and Modeling of Devices Based on Low-Dimensional Structures (Cat. No. 98EX199)*, p. 67–72.
- Morissette, J.-f. (2010). *Fabrication par lithographie hybride et procédé damascène de transistors monoélectroniques à grille auto-alignée*. Thèse de doctorat, Université de Sherbrooke, 104 p.
- Mukhopadhyay, S., Neau, C., Cakici, R., Agarwal, A., Kim, C. et Roy, K. (2003). Gate leakage reduction for scaled devices using transistor stacking. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, volume 11, numéro 4, p. 716–730.
- Nishiguchi, K. et Oda, S. (2001). Self-aligned double-gate single-electron transistor derived from 0.12- μm -scale electron-beam lithography. *Applied Physics Letters*, volume 78, numéro 14, p. 2070.
- Ohkura, K., Kitade, T. et Nakajima, A. (2007). Electrical Characteristics of Si Single-Electron Transistor Based on Multiple Islands. *Japanese Journal of Applied Physics*, volume 46, numéro 9B, p. 6233–6236.
- Ono, Y. et Takahashi, Y. (2001). Single-electron pass-transistor logic and its application to a binary adder. *2001 Symposium on VLSI Circuits. Digest of Technical Papers (IEEE Cat. No.01CH37185)*, p. 63–66.

- Ono, Y., Takahashi, Y., Yamazaki, K., Nagase, M., Namatsu, H., Kurihara, K. et Murase, K. (2000a). Fabrication method for IC-oriented Si single-electron transistors. *IEEE Transactions on Electron Devices*, volume 47, numéro 1, p. 147–153.
- Ono, Y., Takahashi, Y., Yamazaki, K., Nagase, M., Namatsu, H., Kurihara, K. et Murase, K. (2000b). Si complementary single-electron inverter with voltage gain. *Applied Physics Letters*, volume 76, numéro 21, p. 3121.
- Ono, Y., Takahashi, Y., Yamazaki, K., Nagase, M., Namatsu, H., Kurihara, K. et Murase, K. (2000c). Single-Electron Transistor and Current-Switching Device Fabricated by Vertical Pattern-Dependent Oxidation. *Japanese Journal of Applied Physics*, volume 39, numéro Part 1, No. 4B, p. 2325–2328.
- Parekh, R., Beaumont, A., Beauvais, J. et Drouin, D. (2012). Simulation and Design Methodology for Hybrid SET-CMOS Integrated Logic at 22-nm Room-Temperature Operation. *IEEE Transactions on Electron Devices*, volume 59, numéro 4, p. 918–923.
- Prager, A. a., George, H. C., Orlov, A. O. et Snider, G. L. (2011). Experimental demonstration of hybrid CMOS-single electron transistor circuits. *Journal of Vacuum Science & Technology B : Microelectronics and Nanometer Structures*, volume 29, numéro 4, p. 041004.
- Rahman, H. et Chakrabarti, C. (2004). A leakage estimation and reduction technique for scaled CMOS logic circuits considering gate-leakage. Dans *2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No.04CH37512)*. IEEE, p. II–297–300.
- Roche, B., Voisin, B., Jehl, X., Wacquez, R., Sanquer, M., Vinet, M., Deshpande, V. et Previtali, B. (2012). A tunable, dual mode field-effect or single electron transistor. *Applied Physics Letters*, volume 100, numéro 3, p. 032107.
- Saitoh, M., Harata, H. et Hiramoto, T. (2004). Room-temperature demonstration of integrated silicon single-electron transistor circuits for current switching and analog pattern matching. Dans *IEDM Technical Digest. IEEE International Electron Devices Meeting, 2004*. Numéro V. IEEE, p. 187–190.
- Schmid, A. et Leblebici, Y. (2004). Robust circuit and system design methodologies for nanometer-scale devices and single-electron transistors. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, volume 12, numéro 11, p. 1156–1166.
- Sedra, A. S. et Smith, K. C. (2004). *Microelectronic Circuits*, 5^e édition. Oxford University Press.
- She, X., Li, N. et Erstad, D. O. (2012). SET Tolerant Dynamic Logic. *IEEE Transactions on Nuclear Science*, volume 59, numéro 2, p. 434–438.
- Single, C., Augke, R., Prins, F. E., Wharam, D. A. et Kern, D. P. (1999). Single-electron charging in doped silicon double dots. *Semiconductor Science and Technology*, volume 14, numéro 12, p. 1165–1168.

- Sinha, S., Yeric, G., Chandra, V., Cline, B. et Cao, Y. (2012). Exploring sub-20nm Fin-FET design with predictive technology models. *Proceedings of the 49th Annual Design Automation Conference on - DAC '12*, p. 283.
- Stone, N. J. et Ahmed, H. (1999). Logic circuit elements using single-electron tunnelling transistors Method to measure MOSFET inversion layer mobility. volume 35, numéro 2, p. 1883-1884.
- Takahashi, N., Ishikuro, H. et Hiramoto, T. (1999). A directional current switch using silicon single electron transistors controlled by charge injection into silicon nano-crystal floating dots. Dans *International Electron Devices Meeting 1999. Technical Digest (Cat. No.99CH36318)*. IEEE, p. 371-374.
- Takahashi, Y., Fujiwara, A., Ono, Y. et Murase, K. (2000a). Silicon single-electron devices and their applications. Dans *Proceedings 30th IEEE International Symposium on Multiple-Valued Logic (ISMVL 2000)*. IEEE Comput. Soc, p. 411-420.
- Takahashi, Y., Fujiwara, A., Yamazaki, K., Namatsu, H. et Kurihara, K. (2000b). Multi-gate single-electron transistors and their application to an exclusive-OR gate. *Applied Physics Letters*, volume 76, numéro 5, p. 637-639.
- Tsuya, D., Suzuki, M., Aoyagi, Y. et Ishibashi, K. (2005a). Exclusive-OR gate using a two-input single-electron transistor in single-wall carbon nanotubes. *Applied Physics Letters*, volume 87, numéro 15, p. 153101.
- Tsuya, D., Suzuki, M., Aoyagi, Y. et Ishibashi, K. (2005b). Fabrication of a Single-Electron Inverter in Single-Wall Carbon Nanotubes. *Japanese Journal of Applied Physics*, volume 44, numéro 4A, p. 1588-1591.
- Tucker, J. R. (1992). Complementary digital logic based on the Coulomb blockade. *Journal of Applied Physics*, volume 72, numéro 9, p. 4399.
- Uchida, K., Koga, J., Ohba, R. et Toriumi, a. (2003). Programmable single-electron transistor logic for future low-power intelligent LSI : proposal and room-temperature operation. *IEEE Transactions on Electron Devices*, volume 50, numéro 7, p. 1623-1630.
- Uchida, K., Matsuzawa, K. et Toriumi, A. (1999). A New Design Scheme for Logic Circuits with Single Electron Transistors. *Japanese Journal of Applied Physics*, volume 38, numéro Part 1, No. 7A, p. 4027-4032.
- Veendrick, H. (1984). Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits. *IEEE Journal of Solid-State Circuits*, volume 19, numéro 4, p. 468-473.
- Wasshuber, C., Kosina, H. et Selberherr, S. (1997). SIMON - A Simulator for Single-Electron Tunnel Devices and Circuits. *Computer-Aided Design*, volume 16, numéro 9, p. 937-944.
- Wolf, H., Ahlers, F. J., Niemeyer, J., Scherer, H., Weimann, T., Zorin, A. B., Krupenin, V. A., Lotkhov, S. V. et Presnov, D. E. (1997). Investigation of the Offset Charge

- Noise in Single Electron Tunneling Devices. *Instrumentation*, volume 46, numéro 2, p. 303–306.
- Yasutake, N., Ohuchi, K., Fujiwara, M., Adachi, K., Hokazono, A., Kojima, K., Aoki, N., Suto, H., Watanabe, T., Morooka, T., Mizuno, H., Magoshi, S., Shimizu, T., Mori, S., Oguma, H., Sasaki, T., Ohmura, M., Miyano, K., Yamada, H., Tomita, H., Matsushita, D., Muraoka, K., Inaba, S., Takayanagi, M., Ishimaru, K. et Ishiuchi, H. (2004). A hp22 nm node low operating power (LOP) technology with sub-10 nm gate length planar bulk CMOS devices. Dans *Digest of Technical Papers. 2004 Symposium on VLSI Technology, 2004*. IEEE, p. 84–85.
- Zorin, A., Ahlers, F., Niemeyer, J., Weimann, T., Wolf, H., Krupenin, V. et Lotkhov, S. (1996). Background charge noise in metallic single-electron tunneling devices. *Physical review. B, Condensed matter*, volume 53, numéro 20, p. 13682–13687.