

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique et de génie informatique

Conception et implémentation d'un convertisseur temps
numérique dans un ASIC en
technologie CMOS 0,18 μ m, appliqué à la tomographie
d'émission par positrons

Mémoire de maîtrise
Spécialité : génie électrique

Mouadh ABIDI

Jury : Réjean FONTAINE (directeur)
Cetin AKTIK (correcteur)
François MICHAUD (rapporteur)

Sherbrooke (Québec) Canada

2012

III-2256



Library and Archives
Canada

Published Heritage
Branch

395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque et
Archives Canada

Direction du
Patrimoine de l'édition

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

ISBN: 978-0-494-91700-8

Our file Notre référence

ISBN: 978-0-494-91700-8

NOTICE:

The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

AVIS:

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protègent cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

Canada

RÉSUMÉ

L'imagerie moléculaire est un domaine permettant d'observer et d'analyser in vivo le fonctionnement cellulaire et tissulaire. Elle permet une meilleure compréhension des bioprocessus et par ricochet, le diagnostic, le traitement et le suivi de plusieurs maladies telles que les maladies neurologiques, cardiovasculaires ou les tumeurs cancéreuses.

Le LabPETTM II, un scanner d'imagerie médicale TEP en développement au sein du Groupe de Recherche en Appareillage Médical de Sherbrooke (GRAMS), vise à atteindre une résolution spatiale submillimétrique. Ceci demande une densité de détecteurs de l'ordre de 37 000, répartis sur un anneau de 15 cm de diamètre par 12 cm de longueur axiale. Le but ultime est de pouvoir jumeler la tomодensitométrie (TDM) durant la même séance, et de combiner ainsi les informations métaboliques et les informations anatomiques tout en assurant une réduction par un facteur 1,5 à 5 la dose de rayon X par rapport aux doses actuelles en TDM. Ce défi est réparti sur plusieurs axes, parmi lesquels se trouve la chaîne de détection frontale analogique.

Un circuit intégré (ASIC) a été développé pour atteindre les performances attendues en TEP et initier des travaux en TDM par comptage de photons individuels. La conception se base sur l'approche de mesures au-dessus d'un seuil (*Time Over Threshold* (TOT)). Ce choix impose un soin particulier au niveau de l'extraction de l'information temporelle des événements détectés. Ainsi, un convertisseur temps numérique a été conçu à partir d'une boucle à verrouillage de délai (DLL). Le convertisseur comporte deux composantes dont un compteur grossier synchronisé sur l'horloge de référence de 100 MHz (10 ns) et un autre compteur d'une résolution de 312.5 ps.

Mots-clés : Convertisseur Temps Numérique (CTN), boucle à verrouillage de délais analogique (DLL), LabPETTM II, CMOS 0,18 μm , tomographie d'émission par positrons (TEP), Tomodensitométrie (TDM).

TABLE DES MATIÈRES

CHAPITRE 1 INTRODUCTION	1
1.1 Description du projet	2
1.2 Plan du mémoire.....	3
CHAPITRE 2 L'IMAGERIE MÉDICALE	5
2.1 La tomодensitométrie	5
2.2 La tomographie d'émission par positrons	7
2.2.1 La réaction d'annihilation	9
2.2.2 La détection en coïncidence	9
2.3 Les spécificités d'un scanner TEP dédié aux petits animaux	11
2.4 Les performances TEP	12
2.4.1 La résolution spatiale.....	12
2.4.2 L'efficacité de détection	12
2.4.3 Le NEC.....	13
2.4.4 La résolution en énergie	13
2.4.5 La résolution en temps	14
2.5 Le principe du <i>Time Over Threshold</i> (TOT)	15
2.6 Survol des scanners	16
2.6.1 Le scanner ClearPET™	17
2.6.2 Le scanner MicroPET™ de l'Université de la Californie à Los Angeles	18
2.6.3 Le scanner LabPET™ de l'Université de Sherbrooke	19
2.7 Le nouveau scanner LabPET™ II de l'Université de Sherbrooke	22
2.6.1 Les modules de détection du LabPET™ II	23
2.6.2 Architecture de l'électronique frontale du LabPET™ II.....	24
2.8 Sommaire.....	26
CHAPITRE 3 LES CONVERTISSEURS TEMPS NUMÉRIQUES	27
3.1 La méthode d'interpolation.....	27
3.2 Les compteurs grossiers	28
3.3 Les compteurs fins.....	29
3.3.1 CTN avec double conversion TAC-ADC	30
3.3.2 CTN basé sur le principe Vernier.....	31
3.3.3 CTN basé sur des lignes à délais (TDL).....	33
3.4 Les boucles à verrouillage de délai (DLL).....	36
3.4.1 Cellules de délais.....	37
3.4.2 Comparateur de phase	39
3.4.3 Pompe de charge	41
3.5 Paramètres définissant les performances d'un CTN	42
3.5.1 La résolution.....	42
3.5.2 La précision	42
3.5.3 Les non-linéarités	43

3.6	Test par histogramme (<i>code density</i>).....	44
3.7	Sommaire.....	46
CHAPITRE 4 CONCEPTION DU CTN.....		47
4.1	Conception de la DLL	48
4.1.1	Conception de la pompe de charge et du filtre de boucle.....	49
4.1.2	Conception du comparateur de phase	51
4.1.3	Conception de la ligne à délais	52
4.1.4	Conception des registres et de la logique de contrôle.....	54
4.2	Implémentation sur silicium	56
4.3	Sommaire.....	59
CHAPITRE 5 RÉSULTATS ET SIMULATIONS.....		61
5.1	Résultats de simulation	61
5.1.1	Boucle à verrouillage de délais (DLL)	61
5.1.2	Registres	65
5.1.3	Mesure de la puissance consommée	66
5.2	Résultats expérimentaux.....	67
5.2.1	Plan et configuration du banc de tests pour la carte de l'ASIC ICFSHAC1	67
5.2.2	Observations	68
5.2.3	Mesure de la gigue du DLL.....	69
5.2.4	Plan de test du CTN (ASIC ICFSHFE1)	71
5.2.5	Caractérisation du CTN	74
5.3	Sommaire.....	76
CHAPITRE 6 DISCUSSION.....		77
6.1	Comparaison des performances avec d'autres réalisations.....	77
6.2	Choix des registres.....	78
6.3	Améliorations	79
CHAPITRE 7 CONCLUSION		83
RÉFÉRENCES		89

LISTE DES FIGURES

Figure 2.1: Scanners TDM: (a) Photographie d'un scanner TDM, (b) Principe de fonctionnement [COLDOSCIENCES, 2009]	6
Figure 2.2 : Exemple d'images obtenues par tomodensitométrie [JLE, 2007]	6
Figure 2.3: Scanner TEP: (a) Photographie d'un scanner TEP, (b) Coupe d'un cerveau obtenue après un examen TEP [UCDAVIS, 2008]	7
Figure 2.4 : Schéma du processus de détection et de reconstruction d'images en TEP [LANGNER, 2003].....	8
Figure 2.5 : Annihilation d'un positron avec un électron dans un scanner TEP [BOUJNAH et al., 2011].....	9
Figure 2.6 : Illustration des coïncidences possibles en TEP: (a) Coïncidence vraie, (b) Coïncidence fortuite, (c) Coïncidence diffusée [REY, 2007]	10
Figure 2.7: Scanner pour petit animal : (a) Un rat soumis à un examen TEP en utilisant le scanner ClearPET™, (b) Détection d'une tumeur à l'épaule du rat [CERN COURIER, 2005]	11
Figure 2.8 : Réponse typique d'un détecteur soumis à un photon d'annihilation [MOSSET, 2006].....	14
Figure 2.9 : Marquage en temps du signal détecté par la méthode TOT	16
Figure 2.10: Le scanner ClearPET™ : (a) Photographie du scanner ClearPET™, (b) Sa résolution spatiale. [RAYTEST, 2006].....	17
Figure 2.11: Les scanners MicroPET™: (a) Le scanner MicroPET™ I, (b) Le scanner MicroPET™ P4, (c) Le scanner MicroPET™ II, [UCDAVIS, 2008]	18
Figure 2.12: Le scanner LabPET™: (a) Image de la première version commercialisée, (b) Images obtenues pour des rats et des souris [RETEB, 2006].....	20
Figure 2.13 : Module de détecteurs du LabPET™ [BERGERON, 2007]	20
Figure 2.14 : Carte d'acquisition du LabPET™ [FONTAINE et al., 2009].....	21
Figure 2.15 : Illustration de la détermination de l'estampe de temps [FONTAINE et al., 2007]	21
Figure 2.16 : L'engin de coïncidence et la carte de communication du LabPET™ [FONTAINE et al., 2009].....	22
Figure 2.17 : Illustration du montage ASIC/Détecteurs du scanner LabPET™ II [ARPIN et al., 2011].....	23
Figure 2.18 : Module de détection du LabPET™ II [BERARD et al., 2008].....	23
Figure 2.19 : Un canal de détection LabPET™ II.....	25
Figure 2.20 : Illustration de la TOT: (a) Exemple d'impulsions discriminées pour la TOT, (b) Exemples de résultats de TOT obtenus [MANFREDI et al., 2000].....	25
Figure 2.21: Les signaux TEP et leurs bruits électroniques associés: (a) Signal TEP après mise en forme avec les seuils de TOT, (b) Bruit total du CSP en fonction du temps	26
Figure 3.1 : Architecture d'un CTN avec interpolation	28
Figure 3.2 : Convertisseur grossier simple: (a) Principe de comptage, (b) Erreur de comptage (T_p est le résultat du comptage) [KALISZ, 2003]	29
Figure 3.3 : CTN avec double Conversion TAC-ADC [KALISZ, 2003]	30

Figure 3.4 : Configuration des lignes à délais pour un CTN à base du principe Vernier [AVEYNIER et al., 1970].	31
Figure 3.5 : Architecture d'un CTN à base du principe Vernier [AVEYNIER et al., 1970]	32
Figure 3.6 : CTN utilisant des TDLs: (a) Ligne avec des bascules synchrones en série, (b) Ligne de tampons avec un échantillonnage simultané de son état à l'arrivée du front montant du signal <i>stop</i> , (c) Ligne de cellule à délais avec un échantillonnage successif de l'état de l'entrée <i>stop</i> [KALISZ, 2003].	34
Figure 3.7 : Architecture d'une boucle à verrouillage de délais (DLL) [CHENG, 2005]	37
Figure 3.8 : Un tampon avec délai ajustable à l'aide des tensions de contrôle (V_{cp} et V_{cn})	38
Figure 3.9 : Une cellule différentielle contrôlable en tension [MANEATIS, 1996]	38
Figure 3.10 : Un comparateur de phase basé sur une porte XOR [CHENG, 2005]	39
Figure 3.11 : Un comparateur de phase basé sur des bascules synchrones [CHENG, 2005]	40
Figure 3.12 : Asservissement de phase et de fréquence	40
Figure 3.13 : Schéma de principe d'une pompe de charge [CHENG, 2005]	41
Figure 3.14 : Implémentation possible d'une pompe de charge [MANEATIS, 1996]	42
Figure 3.15: Non-linéarité différentielle d'un ADC [NASTASE, 2009]: (a) DNL= +1 LSB, (b) DNL= -1.25 LSB, (c) DNL= -1 LSB	43
Figure 3.16 : Non-linéarité intégrale d'un ADC [NASTASE, 2009]	44
Figure 3.17 : Structure du test par histogramme [BERNARD, 2001]	45
Figure 3.18 : Histogramme verrouillé [BERNARD, 2001]	46
Figure 4.1 : Diagramme de blocs de la DLL	48
Figure 4.2 : Diagramme de blocs de la DLL dans le domaine de Laplace	48
Figure 4.3 : Architecture choisie pour la pompe de charge [MANEATIS, 1996]	50
Figure 4.4 : Architecture choisie pour le comparateur de phase [CHENG, 2005]	51
Figure 4.5: Cellule de délai différentielle à charge symétrique [MANEATIS, 1996]	52
Figure 4.6 : Architecture choisie pour les cellules à délais [WILLIAM et al., 2001]	53
Figure 4.7 : Architecture choisie pour les bascules [CHANDRASEKARAN et al., 2005]	54
Figure 4.8: Circuits de contrôle et détection des temps t_1 et t_2 : (a) Détection du front montant, (b) Détection du front descendant	55
Figure 4.9 : Bascule synchrone D utilisée par le circuit de contrôle [HUANG et al., 1996]	56
Figure 4.10 : Dessin des masques du DLL incluant les tampons des registres	57
Figure 4.11 : Vue agrandie des différents blocs de la DLL	57
Figure 4.12 : ASIC du LabPET TM II	58
Figure 5.1 : Schéma de simulation pour la caractérisation de la cellule à délai	62
Figure 5.2 : Fonction de transfert de la cellule à délai	62
Figure 5.3 : Simulation de la fonction de transfert du comparateur de phase	63
Figure 5.4: Simulation de la réponse du comparateur de phase: (a) Avant le verrouillage, (b) Après le verrouillage	63
Figure 5.5 : Simulation de la réponse de la pompe de charge et du filtre de boucle	64
Figure 5.6 : Simulation de la fluctuation de la tension de contrôle	65
Figure 5.7 : Les sorties des bascules asynchrones différentielles au moment du verrouillage de la DLL	65
Figure 5.8: Consommation du CTN: (a) Variation du courant, (b) Agrandissement de la variation du courant sur une période	67
Figure 5.9: Montage de test de la DLL de l'ASIC ICFSHAC1: (a) Alimentation, (b) Carte de test ICFSHAC1, (c) Oscilloscope <i>LeCroy</i>	68

Figure 5.10 : Observation sur oscilloscope des deux sorties 32 et 16 de la DLL soumise, ASIC ICFSHAC1	69
Figure 5.11 : Variance de la gigue pour une ligne à délais asservie par une DLL.....	69
Figure 5.12 : Histogramme de la gigue du DLL, mesuré en RMS à 100 MHz, ASIC ICFSHAC1	70
Figure 5.13 : Montage de test du CTN soumis, ASIC ICFSHFE1	72
Figure 5.14 : Observation de l'erreur de conception de la DLL, ASIC ICFSHFE1: (a) La DLL ne réussit pas à boucler à 1.8 V, (b) La DLL boucle à 2.5 V	73
Figure 5.15 : Le test par histogramme (code density) pour les 32 codes du DLL	74
Figure 5.16 : Mesure de la fonction de transfert du CTN	74
Figure 5.17 : Mesure de la non-linéarité différentielle du CTN.....	75
Figure 5.18 : Mesure de la non-linéarité intégrale du CTN	75
Figure 6.1: Les modifications apportées au niveau de la DLL: (a) Avant, (b) Après.....	80
Figure 6.2: Illustration de la fonction de transfert monotone d'une cellule à délais dans différents coins de simulation : (a) <i>Slow-Slow</i> , (b) Typique, (c) <i>Fast-Fast</i>	81
Figure 7.1 : Illustration des recommandations concernant la DLL pour la prochaine version de l'ASIC du LabPET™ II	86
Figure 7.2 : Exemple de circuit 3D [IBM, 2010]	87

LISTE DES TABLEAUX

Tableau 2.1 : Différences entre les examens TEP et TDM	8
Tableau 2.2 : Comparaison des caractéristiques des trois versions du scanner MicroPET [UCDAVIS, 2008].....	19
Tableau 2.3 : Comparaison entre les modules de détection du LabPET™ et LabPET™ II [PÉPIN, 2007] [BÉRARD et al., 2008].....	24
Tableau 3.1 : Comparaison des architectures de CTN	35
Tableau 4.1 : Caractéristiques des architectures adoptées pour le CTN	47
Tableau 4.2 : Dimensionnement des transistors de la cellule à délai	54
Tableau 4.3 : Dimensionnement des transistors de la bascule asynchrone	55
Tableau 6.1: Comparaison des performances avec d'autres réalisations de DLL.....	77
Tableau 6.2: Comparaison des performances avec d'autres réalisations de CTN.....	78
Tableau 6.3: Dimensionnement des transistors de la cellule à délai après modification	79
Tableau 6.4: Résultats des simulations par rapport aux coins du procédé après les modifications apportées.....	80

LISTE DES ACRONYMES

Acronyme	Définition
A	
ADC	<i>Analog to Digital Converter</i>
ASIC	<i>Application-Specific Integrated Circuit</i>
B	
BJT	<i>Bipolar Junction Transistor</i>
C	
CAN	Convertisseur Analogique Numérique
CHUS	Centre Hospitalier Universitaire de Sherbrooke
CIMS	Imagerie Moléculaire de Sherbrooke
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CNA	Convertisseur Numérique Analogique
CSP	<i>Charge Sensitive Preamplifier</i>
CT	<i>Computed Tomography</i>
D	
DLL	<i>Delay-Locked Loop</i>
DNL	<i>Differential Non Linearity</i>
I	
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
INL	<i>Integral Non Linearity</i>
IRM	Imagerie par Résonance Magnétique
F	
FPGA	<i>Field-Programmable Gate Array</i>
FWHM	<i>Full Width Half of Maximum</i>
G	
GRAMS	Groupe de Recherche en Appareillage Médical de Sherbrooke
L	
LGSO	$Lu_{0,4}Gd_{1,6}SiO_5$
LOR	<i>Line Of Response</i>
LVDS	<i>Low Voltage Differential Signaling</i>

LYSO	<i>Lu_{1.9}Y_{0.1}SiO₅</i>
------	---

M	
MCPS	<i>Million Counts Per Second</i>

P	
PCB	<i>Printed Circuit Board</i>
PDA	<i>PhotoDiode à Avalanche</i>

S	
SPECT	<i>Single-Photon Emission Computed Tomography</i>

T	
TAC	<i>Time to Amplitude Converter</i>
TDC	<i>Time to Digital Converter</i>
TDM	<i>Tomodensitométrie</i>
TEMP	<i>Tomographie d'Émission Mono-Photonique</i>
TEP	<i>Tomographie d'Émission par Positrons</i>
TOT	<i>Time Over Threshold</i>
TPM	<i>Tube Photomultiplicateur</i>
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i>

V	
V _{CM}	<i>Common Mode Voltage</i>
VCDL	<i>Voltage Controlled Delay Line</i>
VLSI	<i>Very Large Scale Integration</i>

CHAPITRE 1 INTRODUCTION

Grâce aux avancées technologiques, la détection des maladies se fait de manière plus précise et efficace. Ces progrès sont fortement liés à la capacité de pouvoir observer la physiologie et l'anatomie des cellules par l'emploi d'agents pathogènes ou de composants pharmacologiques. Ceci se réalise par des études et des analyses précliniques sur petits animaux et cliniques.

Parmi les technologies développées pour la médecine, l'imagerie médicale contribue considérablement aux avancées diagnostiques et thérapeutiques. En effet, les modalités d'imagerie permettent d'obtenir deux types d'images de sujets vivants. Le premier type permet d'observer la structure interne d'un sujet. Il fournit une image de nature anatomique ou morphologique et permet de repérer les changements des structures et de détecter les anomalies. Pour obtenir un meilleur diagnostic, il faut utiliser des images très précises. Ces dernières proviennent des techniques d'imageries comme la radiographie, l'imagerie par résonance magnétique (IRM) ainsi que la tomодensitométrie (TDM).

Le deuxième type d'images s'obtient à travers la transformation d'une molécule par des cellules ou des tissus. Il permet d'observer les phénomènes métaboliques et physiologiques. Ces modalités permettent la détection des maladies et des anomalies non observables a priori au niveau morphologique. Pour cela, des techniques radioisotopiques sont utilisées pour former l'image. Parmi ces techniques se trouve la tomographie d'émission monophotonique (TEM), qui utilise le principe d'émission de rayonnement gamma, ainsi que la tomographie d'émission par positrons (TEP). Les techniques radioisotopiques débutent par la production de l'isotope qui est joint à un traceur, lequel est injecté dans le sujet. La détection des rayonnements par la caméra permet ensuite la reconstruction tomographique menant au diagnostic.

Actuellement en milieu clinique, les scanners bimodaux TEP/TDM sont composés de deux appareils TEP et TDM joints axialement ou co-axialement et possèdent des détecteurs et de l'électronique de détection distincts pour les deux modalités. Ce mode de détection pose un problème lors de la reconstitution de l'image dû à la lecture indépendante dans des moments différents des deux appareils. En effet, les mouvements cardiaques, respiratoires et

péristaltiques ou encore l'injection d'agents de contraste durant les deux phases d'imagerie sont des facteurs limitants dans le recalage spatial et temporel des images [MARIANI et al., 2010]. Les systèmes hybrides ont permis, de nos jours, d'améliorer la précision diagnostique et d'augmenter la qualité des images TEP [DELBEKE et al., 2009] [MARIANI et al., 2010].

Dans ce contexte, le Groupe de Recherche en Appareillage Médical de l'Université de Sherbrooke (GRAMS) collabore avec le Centre d'Imagerie Moléculaire de Sherbrooke (CIMS) pour concevoir des scanners TEP/TDM pour l'imagerie sur les petits animaux.

1.1 Description du projet

Au début des années 90, le CIMS a conçu le premier scanner TEP à base de photodiodes à avalanche (PDA) [LECOMTE et al., 1996]. En 2002, la collaboration entre le CIMS et le GRAMS a permis de concevoir une version améliorée et a donné naissance à un nouveau scanner commercialisé sous le nom LabPETTM [FONTAINE et al., 2009]. Les recherches actuelles visent à concevoir une seconde génération de scanners bimodaux TEP nommée LabPETTM II comportant une résolution spatiale supérieure. Ceci permettra, entre autres, de tirer profit de radiotraceurs très spécifiques actuellement disponibles grâce à une densification d'un facteur 8 du nombre de pixel par cm^2 [ARPIN et al., 2011]. Cette densification est possible grâce à la collaboration du CIMS et du GRAMS avec *Perkin Elmer Optoelectronics* qui a mené à la conception d'un nouveau module de détecteurs pour le LabPETTM II en matrice de 8×8 détecteurs sur une surface de $1 \times 1 \text{ cm}^2$.

Ce nouveau scanner vise une résolution submillimétrique [FONTAINE et al., 2011], et sera utilisé pour faire avancer les découvertes en imagerie moléculaire et l'étude de plusieurs maladies comme les cancers et des maladies neurodégénératives. Cependant, plusieurs problèmes se posent, tel que le choix des détecteurs. Ces derniers doivent être denses, assez petits et capable d'assurer une bonne efficacité de détection des photons d'annihilation de 511 keV [BERARD et al., 2008]. Le GRAMS et le CIMS visent l'utilisation des mêmes détecteurs pour les modalités TEP et TDM pour une meilleure fusion des images. Toutes ces innovations imposent une nouvelle architecture électronique ainsi qu'une approche différente de traitement comparativement à l'architecture du LabPETTM I basée sur des convertisseurs analogiques/numériques.

La nouvelle génération du scanner LabPETTM adopte l'approche de mesure du temps au-dessus d'un seuil (*Time Over Threshold* (TOT)). L'extraction du temps TOT pour chacun des événements TEP détectés permet par la suite une reconstruction de l'image. Pour atteindre ce but, il est nécessaire d'avoir un système de mesure de temps adéquat et avec une bonne résolution. L'objectif principal de ce projet de maîtrise est de concevoir un Convertisseur Temps Numérique (CTN) qui fera le lien entre 64 canaux de détection frontale analogique et un bloc numérique de traitement et de contrôle. Le CTN assurera la lecture et la conversion des données TOT recueillies en temps réel. La résolution temporelle ciblée par le scanner est de ~ 1 ns. Ceci nécessite, d'après le théorème de Shannon, un CTN avec une résolution temporelle au moins deux fois plus rapide, soit d'au moins 0.5 ns. L'architecture de CTN doit permettre son intégration dans un circuit intégré propre à l'application LabPETTM II (*Application-Specific Integrated Circuit* (ASIC)) tout en respectant un budget de puissance assez serré (< 400 mW total). Ce dernier est multi-canal et de dimensions $4,5 \times 6,4$ mm².

La question de recherche pour ce projet est la suivante: 'Comment concevoir et intégrer le Convertisseur Temps Numérique idéal, en technologie CMOS 0.18 μ m, pour l'application dans l'ASIC à 64 canaux du LabPETTM II tout en permettant de valider l'approche TOT et en optimisant la consommation et l'espace silicium?'

1.2 Plan du mémoire

Ce mémoire se subdivise en sept chapitres. Le chapitre 2 présente les principes de fonctionnement de la TEP et de la TDM et leurs principaux paramètres de performance (résolution spatiale, sensibilité, résolution en temps et résolution en énergie). Une seconde partie du chapitre expose l'architecture des scanners LabPETTM, ainsi que de sa deuxième génération, à savoir, le LabPETTM II.

Par ailleurs, l'état de l'art des différentes architectures des Convertisseurs Temps Numérique est exposé au chapitre 3. Cette étude est nécessaire avant de pouvoir choisir la meilleure pour l'application LabPETTM II.

La conception du convertisseur est détaillée au chapitre 4. Ce dernier débute par une justification du choix d'architecture et expose par la suite tous les calculs permettant d'atteindre les spécifications du projet.

Le chapitre 5 présente les résultats de simulation et expérimentaux de chacun des sous-blocs du convertisseur temps numérique (CTN). Une discussion de ces résultats ainsi qu'une comparaison avec d'autres réalisations sont présentées au chapitre 6. Finalement, le chapitre 7 clôture ce mémoire par une conclusion générale ainsi que les perspectives de ce projet.

CHAPITRE 2 L'IMAGERIE MÉDICALE

De nos jours, les techniques d'imagerie médicale permettent essentiellement d'obtenir deux types d'images des sujets vivants. Le premier fournit une image de nature anatomique ou morphologique comme l'imagerie TDM, tandis que le deuxième permet d'observer les phénomènes métaboliques et physiologiques tels que la TEP. La tendance actuelle est de combiner ces deux modalités afin d'améliorer le diagnostic.

Ce chapitre commence par un survol sur les principes de fonctionnement de la TDM et de la TEP ainsi que leurs paramètres de performances. Ceci permet une meilleure orientation des choix et des axes de développement pour avoir une meilleure qualité d'image. La deuxième section de ce chapitre effectue un survol de quelques scanners TEP/TDM existants suivie par une description plus détaillée du scanner LabPETTMII de l'Université de Sherbrooke.

2.1 La tomодensitométrie

Comme le montre la figure 2.1, un examen TDM consiste à envoyer un faisceau étroit de rayons X, d'environ 30 à 120 keV, sur une partie spécifique du corps telle que la tête, la poitrine, le foie, etc. Le balayage par un faisceau de rayons X permet de prendre des clichés multiples, à partir d'angles différents, pour créer une image radiographique en coupe transversale. En effet, un ensemble de détecteurs électroniques capte le faisceau de rayons X, enregistre les données et les transmet à un ordinateur. Ce dernier analyse l'information et reconstruit une image sur un moniteur. Un agent de contraste peut être injecté pendant certaines tomодensitométries afin de mettre en évidence de façon claire certaines parties du corps. Il permet de remplir les organes du corps ciblés pour qu'on puisse les voir plus facilement. Les rayons X sont absorbés proportionnellement à la densité des tissus. Par exemple, les os, plus denses, absorbent plus les rayons X que les tissus cervicaux. C'est pourquoi ils paraissent bien contrastés dans les photographies alors que les tissus mous du cerveau, absorbant les rayons X de façon relativement uniforme, apparaissent plutôt avec les mêmes tons de gris. La figure 2.2 illustre ces différences.

Il existe deux méthodes pour mesurer l'absorption des rayons X. La première méthode repose sur le principe de comptage individuel de photons incidents en mesurant l'énergie de chaque photon. Cette méthode présente l'avantage d'une réduction de la dose absorbée par les tissus cellulaires pendant l'exposition de la source de rayon X. Cependant, elle exige un système de

détection très rapide pour pouvoir détecter des photons à un taux ≥ 1 million de comptes par seconde (MCPS) et comporte des limitations au niveau de la résolution spatiale attendue [KOVA, 2010]. Cette dernière est bornée par la dimension des détecteurs.

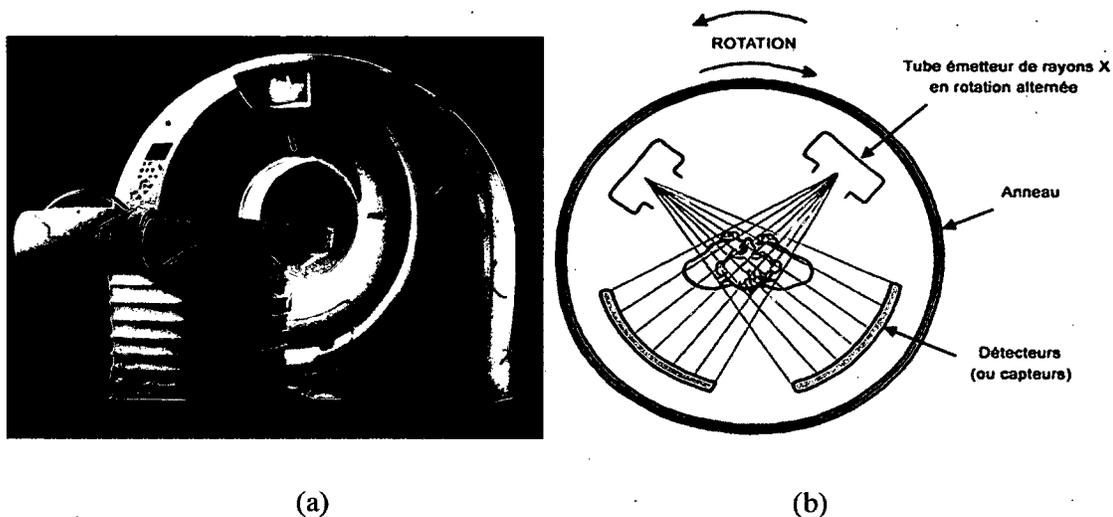


Figure 2.1: Scanners TDM: (a) Photographie d'un scanner TDM, (b) Principe de fonctionnement [COLDOSCIENCES, 2009]



Figure 2.2 : Exemple d'images obtenues par tomographie par ordinateur [JLE, 2007]

La deuxième méthode consiste à intégrer la charge émise par les rayonnements X pendant leur interaction avec les détecteurs. Cette méthode offre une excellente résolution spatiale qui peut atteindre le μm mais au prix de l'injection d'une dose importante dans le sujet.

2.2 La tomographie d'émission par positrons

Un examen de tomographie d'émission par positrons consiste à injecter un traceur radioactif dans un sujet. Le traceur cible une molécule présentant des propriétés biochimiques spécifiques. Il est ainsi possible de visualiser la répartition de cette molécule en détectant les sous-produits de la désintégration radioactive de l'isotope. La désintégration produit un positron qui s'annihilera avec un électron du milieu et produira deux photons d'annihilation (de 511 keV d'énergie). Ces derniers sont émis de part et d'autre d'une façon diamétralement opposée avec une erreur de $\pm 0,25^\circ$ et sont interceptés par un ensemble de détecteurs répartis autour du sujet [LAROUSSE, 2012] [DE DREUILLE et al., 2002].

Un module de détection se compose généralement d'un cristal de haute densité, appelé scintillateur, qui assure la conversion des photons d'annihilation de 511 keV en photons lumineux, suivi d'un photodétecteur qui convertit la lumière en signal électrique. L'information mesurée est ainsi emmagasinée dans une matrice ou sinogramme contenant l'ensemble des éléments de projection d'une coupe de l'objet. Finalement, les images TEP s'obtiennent par reconstruction tomographique sur des stations informatiques puissantes [DE DREUILLE et al., 2002] [TIMOTHY, 2001] [HUMM et al., 2003]. Les figures 2.3 et 2.4 illustrent une image d'un scanner TEP ainsi que son processus de fonctionnement.

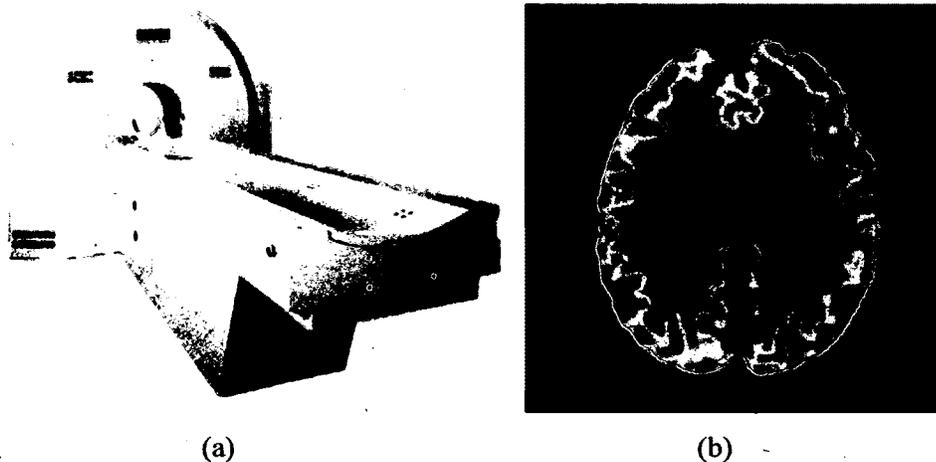


Figure 2.3: Scanner TEP: (a) Photographie d'un scanner TEP, (b) Coupe d'un cerveau obtenue après un examen TEP [UCDAVIS, 2008]

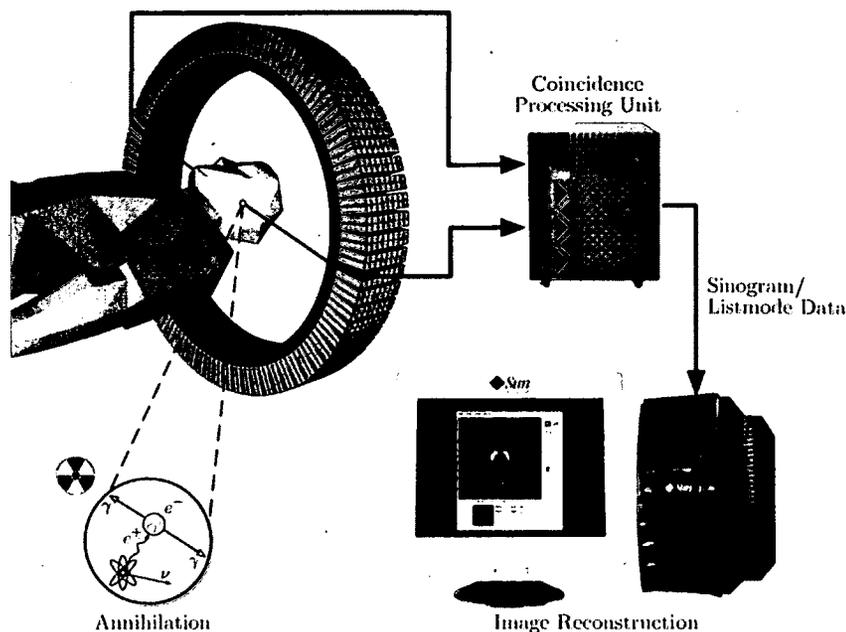


Figure 2.4 : Schéma du processus de détection et de reconstruction d'images en TEP
[LANGNER, 2003]

Les examens TEP et TDM peuvent être couplés. Ceci permet une meilleure analyse des images morphologique et fonctionnelle [DE DREUILLE et al., 2002]. Il est ainsi possible d'atteindre une meilleure précision de localisation des lésions et d'optimiser les procédures thérapeutiques tout en minimisant leurs coûts. Le tableau 2.1 présente une comparaison entre ces deux modalités.

Tableau 2.1 : Différences entre les examens TEP et TDM

Examen TEP	Examen TDM
Imagerie fonctionnelle ou métabolique	Imagerie morphologique ou anatomique
Paramètre biologique via paramètre physique (radioactivité)	Paramètre physique (densité)
Premier examen effectué en août 1976	Premier examen effectué en août 1971
Durée de l'examen : quelques heures [DIFFEN, 2012]	Durée de l'examen : quelques minutes [DIFFEN, 2012]
Coût: \$3 000 à \$6 000 (E.U)	Coût: \$1 200 à \$3 200 (E.U)

2.2.1 La réaction d'annihilation

La réaction d'annihilation se produit quand un isotope radioactif subit une désintégration par positron du type β^+ , soit par transmutation d'un proton en neutron selon la réaction:

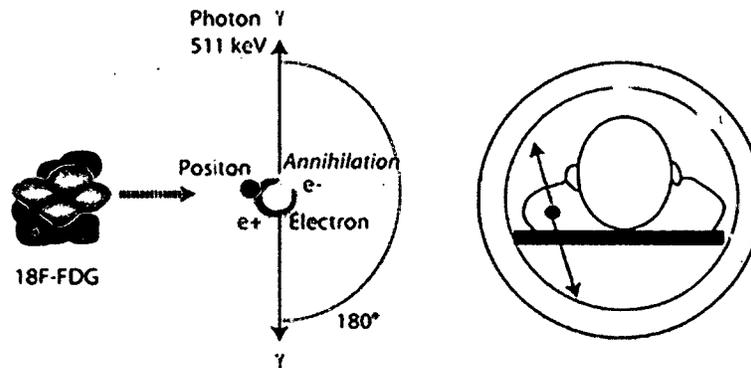
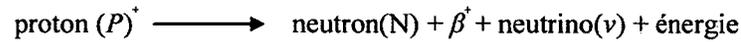


Figure 2.5 : Annihilation d'un positron avec un électron dans un scanner TEP
[BOUJNAH et al., 2011]

Le positron est émis avec une énergie cinétique caractéristique du radio-isotope, comme le représente la figure 2.5. Il perd cette énergie et s'annihile avec un électron du milieu après un parcours de quelques millimètres dans les tissus ($\sim 0,5$ à 6 mm selon les isotopes [LECOMTE, 2007]). L'annihilation se manifeste par l'émission de deux photons possédant chacun une énergie de 511 keV. Vu leurs énergies importantes, ces photons sortent facilement du corps, permettant ainsi une détection. La caméra tente de détecter ces deux photons de part et d'autre du centre de vue, dans une fenêtre temporelle de quelques nanosecondes.

2.2.2 La détection en coïncidence

Les scanners TEP d'aujourd'hui sont souvent bâtis avec un ensemble de détecteurs agencés en anneaux juxtaposés sur plusieurs rangées afin d'avoir une bonne efficacité de détection [KOUA, 2010]. La caméra TEP utilise le principe de la quasi-colinéarité des photons pour localiser des lignes de réponses dans lesquelles la désintégration aurait eu lieu. En effet, lorsqu'un détecteur compte un photon, les autres détecteurs restent en écoute pendant une fenêtre temporelle fixe. Si pendant cette fenêtre temporelle un autre photon est détecté, ces deux photons sont appariés et

comptabilisés. La fenêtre de coïncidence temporelle est fixée par la capacité du scanner à apposer une estampe de temps à un photon d'annihilation qui peut varier de 300 ps à 20 ns en largeur à mi-hauteur (LMH) [LECOMTE, 1998]. La LMH ou *Full Width at Half Maximum* (FWHM) est une expression de l'amplitude d'une fonction, donnée par la différence entre les deux valeurs extrêmes de la variable indépendante pour lesquelles la variable dépendante est égale à la moitié de sa valeur maximale [WIKIPEDIA, 2012d].

La détection d'une paire de photons issus d'une même annihilation correspond à une coïncidence vraie.

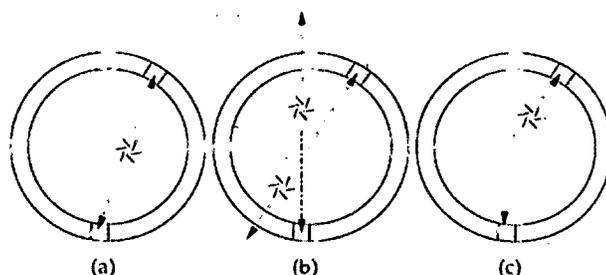


Figure 2.6 : Illustration des coïncidences possibles en TEP: (a) Coïncidence vraie, (b) Coïncidence fortuite, (c) Coïncidence diffusée [REY, 2007]

Les coïncidences TEP enregistrées sont principalement de trois types [LECOMTE, 1998], illustrés à la figure 2.6:

1. Des coïncidences provenant de la même désintégration sont appelées des coïncidences vraies. Les photons n'ont subi aucune interaction avec le milieu et sont détectés directement dans les détecteurs opposés.
2. Des coïncidences provenant de la même annihilation de deux photons avec au moins un des deux qui a été dévié et qui a perdu une partie de son énergie sont appelées coïncidences diffusées ou *Compton*.
3. Des coïncidences résultant de la détection accidentelle de deux photons d'annihilation provenant de deux désintégrations différentes se produisant dans la même fenêtre temporelle sont appelées coïncidences fortuites.

Idéalement, le système de détection de coïncidence vise à retenir seulement les coïncidences vraies pour la reconstruction d'images. Cependant, à cause des imperfections des systèmes de mesures (résolution en temps et en énergie), il demeure toujours, dans les événements retenus, des coïncidences diffusées et des coïncidences fortuites [DE DREUILLE et al., 2002]. La

discrimination en énergie élimine une fraction des photons diffusés tandis que la discrimination en temps réduit le taux des événements fortuits.

2.3 Les spécificités d'un scanner TEP dédié aux petits animaux

Pour les ingénieurs et les physiciens construisant des scanners pour petits animaux, le défi est toujours d'améliorer à la fois la résolution spatiale et la sensibilité. Ceci est lié principalement au fait qu'une souris a une masse très petite comparée à celle d'un humain (~20 g et ~80 kg respectivement). Vu la taille des organes des petits animaux, presque 10 fois plus petite chez la souris, il est nécessaire d'utiliser un scanner avec une meilleure résolution spatiale par rapport à celle d'un scanner utilisé pour l'humain. La figure 2.7 illustre un scanner pour petit animal.

Un autre défi est lié à la dose des traceurs radioactifs injectables. En effet, pour un modèle animal, et afin de ne pas perturber son fonctionnement biologique, la dose injectable ne doit pas dépasser 10% de son volume sanguin. Ceci veut dire que pour une souris le volume maximal tolérable est de 0,25 ml [MOSSET, 2006] et que le scanner doit comporter une efficacité de détection telle que des images quantifiables puissent être mesurées même avec de petits volumes et un faible taux de radioactivité.

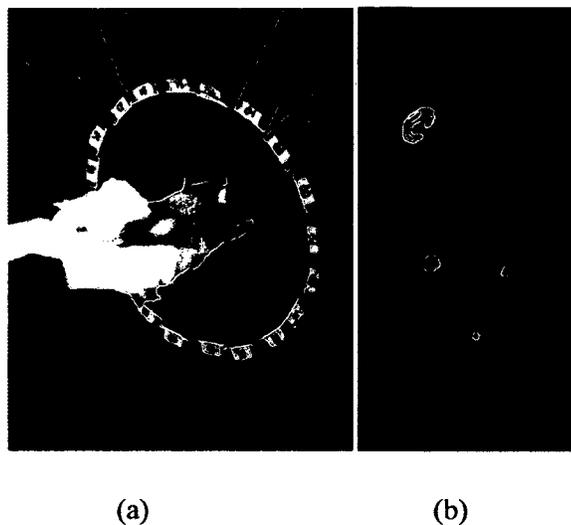


Figure 2.7: Scanner pour petit animal : (a) Un rat soumis à un examen TEP en utilisant le scanner ClearPET™, (b) Détection d'une tumeur à l'épaule du rat [CERN COURIER, 2005]

2.4 Les performances TEP

Avant de pouvoir entamer l'étape de conception du nouveau scanner TEP, il est primordial d'étudier ses paramètres de performances tels que la résolution spatiale, l'efficacité de détection, le taux de coïncidences effectif (*Noise Equivalent Count* (NEC)) ainsi que les résolutions d'énergie et du temps. Ceci permet par la suite de bien orienter le choix de l'architecture.

2.4.1 La résolution spatiale

La résolution spatiale dans un scanner TEP se définit par le plus petit voxel contenant une information quantitative mesurable de radioactivité. Elle représente une caractéristique importante. Elle reflète la qualité de l'image et l'efficacité de l'appareil à détecter des tumeurs.

La résolution spatiale, σ_s , dépend fortement de la taille des détecteurs élémentaires et de leur configuration et est calculée par l'équation 2.1 [DERENZO et MOSES, 1993]:

$$\sigma_s = a\sqrt{(d/2)^2 + b^2 + r^2 + (0.0022 * D)^2} \quad (2.1)$$

où a représente un coefficient compris entre 1,1 et 1,3 qui dépend de l'algorithme de reconstruction utilisé, d est la taille des éléments de détection, b est un facteur dépendant du type de codage utilisé pour obtenir la position des photons incidents sur le détecteur, r est la portée du positron avant son annihilation et D le diamètre du scanner. Le facteur $0.0022 * D$ est l'erreur sur la mesure de la ligne de réponse provenant de la non-colinéarité des photons d'annihilation [MOSSET, 2006].

2.4.2 L'efficacité de détection

L'efficacité de détection d'un scanner TEP est fonction de la géométrie des détecteurs et de l'angle solide vu du centre de la caméra. Elle est estimée par rapport au nombre de coïncidences détectées par les détecteurs élémentaires sur le nombre de paires de photons émis suite à l'annihilation d'un positron avec un électron [ALAIN et al., 1999][HUBER et MOSES, 1999][RANDAL et al., 1999]. La sensibilité influence directement le temps d'acquisition des données nécessaires pour la reconstruction d'une image spécifique, pour une dose radioactive donnée en mode TEP et pour un flux de rayons X en mode TDM [KOUA, 2010]. La sensibilité se définit par le nombre de coïncidences nécessaires pour séparer deux sources ponctuelles de 1 mm distancées de 1 mm. Elle est fonction de l'efficacité de détection d'une part, mais aussi de la qualité de l'information des coïncidences utilisées dans la reconstruction de l'image. Par

exemple, un scanner pourrait avoir une excellente efficacité de détection, mais mal localiser les LOR. L'image s'en trouverait dégradée et il faudrait une plus grande quantité de données pour distinguer les deux sources ponctuelles.

2.4.3 Le NEC

Le taux de coïncidences effectif ou *Noise Equivalent Count* (NEC) se définit comme étant le rapport signal sur bruit de l'image reconstruite aux taux de coïncidences vraies, fortuites et diffusées [STROTHER et al., 1990][LECOMTE, 2004]. Il est donné par l'expression suivante :

$$NEC = \frac{T^2}{(T + S + 2fR)} \quad (2.2)$$

où T , R et S sont les taux de coïncidences vraies, fortuites et diffusées, et f est la fraction de la projection sous-tendue par le sujet imagé.

Ce taux, représenté habituellement en fonction de l'activité de la source, présente un maximum caractéristique du scanner et dépend essentiellement du temps mort des détecteurs et de la limitation de la bande passante du système d'acquisition de données [MOSSET, 2006].

Pour améliorer le NEC, il faut, d'une part, un bon détecteur avec une bonne résolution en énergie pour limiter les événements diffusés et, d'autre part, une bonne résolution temporelle de la détection des photons d'annihilation afin de minimiser la fenêtre temporelle et réduire le taux de détection des événements fortuits.

2.4.4 La résolution en énergie

La résolution en énergie représente l'erreur de mesure de l'énergie par le système d'acquisition des photons d'annihilations à 511 keV. Cette erreur provient des fluctuations statistiques aléatoires se produisant dans le scintillateur ainsi que le bruit électronique d'acquisition [KOUA, 2010].

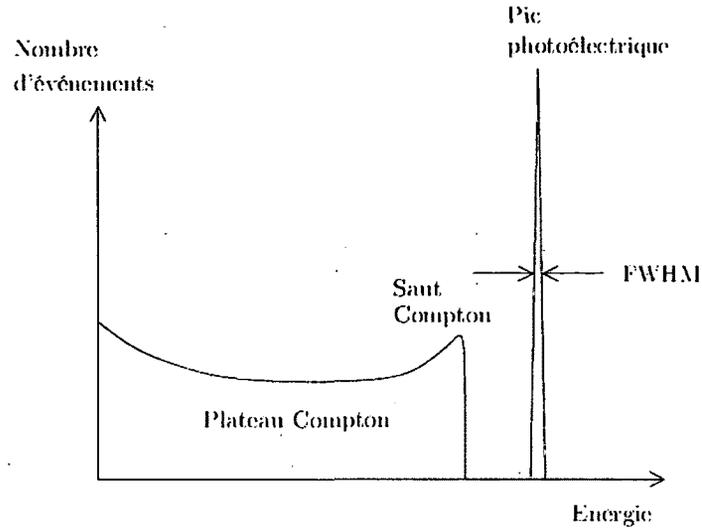


Figure 2.8 : Réponse typique d'un détecteur soumis à un photon d'annihilation
[MOSSET, 2006]

2.4.5 La résolution en temps

Le principe d'un scanner TEP repose principalement sur la détection en coïncidence de deux photons de 511 keV issus d'une même annihilation. La minimisation de la fenêtre temporelle permet de limiter le nombre d'événements fortuits qui affectent le NEC et le ratio du contraste sur le bruit de l'image. Ceci justifie l'importance accordée à la notion de temps en imagerie médicale. Il est possible de pousser à l'extrême la mesure temporelle et obtenir une mesure du temps de vol des photons d'annihilation et ainsi circonscrire sur la LOR l'endroit de l'annihilation. Cependant, pour les scanners précliniques, des résolutions inférieures à 30 ps FWHM doivent être atteintes, ce qui n'est pas encore envisageable.

De manière plus pragmatique, la résolution en temps au point de discrimination t_d peut être exprimée par l'équation 2.3:

$$\sigma_t(t_d) = \frac{\sigma_v(t_d)}{\frac{d(v_{out}(t_d))}{dt}} \quad (2.3)$$

où $d(v_{out}(t_d))/dt$ est la pente du signal au point de discrimination.

$\sigma_v(t)$ représente le bruit total du système. Il est exprimé par l'équation 2.4 et composé par la contribution en bruit de chacune des composantes du système tels que le bruit électronique σ_{ENC} , le bruit photonique $\sigma_{phot}(t)$, et σ_{CTN} le bruit lié au CTN.

$$\sigma_v(t) = \sqrt{\sigma_{ENC}^2 + \sigma_{phot}^2(t) + \sigma_{CTN}^2(t)} \quad (2.4)$$

D'après l'équation 2.3, et afin d'améliorer la résolution temporelle, on peut soit minimiser les différentes contributions en bruit, soit maximiser la pente au moment de la mesure. Cette dernière est fonction du circuit de mise en forme qui tient compte de plusieurs éléments tels que la constante de décroissance du scintillateur.

La résolution temporelle ciblée par le scanner ($R_{scanner}$) est de ~ 1 ns. Ceci nécessite, d'après le théorème de Shannon, un CTN avec une résolution de conversion temporelle (R_{CTN}) au moins deux fois plus rapide, soit $R_{CTN} \leq 0.5$ ns. Si l'information est emmagasinée sous forme de codes thermométriques cadencés à l'horloge système $T_{ref} = 10$ ns, il faut avoir des registres à au moins $N = 20$ codes. Les équations 2.5 et 2.6 illustrent cette conclusion. Le nombre binaire déterminé, le plus proche et supérieur qui s'écrit sous forme 2^n où n est un nombre entier, est de 32. Ceci implique suivant l'équation 2.7 une résolution de 312.5 ps

$$\frac{R_{scanner}}{2} \geq R_{CTN} = \frac{T_{ref}}{N_{cellules}} \quad 0.5 \text{ ns} \geq R_{CTN} = \frac{10 \text{ ns}}{N_{cellules}} \quad (2.5)$$

$$N_{cellules} \geq 20 \quad (2.6)$$

$$R_{CTN} = \frac{10 \text{ ns}}{32} = 312.5 \text{ ps} \quad (2.7)$$

Cette conclusion est très importante et permet par la suite d'aligner plusieurs choix de conception pour ce projet de recherche.

2.5 Le principe du *Time Over Threshold* (TOT)

Les circuits d'électroniques frontales utilisés dans les applications de physique nucléaire détectent des impulsions très rapides avec un taux de comptage très élevé. Habituellement, ces circuits sont composés d'un circuit de mesure de charge et d'un autre pour la mesure du temps. Ceci est effectué dans certains cas à travers une discrimination du signal dans le domaine temporel ou fréquentiel [LECOMTE et al., 1998] [SAOUDI et al., 1999] ou par des réseaux de neurones [KANG et al., 2008]. La mesure de l'énergie par la technique du TOT tire profit du fait que les largeurs du temps au-dessus du seuil ($t_2 - t_1$) de ces signaux sont dépendantes de leurs amplitudes respectives, comme le montre la figure 2.9. Cette mesure permet de limiter les événements aux photons n'ayant pas effectué une diffusion *Compton*. Cette dernière représente

l'effet où un photon laisse une partie de son énergie dans la matière et est dévié de sa trajectoire. La mesure par TOT est effectuée par un comparateur et permet d'extraire une impulsion carrée correspondant à la différence de temps $\Delta t = t_2 - t_1$, ainsi que l'instant d'apparition t_1 .

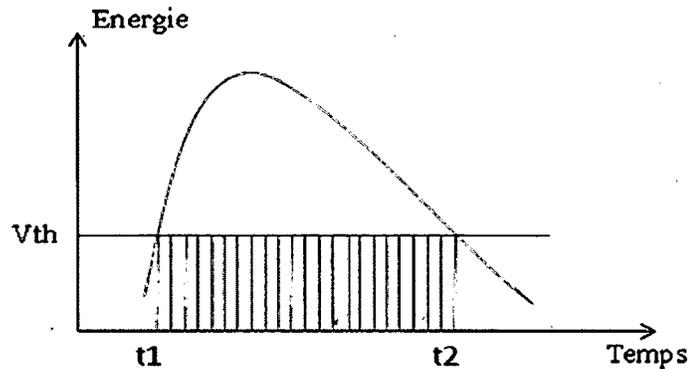


Figure 2.9 : Marquage en temps du signal détecté par la méthode TOT

Cependant, en TOT, l'énergie sert également à la correction de la mesure du temps d'occurrence (t_1) qui est également une fonction non-linéaire de l'amplitude du signal [WU et al., 2008a]. La mesure TOT présente ainsi l'avantage de combiner les deux étapes classiques qui consistent à mesurer séparément l'énergie et le temps. Elle permet de simplifier l'électronique dans certains systèmes entraînant une réduction du coût [WU et al., 2008a].

Dans le cas d'une application TEP, les intervalles TOT varient de quelques dizaines à quelques centaines de nanosecondes (≈ 250 ns). Cet ordre de grandeur est très élevé par rapport à la résolution du CTN (312.5 ps). La conversion dans ce contexte consomme beaucoup d'énergie et prend un espace silicium énorme. Une solution à ce problème est d'utiliser deux compteurs avec deux résolutions différentes. Par exemple, pour la conversion d'un signal TOT de 245 ns, il est possible d'utiliser un compteur grossier capable de fournir une mesure maximale de 240 ns avec une résolution de $T = 10$ ns, et un compteur fin $t_{fin} = 5$ ns ($t_{fin} \leq T$) d'une résolution 312.5 ps.

2.6 Survol des scanners

Cette section énumère les principaux acteurs dans le développement des scanners TEP et TEP/TDM dans le monde aujourd'hui. Elle met le point sur les différentes méthodes de détection des événements radioactifs ainsi que les performances de chaque architecture.

2.6.1 Le scanner ClearPET™

Le scanner pour petits animaux ClearPET™ a été construit dans le cadre de la collaboration Crystal Clear du CERN (CCC). Il permet de faire simultanément des images PET et des images TDM du même champ de vue, et donc de ne pas avoir à déplacer l'animal entre chaque modalité d'imagerie. La figure 2.10 illustre une image du scanner ainsi que sa résolution spatiale.

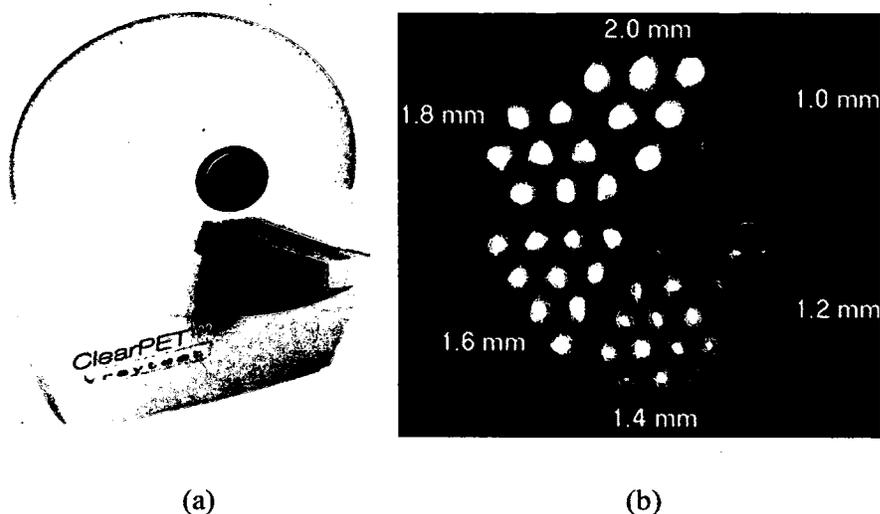


Figure 2.10: Le scanner ClearPET™ : (a) Photographie du scanner ClearPET™, (b) Sa résolution spatiale. [RAYTEST, 2006]

Tous les paramètres de mesure sont sélectionnables par logiciel. Le diamètre portique est extensible pour les applications sur des lapins et des primates. Le portique peut également tourner de 360 degrés avec une vitesse variable tout en assurant une accumulation en temps réel des données. Il peut être équipé de 12 à 20 cassettes. Chaque cassette contient quatre tubes photomultiplicateurs (TPM) comportant 64 photocathodes chacune couplées à des cristaux scintillateurs de types LSO et LuYAP empilés.

La résolution spatiale du scanner est de 1.1 mm au centre et elle est inférieure ou égale à 2 mm dans un rayon de 30 mm. La sensibilité est de l'ordre de 5%, tandis que la résolution en énergie et celle en temps sont respectivement 30% et 5.7 ns [RAYTEST, 2006].

2.6.2 Le scanner MicroPETTM de l'Université de la Californie à Los Angeles

La figure 2.11 montre trois versions du scanner MicroPETTM de l'Université de la Californie à Los Angeles (UCD). La première version a été commercialisée par Concorde Microsystems (CTI) en 1996 et présente une résolution approchant les 2 mm avec des cristaux LSO de $2 \times 2 \times 10 \text{ mm}^3$. Ce scanner a été construit en couplant des scintillateurs LSO par l'intermédiaire de fibres optiques à un TPM multi-anodes. Ce dernier convertit les photons émis par le scintillateur en charge électronique partagée entre plusieurs anodes. Ensuite, un circuit analogique effectue un calcul de centre de gravité sur toutes les anodes recevant les photons pour déterminer la provenance du signal [CHERRY et al., 2003].

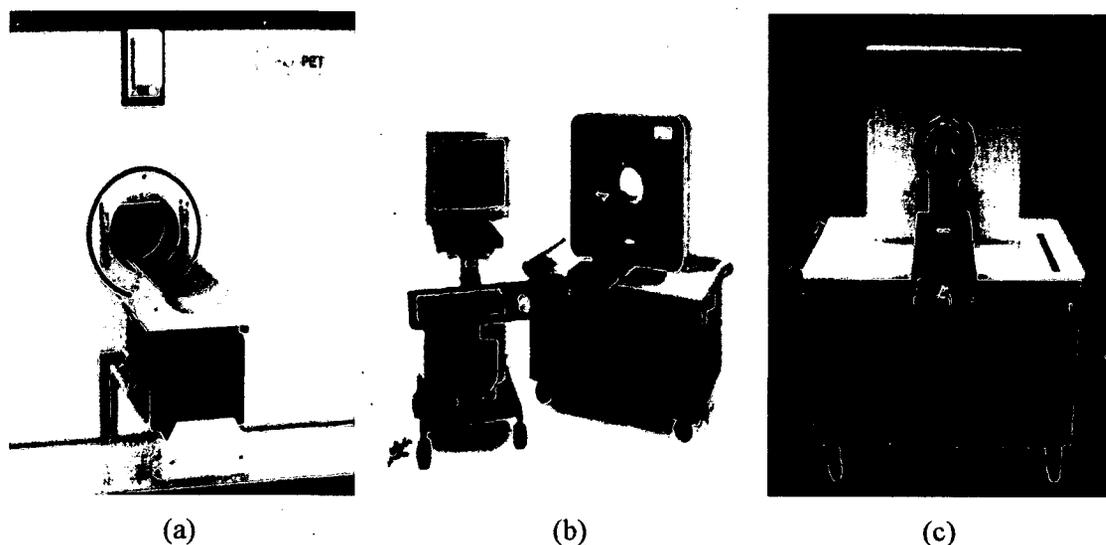


Figure 2.11: Les scanners MicroPETTM: (a) Le scanner MicroPETTM I, (b) Le scanner MicroPETTM P4, (c) Le scanner MicroPETTM II, [UCDAVIS, 2008]

La deuxième version du scanner, le MicroPETTM II offre une résolution en énergie de 14,6%, une sensibilité de 7% et une résolution spatiale de 1,5 mm FWHM. Les détecteurs dans cette version se composent d'une matrice de cristaux LSO de 12×12 avec un espacement de 1,15 mm couplé à un TPM à 64 canaux (Hamamatsu H7546). Une meilleure résolution spatiale, de l'ordre de 1 mm, a été obtenue avec la version MicroPET MP2, avec une sensibilité de 2.26% et une ouverture effective du scanner de 15 cm.

Le scanner PET P4, quant à lui, possède une résolution spatiale légèrement inférieure que les deux autres versions, mais présente un diamètre plus grand pour accueillir de plus gros animaux. Il a été utilisé à l'UC Davis depuis 2002 pour des études chez des souris, des rats et des primates non humains [UCDAVIS, 2008].

Tableau 2.2 : Comparaison des caractéristiques des trois versions du scanner MicroPET
 [UCDAVIS, 2008]

Version MicroPET™	MicroPET™ I	MicroPET™ II	MicroPET™ P4
Ouverture effective du scanner (cm)	17.2	15	22
Résolution temporelle (ns)	2.4	2.3	-
Résolution énergétique (%)	15-25	21-30	22-34
Sensitivité absolue (%)	2.25	2.26	2.25
Résolution spatiale (mm)	~ 2.0	~ 1	~ 2.3

2.6.3 Le scanner LabPET™ de l'Université de Sherbrooke

Le premier scanner conçu à l'Université de Sherbrooke était le premier à utiliser un détecteur à base de photodiodes. Ce dernier a abouti en 2005 à une nouvelle version appelée le LabPET™, toujours dédié à la recherche sur les petits animaux, montré à la figure 2.12.

Il a été bâti avec des détecteurs *phoswich* fabriqué par la compagnie *Perkin Elmer Optoelectronics*. Ce détecteur se compose de deux types de scintillateurs, $Lu_{1,9}Y_{0,1}SiO_5$ (LYSO) et $Lu_{0,4}Gd_{1,6}SiO_5$ (LGSO) de taille $2 \times 2 \text{ mm}^2$. La figure 2.13 montre un module de détecteurs. Ce dernier assemble quatre détecteurs sous forme de matrice 4×1 . Un scanner de 8 cm axial comporte 3072 modules de détecteurs [ROBERT, 2005]. Ils sont montés sur un ensemble de cassettes électroniques assemblées en anneau pour former la caméra de 16,2 cm de diamètre et de longueur axiale ajustable (4, 8 et 12 cm) selon le nombre d'anneaux de détecteurs [ROBERT, 2005].

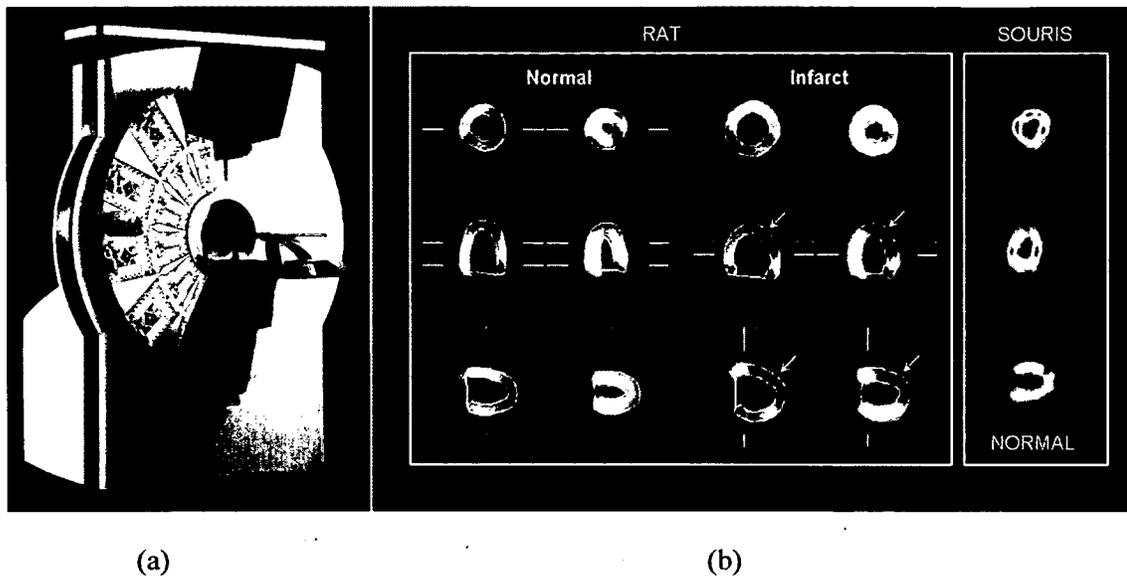


Figure 2.12: Le scanner LabPET™: (a) Image de la première version commercialisée, (b) Images obtenues pour des rats et des souris [RETEB, 2006]

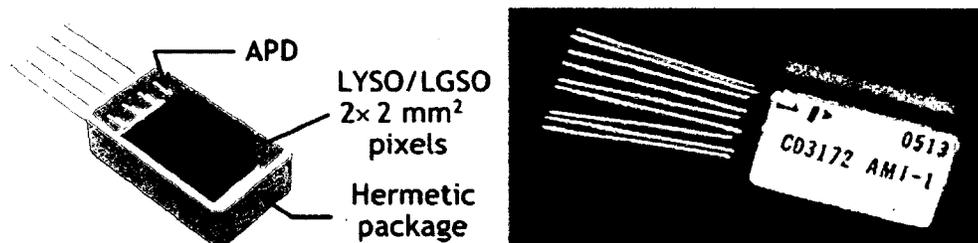


Figure 2.13 : Module de détecteurs du LabPET™ [BERGERON, 2007]

L'électronique du scanner comporte quatre modules électroniques, une carte d'acquisition, une carte de concentration, une carte centrale pour la coïncidence et la carte de communication [FONTAINE et al., 2009] [TÉTRAULT et al., 2006]. Chaque carte électronique d'acquisition comporte un ASIC de 16 canaux. La figure 2.14 montre une image de la carte d'acquisition du LabPET™.

Ce scanner échantillonne en temps réel les signaux détectés. Les données recueillies comportent les informations temporelles des événements ainsi que leurs énergies respectives. Ensuite, les modules numériques à base de FPGA et de DSP effectuent le traitement numérique pour extraire les informations pertinentes [FONTAINE et al., 2009].

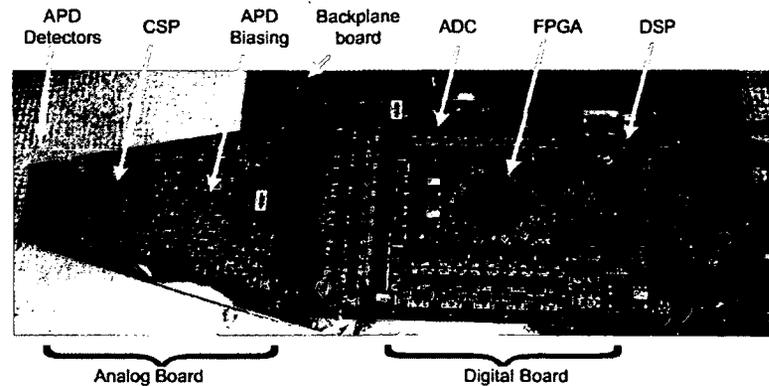


Figure 2.14 : Carte d'acquisition du LabPET™ [FONTAINE et al., 2009]

Le LabPET™ utilise une méthode d'interpolation afin de déterminer l'estampe de temps des événements à partir du moment où un seuil est dépassé, comme l'illustre la figure 2.15. L'estampe de temps est déterminée par le croisement de la montée du signal à un pourcentage du maximum de ce signal [FONTAINE et al., 2009]. Cet algorithme est implémenté dans une matrice de portes programmables (FPGA) et opère en temps réel. L'électronique numérique a une capacité de traitement de 10 000 événements en temps réel par seconde et par canal [FONTAINE et al., 2006].

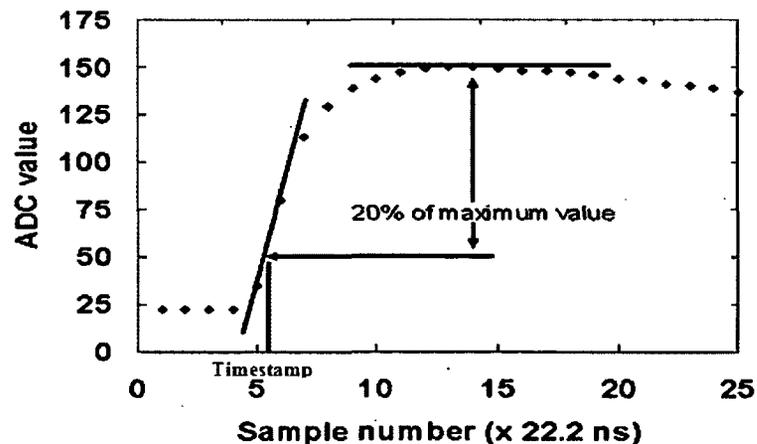


Figure 2.15 : Illustration de la détermination de l'estampe de temps [FONTAINE et al., 2007]

Enfin, grâce aux informations sur l'énergie des photons détectés, ainsi qu'une fenêtre temporelle, un engin de coïncidence localise l'endroit d'annihilation. Par la suite, des algorithmes utilisent cette information pour reconstruire l'image. La figure 2.16 montre l'engin de coïncidence et la carte de communication du scanner.

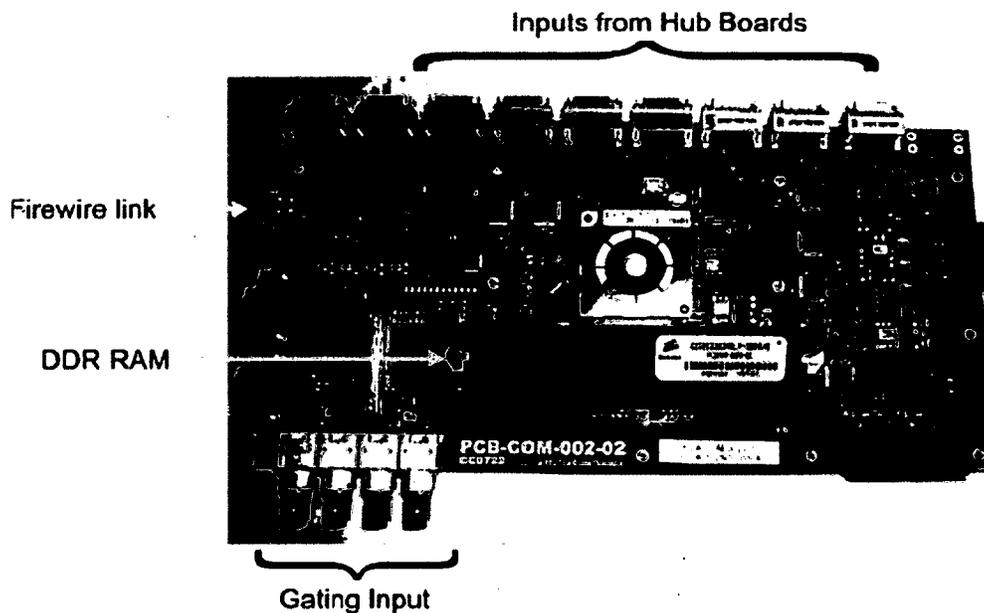


Figure 2.16 : L'engin de coïncidence et la carte de communication du LabPET™
[FONTAINE et al., 2009]

Le LabPET™ a permis d'atteindre une bonne résolution spatiale, à l'époque, allant jusqu'au 1,35 mm. Il est utilisé dans plusieurs centres de recherche médicale sur petits animaux et occupe environ 25% des parts de marché dans ce domaine [FONTAINE, 2011]. Néanmoins, l'architecture de ce scanner présente quelques inconvénients. En effet, l'utilisation d'un ADC par canal pour ce système à déclencheur analogique exige un calibrage par canal. Ceci complique le traitement et ralentit le temps de traitement. L'utilisation d'un ADC par canal limite aussi le budget en puissance et augmente le coût du scanner puisque l'espace silicium est plus grand. La deuxième génération du LabPET™ vise à améliorer les performances et à corriger ces limitations en utilisant une nouvelle approche.

2.7 Le nouveau scanner LabPET™ II de l'Université de Sherbrooke

La deuxième version du LabPET™ vise une résolution spatiale submillimétrique. Le but est, en premier lieu, d'optimiser la TEP et d'initier des travaux en TDM. Ceci permettra dans un futur proche d'aboutir à une approche totalement bimodale TEP/TDM.

La nouvelle structure améliorée utilise des détecteurs de haute densité conçus et validés par le CIMS. Le montage, très compact, repose sur un circuit imprimé (*Printed Circuit Board (PCB)*) qui assemble d'un côté, un circuit intégré propre à l'application LabPET™ II (*Application-*

Specific Integrated Circuit (ASIC)) contenant l'électronique frontale basée sur la TOT et de l'autre côté le module de détecteurs. Ce dernier est constitué d'une matrice de scintillateurs collée sur deux matrices de 4×8 PDA formant ainsi un module de 64 canaux. L'ASIC contient 64 canaux d'acquisition. La formation d'un scanner de 15 cm de diamètre et de 12 cm de longueur axiale requiert 36 864 canaux de détection [BEN ATTOUCH, 2011]. La figure 2.17 illustre l'assemblage ASIC/Détecteurs du scanner.

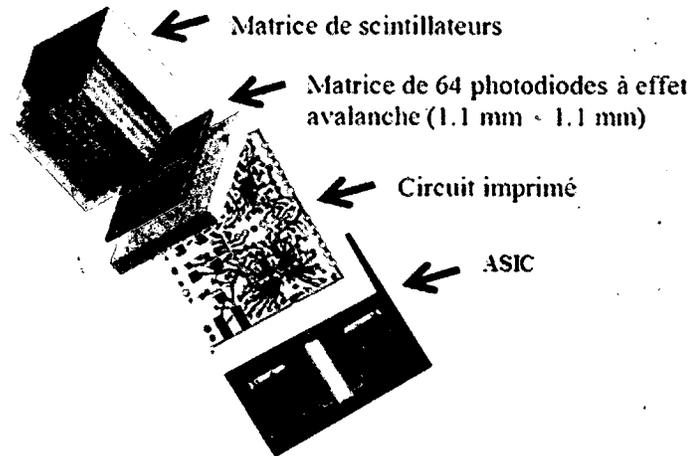


Figure 2.17 : Illustration du montage ASIC/Détecteurs du scanner LabPET™ II [ARPIN et al., 2011]

2.6.1 Les modules de détection du LabPET™ II

La caméra TEP de ce nouveau scanner sera composée d'une moyenne de 41 canaux par cm^2 . Les nouveaux détecteurs sont le fruit d'une collaboration avec *Perkin Elmer Optoelectronics* [BERARD et al., 2008].



Figure 2.18 : Module de détection du LabPET™ II [BERARD et al., 2008]

Tableau 2.3 : Comparaison entre les modules de détection du LabPET™ et LabPET™ II
[PÉPIN, 2007] [BÉRARD et al., 2008]

	LabPET™	LabPET™ II
Dimension des pixels (mm²)	1,8 × 4,4	1,2 × 1,2
Rendement en photoélectrons primaires (Phé / MeV)	2500	3000
Nombre typique d'électrons injectés dans le CSP (TEP)	102 200	306 600 (gain PDA = 200)
Nombre typique d'électrons injectés dans le CSP (TDM)	8 500	25 500 (gain PDA = 200)
Courant d'obscurité (nA)	12 - 50 ± 5	35 ± 10
Capacité de la PDA (pF)	8,6 ± 0,4	3,7 ± 0,2
Gain opération des PDAs	80 / 100	100 / 400
Rendement quantique (nm)	-	> 60% à 430

La figure 2.18 illustre les modules de détecteurs, constitués d'un assemblage de deux matrices de 4 × 8 de photodiodes mises côte-à-côte et jumelées à une matrice 8 × 8 de cristaux LYSO.

Le tableau 2.3 présente une comparaison entre les modules de détection du LabPET™ et celles du LabPET™ II. La dimension des pixels est plus petite pour le nouveau scanner. Ceci permet une plus grande densité de détecteurs. Le rendement quantique est aussi plus intéressant.

2.6.2 Architecture de l'électronique frontale du LabPET™ II

La chaîne de détection comporte un préamplificateur de charge ayant pour rôle d'intégrer la charge détectée par la photodiode et la transformer en tension. La contre-réaction au niveau de cet étage crée un pôle non-linéaire et nécessite un étage de compensation par l'ajout d'un zéro dans la fonction de transfert. Ce dernier sert à améliorer la linéarité du signal en compensant le pôle non-linéaire. Un deuxième étage sert à filtrer le signal et lui donner une forme exploitable par l'électronique de conversion. La figure 2.19 montre la connexion entre les différents blocs énumérés.

Le LabPET™II se base sur le principe de la méthode TOT pour détecter le temps et l'énergie des signaux TEP. Comme le montre la figure 2.20, la TOT est une comparaison entre l'impulsion TEP issue de l'étage de mise en forme du signal (*shaper*) et un seuil préalablement fixé. La largeur du signal à la sortie du comparateur est fonction de l'énergie du signal.

Néanmoins, leur corrélation est non-linéaire. Ceci exige une calibration afin d'élaborer une conversion automatique des données TOT.

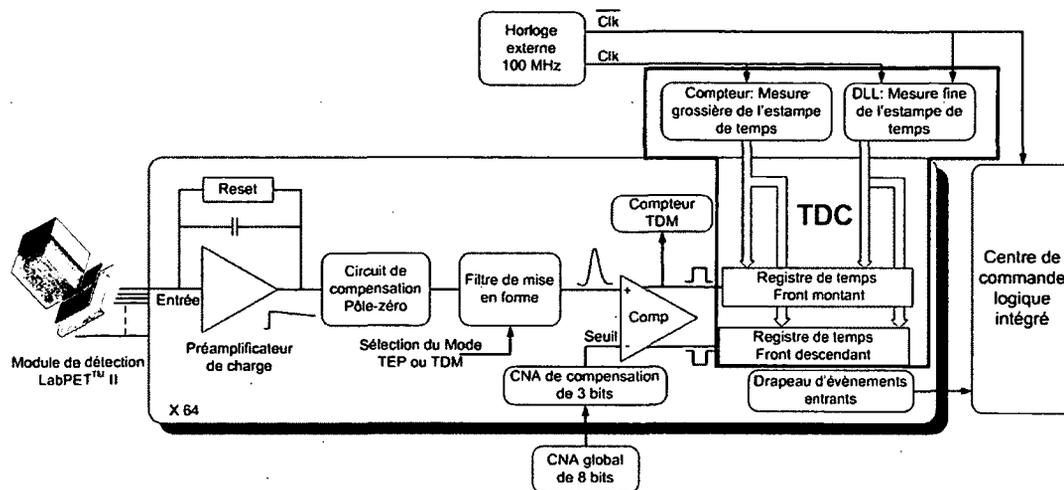


Figure 2.19 : Un canal de détection LabPET™ II

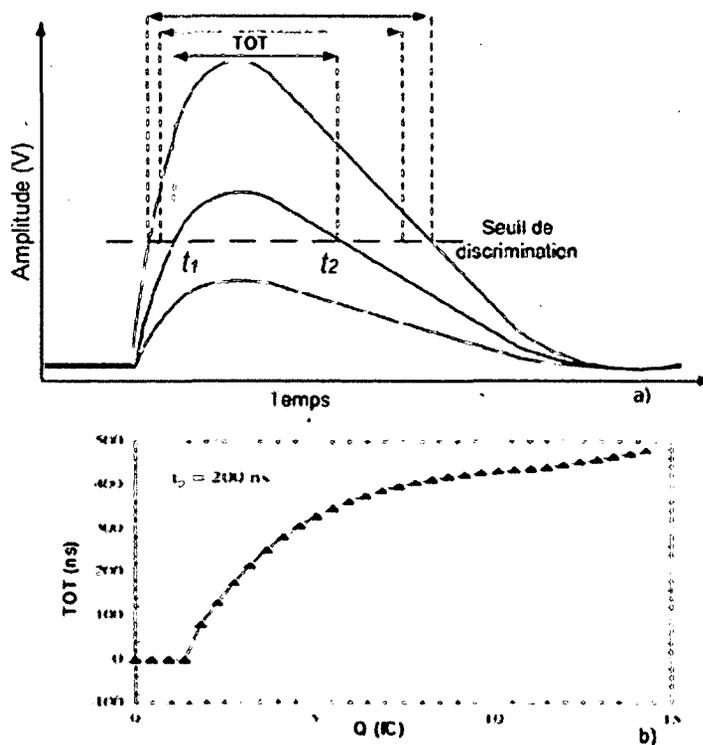


Figure 2.20 : Illustration de la TOT: (a) Exemple d'impulsions discriminées pour la TOT, (b) Exemples de résultats de TOT obtenus [MANFREDI et al, 2000]

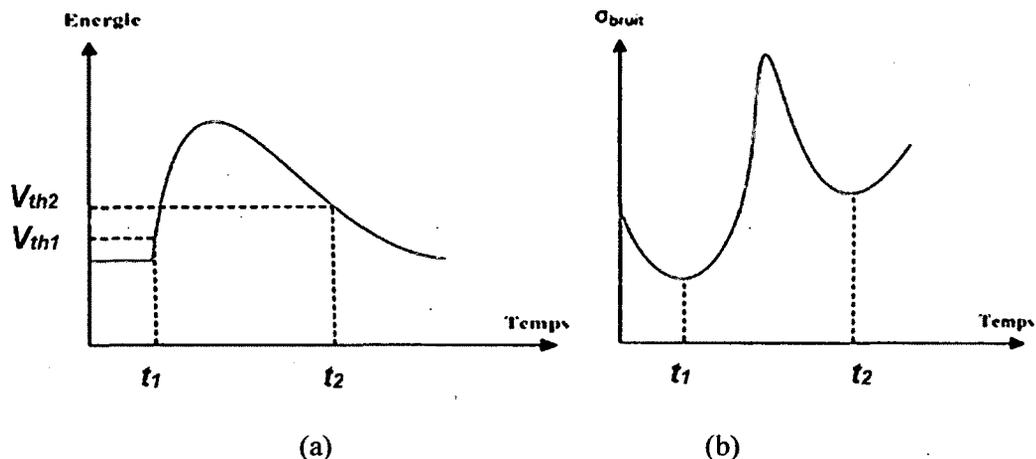


Figure 2.21: Les signaux TEP et leurs bruits électroniques associés: (a) Signal TEP après mise en forme avec les seuils de TOT, (b) Bruit total du CSP en fonction du temps

La mesure TOT nécessite aussi un soin afin de minimiser le bruit qui peut altérer la précision de conversion. La figure 2.21 (b) montre qu'il y'a deux minimums de bruit à deux instants différents. Le choix du premier seuil, V_{th1} , est fonction du temps du premier minimum de bruit. L'ajout d'un deuxième seuil V_{th2} , pour la détection de t_2 , offre un autre degré de liberté pour l'optimisation en fonction du deuxième minimum de bruit.

2.8 Sommaire

Ce chapitre introduit le principe de fonctionnement de deux techniques d'imagerie médicale, la TEP et la TDM, ainsi que leurs paramètres de performance. Il présente les techniques nécessaires ainsi que le choix d'architectures qui servent à atteindre les performances souhaitées. Ceci permet principalement de définir quelques paramètres de performances pour ce projet de maîtrise. Tout d'abord, en étudiant la résolution temporelle visée par le nouveau scanner, il est possible de conclure par rapport à la résolution du CTN qui doit être 312.5 ps. Ensuite, la connaissance du contexte de fonctionnement permet de définir des objectifs de conception pour ce projet, tels que la minimisation du bruit électronique et la possibilité d'intégration dans un système multi-canal. Enfin, l'étude de quelques architectures de scanners existantes expose l'avantage de l'approche TOT adoptée pour cette nouvelle génération du LabPETTM. La validation de cette dernière requiert un bon CTN avec deux compteurs de résolutions différentes, une fine et une autre grossière. Le chapitre suivant présente l'état de l'art sur les CTNs, une étape nécessaire à la compréhension ainsi que la conception du convertisseur.

CHAPITRE 3 LES CONVERTISSEURS TEMPS NUMÉRIQUES

Depuis l'antiquité l'humain s'intéresse à la notion du temps. Le temps se définit comme une grandeur physique et son unité de mesure standard est, de nos jours, la seconde (s).

Les anciennes techniques utilisaient la répétition des phénomènes naturels périodiques dont on connaît la durée (période), comme l'alternance du jour et de la nuit, le cycle des saisons ou les phases de la Lune. D'autres techniques sont apparues plus tard comme l'utilisation d'un réservoir d'eau ou de sable qui se vide régulièrement (sablier ou clepsydre). Avec le développement de l'électronique moderne, des circuits électroniques oscillant à une fréquence connue sont apparus. Des horloges atomiques de très grande précision fournissent un signal de référence aux oscillateurs internes des équipements et permettent ainsi d'assurer une bonne qualité de transmission des services dans les réseaux de télécommunications. Ces horloges utilisent la fréquence du rayonnement électromagnétique émis par un électron lors du passage d'un niveau d'énergie à un autre pour asservir le signal oscillant qu'elle produit [WIKIPEDIA, 2012a]. Ces développements ont permis aussi d'améliorer les performances des applications en physique nucléaire. Parmi ces derniers, il y a les scanners d'imagerie médicale qui adoptent l'approche TOT. Ces scanners tirent profit des convertisseurs temps numériques assez précis, actuellement disponibles. Ce chapitre présente plusieurs architectures existantes de CTN et explique au fur et à mesure leurs avantages et inconvénients par rapport à l'application LabPETTMII.

3.1 La méthode d'interpolation

L'interpolation se définit comme une méthode de détermination d'une valeur approximative d'une fonction dans un intervalle borné par deux valeurs de fonction.

Pour les mesures du temps, les méthodes d'interpolation sont utilisées pour mesurer de longues durées de temps avec une haute résolution. L'approche fait recours à deux compteurs, un grossier et un autre fin, selon l'architecture illustrée à la figure 3.1.

Pour ce projet de recherche, cette méthode permet d'optimiser l'énergie et le temps de conversion.

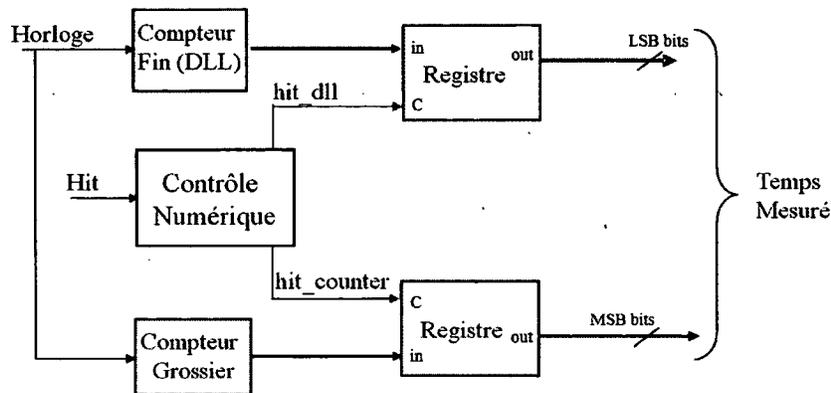


Figure 3.1 : Architecture d'un CTN avec interpolation

3.2 Les compteurs grossiers

Ces convertisseurs sont les plus connus et les plus simples à implémenter. Ils utilisent l'horloge du système comme référence et sont mieux adaptés à une structure multi-canal. Les performances sont principalement définies par celle de l'horloge (résolution, gigue, stabilité) [KALISZ, 2003].

Supposant qu'il y a deux fronts déclencheurs *start* et *stop* représentant respectivement un déclencheur pour l'activation et un autre pour l'arrêt du compteur, le but est de mesurer le temps entre ses deux fronts. Pour un compteur grossier, la durée mesurée est un multiple de la période de l'horloge T_0 .

$$T = nT_0 \quad (3.1)$$

où n est l'équivalent décimal du nombre entier binaire Q lu à la sortie du compteur.

Cette méthode de comptage permet de mesurer de longues durées de temps et peut être réalisée avec un circuit relativement simple. Cependant, elle a une erreur de mesure élevée ($\pm 1/2T_0$). Par exemple, pour une durée de temps $\Delta t = 4.1 T_0$, ce compteur fournit une valeur mesurée de $5 T_0$, ce qui revient à une erreur de mesure de $+0.9 T_0$. La figure 3.2 illustre ce problème de conversion.

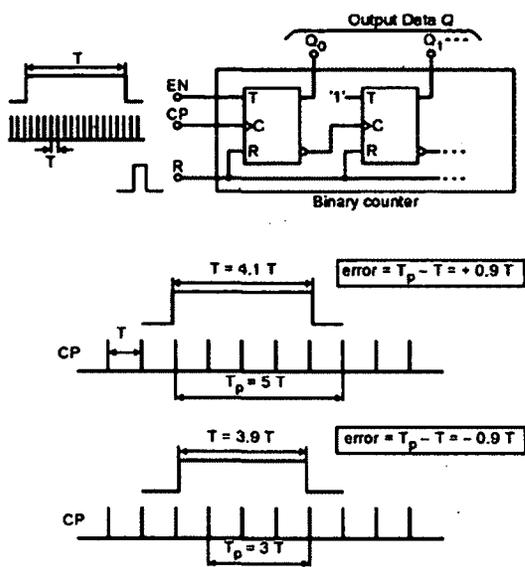


Figure 3.2 : Convertisseur grossier simple: (a) Principe de comptage, (b) Erreur de comptage (T_p est le résultat du comptage) [KALISZ, 2003]

Pour le scanner du LabPETTMII et avec une fréquence d'horloge système à 100 MHz, ce type de compteur introduit une erreur de conversion de 10 ns. Cette erreur de mesure trop élevée écarte le choix de ce type de convertisseur, étant donné que la résolution requise par le LabPETTMII est de l'ordre de 312.5 ps. De plus, la puissance consommée par ce type de compteurs est proportionnelle à la fréquence de l'horloge. Ceci présente un inconvénient, car cibler des résolutions plus fines devient très coûteux.

3.3 Les compteurs fins

De toutes les grandeurs physiques, le temps est celle qu'on mesure avec la plus grande précision [WIKIPEDIA, 2012a]. Les avancées technologiques de nos jours ont reconnu une demande inégalée de moyens de calculs fins du temps. Il existe des compteurs avec une résolution de l'ordre de 1 ps [KERANEN et al., 2011]. Ces compteurs sont classés selon deux catégories: les architectures analogiques comme le convertisseur TAC-ADC, et les architectures numériques qui peuvent se servir de délais temporels ou de mesure de phases.

3.3.1 CTN avec double conversion TAC-ADC

Comme le montre la figure 3.3, cette méthode s'effectue en deux temps: conversion d'un intervalle de temps en une tension (amplitude) par l'intermédiaire de la charge d'un condensateur par un courant constant; conversion numérique, par un ADC, de la tension développée sur le condensateur. Après la conversion, le condensateur est déchargé rapidement pour réduire le temps mort. Le temps de conversion dépend principalement de celui de l'ADC, du courant de la source de charge et aussi du condensateur utilisé. La méthode a été utilisée avec succès dans de nombreux circuits [KALISZ et al., 1993] [GREY et al., 1994] [KOSTAMOVARA et al., 1989]. L'utilisation d'ADC haute performance a permis d'améliorer la résolution de ce type de CTNs.

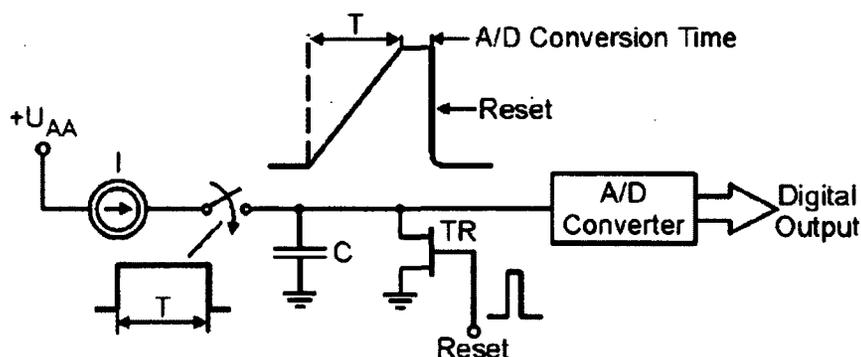


Figure 3.3 : CTN avec double Conversion TAC-ADC [KALISZ, 2003]

Les TAC-ADC sont idéales pour les circuits purement analogiques. Un autre avantage est qu'ils ne demandent pas une horloge externe et qu'ils ne fonctionnent que s'il y a un événement. L'utilisation d'un convertisseur analogique-numérique (A/D) de type Wilkinson permet aussi de réduire la consommation. Néanmoins, plusieurs contraintes rendent cette approche peu intéressante pour l'application LabPET. Tout d'abord, la faible énergie des charges détectées nécessite un soin particulier de conception vu les contraintes imposées par le bruit électronique et les procédés de fabrication. Aussi, le besoin d'un étage TAC-ADC par canal augmente la surface silicium ainsi que le coût. Ensuite, cette architecture exige une calibration par canal pour la détection des coïncidences. Ceci a un impact majeur sur le temps nécessaire pour effectuer un examen TEP et nécessite une électronique énorme et complexe dû au double étage de conversion.

3.3.2 CTN basé sur le principe Vernier

Ce type de convertisseur fait partie des architectures numériques qui se servent de délais temporels. Dans une ligne à délais Vernier (VDL), deux chaînes de cellules à délais avec deux pas différents (T_1 et T_2) sont utilisées. La figure 3.4 illustre la configuration de base.

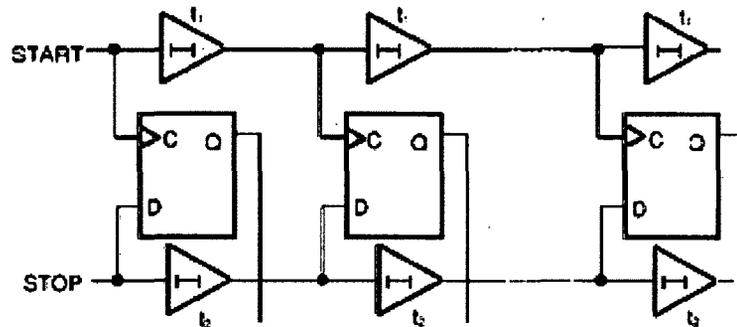


Figure 3.4 : Configuration des lignes à délais pour un CTN à base du principe Vernier [AVEYNIER et al., 1970].

Cette approche permet de mesurer le temps entre deux fronts montants *start* et *stop*, injectés respectivement dans la première et la deuxième chaîne d'inverseurs, avec une résolution $r = T_1 T_2$.

Le compteur associé à la chaîne supérieure (inférieure) mesure un temps $t_1 = (n_1 - 1)T_1$, ($t_2 = (n_2 - 1) T_2$) respectivement, ainsi l'intervalle de temps mesuré par le CTN au complet est exprimé par l'équation 3.2. Afin d'améliorer la résolution du CTN, il faut donc minimiser $r = T_1 - T_2$.

$$T = t_1 - t_2 = (n_1 - 1) T_1 - (n_2 - 1) T_2 = (n_1 - n_2) T_1 + (n_2 - 1)r \quad (3.2)$$

Ce type de convertisseur permet d'obtenir une résolution inférieure à 100 ps. Il a été démontré que la valeur de résolution peut atteindre 1 ps [OTSUJI, 1993] [AVEYNIER et al., 1970].

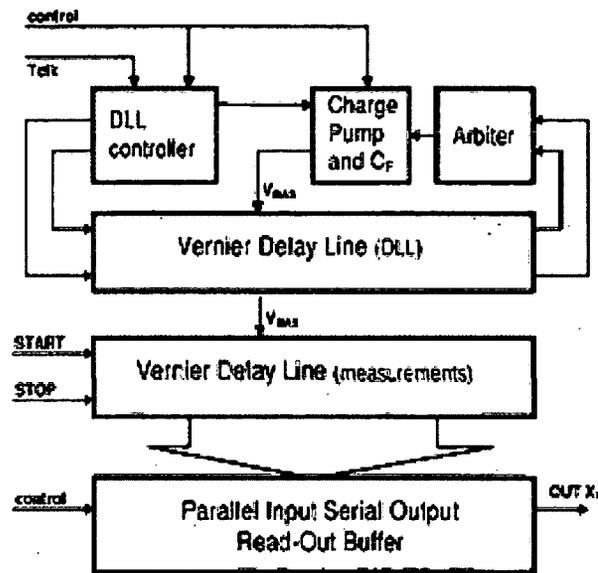


Figure 3.5 : Architecture d'un CTN à base du principe Vernier [AVEYNIER et al., 1970]

Cette architecture est immune par rapport à la gigue systématique puisqu'elle utilise la différence entre deux lignes à délais qui subissent tous les deux les mêmes conditions. Toutefois, la précision reste linéairement liée à l'accumulation de la gigue aléatoire introduite par chaque étage de tampon dans les lignes à délais. Ceci impose un soin de conception particulier vu les variations liées aux procédés et à la température. Ces derniers engendrent des variations de délais et nécessitent ainsi l'utilisation d'un système de régulation tel que les boucles à verrouillage de délais (DLL), ou bien de phase (PLL). La figure 3.5 montre une architecture d'un CTN implémentant une DLL ainsi qu'un arbitre pour la détection des moments de coïncidences des deux signaux issues des deux chaînes d'inverseurs. Ainsi, la position dans la ligne à délais, à laquelle le signal *stop* rattrape le signal de départ, donne des informations sur le temps mesuré avec la résolution r .

La structure Vernier est souvent recommandée pour un système de très haute précision (inférieure à 50 ps). Ceci n'est pas le cas du scanner LabPETTM II. Aussi, la complexité de la logique de contrôle ainsi que l'utilisation de deux lignes à délais par canal de l'ASIC rendent l'intégration de ce CTN assez complexe. D'autre part, l'absence d'un système de synchronisation, entre les 64 canaux de l'ASIC du scanner, exige une calibration par canal.

L'implémentation de cette approche engendre une augmentation exponentielle au niveau de la consommation ainsi que l'espace silicium et du coût.

3.3.3 CTN basé sur des lignes à délais (TDL)

Ce type de convertisseur, appelé aussi *Tapped Delay Line* (TDL), utilise une ligne à délais comprenant des cellules élémentaires ayant chacune, dans un cas idéal, le même délai de propagation τ .

Deux fronts déclencheurs sont utilisés pour la mesure de temps avec cette architecture. Le premier front (*start*) lance le début de mesure. Ensuite, un autre front d'arrêt *stop* entraîne la mémorisation de l'état de la ligne. La logique de codage recherche ainsi la position du front montant dans la ligne à délai. Le produit de la position par la valeur du délai élémentaire détermine le délai entre le front montant du signal *start* et celui du signal *stop*.

Cette méthode a été implémentée avec des câbles coaxiaux traditionnels qui remplaçaient les cellules à délais. Mais suite à une croissance continue dans la technologie des semi-conducteurs, de nouvelles méthodes ont été développées, fondées sur des lignes à délais intégrées [STEPHENSON, 1989]. Les premières réalisations dans ce domaine ont été déposées au début des années 1980 [GENAT et al., 1984][STEPHENSON, 1989].

Les TDL peuvent être utilisées dans différentes configurations, comme celles montrées à la figure 3.6. Dans le circuit illustré dans la figure 3.6 (a), un train de n cellules de bascules synchrones, forme la ligne à délai. Ces premiers ont initialement un état $Q = Low$, car le signal *start* = *Low*. Le front montant de l'impulsion *start* se propage à travers les bascules en série ayant chacune le délai de propagation τ , jusqu'à ce que le front descendant de l'impulsion *stop* apparaisse. Ceci entraîne le verrouillage de l'état des bascules (échantillons de l'état actuel de la ligne) et arrête la propagation [KALISZ, 2003].

L'intervalle du temps mesuré est ainsi $T = k\tau$, où k est la position la plus élevée de la bascule synchrone ayant en mémoire l'état $Q = High$. Les données de sortie sont obtenues sous forme de code thermométrique. Ce dernier doit être converti en code binaire naturel ou BCD selon l'application [KALISZ, 2003].

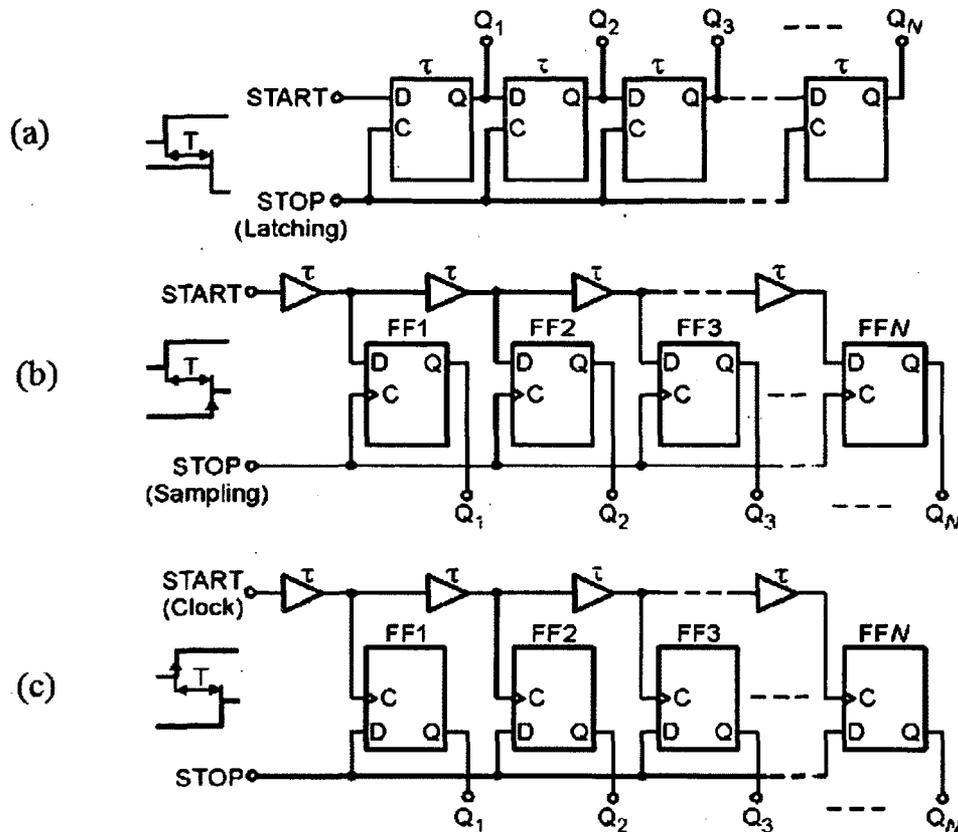


Figure 3.6 : CTN utilisant des TDLs: (a) Ligne avec des bascules synchrones en série, (b) Ligne de tampons avec un échantillonnage simultané de son état à l'arrivée du front montant du signal *stop*, (c) Ligne de cellule à délais avec un échantillonnage successif de l'état de l'entrée *stop* [KALISZ, 2003]

La ligne à délais peut également être implémentée comme une chaîne de tampons, ayant chacun un délai élémentaire τ . Dans le schéma de la figure 3.6 (b), le convertisseur échantillonne l'état de la ligne lors de l'arrivée du premier front montant de l'impulsion *stop*, et il est tenu dans les bascules synchrones D (FF1, . . . , FF_N). La position de la bascule ayant en mémoire l'état $Q = High$ et le poids le plus élevé détermine le résultat de mesure. Cette méthode a été utilisée dans l'analyseur de fréquences et d'intervalles de temps HP5371A [MANEATIS, 1996] pour obtenir une résolution de 200 ps [KALISZ, 2003].

Dans le circuit illustré dans la figure 3.6 (c), la ligne fonctionne comme une horloge multi-phase d'échantillonnage de l'état de l'entrée *stop*. Lorsque l'impulsion *stop* apparaît, le front

montant du signal *start* le plus proche change l'état de la bascule suivante à $Q = High$. L'état des bascules suivantes est aussi $Q = High$ après un délai τ chacune. La position de la bascule du poids le plus faible et ayant un état $Q = High$ détermine le résultat de mesure [KALISZ, 2003].

Si le temps de lecture est ignoré, le temps mort du circuit illustré dans la figure 3.6 (a), défini comme le temps nécessaire pour réinitialiser les bascules en série, est $N\tau$, où N est le nombre de bascules et τ est le pas élémentaire. Une solution possible à ce problème consiste à effectuer une réinitialisation en parallèle. Cette solution peut être aussi appliquée pour les circuits (b) et (c) de la figure 3.6 [KALISZ, 2003].

L'utilisation des TDLs pour la mesure du temps revient à utiliser un compteur rapide à base de bascules synchrones et de fréquence $f = \frac{1}{\tau}$. Par exemple, si le pas est de $\tau = 1$ ns, la fréquence de mesure est de $f = 1$ GHz. Pour doubler la marge de mesure d'un compteur grossier utilisant cette horloge équivalente, il faut ajouter une seule bascule synchrone. Tandis que pour une structure de base implémentant des lignes à délai, on aura besoin de doubler le nombre de cellules à délais ainsi que leurs bascules asynchrones associées [KALISZ, 2003]. Le tableau 3.1 montre les avantages et les inconvénients de chacune des architectures présentées.

Tableau 3.1 : Comparaison des architectures de CTN

	CTN à base de TDL simple	CTN à base de TAC-ADC	CTN à base du principe Vernier
Avantages	<ol style="list-style-type: none"> 1. Basse consommation d'énergie 2. Mieux adapté pour un système multi-canal 3. Implémentation simple 	<ol style="list-style-type: none"> 1. Mieux adapté pour un système purement analogique 2. Ne nécessite pas une horloge externe 	<ol style="list-style-type: none"> 1. Mieux adapté pour un système de haute précision (< 50 ps) 2. Robustesse (utilisation de deux lignes à délais)
Inconvénients	<ol style="list-style-type: none"> 1. Moins adapté pour un système de haute précision (< 50 ps) 	<ol style="list-style-type: none"> 1. Requiert un bon ADC 2. Moins adapté pour un système multi-canal 3. Temps de conversion relativement long 	<ol style="list-style-type: none"> 1. Logique de contrôle assez complexe 2. Grande consommation d'énergie 3. Moins adapté pour un système multi-canal

L'architecture d'un CTN à base de TAC-ADC présente un inconvénient majeur qui est la nécessité d'un ADC par canal. Tandis que celle à base du principe Vernier demande une logique de contrôle complexe par canal. Ces choix ont été écartés car ils impliquent un espace silicium énorme pour l'ASIC à 64 canaux du LabPETTMII. Cependant, l'architecture d'un CTN à base de TDL simple et avec interpolation présente une solution assez intéressante. En effet, outre l'avantage de son intégration assez compacte, l'utilisation d'une seule ligne à délais pour tous les canaux permet de minimiser la consommation. Cette dernière tire profit aussi de l'utilisation d'une logique de contrôle très simple au niveau des registres de stockage des codes thermométriques. Le défi avec ce genre d'approche et que les délais de la mesure fine sont très sensibles aux variations du procédé de fabrication, de l'alimentation et de la température. Ceci nécessite un système de régulation complexe tel qu'une boucle à verrouillage de délai (DLL) ou une boucle de verrouillage de phase (PLL). Une DLL présente l'avantage d'une implémentation plus facile comparé à une PLL.

3.4 Les boucles à verrouillage de délai (DLL)

Afin de réaliser un CTN à base de TDL simple pour l'ASIC du LabPETTMII, il est nécessaire d'étudier les boucles à verrouillage de délais (DLL) ainsi que la variété d'architectures de chacun de ses sous-blocs.

Une boucle à verrouillage de délais est un système de premier ordre qui asservit la phase de sortie d'une ligne à délais contrôlable en tension avec celle de son entrée retardée d'une période. La DLL comprend un comparateur de phase (*Phase Comparator*), une pompe de charge (*Charge Pump*), un filtre de boucle (*Loop Filter*) et une ligne d'éléments à délais contrôlables en tension (*Voltage Controlled Delay Line*), comme l'illustre la figure 3.7.

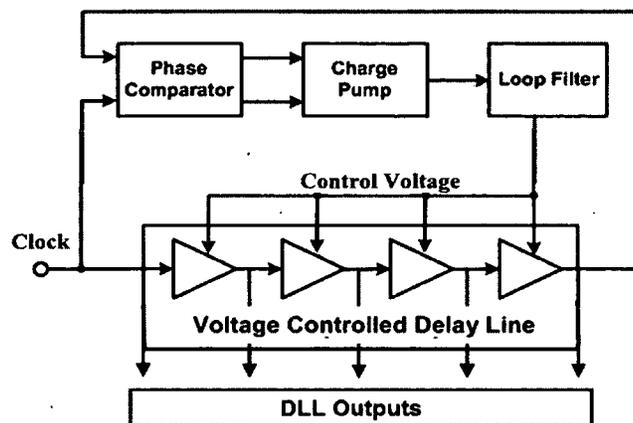


Figure 3.7 : Architecture d'une boucle à verrouillage de délais (DLL) [CHENG, 2005]

Le comparateur de phase prend en entrée le signal de référence, ainsi que sa copie retardée d'un cycle par la ligne à délais. Il transmet ainsi la différence de phase entre ces deux signaux à la pompe de charge. Cette dernière injecte ou retire du courant au niveau du filtre de boucle afin de créer finalement une tension de contrôle pour les cellules à délais. La DLL atteint le verrouillage lorsque le délai total de la ligne atteint exactement une période du signal de référence. Ce système permet d'affranchir la ligne à délais des variations de la température, de l'alimentation ou du bruit lié à la technologie utilisée.

3.4.1 Cellules de délais

Il existe plusieurs architectures possibles pour l'implémentation de la ligne à délais. La solution la plus classique consiste à utiliser des cellules à base de composants passifs (R-C). Le contrôle du délai nécessite ainsi l'implémentation de résistances ou de capacités ajustables. Ceci rend leur implémentation difficile et coûteuse. La figure 3.8 illustre une architecture très répandue basée sur des tampons à délais ajustable. L'inconvénient de cette architecture réside dans sa faible immunité au bruit commun introduit par l'alimentation et le substrat.

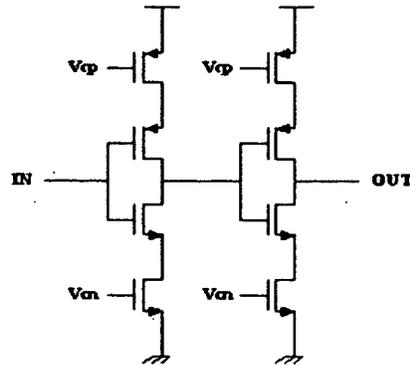


Figure 3.8 : Un tampon avec délai ajustable à l'aide des tensions de contrôle (V_{cp} et V_{cn})

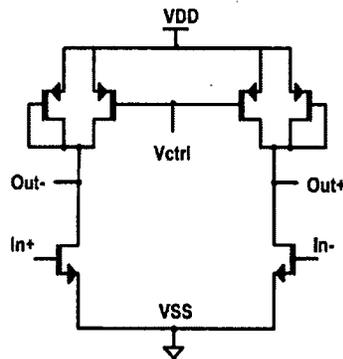


Figure 3.9 : Une cellule différentielle contrôlable en tension [MANEATIS, 1996]

Une architecture différentielle, comme celle montrée à la figure 3.9, résout ce problème. La répartition symétrique du signal dans la cellule annule le bruit commun. Elle apporte toutefois deux inconvénients majeurs:

1. Elle consomme plus de puissance (presque le double comparé à une cellule classique).
2. Leur implémentation nécessite un soin particulier pour garder l'aspect différentiel symétrique.

Cette architecture reste toutefois intéressante pour l'ASIC du LabPETTMII, vue le contexte de la sensibilité au bruit électronique et du substrat.

3.4.2 Comparateur de phase

Le détecteur ou comparateur de phase fournit un signal de sortie proportionnel au déphasage entre deux signaux d'entrée. Le signal résultant peut être une tension ou un écart temporel entre deux sorties.

L'une des architectures les plus simples utilise une porte XOR, montrée à la figure 3.10. La moyenne du signal de sortie est proportionnelle au déphasage entre les deux entrées. Par exemple, si le déphasage entre des signaux d'entrées CK_{ref} et CK_{out} atteint 90 degrés, le signal de sortie V_{out} aura un rapport cyclique de 50 %. Ceci implique une sortie à moyenne nulle. Si le déphasage s'écarte des 90 degrés, le rapport cyclique de sortie change proportionnellement avec la différence de phase en entrée. Ceci induit une variation de la valeur moyenne du signal de sortie.

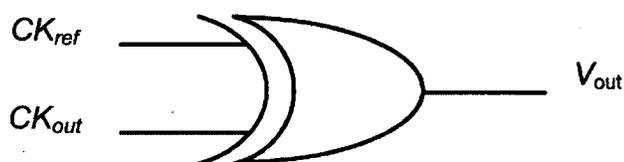


Figure 3.10 : Un comparateur de phase basé sur une porte XOR [CHENG, 2005]

Ce type de détecteur ne peut pas être implémenté pour une DLL car le point de déphasage en quadrature entre le signal d'horloge et celui de la sortie de la ligne à délais présente un second point de stabilité. Ceci fait en sorte que la DLL n'agit pas pour corriger cet écart.

Une autre architecture consiste à implémenter un comparateur de phase à trois états, illustré à la figure 3.11. Cette architecture est basée sur des bascules synchrones et offre l'avantage de détecter les fronts montants. Ainsi, le problème de dépendance du rapport cyclique, comme dans le cas de la porte XOR, est évité. Deux bascules synchrones et une porte NAND constituent la base de cette architecture [CHENG, 2005].

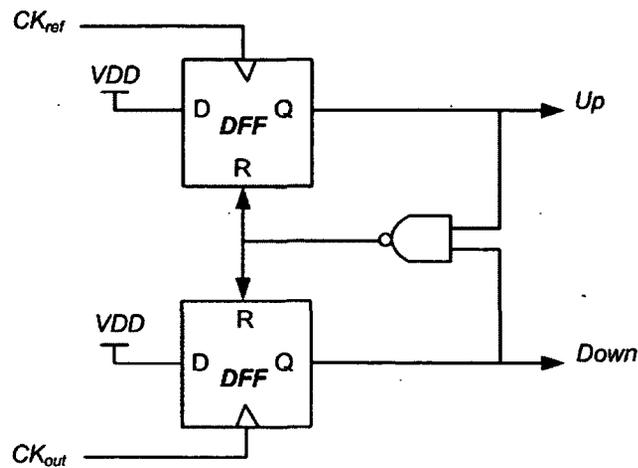


Figure 3.11 : Un comparateur de phase basé sur des bascules synchrones
[CHENG, 2005]

Ce type de détecteur détecte la différence de phase et de fréquence permettant d'élargir le taux d'acquisition et de diminuer le temps de verrouillage de la DLL [NOTANI et al., 1994].

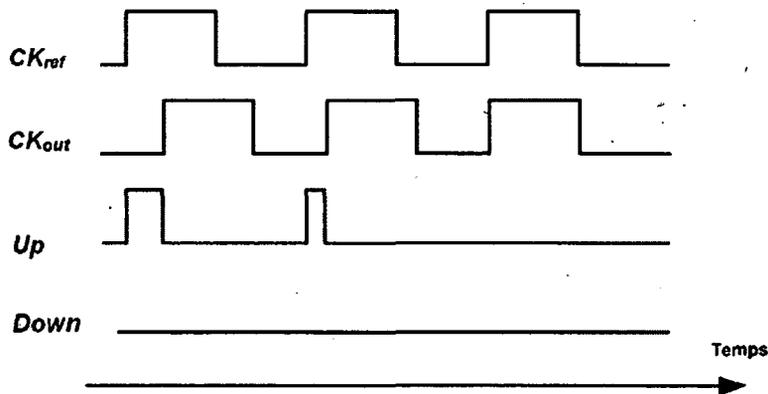


Figure 3.12 : Asservissement de phase et de fréquence

La figure 3.12 illustre la réponse du comparateur de phase à un déphasage entre les signaux CK_{ref} et CK_{out} . Au début de l'expérience, tous les signaux sont nuls. À l'avènement du front montant du signal CK_{ref} , la sortie Up de la bascule synchrone excitée prend la valeur de $D = 1$. Le signal Up reste à 1 jusqu'au front montant du signal CK_{out} et le signal $Down$ passe à 1 également. Par contre, cet état ne dure pas très longtemps, car ces deux sorties (de valeur 1) actionnent la réinitialisation des bascules (via la porte NAND). Donc, sur la première sortie

citée, nous avons une image du déphasage des deux signaux, tandis que la montée à 1 sur la deuxième sortie s'est à peine faite remarquée.

Le problème de ce type de détecteur est que le temps de reset peut limiter la vitesse du détecteur et le temps de verrouillage [MANSURI et LIU, 2002].

3.4.3 Pompe de charge

Une pompe de charge comprend deux sources de courant contrôlées par des signaux d'entrée *Up* et *Down*. Ces derniers proviennent d'un détecteur de phases. Les sources de courant injectent ou retirent une charge dans le filtre de boucle (capacité) selon l'étude de stabilité de l'asservissement [CHENG, 2005].

Les figures 3.13 et 3.14 illustrent, respectivement, un schéma de principe ainsi qu'une implémentation possible d'une pompe de charge. Si l'interrupteur est fermé, le courant de charge ou de décharge commence à ajouter ou à enlever une charge du filtre de boucle (capacité). Cette opération se poursuit jusqu'à ce que la DLL soit verrouillée et la tension de contrôle aux bornes du filtre de boucle soit maintenue constante.

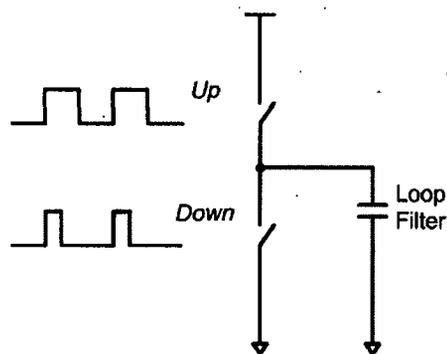


Figure 3.13 : Schéma de principe d'une pompe de charge [CHENG, 2005]

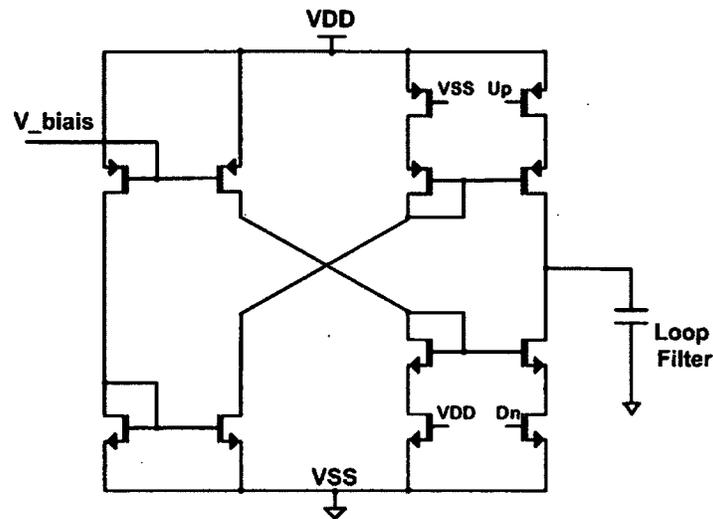


Figure 3.14 : Implémentation possible d'une pompe de charge [MANEATIS, 1996]

Le plus grand défi lors de la conception d'une pompe de charge est de s'assurer que le courant de charge et de décharge soient identiques car ceci influence directement la gigue [MANSURI et YANG, 2002].

3.5 Paramètres définissant les performances d'un CTN

Cette section présente les paramètres de performance d'un CTN. Elle introduit la résolution, la précision ainsi que les non-linéarités différentielles et intégrales d'un tel convertisseur.

3.5.1 La résolution

La résolution se définit comme la plus petite unité de mesure pour un détecteur donné. Elle est en général exprimée en fonction de la capacité du capteur, du convertisseur, etc. Pour de nombreux utilisateurs d'appareils de mesure, la résolution de l'appareil (surtout s'il est pourvu d'un afficheur numérique) détermine l'incertitude de mesure. Ceci n'est pas vrai, car la résolution est alors confondue avec la précision de l'instrument.

3.5.2 La précision

La précision d'un système de mesure, aussi appelée la reproductibilité ou la répétabilité, se représente par l'écart-type.

3.5.3 Les non-linéarités

Deux types de non-linéarité sont utilisés pour caractériser les CTNs et les ADCs: la non-linéarité différentielle (NLD) et la non-linéarité intégrale (NLI):

La NLD représente la différence entre la largeur P_q^z du pas de quantification de la chaîne réelle et celle du codeur idéal P_q (pour le code z). Par exemple pour un ADC à n codes, la NLD est calculée n fois, soit pour $z = 1, \dots, z = n$. Ainsi, la formule du NLD pour le code z est montrée dans l'équation 3.3.

$$\text{NLD}(z) = P_q^z - P_q \quad (3.3)$$

L'équation 3.4 exprime la NLD sous forme de pourcentage.

$$\text{NLD}(z) = \frac{P_q^z}{P_q} - 1 \quad (3.4)$$

La figure 3.15 illustre trois cas de NLD pour trois ADC différents: ces derniers ont respectivement, une $\text{NLD} = +1 \text{ LSB}$, une $\text{NLD} = -1.25 \text{ LSB}$ et une $\text{NLD} = -1 \text{ LSB}$.

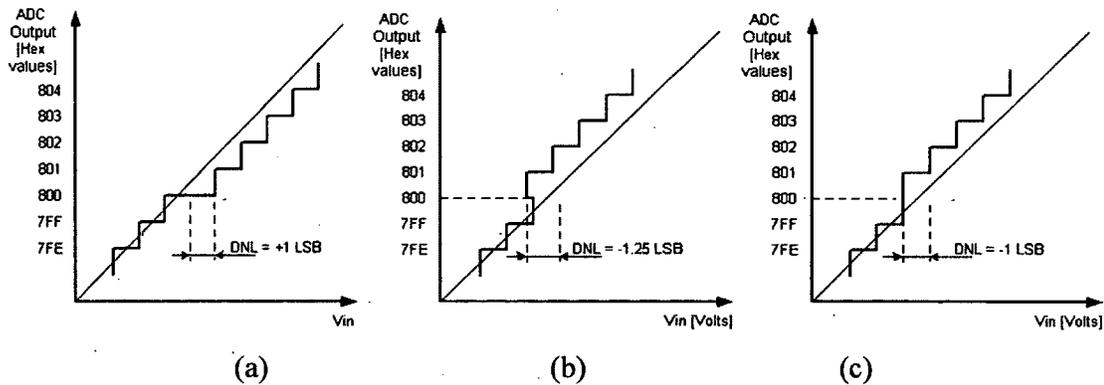


Figure 3.15: Non-linéarité différentielle d'un ADC [NASTASE, 2009]: (a) $\text{DNL} = +1 \text{ LSB}$, (b) $\text{DNL} = -1.25 \text{ LSB}$, (c) $\text{DNL} = -1 \text{ LSB}$

La NLI, aussi appelée précision relative, représente la différence entre les seuils de transition du code z du convertisseur et du convertisseur idéal, comme le montre la figure 3.16. Par conséquent, dans le cas où le convertisseur est monotone, la formule du NLI pour le code z se ramène à :

$$NLI(z) = \sum_{i=0}^z NLD(i) = \sum_{i=0}^z (P_q^i - P_q) \quad (3.5)$$

où P_q^i représente la largeur du pas de quantification du code i , avec $0 \leq i \leq z$. Par exemple, un INL de ± 2 LSB pour un ADC de 12-bit signifie que la non-linéarité maximum est de $2/4096$, ou encore 0.05%.

Pour l'application LabPETTMII, le but est de ne pas avoir de codes manquants lors de la conversion. En effet, cette anomalie est due à une erreur de non-linéarité trop importante du CTN. Nous pouvons remarquer qu'un convertisseur dont les non-linéarités différentielles sont comprises entre + 1 LSB et - 1 LSB ne peut pas comporter de codes manquants.

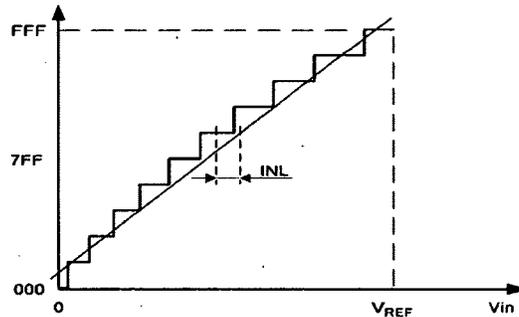


Figure 3.16 : Non-linéarité intégrale d'un ADC [NASTASE, 2009]

3.6 Test par histogramme (*code density*)

Le test par histogramme est un test statistique permettant de déterminer la valeur de l'erreur d'offset, de l'erreur de gain, des non-linéarités différentielles, des non-linéarités intégrales et permet aussi de détecter les codes manquants. Il utilise la fréquence d'apparition des codes de sortie du convertisseur, appelée aussi densité d'apparition. La figure 3.17 illustre le principe de fonctionnement et les divers étages pour un convertisseur temps numérique (CTN). Afin de générer cet histogramme pour un CTN, un signal alternant régulièrement et instantanément entre deux niveaux doit être généré. Ceci peut se faire en générant un train de bit pseudo-aléatoire (*Pseudo Random Bit Sequence* (PRBS)) car il permet de couvrir toute la plage dynamique. À partir des acquisitions effectuées, un histogramme expérimental ($H_{exp}[i]$) est construit. Ce dernier représente le nombre de fois que les codes i sont présents en sortie du

convertisseur pour un nombre d'échantillons et un signal d'entrée donné. Ensuite, il faut comparer cet histogramme expérimental avec l'histogramme de référence obtenu avec un convertisseur parfait, afin d'extraire les paramètres fonctionnels du convertisseur sous test [BERNARD, 2001].

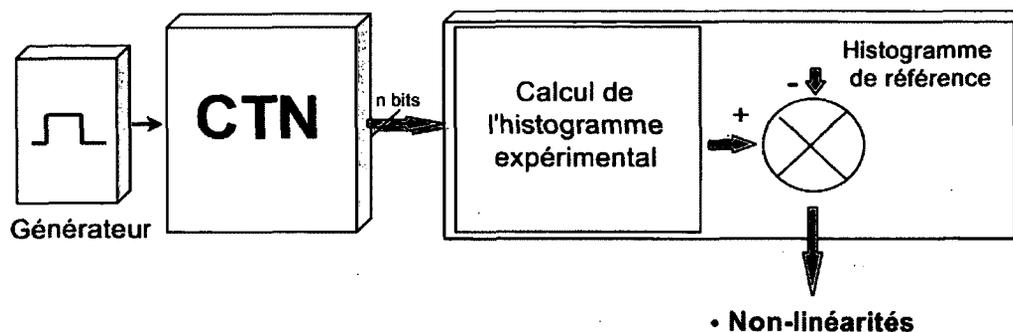


Figure 3.17 : Structure du test par histogramme [BERNARD, 2001]

❖ Histogramme verrouillé

L'histogramme verrouillé est une variante du test par histogramme [BENKAIS, 1993]. Un signal d'entrée de fréquence égale à la fréquence d'échantillonnage du convertisseur est utilisé. La gigue du convertisseur est déterminée à partir des codes de sortie. La figure 3.18 représente un exemple de distribution de codes (histogramme verrouillé), obtenue en utilisant cette technique. En théorie, le même code de sortie est obtenu si l'expérience est répétée plusieurs fois, vu qu'à chaque période le point d'échantillonnage correspond à la même tension analogique. Aussi, l'histogramme obtenu devrait être très mince et centré sur un seul code. Néanmoins, la tension échantillonnée subit des variations introduites par la gigue, et il est possible d'obtenir des codes adjacents par erreur.

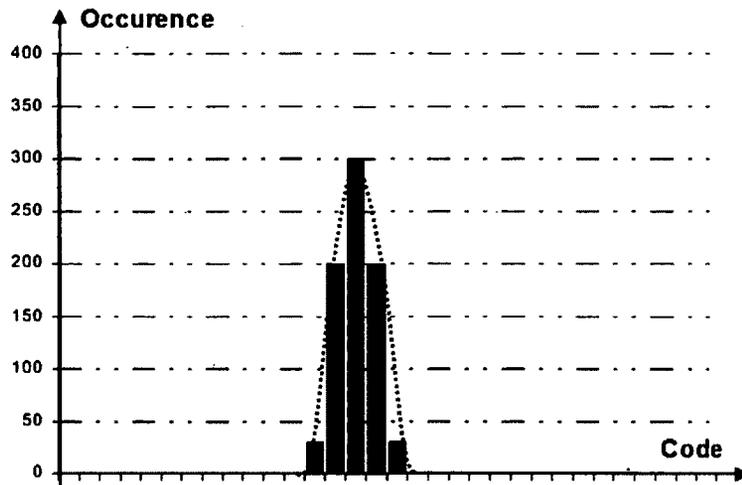


Figure 3.18 : Histogramme verrouillé [BERNARD, 2001]

En utilisant l'histogramme verrouillé, on peut déterminer la valeur de la gigue vu qu'il reflète la loi de distribution. Cette dernière est habituellement une loi gaussienne [BERNARD, 2001].

3.7 Sommaire

Ce chapitre présente les architectures de CTN existantes avec les avantages et les inconvénients de chacune d'elles, ainsi que les paramètres de chaque type de convertisseurs. L'architecture à base de TDLs et implémentant une boucle à verrouillage de délais (DLL) s'avère être la meilleure pour l'application LabPET. Le meilleur CTN doit être basé sur des cellules différentielles pour réduire l'effet des bruits communs et doit avoir aussi des non-linéarités inférieures à 1 LSB.

CHAPITRE 4 CONCEPTION DU CTN

Avant de pouvoir entamer l'étape de conception du convertisseur, il a été nécessaire d'étudier les architectures des scanners TEP existant, ainsi que les performances ciblées par le nouveau scanner le LabPET™ II. La connaissance du contexte a permis, entre autres, de bien orienter le choix de l'architecture du convertisseur et de comprendre les contraintes et les défis possibles. Ce convertisseur devrait permettre la validation du principe du TOT qui a été adopté comme approche pour le nouveau scanner. L'étude de ce principe a conduit à aligner les spécifications du convertisseur telles que la résolution minimale, la précision attendue ainsi que ses non-linéarités. Ensuite, l'exposition des différentes architectures existantes ainsi que leurs avantages et inconvénients par rapport à l'application LabPET™II ont permis d'en extraire la structure à base de TDL en implémentant une interpolation comme étant la mieux adaptée. Cette architecture utilise une DLL pour l'asservissement de délai du compteur fin.

Le défi maintenant est de concevoir et d'intégrer ce convertisseur en tenant compte du contexte général et en assurant une optimisation au niveau de la consommation d'énergie et de l'espace silicium. Le tableau 4.1 présente le choix d'architecture des sous-blocs du CTN.

Tableau 4.1 : Caractéristiques des architectures adoptées pour le CTN

CTN	
Fréquence d'horloge 100 MHz	
Registres	Bascules asynchrones différentielles
DLL	
Sous-blocs	Choix
Ligne à délais	32 cellules différentielles contrôlables en tension telles que reportées dans [WILLIAM et al., 2001].
Comparateur de phase	Détecteur de phase dynamique
Pompe de charge	Architecture: commutation au niveau de la source

4.1 Conception de la DLL

La boucle à verrouillage de délais se définit comme étant un système de premier ordre. L'architecture de la DLL peut être décrite dans le domaine de Laplace pour mieux la comprendre et ajuster les paramètres des différents blocs.

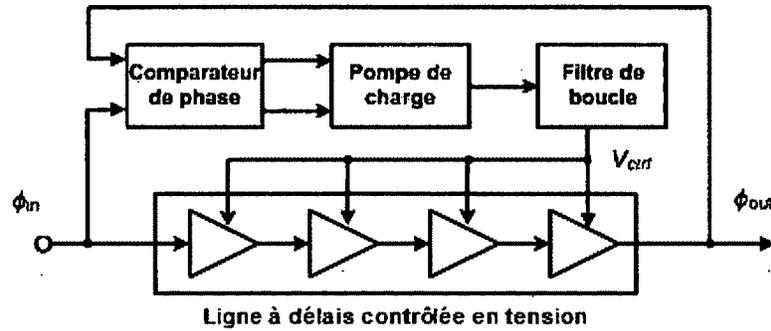


Figure 4.1 : Diagramme de blocs de la DLL

Les figures 4.1 et 4.2 illustrent des diagrammes de blocs de DLL. Parmi les paramètres se trouvent le gain du détecteur de phase K_{PD} (s/rad), le courant de la pompe de charge I_{CP} (A), la fonction de transfert du filtre $F(s)$, et le gain de la ligne à délais K_{VCDL} (rad/V). La phase d'entrée et de sortie sont notées ϕ_{in} et ϕ_{out} respectivement. La fonction de transfert du filtre s'exprime par l'équation 4.1.

$$F(s) = \frac{1}{sC_{loop}} \quad (4.1)$$

où C_{loop} représente la capacité du filtre de la boucle.

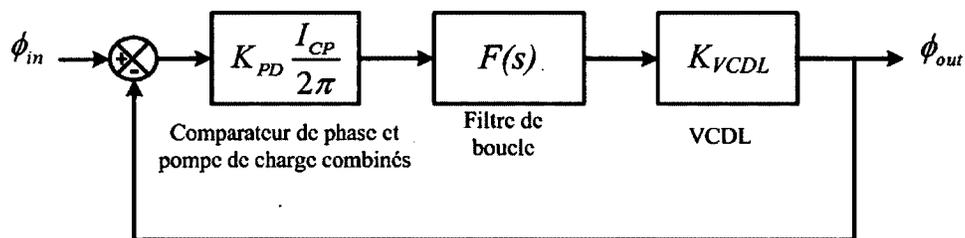


Figure 4.2 : Diagramme de blocs de la DLL dans le domaine de Laplace

Le verrouillage de la DLL peut être étudié en analysant la fonction de transfert globale de premier ordre illustré par l'équation 4.2.

$$\frac{\phi_{out}}{\phi_{in}} = \frac{K_{PD} \frac{I_{CP}}{2\pi} F(s) K_{VCDL}}{1 + K_{PD} \frac{I_{CP}}{2\pi} F(s) K_{VCDL}} = \frac{1}{1 + \frac{s}{\omega_N}} \quad (4.2)$$

où ω_N représente la fréquence de coupure à -3 dB exprimée en fonction de la pulsation d'entrée ω_{REF} suivant l'équation 4.3 [MANEATIS, 1996].

$$\omega_N = \frac{K_{PD} K_{VCDL} I_{CP}}{2\pi C_{loop}} \omega_{REF} \quad (4.3)$$

Cette modélisation n'est valable que si la condition de l'équation 4.4 est vérifiée [MANEATIS, 1996].

$$\frac{\omega_N}{\omega_{REF}} = \frac{K_{PD} K_{VCDL} I_{CP}}{2\pi C_{loop}} < \frac{1}{10} \quad (4.4)$$

4.1.1 Conception de la pompe de charge et du filtre de boucle

La pompe de charge est un module clé dont la conception nécessite un soin particulier afin de minimiser la gigue. Cette dernière est directement influencée par la différence entre le courant de charge et de décharge. Elle est représentée par l'équation 4.5.

$$\phi_{offset} = 2\pi \frac{\Delta t_{on}}{T_{ref}} \frac{\Delta i}{I_{CP}} \quad (4.5)$$

où ϕ_{offset} , Δt_{on} , Δi , T_{ref} et I_{CP} sont respectivement la gigue de phase, la somme des largeurs des impulsions *Up* et *Down* à la sortie du comparateur, la différence entre le courant de charge et de décharge, la période de l'horloge et le courant moyen de la pompe de charge.

La différence de courant engendre une gigue systématique. L'asservissement de la DLL tend à corriger cette déviation. Néanmoins, il faut la minimiser le plus que possible, car elle peut causer un déphasage énorme et affecter ainsi la stabilité et le verrouillage de la DLL.

Pour atteindre cet objectif, plusieurs précautions ont été prises. Les entrées de la pompe de charge pour les signaux *Up* et *Down* (transistors MP_1 et MN_1) ont été éloignées de la sortie V_{ctrl} , comme le montre la figure 4.3. Ceci permet la diminution de l'effet d'injection de charge à l'entrée qui peut influencer la sortie. Les transistors MP_2 et MN_2 ont des longueurs de grille très grandes. Ceci permet de diminuer l'effet de modulation de la longueur du canal (*channel length modulation*). Ce dernier présente un risque majeur par rapport à l'égalité entre courants de charge et de décharge.

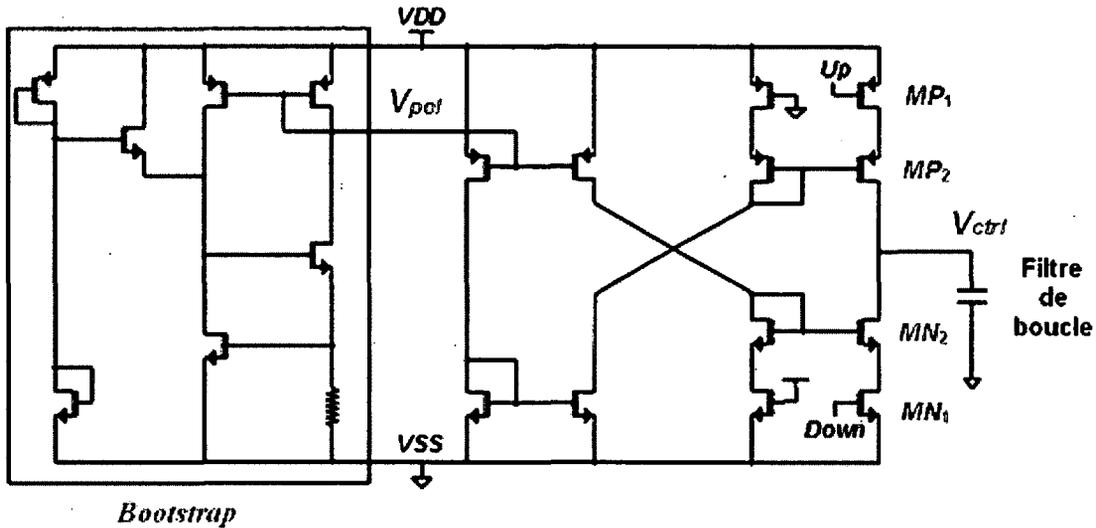


Figure 4.3 : Architecture choisie pour la pompe de charge [MANEATIS, 1996]

Le courant de charge I_{MP_2} est fonction de la tension $V_{DS}(MP_2)$. En supposant que l'interrupteur MP_1 est idéal et que $V_{DS}(MP_1) = 0$, cette dernière peut s'exprimer suivant l'équation 4.6.

$$V_{DS}(MP_2) = V_{ctrl} - VDD \quad (4.6)$$

Ainsi la tension $V_{DS}(MP_2)$ varie en fonction de V_{ctrl} ainsi que le courant de charge. L'équation 4.7 représente le coefficient de modulation de la longueur du canal λ :

$$\lambda = \frac{1}{V_A L} \quad (4.7)$$

où V_A est la tension *Early* et L est la longueur effective du canal. Il est ainsi judicieux de choisir des longueurs de grilles assez grandes pour minimiser cet effet.

La robustesse de la pompe de charge par rapport à la variation de l'alimentation est assurée par le circuit de polarisation *bootstrap*, situé à gauche à la figure 4.3.

La boucle est inconditionnellement stable avec un filtre du premier ordre. Il peut se résumer à une simple capacité pour faciliter son intégration. L'impédance du filtre est donc une quantité purement imaginaire, et en principe le filtre n'est pas bruyant.

4.1.2 Conception du comparateur de phase

Le détecteur dynamique est une architecture couramment utilisé [MANSURI et LIU, 2002]. Sa structure, montrée à la figure 4.4, comprend deux blocs identiques pour générer les signaux *Up* et *Down*. Chaque bloc comprend deux étages en cascade avec un PMOS de précharge dans chaque étage. L'activité de précharge du second étage est souvent contrôlée par la sortie du premier étage.

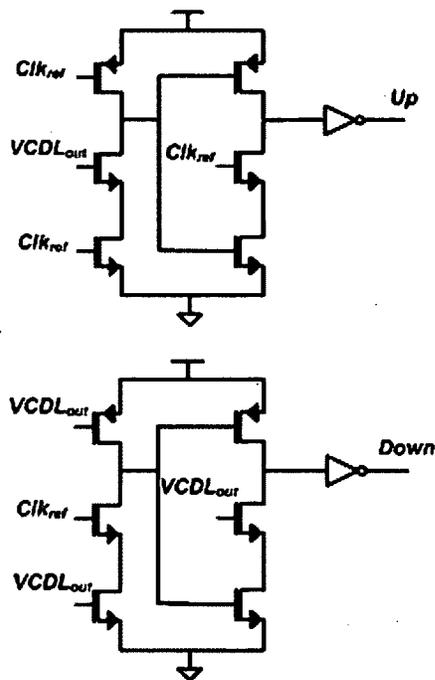


Figure 4.4 : Architecture choisie pour le comparateur de phase [CHENG, 2005]

L'avantage de cette architecture est lié à la simplicité de son implémentation. Elle permet aussi de comparer des signaux de haute fréquence [CHENG, 2005].

4.1.3 Conception de la ligne à délais

La conception de la ligne à délais est très critique pour le bon fonctionnement de la DLL. Ce soin de conception touche en effet trois axes principaux: la consommation, le nombre de cellules à implémenter et la marge de délai contrôlable.

L'inconvénient des architectures à sortie non-balançée (*single-ended*) est qu'elles ne sont pas immunes au bruit commun introduit par l'alimentation et le substrat.

En contrepartie, les architectures différentielles permettent d'annuler le bruit commun, étant donné que ce dernier sera réparti de façon symétrique dans la cellule. La figure 4.5 illustre une architecture différentielle avec une charge symétrique formée par deux transistors PMOS de part et d'autre des sorties V_{O+} et V_{O-} .

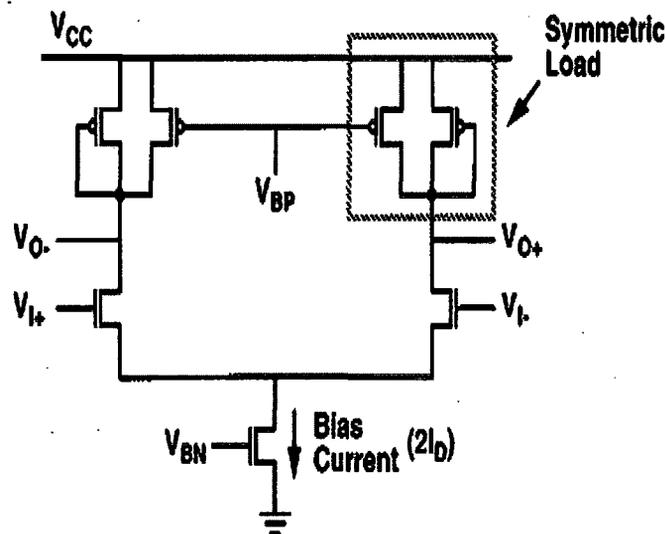


Figure 4.5: Cellule de délai différentielle à charge symétrique [MANEATIS, 1996]

Deux inconvénients majeurs influencent le fonctionnement des architectures différentielles :

1. Elles consomment plus de puissance (presque le double comparé à une cellule classique).
2. Leur implémentation nécessite un soin particulier pour garder l'aspect différentiel symétrique.

L'architecture reportée dans [MANEATIS, 1996] nécessite des étages d'adaptation à la sortie pour avoir un signal numérique à partir de celui analogique généré par la cellule. Ceci nécessite ainsi une consommation plus élevée de puissances statique et dynamique. Ce problème est écarté vu que l'architecture choisie pour ce travail est purement numérique. Ceci permet aussi de négliger l'effet du bruit de phase introduit par les cellules à délais.

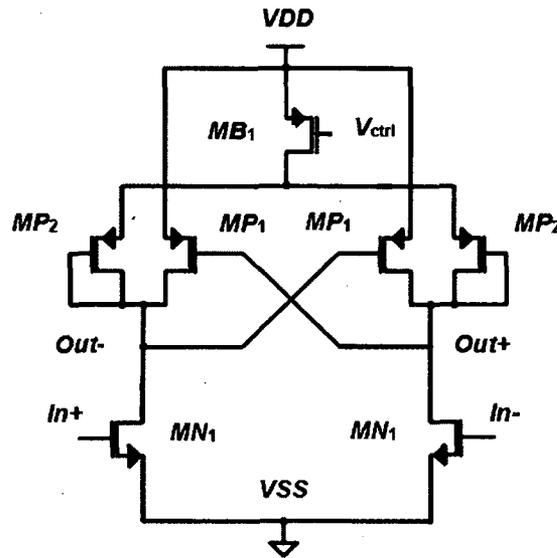


Figure 4.6 : Architecture choisie pour les cellules à délais [WILLIAM et al., 2001]

Chaque cellule de délai devrait avoir aussi une marge de délai contrôlable suffisante. Ceci permet au DLL d'atteindre le verrouillage même avec les offsets de délai introduits par l'augmentation de la température ou la variation de l'alimentation.

Le produit RC, du nœud de sortie, définit le délai de chaque étage du circuit de la figure 4.6. Il est illustré dans l'équation 4.8 et 4.9.

$$t_d = \sqrt{2} R_{out} C_{out} = \sqrt{2} [r_{0,n1} // r_{0,p1} // (r_{0,b1} + \frac{1}{g_{m,p2}})] C_{out} \quad (4.8)$$

$$t_d \approx \sqrt{2} \frac{r_{0,n1}}{3} C_{out} \approx \sqrt{2} C_{out} \frac{V_A}{\frac{3}{2} k' \left(\frac{W}{L} \right) (V_{DD} - V_{ctrl} - V_{th,p})^2} \quad (4.9)$$

où V_A est la tension *Early*, C_{out} est la capacité équivalente à la sortie de chaque étage, k' est le paramètre de transconductance de la technologie et $V_{th,p}$ est la tension seuil du PMOS.

Tableau 4.2 : Dimensionnement des transistors de la cellule à délai

Transistor	MN_1	MP_1	MP_2	MB_1
Dimension				
W/L (μm)	1 / 0.2	1.25 / 0.4	1.9 / 0.4	1.9 / 0.4

Afin de simplifier le calcul, les transistors PMOS et NMOS ont les mêmes dimensions et les mêmes paramètres de technologie. Le tableau 4.2 illustre les dimensions choisies pour les transistors de la cellule à délai.

4.1.4 Conception des registres et de la logique de contrôle

Le choix de l'architecture des registres dépend principalement de la fréquence d'opération, la consommation totale et la nature des signaux d'entrée. Par exemple, des cellules à délais différentielles nécessitent des bascules avec une architecture différentielle pour pouvoir profiter de l'annulation du bruit commun lié au substrat et à l'alimentation. La figure 4.7 illustre l'architecture choisie.

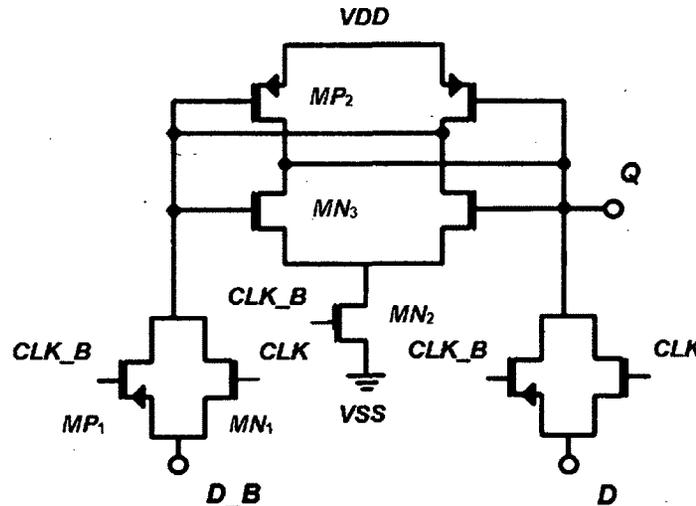


Figure 4.7 : Architecture choisie pour les bascules [CHANDRASEKARAN et al., 2005]

Le temps de maintien est un facteur très important pour le choix des registres. Il devrait être inférieur, avec une bonne marge, au pas de la DLL. Ceci permet le stockage de l'état des sorties de la DLL sans codes manquants et réduit ainsi le taux d'erreur (*Bit Error Rate* (BER))

du convertisseur. Le tableau 4.3 montre les dimensions choisies pour les transistors des registres.

Tableau 4.3 : Dimensionnement des transistors de la bascule asynchrone

Transistor	MN_1	MN_2	MN_3	MP_1	MP_2
Dimension					
W/L (μm)	5 / 0.2	2 / 0.2	2 / 0.18	5 / 0.2	0.3 / 0.18

L'architecture présentée dans [CHANDRASEKARAN et al., 2005] permet d'atteindre un temps de maintien de l'ordre de 200 ps, une valeur jugée intéressante. La structure est aussi compacte et représente ainsi un avantage au niveau de l'intégration dans l'ASIC.

Il a été planifié d'utiliser deux registres pour des fins de test. Le premier est basé sur une structure différentielle [CHANDRASEKARAN et al., 2005] tandis que le deuxième comporte des bascules synchrones à sorties non-balancées utilisant des cellules normalisées de la bibliothèque de la société *Artisan*. Ce test permet d'évaluer les deux approches et de définir l'apport de l'utilisation d'une structure différentielle. Les deux étampes de temps t_1 et t_2 sont enregistrées dans deux registres différents. La figure 4.8 illustre la détection des temps t_1 et t_2 . Ces dernières sont obtenues avec deux seuils différents afin de minimiser le bruit, comme expliqué dans la section 2.6.2.

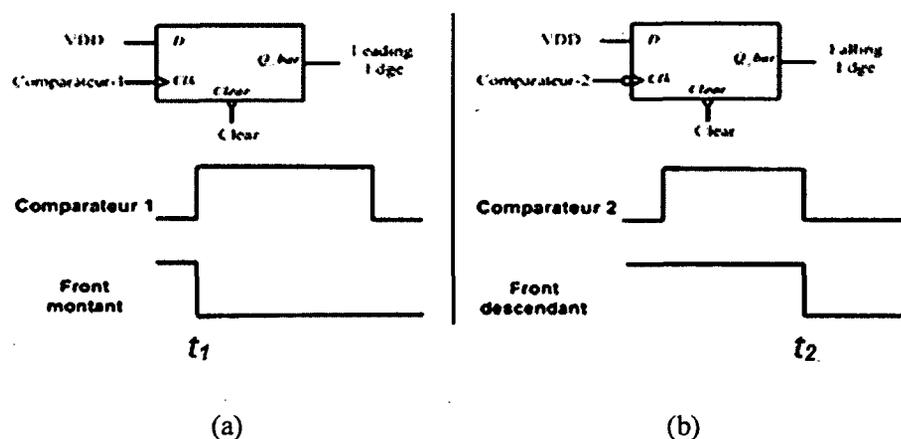


Figure 4.8: Circuits de contrôle et détection des temps t_1 et t_2 : (a) Détection du front montant, (b) Détection du front descendant

La logique de contrôle est assez simple. Il suffit de générer deux déclencheurs (*triggers*) aux deux instants t_1 et t_2 . Afin d'y arriver, une bascule synchrone D, montrée à la figure 4.9 et tirée de [HUANG et al., 1996], est utilisée. Une modification a été apportée à cette dernière pour ajouter un bit de contrôle *clear*. Quand le bit *clear* est à un niveau haut, le transistor P_1 est bloqué. Ceci isole le nœud y_2 du signal d'horloge *Clk*. Le transistor M_1 force le nœud y_2 à un niveau bas. Ce dernier est transformé à l'aide de l'inverseur formé par les transistors MP_2 , MN_3 et M_2 en un signal de sortie $QB = 1$ (c'est-à-dire $Q = 0$).

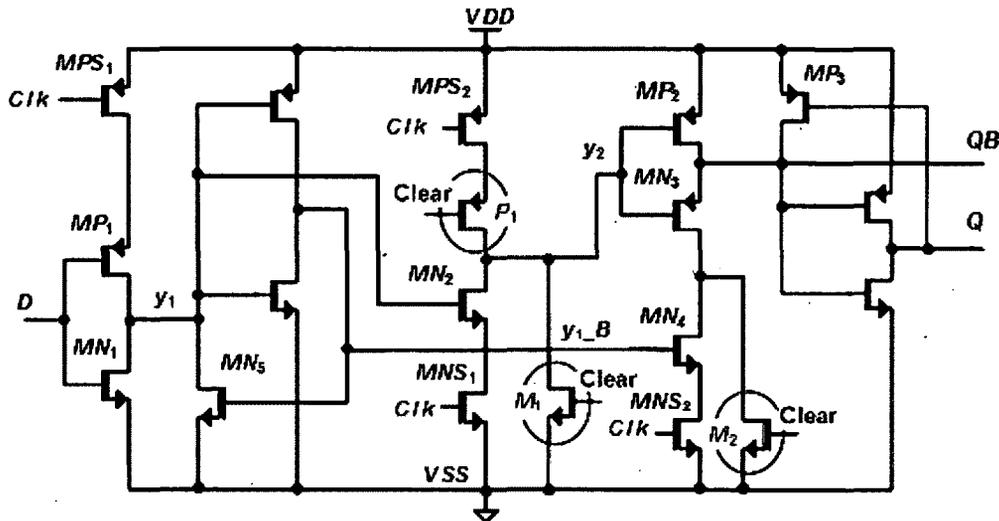


Figure 4.9 : Bascule synchrone D utilisée par le circuit de contrôle [HUANG et al., 1996]

4.2 Implémentation sur silicium

L'implémentation sur silicium du CTN est réalisée avec l'outil de dessin physique Virtuoso Layout de Cadence. Il est ensuite extrait en tenant compte des capacités parasites. Ainsi, il en résulte une vue extraite dont la liste des interconnexions sert à effectuer les simulations post-dessin physique (*post-layout*) qui recopient plus la réalité.

Le dessin d'implémentation (*layout*) de la DLL est présenté à la figure 4.10. Le placement de chacun des blocs a été choisi avec soin. Les cellules à délais différentielles ont été placées en série. La symétrie est parmi les contraintes les plus importantes à respecter. Ceci permet, en effet, de tirer profit de la structure différentielle et de garantir une compensation du bruit

commun au moment des transitions. La symétrie permet aussi de balancer les délais de propagation.

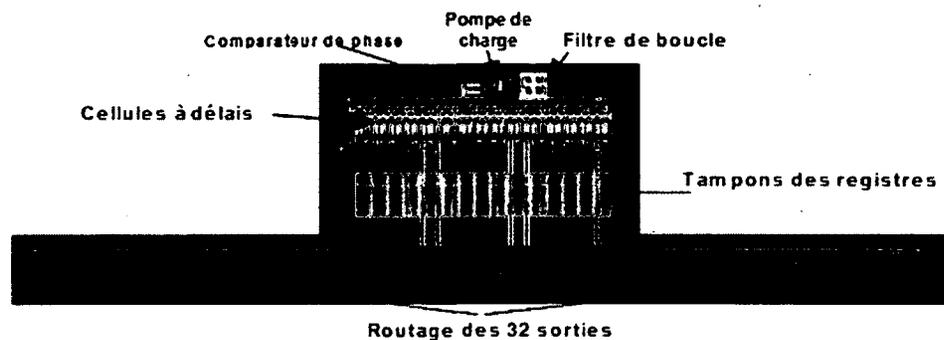


Figure 4.10 : Dessin des masques du DLL incluant les tampons des registres

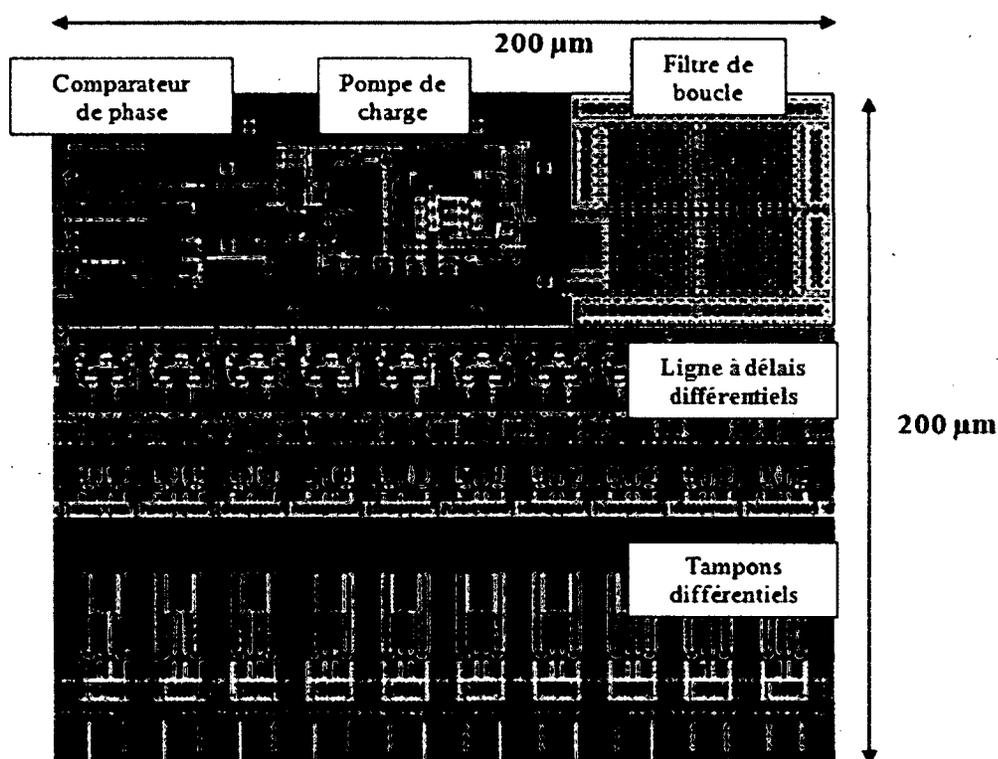


Figure 4.11 : Vue agrandie des différents blocs de la DLL

Chacun des blocs de la DLL a été entouré d'un ou plusieurs anneaux de garde (*guard rings*). Ceci permet de diminuer les risques de *latch-up* qui est un effet thyristor parasite pouvant mettre en court-circuit l'alimentation par l'intermédiaire des diffusions du circuit. Les

recommandations du fabricant *Taiwan Semiconductor Manufacturing Company* (TSMC) ont été appliquées. Les métaux 2 et 4 sont réservés pour les interconnexions horizontales, les métaux 3 et 5 pour les interconnexions verticales. Le métal 6 est gardé pour le routage de l'alimentation. Les croisements entre des signaux dynamiques à des couches de métaux adjacentes ont été évités.

Les cellules à délais ainsi que leurs tampons adjacents ont été dimensionnés pour s'adapter parfaitement en cascade, comme le montre la figure 4.11.

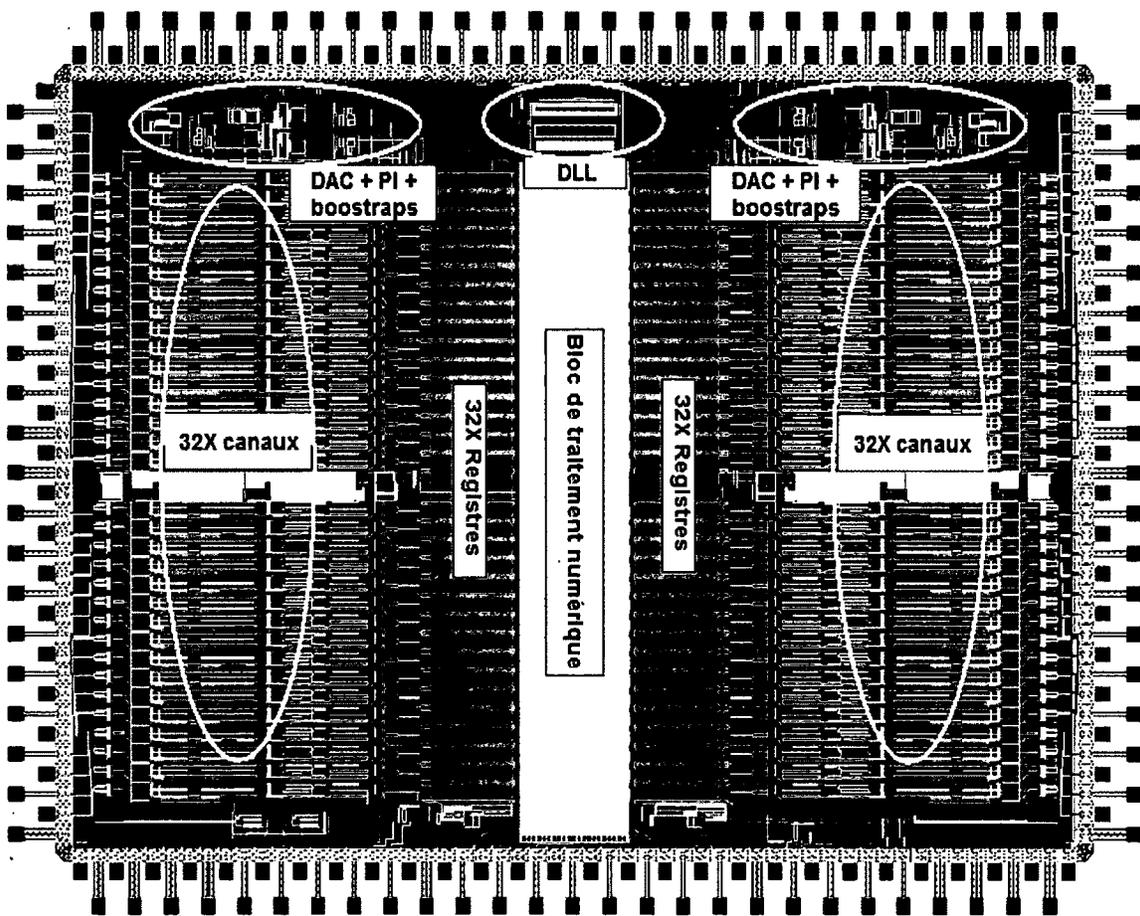


Figure 4.12 : ASIC du LabPET™ II

L'ASIC contient deux blocs de 32 canaux de part et d'autre. La figure 4.12 montre l'ASIC au complet avec l'anneau des entrées-sorties ainsi qu'une annotation de chacun de ses sous-blocs. L'ASIC mesure approximativement $\sim 4,5 \times 6,4 \text{ mm}^2$. La DLL a été centrée au haut et au centre

du circuit. Ces sorties ont été connectées aux 32 registres de chaque section d'une façon symétrique.

Afin de minimiser le bruit ainsi que les risques du *latch-up*, deux alimentations différentes ont été utilisées pour les blocs numériques et analogiques.

4.3 Sommaire

Ce chapitre présente les différentes étapes de conception du CTN. Plusieurs améliorations ont été ajoutées aux circuits choisis. La pompe de charge qui constitue un bloc assez sensible, est améliorée en minimisant l'effet de la modulation de la longueur du canal à sa sortie V_{ctrl} . Aussi, l'ajout d'un bootstrap de polarisation permet de stabiliser la tension de contrôle par rapport à la variation de l'alimentation et par la suite de minimiser la gigue de la DLL. Ensuite, les cellules à délais ont été dimensionnées pour fournir une fonction de transfert qui répond à l'application LabPETTMII. De plus, un bit de contrôle *clear* a été ajouté à la bascule synchrone D utilisée pour la logique de contrôle du CTN. Enfin, les précautions au niveau des dessins des masques ont été expliqués afin d'optimiser l'espace et les performances du convertisseur, tout en garantissant une intégration idéale dans l'ASIC à 64 canaux.

CHAPITRE 5 RÉSULTATS ET SIMULATIONS

Deux ASIC ont été soumis afin de tester, parmi d'autres blocs, les performances du convertisseur temps numérique. Le premier s'appelle ICFSHAC1. Il a permis de tester la DLL et de mesurer sa gigue. Le deuxième est l'ASIC ICFSHFE1. Il a permis de tester et de caractériser le CTN au complet en traçant sa fonction de transfert et ses non-linéarités (différentielle et intégrale). Ils ont été fabriqués par la TSMC, via la Société Canadienne de Microélectronique (CMC).

La première section de ce chapitre présente les résultats de simulation. La deuxième détaille les plans ainsi que les configurations de tests pour les deux ASIC. Finalement, la dernière section présente les résultats de mesures expérimentales.

5.1 Résultats de simulation

Cette section aborde les résultats de simulation de chacun des sous blocs du CTN, ainsi qu'une estimation de la consommation totale.

5.1.1 Boucle à verrouillage de délais (DLL)

❖ Cellules à délais

La vérification de la marge de délai des cellules à délais est une étape assez importante. En effet, elle définit à quel point la DLL est capable de corriger les perturbations liées au procédé de fabrication, aux bruits électroniques et à la température. La figure 5.1 représente le schéma du test effectué.

Un signal d'horloge différentiel à 100 MHz est injecté à l'entrée d'une cellule de délai. Afin de modéliser la charge d'entrée de la cellule adjacente, des capacités C_{load} ont été placées au niveau des nœuds de sorties, comme le montre la figure 5.1. Enfin, un signal de rampe variant de 0 V à 1.8 V est injecté à l'entrée V_{ctrl} . La fonction de transfert consiste à tracer le délai entre l'entrée et la sortie en fonction de V_{ctrl} . Comme le montre la figure 5.2, le délai idéal de verrouillage de la DLL a été choisi à $VDD/2 = 900$ mV. La cellule présente une marge assez bonne de 165 ps autour du délai de verrouillage idéal de 312.5 ps.

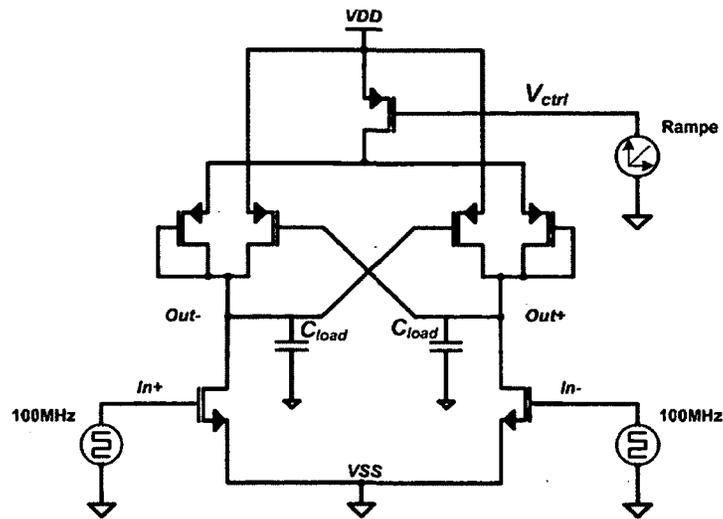


Figure 5.1 : Schéma de simulation pour la caractérisation de la cellule à délai

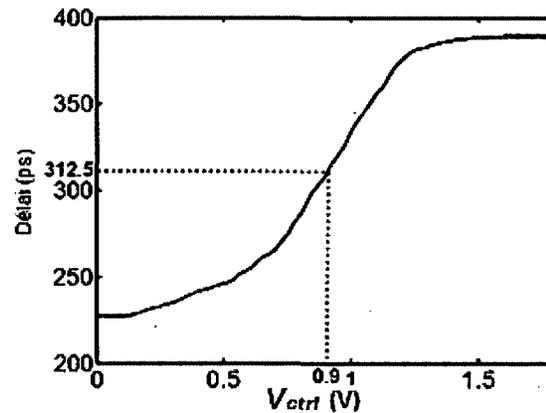


Figure 5.2 : Fonction de transfert de la cellule à délai

❖ Comparateur de phase

Le comparateur de phase constitue le cœur de la DLL. En effet, ses performances touchent directement la capacité de la DLL à observer et à contrôler une perturbation. Comme expliqué au chapitre 3, ce circuit détecte le déphasage entre l'horloge système et la sortie de la DLL. Il transforme par la suite cette information en deux signaux de contrôles pour la pompe de charge. La figure 5.3 illustre la fonction de transfert du comparateur de phase. Les valeurs moyennes des signaux de sorties sont une fonction linéaire du délai entre les signaux à

l'entrée. Au verrouillage, le comparateur doit être neutre. Ces principes ont été observés en simulation, comme le confirme la figure 5.4.

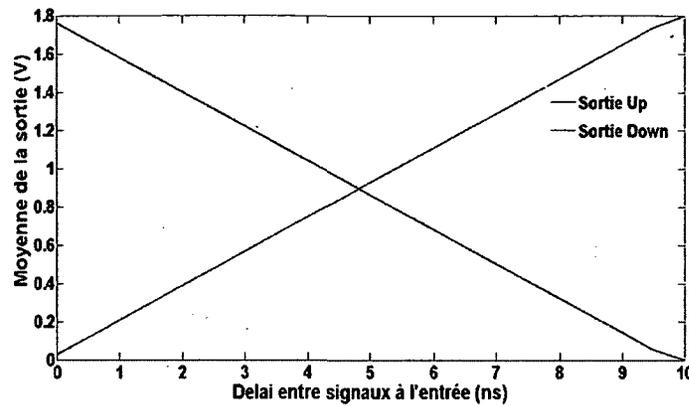


Figure 5.3 : Simulation de la fonction de transfert du comparateur de phase

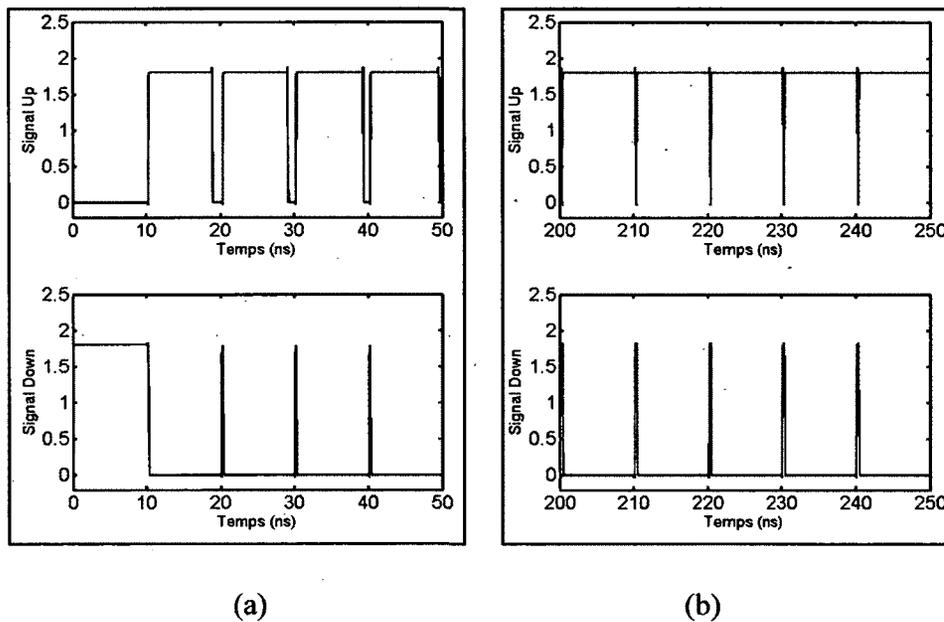


Figure 5.4: Simulation de la réponse du comparateur de phase: (a) Avant le verrouillage, (b) Après le verrouillage

❖ Pompe de charge et Filtre de boucle

La pompe de charge reçoit l'information de contrôle fournie par le comparateur de phase et la transforme en une action de charge ou décharge du filtre de boucle. Cette action de charge et de décharge se traduit par un diagramme en escalier pour la tension de contrôle à la sortie.

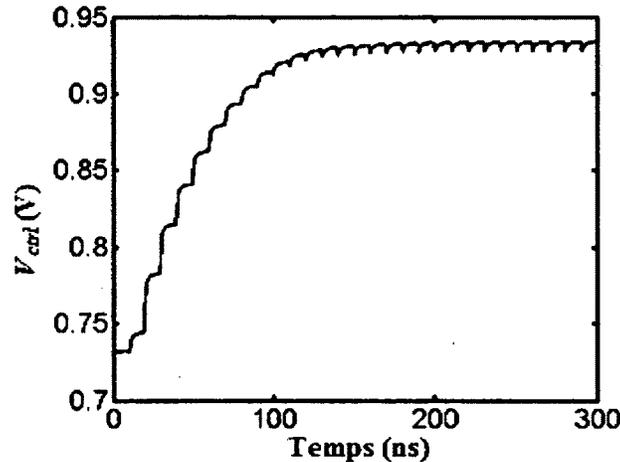


Figure 5.5 : Simulation de la réponse de la pompe de charge et du filtre de boucle

Lorsque la DLL atteint le verrouillage, la tension de contrôle (V_{ctrl}) se stabilise à $932 \text{ mV} \approx V_{DD}/2$, comme le montre la figure 5.5. Cette tension continue à fluctuer après le verrouillage autour de son point stable. Ceci est dû aux micro-impulsions au niveau des signaux de contrôle provenant du comparateur de phase. Ceci induit une variation de la gigue traduite par l'équation 4.6.

La variation de la gigue peut altérer le fonctionnement d'un CTN si elle est trop importante par rapport à sa résolution. Pour la simulation de ce dernier, nous avons observé son image qui est la variation de la tension de contrôle V_{ctrl} . Cette variation était de l'ordre de $\Delta V_{ctrl} \approx 2 \text{ mV}$, comme le montre la figure 5.6. Vu que la capacité du filtre de boucle est de 3.9 pF , ceci revient à une variation de courant de charge/décharge de $\Delta i = 7.8 \text{ fA}$. La valeur du courant moyen de la pompe de charge est de $I_{CP} = 35 \text{ nA}$. Ceci induit un rapport $(\Delta i / I_{CP})$ très faible, et donc une gigue raisonnable.

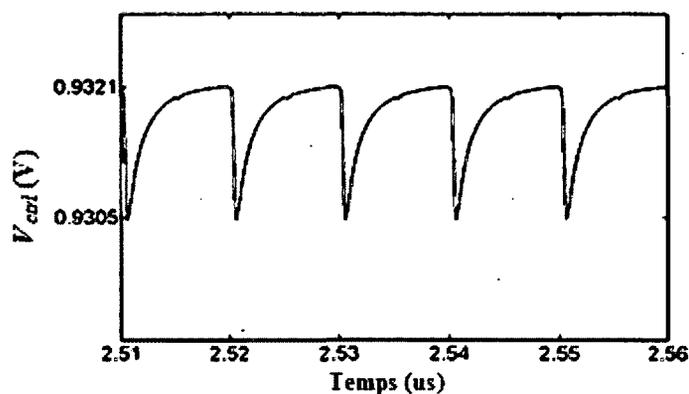


Figure 5.6 : Simulation de la fluctuation de la tension de contrôle

5.1.2 Registres

Le défi au niveau des bascules était d'éviter la métastabilité. Ceci était réalisable en respectant les temps de maintien et d'initialisation (*setup*). Afin d'y arriver, il faut que la somme de ces deux temps soit assez inférieure à la résolution de la DLL de 312.5 ps. Les temps de maintien et d'initialisation mesurés sont de 160 ps et 120 ps respectivement. Ceci présente un risque de métastabilité à améliorer. La figure 5.7 illustre quelques sorties des bascules asynchrones différentielles au moment du verrouillage de la DLL.

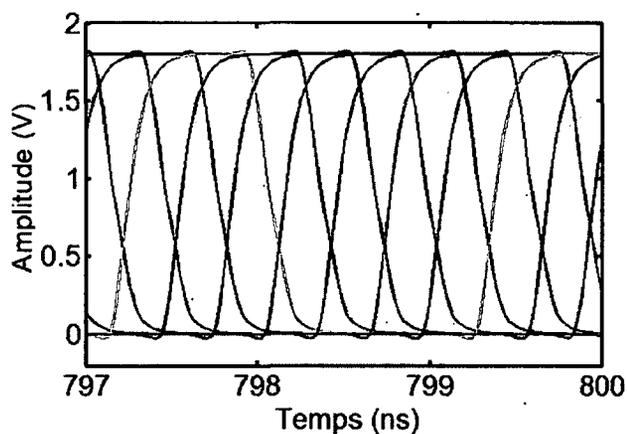


Figure 5.7 : Les sorties des bascules asynchrones différentielles au moment du verrouillage de la DLL

5.1.3 Mesure de la puissance consommée

Le budget de puissance du scanner LabPETTM I était de 300 W pour l'électronique mixte frontale. Tandis que pour le LabPETTM II actuel, il est de 100 W pour un scanner de même dimension (4 cm de longueur axiale et ~ 15 cm de diamètre). Ceci exige ainsi un choix judicieux des topologies à implémenter. La figure 5.8 montre le courant consommé par la DLL et deux registres pour le stockage des deux fronts montants et descendants. La consommation est principalement dynamique, ce qui est confirmé par les pointes de courant dans la figure 5.8 (a). La puissance dynamique, $P_{Dynamique}$, est calculée selon l'équation 5.1.

$$P_{Dynamique} = C_L \times V_{DD}^2 \times f \quad (5.1)$$

où C_L représente la charge capacitive équivalente au nœud de commutation, f la fréquence et V_{DD} la tension d'alimentation.

La figure 5.8 (a) présente trois paliers :

- Le premier correspond à la phase de démarrage du CTN, au cours de laquelle il y aura une plus grande consommation de courant. Une fois la DLL verrouillée, la consommation est maintenue constante et les deux registres pour l'enregistrement du front montant et du front descendant tournent en continu et stockent les valeurs de la DLL.
- Le deuxième palier marque une diminution du courant consommé dûe au verrouillage des registres du front montant.
- Le troisième palier présente la consommation la plus faible du CTN dûe au verrouillage des deux registres.

Afin d'estimer la puissance, il convient d'intégrer le courant consommé sur une période, comme le montre la figure 5.8 (b). Le courant consommé par le CTN est de l'ordre de 2.16, mA. La simulation de la DLL toute seule donne un courant consommé de 1.88 mA. Ceci montre que la consommation des registres est $I_{reg} = 2.16 - 1.88 = 0.28$ mA. Ainsi pour l'ASIC à 64 canaux du LabPETTM II, la consommation du CTN pour tous les canaux est : $I_{tot} = 1.88 + 0.28 \times 64 = 19.8$ mA. La puissance totale consommée est ainsi $P_{tot}(CTN) = 35,64$ mW.

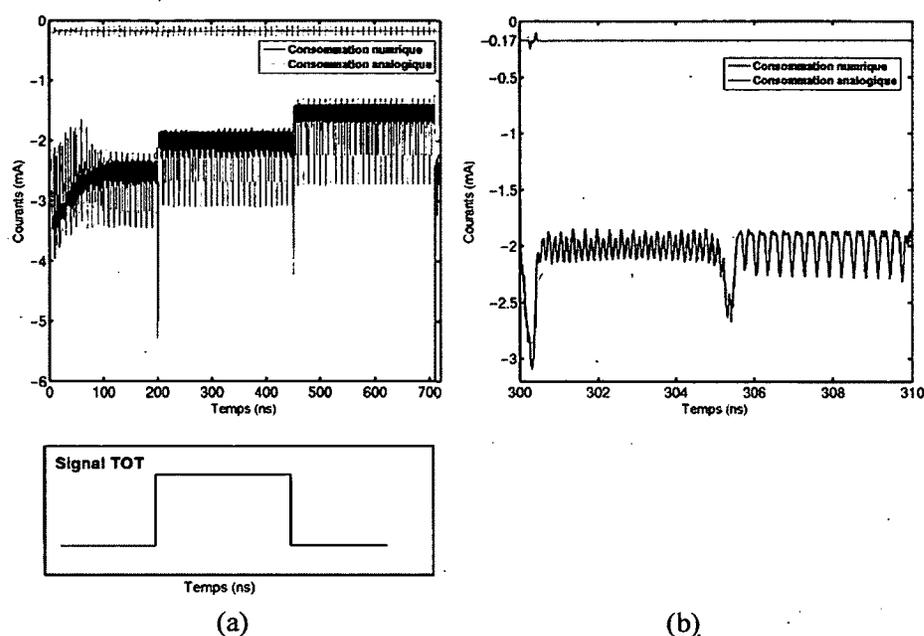


Figure 5.8: Consommation du CTN: (a) Variation du courant, (b) Agrandissement de la variation du courant sur une période

5.2 Résultats expérimentaux

Cette section présente les plans de tests ainsi que les résultats expérimentaux qui ont permis de caractériser le CTN.

5.2.1 Plan et configuration du banc de tests pour la carte de l'ASIC ICFSHAC1

Afin de caractériser la DLL, quelques sorties ont été prévues dans cette carte de test, notamment les sorties des tampons 16 et 32. La boucle de verrouillage de délais contient 32 cellules. La sortie 32 doit être en phase avec l'entrée puisque le verrouillage se fait après un délai d'un cycle d'horloge.

La façon idéale pour caractériser la DLL est de pouvoir observer tous les 32 codes à travers des ports de sortie au niveau de l'ASIC. Ceci n'était pas possible vu la limitation en nombre de ports. Afin de contourner ce problème la solution consiste à observer les sorties 32 et 16 de la DLL et vérifier si elles sont en opposition de phase. Le résultat prévu est décrit par l'équation 5.2.

$$\Delta\varphi = \varphi_{32} - \varphi_{16} = \frac{T}{2} \pm \delta_{DLL} \quad (5.2)$$

où φ_{32} , φ_{16} , T et δ_{DLL} sont respectivement la phase de la sortie 32, de la sortie 16, la période d'horloge et l'erreur sur le délai introduit par l'effet de la température ou de l'alimentation.

L'oscilloscope *LeCroy (WaveExpert)*, illustrée à la figure 5.9, fut utilisé pour effectuer la mesure de la gigue. Ce premier permet de tracer l'histogramme de la gigue et d'en extraire même les paramètres. Il inclut un grand écran couleur, une mémoire de grande capacité, des fonctionnalités de mesure et d'analyse complètes ainsi qu'une interface conviviale. Il permet de visualiser des signaux à 1 GHz avec un échantillonnage à 20 GS/s.

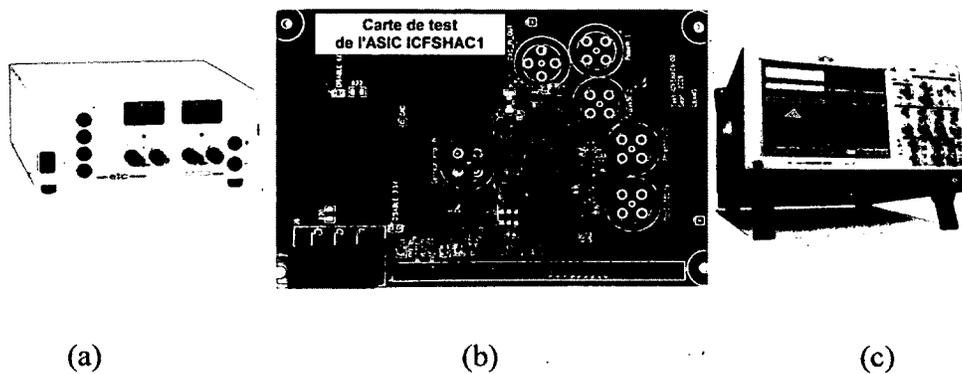


Figure 5.9: Montage de test de la DLL de l'ASIC ICFSHAC1: (a) Alimentation, (b) Carte de test ICFSHAC1, (c) Oscilloscope *LeCroy*

5.2.2 Observations

Les résultats observés répondent bien aux attentes. La figure 5.10 montre les deux signaux 16 et 32. Ces derniers sont bien en opposition de phase, et il existe un délai de $5 \text{ ns} = T/2$ entre les deux. Les temps de montées et de descentes observés sont fixés par la série des tampons entre les sorties de la DLL et les ports d'entrées-sorties.

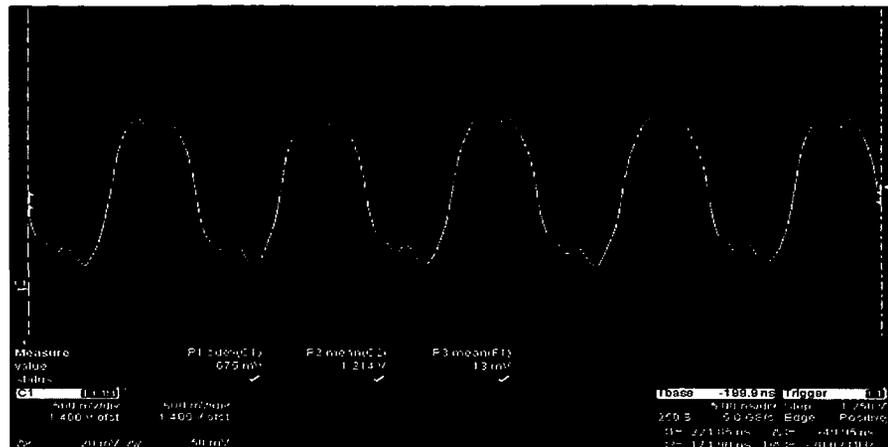


Figure 5.10 : Observation sur oscilloscope des deux sorties 32 et 16 de la DLL soumise, ASIC ICFSHAC1

5.2.3 Mesure de la gigue du DLL

Dans le domaine des transmissions numériques, la gigue temporelle (*jitter*) est le phénomène de fluctuation d'un signal. La gigue peut être un glissement de phase ou une dispersion temporelle. Elle entraîne des erreurs en sortie lors de la récupération des données.

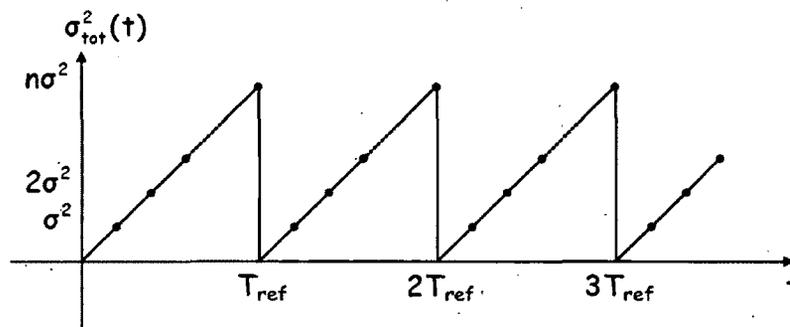


Figure 5.11 : Variance de la gigue pour une ligne à délais asservie par une DLL

Pour une DLL, le bruit de phase n'est pas accumulé à chaque nouvelle période de l'horloge de référence. Ceci est un avantage par rapport à une PLL.

Dans la littérature, il existe trois types de gigue [MANSURI et YANG, 2002]:

- 1) La gigue absolue, défini par l'équation 5.3 :

$$\Delta T_{abs}(N) = \sum_{n=1}^N \Delta T_n \quad (5.3)$$

où $\Delta T_n = T_n - T$, T_n étant la période mesurée au cycle n .

Ce type de gigue représente l'accumulation de la gigue dans les N premiers cycles d'horloge.

- 2) La gigue de cycle représente la valeur RMS à long terme de la gigue à la sortie de la DLL par rapport à l'horloge d'entrée, définit à l'équation 5.4 :

$$\Delta T_c = \lim_{N \rightarrow \infty} \sqrt{\frac{1}{N} \sum_{n=1}^N \Delta T_n^2} \quad (5.4)$$

où ΔT_c est la gigue de cycle.

- 3) La gigue cycle à cycle représente la différence RMS entre deux cycles consécutifs d'horloge, définit à l'équation 5.5 :

$$\Delta T_{cc} = \lim_{N \rightarrow \infty} \sqrt{\frac{1}{N} \sum_{n=1}^N (T_{n+1} - T_n)^2} \quad (5.5)$$

où ΔT_{cc} est la gigue cycle à cycle.

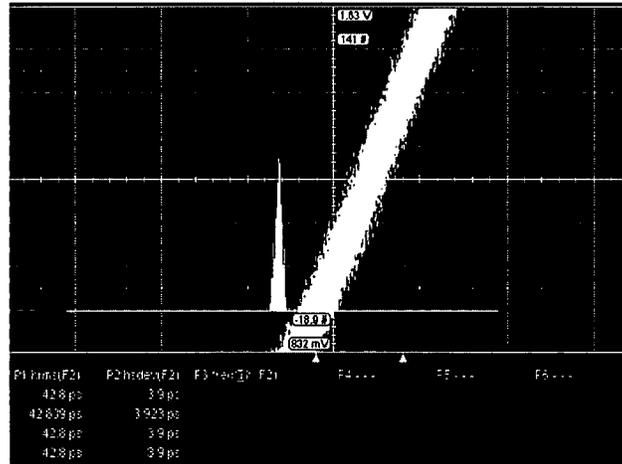


Figure 5.12 : Histogramme de la gigue du DLL, mesuré en RMS à 100 MHz,

ASIC ICFSHAC1

Les paramètres ΔT_{abs} , ΔT_c et ΔT_{cc} peuvent caractériser la gigue. En général, la gigue absolue est utilisée pour caractériser les PLLs. Ces dernières présentent une accumulation de gigue

d'un cycle à un autre. Les deux autres paramètres sont souvent utilisés pour caractériser les DLL [CHENG, 2005].

La mesure de la gigue cycle à cycle consiste à observer la variation du front montant de la sortie 32 pour plusieurs cycles suivant l'équation 5.6. Le signal 32 est déclenché par rapport à l'horloge système.

$$\Delta T_{cc} = \lim_{N \rightarrow \infty} \sqrt{\frac{1}{N} \sum_{n=1}^N (T_{n+1} - T_n)^2} \quad (5.6)$$

Comme il a été expliqué, la détermination de la gigue cycle à cycle suffit pour caractériser une DLL. Comme le montre la figure 5.12, une gigue de 3.9 ps cycle à cycle a été observée quand la DLL fonctionne à 100 MHz.

5.2.4 Plan de test du CTN (ASIC ICFSHF1)

L'ASIC ICFSHF1 contient 64 canaux. Afin de caractériser le CTN, un canal avec deux types de registres différents (un registre différentiel et un autre à base de cellules *Artisan*) a été ajouté.

Un registre parallèle-série, placé à la sortie des registres, transforme les 32 sorties en un paquet de bits en série. Quatre pads ont été réservés pour ce test. Ces derniers transportent, respectivement, le signal déclencheur des registres, une horloge à 10 kHz pour le parallèle-série, un bit de sélection des registres (différentiels ou numérique à base de cellules *Artisan*) et la sortie série du CTN.

Le test consiste à sélectionner tout d'abord le registre puis à injecter un signal déclencheur et à en recopier le code à la sortie. Cette étape est répétée plusieurs milliers de fois pour chacun des 32 codes. Le nombre d'occurrences de chaque code est tracé en temps réel à l'aide d'une interface graphique (GUI) spécifique conçue au GRAMS. Afin de générer les signaux de tests déclencheurs, le générateur d'impulsions *Stanford G535* ayant une résolution de 5 ps a été utilisé. Ceci a permis de générer un délai de 315 ps. Ainsi, le passage d'un code à l'autre se fait en ajoutant ce délai jusqu'à balayer tous les 32 codes.

Le montage de tests comporte un générateur d'impulsions *Stanford DG535*, une carte d'interface à base de FPGA, une carte de test de l'ASIC ICFSHFE1, une alimentation et un ordinateur (figure 5.13). Un GUI dédié à l'acquisition des données provenant de la carte de FPGA a été conçu. Le *Stanford DG535* dispose de quatre sorties. La résolution du délai sur tous les canaux est de 5 ps et la gigue de transition entre ces derniers est inférieure à 50 ps. Les données provenant de la carte de tests ICFSHFE1 passent à travers la carte de FPGA avant d'être transmises via un port USB au GUI dédié.

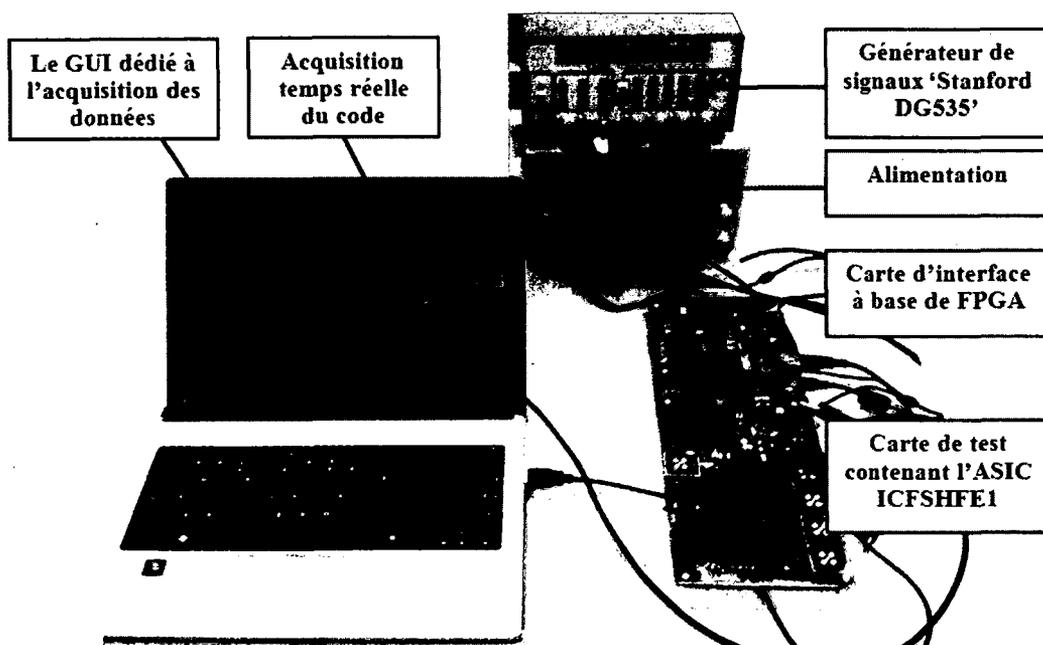


Figure 5.13 : Montage de test du CTN soumis, ASIC ICFSHFE1

L'état de la DLL aperçu dans la figure 5.14 (a) montre que la sortie de la DLL à 1.8 V est en quadrature de phase par rapport à l'horloge système. Ceci prouve que la DLL n'était pas capable d'atteindre le verrouillage à cette tension. Cette anomalie est dû principalement au fait que le filtre de boucle est très grand. La fonction de transfert des lignes à délais a été modifiée par rapport à la dernière soumission (ASIC ICFSHAC1) sans tenir compte du nouveau filtre. Ce dernier a été fixé à 700 fF afin d'accélérer le temps de simulation énorme.

Au moment du verrouillage, nous nous attendons à ce que les sorties 32 recopient l'état de l'horloge avec deux paquets adjacents de 16 bits chacun. Ces derniers sont respectivement à 1 et à 0. Ceci a été observé avec une alimentation de 2.5 V, comme le montre la figure 5.14 (b).

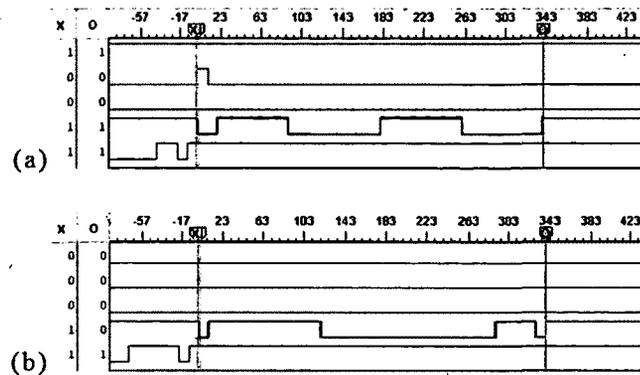


Figure 5.14 : Observation de l'erreur de conception de la DLL, ASIC ICFSHF1:

(a) La DLL ne réussit pas à boucler à 1.8 V, (b) La DLL boucle à 2.5 V

Les tests de caractérisation du CTN sont effectués à 2.5 V pour cette version de l'ASIC. D'après les premières observations, nous n'étions pas capable de tracer les sorties des registres différentiels. Une investigation approfondie a permis de localiser le problème. Ce dernier était au niveau du bloc de contrôle numérique. Ce dernier traite les registres différentiels comme des bascules synchrones en supposant qu'ils détectent les fronts montants. En effet, ceci n'est pas vrai car ces derniers sont asynchrones et fonctionnent avec des niveaux haut ou bas. Les registres à base de cellules *Artisan* étaient synchrones et fonctionnent très bien. Nous sommes capable de lire les sorties du CTN en temps réel et d'effectuer le test par histogramme, comme le montre la figure 5.15.

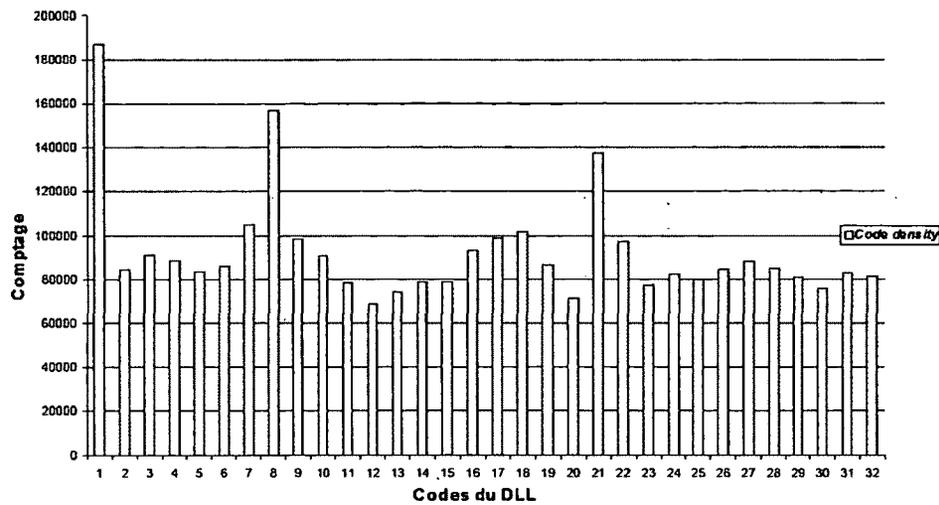


Figure 5.15 : Le test par histogramme (code density) pour les 32 codes du DLL

5.2.5 Caractérisation du CTN

La figure 5.16 montre la fonction de transfert du CTN. La fonction est strictement monotone et la courbe idéale coïncide avec celle mesurée, à l'exception d'une divergence mineure au niveau de la dernière mesure.

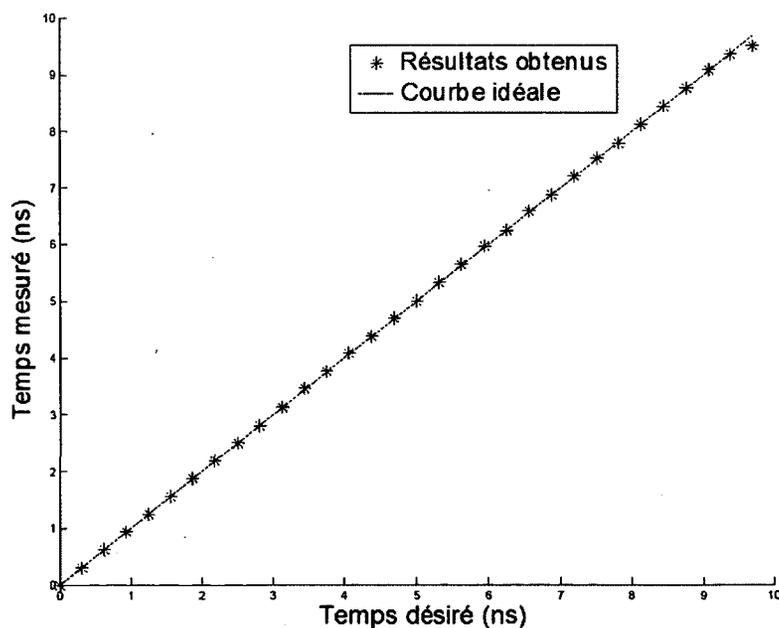


Figure 5.16 : Mesure de la fonction de transfert du CTN

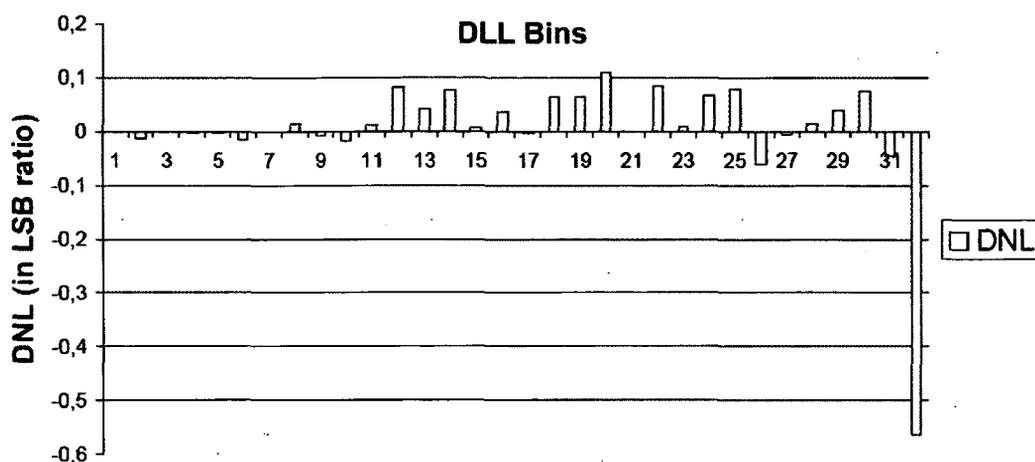


Figure 5.17 : Mesure de la non-linéarité différentielle du CTN

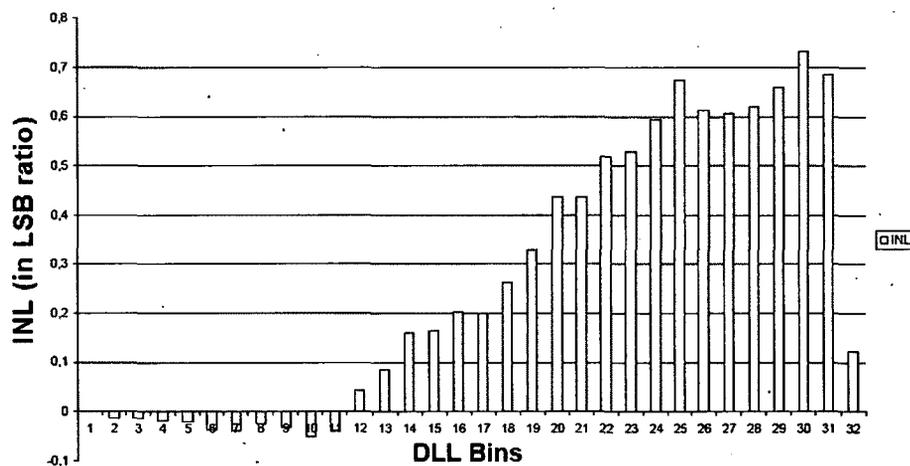


Figure 5.18 : Mesure de la non-linéarité intégrale du CTN

La figure 5.17 montre la mesure de la non-linéarité différentielle permet de mieux comprendre cette divergence. En effet, le code 32 présente une anomalie par rapport aux autres. Ceci est dû au délai accumulé par cette sortie au niveau de la boucle de la DLL. Cette sortie présente un plus long routage au niveau du silicium. Ceci induit un facteur parasitique $R \times C$ plus important et ainsi un délai plus élevé. Ce dernier favorise une occurrence plus élevée pour ce code en particulier. Toutefois, cette anomalie est acceptable, car le DNL est toujours plus bas que 1 LSB. La non-linéarité intégrale est aussi bonne et plus basse que 1 LSB.

5.3 Sommaire

La première version de l'ASIC du LabPETTMII, l'ICFSHAC1, a permis de caractériser la DLL et d'en extraire les performances en terme de gigue. Toutefois, la caractérisation du CTN au complet requiert le test de la DLL avec les registres thermométriques associés. Ceci était possible avec la deuxième version de l'ASIC, l'ICFSHFE1. Cette dernière version comporte un CTN pour 64 canaux de détections analogiques et un bloc numérique de traitement.

Le CTN a été caractérisé par des non-linéarités plus basses que 1 LSB, et peuvent être considérées comme étant assez satisfaisantes. Toutefois, ces résultats ont été obtenus avec une alimentation de 2.5 V au lieu de 1.8 V. Cette anomalie devra être corrigée dans une prochaine soumission.

CHAPITRE 6 DISCUSSION

La première section de ce chapitre compare les performances obtenues par rapport à d'autres réalisations. La seconde section évoque les améliorations apportées pour corriger les anomalies détectées.

6.1 Comparaison des performances avec d'autres réalisations

Le CTN conçu a montré de bonnes performances surtout au niveau de la consommation et l'espace silicium, comme le résume les résultats pour l'ASIC ICFSHFE1 dans les tableaux 6.1 et 6.2. Néanmoins, la DLL dans ce travail ne supporte pas une énorme variation de fréquence comparée aux autres réalisations [CHEN-HAO, et al., 2008] [MANEATIS, 1996]. En effet, ceci n'était pas nécessaire vu que l'ASIC du projet LabPET™ recevra l'horloge système qui est toujours égale à 100 MHz.

Tableau 6.1: Comparaison des performances avec d'autres réalisations de DLL

Performances	DLL dans l'ASIC ICFSHAC1	[CHEN-HAO, et al., 2008]	[MANEATIS, 1996]
Technologie	0.18 μm TSMC CMOS	0.35 μm TSMC 2P4M CMOS	0.5 μm N-well CMOS
Alimentation (V)	1.5 ~ 2.7	1.5 ~ 2.5	Min 2.45
Gigue RMS (ps)	3.9 @100 MHz rms	17.575 @100 MHz cycle à cycle	284 @250 MHz <i>tracking jitter</i>
Temps de verrouillage	1 μs @ 100 MHz (simulé)	--	--
Consommation	3.4 mW @ 100 MHz, 1.8 V	3.4 mW @ 100 MHz, 2 V	--
Espace silicium (mm^2)	0.0022	0.1623	1.18

Le défi majeur dans ce projet de recherche était d'intégrer le convertisseur dans l'ASIC du LabPET™. Ce défi s'étale sur plusieurs axes, comme la haute densité des canaux, les contraintes de bruits dans la partie analogique ainsi que la communication avec le bloc numérique. Plusieurs simulations mixtes (analogique/numérique) ont été effectuées afin d'assurer cette intégration. Aussi, le nombre de canaux assez élevé engendre des charges

capacitives énormes et présente un risque de distorsion des signaux, d'où la nécessité d'un bon dimensionnement des tampons d'interfaces. L'implémentation sur silicium demande aussi un soin particulier pour assurer en tout temps l'isolement des blocs numériques (assez bruyants) des blocs analogiques. Elle doit aussi respecter la symétrie des signaux pour garantir, toujours, un balancement différentiel.

Tableau 6.2: Comparaison des performances avec d'autres réalisations de CTN

Performances	CTN dans l'ASIC ICFSHFE1	[BOURRION, et al., 2005]	[JUNNARKAR et al., 2007]
Technologie	0.18 μm TSMC CMOS	0.35 μm TSMC 2P4M CMOS	Altera Startix II FPGA
Alimentation	1.5 ~ 2.7 V	1.5 ~ 2.5 V	-
Consommation	4.2 mW	14 mW	-
Résolution	312.5 ps pour 100 MHz	244 ps pour 32 MHz	625 ps
INL	<1%	<1%	<1.6 %
DNL	$\pm 10\%$ (0.1 LSB)	$\pm 20\%$ (0.2 LSB)	<1.72%

6.2 Choix des registres

L'idée au départ était de comparer deux approches différentes : les registres différentiels et les registres à base de cellules *Artisan*. Vu que nous désirons le bruit minimum, car nous intégrons une charge, nous supposons qu'il était primordial d'implémenter une structure différentielle. Nous étions aussi prêts à payer le prix en consommation. Les résultats montrent que les registres à base de cellules *Artisan* fonctionnent très bien pour le CTN. Il est possible d'atteindre des non-linéarités plus basses que 1 LSB. Ceci permet ainsi de gagner au niveau de la consommation et de l'espace silicium. Ce choix n'affecte pas la chaîne frontale analogique au niveau du bruit électronique puisque les registres sont isolés par le comparateur numérique et une chaîne de tampons. Néanmoins, il est nécessaire de tester leur impact sur le bruit de substrat de l'ASIC avant de les choisir dans un design définitif. Les blocs les plus menacés par ce bruit sont dans la chaîne frontale analogique. Des tests sont en cours pour valider leurs performances en présence de ces cellules numériques.

6.3 Améliorations

La prochaine version de l'ASIC comportera plusieurs rectifications montrées à la figure 6.1. Tout d'abord, la fonction de transfert des cellules à délais a été déjà évaluée en tenant compte des nouvelles capacités parasites. Le tableau 6.3 illustre les nouvelles dimensions des transistors des cellules à délais qui ont permis de garder la même réponse que celle obtenue pour l'ASIC ICFSHFE1. Ceci permet une meilleure robustesse au niveau de la DLL. Ensuite, les capacités parasites des cellules à délais ont été réduites en optimisant le routage et en ajoutant plus d'espace entre les signaux différentiels.

Tableau 6.3: Dimensionnement des transistors de la cellule à délai après modification

Transistor	MN_1	MP_1	MP_2	MB_1
Dimension W/L (μm)	1.2 / 0.2	1.2 / 0.3	1.7 / 0.3	1.7 / 0.3

La sortie 32 du DLL est acheminée au comparateur de phase à travers un tampon. Ce dernier a été enlevé car il ajoute une gigue systématique. Pour compenser cette action, les transistors d'entrée du comparateur de phase ont été réduits.

$$\frac{dV_{ctrl}}{dt} = \frac{idt}{C} \quad (6.1)$$

Le filtre de boucle a été redimensionné de manière à assurer le verrouillage de la DLL dans tous les coins de simulation. En effet, avec l'ancienne valeur ($C = 3.9 \text{ pF}$), la DLL n'était plus capable de se verrouiller car le courant de charge était assez faible pour adapter la tension V_{ctrl} avec le déphasage mesuré. L'équation 6.1 illustre la variation de dV_{ctrl} par rapport au ratio idt/C . D'après cette équation, deux solutions possibles se présentent : diminuer la capacité C du filtre de boucle, ou augmenter le courant de la pompe de charge. La première solution est plus facile à implémenter puisqu'elle engendre moins de changements par rapport à l'ancienne version de l'ASIC ICFSHFE1. Ainsi, une valeur trois fois plus petite pour le filtre, soit $C = 1.2 \text{ pF}$, fut choisie.

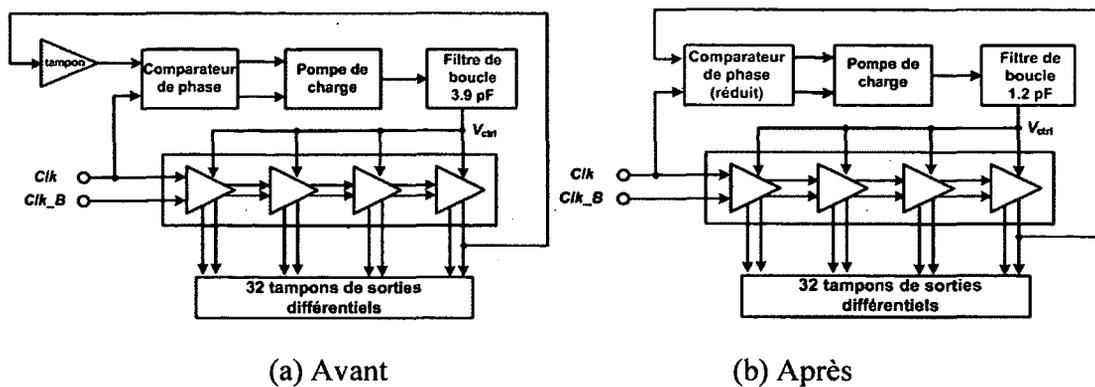


Figure 6.1: Les modifications apportées au niveau de la DLL: (a) Avant, (b) Après

Le circuit ICFSHFE1 avait aussi une faible marge de robustesse par rapport à la variation du procédé. En effet, dans la fabrication des semi-conducteurs, un coin du procédé (*process corner*) se définit comme un exemple de technique de conception-pour-expérience (*Design-of-Experience* (DoE)). Elle fait référence à une variation des paramètres de fabrication utilisés. Un circuit fabriqué à ces coins de procédé peut fonctionner plus lentement ou plus rapidement que prévu, et à des températures et des tensions variables. Le fonctionnement dans ces conditions extrêmes définit la robustesse de la conception. Il est ainsi très important de simuler le circuit sous ces conditions avant la fabrication. Durant la dernière soumission de l'ASIC ICFSHFE1, nous n'avons pas eu le temps de vérifier tous les coins de simulations pour le CTN. Des vérifications ont montré a posteriori que le circuit était assez fragile face à ces variations. Les modifications apportées dans la figure 6.1 ont permis d'augmenter la robustesse du CTN pour la prochaine version d'ASIC.

Tableau 6.4: Résultats des simulations par rapport aux coins du procédé après les modifications apportées

Coin	Temps de verrouillage (ns)	Tension V_{ctrl} au verrouillage (mV)
Typique	500	900
<i>Fast-Fast</i> (FF)	1394	1390
<i>Fast-Slow</i> (FS)	504	908
<i>Slow-Slow</i> (SS)	744	612
<i>Slow-Fast</i> (SF)	315	971

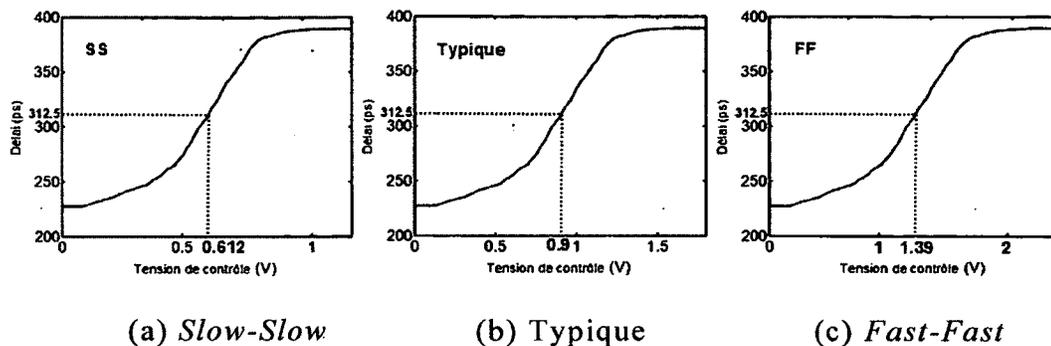


Figure 6.2: Illustration de la fonction de transfert monotone d'une cellule à délais dans différents coins de simulation : (a) *Slow-Slow*, (b) Typique, (c) *Fast-Fast*

Le tableau 6.4 présente les nouveaux résultats de simulation par rapport aux différents coins du procédé. Les simulations ont été réalisées avec des vues post-dessin physique. Dans ces simulations, le coin typique présente le fonctionnement normal du CTN. La DLL atteint le verrouillage avec une tension de contrôle $V_{ctrl} = VDD/2 = 900$ mV en fonctionnement normal. Cependant, cette tension varie énormément avec les autres coins. Afin de mieux comprendre ces variations, il est judicieux de se rappeler la fonction de transfert monotone des lignes à délais illustrées dans la figure 6.2. La DLL ajuste en tout temps la tension de contrôle de manière à avoir un délai de 312.5 ps suivant cette fonction monotone. Cependant, dans le cas du coin *Fast-Fast* par exemple et avec la même tension $V_{ctrl} = 900$ mV, les cellules à délais sont plus rapides. La DLL agit ainsi pour augmenter leurs délais. Ceci revient à augmenter la tension de contrôle. Le cas contraire se présente avec le coin *Slow-Slow* et une plus faible tension de contrôle est observée au moment du verrouillage (612 mV en *Slow-Slow* comparée à 1390 mV en *Fast-Fast*).

CHAPITRE 7 CONCLUSION

Le nouveau scanner LabPETTM II est en développement par le GRAMS et le CIMS de Sherbrooke, et vise une résolution spatiale submillimétrique. La première version de ce scanner permettra de développer les recherches en TEP et d'initier celle en TDM.

L'ASIC ICFSHFE1 constitue le cœur de ce scanner. Il se compose d'une chaîne de détection frontale à faible bruit avec toute l'électronique de polarisation, d'un étage de conversion du temps TOT et d'un module de traitement et de contrôle des données numériques. L'objectif de ce projet de maîtrise est de concevoir l'étage de conversion temps numérique. Avant de pouvoir développer des méthodes d'analyse et de conception pour ce convertisseur, il a été nécessaire d'étudier les diverses architectures de CTN existantes pour en faire ressortir l'architecture basée sur la méthode d'interpolation et implémentant une boucle à verrouillage de délais comme étant la mieux adaptée.

Le chapitre 1 de ce mémoire met en contexte ce projet de recherche en présentant une description générale du domaine de l'imagerie médicale, les grands axes de développement ciblés par le GRAMS et le CIMS, et une description plus spécifique du projet.

Le chapitre 2 aborde les concepts de la TDM et de la TEP. Une description générale ainsi qu'une présentation des différentes caractéristiques des deux techniques permettent d'expliquer les choix d'architecture et d'introduire l'avantage de la bi-modalité TEP/TDM. La combinaison des deux informations métaboliques et anatomiques permet, entre autres, d'accélérer le temps de l'examen et d'avoir une meilleure corrélation permettant ainsi une bonne précision de détection et un meilleur diagnostic. Ensuite, en deuxième partie, les scanners conçus au sein du GRAMS et CIMS sont présentés. Le LabPETTM est le premier scanner TEP à base de PDA à être commercialisé. L'évolution de cette version a conduit au LabPETTM II. Ce dernier utilise un autre concept basé sur la TOT, le souci étant toujours d'optimiser les performances sur tous les axes. La dernière partie expose l'architecture électronique afin d'atteindre les performances souhaitées et d'optimiser le rapport signal sur bruit.

Le chapitre 3 est consacré à l'état de l'art des Convertisseurs Temps Numériques. Plusieurs architectures sont présentées avec un descriptif de leurs avantages et inconvénients respectifs. Cette étape constitue la base pour le choix de CTN adéquat. Les contraintes principales sont: la consommation, l'intégration dans un système multi-canal, la précision ainsi que l'espace silicium.

Le chapitre 4 aborde l'étape de synthèse permettant de converger vers l'architecture idéale pour l'application LabPET. Ce chapitre expose les choix et la procédure de conception. Plusieurs contraintes entrent en compte pour assurer la robustesse du convertisseur, telles que la consommation et l'immunité aux bruits électroniques.

Le chapitre 5 couvre les résultats des simulations et les mesures expérimentales. Certaines simulations ont été faites sur les circuits post-dessin physique incluant les capacités parasites. Ceci a permis de recopier plus précisément leur fonctionnement réel. Ils ont été complétés et validés par des expérimentations sur les ASIC ICFSHAC1 et ICFSHFE1 respectivement.

Le chapitre 6 compare les mesures et les simulations avec d'autres réalisations et présente les avantages et les inconvénients de ce projet. Ensuite, il évoque, d'une part, les modifications apportées afin de corriger les anomalies observées, et d'autre part, l'implémentation de certaines améliorations de performances. Une meilleure architecture pour les registres est identifiée.

Le présent travail démontre qu'il est possible d'atteindre, avec les registres à base de cellules *Artisan*, des non-linéarités inférieures à 1 LSB pour le CTN. Ces registres présentent aussi l'avantage d'une implémentation plus facile comparée à la structure différentielle. Il reste à vérifier le bruit causé par les cellules *Artisan* sur l'électronique frontale à faible bruit.

En conclusion, ce projet a permis la conception d'un convertisseur temps numérique s'insérant dans l'ASIC ICFSHFE1. Ce dernier est un projet de très grande envergure et complexité. Un défi majeur est d'intégrer ce convertisseur dans un environnement où les contraintes de bruit étaient assez serrées. Tout un travail d'équipe est nécessaire pour

réussir enfin à assurer cette intégration. Ceci comporte, entre autres, la communication avec un bloc numérique ainsi qu'une chaîne de détection frontale analogique à faible bruit. Il a nécessité le travail de plusieurs étudiants et professionnels et a donné une expérience de travail beaucoup plus enrichissante que le développement d'un sous-module seul.

Une deuxième version de l'ASIC conçu est planifiée avant d'être intégrée dans la version commerciale du LabPETTM II. Plusieurs optimisations sont envisageables pour le CTN. D'abord, le choix d'une architecture simple pour les registres implique le changement des tampons différentiels existants par d'autres à architecture simple. Les tampons différentiels consomment presque 50% de l'énergie dynamique du CTN et ceci pour les 64 canaux. Ce changement permettra un gain de l'ordre de 25 % de l'énergie dynamique consommée par le CTN (DLL + 64 registres + 32 tampons). Ensuite, étant donné que la DLL tourne en boucle, l'ajout d'un bit de contrôle *enable* permet de l'arrêter au besoin. Ceci améliore le budget en puissance de l'ASIC.

Enfin, la structure différentielle des cellules à délais au niveau de la DLL permet une immunité aux bruits communs. Il sera judicieux de garder cette structure pour la prochaine version. Néanmoins, ce choix impose un problème d'interface entre la DLL différentielle et les tampons à structure simple. Une solution à ce problème consiste à ajouter un étage de tampons différentiels avec des cellules *dummies*. Ce dernier isolera la DLL de la chaîne des tampons et permettra aussi de maintenir une charge équilibrée au niveau des 32 sorties différentielles de la DLL. La figure 7.1 illustre l'architecture proposée.

années, mais la nouveauté réside dans la manière dont ils peuvent être interconnectés entre eux [GREGORZ, 2009]. Les tendances actuelles au GRAMS sont de concevoir une troisième version du scanner LabPET™ se basant sur cette nouvelle technologie d'intégration. Il sera ainsi possible de gagner en puissance, rapidité, densité et également en rapport signal sur bruit.

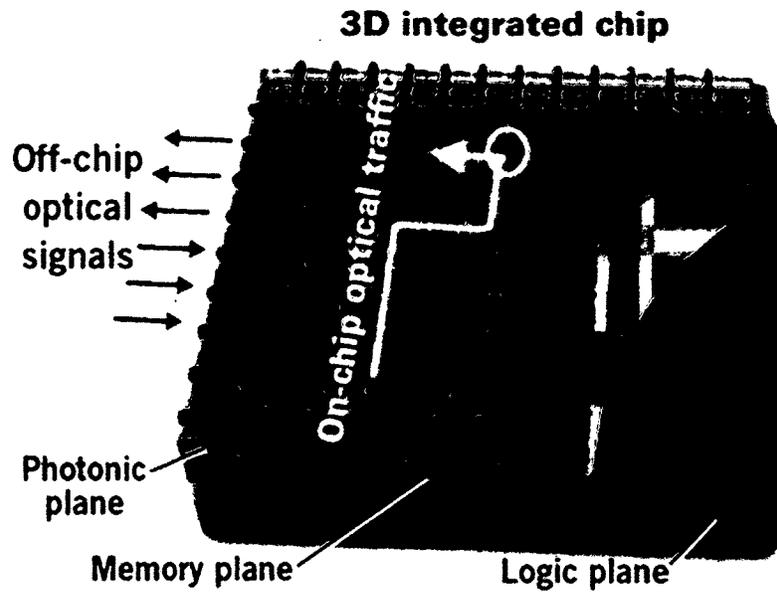


Figure 7.2 : Exemple de circuit 3D [IBM, 2010]

RÉFÉRENCES

ALAIN, P. J., RICHARD, A. C. et C.A.R. Dettmar (1999). *A 3D HIDAC-PET camera with submillimeter resolution for imaging small animals*, IEEE Transactions on Nuclear Science, Vol. 46, No 3, p. 468-473.

ARPIN, L., KOUA, K., PANIER, S., BOUZIRI H., ABIDI, M., BEN ATTOUCH M. W., PAULIN, C., MAILLÉ, P., GEOFFROY, C., LECOMTE, R., PRATTE, J.-F. et FONTAINE, R., (2011). *Embedded real time digital signal processing unit for a 64-channel PET detector module*, IEEE Conference Record on Nuclear Science Symposium and Medical Imaging Conference, p. 1545-1550.

AVEYNIER, J. et VAN-ZURK, R. (1970). *Vernier chronotron reflex*, Nuclear Instruments and Methods, Vol. 78, p. 70-161.

BEN ATTOUCH, M. W. (2011). *Conception d'un capteur de température, d'un récepteur LVDS et d'un générateur de charge en technologie CMOS 0,18 μm pour un scanner TEP/TDM*, Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 130 p.

BENKAIS, M. (1993). *Méthodologie de caractérisation des circuits de conversion de données: application aux convertisseurs analogique-numérique à facteur de mérite élevé. Mise en œuvre dans le système CanTest*, Thèse de doctorat, Université de Bordeaux I, France, 170 p.

BERARD, P., BERGERON, M., M., PEPIN C., CADORETTE, J., TETRAULT, M.A., VISCOGLIOSI, N., FONTAINE, R., DAUTET, H., DAVIES, M., DESCHAMPS, P. et LECOMTE, R. (2008). *LabPET II, a Novel 64-channel APD-based PET detector module with individual pixel readout achieving submillimetric spatial resolution*. IEEE Nuclear Science Symposium Conference Record, Vol. 12, No. 6, p. 5457-5462.

BERGERON, M., CADORETTE, J., BEAUDOIN, J.F., ROUSSEAU, J.A., MARC DUMOULIN, M.D.L., ROBERT, G., SELIVANOV, V., TÉTRAULT, M.A., VISCOGLIOSI, N., DUMOUCHEL, T., THORN, S., DASILVA, J., DEKEMP, R.A., NORENBURG, J.P., FONTAINE, R. et LECOMTE, R. (2007). *Performance evaluation of the LabPETTM APD-based digital PET scanner*, IEEE Transactions on Nuclear Science, Vol. 6, No. 1, p. 4185-4191.

BERNARD, S. (2001). *Test intégré pour convertisseurs analogique/numérique*, Thèse de doctorat, Université Montpellier II, France, p. 183.

BOUJNAH, S., RAZZOUK, M., DELOTTE, J. et BONGAIN, A. (2011). *La Lettre du gynécologue : dossier imagerie*.

http://www.edimark.fr/phototheque/galerie_detail.php?id_galerie=915 (page consultée le 05/02 2012).

BOURRION, O. et GALLIN-MARTEL, L. (2005). *Réalisation d'un convertisseur temps numérique en technologie AMS CMOS 0,35 μ m*, rapport interne du Laboratoire de Physique Subatomique et de Cosmologie de Grenoble, p. 1-20.

CERN COURIER, (2005). *ClearPET offers improved insight into animal brains*. <http://cerncourier.com/cws/article/cern/29384> (page consultée le 15/01 2012).

CHANDRASEKARAN, R., LIAN, Y. et RANA, R. S. (2005). *A high-speed low-power D flip-flop*, Institute of Microelectronics Singapore, Vol. 1, p. 82-85.

CHEN-HAO, C. R., CHEN, H-M. et HUANG, P-J. (2008). *A multiphase-output delay-locked loop with a novel start-controlled phase/frequency detector*, IEEE Transactions on Circuits and Systems, Vol. 55, No. 9, p. 2483-2490.

CHENG, J. (2005). *A delay locked loop for multiple clock phases/delays generation*, Thèse de doctorat, School of Electrical and Computer Engineering, Georgia Institute of Technology, USA, 94 p.

CHERRY, S. R., SORENSON, J. A. et PHELPS, M. E. (2003). *Physics in nuclear medicine*. 3ème édition. W B Saunders Co, Vol. 65, 210 p.

CHERRY, S. R. (2006). *The 2006 Henry N. Wagner lecture: of mice and men (and positrons) advances in PET imaging technology*, Society of Nuclear Medicine, Vol. 47, No 11, p. 1735-1745.

COLDOSCIENCES, (2009). *Imagerie médicale*, <http://coldosciences.apathie.net/Imagerie> (page consultée le 05/01 2012).

DE DREUILLE, O., MASZELIN, P., FOEHRENBACH, H., BONARDEL, G. et GAILLARD, J. (2002). *Principe et technique de la tomographie par émission de positrons (TEP)*. Encyclopédie Médico-Chirurgicale, Radiodiagnostic IV. Elsevier, p. 1-22.

DELBEKE, D., SCHOLER, H., MARTIN, W.H. et WAHL, R.L. (2009). *Hybrid imaging (SPECT/CT and PET/CT): Improving therapeutic decisions*, Seminars in Nuclear Medicine, Vol. 39, No. 5, p. 308-340.

DERENZO, S. E. et MOSES, W. W. (1993). *Empirical observation of resolution degradation in positron emission tomographs utilizing block detectors*. Journal of Nuclear Medicine, Vol. 34, p. 101.

DIFFEN (2012). *CT scan vs PET scan*.

http://www.diffen.com/difference/CT_Scan_vs_PET_Scan (page consultée le 06/07 2012).

FONTAINE, R., TÉTRAULT, M.A., BÉLANGER, F., VISCOGLIOSI, N., HIMMICH, R., MICHAUD, J.B., ROBERT, S., LEROUX, J.D., SEMMAOUI, H., BÉRARD, P., CADORETTE, J., PEPIN C.M. et LECOMTE R. (2006). *Real time digital signal processing implementation for an APD-based PET scanner with phoswich detectors*, IEEE Transactions on Nuclear Science, Vol. 53, No 1, p. 784-788

FONTAINE, R., LEMIEUX, F., VISCOGLIOSI, N., TETRAULT, M.-A., BERGERON, M., RIENDEAU, J., BERARD, P., CADORETTE, J. et LECOMTE, R. (2007). *Timing improvement by low-pass filtering and linear interpolation for the LabPET scanner*, IEEE Transactions on Nuclear Science, Vol. 55, No 1, p. 34-39.

FONTAINE, R., BÉLANGER, F., VISCOGLIOSI, N., SEMMAOUI, H., TÉTRAULT, M.A., PÉPIN, C. M., CARDORETTE, J. et LECOMTE, R. (2009). *The hardware and signal processing architecture of LabPET, a small animal APD-based digital PET scanner*, IEEE Transactions on Nuclear Science, Vol. 56, No 1, p. 3-9.

FONTAINE, R. (2011). *Un scanner médical québécois parmi les meilleurs appareils d'imagerie au monde*. Regroupement Stratégique en Microsystème du Québec (ReSMIQ). http://www.fqrnt.gouv.qc.ca/medias/bulletin/genial/2011/genial_38.html (page consultée le 06/01 2012).

GENAT, J. F. et ROSSEL, F. (1984). *Ultra high-speed time-to-digital converter*, French Patent, US Patent, 07344, Vol. 4, p. 719-608.

GREGORZ, D. (2009). *Front-end electronics using 3D integrated circuits*. International Meeting on Front End Electronic, p. 23-35.

HUANG, Q. (1996). *Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks*, IEEE Journal of Solid-State Circuits, Vol 31, No 3, p. 456-465.

HUBER, J. S., et MOSES, W.W. (1999). *Conceptual design of a high-sensitivity small animal PET camera with 4π coverage*, IEEE Transactions on Nuclear Science, Vol. 46, No 3, p. 498-502.

HUMM, J. L., ROSENFELD, A. et GUERRA, A. D. (2003). *From PET detectors to PET scanner*, European Journal of Nuclear Medicine and Molecular Imaging, Vol. 30, No. 11, p. 1574- 1597.

IBM (2010). *3D integration of logic, memory, and optics*, <http://www.electroiq.com/articles/sst/2012/01/iss-kicks-off-with-ic-industry-reality-talks.html> (page consultée le 20/01 2012).

JLE (2007). *Hématomes intramuraux de l'aorte thoracique : Une forme particulière de dissection aortique*, <http://www.jle.com/e-docs/00/04/35/82/article.phtml?fichier=images.htm> (page consultée le 27/07 2012).

JUNNARKAR, S. S., FRIED, J., SOUTHEKAL, S., MARAMRAJU, S. H., PRATTE J-F., O'CONNOR, P., RADEKA, V., VASKA, P., WOODY, C., SCHLYER, D. et FONTAINE, R. (2007). *New time to digital converter, signal processing, data acquisition, calibration and test hardware for RatCAP*. IEEE Nuclear Science Symposium Conference Record, Vol. 6, p. 4597-4601.

KALISZ, J. (2003). *Review of methods for time interval measurements with picosecond resolution*, Military University of Technology, p. 17-32.

KANG, X., SUN, X., WANG, S., LIU, Y., XIA, Y., ZHOU, R., WU Z. et JIN Y. (2008). *A fast accuracy crystal identification method based on Fuzzy C-Means (FCM) clustering algorithm for MicroPET*, International Conference on BioMedical Engineering and Informatics, Vol. 1, p. 779-782.

KERANEN, P., MAATA, K. et KOSTAMOVARA, J. (2011). *Wide-range time-to-digital converter with 1-ps single-shot precision*. IEEE Transactions on Instrumentation and Measurements, Vol. 60, No. 9, p. 3162-3172.

KOUA, K. M.-C. (2010). *Conception d'un préamplificateur de charge faible bruit pour un scanner TEP/TDM en technologie CMOS 0,18 μm* . Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 139 p.

KOSTAMOVARA, J et MYLLYA, R. (1989). *Time-to-digital converter with an analog interpolation circuit*, Review of Scientific Instruments, Vol.57, p. 2880–2885.

LANGNER, J. (2003). *Development of a parallel computing optimized head movement correction method in positron emission tomography*, Mémoire de maîtrise, University of Applied Sciences Dresden and Research Center Dresden-Rossendorf, Dresden, Allemagne, 128 p.

LAROUSSE (2012). *Tomographie par émission de positons*, http://www.larousse.fr/encyclopedie/medical/tomographie_par_%C3%A9mission_de_positons/16611 (page consultée le 17/02 2012).

LECOMTE, R., SAOUDI, A., ROULEAU, D., DAUTET, H., WAECHTER, D., ANDREACO, M., CASEY, M., ERIKSSON et L., NUTT, R. (1998). *An APD-based quad scintillator detector module with pulse shape discrimination coding for PET*, IEEE conference record on Nuclear Science Symposium. Vol. 3, No. 5, p. 1445-1447.

LECOMTE, R., CADORETTE, J., RODRIGUE, S., ROULEAU, D., BENTOURKIA, M., YAO, R. et MSAKI, P. (1996). *Initial results from the Sherbrooke avalanche*

photodiode positron tomograph. IEEE Transactions on Nuclear Science, Vol. 43, No. 3, p. 1952-1957.

LECOMTE, R. (2007). *Radiation detectors: Applications in nuclear and particle physics, and medical imaging - Medical imaging: Multi-Modality*. TRIUMF Summer Institute 2007, 28 p.

LECOMTE, R. (2004). *Technology challenges in small animal PET imaging*. Nuclear Instruments and Methods in Physics Research, Vol. 527, p. 157-165.

LECOMTE, J.-F. (1998). *Étude comparative de méthodes de reconstruction en imagerie à émission de positron 3D: influence de la statistique d'émission, implémentation et optimisation sur ordinateur parallèle*. Thèse de doctorat, Université de Caen, Ecole Doctorale SIMEM, Caen, France, 247 p.

MANEATIS, J. G. (1996). *Low-jitter process-independent DLL and PLL based on self-biased techniques*, IEEE Journal of Solid-State Circuits, Vol. 31, p. 1723-1732.

MANFREDI, P. M., LEONA, A., MANDELLI, E., PERAZZO, A. et RE, V. (2000). *Noise limits in a front-end system based on Time Over Threshold signal processing*. Nuclear Instruments and Methods in Physics Research, Vol. 439, p. 361-367.

MANSURI, M., LIU, D. et YANG, C.-K. (2002). *Fast frequency acquisition phase-frequency detectors for GSamples/s phase-locked loops*, IEEE Journal of Solid-State Circuits, Vol. 37, p. 1331-1334.

MANSURI, M. et YANG C. K. (2002). *Jitter optimization based on phase-locked loop design parameters*, IEEE Journal of Solid-State Circuits, Vol. 37, p. 1375-1382.

MARIANI, G., BRUSELLI, L., KUWERT, T., KIM, E.E., FLOTATS, A., ISRAEL, O., DONDI, M. et WATANABE, N. (2010). *A review on the clinical uses of SPECT/CT*, European Journal of Nuclear Medicine Molecular Imaging, Vol. 37, No 10, p. 1959-1985.

MOSSET, J.-B. (2006). *Développement d'un module de détection phoswich LSO/LuYAP pour le prototype de caméra à positrons ClearPET*. Thèse de doctorat, Ecole Polytechnique Fédérale de Lausanne, Lausanne, Suisse, 173 p.

NASTASE, A.S. (2009). *An ADC and DAC Integral Non-Linearity (INL)*, <http://masteringelectronicsdesign.com/an-adc-and-dac-integral-non-linearity-inl/> (page consultée le 22-01-2012).

NOTANI, H., KONDOH, H. et MASTSUDA, Y. (1994). *A 622-MHz CMOS phase-locked loop with precharge-type phase frequency detector*, IEEE Symposium on VLSI Circuits, p. 129-130.

- OTSUJI, T. (1993). *A picosecond-accuracy, 700-MHz range, Si-bipolar time interval counter*, LSI IEEE Journal of Solid State Circuits, Vol. 28, p. 941–947.
- PÉPIN, C. M. (2007). *Développement et évaluation de détecteurs multicristaux à base de photodiodes avalanches pour scanner bimodal TEP/TDM*. Thèse de doctorat, Université de Sherbrooke, Sherbrooke, Québec, Canada, 217 p.
- RANDAL, S., SIMON, C., ABDEL, B., YIPING, S., MAGNUS, D. et KEYVAN, F. (1999). *Design of a small animal MR compatible PET scanner*, IEEE Transactions on Nuclear Science, Vol 46, No 3, pp 565-570.
- RAYTEST. (2006). *ClearPET™ A high performance small animal PET system*. Raytest Isotopenmessgeräte GmbH, ClearPET brochure, 2 p.
- REY, M. (2007). *Étude du tomographe de haute résolution pour petits animaux ClearPET par la méthode de Monte Carlo*. Thèse de doctorat, École Polytechnique Fédérale de Lausanne, Lausanne, Suisse, 152 p.
- RETEB, (2006). *Phénotypage cardiovasculaire chez la souris et le rat*, Centre d'imagerie moléculaire de Sherbrooke Tomographie d'émission par positrons (TEP), <http://www.rscv.org/Phenotypage/LaboTEP.asp> (page consultée le 05-07-2011).
- ROBERT, S. (2005). *Conception d'un préamplificateur de charge pour un scanner TEP/TDM sur technologie CMOS 0.18 um*. Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 139 p.
- SAOUDI, A., PEPIN, C., DION, F., BENTOURKIN, M., LECOMTE, R., ANDREACU, M.; CASEY, M., NUTT, R. et DAUTET, H. (1999). *Investigation of depth-of-interaction by pulse shape discrimination in multicrystal detectors read-out by avalanche photodiodes*, IEEE Transactions on Nuclear Science, Vol. 46, No. 3, p. 462.
- STEPHENSON, P. (1989). *Frequency and time interval analyzer measurement hardware*, Hewlett-Packard, Vol. 40, p. 35–41.
- STROTHER, S. C., CASEY, M. E. et HOFFMAN, E. J. (1990). *Measuring PET scanner sensitivity: relating count rates to image signal-to-noise ratio using noise equivalent counts*. Transaction on Nuclear Science, Vol. 37, No. 2, p. 783-788.
- TÉTRAULT, M.A., VISCOGLIOSI, N., RIENDEAU, J., BÉLANGER, F., MICHAUD, J.B., SEMMAOUI, H., BÉRARD, P., F. LEMIEUX, L.A., CADORETTE, J., PEPIN, C.M., ROBERT, G., LEPAGE, M.D., LECOMTE, R. et FONTAINE, R., (2006). *System integration of the LabPET™ small animal PET scanner*, IEEE Nuclear Science Symposium Conference Record, Vol 3, No. 4, p. 1880-1884.
- TIMOTHY, G. T. (2001). *Introduction to PET instrumentation*, Journal of Nuclear Medicine Technology, Vol. 29, No 1, p. 4-11.

UCDAVIS, (2008). *Positron Emission Tomography (PET)*, UCDAVIS Biomedical Engineering Center for Molecular and Genomic Imaging. <http://imaging.bme.ucdavis.edu/overview-2/imaging-modalities/positron-emission-tomography-pet/> (page consultée le 11-02-2012).

WIKIPEDIA (2012a). *Horloge atomique*, http://fr.wikipedia.org/wiki/Horloge_atomique (page consultée le 18/02 2012).

WIKIPEDIA (2012b). *Accuracy and precision*, http://en.wikipedia.org/wiki/Accuracy_and_precision (page consultée le 19/07 2012).

WIKIPEDIA (2012c). *Électronique analogique*, http://fr.wikipedia.org/wiki/%C3%89lectronique_analogique (page consultée le 21/07 2012).

WIKIPEDIA (2012d). *Largeur à mi-hauteur*, http://fr.wikipedia.org/wiki/Largeur_%C3%A0_mi-hauteur (page consultée le 23/08 2012).

WILLIAM, S. T. et HOWARD, C. L. (2001). *A 900-MHz CMOS low-phase noise voltage-controlled ring oscillator*, IEEE Transactions on Circuits and Systems–II: Analog and Digital Signal Processing, Vol. 48, No.2, p. 216-221.

WU, J., HENG, Y., SUN, Z., WU, C., ZHAO, Y., YANG, G. et JIANG, C. (2008a). *A study of Time Over Threshold (TOT) technique for plastic scintillator counter*, Chinese Physics C, Vol. 32, No. 3, p. 186-190.