



# Contribution au dimensionnement des PLL pour des modulations polaires larges bandes

Julien Kieffer

► **To cite this version:**

Julien Kieffer. Contribution au dimensionnement des PLL pour des modulations polaires larges bandes. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2014. Français. <NNT : 2014GRENT026>. <tel-01154214v2>

**HAL Id: tel-01154214**

**<https://hal.archives-ouvertes.fr/tel-01154214v2>**

Submitted on 17 Mar 2016

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## THÈSE

Pour obtenir le grade de

## DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Optique et Radiofréquence**

Arrêté ministériel : 7 août 2006

Présentée par

**Julien KIEFFER**

Thèse dirigée par **Emil NOVAKOV**  
codirigée par **Marc HOUDEBINE**

préparée au sein du **Laboratoire IMEP-LAHC**  
dans **l'École Doctorale EEATS**  
et en collaboration avec **l'Entreprise STMicroelectronics**

## Contribution au dimensionnement des PLL pour des modulations polaires larges bandes

Thèse soutenue publiquement le « **4 juillet 2014** »,  
devant le jury composé de :

**M. Yann DEVAL**

Professeur, Université de Bordeaux, Président

**Mme Slavka TZANOVA**

Professeur, Université technique de Sofia, Rapporteur

**M. Kosai RAOOF**

Professeur, Université du Maine, Rapporteur

**M. Emil NOVAKOV**

Professeur, Université de Grenoble, Directeur de thèse

**M. Marc HOUDEBINE**

Ingénieur STMicroelectronics, Crolles, Encadrant industriel

**M. Jean-Michel FOURNIER**

Professeur, Université de Grenoble, Membre

**M. Sébastien DEDIEU**

Ingénieur STMicroelectronics, Crolles, Invité





## Résumé

Les problématiques d'intégrabilité et de consommation des circuits sont au centre des spécifications des émetteurs pour la téléphonie mobile. L'architecture polaire est une alternative intéressante aux architectures cartésiennes pour réduire la consommation, la surface et la pollution de l'amplificateur de puissance (PA) sur la boucle à verrouillage de phase (PLL). Néanmoins, l'évolution des nouvelles normes de téléphonie mobile est allée de pair avec un élargissement de la bande passante des modulations, ce qui peut se montrer critique pour l'architecture polaire. Les travaux de cette thèse se concentrent plus particulièrement sur le chemin de phase pour des modulations larges bandes, ce dernier étant moins étudié dans la littérature que le chemin d'amplitude par le PA. La modulation de phase large bande est réalisée directement par la PLL, qui reçoit en consigne à la fois le canal à adresser et la modulation qui est insérée en 2 points de la PLL. L'architecture de la PLL peut être analogique ou numérique.

Grâce à des modèles événementiels développés sous Matlab, l'étude met en évidence certains phénomènes qui ne peuvent pas être observés par des modèles linéaires largement utilisés (Laplace, transformé en «  $z$  », ...). L'étude identifie notamment, pour la PLL analogique, un phénomène de mélange du bruit avec la modulation dégradant fortement la qualité du signal. Ce travail propose une méthode de dimensionnement des filtres de modulation et de la fréquence de référence de la PLL pour résoudre ce problème. Pour la PLL numérique, un autre phénomène est identifié et amène à insérer la modulation en 3 points de la PLL. Finalement, une méthode de dimensionnement des banques de capacités dédiées à la modulation sur l'oscillateur est proposée.

Mots clés : modulation polaire, large bande, PLL, LTE

## Abstract

Power consumption and integration are two key challenges of today mobile transmitter, especially for mobile phone applications. The polar architecture is an interesting alternative to classic architectures in order to reduce the power consumption, the silicon area and the pollution from the PA to the PLL. Unfortunately, the communication standards evolution such as LTE goes with a modulation bandwidth enlargement. This becomes critical for the use of polar architecture. Contrary to amplitude modulation done through the PA, phase modulation path through the PLL is less covered in literature. This phase modulation path which can be either analog or digital is the purpose of this work.

Thanks to nonlinear event-driven models developed with Matlab, it has been possible to show some phenomenon which cannot be observed with widely used linear models (in Laplace or  $z$ -domain). For instance, in the fractional-N PLL, a mixing between the noise and the modulation signal strongly degrades the modulation performance. A method combining PLL sizing and modulation filtering is proposed to solve this issue. For the digital PLL, TDC gain estimation has a big impact on the EVM (Error Vector Magnitude) for wideband modulations and a solution is proposed which consists of converting the classical two-point modulator into a three-point modulator. Finally, an oscillator's capacitors banks sizing dedicated to the modulation is proposed.

Keywords : wideband, polar modulation, PLL, LTE



# Remerciements

Trois ans de thèse, c'est l'occasion de rencontrer beaucoup de personnes, tant pour le travail en lui-même que pour ce qu'il y a autour. Je vais tenter de citer une bonne partie de ces gens qui ont fait que cette thèse se soit passé avec beaucoup plus de hauts que de bas.

Je tiens à remercier en premier mes encadrants de thèse : Emil Novakov du laboratoire IMEP-LAHC et Marc Houdebine de STMicroelectronics. Pleins de petits détails font qu'une thèse peut ou ne peut pas bien se passer, un bon encadrement en fait partie. Ces réunions qui se sont échelonnées tout au long de ces trois ans avec Emil ont permis de structurer cette thèse. De plus, je tiens à exprimer ma reconnaissance pour son aide en fin de thèse qui a facilité grandement la rédaction de ce manuscrit. Merci enfin et surtout à Marc pour sa disponibilité et son expertise qui ont permis de trouver une solution à tous les défis qui se sont présentés. 3 ans, c'est long et sa bonne humeur et son optimisme les ont fait passer plus vite.

J'adresse mes sincères remerciements à Monsieur Yann Deval, qui m'a fait l'honneur de sa présence en tant que président de jury. Je remercie sincèrement Madame Slavka Tzanova et Monsieur Kosai Raoof qui ont jugé ce travail en qualité de rapporteurs, ainsi que Jean-Michel Fournier qui a assisté à ma soutenance en tant qu'examineur.

Certaines personnes m'ont particulièrement accompagné pendant cette thèse. Je pense principalement à Sébastien Dedieu que je ne remercierai jamais assez pour le temps que nous avons passé ensemble, mais aussi à Sébastien Rieubon, à Cyril Joubert et à Hervé Jacob.

Durant ces trois ans, j'ai changé d'entreprises, de ST-Ericsson vers STMicroelectronics. Cela a été l'opportunité de rencontrer un nombre important de personnes tant sur le site du Polygone qu'à Crolles et il va m'être difficile de toutes les citer. Je tiens à remercier ici tout particulièrement les membres de mes deux équipes de synthèse de fréquence toutes deux dirigées d'une main de maître par Sébastien Dedieu autour d'un noyau dur composé de Marc Houdebine et Emmanuel Chataigner. Tout d'abord, ceux de l'équipe STE qui m'ont supporté depuis le stage de fin d'étude : Sébastien Rieubon, Laurent Camino, Jean-Loup Margerin, Philippe Level et ceux de l'équipe ST : Rénald Boulestin, Sébastien Pruvost, Stéphane Razafimandimby, Davy Thevenet, Olivier Richard, Hani Sherry, Mathieu Vallet et Christophe Grundrich.

Dans les collègues que j'aimerais remercier se trouvent aussi un de mes nombreux mais celui à qui j'ai été fidèle le plus longtemps : Florent Sibille, ainsi que mes compagnons du café le plus important de la journée : Christophe Arricastres, Denis Pache, Florence Rodriguez, Sarah Verhaeren, Valérie Danelon et Khadija Barjane. Un grand merci au grand chef Frédéric Paillardet, à notre assistante qui nous sauve régulièrement du pétrin, Pascale Maillet-Contoz. Nos conversations autour du rugby avec Thierry Lapergue et du cinéma avec Gérald Provins ont été aussi d'agréables moments passés sur Crolles.

# UNIVERSITÉ DE GRENOBLE

Mais une thèse s'est aussi l'occasion de rencontrer d'autres doctorants ou déjà docteurs, tant à ST qu'au laboratoire et même dans tout Grenoble. J'ai eu la chance d'apprendre à en connaître un nombre incroyable venant de pays différents. La liste est longue, j'en ai peur, mais je tiens à remercier Cecilia, Luiz, Vitor, Pierre, Carlos, Isa, Kaya, Hani, Dajana, Miki, Fatima, Camilo, David, Inès, Farid, les deux Thomas, Marco, Bruno, Matteo, Arame, Lionel, Yeter, Ando, les différentes An(n)a, Lyubo, Generoso. J'en oublie certainement un grand nombre avec qui j'ai passé de très agréables et souvent mémorables moments sur Grenoble.

Par contre, je n'oublie pas les amis de longue date. En commençant par ceux de l'école d'ingénieur : Manu, mon binôme et sa femme Christelle, Kévin et Sophie, Charles, Nico, Victorien. Puis ceux d'encore plus loin en arrière : Matthieu et Marie, Mathilde, Antoine, Hadrien, Charles-Henri, Jérémy, Damien et Aurélie, un autre Matthieu, Pauline et Anna.

Enfin, il est de bon ton de remercier sa famille et en premier lieu ses parents. Il va sans dire que je ne serai pas où j'en suis aujourd'hui sans l'aide des miens.



# Table des matières

Introduction générale .....	9
Chapitre I. La Norme LTE.....	11
I.1 Introduction du chapitre I.....	13
I.2 Évolution des standards de téléphonie mobile .....	13
I.3 Le LTE.....	18
I.4 Autres standards utilisant l'OFDM .....	30
I.5 Conclusion du chapitre I .....	32
Chapitre II. Émetteur polaire.....	33
II.1 Introduction du chapitre II.....	35
II.2 Architectures d'émetteur.....	35
II.3 Modulation directe de la PLL .....	42
II.4 Architectures de PLL .....	45
II.5 Limitation des modèles existants .....	52
II.6 Conclusion du chapitre II & Objectifs de la thèse .....	55
Chapitre III. Modulation par la PLL analogique .....	57
III.1 Modèle évènementiel non linéaire .....	59
III.2 Produit de mélange.....	77
III.3 Conclusion du chapitre III.....	91
Chapitre IV. Modulation par la PLL numérique .....	93
IV.1 Modèle évènementiel non linéaire .....	95
IV.2 Gain du TDC .....	109
IV.3 Conclusion du chapitre IV .....	115
Chapitre V. Autour de l'oscillateur .....	117
V.1 Introduction du chapitre V .....	119
V.2 Calibration du gain de l'oscillateur .....	119
V.3 Estimation de la non-linéarité de l'oscillateur.....	121
V.4 Dimensionnement de la taille des banques.....	123
V.5 Conclusion du chapitre V .....	135
Conclusion et Perspectives.....	137





# Introduction générale

- CONTEXTE

L'évolution des normes de téléphonie mobile au cours des dernières années a permis d'augmenter drastiquement les débits disponibles pour le transfert d'informations. Cela a favorisé l'émergence de nouvelles applications accessibles sur les terminaux mobiles comme les téléphones ou les tablettes. La télévision, l'internet sur mobile, la visiophonie, le GPS (« *Global Positioning System* ») sont venus ainsi compléter les services initiaux comme la communication vocale ou les SMS (« *Short Message Service* »).

La dernière génération de standard de téléphonie mobile, appelée LTE pour « *Long Term Evolution* » doit améliorer les conditions d'utilisation de ces applications quels que soient le lieu où l'utilisateur se trouve. La robustesse face aux interférences et aux conditions de propagation radio a été accrue grâce à l'utilisation de la technique OFDM (« *Orthogonal Frequency Division Multiplex* »). Le terminal étant mobile et les nouvelles applications énergivores, la consommation est aussi un point clé. De plus, l'augmentation du débit s'est traduite dans le cas du LTE par un élargissement encore plus grand de la bande passante comparé à la 3G (de 5 MHz à 20 MHz maximum).

Ainsi, les performances requises pour le transmetteur deviennent toujours plus contraignantes notamment en termes de coût, d'intégrabilité, de flexibilité, de bruits et de consommation. Dans ce contexte, l'architecture de modulation polaire en émission répond bien à ces compromis techniques. Si le standard GSM a pu en tirer profit, cette architecture adresse encore difficilement les standards plus large bande comme le WCDMA et le LTE. Ce sujet est développé dans ce travail de recherche.

Sous la pression des marchés, la durée de développement se réduit. Par conséquent, l'architecture de transmetteurs doit être rapidement adaptable aux standards des pays visés et son portage technologique ne doit pas être un frein. Par conséquent, ce travail propose des méthodes et des outils de développements précis et rapides pour le dimensionnement de telles architectures.

Les contributions de cette thèse ont pour objectif d'étudier la faisabilité de la composante en phase de l'architecture polaire pour des standards présentant de large bande passante comme le WCDMA et surtout le LTE. Ces travaux s'appuient donc sur le développement de différents outils comme une nouvelle modélisation événementielle des boucles à verrouillage de phase (ou PLL pour « *Phase Locked Loop* ») analogique et numérique à la fois rapide et précise ou encore une méthodologie d'optimisation des banques de l'oscillateur de ces PLL.

- ORGANISATION DE LA THESE

Ce mémoire de thèse s'articule en cinq chapitres.

Le premier chapitre situe les travaux de cette thèse dans le contexte de la téléphonie mobile. Ainsi, une vue d'ensemble des normes de téléphonie mobile, en partant du

GSM vers le LTE en passant par le WCDMA est présentée. Un accent particulier est mis sur la norme LTE, la plus récente, dont les principes fondamentaux sont décrits, comme l'utilisation de la technique OFDM. Les caractéristiques importantes du point de vue de la partie RF sont détaillées, notamment les largeurs de bande passante pouvant être jusqu'à cent fois plus larges que celle du GSM.

Le deuxième chapitre présente dans un premier temps un état de l'art des architectures d'émetteurs de radiocommunications. De cette étude, l'architecture polaire est choisie, car elle répond aux contraintes de consommation, d'intégrabilité et de flexibilité des nouveaux standards. Dans ces travaux de thèse, seule la composante en phase du signal de modulation est étudiée, la composante en amplitude étant considérée idéale, parce qu'elle a été largement traitée par ailleurs. Ainsi: La deuxième partie de ce chapitre présente les méthodes de modulations directes par le synthétiseur de fréquence. Finalement, différentes architectures de ce circuit appelé PLL sont présentées avec les limitations des modélisations existantes de ce type de circuits dans le contexte d'une modulation de phase large bande.

Dans le troisième chapitre, une nouvelle modélisation de la PLL analogique est proposée. Celle-ci est événementielle, ce qui est avantageux pour pouvoir étudier la modulation sur une échelle de temps suffisante tout en ayant un nombre de points de calcul relativement restreint. Elle permet de tenir compte des bruits et des non-linéarités de la PLL et ainsi d'observer leurs impacts sur la qualité du signal à transmettre. Un phénomène de recouvrement spectral entre le bruit du modulateur  $\Sigma\Delta$  et la modulation insérée par l'oscillateur est mis en évidence. Il crée une forte dégradation de la qualité du signal. Une méthodologie est proposée pour atténuer ce phénomène.

Le quatrième chapitre décrit une modélisation événementielle similaire à la précédente mais appliquée à la PLL numérique. L'accent est mis sur le gain du convertisseur temps-numérique (TDC) qui ne peut pas être mesuré de manière habituelle dans le contexte d'une modulation de phase large bande. En effet, une forte dégradation de la qualité du signal peut être observée dans ce cas. Une solution est proposée d'ajout de la modulation sur le gain du TDC donnant lieu à un modulateur en trois points au lieu de deux. Elle permet de retrouver des niveaux d'EVM (« *Error Vector Magnitude* ») acceptables pour les performances recherchées.

Le cinquième chapitre porte sur les contraintes d'insertion de la modulation sur l'oscillateur. Quelle que soit l'architecture choisie, la valeur du gain de l'oscillateur est un point critique d'autant plus que l'amplitude en fréquence des modulations accentue la non-linéarité de l'oscillateur. Ce travail propose une méthode de calibration de ce gain ainsi qu'une méthode de dimensionnement de l'oscillateur.

Enfin, une conclusion générale résume les principales contributions de ce travail portant sur l'étude de la modulation de phase large bande directement appliquée sur une PLL à l'aide de modèles événementiels. Différentes perspectives à ce travail sont également évoquées.

# Chapitre I. La Norme LTE

I.1	Introduction du chapitre I.....	13
I.2	Évolution des standards de téléphonie mobile .....	13
I.2.1	Historique .....	13
I.2.2	2 <sup>e</sup> génération : GSM, GPRS, EDGE.....	13
I.2.3	3 <sup>e</sup> génération : UMTS/WCDMA, HSPA .....	15
I.3	Le LTE.....	18
I.3.1	3G LTE : <i>3GPP Long Term Evolution</i> .....	18
I.3.1.1	Évolution du LTE.....	18
I.3.1.2	Nouvelles technologies .....	19
I.3.1.3	Spécifications du LTE .....	19
I.3.2	Architecture du réseau .....	20
I.3.3	LTE MIMO.....	21
I.3.4	OFDM / OFDMA / SC-FDMA .....	22
I.3.4.1	Bases de l'OFDM .....	22
I.3.4.2	Caractéristiques des canaux du LTE.....	23
I.3.4.3	Préfixe cyclique.....	23
I.3.4.4	OFDMA pour la voie descendante.....	24
I.3.4.5	SC-FDMA pour la voie montante.....	25
I.3.5	Duplexage des ressources.....	25
I.3.6	Structure des trames .....	27
I.3.7	Bandes de fréquences .....	27
I.3.7.1	Allocations des bandes de fréquences pour le LTE FDD.....	28
I.3.7.2	Allocations des bandes de fréquences pour le LTE TDD.....	28
I.3.8	Spécifications RF pour le LTE.....	29
I.4	Autres standards utilisant l'OFDM .....	30
I.4.1	Le LTE Advanced .....	30
I.4.2	Wi-Fi.....	30
I.5	Conclusion du chapitre I .....	32

## Table des figures

Figure I-1 : Constellation d'une modulation 8PSK .....	16
Figure I-2 : Description de l'EVM en un point d'une constellation.....	16
Figure I-3 : Définition de l'ACLR .....	17
Figure I-4 : Architecture du réseau LTE .....	20
Figure I-5 : Réflexions dues aux multiples trajets .....	21
Figure I-6 : Sous-porteuses OFDM.....	22
Figure I-7 : Modulateur/Démodulateur OFDM .....	23
Figure I-8 : Préfixe cyclique .....	24
Figure I-9 : Constellations 4/16/64 QAM (de gauche à droite) .....	24
Figure I-10 : Répartition des utilisateurs en OFDMA .....	25
Figure I-11 : Duplexage FDD (à gauche) – TDD (à droite) .....	26
Figure I-12 : Trame de type 1 .....	27
Figure I-13 : Masques de bruit du LTE en fonction de la bande passante [3GPP04].	29
Figure I-14 : Types d'agrégation de canaux .....	30

## Table des tableaux

Tableau I-1 : Les différentes générations de normes de téléphonie mobile .....	13
Tableau I-2 : Paramètres du GSM .....	14
Tableau I-3 : Paramètres du WCDMA.....	15
Tableau I-4 : Spécifications RF du WCDMA .....	17
Tableau I-5 : Évolution des standards de 3 <sup>e</sup> génération .....	18
Tableau I-6 : Paramètres du LTE .....	20
Tableau I-7 : Avantages/Inconvénients du FDD et TDD .....	26
Tableau I-8 : Bandes de fréquences allouées au LTE FDD .....	28
Tableau I-9 : Bandes de fréquences allouées au LTE TDD .....	28
Tableau I-10 : Spécification de l'EVM pour le LTE .....	29
Tableau I-11 : Protocoles Wi-Fi.....	31

## I.1 Introduction du chapitre I

Les communications mobiles augmentent constamment les débits de transmission tout en poursuivant l'élan vers la miniaturisation, l'intégration du système sur puce unique tout en réduisant la consommation de courant sur la batterie. Par conséquent, ce travail étudie l'évolution des performances requises pour la PLL pour les standards allant du WCDMA au LTE.

Dans ce chapitre, une description de l'évolution des principaux standards de téléphonie mobile est faite avec un accent particulier mis sur le LTE, dont les principes fondamentaux sont décrits. Puisque c'est la modulation large bande appliquée directement à la PLL qui nous intéresse dans ce travail, les différentes spécifications des normes WCDMA et surtout LTE du point de vue du terminal mobile et en particulier de la PLL sont présentées.

## I.2 Évolution des standards de téléphonie mobile

### I.2.1 Historique

La téléphonie mobile s'est continuellement développée depuis les années 1990. Les générations de standards se sont succédé depuis lors comme montré dans le tableau ci-dessous si bien que désormais la quatrième génération est en cours de déploiement.

Génération	Acronyme	Intitulé
2G	GSM IS95-CDMA	Global System for Mobile Communication Code Division Multiple Access
2.5G	GPRS	General Packet Radio Service
2.75G	EDGE	Enhanced Data Rate for GSM Evolution
3G	CDMA 2000 UMTS	Code Division Multiple Access 2000 Universal Mobile Telecommunications System
3.5G	HSDPA HSUPA	High Speed Downlink Packet Access High Speed Uplink Packet Access
3.75G	HSPA+	Évolution du HSPA
4G	LTE LTE-A	Long Term Evolution LTE Advanced

Tableau I-1 : Les différentes générations de normes de téléphonie mobile

La motivation principale derrière toutes ces évolutions est l'augmentation constante du débit de données à fournir. De nouvelles applications apparaissent tous les jours et sont toujours plus gourmandes en données. Il faut ajouter à cela un spectre de fréquences toujours plus encombré. Cela impose donc des normes avec des modulations à grande efficacité spectrale permettant d'atteindre de hauts débits, quelles que soient les conditions de propagation radio. De plus, malgré l'amélioration des batteries, la consommation est toujours un point critique des téléphones mobiles.

### I.2.2 2<sup>e</sup> génération : GSM, GPRS, EDGE

Le GSM est actuellement la technologie cellulaire la plus utilisée dans le monde. Ce succès vient du fait que ce soit une norme ouverte, permettant de communiquer

partout de la même façon sur tous les réseaux GSM. La signification des lettres est « *Global System for Mobile Communications* ». De nos jours, plus de 3 milliards de personnes communiquent en utilisant le GSM.

Le GSM a été conçu comme la deuxième génération des normes de téléphonie mobile. Un des principaux objectifs était déjà à l'époque de fournir un système numérique ayant une plus grande capacité et une meilleure qualité de transmission que ceux de première génération analogiques. De plus, un chiffrement de la voix a été ajouté pour éviter qu'un simple récepteur puisse écouter les conversations.

Cette technologie utilise des canaux RF contigus de 200 kHz. Combiné avec un multiplexage temporel TDMA (« *Time Division Multiple Access* »), il est possible à huit utilisateurs d'accéder à chaque porteuse. De cette façon, il s'agit d'un système mixte TDMA/FDMA (« *Frequency Division Multiple Access* »).

De plus, elle utilise une technique de duplexage en fréquence (FDD pour « *Frequency Duplex Division* ») qui permet de séparer sur deux fréquences porteuses la transmission et la réception. Par définition, la voie montante est celle qui part du mobile vers la station de base et inversement pour la voie descendante. Outre la technologie d'accès et l'espacement des canaux déjà explicité, un autre point important du GSM est la modulation utilisée qui est la GMSK (« *Gaussian Minimum Shift Keying* »). Cette modulation permet de confiner l'étalement spectral dans le canal. L'amplitude du signal RF est quasiment constante, ce qui est avantageux pour des questions de consommation. Les bandes de fréquence utilisées sont autour de 900 MHz et 1900 MHz.

Le tableau ci-dessous résume les points principaux du GSM :

<b>Technologie d'accès</b>	FDMA/TDMA
<b>Technique de duplexage</b>	FDD
<b>Bande de fréquences en voie montante</b>	824 - 849 MHz 880 - 915 MHz 1710 - 1785 MHz 1850 - 1910 MHz
<b>Bande de fréquences en voie descendante</b>	869 - 894 MHz 925 - 960 MHz 1805 - 1880 MHz 1930 - 1990 MHz
<b>Espacement des canaux</b>	200 kHz
<b>Modulation</b>	GMSK
<b>Nombre d'utilisateurs par canal RF</b>	8
<b>Débit théorique de données</b>	14.4 kbits/s
<b>Durée des trames</b>	4.615 ms

**Tableau I-2 : Paramètres du GSM**

Le besoin de débits plus importants pour transmettre des données a imposé de nouveaux développements. Le premier système à avoir fait son apparition est le GPRS (« *General Packet Radio System* »). Celui-ci utilise la même interface radio que le GSM. L'augmentation du débit (172 kbps théorique) est obtenue par l'utilisation de

plusieurs slots temporels pour un même utilisateur et par un codage convolusionnel variable en fonction de la qualité du canal de propagation.

Rapidement, l'EDGE (« *Enhanced Data for GSM Evolution* ») est arrivé pour proposer des débits encore plus importants, allant théoriquement jusqu'à 384 kbps. L'augmentation du débit est faite grâce à l'utilisation d'une nouvelle forme de modulation. Le GSM utilise une modulation GMSK, l'EDGE utilise à la place une modulation 8PSK pour « *Phase Shift Keying* » (représentée sur la Figure I-1) permettant une augmentation du débit.

### I.2.3 3<sup>e</sup> génération : UMTS/WCDMA, HSPA

Après les évolutions du GSM que sont le GPRS et l'EDGE, une troisième génération de standards de téléphonie mobile a été développée : l'UMTS (« *Universal Mobile Telecommunications System* »). Bien que l'interface radio soit totalement différente des précédentes, le standard a été rendu compatible au niveau de l'infrastructure avec ceux de deuxième génération afin d'assurer la continuité des services GSM.

L'UMTS utilise le WCDMA (« *Wideband Code Division Multiple Access* ») qui alloue à chaque utilisateur un code en début de communication. Il est alors possible à un grand nombre d'utilisateurs de communiquer sur la même fréquence porteuse sans créer d'interférence. Un canal de 5 MHz a été choisi pour ce standard, ce qui permet d'avoir jusqu'à 100 appels en simultané ou bien d'atteindre des débits d'environ 2 Mbps pour les données.

Une autre nouveauté de l'UMTS est la possibilité de supporter les deux modes de duplexage FDD et TDD (pour « *Time Duplex Division* ») qui sont détaillés dans le paragraphe I.3.5.

De plus, en téléphonie, des modulations évitant le passage de la constellation par zéro sont choisies, afin de limiter le facteur de crête ou PAPR (pour « *Peak to Average Power Ratio* ») pour des questions de rendement de l'émetteur. De plus, pour le WCDMA, la modulation doit être capable de gérer l'émission simultanée de canaux de puissances différentes tout en respectant la contrainte précédente. C'est ce que permet de faire la modulation HPSK (pour « *Hybrid Phase Shift Keying* ») [Agilent].

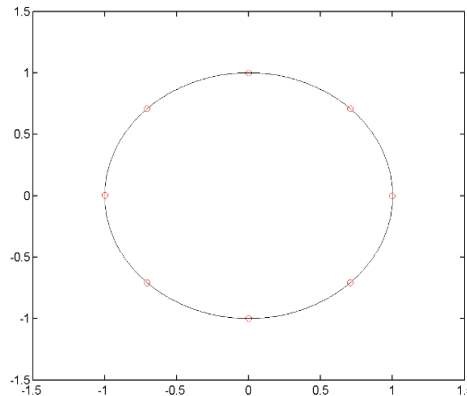
L'UMTS offre une amélioration significative par rapport aux précédentes générations au niveau du débit. Certaines caractéristiques sont résumées dans le tableau ci-dessous :

<b>Technologie d'accès</b>	CDMA
<b>Technique de duplexage</b>	FDD & TDD
<b>Espacement des canaux</b>	5 MHz
<b>Modulation</b>	HPSK
<b>Nombre d'utilisateurs par canal RF</b>	≈ 100
<b>Débit des données</b>	2048 kbps courte portée 384 kbps urbain et extérieur
<b>Durée des trames</b>	10 ms

Tableau I-3 : Paramètres du WCDMA

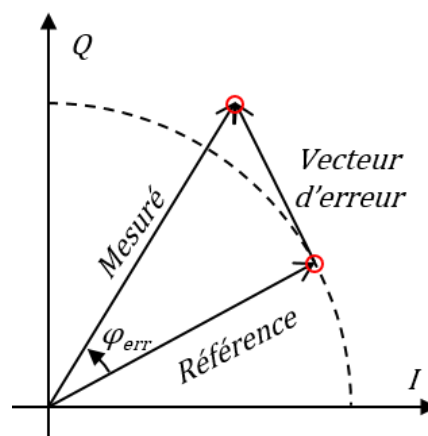


Une constellation est la représentation graphique d'un signal modulé sur un plan complexe aux instants d'échantillonnage des symboles. Ces diagrammes sont très utiles pour identifier le type d'interférences que le signal subit. La modulation HPSK n'a pas de constellation déterminée, mais la modulation 8PSK présente dans l'EDGE se représente par la constellation suivante.



**Figure I-1 : Constellation d'une modulation 8PSK**

L'EVM (« *Error Vector Magnitude* ») indique la précision de la modulation. C'est la différence entre la forme d'onde théorique et celle obtenue réellement après avoir été impactée par toutes les imperfections de la chaîne de transmission. La figure qui suit montre la description graphique de l'EVM.



**Figure I-2 : Description de l'EVM en un point d'une constellation**

Ce graphe se traduit donc en équation de la façon suivante

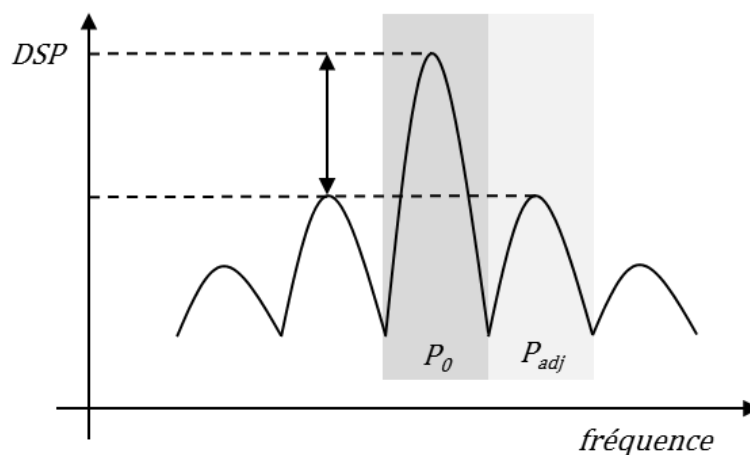
$$EVM(\%) = \sqrt{\frac{P_{\text{erreur}}}{P_{\text{référence}}}} * 100\% \quad (\text{I-1})$$

avec  $P_{\text{erreur}}$  la puissance moyenne du vecteur d'erreur. Pour  $P_{\text{référence}}$ , la définition change selon le type de modulation. Pour les modulations à porteuse unique comme dans le WCDMA, c'est par convention la puissance du point le plus à l'extérieur de la constellation de référence. Pour les modulations multi-porteuses comme dans le cas du LTE qui est présenté dans la partie suivante, c'est la puissance moyenne de la constellation de référence.

Le standard précise généralement ce qui est appelé ACLR (« *Adjacent Channel Leakage Ratio* ») ou ACPR (« *Adjacent Channel Power Ratio* ») qui est un indicateur de la pollution de l'émetteur sur les canaux voisins. Il correspond à la mesure de la puissance émise dans le canal adjacent par rapport à la puissance émise dans le canal principal, défini comme :

$$ACPR = \frac{P_0}{P_{adj}} = \frac{\int_{\text{canal\_principal}} DSP(f).df}{\int_{\text{canal\_adjacent}} DSP(f).df} \quad (I-2)$$

avec DSP la densité spectrale de puissance. L'ACLR est représenté visuellement sur la figure suivante.



**Figure I-3 : Définition de l'ACLR**

Ces spécifications vont avoir un impact direct sur les performances requises de l'émetteur. Les ACLR définis ici imposent un niveau de bruits maximum dans les deux canaux adjacents, ce qui se reporte directement sur le bruit de phase acceptable de du synthétiseur de fréquence. L'EVM est impacté différemment selon l'architecture de l'émetteur choisie. Dans le cas d'une architecture polaire, outre la pureté spectrale de la fréquence porteuse requise, une bonne partie des contraintes de la chaîne d'émission est reportée sur le synthétiseur de fréquence, les imperfections de celle-ci jouent d'autant plus sur cet indicateur.

Pour l'aspect émetteur RF, d'autres spécifications sont nécessaires et sont regroupées dans le tableau ci-dessous.

<b>Bande passante</b>	3.84 MHz
<b>EVM</b>	17.5%
<b>ACLR à 5 MHz</b>	-33 dBc
<b>ACLR à 10 MHz</b>	-43 dBc

**Tableau I-4 : Spécifications RF du WCDMA**

## I.3 Le LTE

### I.3.1 3G LTE : 3GPP Long Term Evolution

Véritable précurseur de la 4<sup>e</sup> génération de communication de téléphonie mobile, le LTE est en train d'être déployé en France par les différents opérateurs.

Comme toutes les évolutions précédentes, celle-ci fait suite à l'augmentation rapide de l'utilisation des données dans les communications cellulaires, alors que les standards en place ne sont plus capables d'absorber cette « explosion de données ». De nouveaux développements ont été requis afin d'à la fois gérer cette augmentation de la demande en données et la réduction de la latence.

L'évolution de la technologie UMTS a été surnommée LTE pour *Long Term Evolution*. L'idée est que ce standard va permettre d'obtenir des vitesses beaucoup plus élevées avec une latence beaucoup plus faible, ce qui devient une exigence croissante pour beaucoup de services actuels. Grâce à la 3G LTE, les réseaux de communications cellulaires vont ainsi pouvoir accompagner les besoins croissants des nouveaux services pour les prochaines années.

#### I.3.1.1 Évolution du LTE

Il y a une série de changements radicaux entre le LTE et ses prédécesseurs, notamment au niveau de l'interface radio, utilisant l'OFDMA (« *Orthogonal Frequency Division Multiple Access* ») et le SC-FDMA (« *Single Carrier - FDMA* ») à la place du CDMA. Malgré cela, le LTE est considéré néanmoins comme faisant partie de la 3<sup>e</sup> génération, car il ne satisfait pas encore toutes les spécifications techniques imposées pour les normes 4G par l'Union Internationale des Télécommunications (spécifications IMT Advanced) et par le consortium 3GPP1, notamment en termes de bandes passantes et de débits utilisables. De plus, il partage beaucoup de similitudes au niveau de l'architecture avec les autres standards 3G à des fins de réutilisation.

Le LTE peut ainsi être vu comme un standard de transition vers plus de fonctionnalités, plus de vitesses et plus généralement de meilleures performances.

	WCDMA	HSPA	HSPA+	LTE
Vitesse max en liaison descendante (bps)	384 k	14 M	28 M	100 M
Vitesse max en liaison montante (bps)	128 k	5.7 M	11 M	50 M
Latence aller-retour approx.	150 ms	100 ms	50 ms	~10 ms
3GPP releases	Rel 99/4	Rel 5/6	Rel 7	Rel 8
Année de sortie initiale	2003/4	2005/6 HSDPA 2007/8 HSUPA	2008/9	2009/10
Méthodologie d'accès	CDMA	CDMA	CDMA	OFDMA / SC-FDMA

Tableau I-5 : Évolution des standards de 3<sup>e</sup> génération

Pour finir, le LTE s'appuie sur un réseau entièrement basé IP (« *Internet Protocol* »). Il n'a pas été prévu d'autre mode d'acheminement pour la voix autre que la VoIP, contrairement à la 3G qui transporte encore la voix en mode circuit commuté à la manière des réseaux de téléphonie classiques.

### I.3.1.2 Nouvelles technologies

Un certain nombre de nouvelles technologies ont été introduites dans le LTE, comparé aux précédents standards. C'est ce qui permet d'atteindre les débits demandés tout en atteignant une grande efficacité dans l'utilisation du spectre de fréquences. Parmi ces nouvelles technologies, on compte :

- **OFDM (« *Orthogonal Frequency Division Multiplex* »)**  
Cette technologie a été utilisée, car elle permet de transmettre des données à un fort débit tout en ayant une forte résistance aux réflexions et interférences. Les modes d'accès sont différents selon le sens des transmissions. En voie descendante, l'OFDMA (« *Orthogonal Frequency Division Multiple Access* ») est utilisé, alors que SC-FDMA (« *Single Carrier - Frequency Division Multiple Access* ») sert pour la voie montante, car les variations de puissance nécessaire dans son cas sont plus réduites et cela permet de gagner en efficacité sur les amplificateurs de puissance dans les appareils mobiles, ce qui est un facteur important pour les batteries.
- **MIMO (« *Multiple Inputs Multiple Outputs* »)**  
L'utilisation de plusieurs antennes permet de tirer parti de la diversité spectrale de l'environnement, c'est-à-dire des multiples signaux créés par les réflexions et qui sont généralement un problème pour les systèmes de communication. Avec la technologie MIMO, ces différents signaux permettent d'augmenter le débit.  
Il est nécessaire d'utiliser plusieurs antennes afin de distinguer les différents chemins de propagation. Ainsi, différentes tailles de matrices d'antennes peuvent être mis en place : 2x2, 4x2, 4x4. Néanmoins, alors qu'il est assez facile d'ajouter des antennes au niveau de la station de base, la taille nécessairement restreinte des appareils mobiles limite l'utilisation de cette technologie.
- **SAE (« *System Architecture Evolution* »)**  
L'augmentation du débit et surtout la faible latence requis pour le LTE rend nécessaire une évolution de l'architecture du réseau. Cela passe par un transfert toujours plus important de fonctions du cœur du réseau vers la périphérie. L'architecture du réseau est alors beaucoup moins hiérarchisée, ce qui permet de réduire la latence en redirigeant les données de façon plus directe.

### I.3.1.3 Spécifications du LTE

Il est difficile de résumer les paramètres importants du LTE, principalement dû aux différences entre les voies montante et descendante. Le tableau ci-dessous tente néanmoins de donner une vue générale des performances proposées par le LTE.

Paramètres	Détails
Vitesse max en liaison descendante en 64-QAM (Mbps)	100 (SISO), 172 (2x2 MIMO), 326 (4x4 MIMO)
Vitesse max en liaison montante (Mbps)	50 (QPSK), 57 (16-QAM), 86 (64-QAM)
Bandes passantes des canaux (MHz)	1.4 / 3 / 5 / 10 / 15 / 20
Multiplexage	FDD et TDD
Mobilité	0-15 km/h 15-120 km/h (performances élevées)
Modes d'accès	OFDMA en voie descendante SC-FDMA en voie montante
Modulations supportées	QPSK, 16-QAM, 64-QAM

Tableau I-6 : Paramètres du LTE

### I.3.2 Architecture du réseau

L'architecture du réseau LTE est très différente de celles des réseaux GSM et UMTS, bien que la dernière soit issue du même groupe de travail 3GPP. Comme l'UMTS, plusieurs cellules voisines peuvent se partager les mêmes fréquences grâce aux codages radio OFDMA pour la voie descendante et SC-FDMA pour la voie montante et à un encodage spécial pour identifier les cellules. Cette architecture est présentée sur la figure ci-dessous.

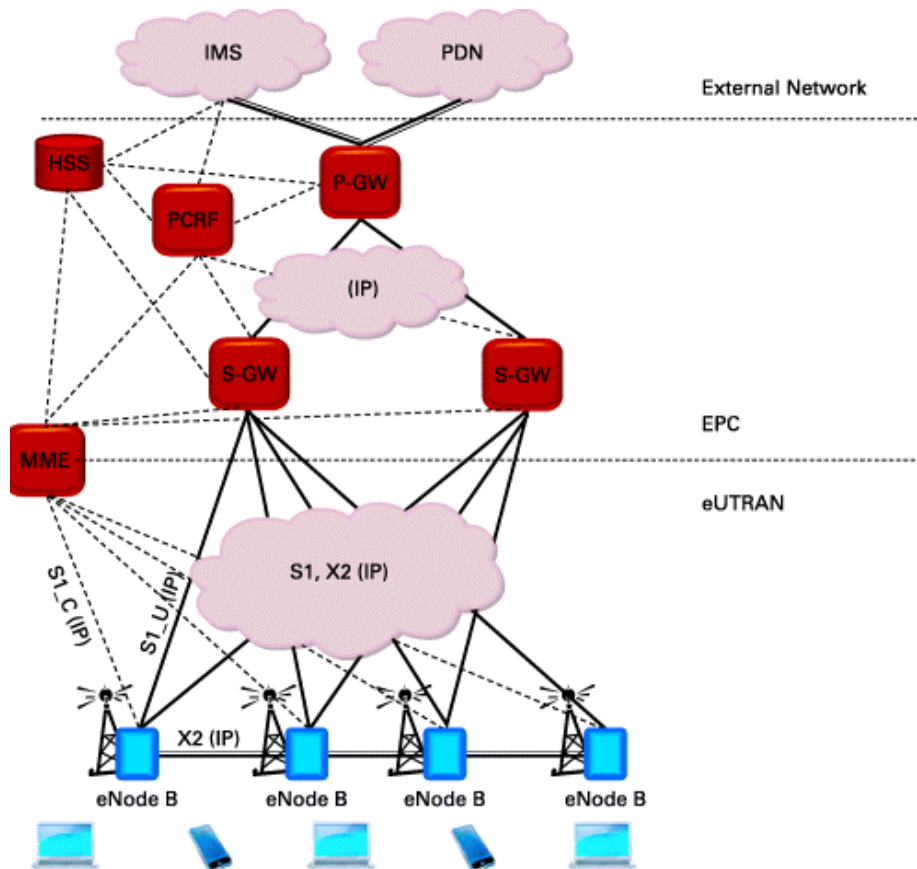


Figure I-4 : Architecture du réseau LTE

La partie radio du réseau, appelée eUTRAN (« *evolved Universal Terrestrial Radio Access Network* ») est simplifiée par rapport aux versions précédentes par la suppression des RNC (Radio Network Controller) et l'intégration de leurs fonctions de contrôle directement dans les stations de base eNode B. De plus, ces nœuds sont désormais capables de communiquer directement entre eux par des liens appelés X2. Le RAN d'un réseau LTE est donc uniquement composé des eNode B, des antennes et des liaisons entre les stations de base et le cœur du réseau.

Une des nouvelles technologies du LTE, le SAE, intervient dans le cœur du réseau aussi appelé EPC (« *Evolved Packet Core* »). Elle est bâtie sur des technologies « *full IP* », c'est-à-dire utilisant uniquement des protocoles internet pour la signalisation et le transfert des données et de la voix.

Pour finir, il est important de noter que le LTE a besoin d'antennes relais spécifiques, mais celles-ci peuvent être néanmoins localisées aux mêmes endroits que celles du réseau UMTS.

### I.3.3 LTE MIMO

La technologie MIMO (« *Multiple Inputs Multiple Outputs* ») est une autre des innovations majeures implémentées dans le LTE afin d'améliorer la performance du système. Bien que le MIMO ajoute de la complexité au système en termes de traitement des données et du nombre d'antennes supplémentaires, cela permet d'atteindre des forts débits tout en améliorant l'efficacité spectrale.

Deux limitations majeures dans les communications sans fils sont les interférences dues aux réflexions multiples représentées en Figure I-5 et la loi de Shannon :

$$C = W \cdot \log_2(1 + SNR) \quad (I-3)$$

avec C la capacité du canal en bits/s, W la bande passante en Hz et SNR le rapport signal à bruit en dB.

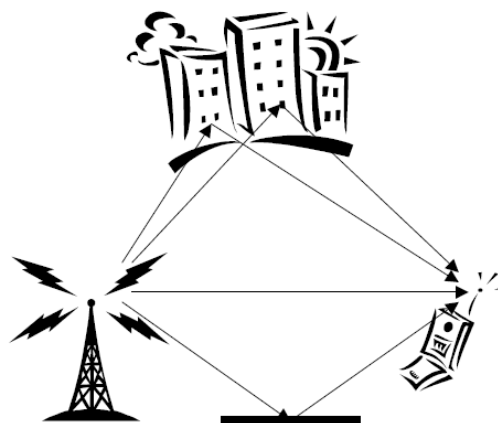


Figure I-5 : Réflexions dues aux multiples trajets

Le concept de base du MIMO est d'utiliser ces multiples trajets entre l'émetteur et le récepteur afin d'augmenter le débit dans un canal donné. En utilisant plusieurs antennes sur l'émetteur et le récepteur, combiné avec du traitement complexe en

numérique, la technologie MIMO est capable d'établir plusieurs connexions dans le même canal et ainsi augmenter le débit, selon l'équation suivante :

$$C' = N_T W \cdot \log_2(1 + SNR) \quad (I-4)$$

avec  $C'$  la nouvelle capacité du canal en bits/s et  $N_T$  le nombre de trajets.

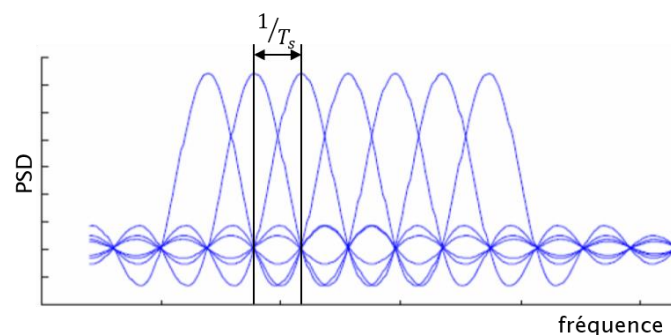
### I.3.4 OFDM / OFDMA / SC-FDMA

Comme dit précédemment, l'utilisation de l'OFDM et de ses modes d'accès associés OFDMA pour la voie descendante, SC-FDMA pour la voie montante, est un élément clé du LTE.

L'OFDM est utilisé dans un certain nombre de standards allant du WLAN, WiMAX au DVB et DAB (télévision), car il comporte un certain nombre d'avantages notamment la robustesse face aux interférences dus aux chemins de réflexions multiples. Il s'agit d'une transmission en série de plusieurs flux à bas débits. De plus, bien qu'il paraisse être un type de modulation complexe, il s'appuie sur des techniques numériques connues telle que la FFT (« *Fast Fourier Transform* »). C'est pourquoi l'OFDM a été choisi pour le LTE.

#### I.3.4.1 Bases de l'OFDM

L'utilisation de l'OFDM est un choix naturel pour le LTE. Cette forme de transmission utilise un grand nombre de porteuses très proches, qui sont modulées à un faible débit. Normalement, ces signaux devraient interférer entre eux, mais en rendant ces signaux orthogonaux entre eux, il n'y a aucune interférence mutuelle à l'instant d'échantillonnage. Ceci est obtenu simplement en ayant un espacement entre les porteuses égales à l'inverse de la période symbole  $T_s$ .

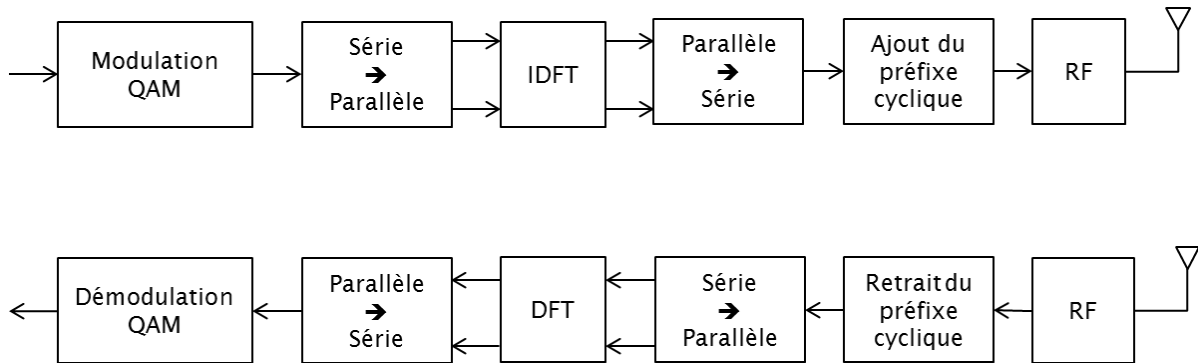


**Figure I-6 : Sous-porteuses OFDM**

Au maximum de puissance d'une porteuse, les puissances des autres sont nulles. Les données transmises sont réparties sur les différentes porteuses, ce qui permet de reconstruire facilement les porteuses éventuellement perdues à cause des réflexions. De plus, il est facile de compenser les effets des réflexions et des interférences inter-symboles, car les données pour chaque porteuse sont modulées à un faible débit.

Cette robustesse aux différentes interférences et la possibilité d'atteindre de forts débits ont fait de l'OFDM le format idéal pour le LTE, surtout suite à son utilisation dans divers standards tels que le Wi-Fi et WiMAX

Une chaîne de transmission LTE est montrée sur la figure ci-dessous.



**Figure I-7 : Modulateur/Démodulateur OFDM**

Pour un modulateur OFDM typique (cas de l'OFDMA), les données sont tout d'abord modulées à l'aide de la modulation QAM choisie, puis parallélisées pour enfin être distribuées sur les sous-porteuses à l'aide d'une IDFT (« *Inverse Discrete Fourier Transform* »). Par la suite, ces données sont sérialisées, un préfixe cyclique est ajouté. Enfin elles sont transmises à l'antenne à l'aide d'un émetteur RF. Pour la démodulation, le chemin est exactement l'inverse avec l'ajout possible d'un égaliseur.

### I.3.4.2 Caractéristiques des canaux du LTE

Un des paramètres clés du LTE est la possibilité de choisir entre plusieurs bandes passantes. Les bandes passantes disponibles sont définies dans le standard. Bien évidemment, plus la bande passante est large, plus le débit est élevé. Ces bandes passantes sont :

1.4 MHz      3 MHz      5 MHz      10 MHz      15 MHz      20 MHz

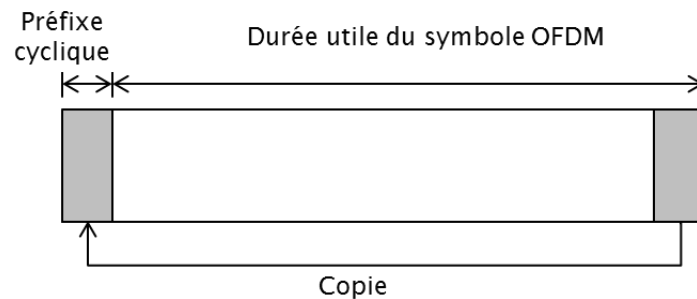
Les sous-porteuses sont espacées de 15 kHz. Pour maintenir l'orthogonalité, cela donne un temps symbole de  $1/15$  kHz, soit 66.7  $\mu$ s. Par ailleurs, chaque sous-porteuse est capable de transmettre des données à un débit maximum de 15 kbps. Cela donne donc pour une bande passante de 20 MHz qui compte 1200 sous-porteuses utiles, un débit symbole théorique de 18 Msps et donc la possibilité de transmettre théoriquement jusqu'à 108 Mbps, si chaque symbole est modulé avec une 64QAM.

### I.3.4.3 Préfixe cyclique

Une des principales raisons à l'utilisation de l'OFDM pour le LTE est sa robustesse face aux délais entre les chemins multiples. Néanmoins, ce n'est pas toujours suffisant et il faut implémenter d'autres méthodes pour rajouter de la robustesse au système, afin de limiter les interférences inter-symboles. C'est le rôle de la période de garde entre chaque symbole. Par contre, pour des raisons d'étalement du spectre,



il n'est pas bon d'avoir des vides entre les symboles. Le préfixe cyclique vient combler ce vide : préfixe car situé en début du symbole, cyclique étant une copie d'une partie de la fin du symbole. Un autre avantage de ce préfixe cyclique est qu'il aide à la synchronisation, difficile à cause des chemins multiples. Par une autocorrélation du symbole, il est facile de trouver le début du symbole.



**Figure I-8 : Préfixe cyclique**

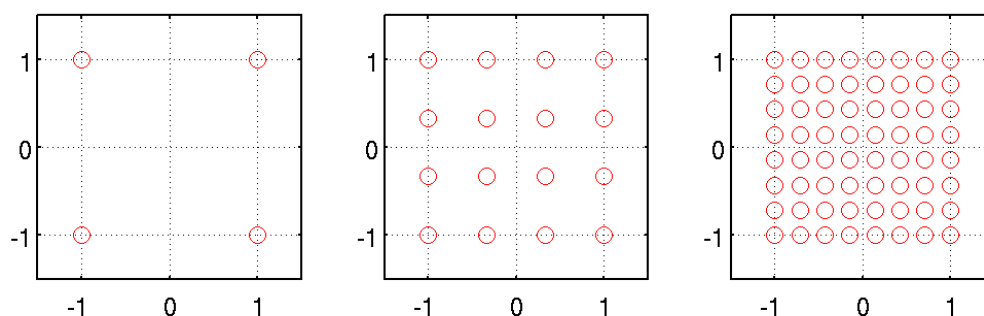
La durée du préfixe cyclique a son importance. S'il est trop long, cela va réduire le débit. S'il est trop court, cela ne supprimera pas les interférences dues aux multiples réflexions. En LTE la durée d'un symbole est de  $66.7 \mu\text{s}$ , soit  $1/15 \text{ kHz}$ . La durée du préfixe cyclique a été choisie à  $4.69 \mu\text{s}$  pour des distances inférieures à  $1,4 \text{ km}$ .

#### I.3.4.4 OFDMA pour la voie descendante

Les signaux OFDM utilisés dans le LTE comprennent un maximum de 2048 sous-porteuses espacées de 15 kHz. Bien qu'il soit requis pour les mobiles d'être capable de recevoir les 2048 sous-porteuses, la station de base n'en transmet qu'au maximum 72 à chaque utilisateur. Ainsi, les mobiles peuvent communiquer avec plusieurs stations de base.

Il est possible de choisir entre trois types de modulation :

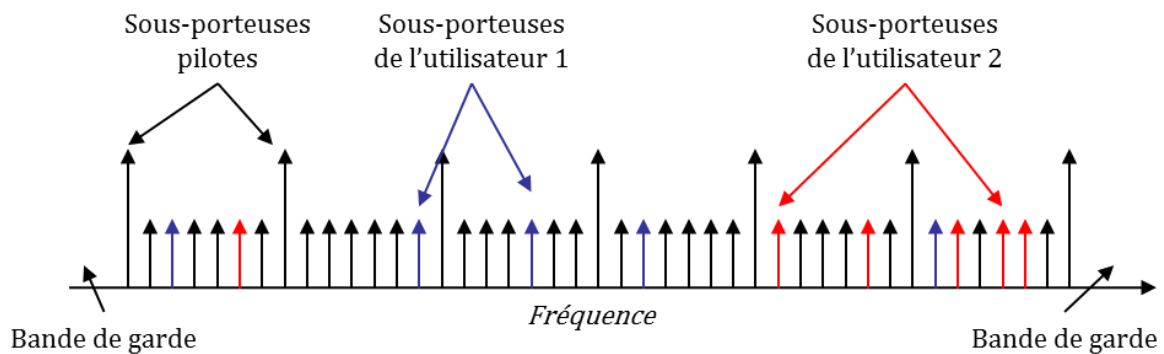
- **QPSK** 2 bits par symbole
- **16QAM** 4 bits par symbole
- **64QAM** 6 bits par symbole



**Figure I-9 : Constellations 4/16/64 QAM (de gauche à droite)**

Le choix de la modulation se fait en fonction des conditions extérieures. La modulation QPSK, par exemple, n'a pas de grandes contraintes en bruit, mais n'est pas capable de transmettre des données aussi vite que les autres.

La figure ci-dessous présente la façon de répartir les utilisateurs avec le mode d'accès OFDMA. À chaque utilisateur est assigné un ensemble de sous-porteuses dans le même symbole, pas forcément voisines. Cela permet l'émission simultanée de données à plusieurs utilisateurs.



**Figure I-10 : Répartition des utilisateurs en OFDMA**

Des sous-porteuses dites pilotes sont ajoutées afin d'aider à la synchronisation du signal. Évidemment, plus il y a d'utilisateurs se partageant les sous-porteuses, moins le débit est élevé.

#### **I.3.4.5 SC-FDMA pour la voie montante**

Pour la voie montante, un autre concept est utilisé pour le mode d'accès. Bien que basé sur une forme d'OFDMA, celui-ci est appelé SC-FDMA.

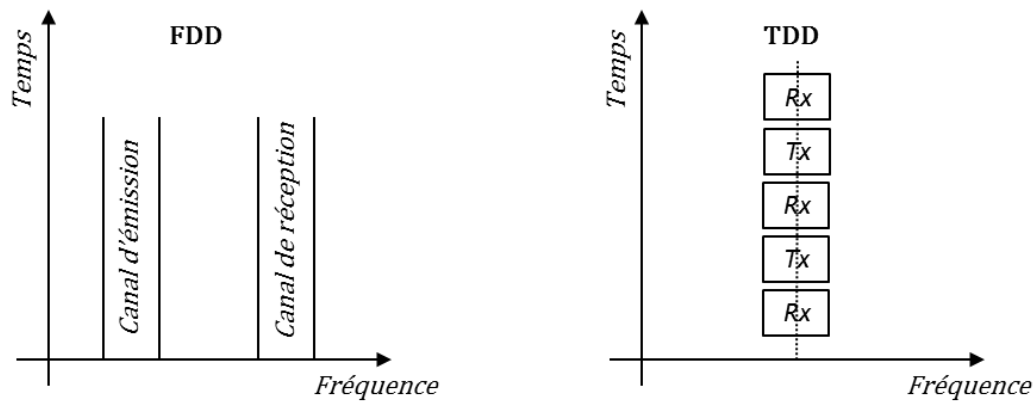
En effet, pour des raisons d'optimisation de consommation, il est nécessaire d'utiliser un mode d'accès qui permet à l'amplificateur de puissance de fonctionner avec un rendement optimal, puisque celui-ci consomme le plus d'énergie. Les signaux OFDM présentent une enveloppe non constante, mais en même temps demandent une bonne linéarité. Ce n'est en effet pas compatible avec l'utilisation d'amplificateur de puissance de grande efficacité. Il est donc nécessaire d'utiliser un mode de transmission qui a une puissance quasiment constante. Malheureusement, ce n'est pas le cas de l'OFDM. En conséquence, le SC-FDMA est utilisé dans le LTE. C'est un format hybride qui permet de réduire le rapport entre la puissance maximale du signal et sa puissance moyenne (PAPR). Il combine le faible PAPR des systèmes à porteuse unique et les avantages de l'OFDM.

#### **I.3.5 Duplexage des ressources**

Il est essentiel qu'un système de communication soit capable de transmettre d'émettre et recevoir avec un temps de latence réduit pour permettre d'avoir des conversations entre utilisateurs. De la même façon, lorsqu'on échange des données, il doit être possible d'envoyer ou recevoir des informations. Pour cela, plusieurs façons de duplexer l'information existent.

Comme l'UMTS, le LTE prévoit deux modes de duplexage des ressources : FDD et TDD. Chacun de ces duplexages présentent évidemment leurs avantages et inconvénients, mais sont déployés tous les deux dans le monde, essentiellement en fonction des précédentes versions de 3G, WCDMA pour le FDD et TD-SCDMA pour le TDD.

Le mode FDD consiste à utiliser deux bandes de fréquences différentes pour la voie montante et descendante, séparées par un intervalle de fréquences non utilisé, afin d'éviter les interférences. En mode TDD, la même bande de fréquence est utilisée pour émettre et recevoir, mais les deux sont séparés dans le temps comme montré la figure ci-dessous avec Rx pour la voie descendante et Tx pour la montante.



**Figure I-11 : Duplexage FDD (à gauche) - TDD (à droite)**

Le mode TDD est idéal dans des zones à forte concentration d'utilisateurs, typiquement la Chine, car il permet de traiter un plus grand nombre de communications pour la même bande passante que le mode FDD et est surtout beaucoup plus flexible dans la gestion de l'émission et la réception.

Il y a un certain nombre d'avantages et d'inconvénients pour les deux modes de duplexages qui sont résumés dans le tableau ci-dessous :

Paramètres	LTE TDD	LTE FDD
Utilisation du spectre	Un seul canal pour l'émission et la réception	Deux canaux différents pour l'émission et la réception avec une bande de garde entre
Distance	Convient pour des courtes distances, car la période de garde augmente avec la distance	Aucun problème pour les courtes ou longues distances
Bande de garde / Période de garde	Grande période de garde → impacte le débit	Taille de la bande de garde n'a pas d'impact sur le débit
Latence	Latence peut être augmentée à cause du multiplexage TDD	Pas de délai
Coût	Pas d'équipement majeur requis	Filtres requis pour isoler l'émission de la réception → coût supplémentaire

**Tableau I-7 : Avantages/Inconvénients du FDD et TDD**

### I.3.6 Structure des trames

Les structures des trames pour le LTE diffèrent selon le mode de duplexage, ainsi deux types ont été définis dans le standard. Elles font néanmoins toutes les deux une durée de 10 ms.

- **Trames de type 1**

Cette structure est utilisée dans le cas du FDD. La trame est divisée en 20 créneaux. Des sous-trames ont été définies comme l'association de deux créneaux. La figure ci-dessous montre la structure de ce type de trame.

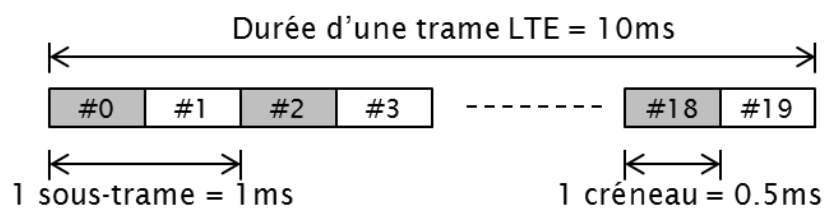


Figure I-12 : Trame de type 1

- **Trames de type 2**

La particularité du TDD est de devoir passer de la réception à l'émission et inversement dans la même trame. C'est pourquoi des temps de garde sont nécessaires et cela impose une structure de trame dédiée. Celle-ci est divisée en deux de 5 ms chacune. Ces deux moitiés de trame consistent en 5 sous-trames de 1 ms.

### I.3.7 Bandes de fréquences

Il y a un nombre croissant de bandes de fréquences disponibles pour la mise en place d'un réseau LTE dans le monde. Beaucoup de ces bandes sont néanmoins déjà utilisées par d'autres standards de téléphonie comme l'UMTS.

Pour le duplex FDD, deux bandes de fréquences appariées sont requises, une pour la voie descendante et une pour la voie montante, alors que pour le TDD, une seule bande est suffisante, vu que les deux voies sont séparées dans le temps. Ainsi, différentes bandes du spectre ont été allouées pour chaque duplex. Bien que certaines bandes allouées se recouvrent et qu'il est possible de faire cohabiter les duplex, il est peu probable que ceux-ci soient présents sur la même bande de fréquence dans la même partie du globe. C'est en effet une des difficultés du LTE où il a été impossible de s'accorder sur les mêmes bandes partout à cause des réglementations des différents pays. Cela rend difficile l'itinérance avec le LTE puisque tous les mobiles ne sont pas capable d'accéder à toutes les bandes.

Les différentes bandes de fréquences allouées ont été désignées par un numéro, de 1 à 22 se situe les bandes de fréquences pour le FDD et de 33 à 41 celles pour le TDD.

### I.3.7.1 Allocations des bandes de fréquences pour le LTE FDD

Un grand nombre de bandes de fréquences ont été allouées au LTE FDD. Ces bandes sont présentées dans le tableau ci-dessous.

Numéro de la bande LTE	Liaison montante (MHz)	Liaison descendante (MHz)	Largeur de la bande (MHz)	Espace entre les liaisons (MHz)
1	1920 - 1980	2110 - 2170	60	130
2	1850 - 1910	1930 - 1990	60	20
3	1710 - 1785	1805 - 1880	75	20
4	1710 - 1755	2110 - 2155	45	355
5	824 - 849	869 - 894	25	20
6	830 - 840	875 - 885	10	25
7	2500 - 2570	2620 - 2690	70	50
8	880 - 915	925 - 960	35	10
9	1749.9 - 1784.9	1844.9 - 1879.9	35	60
10	1710 - 1770	2110 - 2170	60	340
11	1427.9 - 1452.9	1475.9 - 1500.9	20	28
12	698 - 716	728 - 746	18	12
13	777 - 787	746 - 756	10	41
14	788 - 798	758 - 768	10	40
15	1900 - 1920	2600 - 2620	20	680
16	2010 - 2025	2585 - 2600	15	560
17	704 - 716	734 - 746	12	18
18	815 - 830	860 - 875	15	30
19	830 - 845	875 - 890	15	30
20	832 - 862	791 - 821	30	71
21	1447.9 - 1462.9	1495.5 - 1510.9	15	33
22	3410 - 3500	3510 - 3600	90	10
23	2000 - 2020	2180 - 2200	20	160
24	1625.5 - 1660.5	1525 - 1559	34	135.5
25	1850 - 1915	1930 - 1995	65	15

**Tableau I-8 : Bandes de fréquences allouées au LTE FDD**

### I.3.7.2 Allocations des bandes de fréquences pour le LTE TDD

Avec l'intérêt grandissant pour le LTE TDD, plusieurs bandes de fréquences lui ont été réservées, regroupées dans le tableau ci-dessous.

Numéro de la bande LTE	Allocation (MHz)	Largeur de la bande (MHz)
33	1900 - 1920	20
34	2010 - 2025	15
35	1850 - 1910	60
36	1930 - 1990	60
37	1910 - 1930	20
38	2570 - 2620	50
39	1880 - 1920	40
40	2300 - 2400	100
41	2496 - 2690	194
42	3400 - 3600	200
43	3600 - 3800	200

**Tableau I-9 : Bandes de fréquences allouées au LTE TDD**

### I.3.8 Spécifications RF pour le LTE

Pour la suite, les spécifications qui nous intéressent sont d'une part l'EVM (voir tableau ci-dessous) et d'autre part les masques de bruit (voir Figure I-13) [3GPP03]

Modulation	EVM
QPSK	17.5%
16QAM	12.5%
64QAM	8%

Tableau I-10 : Spécification de l'EVM pour le LTE

En effet, en fonction de la modulation choisie, l'EVM requis est différent. Beaucoup plus contraignant pour une 64QAM que pour une QPSK.

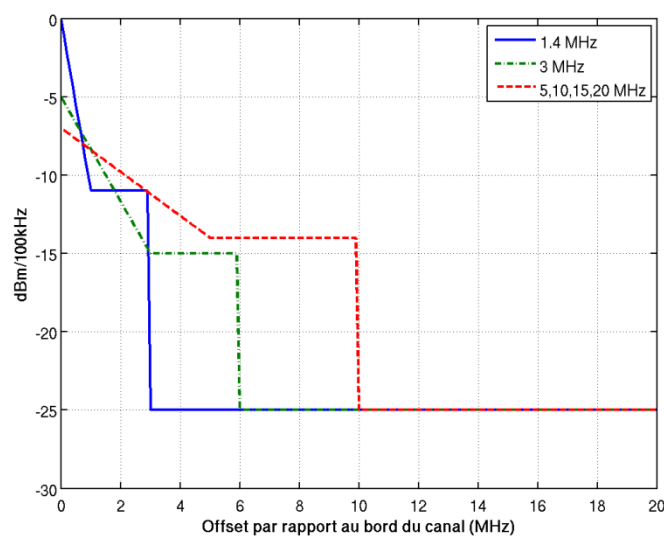


Figure I-13 : Masques de bruit du LTE en fonction de la bande passante [3GPP04]

L'ACLR (défini à la Figure I-3) requis est de 45 dBc pour les deux canaux adjacents, ce qui, comme pour le WCDMA, impose des contraintes au niveau de la pureté spectrale de la fréquence porteuse issue du synthétiseur de fréquence. Cette spécification est globale quelle que soit la bande passante de modulation ou la bande de fréquence utilisées. Néanmoins, en fonction de la localisation de l'utilisateur dans le monde, les bandes voisines peuvent être utilisées par d'autres standards et imposer des contraintes encore plus fortes.

D'autre part, au vu de la multitude de bandes de fréquences présentées dans le paragraphe I.3.7, un émetteur qui doit couvrir toutes ces bandes, a besoin de synthétiseurs de fréquence dont la plage de fonctionnement va de 698 à 2570 MHz pour la voie montante en FDD et de 1880 à 2620 MHz en TDD.

La grande plage de variation de fréquences, l'agilité du synthétiseur, ainsi que les exigences de faible bruit de phase posent des problématiques sérieuses au niveau de la partie synthèse de fréquence pour le standard LTE.

## I.4 Autres standards utilisant l'OFDM

D'autres standards à venir ou déjà présents utilisent l'OFDM

### I.4.1 Le LTE Advanced

Le LTE Advanced [3GPP05] est considéré comme une évolution naturelle du LTE qui le fait ainsi passer en « vrai 4G » en respectant les normes IMT-Advanced. Cette évolution présente les bénéfices suivants :

- Des débits encore plus élevés sur les liens montant et descendant, grâce à l'agrégation de porteuses (« *Carrier Aggregation* » en anglais)
- Une plus grande souplesse du réseau grâce à la possibilité de déployer des sous-relais radio moins chers afin d'étendre la couverture d'une cellule
- Plus de terminaux desservis dans une cellule grâce aux évolutions de la technologie MIMO

L'objectif avoué de cette évolution du LTE est d'atteindre des débits de l'ordre du Gigabits, ce qui n'est pas possible avec des canaux de 20 MHz. Néanmoins, le spectre de fréquences étant déjà bien occupé aux fréquences autour des quelques GHz, il est presque impossible de trouver des canaux avec une bande passante plus grande. La solution choisie consiste donc à agréger plusieurs canaux comme montré sur la figure ci-dessous.

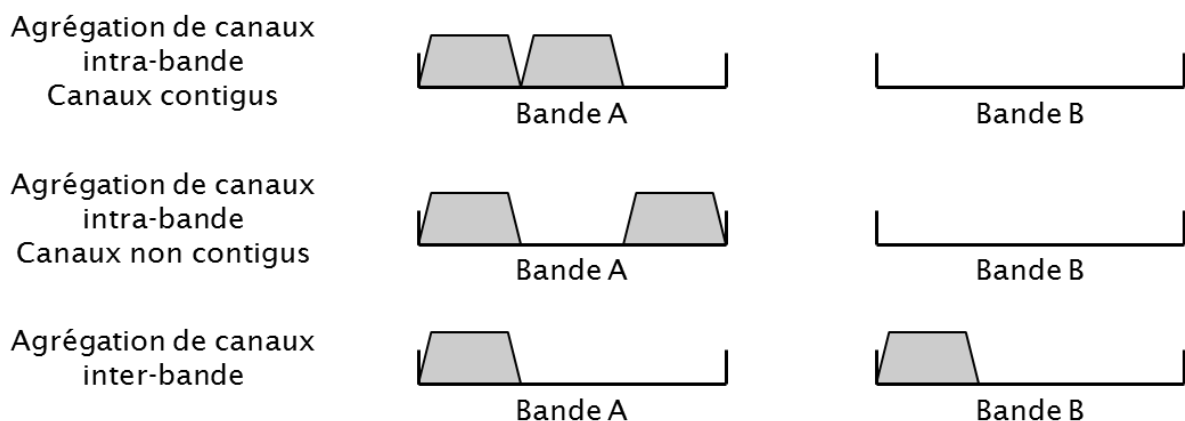


Figure I-14 : Types d'agrégation de canaux

Plusieurs façons d'agréger les canaux sont possibles : les canaux considérés peuvent être dans la même bande, mais pas nécessairement voisins ou bien les canaux peuvent même se situer sur deux bandes différentes. Ainsi il va falloir être capable avec des canaux larges de maximum 100 MHz dans un premier temps. L'agrégation de canaux est possible pour les deux types de duplexage

### I.4.2 Wi-Fi

Le Wi-Fi est un des standards qui codifie les réseaux locaux sans fil (WLAN pour « *Wireless Local Area Network* ») et est basé sur la famille de normes IEEE 802.11. Depuis le premier protocole 802.11 apparu en 1997 et pour des raisons similaires à

la téléphonie mobile (augmentation du débit, sécurité accrue, ...), les normes ont évoluées pour s'adapter à l'environnement. Elles sont regroupées dans le tableau ci-dessous.

Protocole 802.11	Année de sortie	Fréquence (GHz)	Bande passante (MHz)	MIMO	Modulation
-	1997	2.4	20	1	DSSS/FHSS
a	1999	5/3.7	20	1	OFDM
b	1999	2.4	20	1	DSSS
g	2003	2.4	20	1	OFDM/DSSS
n	2009	2.4/5	20/40	4	OFDM
ad	2012	60	160	1	OFDM
ac	2014	5	20/40/80/160	8	OFDM

**Tableau I-11 : Protocoles Wi-Fi**

Une des particularités du Wi-Fi est de fonctionner dans les bandes ISM (« *Industrial, Scientific and Medical* ») qui sont non licenciées. La contrepartie est que de nombreuses applications doivent cohabiter sur ces bandes, créant des interférences. Par exemple, les normes 802.11b et 802.11g fonctionnent à 2.4GHz, soit dans la même bande de fréquence que les appareils Bluetooth ou certains téléphones sans fils domestiques. En conséquence, il est nécessaire de contrôler ses propres interférences et de se prémunir des interférences des autres. Ceci est fait en utilisant des techniques d'étalement du spectre DSSS (« *Direct Sequence Spread Spectrum* ») ou FHSS (« *Frequency Hopping Spread Spectrum* ») et la technique OFDM dont les caractéristiques de robustesse aux interférences sont à nouveau très utiles dans ce contexte.

L'utilisation de l'OFDM dans le standard Wi-Fi a servi de galop d'essai pour le LTE. Cette technique avait déjà été proposés pour les standards de 3<sup>e</sup> génération, mais les industriels n'avaient encore jamais développé de circuits l'intégrant et étaient frileux d'aller dans l'inconnu pour un marché aussi important que la téléphonie mobile. Le Wi-Fi a donc permis de valider la faisabilité de l'OFDM et ainsi permettre son utilisation pour les standards de 4<sup>e</sup> génération comme le LTE.

La norme 802.11ad a la particularité de fonctionner dans la bande ISM des 60GHz. L'encombrement des bandes ISM plus basses comme celles de 2.4 GHz et 5GHz conduisent en effet à monter en fréquence. De plus, la fréquence de 60GHz présente la caractéristique d'être une des fréquences d'atténuation du dioxygène et la rend particulièrement attractive pour des communications à faible distance telle que le WiGig.

Contrairement à la téléphonie mobile, le standard Wi-Fi est dès l'origine dédié à la transmission de données. C'est pourquoi les bandes passantes sont dès le départ prévues larges, au moins 20 MHz. Mais les distances à parcourir sont beaucoup plus faibles dans ce contexte. La technologie MIMO commence aussi à être intégrée dans les normes les plus récentes telles que 802.11n.



## I.5 Conclusion du chapitre I

Dans ce chapitre, un rapide panorama des standards de téléphonie mobile a été fait, en partant du GSM pour arriver au LTE-A. L'évolution de ces standards a conduit à l'émergence de modulation avec des bandes passantes de plus en plus larges : de 200 kHz pour le GSM pour arriver à 20 MHz pour le LTE, voire 100 MHz pour le LTE-A. Cette progression a été accompagnée par l'utilisation de techniques telles que l'OFDM basées des algorithmes numériques désormais facilement intégrables dans les téléphones portables.

L'exemple du Wi-Fi présenté succinctement en dernier montre aussi que cette technique est utilisée dans la plupart des standards de communications modernes.

Dans la suite du manuscrit, nous allons prendre comme exemple le standard LTE pour illustrer notre propos. Le nombre de bandes de fréquence à couvrir est très important, ce qui nécessite des synthétiseurs de fréquences très agiles. De plus, les modulations à transmettre peuvent aller jusqu'à la 64 QAM avec de larges bandes passantes, ce qui implique un très faible bruit de phase. Combiné à la contrainte de faible consommation inhérente aux appareils électroniques fonctionnant sur batterie, cela donne de sévères spécifications au niveau de la synthèse de fréquence et du modulateur. Ceci est l'objet de cette thèse.

## Chapitre II. Émetteur polaire

II.1	Introduction du chapitre II.....	35
II.2	Architectures d'émetteur.....	35
II.2.1	Émetteur cartésien .....	35
II.2.1.1	Structure de type hétérodyne .....	36
II.2.1.2	Structure de type homodyne .....	36
II.2.2	Émetteur polaire .....	38
II.2.3	Architectures alternatives : exemple du LINC.....	40
II.3	Modulation directe de la PLL .....	42
II.3.1	Modulation en un point.....	42
II.3.2	Modulation en deux points.....	43
II.4	Architectures de PLL .....	45
II.4.1	PLL analogique .....	45
II.4.2	PLL numérique .....	48
II.4.3	PLL semi-numériques .....	50
II.5	Limitation des modèles existants .....	52
II.5.1	Modèle linéaire continu .....	52
II.5.2	Modèle échantillonné .....	54
II.6	Conclusion du chapitre II & Objectifs de la thèse .....	55

# Table des figures

Figure II-1 : Émetteur hétérodyne .....	36
Figure II-2 : Émetteur homodyne .....	36
Figure II-3 : Explication du phénomène de « <i>pulling</i> » .....	37
Figure II-4 : Équivalence cartésien/polaire .....	38
Figure II-5 : Émetteur de type EER.....	38
Figure II-6 : Émetteur polaire .....	39
Figure II-7 : Élargissement des spectres d'enveloppe et de phase [Berland] .....	39
Figure II-8 : Trajectoire du signal modulé avant et après filtre RRC .....	40
Figure II-9 : Principe du LINC .....	41
Figure II-10 : Construction du signal dans une architecture LINC .....	41
Figure II-11 : Schéma simplifié d'une PLL.....	42
Figure II-12 : Insertion de la modulation en un point .....	42
Figure II-13 : Fonction de transfert de la modulation vers la sortie de la PLL .....	43
Figure II-14 : Insertion de la modulation en deux points .....	43
Figure II-15 : Fonctions de transfert des deux points de modulation.....	44
Figure II-16 : PLL analogique .....	45
Figure II-17 : Chronogrammes représentant les deux cas décrit ci-dessus : avance de phase à gauche - retard de phase à droite .....	46
Figure II-18 : Caractéristique de la capacité MOS .....	47
Figure II-19 : Exemple de bruits de l'oscillateur et de la référence augmenté du gain du diviseur.....	47
Figure II-20 : Insertion de la modulation sur le VCO.....	48
Figure II-21 : PLL numérique (DPLL) .....	49
Figure II-22 : Architecture simple de TDC .....	49
Figure II-23 : Principe de mesure du TDC.....	50
Figure II-24 : PLL numérique fractionnaire .....	51
Figure II-25 : Séparation des fonctions du filtre dans une PLL semi-numérique .....	51
Figure II-26 : Fonctions de transfert dans le domaine de Laplace de l'APLL .....	52
Figure II-27 : Filtre du quatrième ordre .....	53
Figure II-28 : Contributions en bruit de phase des différents blocs de la PLL analogique dans le domaine de Laplace .....	54
Figure II-29 : Insertion de la modulation dans un modèle échantillonné .....	54

## II.1 Introduction du chapitre II

Pour transmettre les informations modulées selon les standards définis dans le chapitre I, la partie radio nécessite un émetteur. Celui-ci a quatre fonctions principales : modulation, transposition autour d'une fréquence porteuse, amplification de puissance et rayonnement. L'objectif de l'émetteur est d'accomplir ces différentes fonctions de manière à ne pas dégrader le signal à transmettre et ne pas polluer les signaux situés dans les canaux adjacents.

Dans ce chapitre, nous allons nous intéresser à la possibilité de rassembler une partie de la fonction de mise en forme de l'information et celle de transposition en fréquence. Ainsi, dans une première partie, nous allons détailler différentes architectures d'émetteur. Dans une deuxième partie, nous allons étudier comment moduler directement le circuit qui fournit la fréquence porteuse avec une partie du signal à transmettre. Enfin, nous allons nous concentrer sur les architectures de synthétiseurs de fréquences.

## II.2 Architectures d'émetteur

Le but d'un émetteur est de transmettre une information autour d'une fréquence porteuse. Pour cela, il s'agit d'abord de transposer un signal modulé en bande de base vers une fréquence plus élevée, puis de l'émettre à l'aide d'une antenne avec une amplification préalable.

Il existe plusieurs architectures d'émetteur, qui présentent des caractéristiques différentes, notamment en matière de bruit, de consommation, de coût, de complexité, d'intégration. Dans le cas de la téléphonie mobile, comme montré dans le chapitre précédent, cet émetteur doit être capable de s'adapter à plusieurs standards.

### II.2.1 Émetteur cartésien

Dans le cas de la norme LTE, l'information à transmettre est répartie sur plusieurs sous-porteuses à l'aide d'une IFFT, et chacune de ces sous-porteuses est modulée en quadrature. Le signal modulé en bande de base est donc complexe et s'exprime par ses composantes cartésiennes selon l'équation ci-dessous :

$$S_{in}(t) = I(t) + j \cdot Q(t) \quad (II-1)$$

avec  $I(t)$  la composante en phase et  $Q(t)$  celle en quadrature.

Après la transposition à une fréquence plus élevée, le signal devient donc :

$$S_{out}(t) = \text{Re}\{S_{in}(t)e^{j\omega_{lo}t}\} = I(t) \cdot \cos(\omega_{lo}t) - Q(t) \cdot \sin(\omega_{lo}t) \quad (II-2)$$

avec  $\omega_{lo}$  la fréquence angulaire de la porteuse.

### II.2.1.1 Structure de type hétérodyne

Un émetteur hétérodyne, représenté en Figure II-1 fait une double conversion de fréquence. La première partie permet la translation du signal de la bande de base vers une fréquence intermédiaire  $f_{if}$ . Puis, dans une seconde partie, le signal est transposé vers la fréquence RF souhaitée à l'aide d'un simple mélangeur et d'un deuxième oscillateur local fonctionnant à la fréquence  $f_{lo} = f_{rf} - f_{if}$ .

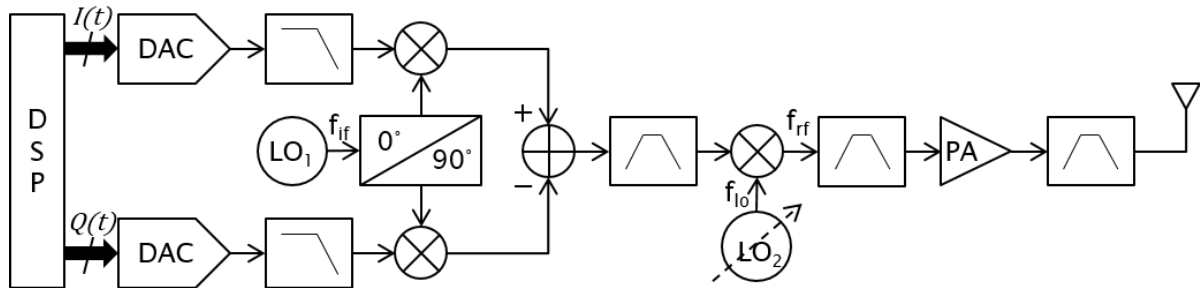


Figure II-1 : Émetteur hétérodyne

Un filtre passe-bande est nécessaire entre le modulateur I/Q et le mélangeur simple pour atténuer les harmoniques de la fréquence intermédiaire et ainsi éviter l'apparition de la fréquence image à  $f_{lo} - f_{if}$ , qui peut se mélanger à la fréquence du deuxième oscillateur.

Les avantages de cette architecture sont ses bonnes performances en sensibilité, sélectivité et linéarité. La contrepartie est qu'elle est plus complexe à intégrer car elle nécessite deux synthèses de fréquences, un mélangeur supplémentaire. Les filtres à implémenter sont plus sélectifs et donc potentiellement externes.

### II.2.1.2 Structure de type homodyne

Un émetteur homodyne représenté en Figure II-2 transpose directement le signal en bande de base vers la fréquence porteuse à l'aide d'un modulateur I/Q. Celui-ci mixe les composantes I et Q préalablement converties dans le domaine analogique à des signaux en quadrature provenant d'un oscillateur local de fréquence  $f_{lo}$  égale à la fréquence RF souhaitée.

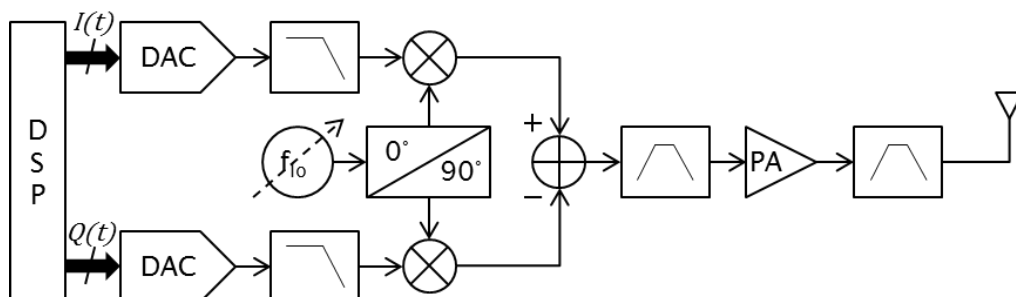
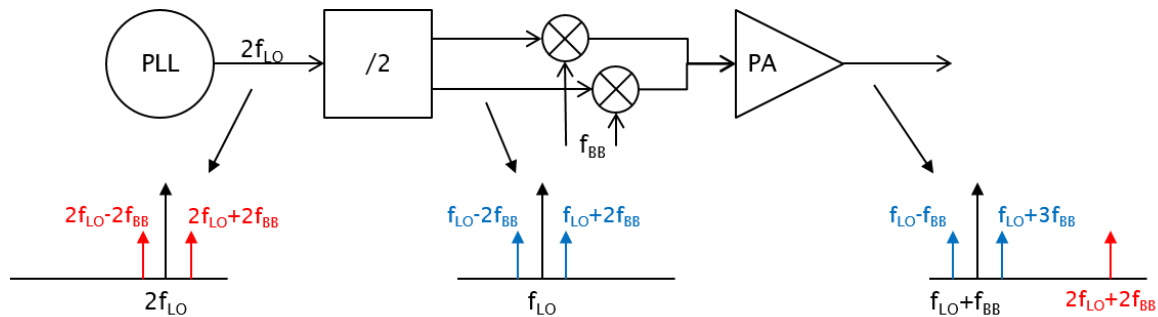


Figure II-2 : Émetteur homodyne

Cette solution a l'avantage d'être facilement intégrable grâce au nombre réduit de composants à utiliser : un seul modulateur I/Q, un seul oscillateur. Pour la même raison, la consommation est plus faible que pour l'architecture hétérodyne.

Par contre, il est nécessaire d'ajouter des filtres avant et après l'amplificateur de puissance (PA pour « Power Amplifier ») afin de réduire le niveau des émissions parasites. Plus important, cette architecture est très sensible au phénomène de « *pulling* ». C'est un phénomène de couplage entre l'amplificateur de puissance et l'oscillateur local qui fonctionnent à la même fréquence. Cela a pour conséquence d'augmenter très fortement le niveau de bruit, ainsi que de créer des raies parasites comme montré sur la figure ci-dessous.



**Figure II-3 : Explication du phénomène de « *pulling* »**

Pour générer la fréquence porteuse  $f_{LO}$  avec sa quadrature à la sortie de l'oscillateur local, la fréquence de ce dernier ( $2f_{LO}$ ) est généralement divisée par deux et ainsi une raie à la fréquence  $f_{LO}$  souhaitée est obtenue. Après le mixage avec le signal en bande de base ( $f_{BB}$ ) et l'amplification du PA, la porteuse est transposée à  $f_{LO}+f_{BB}$  si bien que sa seconde harmonique se trouve être à  $2f_{LO}+2f_{BB}$  (en rouge à droite).

Celle-ci se retrouve proche de la fréquence de sortie de l'oscillateur local ( $2f_{LO}$ ) et se mélange plus ou moins fonction de sa puissance, soit par couplage électromagnétique ou par pollution de masse et/ou d'alimentation. L'oscillateur local ainsi modulé, va générer deux raies parasites distantes de  $\pm 2f_{BB}$  autour sa porteuse ( $2f_{LO}$ ) (raies en rouge à gauche).

Après division, ces raies se retrouvent à  $f_{LO}\pm 2f_{BB}$  (en bleu au centre) et elles se modulent à nouveau avec le signal en bande de base à travers des mélangeurs pour donner deux raies à  $f_{LO}-f_{BB}$  et  $f_{LO}+3f_{BB}$  (en bleu à droite).

La différence de puissance entre la porteuse à  $f_{LO}+f_{BB}$  et chacune de ces raies appelées « *spurious* » en anglais donne une mesure du « *pulling* » (en dBc).

Ces deux architectures permettent bien de transmettre toutes sortes de modulations, mais présentent des limitations, notamment en termes linéarité et de bruit. En effet, une bonne partie du bruit vient des modulateurs I/Q et les non-linéarités, de l'amplificateur de puissance. Une solution serait de supprimer ces modulateurs et de travailler avec un amplificateur de puissance en classe commutée. L'architecture homodyne résout les problèmes d'intégration et de consommation de l'architecture hétérodyne, mais reste sensible à la pollution du PA sur la LO. Pour concilier intégrabilité et performances, l'idéal serait d'avoir une architecture réduite comme l'homodyne, mais qui limite les pollutions sur la LO comme l'hétérodyne. C'est ce que proposent les architectures polaires présentées dans le paragraphe suivant.

## II.2.2 Émetteur polaire

Mathématiquement, il est possible d'écrire le signal de modulation écrit dans l'équation (II-1) de manière différente comme montré dans l'équation ci-dessous :

$$S_{in}(t) = A(t) \cdot e^{j\varphi(t)} \quad (II-3)$$

avec  $A(t)$  l'amplitude et  $\varphi(t)$  la phase définies par :

$$\begin{cases} A(t) = \sqrt{I(t)^2 + Q(t)^2} \\ \varphi(t) = -\tan^{-1}\left(\frac{Q(t)}{I(t)}\right) \end{cases} \quad (II-4)$$

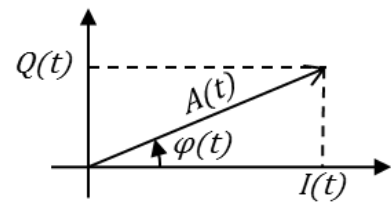


Figure II-4 : Équivalence cartésien/polaire

Les informations de phase et d'amplitude contenues dans les signaux I et Q sont séparées pour être modulée indépendamment. Ces signaux sont ensuite recombinaés à travers l'amplificateur de puissance et transmis par l'antenne. L'avantage est de pouvoir utiliser un PA avec un rendement plus élevé car le signal de phase est à enveloppe constante.

Plusieurs moyens existent pour la modulation d'amplitude et la littérature [Nagle] est relativement fournie à ce sujet. Par exemple, il est possible de jouer sur la polarisation d'un amplificateur de puissance, qui fonctionne en mode commuté, tel un classe E et ceci à l'aide d'un préamplificateur de puissance (PPA) classe D par exemple et d'un filtre passe bas tel que montré sur la figure ci-dessous, ce qui donne une architecture de type EER (« *Envelope Elimination and Recovery* »).

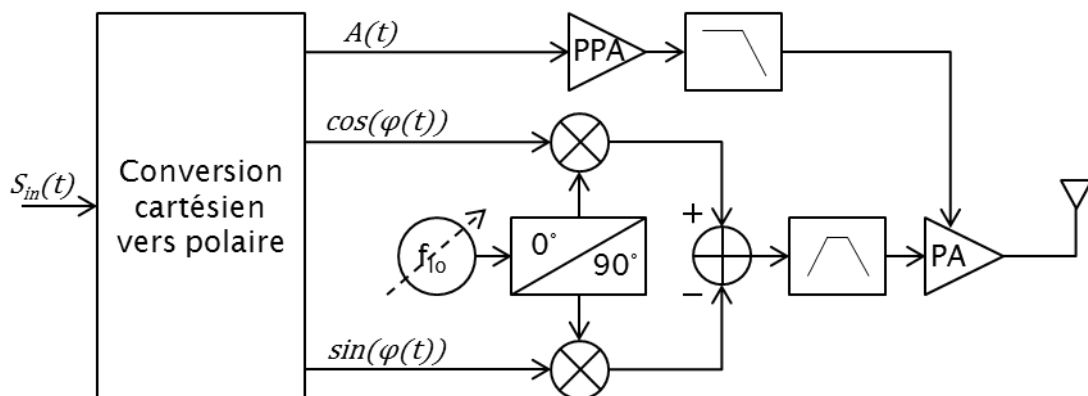
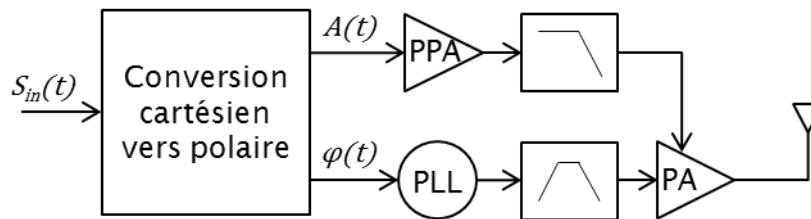


Figure II-5 : Émetteur de type EER

L'amplitude étant désormais gérée de façon séparée, une première manière de moduler la phase est de considérer une architecture homodyne classique avec modulateur I/Q. Les signaux de modulation sont alors ceux des équations ci-dessous :

$$\begin{cases} \cos(\varphi(t)) = \frac{I(t)}{\sqrt{I(t)^2 + Q(t)^2}} \\ \sin(\varphi(t)) = \frac{Q(t)}{\sqrt{I(t)^2 + Q(t)^2}} \end{cases} \quad (II-5)$$

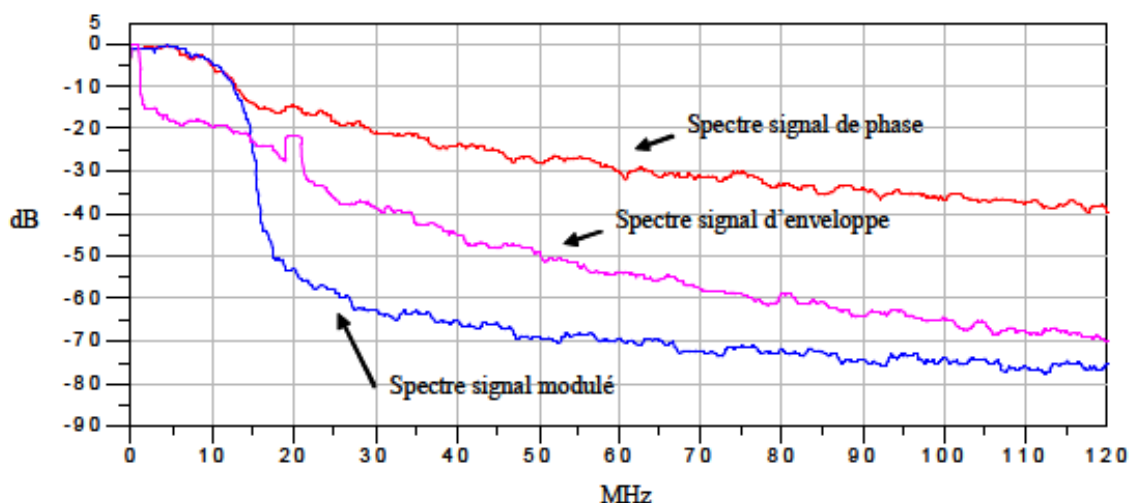
Par ailleurs, il est possible de faire l'économie des mélangeurs en utilisant le synthétiseur de fréquence ou PLL pour « *Phase Locked Loop* » directement comme modulateur de phase en plus de son rôle d'oscillateur local [Groe], comme montré sur la Figure II-6.



**Figure II-6 : Émetteur polaire**

Ce type d'architecture permet de gagner en consommation, d'une part grâce à la réduction du nombre de blocs nécessaires et d'autre part grâce à l'utilisation d'amplificateurs de puissance ayant un très fort rendement. Comme il va être expliqué ensuite, la PLL est un modulateur de fréquence plutôt qu'un modulateur de phase. Pour cela, il est nécessaire de dériver la phase du signal de modulation pour le passer en fréquence. De fait, cette architecture est idéale pour la modulation GMSK du standard GSM, car cette dernière est une modulation par déplacement de fréquence à phase continue. Néanmoins, il est possible de l'utiliser pour d'autres modulations telles que la HPSK de la norme WCDMA.

L'opération mathématique pour passer des coordonnées cartésiennes aux coordonnées polaires n'est pas linéaire, comme le montrent les équations (II-3) et (II-4). Cela implique pour la plupart des modulations un élargissement des spectres des signaux d'enveloppe et de phase par rapport au spectre du signal modulé.

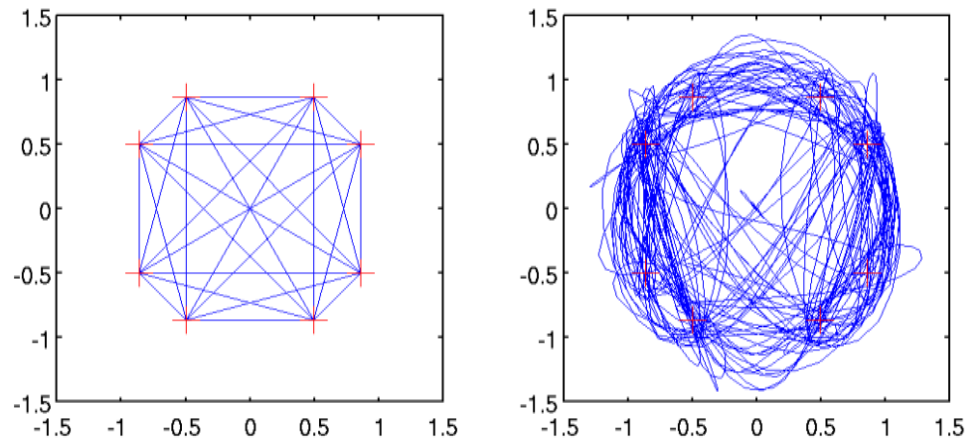


**Figure II-7 : Élargissement des spectres d'enveloppe et de phase [Berland]**

Théoriquement, le spectre du signal de phase qui nous intéresse a une bande passante infinie. Cela peut se comprendre en regardant la figure ci-dessous à gauche représentant la trajectoire idéale d'un signal de modulation. Un filtre de mise en forme est généralement ajouté pour obtenir une bande passante déterminée. Il est



aussi très souvent de type Nyquist pour limiter l'interférence entre les symboles. Dans le standard WCDMA, le filtre choisi répondant à ces critères est de type racine de cosinus surélevé ou RRC « *Root Raised Cosine* ». La trajectoire du signal est alors modifiée par ce filtre pour donner la figure ci-dessous à droite.



**Figure II-8 : Trajectoire du signal modulé avant et après filtre RRC**

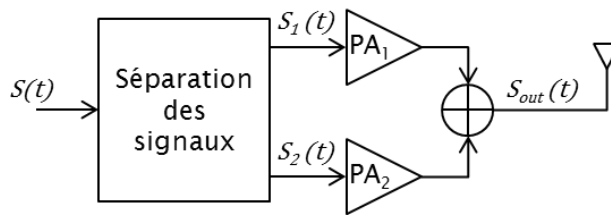
Lorsque la trajectoire passe par ou proche de l'origine, la différence des phases de deux échantillons consécutifs est très grande et peut même tendre vers  $\pi/T_s$  en un échantillon dans certains cas, soit vers l'infini quand la fréquence d'échantillonnage est très grande. En théorie, la vitesse de variation de la phase tend vers l'infini, ce qui impose que le spectre du signal de phase tend lui aussi vers l'infini. En pratique, le nombre de trajectoires passant par ou proche de l'origine étant faible, le spectre de la phase décroît quand les fréquences tendent vers l'infini (Figure II-7). La bande passante des signaux de phase et d'amplitude doit être considérée une dizaine de fois plus large que celle du signal modulé pour prétendre à une reconstruction acceptable du signal modulé, ce qui présente déjà une forte contrainte sur la PLL.

De plus, comme les bandes passantes des signaux d'amplitude et de phase ne s'élargissent pas de la même façon, la synchronisation de ces deux signaux lors de leur recombinaison doit être étudiée avec précaution [Stasz04].

### II.2.3 Architectures alternatives : exemple du LINC

D'autres architectures ont été développées afin de gagner en rendement de l'amplificateur de puissance ou bien de conserver une architecture numérique au plus près de l'antenne.

Par exemple, la technique LINC (pour « *Linear amplification with Non linear Component* ») consiste comme son nom en anglais l'indique, à amplifier linéairement avec des composantes qui ne le sont pas. Le principe, montré sur la Figure II-9, consiste à émettre un signal à enveloppe variable à partir de deux signaux à enveloppe constante, qui sont amplifiés à l'aide d'amplificateurs de puissance en classe commutée, donc non linéaires mais à fort rendement [Prou].



**Figure II-9 : Principe du LINC**

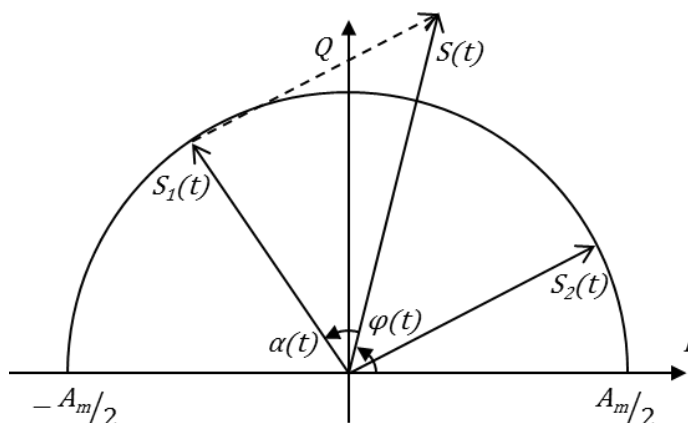
Le signal d'entrée  $S(t)$  (équation (II-6)) est donc décomposé en deux signaux  $S_1(t)$  et  $S_2(t)$  à phase variable, mais d'amplitude constante (équation (II-7))

$$S(t) = A(t) \cdot \cos(\omega_c t + \varphi(t)) \quad (\text{II-6})$$

$$\begin{cases} S_1(t) = \frac{A_m}{2} \cdot \cos(\omega_c t + (\varphi(t) + \alpha(t))) \\ S_2(t) = \frac{A_m}{2} \cdot \cos(\omega_c t + (\varphi(t) - \alpha(t))) \end{cases} \quad (\text{II-7})$$

avec 
$$\alpha(t) = \cos^{-1}\left(\frac{A(t)}{A_m}\right) \quad (\text{II-8})$$

La façon dont les deux signaux sont recombinaés pour construire le signal de sortie est montrée sur la figure ci-dessous.



**Figure II-10 : Construction du signal dans une architecture LINC**

Les signaux  $S_1$  et  $S_2$  sont bien d'amplitude constante  $A_m/2$ . En fonction des déphasages  $\pm\alpha(t)$ , il est possible d'obtenir l'amplitude souhaitée.

De même que dans le cas de l'émetteur polaire, l'opération de décomposition en deux signaux est non-linéaire. Les bandes passantes des nouveaux signaux sont donc bien plus grandes que celle du signal initial. Les deux voies doivent être parfaitement appariées. Cela impose beaucoup de contraintes sur la conception des deux chaînes d'émission composées chacune d'une PLL, d'un mélangeur et d'un amplificateur de puissance. De plus, la recombinaison du signal est critique, car le combineur introduit une perte non négligeable. Les contraintes de surfaces font que cette architecture n'est pas intéressante du point de vue de la téléphonie mobile.

Du fait de son intégration et des performances prometteuses, l'architecture polaire a été choisie pour ce travail.

### II.3 Modulation directe de la PLL

Dans une architecture polaire, le but est de combiner la modulation de fréquence et la synthèse de fréquence en un seul bloc : la PLL.

Une boucle à verrouillage de phase est typiquement composée d'un oscillateur à asservir par rapport à une fréquence de référence souvent plus basse et pouvant par exemple provenir d'un quartz pour des questions de pureté spectrale et de stabilité en fréquence. Le schéma simplifié de la PLL est représenté sur la figure ci-dessous.

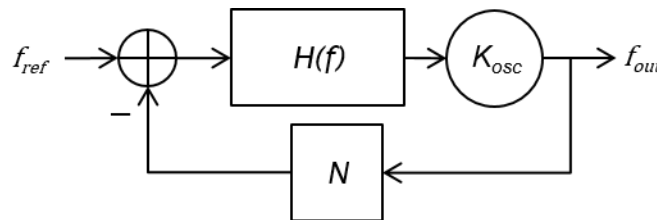


Figure II-11 : Schéma simplifié d'une PLL

Un filtre représenté sur la figure par la fonction  $H(f)$  est ajouté avant l'oscillateur afin de stabiliser la boucle. Un gain  $N$  est éventuellement placé sur le chemin de retour.

#### II.3.1 Modulation en un point

Lorsque la bande passante du signal de phase est inférieure à celle de la PLL, il est possible de l'insérer directement sur le chemin de retour de la PLL [HuKo] comme montré sur la figure ci-dessous.

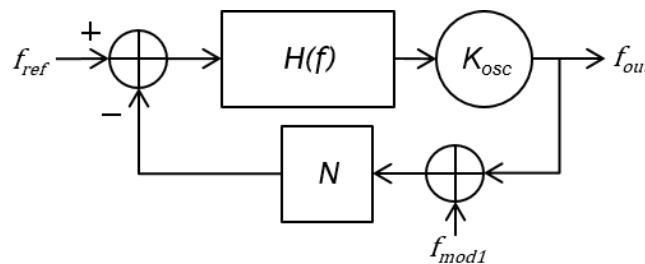
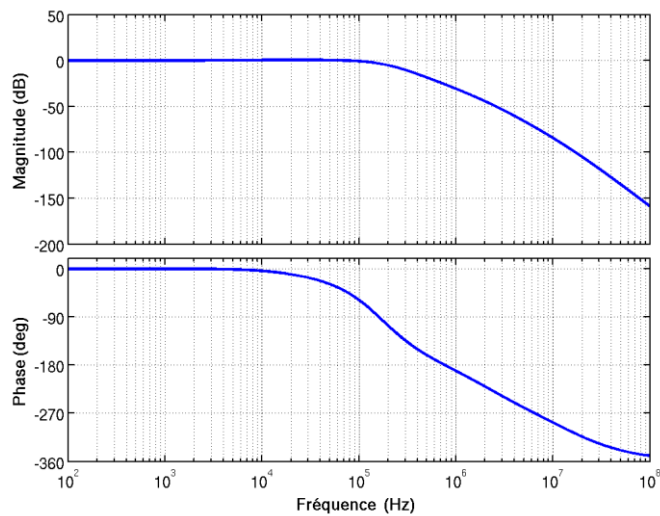


Figure II-12 : Insertion de la modulation en un point

La fonction de transfert en fréquence de l'entrée de la modulation vers la sortie est de type passe-bas :

$$\frac{f_{out}}{f_{mod1}} = \frac{N.H(f).K_{osc}}{1+N.H(f).K_{osc}} \quad (II-9)$$

Les diagrammes de Bode d'un exemple de ce type de fonction de transfert sont tracés sur la figure ci-dessous.



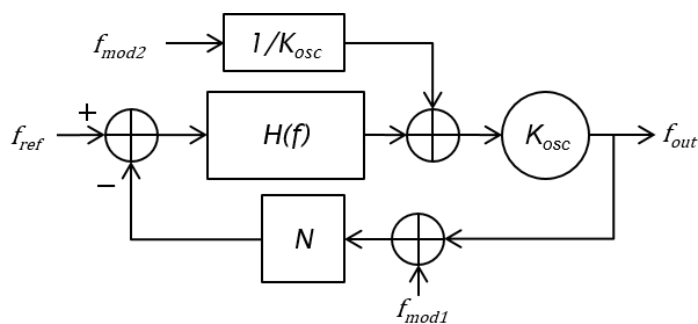
**Figure II-13 : Fonction de transfert de la modulation vers la sortie de la PLL**

Le compromis entre le filtrage des différents bruits de la PLL et le temps d'établissement impose une certaine fréquence de coupure à la PLL, généralement allant de quelques kilohertz à quelques centaines de kilohertz, plus rarement au-delà du mégahertz. C'est une limitation pour le signal de modulation qui se trouve filtré de la même façon.

Néanmoins pour des bandes passantes de modulation légèrement supérieures à la fréquence de coupure de la PLL, il est possible d'ajouter sur le chemin de la modulation un filtre de pré-distorsion dont la fonction de transfert est l'inverse de celle de la Figure II-13. L'inconvénient principal de cette solution est qu'elle nécessite de calibrer tous les éléments de la PLL. De plus, le filtre de pré-distorsion est réalisé de manière numérique et nécessite une fréquence d'échantillonnage, ce qui limite également la bande passante de modulation.

### II.3.2 Modulation en deux points

Pour contourner cette contrainte et moduler la PLL sur une large bande passante, il est possible d'insérer simultanément le signal de modulation à la fois sur le point d'entrée précédent et sur l'entrée de l'oscillateur [HuKo] comme montré sur la figure ci-dessous.



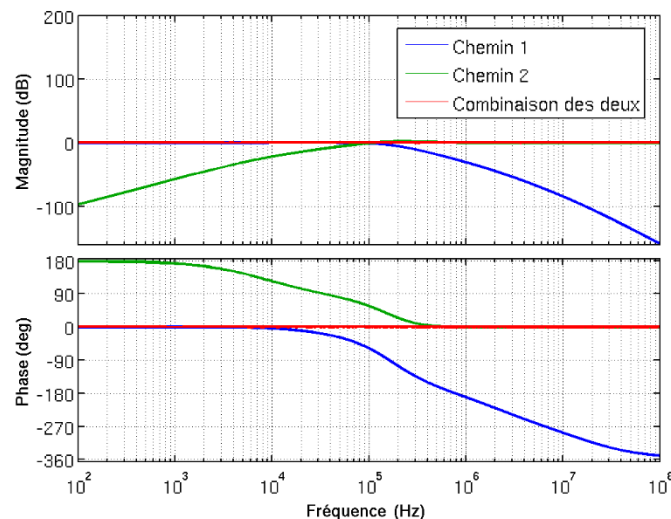
**Figure II-14 : Insertion de la modulation en deux points**

Il est à noter que la fonction de transfert en fréquence de l'entrée de l'oscillateur vers la sortie est de forme passe-haut avec la même fréquence de coupure que la fonction de transfert passe bas précédente. L'avantage de cette solution est qu'elle nécessite de connaître et donc de calibrer uniquement le gain de l'oscillateur  $K_{osc}$ . L'erreur de calibration de ce gain impacte donc directement la qualité de la modulation.

La fonction de transfert s'écrit de la façon suivante :

$$\frac{f_{out}}{f_{mod2}} = \frac{1/K_{osc}.K_{osc}}{1+N.H(f).K_{osc}} = \frac{1}{1+N.H(f).K_{osc}} \quad (\text{II-10})$$

Sur la Figure II-15 sont regroupées les différentes fonctions de transfert vers la sortie de la PLL : en bleu, celle passe-bas du chemin de la référence, en vert, celle passe-haut du chemin du VCO et en rouge, la combinaison des deux chemins.



**Figure II-15 : Fonctions de transfert des deux points de modulation**

La combinaison des deux chemins présente bien une fonction de transfert passe-tout, tant en amplitude qu'en phase. En effet, en sommant les deux équations précédentes, on obtient bien :

$$\frac{f_{out}}{f_{mod}} = \frac{N.H(f).K_{osc}}{1+N.H(f).K_{osc}} + \frac{1}{1+N.H(f).K_{osc}} = 1 \quad (\text{II-11})$$

Ceci permet bien de pouvoir moduler la PLL pour de très larges bandes passantes avec une limitation qui est donnée cette fois-ci, non pas par la fréquence d'échantillonnage du filtre de pré-distorsion, mais par celle de la PLL.

Cette solution nous intéresse dans le cas d'une architecture polaire dans le cadre des normes WCDMA et LTE où la fréquence porteuse est de l'ordre de quelques gigahertz et la bande passante de la modulation, même élargie à cause de la conversion des coordonnées cartésiennes à polaires, est de l'ordre de quelques dizaines de mégahertz.

## II.4 Architectures de PLL

Le domaine d'application des boucles à verrouillage de phase est très vaste. Cela va de la génération d'horloges dans les microprocesseurs à la synthèse de fréquence pour les télécommunications. Les performances requises ne sont bien évidemment pas les mêmes selon les applications. Les communications Radiofréquences (RF) requièrent les puretés spectrales les plus difficiles à atteindre sur Silicium en termes de surface, de consommation, de bruit.

Le principe général d'une PLL est d'asservir un oscillateur pouvant fournir une fréquence variable par rapport à une source de référence provenant d'un quartz précis ou d'une autre PLL.

Il existe plusieurs architectures de boucle à verrouillage de phase, allant de celle dite analogique à celle dite numérique en passant par des PLL mixtes avec des parties plus ou moins importantes de blocs numériques. Ces architectures vont être détaillées dans les paragraphes qui suivent.

### II.4.1 PLL analogique

Dans le cas d'une PLL analogique (APLL), l'oscillateur à asservir est contrôlé en tension. Il est appelé VCO pour « *Voltage Controlled Oscillator* » en anglais. Le schéma de base de ce type de PLL est représenté sur la Figure II-16.

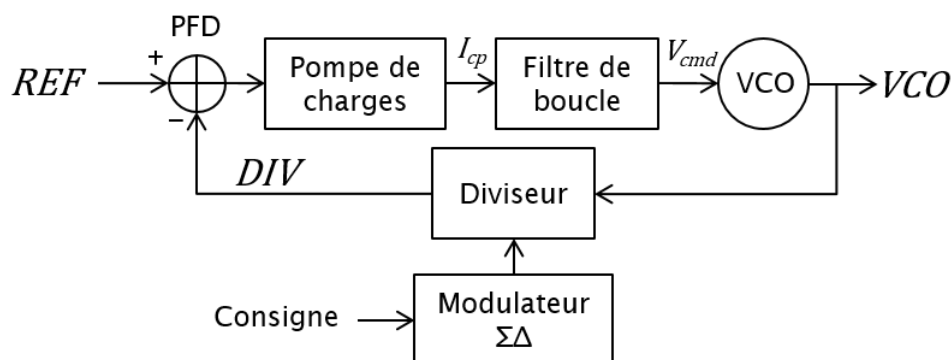


Figure II-16 : PLL analogique

La fréquence de sortie de la PLL  $f_{lo}$  est définie par :

$$f_{lo} = (N + f).f_{ref} \quad (II-12)$$

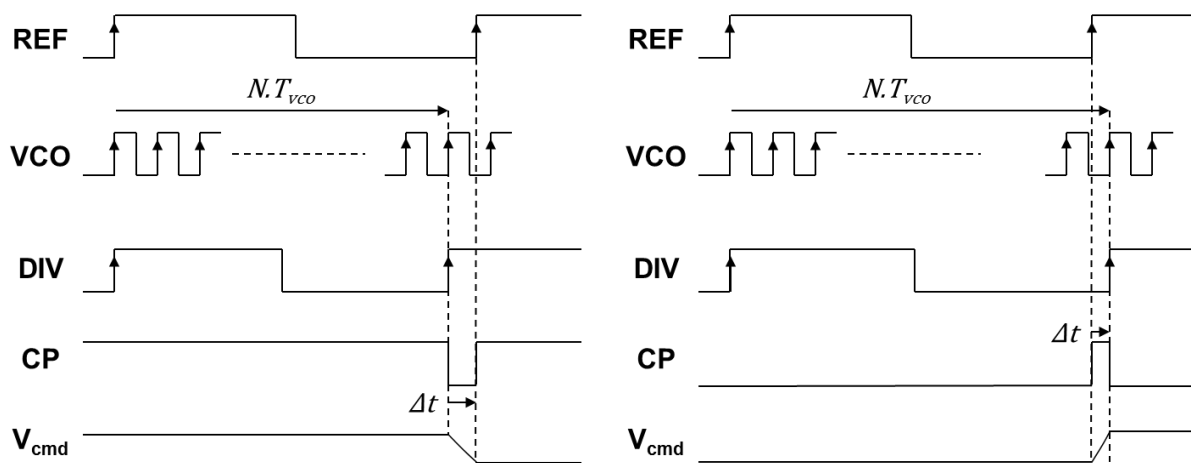
avec  $N$  et  $f$  respectivement les parties entière et fractionnaire de la consigne représentant le canal à adresser.

La fréquence  $f_{lo}$  est générée par le VCO à partir d'une tension de commande  $V_{cmd}$ . Un diviseur permet de ramener la fréquence (phase) de sortie proche de la fréquence (phase) de référence, afin qu'ils soient comparés à travers le comparateur de phase/fréquence ou PFD pour « *Phase-Frequency Differentiator* » en anglais. Lorsque la consigne a une partie fractionnaire, le rang du diviseur est contrôlé par un modulateur  $\Sigma\Delta$ . Celui-ci permet d'obtenir en moyenne un rang de division non entier.

La sortie du PFD est une impulsion reflétant l'écart de phase entre les deux signaux de référence et du VCO divisé. Cette impulsion est alors convertie en quantité de charges qui est injectée dans le filtre de boucle pour générer la tension de commande du VCO.

Dans le cas simple d'une division entière, lorsque la fréquence de sortie est trop haute (Figure II-17 à gauche), le front du signal de division arrive plus tôt que le front du signal de référence, la pompe de charges associée au PFD crée une impulsion de courant négative, qui provoque une baisse de la tension de commande du VCO et ainsi baisse la fréquence de sortie.

A l'inverse, lorsque la fréquence de sortie est trop basse (Figure II-17 à droite), le front de division arrive après le front de référence, l'impulsion de courant est cette fois positive, ce qui entraîne une augmentation de la tension de commande du filtre pour augmenter la fréquence de sortie de la PLL.



**Figure II-17 : Chronogrammes représentant les deux cas décrit ci-dessus : avance de phase à gauche - retard de phase à droite**

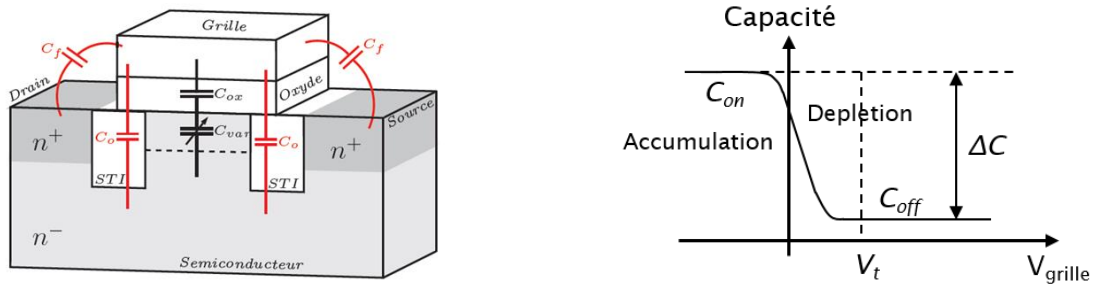
Lorsque les deux fronts sont en phase, la PLL se trouve dans son état de verrouillage.

Il existe plusieurs architectures de VCO, allant de l'oscillateur en anneaux [Xu2] à l'oscillateur à résonateur LC [Hegazi]. Pour les applications RF qui nous intéressent, les performances en bruit de l'oscillateur sont critiques, c'est pourquoi on utilise un oscillateur de type LC [Miyazaki]. La tension de commande pilote alors une capacité variable. Le comportement du VCO est modélisé par l'équation ci-dessous.

$$f_{lo}(t) = \frac{1}{2\pi\sqrt{L(C_o + C_{var}(V_{cmd}(t)))}} \quad \text{(II-13)}$$

avec  $L$  la valeur de l'inductance,  $C_o$  la capacité de centrage permettant de se placer en bas de la plage de fonctionnement du varactor et d'obtenir la fréquence haute à adresser et  $C_{var}$  la caractéristique du varactor dépendante de  $V_{cmd}$ .

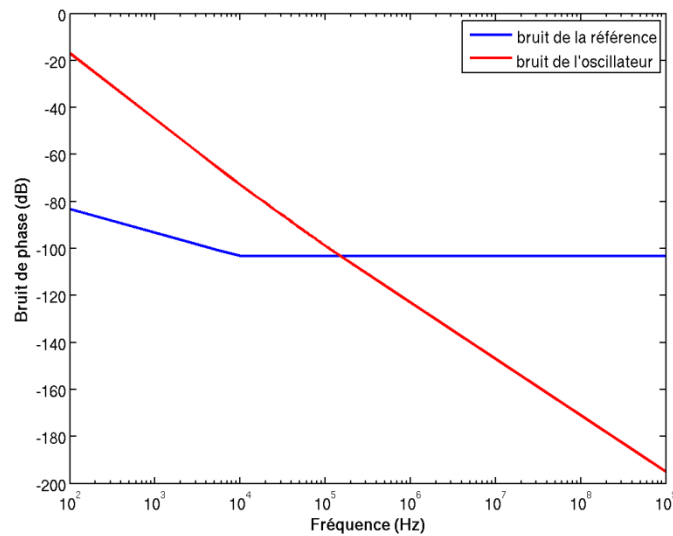
Les varactors sont réalisées à partir de transistor MOS dont la structure est représentée en Figure II-18 (à gauche). La capacité de ce dispositif est variable en fonction de la tension de grille qui lui est appliquée comme il est possible de le voir sur la Figure II-18 (à droite).



**Figure II-18 : Caractéristique de la capacité MOS**

Pour un varactor, il s'agit de se placer dans la zone entre l'accumulation et la déplétion, lorsque la capacité évolue linéairement en fonction de la tension de grille appliquée.

Le choix de la fréquence de coupure de la PLL répond à un compromis entre la stabilité de la boucle, le filtrage des bruits et l'intégration du système. Plus la fréquence de coupure est basse, plus les composants du filtre sont gros, mais plus les bruits de phase de la référence, de la pompe de charges et du diviseur sont bien filtrés en hautes fréquences.



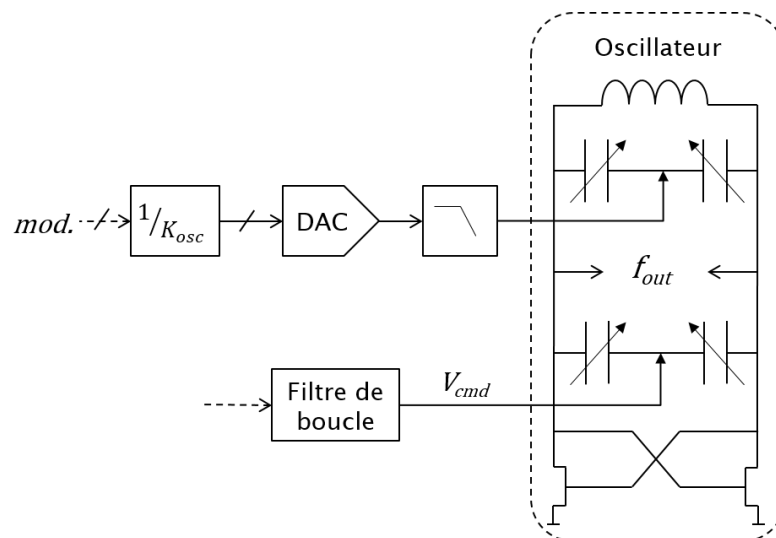
**Figure II-19 : Exemple de bruits de l'oscillateur et de la référence augmenté du gain du diviseur**

Typiquement, à partir de courbes de bruits telles que montrées sur la figure ci-dessus, la fréquence de coupure est choisie à l'intersection des deux courbes. Ainsi, par les mêmes fonctions de transfert explicité pour l'insertion de la modulation en deux points, un filtrage de type passe-haut est appliqué sur le bruit de l'oscillateur et un filtrage de type passe-bas sur celui de la référence, de la pompe de charges et du diviseur.

Dans ce type de PLL, la modulation est insérée à la fois sur l'entrée du VCO et sur la consigne représentant la fréquence porteuse souhaitée.



Plusieurs façons d'implémenter le chemin du VCO sont possibles. La plus répandue consiste à utiliser un DAC pour convertir le signal de modulation du numérique vers l'analogique, puis de filtrer le signal qui contrôle ensuite un autre varactor sur l'oscillateur.



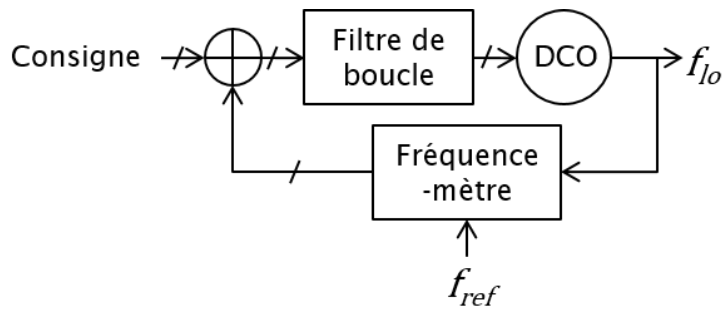
**Figure II-20 : Insertion de la modulation sur le VCO**

Il est aussi possible d'utiliser des banques de capacités commutées de valeurs très faibles au lieu des varactors afin d'utiliser directement l'oscillateur comme convertisseur numérique-analogique, comme un DCO (« *Digitally Controlled Oscillator* »), ce qui donne un oscillateur mixte, appelé D/VCO dans la littérature [HeKwa].

Pour les capacités commutées de type poly-nwell comme présenté sur la Figure II-18, lorsque la différence de potentiel entre la grille et le substrat est négative, le dispositif se trouve en accumulation et présente alors sa capacité maximale  $C_{on}$ . Lorsque cette différence de potentiel est positive, il se trouve en déplétion et un plancher à la valeur de la capacité minimale  $C_{off}$  regroupant l'ensemble des capacités parasites. Grâce à cela, il est possible d'avoir un dispositif présentant deux valeurs bien distinctes de capacités.

#### II.4.2 PLL numérique

L'apparition de technologies numériques au dessin lithographique de plus en plus petit et la volonté de tendre vers des solutions de transmetteur le plus numérique possible (se référer dans la littérature à la SDR pour « *Software Defined Radio* ») ont conduit à repenser les architectures de PLL pour aller vers des solutions entièrement numériques [Stasz01]. Dans cette architecture, l'oscillateur est cette fois contrôlé par un mot numérique et est appelé DCO pour « *Digitally Controlled Oscillator* ». Le schéma de principe de la PLL numérique est représenté sur la figure ci-dessous.

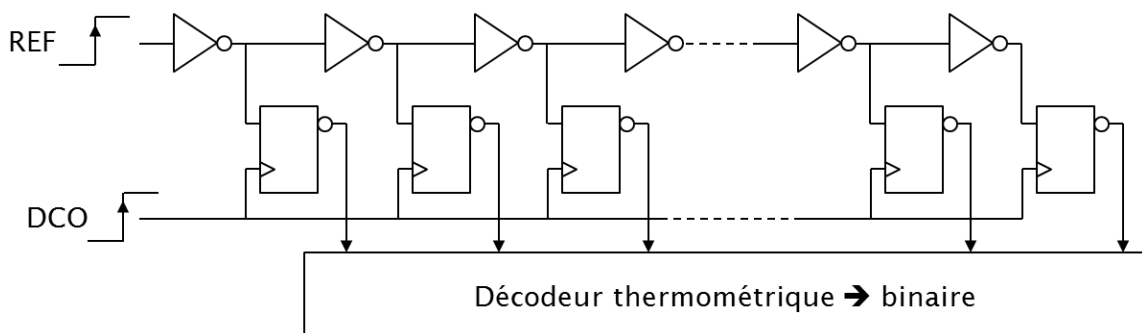


**Figure II-21 : PLL numérique (DPLL)**

L'objectif de cette structure est d'avoir le moins de composants analogiques possibles. Cela se traduit par l'ajout d'un fréquencemètre sur le chemin du retour, dont le rôle est de mesurer la fréquence de sortie de la PLL et de la convertir en numérique. Comme l'entrée du DCO est elle aussi un mot numérique, le reste de la boucle est aussi composé de blocs numériques, notamment le filtre de boucle. Cela permet de gagner en flexibilité et théoriquement aussi en surface avec les nouvelles technologies, tout en s'affranchissant de la réduction de la tension d'alimentation.

Pour les applications RF, les pas de fréquence du DCO requis sont de l'ordre de la dizaine de kilohertz, voire moins pour des fréquences de sorties autour de quelques GHz. Cela demande donc des réseaux de capacités de valeurs très faibles sur l'oscillateur, ce qui est rendu possible du fait des gravures de plus en plus fines des technologies récentes. La seule limitation ici est donc le nombre de bits sur lequel est codé le mot de commande et qui déterminent le nombre de capacités nécessaires et donc la capacité parasite associée à ces dernières.

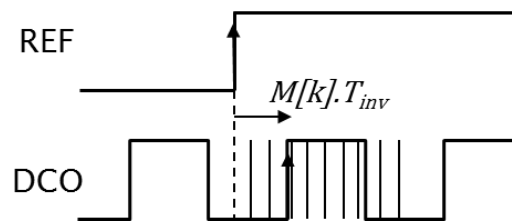
Le fréquencemètre est généralement composé d'un compteur pour la partie entière qui compte donc le nombre de période du signal issu du VCO sur une période du signal de référence et d'un TDC (« *Time to Digital Converter* ») pour la partie fractionnaire. La difficulté porte sur la résolution temporelle de ce dernier qui fait la précision de la mesure. Une première façon d'implémenter le TDC est présentée en Figure II-22.



**Figure II-22 : Architecture simple de TDC**

Le front de la référence traverse une chaîne d'inverseurs et fait ainsi basculer l'état de chaque inverseur avec un délai de  $T_{inv}$ . Le front du signal de sortie qui donne le résultat du comptage déclenche la saisie des états de sortie des inverseurs dans une

mémoire. De cette façon, si la chaîne d'inverseurs est assez longue, il est possible de savoir combien de délais  $T_{inv}$  séparent les deux fronts considérés, tel que montré sur la figure ci-dessous.



**Figure II-23 : Principe de mesure du TDC**

Avec cette structure de TDC, la résolution est donc d'un temps d'inverseur  $T_{inv}$  fixé par la technologie et le délai maximal mesurable est fonction du nombre d'inverseurs dans la chaîne. D'autres structures existent pour réduire le pas de mesure. Il est notamment possible de faire rentrer les fronts des signaux de référence et de sortie sur deux chaînes d'inverseurs ayant des délais légèrement différents. Une série de bascules entre les deux chaînes permet de saisir le résultat. La résolution est alors égale à la différence des deux délais et donc beaucoup plus fine (technique du Vernier [Stasz03]).

Néanmoins, quelle que soit la structure de TDC choisie, les désappariements entre les inverseurs et entre les bascules créent des non-linéarités, qui font apparaître des cycles limites dus au glissement de la partie fractionnaire. Cela tend à faire apparaître des raies sur le spectre de sortie de la PLL. Une partie de ces phénomènes peut être solutionnée par l'ajout volontaire d'un bruit sur le signal de référence, qui va permettre de brasser ces cycles et ainsi répartir l'énergie de ces raies sous le plancher de bruit de la PLL. Ce bruit a généralement puissance de bruit au-delà de la fréquence de coupure de la PLL, ce qui permet son filtrage par la fonction de transfert passe bas de la référence vers la sortie de la PLL.

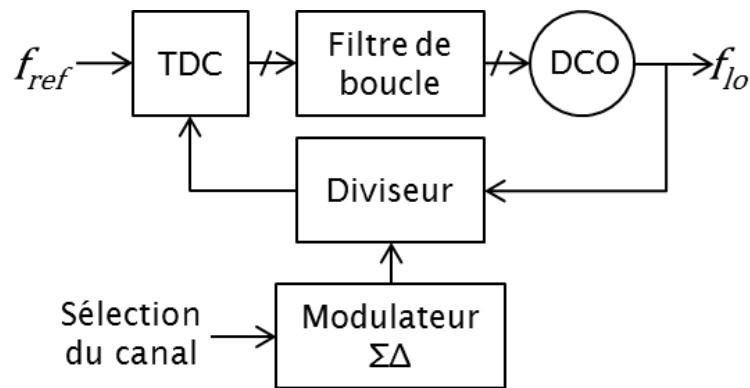
Pour transformer une PLL numérique en modulateur 2 points, il faut insérer la modulation à la fois sur l'entrée du DCO et sur la consigne de sélection du canal. Il est alors possible de faire passer des modulations large bande par la PLL.

### II.4.3 PLL semi-numériques

Les architectures précédentes ont toutes les deux leurs avantages et inconvénients et d'autres solutions ont émergé. Dans cette section, deux sont détaillées. Ces PLL sont regroupées sous le terme de mixte, car elles cherchent à résoudre certains défauts en passant du domaine analogique au domaine numérique à différents endroits de la boucle.

La PLL numérique fractionnaire [Marzin] présenté en Figure II-24 est le mélange entre une PLL analogique avec l'utilisation du modulateur  $\Sigma\Delta$  et une PLL numérique avec un pur DCO, un filtre de boucle entièrement numérique et un TDC. Ce dernier mesure uniquement le délai entre les fronts de référence et de division. La fréquence de ces deux signaux se trouve être approximativement la même ou du moins très proche

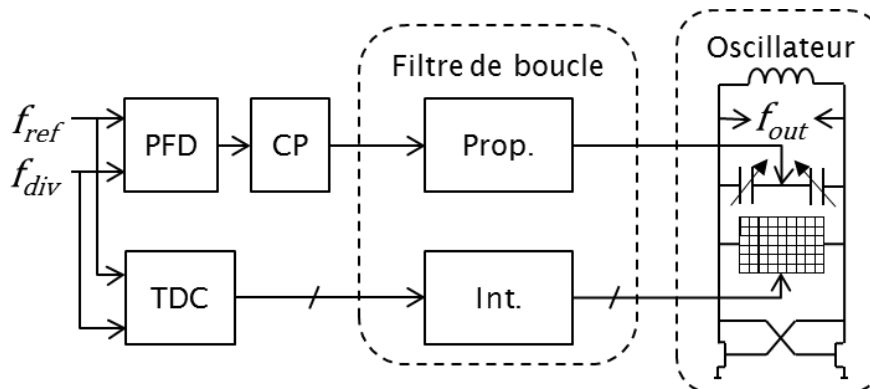
lorsque la PLL est proche du verrouillage. Cela simplifie grandement l'implémentation du TDC.



**Figure II-24 : PLL numérique fractionnaire**

Néanmoins, pour certaines applications, l'utilisation d'un varactor analogique est souhaitable pour des raisons de surface de l'oscillateur ou même de bruit. Par contre, comme la fréquence de coupure de la PLL est souvent souhaitée la plus basse possible, afin de filtrer les bruits de la référence, de la pompe de charges et du diviseur, cela impose une taille de filtre de boucle importante dans le cas d'une PLL analogique.

Or le filtre de boucle d'une PLL est de type PI pour Proportionnel-Intégral. Un moyen de contourner ce problème de surface de filtre trop grande est d'arriver à séparer les deux parties du filtre et de passer la fonction « intégrale » dans le domaine numérique [Wang] [Xu] tel que montré sur la figure ci-dessous.



**Figure II-25 : Séparation des fonctions du filtre dans une PLL semi-numérique**

Ainsi la fonction « proportionnelle » du filtre est gérée de manière classique en analogique avec un PFD, pompe de charges et des composants analogiques de filtrage (résistances et condensateurs). Une tension de commande est appliquée sur un varactor analogique dans l'oscillateur.

Par ailleurs, un TDC qui donne juste l'indication du retard ou de l'avance de phase entre les fronts de référence et de division sans la quantifier permet de passer dans le domaine numérique. La fonction « intégrale » du filtre peut alors être traitée dans le

domaine numérique et ainsi réduire la surface du filtre. Un mot de commande est appliqué sur une banque de capacités commutées dans l'oscillateur.

L'implémentation de cette solution n'est cependant pas simple. Des précautions sont à prendre sur le chemin numérique notamment, pour éviter l'ajout de bruits dû en partie au TDC et à la résolution demandée sur la banque de capacités commutées. De plus, il est nécessaire de tenir compte des éventuels délais entre les deux chemins. Par contre, elle permet de gagner en surface.

## II.5 Limitation des modèles existants

Dans les différentes implémentations de PLL présentées précédemment se trouvent des éléments non-linéaires, en premier lieu l'oscillateur. En théorie, cela obligerait à utiliser des modèles complexes, mais dans la pratique des modèles linéaires continus sont utilisés, car beaucoup plus simples à développer. En contrepartie, ils présentent certaines limitations. Par exemple, comme il sera montré par la suite, l'étude de l'insertion en deux points de la PLL d'une modulation large bande requiert un modèle plus complexe.

### II.5.1 Modèle linéaire continu

Ce modèle est développé dans le domaine de Laplace. L'étude du bruit de phase d'une PLL ne peut se faire que lorsque la PLL est dans son état de verrouillage. Ainsi il est possible de linéariser autour du point de fonctionnement. Du coup, un premier inconvénient de ce type de modèle, outre le fait qu'il ne sera pas possible d'étudier les non-linéarités des éléments de la boucle, est qu'il ne sera pas non plus possible de valider la stabilité de la PLL pour des états éloignés du verrouillage.

Chaque élément de la PLL est modélisé par sa fonction de transfert dans le domaine de Laplace, comme montré sur la figure ci-dessous.

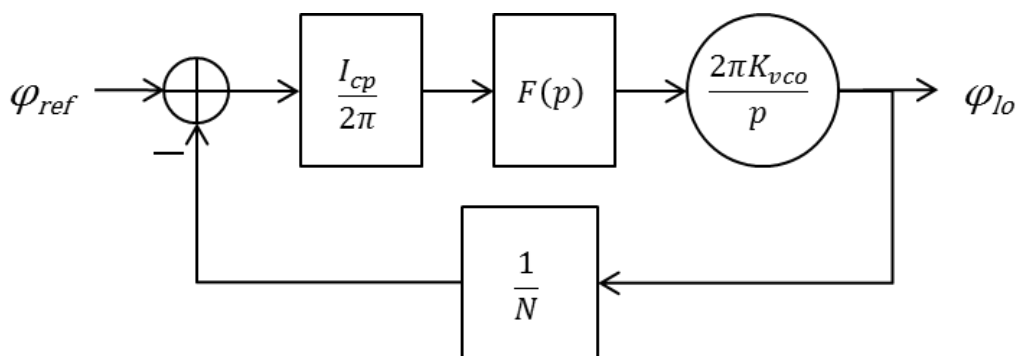
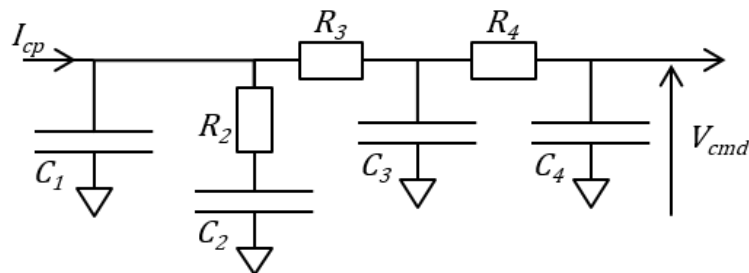


Figure II-26 : Fonctions de transfert dans le domaine de Laplace de l'APLL

L'impulsion de courant que la pompe de charges injecte à chaque période de référence est moyennée sur toute cette période, ce qui est possible seulement si la fréquence de coupure est très petite devant la fréquence de référence, mais c'est généralement le cas. Cela donne la fonction de transfert de la pompe de charges explicitée sur la Figure II-26 avec  $I_{cp}$  le courant délivré par la pompe.

L'opérateur de Laplace « p » dans la fonction de transfert du VCO montre bien le rôle d'intégration en phase de l'oscillateur,  $K_{vco}$  étant son gain.

La fonction de transfert du filtre dépend de sa composition. Sur la figure ci-dessous est montré un filtre du quatrième ordre très répandu dans les PLL pour applications RF.



**Figure II-27 : Filtre du quatrième ordre**

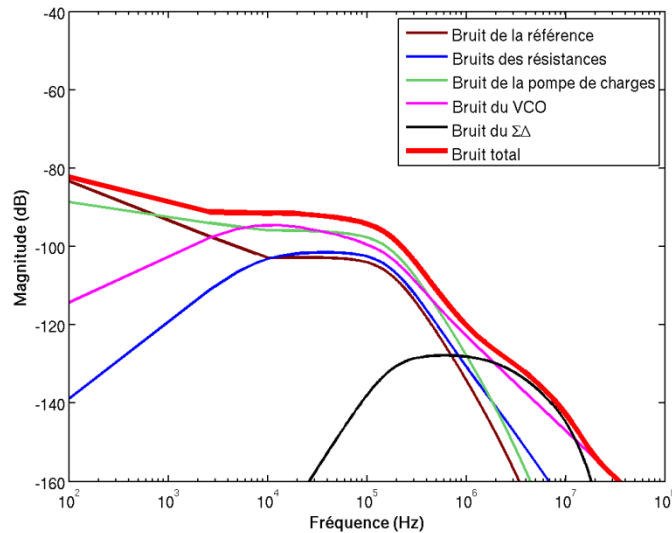
La capacité  $C_1$  sert à intégrer le courant issu de la pompe de charges. La résistance  $R_2$  et la capacité  $C_2$  ajoute un zéro dans la fonction de transfert pour assurer la stabilité de la boucle. Les deux filtres passe-bas du premier ordre ajoutés ensuite servent à mieux filtrer les bruits en hautes fréquences ainsi que la raie de la fréquence de référence.

Pour ajouter les bruits dans ce modèle, il est nécessaire de calculer chaque fonction de transfert de l'endroit où ce bruit est présent vers la sortie, afin de transposer les bruits de phase vers la sortie. Le bruit de phase total de la PLL est la somme de toutes ces contributions ramenées en sortie et considérées indépendamment les unes des autres.

Il existe plusieurs modulateurs  $\Sigma\Delta$ . Dans notre cas, nous avons considéré un modulateur  $\Sigma\Delta$  de type MASH d'ordre  $M$  qui présente l'avantage d'être stable et d'adresser toute la dynamique de 0 à 1. Une spécificité du modèle de Laplace est qu'il faut considérer son bruit  $L(f)$  à l'aide d'une équation équivalente trouvée dans la littérature [FaNa] :

$$L(f) = \frac{(2\pi)^2}{12 \cdot f_{ref}} \left\{ 2 \cdot \sin\left(\frac{\pi f}{f_{ref}}\right) \right\}^{2(M-1)} \quad (II-14)$$

Sur la Figure II-28 sont superposées les contributions de chaque bloc de la PLL ramenée en sortie. Ces courbes sont très utiles lorsque les performances en bruit de phase de la PLL sont étudiées, notamment lorsqu'il s'agit de choisir une fréquence de coupure afin d'optimiser le bruit de phase global.



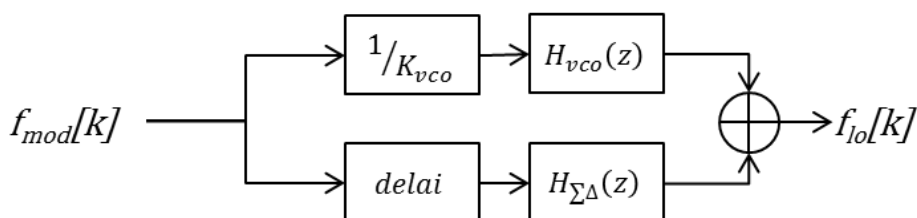
**Figure II-28 : Contributions en bruit de phase des différents blocs de la PLL analogique dans le domaine de Laplace**

Si ce genre de modèle est suffisant pour l'étude des bruits de phase de la PLL, il n'est par contre pas possible d'étudier des non-linéarités ou le caractère échantillonné de la PLL.

### II.5.2 Modèle échantillonné

Il est facile de passer du modèle continu présenté ci-dessus à un modèle échantillonné en appliquant une transformée en « z » sur chaque fonction de transfert. Le modulateur  $\Sigma\Delta$  peut être implémenté de façon plus réaliste à partir de son code numérique et ainsi il n'est pas nécessaire de devoir passer par une équation équivalente pour avoir son bruit intrinsèque. Par contre, les non-linéarités de la PLL ne peuvent toujours pas être étudiées avec ce type de modèle.

Un autre avantage du modèle échantillonné est qu'il est possible d'étudier l'insertion de la modulation de façon beaucoup plus réaliste (voir Figure II-29), comme par exemple au niveau des délais entre les chemins.



**Figure II-29 : Insertion de la modulation dans un modèle échantillonné**

Les fonctions de transfert  $H_{vco}(z)$  et  $H_{\Sigma\Delta}(z)$  sont respectivement celles de l'entrée du VCO et de l'entrée du modulateur  $\Sigma\Delta$  vers la sortie en « z ». Il est possible d'enrichir ce schéma simple avec divers imperfections telles que la quantification et le filtrage du DAC situé sur la voie du VCO (Figure II-20) pour convertir la modulation numérique

en tension de commande d'un varactor de l'oscillateur. Par contre, comme montré sur la Figure II-29, la principale limitation de ce modèle est que les deux chemins sont modélisés de façon indépendante et le résultat de chaque branche est sommé à la fin.

## **II.6 Conclusion du chapitre II & Objectifs de la thèse**

Dans ce chapitre, différentes architectures d'émetteurs ont été présentées, allant des architectures cartésiennes aux polaires (classique ou avec variante comme le LINC). Dans la suite cette thèse, nous allons nous intéresser à l'architecture polaire en émission. Plus particulièrement, au vu de la littérature, l'accent va être mis sur la partie modulation de phase/fréquence à travers une PLL pour des modulations large bande comme dans la norme LTE telle que présenté dans le chapitre I.

Dans un second temps, nous avons détaillés plusieurs architectures de PLL. La 3G et le LTE sont des normes qui requièrent des performances très pointues. Nous allons nous intéresser à l'intégration de ces modulations large bande dans des PLL analogiques et numériques.

Les objectifs de cette thèse ont donc été de développer des modèles les plus complets possibles de ces deux architectures, afin notamment de pouvoir modéliser les non-linéarités qui existent dans ces circuits et de leur appliquer des modulations large bande.





## Chapitre III. Modulation par la PLL analogique

III.1	Modèle évènementiel non linéaire .....	59
III.1.1	Explication du modèle.....	59
III.1.1.1	Comparateur de phase.....	62
III.1.1.2	Oscillateur .....	62
III.1.1.3	Diviseur .....	63
III.1.1.4	Pompe de charges .....	64
III.1.1.5	Filtre de boucle.....	65
III.1.2	Intégration des bruits.....	67
III.1.2.1	Bruits issus d'un profil de fréquences .....	67
III.1.2.2	Bruits des résistances du filtre .....	70
III.1.2.3	Bruit du modulateur Sigma Delta .....	72
III.1.2.4	Bruit de phase total.....	72
III.1.2.5	Point sur le <i>jitter</i> .....	74
III.1.3	Insertion de la modulation .....	75
III.2	Produit de mélange .....	77
III.2.1	Observation du phénomène .....	77
III.2.2	Explication théorique .....	80
III.2.3	Solution proposée .....	82
III.2.3.1	Introduction à la méthodologie proposée.....	83
III.2.3.2	Éloignement du bruit du Sigma Delta - fréquence de référence ....	83
III.2.3.3	Limitation de la bande passante de la modulation.....	84
III.2.3.3.1	Filtrage de la modulation .....	85
III.2.3.3.2	Bloqueur.....	89
III.2.3.3.3	Pré-processing / Pré-distorsion .....	89
III.2.3.4	Conclusion sur la méthodologie.....	90
III.3	Conclusion du chapitre III.....	91

## Table des figures

Figure III-1 : PLL analogique .....	59
Figure III-2 : Chronogramme.....	60
Figure III-3 : Organigramme .....	61
Figure III-4 : Gain de l'oscillateur en fonction de la tension de commande .....	63
Figure III-5 : Sigma Delta MASH 111 .....	64
Figure III-6 : Schéma de principe d'une pompe de charges .....	65
Figure III-7 : Filtre de boucle d'ordre 2 .....	65
Figure III-8 : Filtre de boucle d'ordre 4 .....	66
Figure III-9 : Schéma-bloc de la PLL analogique avec bruits .....	67
Figure III-10 : Conversion du bruit du domaine fréquentiel au temporel.....	68
Figure III-11 : Bruit de la référence ramené en sortie de la PLL .....	68
Figure III-12 : Bruit du VCO ramené en sortie de la PLL .....	69
Figure III-13 : Bruit de la pompe de charges ramené en sortie de la PLL .....	70
Figure III-14 : Ajout des bruits dans le filtre de boucle d'ordre 4.....	71
Figure III-15 : Bruit des résistances du filtre ramené en sortie de la PLL.....	71
Figure III-16 : Bruit du $\Sigma\Delta$ ramené en sortie de la PLL.....	72
Figure III-17 : Évolution de la fréquence de sortie en fonction du temps .....	73
Figure III-18 : Bruit de phase total de la PLL .....	73
Figure III-19 : Bruit de phase total avec non-linéarité .....	74
Figure III-20 : Jitter périodique.....	75
Figure III-21 : Insertion de la modulation en 2 points.....	75
Figure III-22 : Chemin du $\Sigma\Delta$ .....	76
Figure III-23 : Schéma de simulation .....	77
Figure III-24 : Constellation QPSK .....	78
Figure III-25 : Comparaison des constellations impactées par le bruit du VCO (à gauche) – par le $\Sigma\Delta$ (à droite) .....	79
Figure III-26 : Comparaison des bruits de phase du VCO et du $\Sigma\Delta$ .....	79
Figure III-27 : Ajout du « <i>dither</i> » sur la référence.....	82
Figure III-28 : Principe de la méthodologie proposée en 3 étapes.....	83
Figure III-29 : Différents ordres de modulateur $\Sigma\Delta$ .....	84
Figure III-30 : Schéma de simulation pour le filtrage de la modulation .....	85
Figure III-31 : EVM pour des combinaisons de fréquence de coupure .....	86
Figure III-32 : Marge d'ACLR pour des combinaisons de fréquence de coupure .....	86
Figure III-33 : EVM pour des ordres de filtres différents .....	87
Figure III-34 : Marge d'ACLR pour des ordres de filtre.....	88
Figure III-35 : Trajectoire du signal modifiée par le filtrage .....	88
Figure III-36 : Principe du pré-processing.....	89
Figure III-37 : Implémentation de la méthodologie.....	90
Figure III-38 : Constellation QPSK impacté par le filtrage .....	91

## Table des tableaux

Tableau III-1 : Comparaison des EVM pour différents standards.....	78
Tableau III-2 : Impact du cercle d'exclusion sur la qualité de la modulation .....	90

### III.1 Modèle évènementiel non linéaire

Dans ce paragraphe est présenté un modèle évènementiel qui permet de prendre en compte à la fois les bruits et les non linéarités de la PLL analogique dont le schéma de principe est rappelé sur la Figure III-1. De plus, il permet une grande souplesse dans la modélisation des différentes architectures des blocs qui la composent. Cela permet donc d'étudier précisément les comportements temporel et fréquentiel de la PLL et ainsi de prévoir l'apparition de raies sur le spectre fréquentiel.

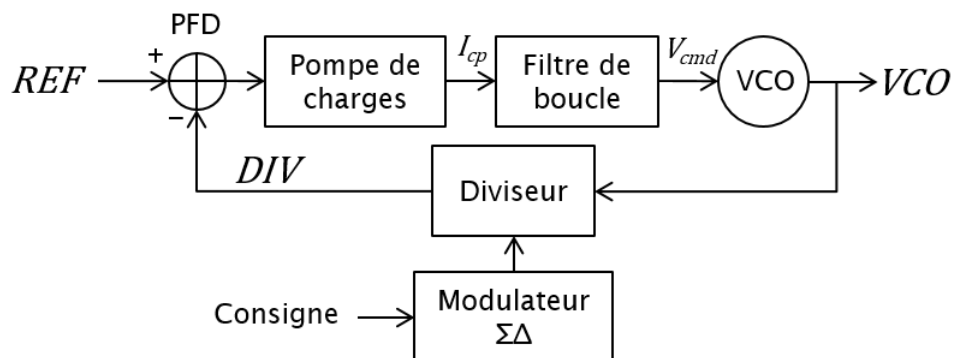


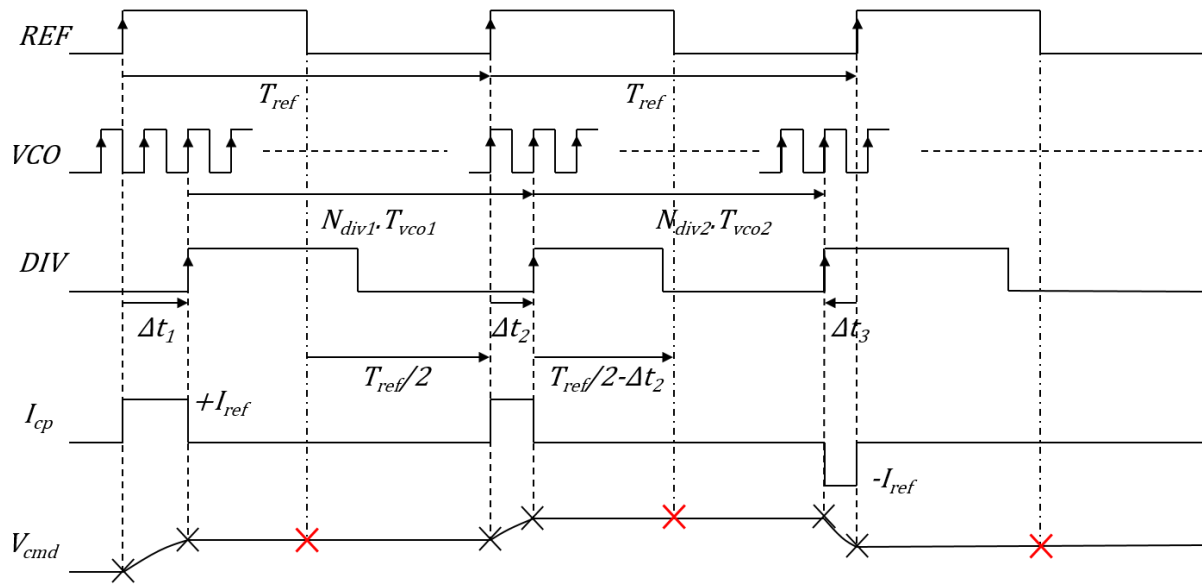
Figure III-1 : PLL analogique

Le principal avantage de ce modèle dans le contexte de la modulation directe large bande en fréquence de la PLL est de pouvoir simuler ensemble les deux chemins d'insertion de la modulation sur une PLL, ce qui sera détaillé dans ce chapitre.

#### III.1.1 Explication du modèle

Le modèle proposé ici est évènementiel, ce qui signifie que seuls certains évènements à l'intérieur de la PLL vont être pris en compte. C'est ce qui fait son efficacité et sa souplesse, car cela permet de réduire le nombre de points de simulation tout en gardant une bonne précision. Cela permet de réduire le temps de simulation, ainsi que la taille de la base de données, simplifiant par la suite la FFT nécessaire à la conversion du domaine temporel au domaine fréquentiel pour l'analyse du bruit de phase.

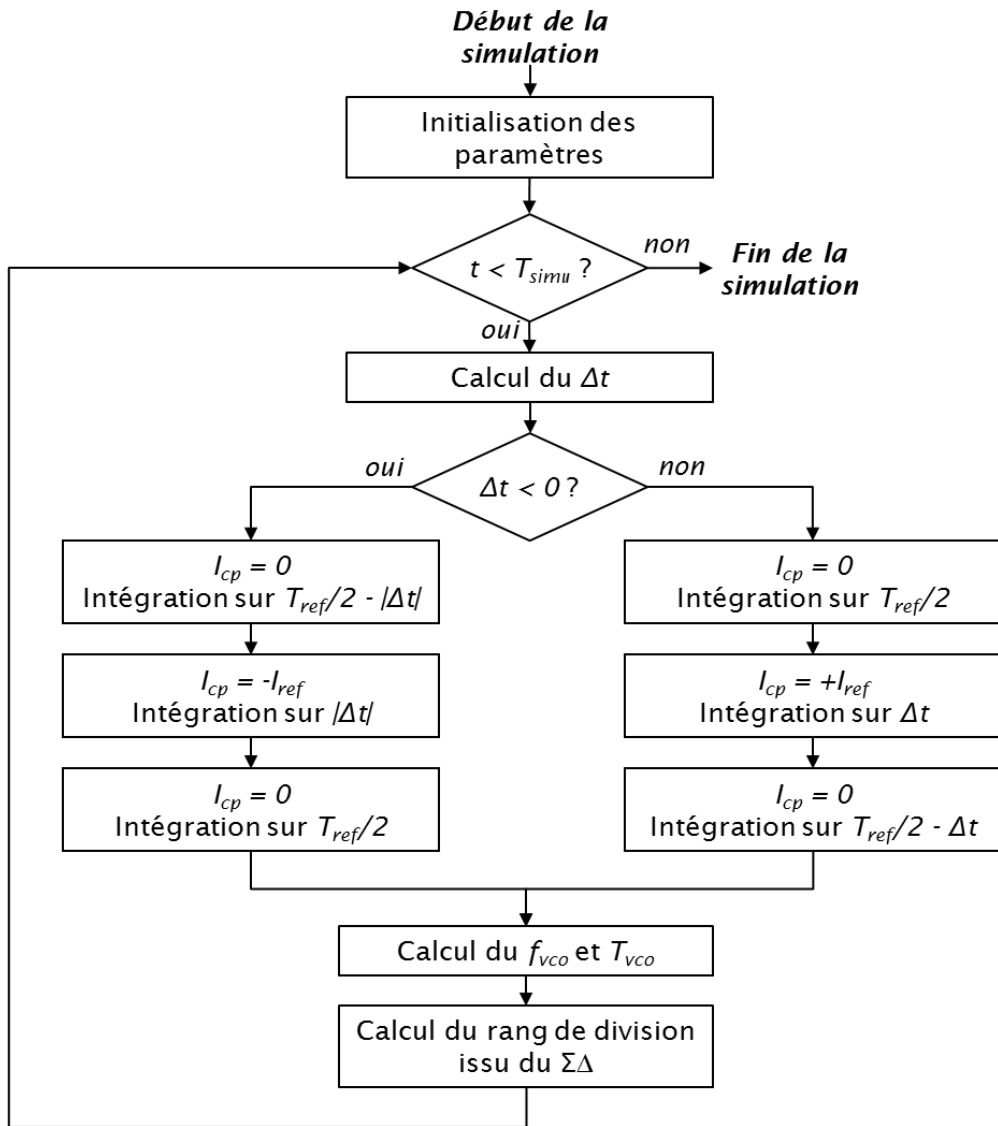
Les points de calcul sont donc seulement pris sur les fronts utiles, c'est-à-dire au moins sur les fronts actifs des signaux de référence et de division, comme représenté par des croix sur le chronogramme de la Figure III-2. Il est par ailleurs possible d'augmenter la résolution du modèle jusqu'à considérer tous les fronts possibles notamment de l'oscillateur, afin de valider des phénomènes très hauts en fréquences.



**Figure III-2 : Chronogramme**

Les points de calcul minimum du modèle sont représentés par des croix sur la tension de contrôle  $V_{cmd}$  de la figure ci-dessus. Ils correspondent à des changements d'états du système comme par exemple le changement de la valeur du courant de la pompe de charges  $I_{cp}$ . Le chronogramme ci-dessus représente donc le comportement de la PLL analogique en mode de synthèse de fréquence comme déjà introduit dans le chapitre précédent. La façon d'intégrer la modulation dans la PLL est expliquée par la suite.

À partir de cette figure, il est alors possible de développer le modèle échantillonné à  $T_{ref}$  basé sur l'organigramme de la figure ci-dessus. Les instants d'échantillonnage sont choisis aux fronts descendants de la référence (croix en rouge sur le chronogramme).



**Figure III-3 : Organigramme**

Tout d’abord, il est nécessaire d’initialiser les paramètres de simulation (durée de la simulation, fréquence d’échantillonnage, ...), ainsi que les paramètres propres à la PLL étudiée (fréquence de référence, rang de division, gain du VCO, ...). Puis, le déphasage ou délai temporel entre les fronts de référence et de division est calculé, ce qui correspond à la modélisation du comparateur de phase.

Si ce délai est négatif, le courant à injecter l’est aussi et le chemin à prendre est celui de gauche. Il s’agit d’abord d’intégrer dans le filtre de boucle un courant nul sur une durée de  $(T_{ref}/2)-|\Delta t|$ , puis le courant négatif est injecté sur la durée  $|\Delta t|$  et enfin un courant nul est à nouveau considéré sur le reste de la période de référence. Cela permet d’avoir la dynamique de la tension de contrôle du filtre en fonction de la quantité de charges injectée. Si le délai est positif, le chemin à prendre est alors celui de droite où la démarche est similaire à la précédente, avec des durées d’intégration inversées.

Quelle que soit la branche prise, une nouvelle fréquence de sortie de la PLL est calculée à partir de la tension de contrôle. Et enfin un nouveau rang de division est calculé.

### III.1.1.1 Comparateur de phase

Le comparateur de phase ou PFD sert à suivre le déplacement de la phase entre les signaux de référence et de division, c'est-à-dire l'écart temporel entre les fronts utiles de ces deux signaux. Cela donne l'équation principale qui gouverne ce modèle :

$$\Delta t[k] = \Delta t[k-1] + N_{div}[k] * T_{vco}[k] - T_{ref} \quad (III-1)$$

où  $\Delta t[k]$  est le nouvel écart calculé à partir de l'écart précédent  $\Delta t[k-1]$ , de la période du signal de référence  $T_{ref}$  et du produit entre la période du signal de sortie  $T_{vco}$  et le rang du diviseur  $N_{div}$ .

Concrètement, lorsque le délai  $\Delta t$  de l'équation précédente est positif, le PFD génère une impulsion de la durée de ce délai sur un signal généralement appelé UP. Lorsque le délai est négatif, l'impulsion est générée sur un signal appelé DOWN. Ces deux signaux sont les entrées de la pompe de charges.

### III.1.1.2 Oscillateur

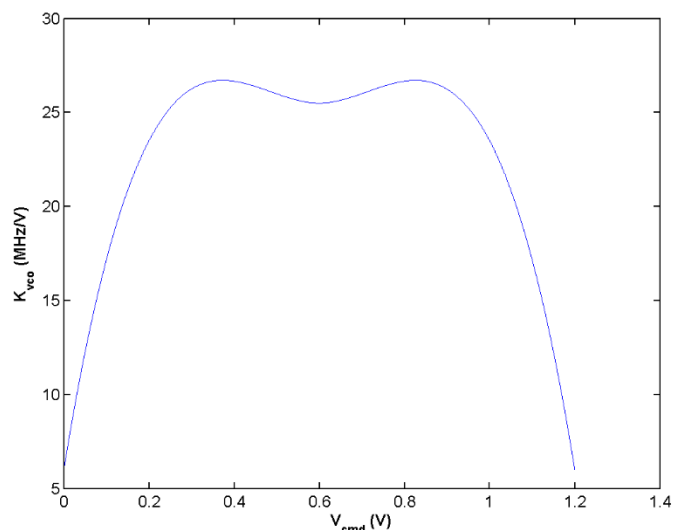
Il existe plusieurs façons de modéliser le comportement du VCO dans le domaine temporel. Dans un premier temps, il est possible de considérer que la fréquence de sortie de l'oscillateur évolue de façon linéaire par rapport à la tension de commande  $V_{cmd}$  du filtre de boucle tel que montré dans l'équation suivante :

$$f_{vco}[k] = f_o + K_{vco} * V_{cmd}[k] \quad (III-2)$$

où  $f_o$  représente la fréquence porteuse corrigée du point de fonctionnement de la tension de commande généralement fixé à la moitié de la tension d'alimentation  $V_{dd}$  et définit par l'équation suivante :

$$f_o = f_{porteuse} - K_{vco} * \frac{V_{dd}}{2} \quad (III-3)$$

Pour ajouter la non-linéarité de l'oscillateur, le gain constant du VCO peut être remplacé par un gain variable en fonction de la tension de commande comme sur la Figure III-4. Cette caractéristique est issue de celle simulée ou mesurée d'un VCO.



**Figure III-4 : Gain de l'oscillateur en fonction de la tension de commande**

Au final, la fréquence de sortie est donnée par l'équation ci-dessous :

$$f_{vco}[k] = f_o + K_{vco}(V_{cmd}[k]) * V_{cmd}[k] \quad \text{(III-4)}$$

Un autre modèle du VCO consiste à inclure la caractéristique non linéaire du varactor qui dépend elle aussi de la tension de commande.

$$f_{vco}[k] = \frac{1}{2\pi\sqrt{L(C_o + C_{var}(V_{cmd}[k]))}} \quad \text{(III-5)}$$

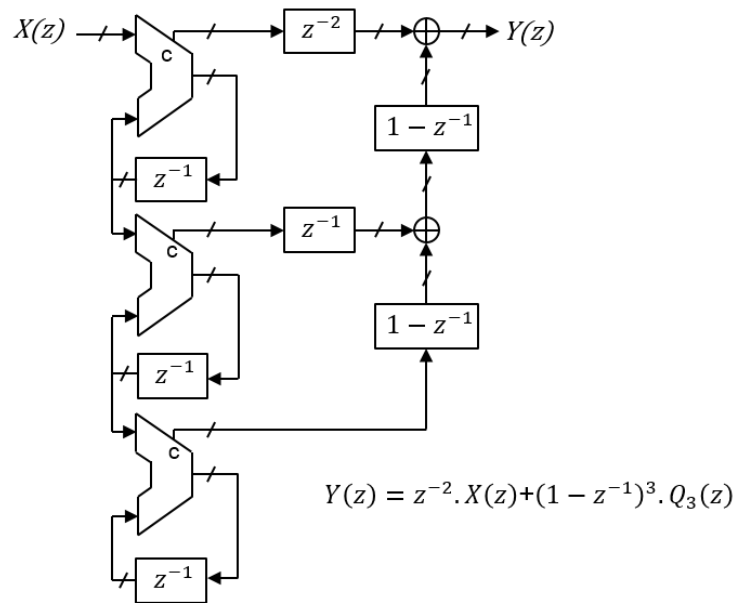
avec  $L$  la valeur de l'inductance,  $C_o$  la capacité d'ajustement permettant de se placer en bas de la plage de fonctionnement du varactor et de d'obtenir la fréquence haute du canal adressé et  $C_{var}$  la caractéristique d'une capacité variable en fonction de la tension (appelée varactor ou varicap).

### III.1.1.3 Diviseur

Le diviseur compte des nombres de périodes entières du VCO. Pour réaliser une division fractionnaire, un modulateur  $\Sigma\Delta$  fait varier le rang de division entre plusieurs valeurs entières de telle sorte que la valeur moyenne soit égale au rang de division demandé. Dans l'équation (III-1), le rang de division  $N_{div}$  est calculé dynamiquement.

Dans le modèle, différentes architectures de modulateur Sigma Delta peuvent être implémentées. Ici, un MASH (« multi-stage noise shaping ») 111 a été utilisé comme montrée sur la Figure III-5.





**Figure III-5 : Sigma Delta MASH 111**

Ce type de modulateur  $\Sigma\Delta$  consiste en la mise en série d'accumulateurs, leur nombre déterminant l'ordre du modulateur. Les sorties des accumulateurs sont ensuite mise en forme à l'aide de retards et de zéros (filtrage) afin de remettre en forme le bruit de quantification de chaque étage. Dans le cas de la PLL, l'entrée  $X(z)$  est la partie fractionnaire de la consigne et la sortie  $Y(z)$  le nombre entier qui commande le diviseur. Grâce à l'équation ci-dessus, la sortie est bien égale à la somme de l'entrée (retardée) et du bruit de quantification du troisième étage  $Q_3(z)$  mis en forme par trois fois la fonction dérivée.

Cela permet d'atteindre un degré de réalisme plus grand notamment au niveau du bruit du Sigma Delta qui est important dans les PLL fractionnaires. En comparaison, des modèles dans le domaine de Laplace nécessitent l'utilisation d'une formule équivalente pour modéliser ce bruit.

#### III.1.1.4 Pompe de charges

La pompe de charges sert à convertir l'écart temporel  $\Delta t$  en quantité de charges (équation ci-dessous) au filtre de boucle au travers d'une impulsion de courant.

$$Q_{ref}[k] = I_{ref} * \Delta t[k] \quad (III-6)$$

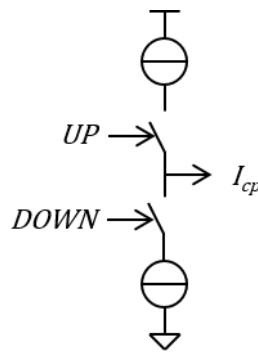
où  $I_{ref}$  représente le courant de référence fourni par la pompe de charges.

En fonction de la fréquence d'échantillonnage choisie dans notre modèle, il est possible de modéliser plus ou moins précisément l'impulsion de courant, tout en conservant bien évidemment la même quantité de charges. Le courant injecté est donc moyenné sur la période d'échantillonnage choisie. Par exemple, pour un modèle échantillonné à  $T_{ref}$ , la quantité de charges est moyennée sur toute la période de référence selon l'équation ci-dessous :

$$I_{cp}[k] = Q_{ref}[k]/T_{ref} \quad (III-7)$$

Il est possible de rendre facilement le modèle plus réaliste, en considérant le chronogramme de la Figure III-2. Connaissant le délai  $\Delta t$ , l'impulsion de courant peut être modélisée précisément et ainsi il est possible d'étudier l'impact des impulsions de courant en entrée du filtre de boucle sur le spectre de sortie de la PLL.

Dans cet exemple, une architecture classique (de pompe de charges a été choisie telle que montrée sur la Figure III-6. Il est néanmoins facile de remplacer cette architecture par une autre plus complexe, même si cela nécessite plus de points de simulation.



**Figure III-6 : Schéma de principe d'une pompe de charges**

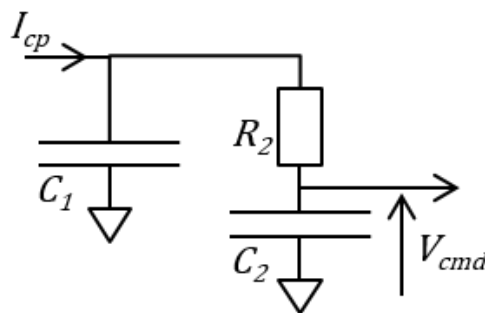
Dans cette architecture, deux sources de courant sont pilotées par les signaux UP et DOWN venant du PFD. Pour un délai positif, le signal UP est actif et commande alors l'injection d'une quantité de charges. Pour un délai négatif, l'interrupteur commandé par le signal DOWN devient passant et une quantité de charges est retirée.

### III.1.1.5 Filtre de boucle

Le filtre de boucle est modélisé en utilisant la représentation d'état. Cette dernière permet d'accéder à la valeur de chaque état du filtre en une seule équation matricielle selon les deux équations générales ci-dessous :

$$\begin{cases} \dot{X} = A * X + B * U \\ Y = C * X + D * U \end{cases} \quad \text{(III-8)}$$

où le vecteur  $X$  est le vecteur d'état,  $U$  le vecteur d'entrée et  $Y$  la sortie du système.  $A$ ,  $B$ ,  $C$  et  $D$  sont des matrices. Prenons l'exemple d'un filtre de boucle d'ordre 2 comme montré sur la figure ci-dessous.



**Figure III-7 : Filtre de boucle d'ordre 2**

Les variables d'état du filtre sont les tensions aux bornes des capacités  $C_1$  et  $C_2$ , respectivement  $V_1$  et  $V_2$ , la sortie du filtre se trouve être la tension  $V_1$  et l'entrée le courant issu de la pompe de charges  $I_{cp}$ .

$$\begin{aligned} X &= \begin{pmatrix} V_1 \\ V_2 \end{pmatrix} \\ Y &= V_1 \\ U &= I_{cp} \end{aligned} \quad (III-9)$$

La représentation d'état de ce filtre de boucle est résumée par les matrices ci-dessous :

$$\begin{cases} A = \begin{pmatrix} -\frac{1}{R_2.C_1} & \frac{1}{R_2.C_1} \\ \frac{1}{R_2.C_2} & -\frac{1}{R_2.C_2} \end{pmatrix} & B = \begin{pmatrix} 1 \\ 0 \end{pmatrix} \\ C = (1 \quad 0) & D = 0 \end{cases} \quad (III-10)$$

Pour un filtre d'ordre 4, tel que représenté sur la Figure III-8, la représentation d'état se complexifie légèrement. Comme les variables d'état sont toujours les tensions aux bornes des capacités du filtre, plus l'ordre du filtre augmente et donc son nombre de capacités, plus la taille des matrices augmente.

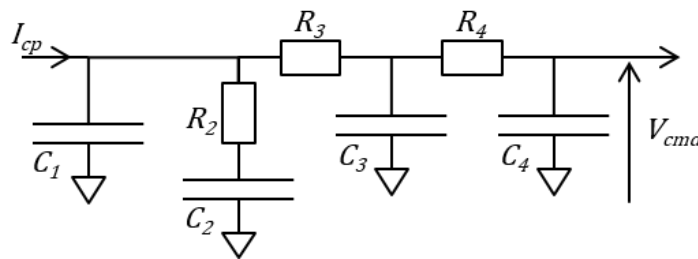


Figure III-8 : Filtre de boucle d'ordre 4

Les matrices deviennent donc :

$$\begin{cases} A = \begin{pmatrix} -\frac{1}{R_2.C_1} - \frac{1}{R_3.C_1} & \frac{1}{R_2.C_1} & \frac{1}{R_3.C_1} & 0 \\ \frac{1}{R_2.C_2} & -\frac{1}{R_2.C_2} & 0 & 0 \\ \frac{1}{R_3.C_3} & 0 & -\frac{1}{R_3.C_3} - \frac{1}{R_4.C_3} & \frac{1}{R_4.C_3} \\ 0 & 0 & \frac{1}{R_4.C_4} & -\frac{1}{R_4.C_4} \end{pmatrix} & B = \begin{pmatrix} 1 \\ 0 \\ 0 \\ 0 \end{pmatrix} \\ C = (0 \quad 0 \quad 0 \quad 1) & D = 0 \end{cases} \quad (III-11)$$

Bien que la taille des matrices augmente, les éléments qui les composent restent similaires à ceux de la représentation d'état du filtre d'ordre 2. Cela permet ainsi d'identifier facilement les potentielles erreurs de calcul. La sortie  $Y$  est désormais la tension aux bornes de la capacité  $C_4$ .

Par la suite, une discrétisation de ces matrices est nécessaire afin de les intégrer dans le modèle, discrétisation dépendante du pas d'échantillonnage choisi. Elle est faite facilement à l'aide de Matlab.

### III.1.2 Intégration des bruits

Pour considérer les bruits dans le modèle, il va s'agir tout d'abord de convertir des bruits dans le domaine temporel puis de les intégrer à l'endroit où ils interviennent dans la réalité comme montré sur la Figure III-9. Contrairement à un modèle dans le domaine de Laplace par exemple, il n'est pas nécessaire de calculer de fonction de transfert, la mise en forme du bruit par la PLL se fait naturellement dans le domaine temporel. Par contre, la sortie du modèle étant l'évolution de la fréquence du VCO dans le temps, il est nécessaire de convertir tout d'abord cette fréquence en phase, puis d'appliquer une FFT afin d'obtenir le bruit de phase.

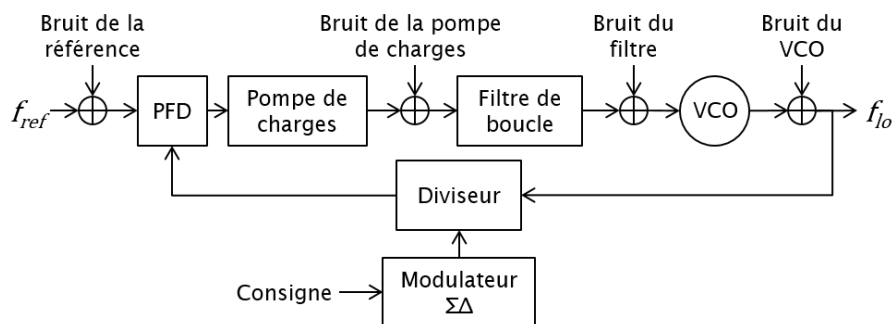
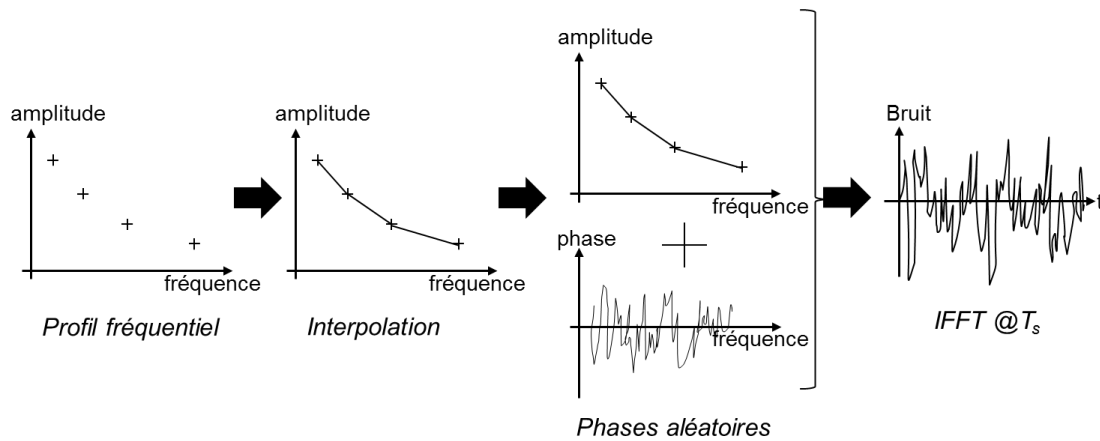


Figure III-9 : Schéma-bloc de la PLL analogique avec bruits

L'intégration des bruits des différents blocs de la PLL se fait de façon différente en fonction de leurs origines, comme décrits dans les paragraphes qui vont suivre. Sachant que pour une analyse des bruits, un modèle dans le domaine fréquentiel est assez précis, cela permet d'avoir une comparaison facile pour valider les bruits donnés par notre modèle. Cette comparaison est faite pour chacun des bruits. Par conséquent, comme la sortie du modèle événementiel est l'évolution dans le temps de la fréquence de l'oscillateur, il faut l'intégrer pour passer en phase, puis y appliquer une FFT. Le bruit de phase dans le domaine fréquentiel est ainsi obtenu à partir du modèle proposé.

#### III.1.2.1 Bruits issus d'un profil de fréquences

Pour des bruits issus d'un profil en fréquences, comme typiquement les bruits de la référence ou de l'oscillateur, il s'agit d'obtenir un signal temporel représentant ces bruits et échantillonné à la fréquence du modèle. Ces profils peuvent bien évidemment être obtenus indifféremment à partir de mesures ou de simulations. Ce sont généralement des fichiers de points de densité spectrale de puissance à des fréquences données. Tout d'abord, une interpolation sur une échelle de fréquences propre au modèle est nécessaire. Puis, il manque toujours la composante en phase du bruit, qui est ajoutée sous la forme d'une phase aléatoire. Il est alors possible de convertir ce bruit du domaine fréquentiel vers le domaine temporel à l'aide d'une IFFT. Ce processus est schématisé sur la Figure III-10.



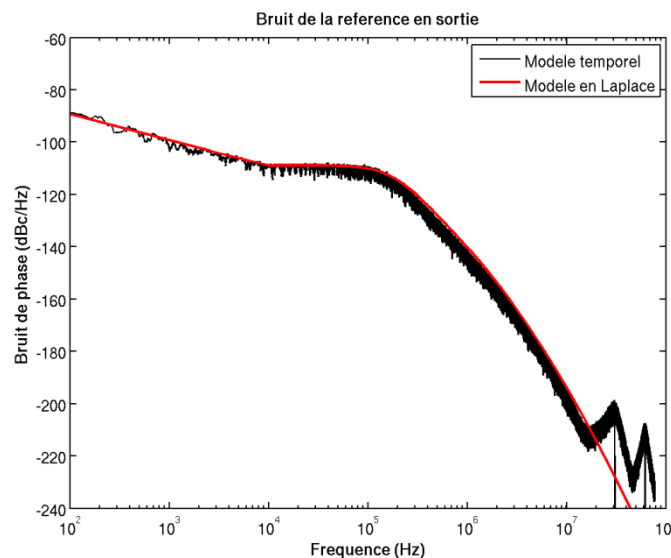
**Figure III-10 : Conversion du bruit du domaine fréquentiel au temporel**

- Bruit de la référence

Le bruit de la référence dans le domaine temporel, obtenu donc à l'aide de la méthode présentée précédemment, est injecté dans le modèle au niveau de l'équation (III-1) en remplaçant  $T_{ref}$  par l'équation suivante :

$$T_{ref\_bruit}[k] = \frac{T_{ref}}{1 + T_{ref} \cdot ref\_bruit[k]} \quad (III-12)$$

La figure suivante présente la comparaison des bruits de phase obtenus après la FFT de la sortie de la PLL dans le domaine temporel (en noir) et grâce à un modèle en Laplace (en rouge)



**Figure III-11 : Bruit de la référence ramené en sortie de la PLL**

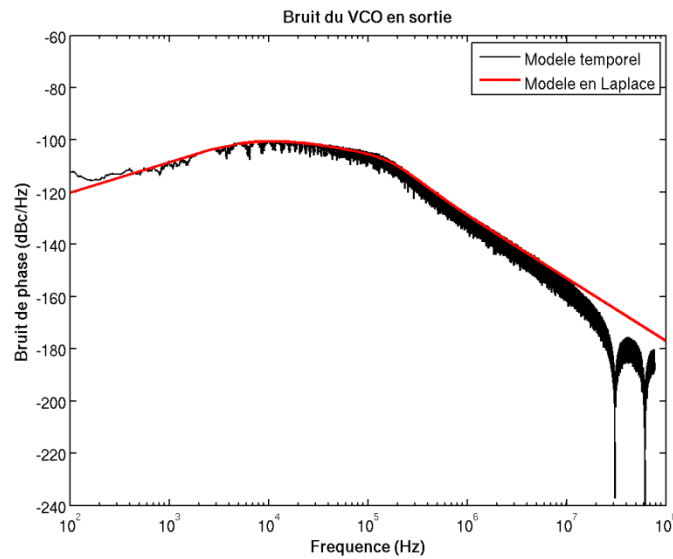
Les résultats obtenus par les modèles se superposent bien. En hautes fréquences, l'échantillonnage du modèle à la fréquence de référence provoque des repliements, ce qui n'est évidemment pas le cas dans le domaine de Laplace. Néanmoins, ces repliements ont une puissance de bruit très faible (-200 dBc/Hz) et sont donc négligeables.

- Bruit du VCO

Le bruit temporel du VCO est ajouté dans le modèle au niveau des équations (III-2) à (III-5) selon la modélisation du VCO choisie et de la période d'échantillonnage du modèle. En prenant l'exemple du modèle linéaire de l'oscillateur (III-2), cela donne :

$$f_{vco}[k] = f_o + K_{vco} * V_{cmd}[k] + vco_{bruit}[k] \quad (III-13)$$

De la même façon, la figure suivante présente la comparaison du bruit de phase du VCO seul regardé en sortie de la PLL obtenu par notre modèle (en noir) avec celui obtenu grâce au modèle dans le domaine de Laplace (en rouge).



**Figure III-12 : Bruit du VCO ramené en sortie de la PLL**

Les observations sont similaires à celles de la Figure III-11.

- Bruit de la pompe de charges

De même que pour l'oscillateur, la modélisation du courant de pompe de charges et l'échantillonnage du modèle ont un impact sur la façon d'intégrer le bruit en courant de la pompe. Par exemple, dans un modèle échantillonné à  $T_{ref}$  la quantité de charges injectée dans le filtre est répartie sur toute la période de référence, ce qui est équivalent à un modèle dans le domaine de Laplace. Le bruit est alors lui aussi réparti sur toute la période de référence, ce qui est fait naturellement par la méthode de conversion du bruit du domaine fréquentiel au domaine temporel. Cela donne donc l'équation suivante :

$$I_{bruit}[k] = I_{ref} \cdot \frac{\Delta t[k]}{T_{ref}} + ppch_{bruit}[k] \quad (III-14)$$

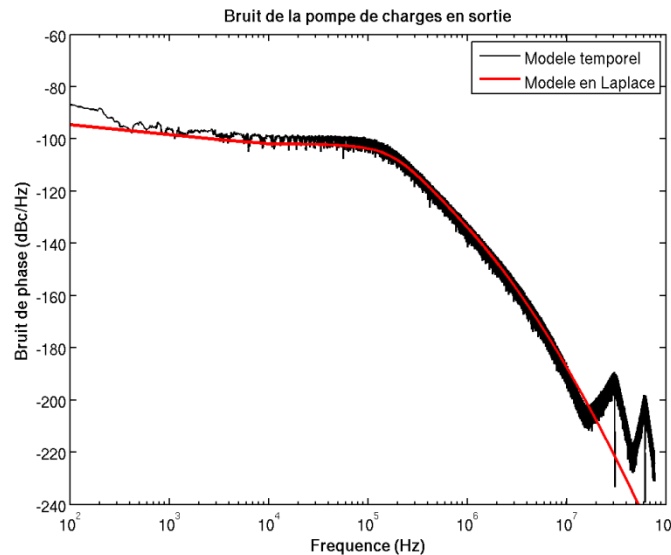
avec  $ppch_{bruit}$  le bruit de la pompe de charges.

Dans le modèle présenté dans le chronogramme de la Figure III-2 et l'organigramme de la Figure III-3, l'impulsion de courant est précisément modélisée. Le bruit de la

pompe de charges est donc rajouté seulement lorsque celle-ci injecte ou retire du courant dans le filtre de boucle. Cela donne l'équation :

$$I_{bruit}[k] = I_{ref} + ppch_{bruit}[k] \cdot \frac{T_{ref}}{\Delta t[k]} \quad (III-15)$$

La figure suivante présente comme les précédentes la comparaison entre les deux profils de bruit de phase en sortie de la PLL obtenus par le modèle dans le domaine de Laplace (en rouge) et par le modèle proposé (en noir).



**Figure III-13 : Bruit de la pompe de charges ramené en sortie de la PLL**

À nouveau, les deux modèles donnent les mêmes courbes sur toute l'échelle de fréquence jusqu'aux repliements en hautes fréquences dû à la fréquence d'échantillonnage du modèle.

### III.1.2.2 Bruits des résistances du filtre

Pour ajouter le bruit thermique des résistances du filtre dans le modèle par exemple en tension comme montré sur l'équation ci-dessous, la représentation d'état présentée dans le paragraphe III.1.1.5 est légèrement modifiée.

$$V_{n,Ri} = \sqrt{4 \cdot k_b \cdot T \cdot R_i \cdot \Delta f} \quad (III-16)$$

Grâce à la représentation d'état, les bruits des résistances peuvent être considérés comme de nouvelles entrées. Ainsi le vecteur d'entrée  $U$  devient :

$$U = \begin{pmatrix} I_{cp} \\ V_{n,R2} \\ V_{n,R3} \\ V_{n,R4} \end{pmatrix} \quad (III-17)$$

Cette modification du vecteur d'entrée n'a finalement d'impact que sur la matrice  $B$  de la représentation d'état et sur celle-ci seulement. Elle a alors été renommée  $B'$  dans l'équation ci-dessous pour bien marquer la différence avec l'ancienne matrice  $B$  de l'équation III-12.

$$\begin{cases} \dot{X} = A * X + B' * U \\ Y = C * X + D * U \end{cases} \quad \text{(III-18)}$$

Cette matrice  $B'$  est donc modifiée pour tenir compte des nouvelles entrées du filtre et devient :

$$B' = \begin{pmatrix} \frac{1}{C_1} & \frac{1}{R_2.C_1} & \frac{1}{R_3.C_1} & 0 \\ 0 & -\frac{1}{R_2.C_2} & 0 & 0 \\ 0 & 0 & -\frac{1}{R_3.C_3} & \frac{1}{R_4.C_3} \\ 0 & 0 & 0 & -\frac{1}{R_4.C_4} \end{pmatrix} \quad \text{(III-19)}$$

La première colonne de la matrice reste inchangée, car elle est toujours référencée au courant de pompe de charges. Par contre, les trois suivantes tiennent compte des trois nouvelles entrées et de l'emplacement des bruits dans le filtre comme montré sur la figure ci-dessous.

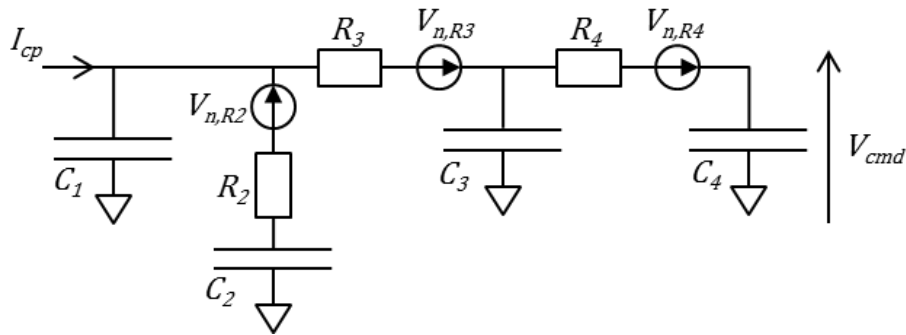


Figure III-14 : Ajout des bruits dans le filtre de boucle d'ordre 4

La comparaison entre les deux bruits de phase en sortie de la PLL obtenus par le modèle dans le domaine de Laplace (en rouge) et par le modèle temporel (en noir) est présentée en Figure III-15.

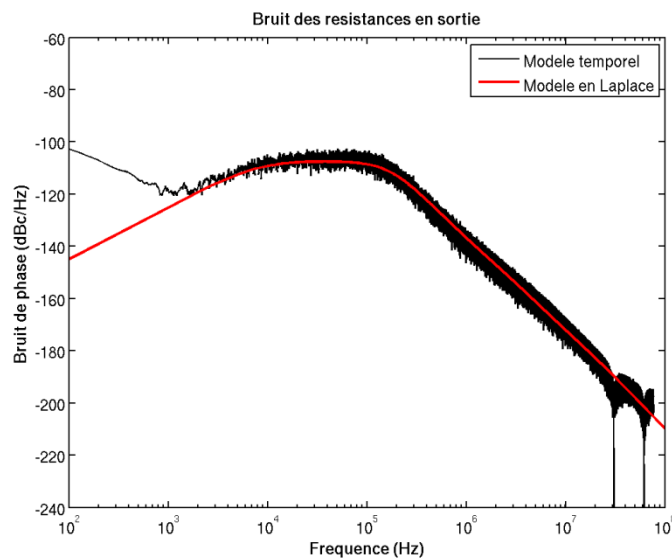


Figure III-15 : Bruit des résistances du filtre ramené en sortie de la PLL



En basses fréquences, la FFT n'a pas assez de points pour arriver à suivre la pente du bruit de phase du modèle dans le domaine de Laplace. Un fenêtrage pourrait corriger cela, mais il impose que les points de départ et d'arrivée de la trajectoire de phase soient les mêmes. Or dans le cas d'une modulation, ce n'est généralement pas le cas. Un fenêtrage n'est donc pas possible. À partir de 1 kHz, les deux courbes se superposent bien.

### III.1.2.3 Bruit du modulateur Sigma Delta

Un des avantages du modèle est que le bruit du modulateur Sigma Delta n'a pas à être rajouté, puisqu'il est possible d'intégrer l'algorithme qui sera réellement implémenté par la suite. Le bruit de phase en sortie de la PLL affiché sur la figure ci-dessous est donc obtenu par construction.

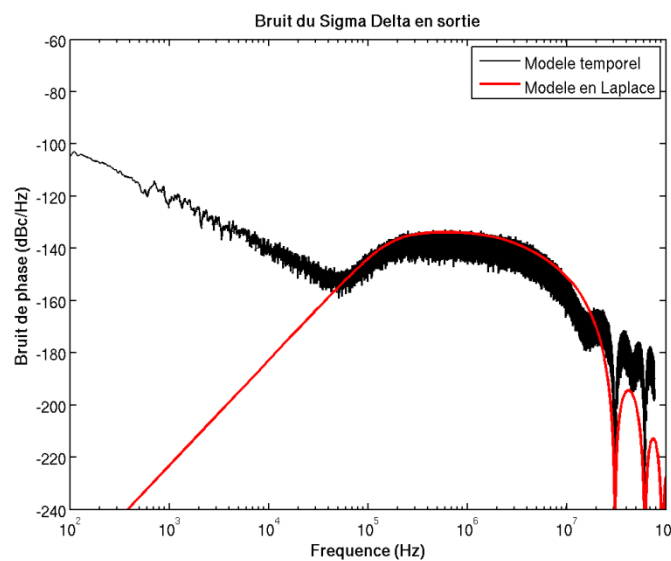


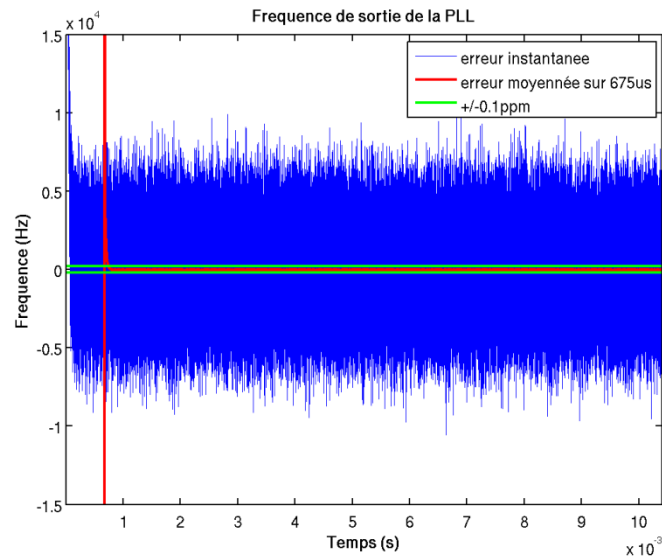
Figure III-16 : Bruit du  $\Sigma\Delta$  ramené en sortie de la PLL

Le phénomène observé en basses fréquences est le même que sur la Figure III-15. La FFT n'arrive pas à suivre la pente en 60 dB/décade en raison d'un offset lors de l'intégration de la fréquence en phase. De plus, l'échantillonnage du modèle à  $T_{ref}$  provoque des repliements de la bosse du  $\Sigma\Delta$  autour de la fréquence de référence et de ses harmoniques.

Le bruit du diviseur en tant que tel n'a pas été considéré ici, car il est généralement négligeable au regard des autres contributeurs.

### III.1.2.4 Bruit de phase total

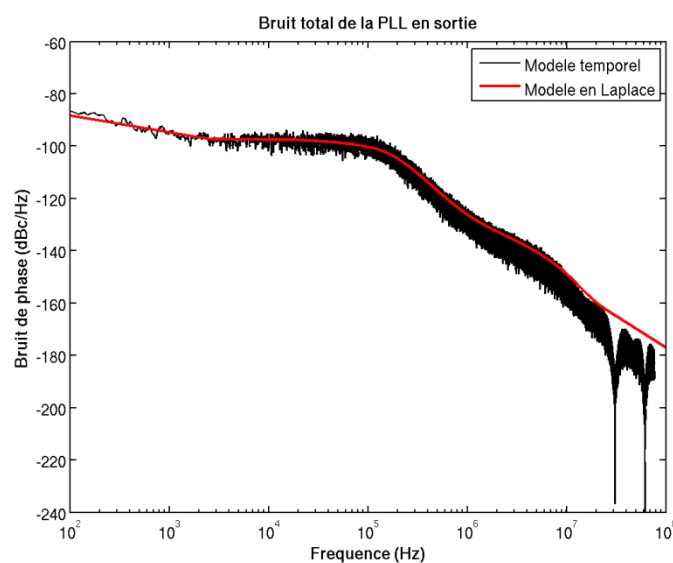
Finalement, lorsque tous les bruits présentés dans les paragraphes ci-dessus sont pris en compte en même temps, l'erreur de fréquence en sortie de la PLL dans le temps est tracée en Figure III-17.



**Figure III-17 : Évolution de la fréquence de sortie en fonction du temps**

En instantanée, la contribution totale des bruits de la PLL, notamment celui du modulateur Sigma-Delta, crée une erreur importante (courbe bleue). Ici, elle est d'environ 8 kHz. La norme LTE spécifie l'erreur de fréquence de la LO à moins de +/- 0.1 ppm sur une fenêtre glissante de 675  $\mu$ s. Comme le montre la figure ci-dessus, même si la fréquence instantanée de la PLL dépasse ces limites (courbes vertes), la moyenne glissante (courbe rouge) de la fréquence de sortie de la PLL reste dans la marge spécifiée.

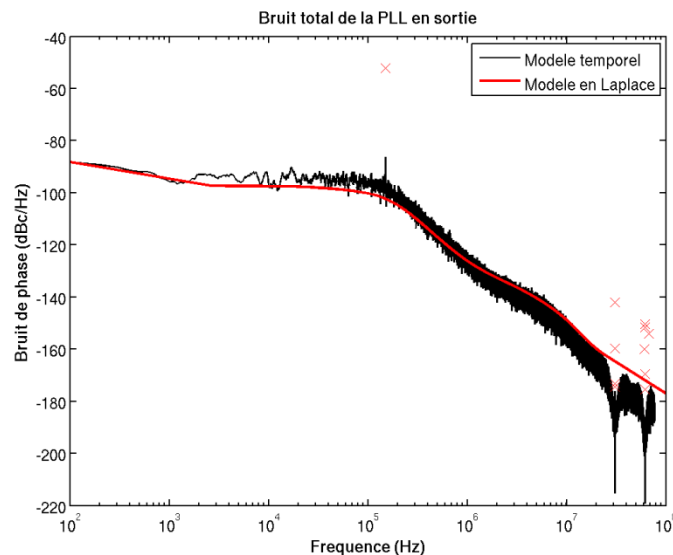
De la même façon que précédemment, la fréquence de sortie est convertie du domaine temporel vers le domaine fréquentiel, ce qui donne la courbe en noir de la figure ci-dessous. Une comparaison avec le bruit de phase obtenu avec un modèle dans le domaine de Laplace (en rouge) est toujours faite.



**Figure III-18 : Bruit de phase total de la PLL**

Les deux courbes se superposent bien. En basse fréquence, la contribution du bruit de la référence est visible, alors qu'en hautes fréquences, il est possible de reconnaître le bruit du VCO et la bosse due au Sigma Delta.

Comme dit dans le chapitre précédent, un des avantages de ce modèle est de pouvoir étudier les non-linéarités de la PLL. Sur la figure ci-dessous, un désappariement entre les deux courants (positif et négatif) de la pompe de charges a été ajouté.



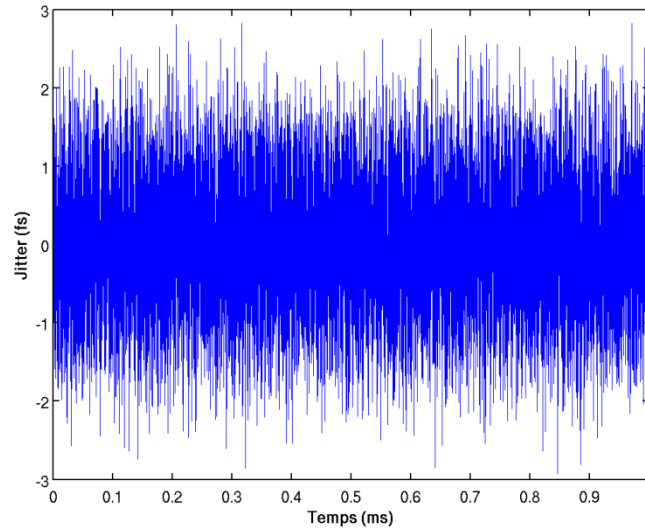
**Figure III-19 : Bruit de phase total avec non-linéarité**

Grâce au modèle, la non-linéarité crée des raies dont les niveaux sont représentés par les croix rouges. Le niveau des raies est calculé avec une bande d'intégration de 1 Hz, alors que la durée de la simulation ne fait pas toujours 1 sec. Dans cet exemple, la première raie apparaît à une fréquence qui est le produit de la partie fractionnaire et de la fréquence de référence par rapport à l'écart à la fréquence porteuse. Cette raie est dite fractionnaire.

Les autres raies sont des repliements de la raie fractionnaire autour de la fréquence d'échantillonnage et de ses harmoniques.

### III.1.2.5 Point sur le *jitter*

Grâce à ce modèle temporel qui prend en compte les bruits de la PLL, il est possible en prenant l'inverse de la fréquence de sortie de la PLL de simuler la gigue (ou « *jitter* » en anglais) Sur la figure ci-dessous, le *jitter* périodique est tracé, c'est-à-dire l'erreur faite sur chaque période d'oscillateur par rapport à la période idéale.

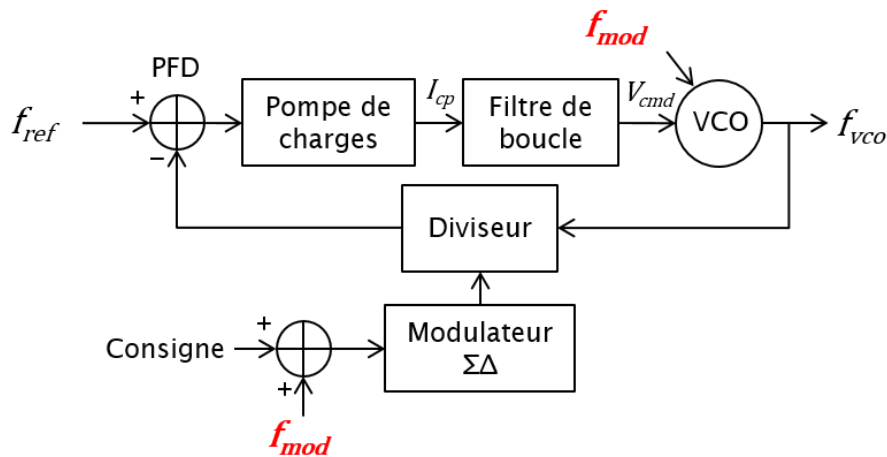


**Figure III-20 : Jitter périodique**

La fréquence de sortie souhaitée est de 3,5GHz dans cet exemple, ce qui donne une période idéale de 285ps. Le jitter périodique maximale est de  $\pm 3fs$ .

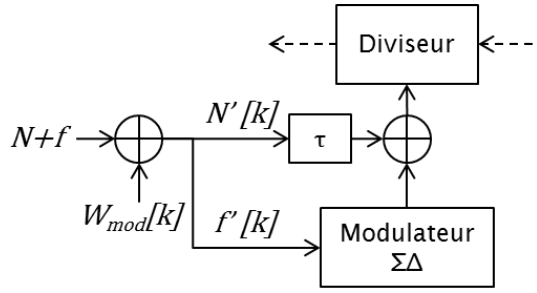
### III.1.3 Insertion de la modulation

Dans le chapitre précédent, il a été montré que pour moduler la PLL pour une bande passante plus large que celle de la PLL, il était possible d'insérer la modulation en deux points de la PLL : le diviseur et le VCO pour une PLL analogique.



**Figure III-21 : Insertion de la modulation en 2 points**

Dans le modèle, les deux chemins sont considérés simultanément. Pour la voie du diviseur, l'implémentation se fait comme indiqué sur la figure ci-dessous.



**Figure III-22 : Chemin du  $\Sigma\Delta$**

La consigne de la PLL est généralement sous la forme d'une partie entière  $N$  et d'une partie fractionnaire  $f$ , qui, multiplié par la fréquence de référence, donne bien la fréquence porteuse. Le mot numérique représentant la modulation est ajouté à cette consigne. L'entrée du modulateur Sigma-Delta représente la partie fractionnaire et est donc nécessairement inférieure à 1. Une nouvelle séparation des parties entière  $N'[k]$  et fractionnaire  $f'[k]$  est alors effectuée pour tenir compte de l'ajout de la modulation. Enfin, la sortie du  $\Sigma\Delta$  est recombinaée avec la partie entière  $N'[k]$  synchronisée par rapport au retard intrinsèque du  $\Sigma\Delta$  qui pour un MASH 111 par exemple est de trois échantillons.

Pour la voie du VCO, la modulation est ajoutée dans les équations (III-2) à (III-5) selon la modélisation de l'oscillateur choisie et la façon d'insérer la modulation en ce point. Comme dit dans le chapitre précédent, la méthode la plus répandue consiste à utiliser un DAC pour convertir le signal de modulation du numérique vers l'analogique, puis de filtrer le signal afin de limiter le bruit ajouté par le DAC. Enfin, l'oscillateur est contrôlé soit en ajoutant la tension obtenue autour de la tension de commande (équation III-20), soit en ajoutant un autre varactor (équation III-21). L'équation (III-2) devient alors :

$$f_{vco}[k] = f_o + K_{vco} * (V_{cmd}[k] + V_{mod}[k]) \quad \text{(III-20)}$$

$$f_{vco}[k] = f_o + K_{vco} * V_{cmd}[k] + K_{mod} * V_{mod}[k] \quad \text{(III-21)}$$

avec  $V_{mod}$  la tension issue du DAC représentant la modulation et  $K_{mod}$  le gain en Hz/V induit par le deuxième varactor.

Dans ce travail, la possibilité de convertir la modulation du numérique vers l'analogique à l'aide d'une banque de capacités commutées dans l'oscillateur est étudiée. Cela donne l'équation sensiblement différente qui suit.

$$f_{vco}[k] = f_o + K_{vco} * V_{cmd}[k] + K_{mod} * W_{mod}[k] \quad \text{(III-22)}$$

avec  $K_{mod}$  le gain de la banque de capacités dédiée à la modulation en Hz/bit et  $W_{mod}$  le mot numérique représentant la modulation.

Si la modélisation la plus complexe est souhaitée, la taille des capacités de la banque dédiée à la modulation doit être considérée. Le choix de la valeur de la capacité unitaire de cette banque sera expliqué dans le chapitre V. L'équation (III-5) devient :

$$f_{vco}[k] = \frac{1}{2\pi\sqrt{L(C_o + C_{var}(V_{cmd}[k]) + C_{mod} * W_{mod}[k])}} \quad \text{(III-23)}$$

avec  $C_{mod}$  la capacité unitaire de la banque dédiée à la modulation.

Dans cette section, il a été présenté une modélisation événementielle de la PLL analogique tenant compte des bruits et non-linéarités. De plus, il a été expliqué comment la modulation est insérée dans la PLL. Ce modèle non-linéaire permet de simuler l'impact des non-linéarités de la PLL sur la modulation.

## III.2 Produit de mélange

Dans cette section, l'impact des imperfections de la PLL présentées dans le paragraphe précédent est étudié dans le cadre d'une modulation OFDM avec les caractéristiques du standard LTE. Le modèle proposé s'insère dans le schéma de simulation ci-dessous :

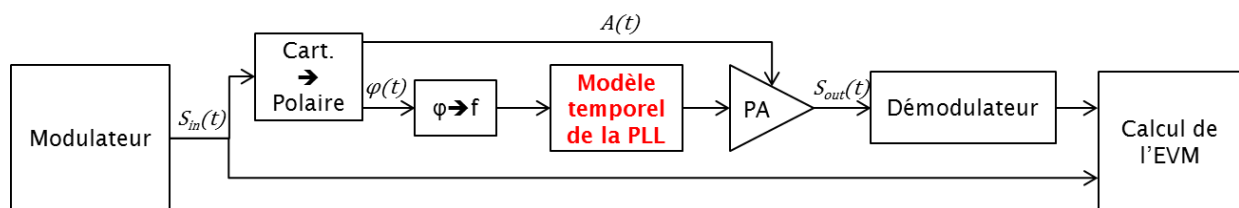
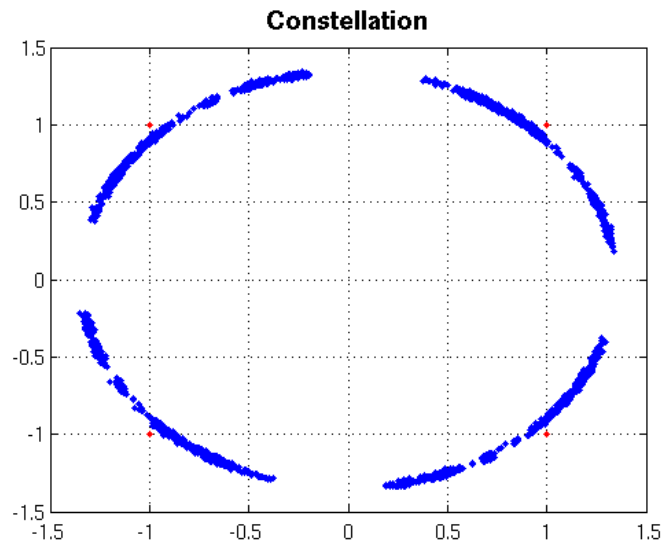


Figure III-23 : Schéma de simulation

Le signal  $S_{in}$  issu du modulateur est converti de cartésien en polaire. La phase est dérivée pour passer en fréquence qui est envoyée dans le modèle temporel présenté. L'amplitude est recombinaison de manière idéale avec la phase de sortie de la PLL pour former le signal  $S_{out}$ , c'est-à-dire que les imperfections du PA ne sont pas prises en compte et les deux voies sont bien synchronisées. Enfin, le signal démodulé est comparé avec le signal initial lui-même resynchronisé pour calculer l'EVM.

### III.2.1 Observation du phénomène

Sur la figure ci-dessous est montrée la constellation d'une modulation QPSK pour du LTE 20 MHz. Les points en rouge sont les points idéaux de la modulation. Les points bleus sont dus aux imprécisions de la PLL.



**Figure III-24 : Constellation QPSK**

Cette constellation montre un très fort bruit de phase, reconnaissable à la concentration en arcs de cercle des points bleus autour des points rouges. Ce bruit de phase est très loin de celui attendu par rapport aux performances en bruit de la PLL considérée. L'EVM obtenu est de 32%, ce qui n'est pas acceptable car le standard LTE tolère un EVM maximum de 17.5% pour toute la chaîne de transmission. C'est pourquoi cette étude a été menée pour expliquer ce phénomène et proposer une solution afin de réduire l'EVM dû à la PLL et rendre ainsi l'architecture polaire possible pour le LTE.

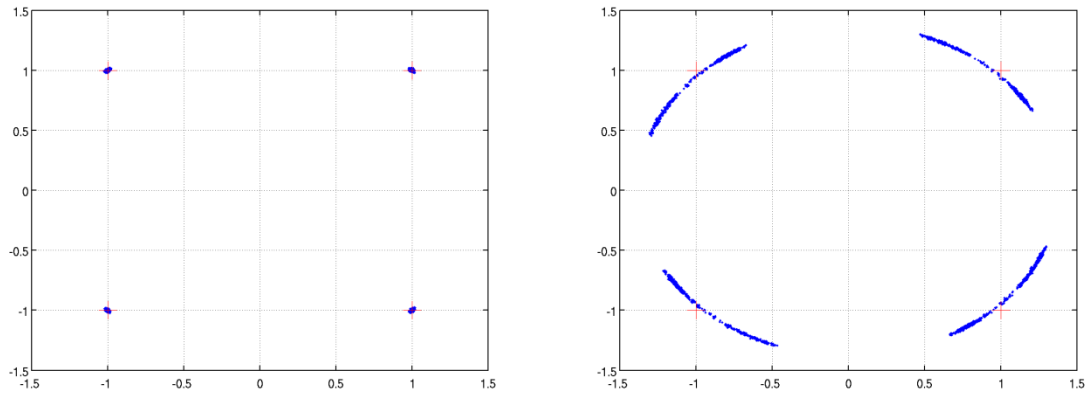
Dans le tableau ci-dessous est comparé l'impact des bruits de chacun des blocs de la PLL sur l'EVM pour le LTE 5 et 20 MHz et le WCDMA.

	Bruit	Référence	VCO	Pompe de charges	Résistances du filtre	Modulateur $\Sigma\Delta$	Total
EVM (%)	LTE 5 MHz	0.7	0.2	0.3	0.2	15.4	15.5
	LTE 20 MHz	0.7	0.2	0.3	0.2	32.1	32.2
	WCDMA	0.7	0.2	0.3	0.2	17.2	17.3

**Tableau III-1 : Comparaison des EVM pour différents standards**

Une différence énorme apparaît entre l'impact du modulateur  $\Sigma\Delta$  et celui des autres blocs sur l'EVM quel que soit le standard ou la bande passante. Pour le WCDMA et le LTE 5 MHz, les bandes passantes sont équivalentes et les EVM obtenus sont quasiment identiques. Pour le LTE 20 MHz, l'impact du modulateur  $\Sigma\Delta$  fait plus que doubler.

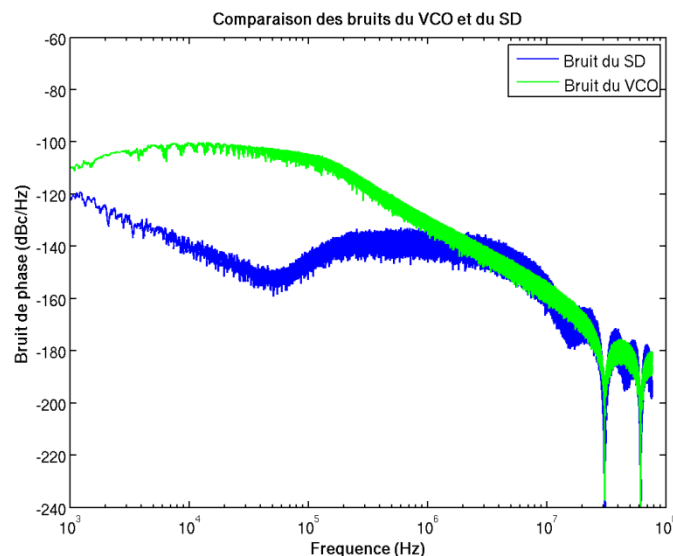
Cela est encore mieux illustré par les deux constellations ci-dessous, tracé pour une modulation QPSK dans le cas du LTE 5 MHz.



**Figure III-25 : Comparaison des constellations impactées par le bruit du VCO (à gauche) – par le  $\Sigma\Delta$  (à droite)**

La différence d'impact entre les bruits de l'oscillateur et du  $\Sigma\Delta$  est très visible lorsque ces deux constellations sont mises côte à côte. Pour l'oscillateur, cela se confond presque avec les points idéaux de la constellation, alors que pour le  $\Sigma\Delta$ , la constellation est sensiblement la même que celle de la Figure III-24.

Sur la figure ci-dessous, une comparaison des bruits de phase en sortie de la PLL dû au  $\Sigma\Delta$  (en bleu) et dû au VCO (en vert) a été faite.



**Figure III-26 : Comparaison des bruits de phase du VCO et du  $\Sigma\Delta$**

À partir de ces courbes de bruits de phase, il n'est pas possible de comprendre pourquoi ces deux contributeurs ont un impact complètement différent sur l'EVM. En effet, les niveaux de bruits, notamment en hautes fréquences, sont quasiment similaires. Et en basses fréquences, le VCO présente même une puissance de bruit supérieure à celle du  $\Sigma\Delta$ , car le maximum de puissance de bruit de ce dernier se trouve toujours à la moitié de la fréquence de référence, la remontée de bruit en basses fréquences n'étant toujours pas réaliste. L'EVM attendu devrait donc être plus dégradé par le VCO que par le  $\Sigma\Delta$



### III.2.2 Explication théorique

Ce phénomène peut être expliqué de manière théorique, en plusieurs temps. D'abord, le cas idéal est présenté, puis l'impact seul du bruit du VCO est étudié, ensuite l'impact seul du modulateur  $\Sigma\Delta$  est analysé et enfin un dernier cas où est rajouté sur la référence un bruit similaire à celui du modulateur  $\Sigma\Delta$ , est étudié.

- Cas idéal

Dans le cas d'une modulation directe de la PLL, la fréquence de sortie devient :

$$f_{vco}[k] = (N + f) \cdot f_{ref} + f_{mod\_vco}[k] \quad (III-24)$$

avec toujours le premier membre qui porte l'information de la fréquence porteuse et le second membre  $f_{mod\_vco}$  la modulation en fréquence insérée par l'entrée de l'oscillateur.

De façon synchronisée, la modulation est aussi insérée sur la consigne du diviseur. Idéalement, le rang de division peut s'écrire de la manière suivante :

$$N_{div}[k] = (N + f) + \frac{f_{mod\_SigmaDelta}[k]}{f_{ref}} \quad (III-25)$$

avec  $f_{mod\_SigmaDelta}$  la modulation en fréquence insérée sur l'entrée du modulateur  $\Sigma\Delta$ .

À la sortie du comparateur de phase, l'écart temporel s'écrit toujours de la façon suivante (identique à l'équation (III-1)) :

$$\Delta t[k] = \Delta t[k - 1] + N_{div}[k] * T_{vco}[k] - T_{ref} \quad (III-26)$$

Il suffit de remplacer alors dans cette équation  $N_{div}$  et  $T_{vco}$  par leurs expressions définies au-dessus et puisque la modulation est insérée de manière identique et synchronisée aux deux points de la PLL, l'équation précédente se simplifie :

$$\Delta t[k] = \Delta t[k - 1] \quad (III-27)$$

Idéalement donc, lorsque la PLL est verrouillée et qu'aucun bruit est considéré, l'écart temporel à l'instant  $k$  est le même qu'à l'instant précédent.

- Cas : uniquement le bruit du VCO

Lorsque le bruit temporel du VCO est ajouté dans le modèle, l'équation (III-21) devient :

$$f_{vco}[k] = (N + f) \cdot f_{ref} + vco_{bruit}[k] + f_{mod\_vco}[k] \quad (III-28)$$

Cette nouvelle expression de la fréquence de sortie de la PLL peut être alors prise en compte dans l'équation (III-24) qui devient alors :

$$\Delta t[k] = \Delta t[k - 1] - \frac{T_{ref} * vco_{bruit}[k]}{(N+f) * f_{ref}} + \frac{T_{ref} * vco_{bruit}[k] * f_{mod\_vco}[k]}{((N+f) * f_{ref})^2} \quad (III-29)$$

L'écart temporel à la sortie du comparateur à l'instant  $k$  est toujours égal à celui de l'instant d'avant, mais deux nouveaux membres viennent s'ajouter à l'expression de l'équation (III-25). Le deuxième membre correspond à l'impact normal du bruit de l'oscillateur sur l'écart temporel. Par contre, un produit entre le bruit de l'oscillateur et la modulation insérée par le VCO apparait dans le troisième membre.

Comme montré dans le Tableau III-1, l'impact du bruit du VCO sur l'EVM est très faible, donc ce produit de mélange n'intervient que très peu dans la dégradation du signal émis. De même, il est important de noter pour la suite que l'amplitude du bruit du VCO est très faible par rapport à une période du signal de sortie. De plus, il est encore multiplié par la période du signal de référence.

- Cas : uniquement le bruit du  $\Sigma\Delta$

Dans ce cas, seul le code du modulateur  $\Sigma\Delta$  est utilisé tel que présenté dans le paragraphe III-1-1-3 sur le diviseur. Quelle que soit l'entrée du modulateur, celui-ci sort un nombre entier. De manière simplifiée, il est possible de considérer ce bruit de quantification sur le rang de division de la manière suivante :

$$N_{div} = N + f + \frac{f_{mod\_SigmaDelta[k]}}{f_{ref}} + \Sigma\Delta_{bruit}[k] \quad (III-30)$$

L'équation (III-24) devient alors :

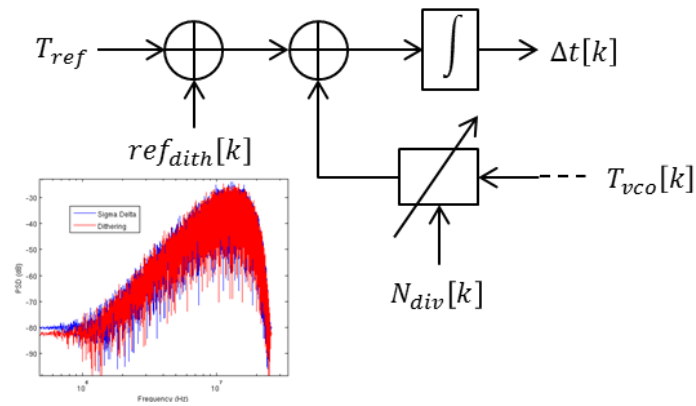
$$\Delta t[k] = \Delta t[k - 1] + \frac{\Sigma\Delta_{bruit}[k]}{(N+f)*f_{ref}} - \frac{\Sigma\Delta_{bruit}[k]*f_{mod\_vco}[k]}{((N+f)*f_{ref})^2} \quad (III-31)$$

Comme précédemment le deuxième membre donne l'impact normal du modulateur  $\Sigma\Delta$  sur la sortie du PFD, soit finalement la courbe en bleu de la Figure III-26. Le produit entre la modulation issue de l'oscillateur et le bruit du  $\Sigma\Delta$  qui apparait dans le troisième membre semble donc être la raison du fort EVM constaté dans le paragraphe III.2.1.

D'autre part, contrairement au bruit de l'oscillateur, le bruit de quantification du modulateur  $\Sigma\Delta$  est assez fort, ramené à une période du signal de sortie. Par exemple, pour un MASH 111 utilisé ici, cela varie de -3 à 4 périodes. Le produit de mélange observé ici est donc beaucoup plus fort que celui vu pour le bruit du VCO.

- Cas : ajout d'un « *dither* » sur la référence

Pour finir de s'assurer que c'est bien ce phénomène qui agit sur la forte dégradation de l'EVM, un « *dither* », c'est-à-dire un bruit blanc remis en forme a été ajouté sur le signal de référence, comme montré sur la figure ci-dessous où seule la partie de la PLL autour du PFD est regardée. Le « *dither* » a la même forme et puissance spectrale que le modulateur  $\Sigma\Delta$  considéré auparavant, comme le montre les courbes rouge pour le « *dither* » et bleu pour le  $\Sigma\Delta$ .



**Figure III-27 : Ajout du « *dither* » sur la référence**

L'équation (III-24) devient cette fois-ci :

$$\Delta t[k] = \Delta t[k - 1] + ref_{dith}[k] \quad (III-32)$$

avec  $ref_{dith}$  le bruit du « *dither* » converti dans le domaine temporel.

À l'issue de cette simulation, l'EVM obtenu ne dépasse pas 1%, ce qui confirme bien que ce n'est pas le bruit du  $\Sigma\Delta$  en lui-même par sa remise en forme ou sa puissance spectrale qui est gênant.

En conclusion de cette partie théorique, un phénomène de mélange entre la modulation issue du VCO et le bruit du modulateur  $\Sigma\Delta$  a été mis en évidence. Celui-ci dégrade fortement la qualité du signal émis. Des solutions existent dans la littérature pour supprimer le bruit du  $\Sigma\Delta$  dans les PLL analogiques. Néanmoins, ces solutions suppriment le bruit à posteriori et le produit de mélange ne peut plus alors être supprimé.

### III.2.3 Solution proposée

L'apparition de ce phénomène vient de la façon dont nous avons cherché à insérer la modulation de fréquence dans la PLL pour à la fois profiter de la fonction de transfert passe-tout du modulateur en 2 points et de la possibilité de convertir du domaine numérique vers l'analogique à l'aide de banque de capacités commutées (Figure II-18) dans l'oscillateur. Cela permet d'avoir une architecture mixte : analogique pour la partie synthèse de fréquence et purement numérique pour la partie modulation.

Typiquement, cette conversion se fait plutôt à l'aide d'un convertisseur numérique-analogique, à la sortie duquel un filtre de reconstruction est nécessaire. Celui sert dans ce cas à construire un signal analogique lissé à partir d'une entrée numérique en filtrant les repliements dus à la fréquence d'échantillonnage du filtre, qui est donc de type passe-bas.

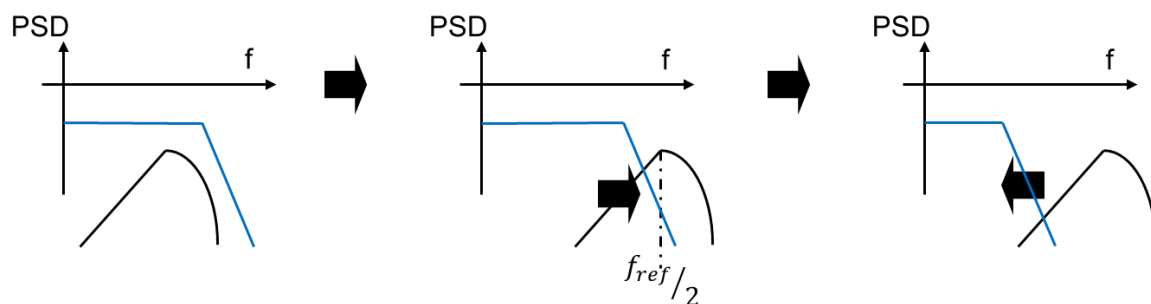
Comme expliqué précédemment, dans le cas d'une conversion d'une modulation des coordonnées cartésiennes à polaires, les bandes passantes des modulations d'amplitude et de phase s'élargissent théoriquement jusqu'à l'infini, mais toujours en théorie, au moins pour la modulation de phase, la fonction de transfert passe-tout

permet de la faire passer intégralement. Néanmoins dans la littérature, il est possible de trouver un certain nombre de publications décrivant la nécessité de réduire la bande passante de la modulation, notamment à cause de la modulation d'amplitude.

Lorsque les modulations d'amplitude et de phase sont insérées à l'aide de DAC, le filtre de reconstruction joue donc naturellement le rôle de limiteur de la bande passante de la modulation. Au final, cela permet indirectement de réduire la plage de fréquence où la puissance de bruit du modulateur  $\Sigma\Delta$  devient assez forte pour interagir avec la modulation. Cette observation est la clé de la méthodologie proposée dans cette section.

### III.2.3.1 Introduction à la méthodologie proposée

Le principe de la méthodologie proposée ici est illustré sur la figure ci-dessous.



**Figure III-28 : Principe de la méthodologie proposée en 3 étapes**

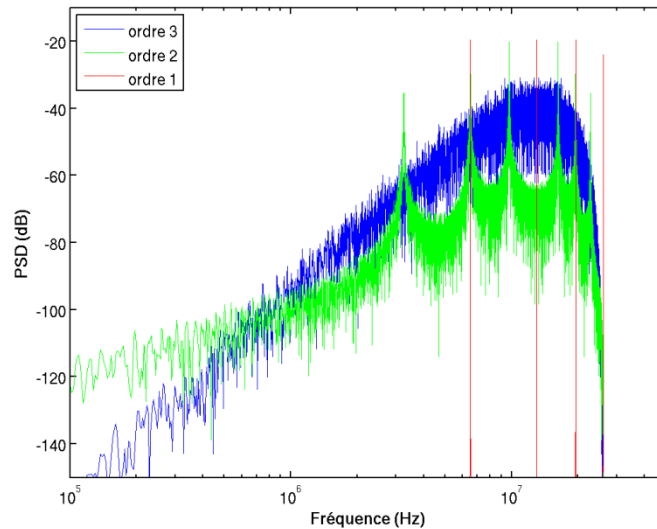
Le point de départ est donc une situation où il y a un recouvrement des puissances spectrales de la modulation de phase et du bruit du modulateur  $\Sigma\Delta$  sur une plage de fréquences non négligeable.

Dans un premier temps, il s'agit de traduire le bruit du modulateur  $\Sigma\Delta$  plus haut en fréquence. Sa puissance maximale apparaissant à la moitié de sa fréquence d'échantillonnage, pour le déplacer plus haut en fréquence, il suffit d'augmenter celle-ci. Malheureusement, sa fréquence d'échantillonnage est généralement aussi la fréquence de référence de la PLL et cela impose d'autres contraintes qui sont étudiées au paragraphe suivant.

Dans un second temps, il s'agit de limiter la bande passante de la modulation. Plusieurs façons de faire sont décrites dans les paragraphes qui suivent. Cette limitation impacte la qualité du signal et une étude doit être menée afin de choisir la solution qui dégrade le moins la modulation.

### III.2.3.2 Éloignement du bruit du Sigma Delta – fréquence de référence

La forme du bruit d'un modulateur  $\Sigma\Delta$  est bien connue. Elle dépend tout d'abord de l'architecture choisie, mais aussi de l'ordre utilisé. Sur la figure ci-dessous sont montrées les densités spectrales de puissance du bruit d'un modulateur  $\Sigma\Delta$  de type MASH pour trois ordres différents : en rouge l'ordre 1, en vert l'ordre 2 et en bleu l'ordre 3.



**Figure III-29 : Différents ordres de modulateur  $\Sigma\Delta$**

Les modulateurs MASH d'ordres 1 et 2 donnent des profils de bruit avec des raies. À partir de l'ordre 3, les profils de bruit sont mieux mis en forme avec une meilleure réjection en basse fréquence. Pour autant, le maximum de puissance de bruit apparaît toujours à la moitié de la fréquence d'échantillonnage. Dans une PLL, le modulateur  $\Sigma\Delta$  est échantillonné à la fréquence de référence. Pour décaler ce maximum, il suffit donc d'augmenter cette fréquence. De plus, pour une bande passante de PLL donnée, décaler ce maximum signifie aussi un meilleur filtrage de ce bruit.

Néanmoins il n'est pas possible d'agir sur la fréquence de référence librement. Pour les applications qui nous intéressent ici, la PLL qui fournit la fréquence porteuse RF a besoin d'une référence très propre, souvent issue directement d'un quartz. Comme montré sur la figure II-18, même s'il faut aussi tenir compte des bruits de la pompe de charges et des résistances, globalement plus la référence est propre, plus la fréquence de coupure de la PLL peut être élevée, même s'il faut aussi tenir compte des bruits de la pompe de charges et des résistances. La bande passante de la PLL est ainsi plus grande et le temps d'établissement est plus rapide. Mais le choix des quartz est limité par la réalisation. Aujourd'hui, il est possible de trouver des séries plus exotiques de quartz qui peuvent monter à 80 MHz maximum. Néanmoins, en production, il est plus facile d'avoir des quartz à 52 MHz.

En conclusion, un compromis est à faire entre la nécessité d'augmenter la fréquence de référence de la PLL pour éloigner le maximum de la puissance de bruit du modulateur  $\Sigma\Delta$  et le coût du quartz.

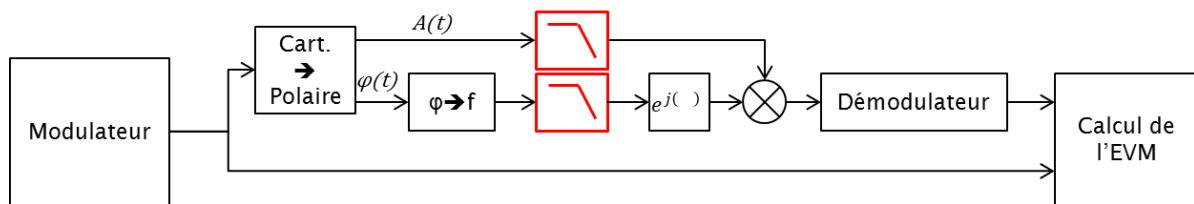
Une fréquence de référence aux alentours de 60 MHz est idéale.

### III.2.3.3 Limitation de la bande passante de la modulation

La seconde étape consiste à réduire la bande passante de la modulation, ce qui est faisable de diverses façons comme l'ajout d'un filtrage ou d'un pré-processing. L'impact de cette réduction est étudié indépendamment de la PLL et du PA.

### III.2.3.3.1 Filtrage de la modulation

Pour limiter la bande passante, le moyen le plus immédiat est d'ajouter un filtrage sur les signaux de modulation comme montré sur la figure ci-dessous.



**Figure III-30 : Schéma de simulation pour le filtrage de la modulation**

Il s'agit d'étudier ici la dégradation du signal de modulation due uniquement à l'ajout de ces deux filtres. Lorsque les signaux d'amplitude et de phase sont filtrés, l'EVM et surtout le spectre sont affectés. Dans un premier temps, le type de filtre à utiliser est regardé. Puis, l'impact de la fréquence de coupure et de l'ordre des filtres choisis sont étudiés.

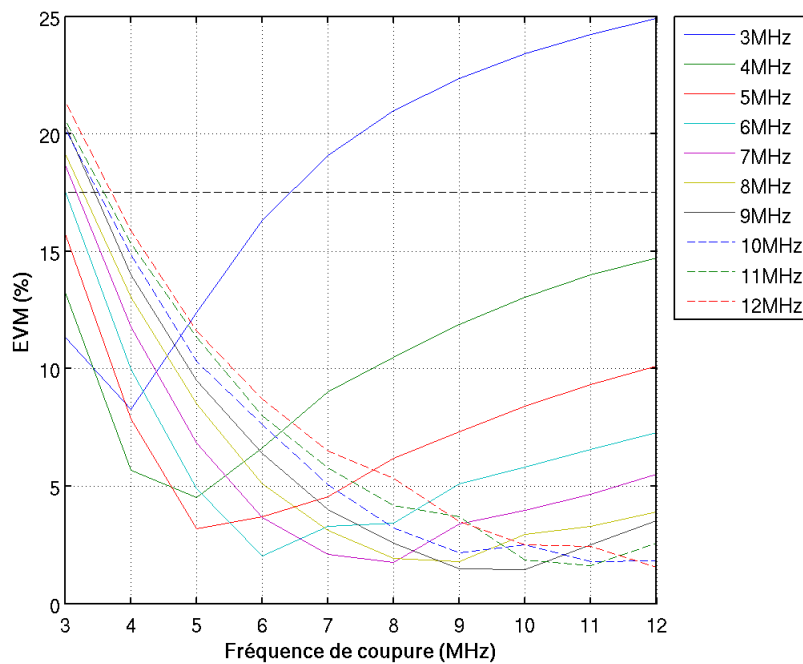
- Impact du type de filtrage

Tout d'abord, le type de filtrage à appliquer sur les deux signaux est étudié. Une rapide étude a montré que bien qu'en synchronisant parfaitement les deux signaux, si deux filtres différents pour chaque signal sont utilisés, il n'est pas possible d'atteindre les spécifications demandées pour les ACLR en WCDMA et LTE.

Au final, des filtres de type *Butterworth* ont été choisis, car ce sont des filtres à phase presque linéaire présentant un gain le plus constant possible dans la bande passante.

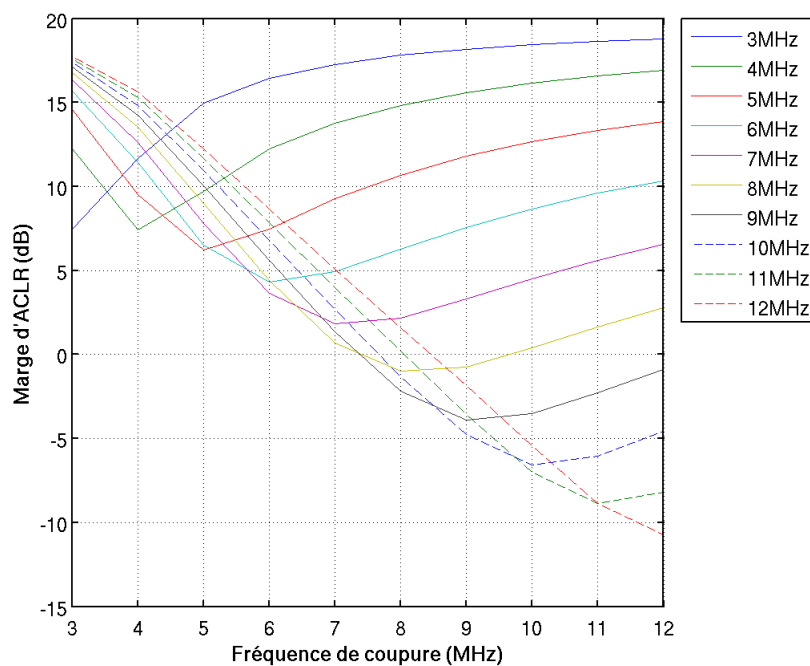
- Impact de la fréquence de coupure du filtre

La fréquence de coupure des filtres *Butterworth* détermine la bande passante des deux signaux d'amplitude et de phase. Sur les figures ci-dessous sont montrées l'EVM et la marge de l'ACLR pour des combinaisons de fréquences de coupure différentes sur les deux signaux pour des filtres d'ordre 4.



**Figure III-31 : EVM pour des combinaisons de fréquence de coupure**

Plus la fréquence de coupure des filtres augmente, plus l'EVM diminue. En effet, les signaux de modulation sont moins filtrés, mais à partir d'une fréquence de coupure de 7 MHz, l'EVM minimum atteint est sensiblement le même. De plus, il est intéressant de remarquer que pour chaque courbe présentée ci-dessus, un minimum apparaît lorsque les fréquences de coupure des deux filtres sont égales.

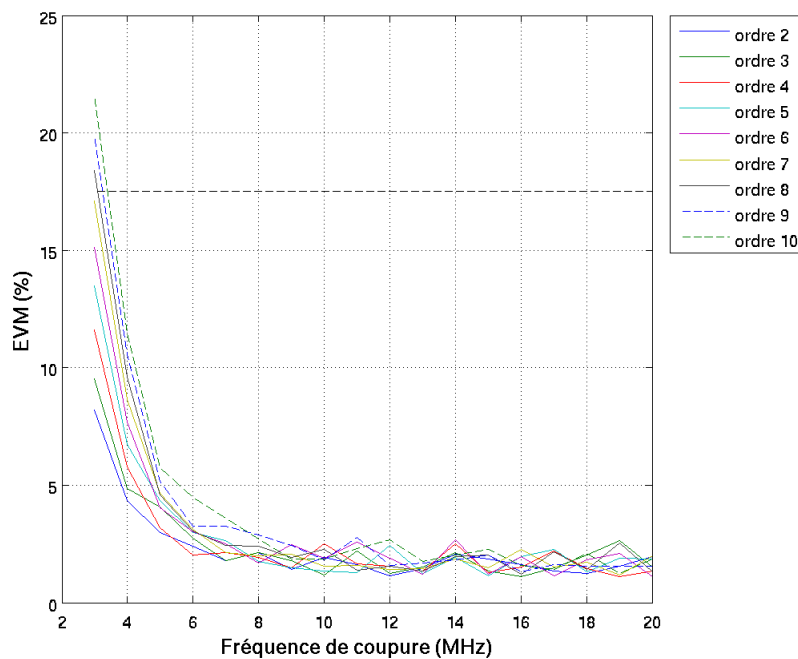


**Figure III-32 : Marge d'ACLR pour des combinaisons de fréquence de coupure**

La marge d'ACLR présente elle aussi un minimum lorsque les fréquences de coupure des deux filtres sont égales. De la même façon, elle diminue avec des fréquences de coupure plus élevées. Pour avoir une marge de -6dB, une fréquence de coupure supérieure à 10 MHz est nécessaire.

- Impact de l'ordre du filtre

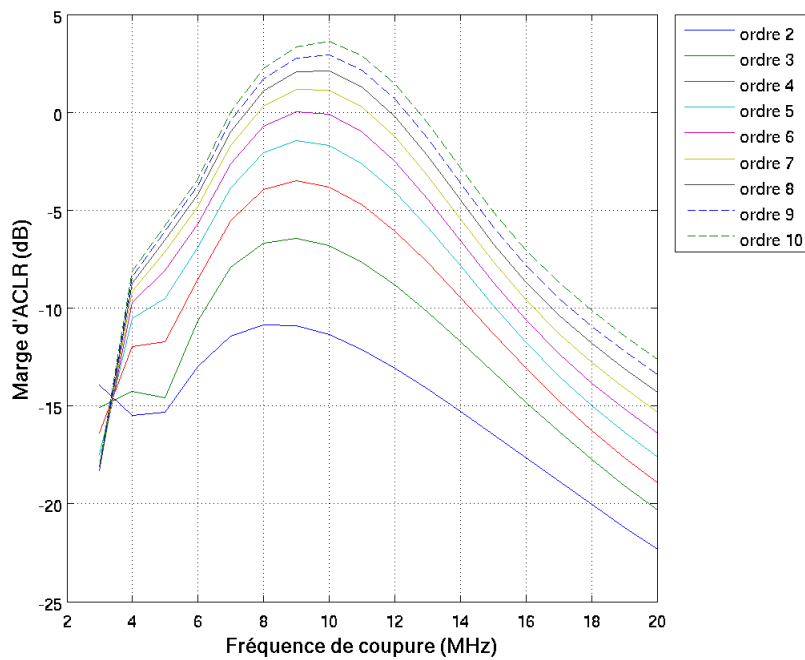
L'ordre du filtre joue aussi sur la qualité du signal. Les figures suivantes montrent l'impact de ce paramètre sur l'EVM et la marge d'ACLR avec des filtres de même fréquence de coupure.



**Figure III-33 : EVM pour des ordres de filtres différents**

L'EVM minimum obtenu est sensiblement le même pour des fréquences de coupure supérieures à 7-8 MHz quel que soit l'ordre des filtres.

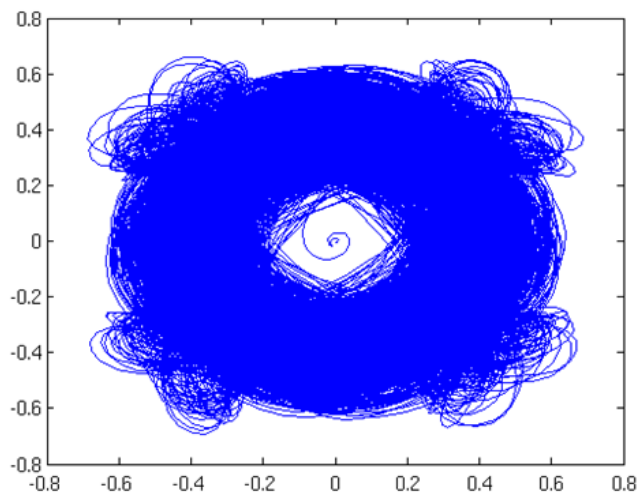




**Figure III-34 : Marge d'ACLR pour des ordres de filtre**

Par contre, la marge d'ACLR est fortement impactée par l'ordre du filtre choisi. Un ordre de filtre faible est préférable pour obtenir des marges d'ACLR inférieures à 6 dB.

Au final, deux filtres *Butterworth* d'ordre 4 avec une fréquence de coupure de 10 MHz sont ajoutés sur les signaux d'amplitude et de phase. Pour une modulation QPSK, cela donne la trajectoire modifiée du signal représentée dans la figure ci-dessous.



**Figure III-35 : Trajectoire du signal modifiée par le filtrage**

### III.2.3.3.2 Bloqueur

La fréquence instantanée introduite sur le deuxième point (oscillateur) de la PLL est générée en dérivant la phase du signal de modulation, ce qui signifie que le maximum de la fréquence instantanée est déterminé par l'équation suivante :

$$f_{max} = 1/2 \cdot OSR \cdot f_{chip} \quad \text{(III-33)}$$

avec  $f_{chip}$  la fréquence d'échantillonnage de la modulation (pour le WCDMA et le LTE elle est de 3.84 MHz),  $OSR$  le sur-échantillonnage de la chaîne notamment au niveau du passage des coordonnées cartésiennes à polaires.

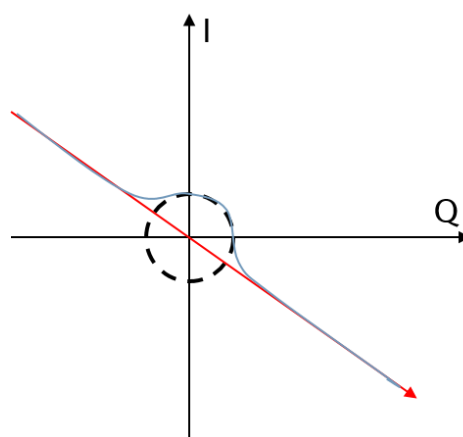
Réduire le sur-échantillonnage permet de réduire directement la dynamique du DAC généralement utilisé sur la voie du VCO. Dans notre cas, plutôt que la dynamique du DAC, cela permet de réduire le nombre de capacités sur l'oscillateur, ce qui facilite l'implémentation de la banque de capacités pour la modulation.

Néanmoins, cette solution ne permet aucunement de réduire la bande passante des signaux d'amplitude et de phase de la modulation, puisque cela n'impacte que la dynamique en fréquence du signal de phase, dérivé en fréquence.

### III.2.3.3.3 Pré-processing / Pré-distorsion

L'élargissement des bandes passantes des signaux d'amplitude et de phase est dû au fait que la trajectoire du signal de modulation passe par ou proche de l'origine. Néanmoins, la probabilité est assez faible, ce qui signifie que moyennant une dégradation des performances qu'il est nécessaire de prendre en compte, il est possible de contourner l'origine en ajoutant une pré-distorsion numérique en amont de la chaîne de modulation.

Celle-ci consiste à la mise en place d'un cercle d'exclusion autour de l'origine comme montré sur la figure ci-dessous.



**Figure III-36 : Principe du pré-processing**

Si la trajectoire du signal (en rouge) doit passer à l'intérieur du cercle (en pointillé) de rayon défini préalablement, elle est numériquement modifiée pour passer sur le contour du cercle (en bleu).

Le tableau ci-dessous montre l'influence du rayon du cercle d'exclusion normalisé par rapport à l'amplitude maximale de la trajectoire du signal sur les performances de la chaîne d'émission.

Rayon du cercle	EVM (%)	Marge d'ACLR (dB)
0	0	20
0.1	1.2	15
0.15	4.3	8
0.2	8.4	2

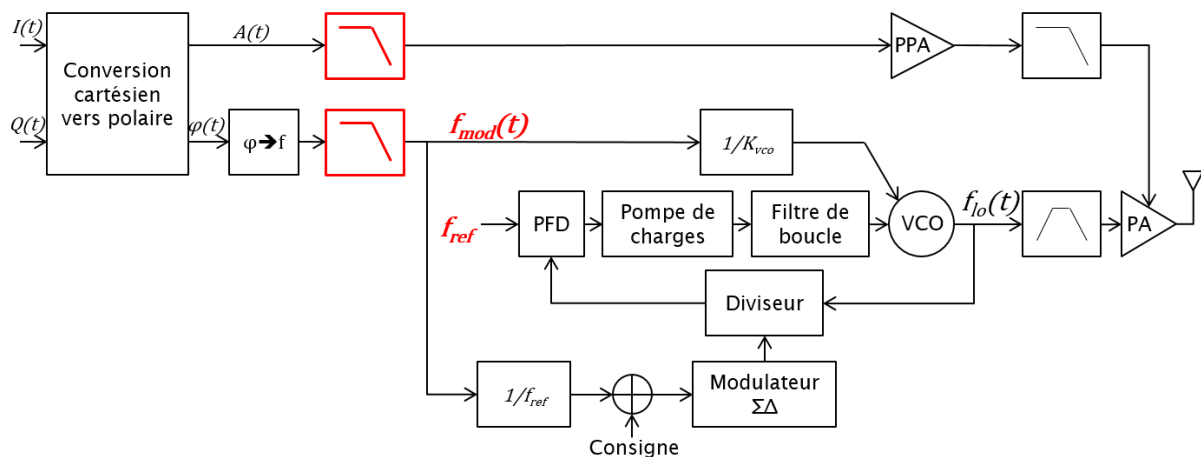
**Tableau III-2 : Impact du cercle d'exclusion sur la qualité de la modulation**

Plus le rayon du cercle est grand, plus la probabilité qu'une trajectoire passe dedans est grande. Le nombre de trajectoires modifiées augmentant, les performances du signal se trouvent dégradées.

Cette méthode offre néanmoins un moyen de réduire la bande passante des signaux d'amplitude et de phase au détriment d'une certaine dégradation du signal. Par contre, cela permet de diminuer la fréquence maximale instantanée

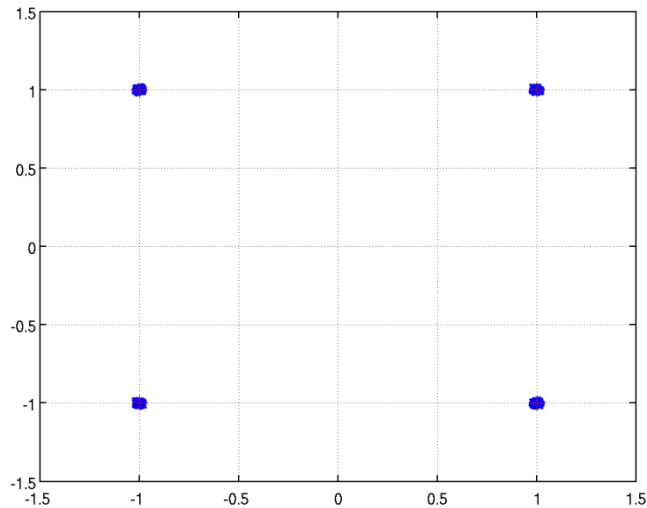
### III.2.3.4 Conclusion sur la méthodologie

Quelle que soit la méthode choisie pour réduire la bande passante des signaux d'amplitude et de phase, elles ont été étudiées indépendamment des performances de la PLL. Il s'agit désormais de regarder les améliorations qu'elles ont apportées en considérant l'ensemble. Sur la Figure III-37 est représentée la solution du filtrage ajoutée en amont de la PLL.



**Figure III-37 : Implémentation de la méthodologie**

La fréquence de référence de la PLL, qui cadence aussi le modulateur  $\Sigma\Delta$ , a aussi été doublée afin de décaler le bruit de ce modulateur. Sur la figure ci-dessous est montrée une constellation QPSK du LTE 5 MHz tenant compte de toutes les imperfections de la PLL, y compris donc le bruit du modulateur  $\Sigma\Delta$ .



**Figure III-38 : Constellation QPSK impacté par le filtrage**

Sur cette constellation, un bruit d'amplitude est désormais observé dû à l'ajout du filtre sur le signal d'amplitude. L'EVM obtenu uniquement suite à ce filtrage est de 1.3%.

### III.3 Conclusion du chapitre III

Dans ce chapitre a été présenté de façon détaillée un modèle événementiel de la PLL analogique qui permet de prendre en compte bruits et non-linéarités. Pour moduler la PLL par un signal avec une large bande passante, il est nécessaire de l'appliquer en deux points de la PLL : l'oscillateur et la consigne. Ce modèle a été modifié afin de pouvoir simuler simultanément ces deux points d'insertion de la modulation.

Un phénomène de mélange entre la modulation insérée sur l'oscillateur et le bruit du modulateur  $\Sigma\Delta$  a été constaté. Il est dû au choix de vouloir profiter de la conversion numérique-analogique d'une banque de capacités commutées sur l'oscillateur. Celui-ci ne permet pas en l'état d'utiliser cette solution pour du WCDMA et du LTE, car la dégradation observée de la qualité du signal était trop forte.

Plusieurs solutions ont été étudiées pour contrecarrer ce phénomène. Finalement, la solution du filtrage des signaux d'amplitude et de phase a été retenue. Combinée avec l'augmentation de la fréquence de référence, une méthodologie de dimensionnement des filtres a été proposée. Elle a permis de retrouver des performances acceptables pour le LTE, rendant possible l'utilisation d'une PLL analogique.



## Chapitre IV. Modulation par la PLL numérique

IV.1	Modèle évènementiel non linéaire .....	95
IV.1.1	Explication du modèle .....	95
IV.1.1.1	Fréquencemètre .....	97
IV.1.1.2	Filtre de boucle .....	98
IV.1.1.3	Oscillateur .....	99
IV.1.2	Intégration des bruits .....	99
IV.1.2.1	Bruit de la référence .....	100
IV.1.2.2	Bruit du TDC .....	100
IV.1.2.3	Bruit du DCO .....	101
IV.1.2.4	Bruit de phase total .....	103
IV.1.3	Intégration des non-linéarités .....	104
IV.1.3.1	Non-linéarité du TDC .....	104
IV.1.3.2	Non-linéarités du DCO .....	107
IV.1.4	Insertion de la modulation .....	108
IV.2	Gain du TDC .....	109
IV.2.1	Observation du phénomène .....	109
IV.2.2	Explication théorique .....	111
IV.2.3	Solution proposée : modulation 3 points .....	112
IV.2.3.1	Principe de la modulation 3 points .....	112
IV.2.3.2	Erreur de calibration .....	114
IV.3	Conclusion du chapitre IV .....	115

## Table des figures

Figure IV-1 : PLL numérique.....	95
Figure IV-2 : Chronogramme .....	96
Figure IV-3 : Organigramme .....	96
Figure IV-4 : Principe du TDC.....	97
Figure IV-5 : Filtre de boucle numérique .....	98
Figure IV-6 : Ajout des bruits dans la PLL numérique .....	99
Figure IV-7 : Bruit de phase de la référence .....	100
Figure IV-8 : Bruit de phase du TDC ramené en sortie de la PLL .....	101
Figure IV-9 : Bruit de phase du DCO ramené en sortie de la PLL.....	102
Figure IV-10 : Bruit de phase dû à la quantification du DCO ramené en sortie .....	103
Figure IV-11 : Fréquence de sortie dans le temps .....	103
Figure IV-12 : Bruit de phase total .....	104
Figure IV-13 : Caractéristique du TDC.....	105
Figure IV-14 : Modélisation des désappariements du TDC .....	105
Figure IV-15 : Bruit de phase du TDC ramené en sortie de la PLL .....	106
Figure IV-16 : Ajout du « <i>dithering</i> » sur la référence.....	106
Figure IV-17 : Bruit de phase dû à la quantification et aux désappariements des capacités du DCO ramené en sortie de la PLL .....	107
Figure IV-18 : Bruit de phase avec toutes les imperfections de la PLL.....	107
Figure IV-19 : Insertion de la modulation en 2 points .....	108
Figure IV-20 : Schéma de simulation.....	109
Figure IV-21 : Impact de la méthode de mesure du gain du TDC sur l'EVM .....	110
Figure IV-22 : Modulateur en 3 points .....	112
Figure IV-23 : Comparaison des différentes méthodes.....	113
Figure IV-24 : Constellation QPSK pour du LTE 20 MHz.....	114
Figure IV-25 : Erreur de calibration du gain .....	114

## Table des tableaux

Tableau IV-1 : Comparaison des EVM pour différents standards .....	109
--	-----

## IV.1 Modèle évènementiel non linéaire

L'idée initiale était de profiter de la conversion numérique-analogique intrinsèque à une banque de capacités commutées dans un oscillateur pour insérer directement la modulation en ce point sans passer par un DAC. Ainsi, la suite a été de considérer un oscillateur entièrement contrôlé numériquement (DCO pour « *Digitally Controlled Oscillator* ») et donc une PLL numérique pour l'asservir. Il a fallu développer un modèle évènementiel basé sur celui présenté dans le chapitre III, mais adapté à ce type d'architecture de PLL.

La figure suivante rappelle l'architecture d'une PLL numérique, déjà présentée plus en détail dans le chapitre II.

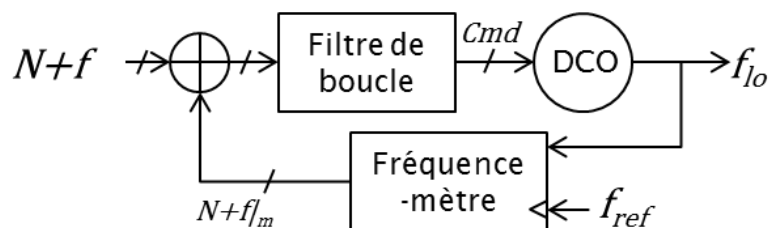


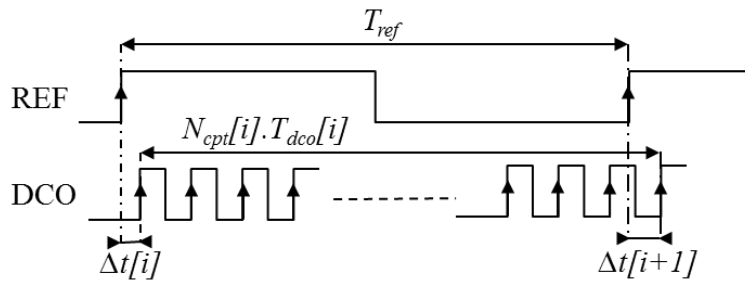
Figure IV-1 : PLL numérique

La fonction du fréquencemètre est de convertir la fréquence de sortie de la PLL en information numérique, pouvant dès lors être comparé à la consigne de sélection du canal souhaité, représenté sur cette figure par la somme de sa partie entière  $N$  et de sa partie fractionnaire  $f$ . L'erreur entre la mesure et cette consigne est ensuite filtrée et le mot de commande contrôle alors le DCO.

### IV.1.1 Explication du modèle

Comme le modèle développé pour la PLL analogique, celui proposé pour la PLL numérique est évènementiel. Dans ce type d'architecture de PLL, c'est toujours le délai entre le front de la référence utile et le front de l'oscillateur arrivant juste après qui est mesuré. Il en est de même pour le résultat de comptage, comme montré sur le chronogramme de la Figure IV-2. Les points de calculs minimums sont donc ces fronts de référence. Comme la commande de l'oscillateur est numérique, elle est bloquée entre deux fronts de référence. Ainsi, seule la phase de sortie change à chaque front du DCO (sauf en cas d'utilisation de Sigma Delta sur le DCO). Il est plus facile de considérer tous ses fronts que pour le modèle de la PLL analogique si une plus grande résolution est souhaitée. Néanmoins dans ce chapitre, seul un modèle échantillonné à  $T_{ref}$  est présenté.





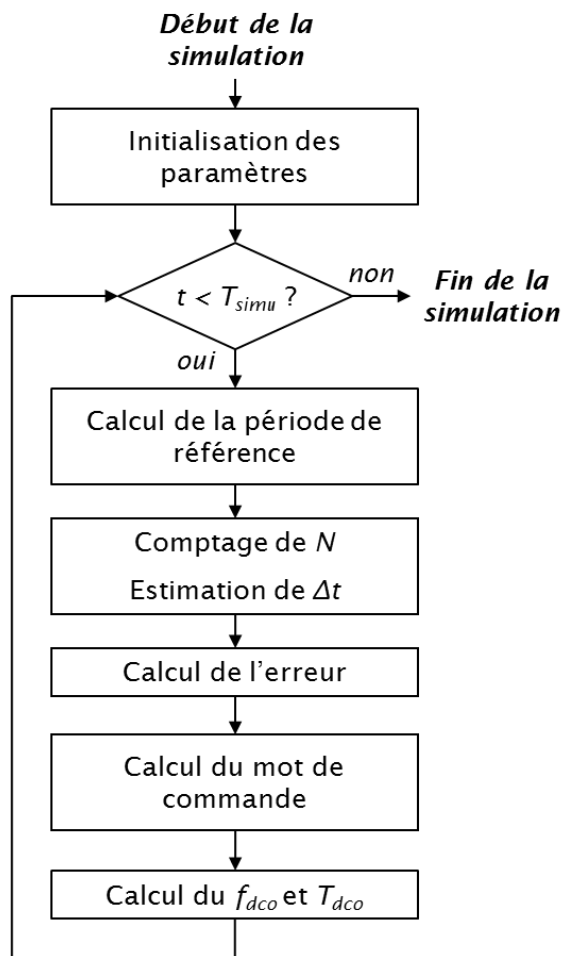
**Figure IV-2 : Chronogramme**

Du chronogramme de la Figure IV-2, il vient l'équation suivante :

$$\Delta t[i + 1] = \Delta t[i] + N_{cpt}[i] * T_{dco}[i] - T_{ref} \quad (IV-1)$$

Elle permet d'établir une relation entre les écarts temporels des fronts de la référence et de l'oscillateur similaire à celle de l'équation (III-1) pour la PLL analogique. Ici, le nombre de période d'oscillation est le résultat d'un comptage et non un rang de division.

Le modèle est basé sur l'organigramme ci-dessous. Les instants d'échantillonnage sont choisis sur les fronts montants de la référence.



**Figure IV-3 : Organigramme**

Après une première étape d'initialisation des paramètres de simulation et de la PLL étudiée, la valeur instantanée de la période de référence est déterminée. Dans un premier temps, elle est considérée constante, mais par la suite un bruit sera ajouté. Ensuite, le fréquencemètre est modélisé par ses deux composants : compteur pour le nombre de périodes d'oscillateur et TDC (« *Time to Digital Converter* ») pour la mesure du délai entre les fronts de référence et d'oscillateur. L'erreur entre le résultat du fréquencemètre et la consigne de la PLL est ensuite calculée, puis filtrée à travers le filtre de boucle numérique pour donner le mot de commande. Celui-ci permet de calculer la nouvelle fréquence d'oscillateur pour la nouvelle période de référence.

#### IV.1.1.1 Fréquencemètre

Le délai à mesurer par le TDC est toujours positif. Au niveau de l'équation (IV-1), cela signifie qu'on cherche à avoir  $N_{cpt}$  tel que :

$$\Delta t[i] + N_{cpt}[i] * T_{dco}[i] - T_{ref} > 0 \quad (IV-2)$$

Lorsque la PLL est proche du verrouillage, le résultat du comptage fluctue autour de  $N$  la partie entière du mot de sélection du canal.

Le TDC mesure donc l'écart temporel entre le front montant de la référence et le front montant de l'oscillateur qui suit. La précision de la mesure du TDC dépend de l'architecture choisie. La résolution de celle présentée en Figure II-21 est égale au délai d'un inverseur, mais il est possible avec des structures différentielles d'atteindre des résolutions plus fines. Celle-ci est notée  $T_q$  sur la figure ci-dessous.

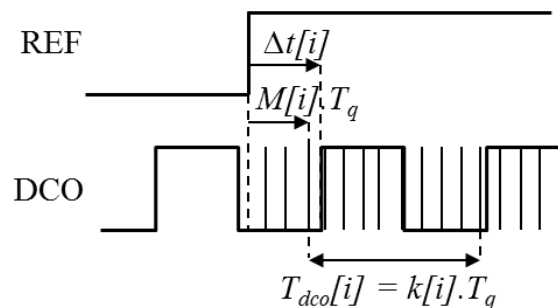


Figure IV-4 : Principe du TDC

Le délai  $\Delta t$  est quantifié par le TDC et le résultat de mesure est donné par la partie entière du rapport entre ce délai et la résolution du TDC :

$$M[i] = \left\lfloor \frac{\Delta t[i]}{T_q} \right\rfloor \quad (IV-3)$$

L'équation (IV-1) peut donc se réécrire de la façon suivante :

$$M[i + 1] * T_q = M[i] * T_q + N_{cpt}[i] * T_{dco}[i] - T_{ref} \quad (IV-4)$$

L'objectif est d'avoir un résultat de mesure homogène au mot de sélection du canal  $N+f$ , soit le rapport de division entre la fréquence de sortie et celle de référence.

L'équation précédente devient :

$$\frac{T_{ref}}{T_{dco}[i]} = N_{cpt}[i] + (M[i] - M[i + 1]) * \frac{T_q}{T_{dco}[i]} \quad (IV-5)$$

De cette équation, un rapport entre le pas de quantification du TDC et la période d'oscillation apparaît. Il est nécessaire de mesurer aussi celui-ci afin d'avoir l'information souhaitée. Ce rapport est le gain du TDC, noté  $G_{TDC}$  et dans un premier temps peut s'écrire de la façon suivante :

$$G_{TDC}[i] = \left[ \frac{T_{dco}[i]}{T_q} \right] \quad (IV-6)$$

La façon de calibrer ce gain a un impact sur les performances de la PLL qui sera étudié dans la section IV.2.

L'équation (IV-4) devient donc :

$$\frac{f_{dco}[i]}{f_{ref}} = \left( N_{cpt}[i] + \frac{M[i] - M[i+1]}{G_{TDC}[i]} \right) \quad (IV-7)$$

Cela donne bien le rapport entre les fréquences de sortie et de référence à chaque instant d'échantillonnage. Ainsi, l'erreur entre cette mesure et la consigne de la PLL s'écrit :

$$erreur[i] = \left( N_{cpt}[i] + \frac{M[i] - M[i+1]}{G_{TDC}[i]} \right) - (N + f) \quad (IV-8)$$

#### IV.1.1.2 Filtre de boucle

L'erreur calculée grâce à l'équation (IV-8) est injectée dans un filtre de boucle numérique dont le schéma de principe est montré sur la figure ci-dessous.

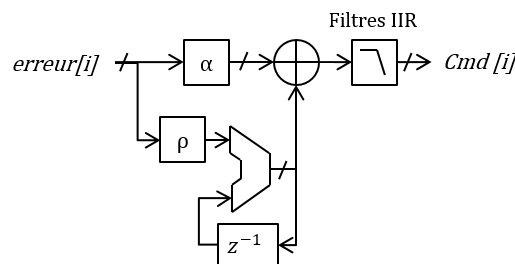


Figure IV-5 : Filtre de boucle numérique

La caractéristique de ce filtre est semblable à celle du filtre de boucle de la PLL analogique. La partie « proportionnelle » est faite grâce au coefficient  $\alpha$  et la partie « intégrale » est faite par le chemin regroupant le gain  $\rho$  et un accumulateur. La fonction de transfert de ce filtre est :

$$F(z) = \frac{Cmd}{erreur} = \left( \alpha + \frac{\rho}{1-z^{-1}} \right) \prod_{j=1}^n \frac{\lambda_j}{1-(1-\lambda_j z^{-1})} \quad (IV-9)$$

Il est possible d'ajouter plusieurs filtres IIR pour mieux filtrer les bruits en hautes fréquences ou des raies particulières, comme celle à la fréquence de référence.

L'avantage des PLL numériques est en effet d'avoir ce filtre numérique qui permet plus de flexibilité pour des surfaces plus petites que le filtre de boucle analogique.

### IV.1.1.3 Oscillateur

Comme pour le VCO, la modélisation du DCO peut se faire de différentes façons et la première est de considérer que la fréquence de sortie de l'oscillateur varie linéairement en fonction du mot de commande qui est appliqué.

$$f_{dco}[i] = f_{min} + K_{dco} * Cmd[i] \quad (IV-10)$$

où  $f_{min}$  est la fréquence minimale de la plage de fonctionnement du DCO et  $K_{dco}$  le gain de la plus petite banque de capacités commutées.

Similairement au VCO et comme dans l'équation (II-5), il est possible de considérer la caractéristique non-linéaire de l'oscillateur par l'équation ci-dessous :

$$f_{dco}[i] = \frac{1}{2\pi\sqrt{L(C_{max} - C_{unit} * Cmd[i])}} \quad (IV-11)$$

avec  $L$  la valeur de l'inductance,  $C_{max}$  la capacité maximale permettant de se placer en bas de la plage de fonctionnement de l'oscillateur et  $C_{unit}$  la capacité unitaire de la banque de capacités commutées.

### IV.1.2 Intégration des bruits

De la même façon que pour le modèle précédent, il faut convertir les bruits dans le domaine temporel, puis les intégrer dans le modèle aux endroits où ils s'appliquent comme montré sur la Figure IV-6. La mise en forme des bruits par la PLL se fait par construction dans le modèle. La fréquence de sortie  $f_{lo}$  est intégrée pour passer en phase, une FFT est appliquée ensuite pour obtenir le bruit de phase.

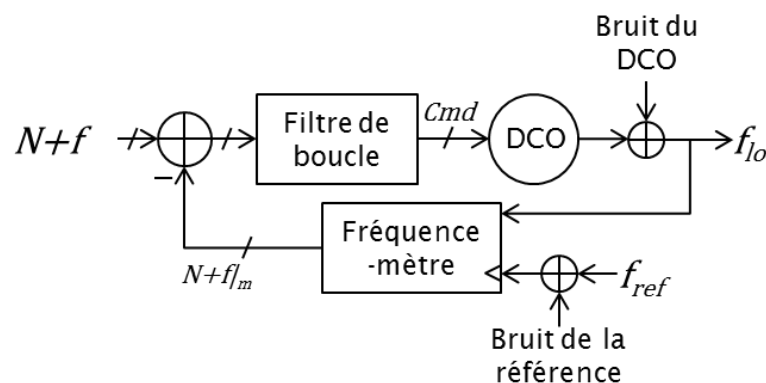


Figure IV-6 : Ajout des bruits dans la PLL numérique

Dans une PLL numérique, les bruits viennent principalement de deux origines :

- Bruits issus d'un profil de fréquence pour ceux de la référence et de l'oscillateur
- Bruits de quantification pour le TDC et les banques de capacités commutées de l'oscillateur.

De façon similaire au chapitre précédent, les paragraphes suivants comparent les puissances de bruit en sortie de ce modèle et du modèle de Laplace.

### IV.1.2.1 Bruit de la référence

La même méthodologie que présentée dans le paragraphe III.1.2.1 est utilisée ici pour convertir les profils en fréquences des bruits de la référence et de l'oscillateur dans le domaine temporel.

Le bruit de la référence est injecté dans l'organigramme de la Figure IV-3 à l'endroit appelé « définition de la référence ». L'équation pour insérer ce bruit dans le modèle est la même que celle du modèle analogique :

$$T_{ref\_bruit}[i] = \frac{T_{ref}}{1 + T_{ref} \cdot ref\_bruit[i]} \quad (IV-12)$$

La figure ci-dessous présente la comparaison entre le bruit de phase obtenu après la FFT de la sortie de la PLL dans le domaine temporel (en noir) et celui obtenu grâce à un modèle dans le domaine de Laplace (en rouge).

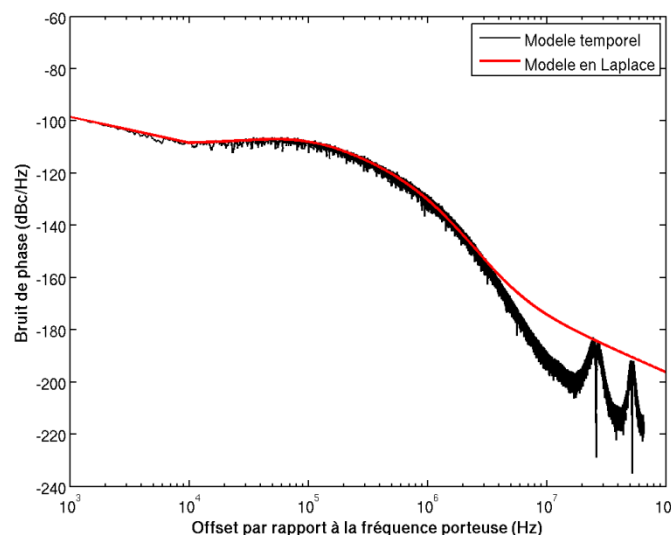


Figure IV-7 : Bruit de phase de la référence

Les deux courbes se superposent bien jusqu'à 3 MHz. En hautes fréquences, l'échantillonnage du modèle à la fréquence de référence provoque les repliements.

### IV.1.2.2 Bruit du TDC

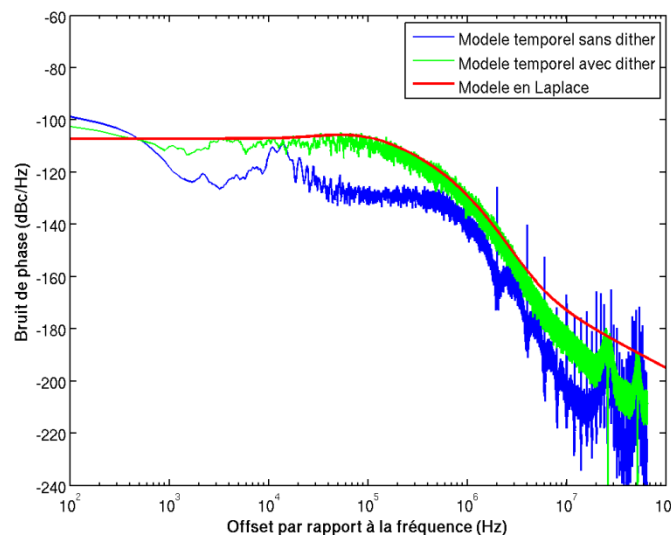
Le bruit du TDC vient de la quantification du délai comme montré dans l'équation (IV-3). Comme déjà mentionné dans le chapitre II, des cycles limites dus au glissement de la partie fractionnaire existent dans une structure de TDC et font apparaître des raies sur le spectre de sortie de la PLL. Il est possible néanmoins de répartir l'énergie contenue dans ces raies sous le plancher de bruit de la PLL par l'ajout volontaire d'un bruit sur la référence qui crée alors une petite variation aléatoire de la fréquence. Ce bruit est appelé « *dithering* ».

Celui-ci consiste en l'ajout d'un bruit blanc remis en forme par l'intermédiaire de plusieurs dérivées successives pour avoir une puissance de bruit maximale hors de la bande passante de la PLL. Cela permet de faire varier le signal de référence avec un bruit qui est filtré ensuite naturellement par la fonction de transfert passe bas de la référence vers la sortie.

La figure ci-dessous montre la comparaison des bruits de phases obtenus avec le modèle événementiel avec (en vert) et sans « *dithering* » (en bleu) et celui obtenu avec un modèle de Laplace utilisant la formule équivalente suivante :

$$L(f) = 10 * \log \left( \frac{\left( \frac{2\pi T_q}{T_{dco}} \right)^2}{12 * f_{ref}} \right) \quad (IV-13)$$

Celle-ci n'est valable que dans le cas d'une distribution uniforme de l'erreur de quantification sur un pas de quantification.



**Figure IV-8 : Bruit de phase du TDC ramené en sortie de la PLL**

Sans « *dithering* », le bruit de phase est globalement plus faible, mais présente des raies. L'ajout du « *dithering* » permet effectivement de faire disparaître ces raies et de lisser le bruit de phase. Au final, ce bruit de phase se superpose avec celui obtenu avec le modèle dans le domaine de Laplace. Le « *dithering* » permet donc de casser les cycles limites apparaissant dans le TDC responsables des raies parasites.

### IV.1.2.3 Bruit du DCO

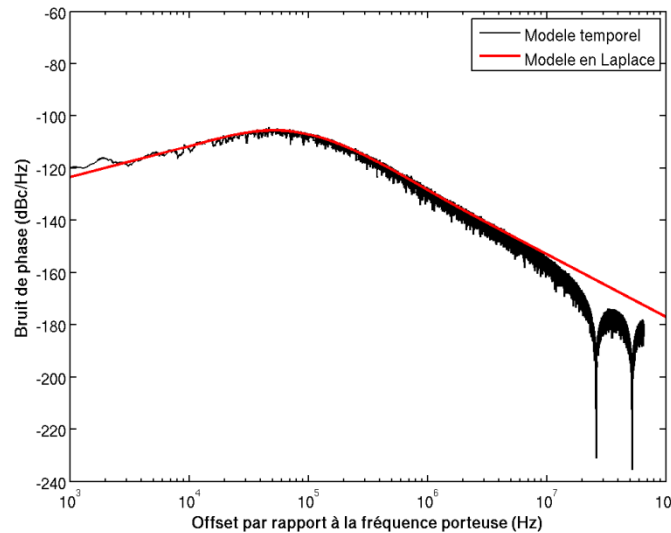
La particularité d'un DCO est de fonctionner à partir de capacités commutées très fines. Ainsi, le bruit du DCO est divisé en deux parties : le bruit intrinsèque d'un oscillateur et le bruit de quantification induit par la commutation de ces capacités.

Le bruit temporel du DCO converti à partir du profil de fréquences est inséré dans les équations (IV-10) et (IV-11) selon la modélisation du DCO choisie.

Par exemple, en insérant le bruit de l'oscillateur  $dco_{bruit}$  dans l'équation (IV-10), cela donne :

$$f_{dco}[i] = f_{min} + K_{dco} * Cmd[i] + dco_{bruit}[i] \quad (IV-14)$$

Sur la figure suivante sont comparés à nouveau les bruits de phase obtenus à partir du modèle événementiel (en noir) et d'un modèle basé sur des fonctions de transfert dans le domaine de Laplace (en rouge) pour le bruit du DCO.



**Figure IV-9 : Bruit de phase du DCO ramené en sortie de la PLL**

Les deux bruits de phase se superposent bien. Le filtrage passe-haut du bruit de l'oscillateur est bien observable en basses fréquences.

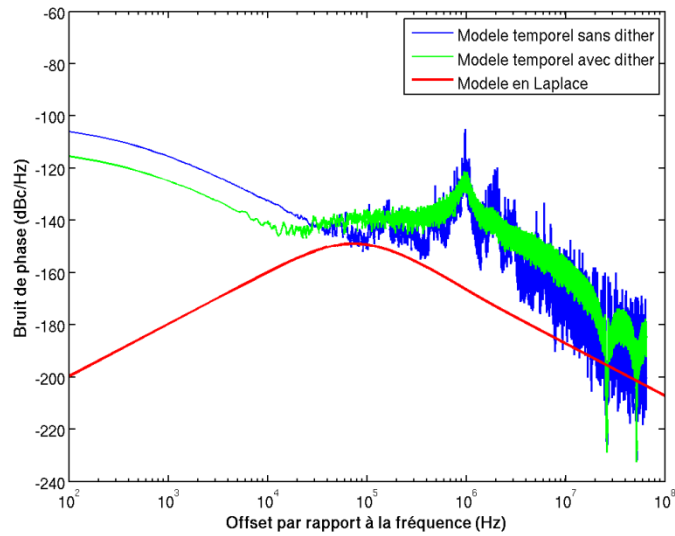
Le bruit de quantification du DCO est obtenu en prenant la partie entière du mot de commande tel que l'équation (IV-10) devienne :

$$f_{dco}[i] = f_{min} + K_{dco} * [Cmd[i]] \quad (IV-15)$$

Une comparaison entre les bruits de phase des différents modèles est montrée sur la Figure IV-10. Pour le modèle fréquentiel (en rouge), la formule similaire à celle de l'équation (IV-12) est utilisée :

$$L(f) = 10 * \log \left( \frac{\left( \frac{2\pi \Delta f}{f_{ref}} \right)^2}{12 * f_{ref}} \right) \quad (IV-16)$$

Néanmoins, comme précédemment, celle-ci n'est valable que dans le cas d'une distribution uniforme du mot de commande  $Cmd$ .

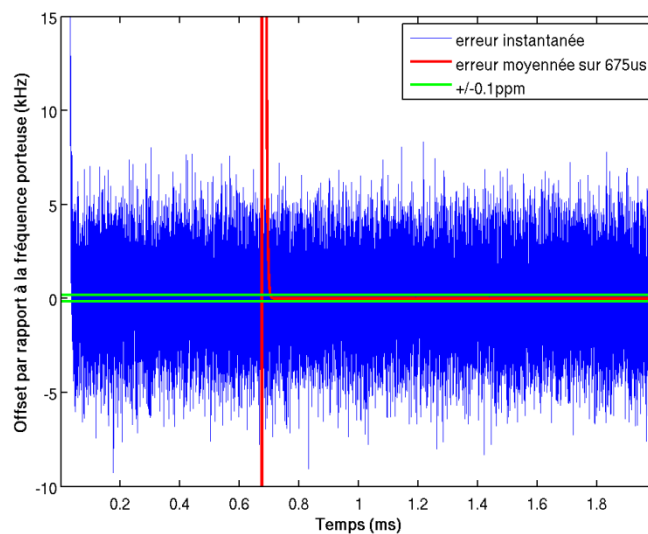


**Figure IV-10 : Bruit de phase dû à la quantification du DCO ramené en sortie**

Le « *dithering* » ajouté sur le signal de référence permet de diminuer le nombre de raies vues sur la courbe en bleu. Mais, comme celui-ci est filtré en passe-bas par la boucle, il n'est pas suffisant pour obtenir le niveau théorique. Un modulateur  $\Sigma\Delta$  est nécessaire pour diminuer le pas de quantification effectif et donc le bruit qui l'accompagne.

#### IV.1.2.4 Bruit de phase total

Au final, il est possible de tracer l'erreur par rapport à la fréquence de sortie de la PLL due à tous les bruits présentés ci-dessus dans le temps, comme montré sur la figure suivante.

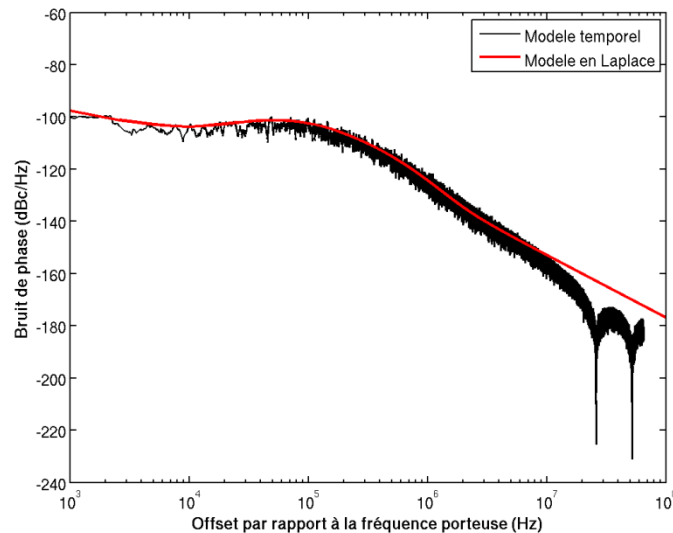


**Figure IV-11 : Fréquence de sortie dans le temps**



Les bruits de la PLL créent une erreur instantanée (courbe bleue) importante, de l'ordre de la dizaine de kilohertz. Or, les standards comme le GSM spécifient des limites souvent beaucoup plus faibles à moins de  $\pm 0.1$  ppm sur une fenêtre glissante de  $675 \mu s$ . Sur la figure ci-dessus, l'erreur moyennée sur cette fenêtre glissante (courbe rouge) reste bien dans les limites spécifiées (courbes vertes).

Le bruit de phase total obtenu à partir de tous ces bruits est tracé sur la figure ci-dessous.



**Figure IV-12 : Bruit de phase total**

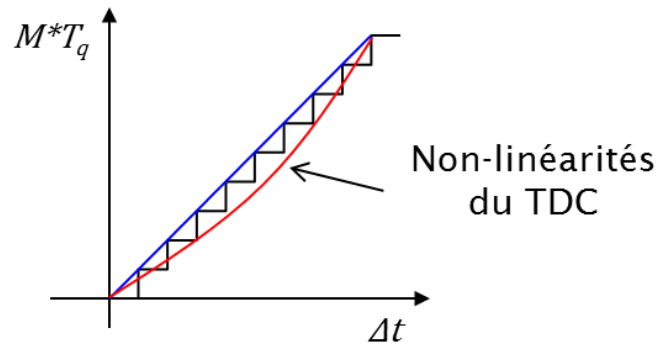
Les deux modèles donnent bien le même profil de bruits de phase total. L'effet de l'échantillonnage à  $f_{ref}$  se fait sentir à hautes fréquences pour le modèle événementiel.

### IV.1.3 Intégration des non-linéarités

Dans ce modèle, il est possible d'intégrer les différentes non-linéarités présentes dans une architecture de PLL numérique.

#### IV.1.3.1 Non-linéarité du TDC

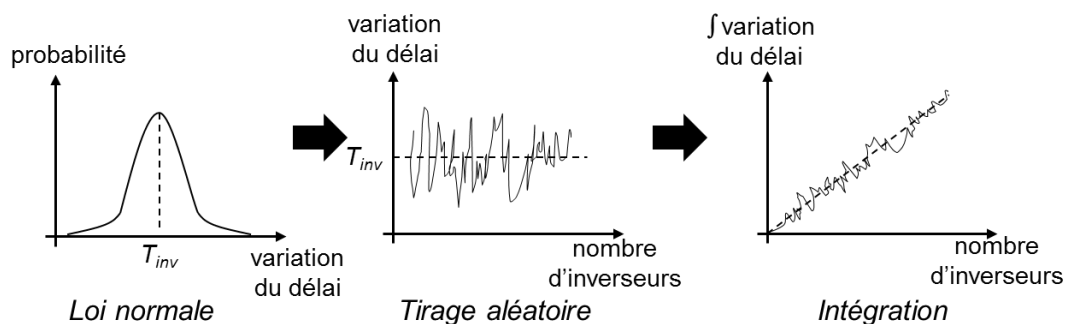
Les non-linéarités du TDC sont dues aux désappariements entre les différents éléments qui le composent. Elles impactent la caractéristique du TDC comme montré sur la Figure IV-13.



**Figure IV-13 : Caractéristique du TDC**

Idéalement, la caractéristique du TDC est linéaire (courbe bleue), c'est-à-dire que tous les pas de quantification sont égaux. Comme déjà dit précédemment, des désappariements existent. Cela crée finalement une caractéristique non-linéaire représenté ici pour un pire cas (courbe rouge) où le gain du TDC a quand même été calibré, permettant ainsi à ce que le dernier point de la courbe rouge revienne sur la courbe bleue.

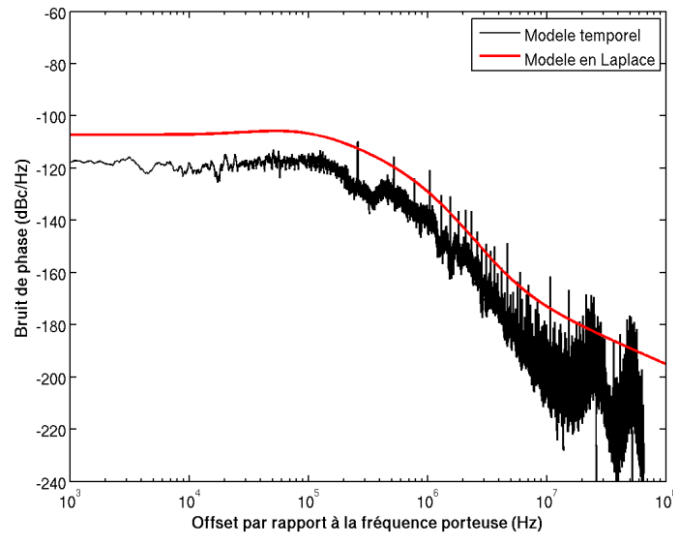
Une architecture simple de TDC a été présentée sur la Figure II-21, composée d'une chaîne d'inverseurs et d'une chaîne de bascules. Dans le modèle, la mise en place des non-linéarités de la chaîne d'inverseurs est résumée sur la figure ci-dessous.



**Figure IV-14 : Modélisation des désappariements du TDC**

Tout d'abord, un tirage probabiliste basé sur une loi normale est fait afin de simuler les variations du délai de l'inverseur. Ensuite, un tirage aléatoire correspondant aux nombres de cellules dans le TDC est fait sur ce premier tirage. Enfin, c'est l'imprécision cumulée qui impacte la mesure et pour cela une intégrale de la variation du délai sur le nombre d'inverseurs est faite.

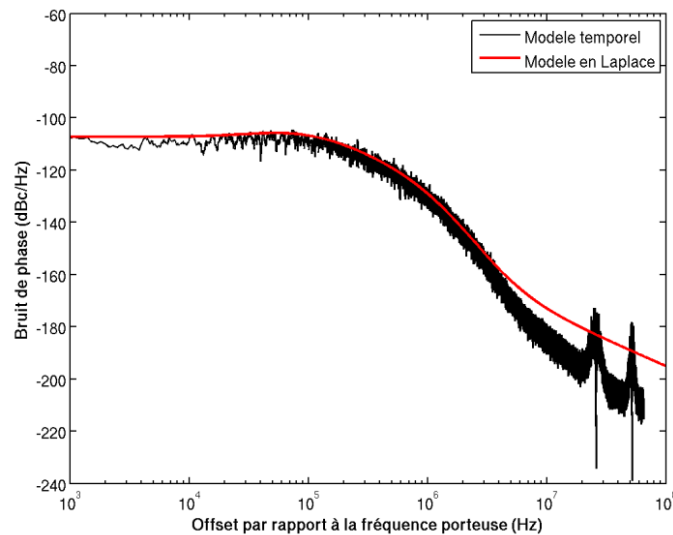
Sur la figure ci-dessous, l'impact de ces désappariements sur le bruit de phase en sortie de la PLL est représenté.



**Figure IV-15 : Bruit de phase du TDC ramené en sortie de la PLL**

Une forêt de raies apparait sur le bruit de phase en sortie de la PLL dues à ces non-linéarités. Elles proviennent du glissement de la partie fractionnaire et donc dépendent de la valeur de celle-ci.

Le « *dithering* » déjà présenté au-dessus est ajouté alors sur le signal de référence. La figure ci-dessous montre son impact sur le bruit de phase.

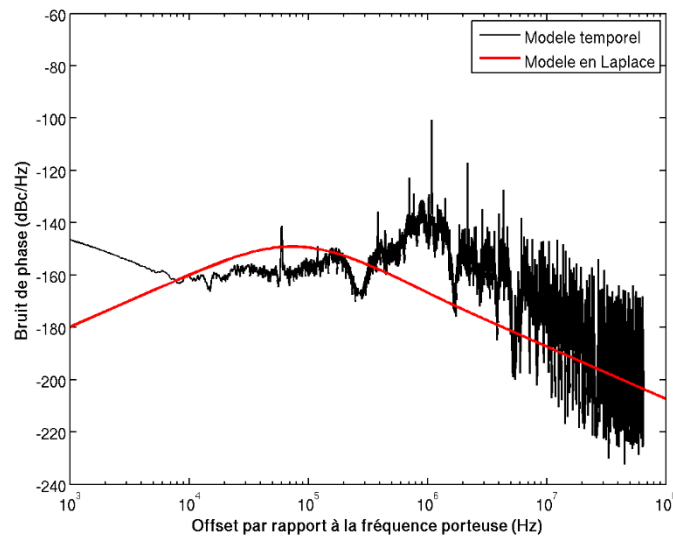


**Figure IV-16 : Ajout du « *dithering* » sur la référence**

L'ajout du « *dithering* » aide bien à répartir l'énergie contenue dans les raies dues aux désappariements du TDC. Le bruit de phase obtenu correspond bien à celui obtenu avec le modèle de Laplace à partir de l'équation (IV-13).

### IV.1.3.2 Non-linéarités du DCO

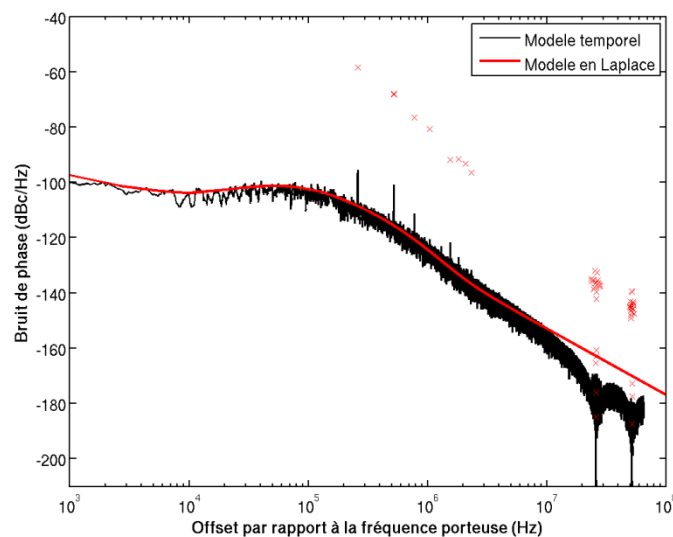
Outre la non-linéarité intrinsèque de l'oscillateur montrée dans l'équation (IV-11), il est possible d'ajouter dans le modèle le désappariement entre les capacités commutées de l'oscillateur. La méthode est la même que pour la modélisation des désappariements des inverseurs et des bascules dans le TDC montrée en Figure IV-14.



**Figure IV-17 : Bruit de phase dû à la quantification et aux désappariements des capacités du DCO ramené en sortie de la PLL**

Une forêt de raies apparaît là aussi sur le bruit de phase en sortie de la PLL. Le « dithering » ajouté sur le signal de référence permet de répartir une partie de l'énergie contenue dans ces raies.

Finalement, lorsque tous les bruits et toutes les non-linéarités sont pris en compte dans le modèle, le bruit de phase obtenu en sortie est montré sur la Figure IV-18.



**Figure IV-18 : Bruit de phase avec toutes les imperfections de la PLL**

Quelques raies apparaissent sur le spectre dont le niveau réel est représenté par les croix rouges. En effet, le niveau des raies est calculé sur une bande d'intégration de 1Hz, or la durée de la simulation n'est pas toujours égale à 1 seconde. La première raie apparaît à une fréquence égale au produit de la partie fractionnaire  $f$  avec la fréquence de référence. Les autres raies sont des harmoniques de la première.

#### IV.1.4 Insertion de la modulation

Comme pour la PLL analogique, la modulation directe avec une bande passante plus large que celle de la PLL doit se faire en deux points. À nouveau, ces deux points sont la consigne de la PLL et de l'oscillateur comme montré sur la figure ci-dessous.

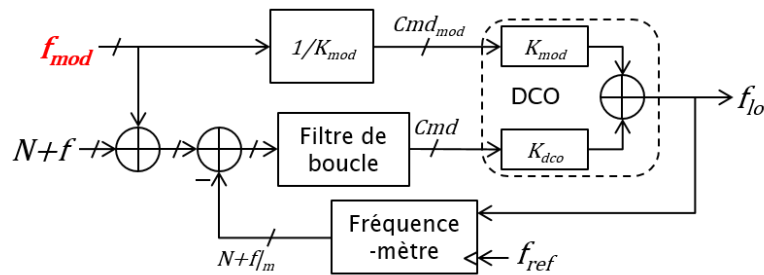


Figure IV-19 : Insertion de la modulation en 2 points

Les deux chemins sont considérés simultanément dans le modèle événementiel, ce qui nécessite la prise en compte du délai du filtre de boucle sur le chemin de la consigne.

Pour le chemin de consigne, la modulation est appliquée dans le modèle au niveau de l'équation (IV-8) qui devient :

$$erreur[i] = \left( N_{cpt}[i] + \frac{M[i]-M[i+1]}{G_{TDC}[i]} \right) - \left( N + f + \frac{f_{mod}[i]}{f_{ref}} \right) \quad (IV-17)$$

Sur le chemin de l'oscillateur, il est donc nécessaire de prendre en compte le gain de la banque de capacités du DCO sur laquelle la modulation est appliquée, ce qui donne un mot de commande appelé  $Cmd_{mod}$  par la suite.

Au niveau de l'implémentation, si cette banque de capacités est la même que pour le reste de la boucle, il suffit d'ajouter ce nouveau mot de commande au mot de commande de la boucle, ce qui se fait facilement en numérique. Autrement, ce mot de commande est appliqué sur une banque dédiée de capacités. L'équation (IV-10) devient :

$$f_{dco}[i] = f_{min} + K_{dco} * Cmd[i] + K_{mod} * Cmd_{mod}[i] \quad (IV-18)$$

où  $K_{mod}$  le gain en Hz/LSB de la banque de capacités dédiée à la modulation. Ce gain n'est pas nécessairement égal au gain  $K_{dco}$ , ceux-ci étant fonction de la nature des dispositifs utilisés pour réaliser les capacités variables.

Avec la modélisation la plus complète de l'oscillateur de l'équation (IV-11), il faut considérer la taille des capacités de la banque dédiée à la modulation, ce qui sera vu au chapitre V. Au final, l'équation (IV-11) devient :

$$f_{dco}[i] = \frac{1}{2\pi \sqrt{L(C_{max} - C_{unit} * Cmd[i] - C_{unit\_mod} * Cmd_{mod}[i])}} \quad (IV-19)$$

avec  $C_{unit\_mod}$  la capacité unitaire de la banque de capacités dédiée à la modulation.

Pour conclure sur cette partie, une modélisation événementielle similaire à celle de la PLL analogique présentée au chapitre III, mais adaptée à la PLL numérique a été décrite. Celle-ci tient compte des bruits et non-linéarités propres à ce type d'architecture de PLL. De plus, la façon d'intégrer une modulation en deux points de la PLL a été montrée. Ce modèle a pour avantage de pouvoir simuler l'impact des non-linéarités sur les performances de la PLL.

## IV.2 Gain du TDC

Cette section met l'accent sur le gain du TDC dans le cas d'une modulation directe de la PLL par une modulation OFDM du standard LTE. Lorsque le standard n'est pas précisé, il s'agit du LTE 5 MHz avec une modulation QPSK. Le schéma de simulation est le même que celui du chapitre III.

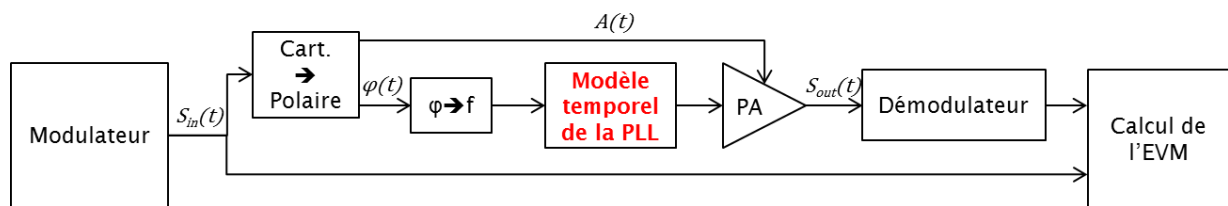


Figure IV-20 : Schéma de simulation

La modulation est convertie des coordonnées cartésiennes à polaires, puis la phase du signal de modulation est dérivée en fréquence qui est insérée dans le modèle. Celui-ci est le modèle événementiel de la DPLL présenté dans la première partie de ce chapitre. La partie amplitude du signal de modulation est alors rajouté à la sortie du modèle, afin de démoduler et de calculer l'EVM qui permet alors d'étudier l'impact des imperfections de la DPLL sur la qualité du signal.

### IV.2.1 Observation du phénomène

Dans le tableau ci-dessous, l'impact des bruits de chacun des blocs de la PLL numérique présentés au paragraphe IV.1.2 est comparé pour le LTE 5 et 20 MHz, ainsi que pour le WCDMA.

	Bruit	Référence	DCO	Quantif. du TDC	Quantif. du DCO	Total
EVM (%)	LTE 5 MHz	1.2	1.1	0.8	1.5	1.7
	LTE 20 MHz	1.2	1.3	0.9	1.6	2
	WCDMA	0.9	1.0	0.9	1.5	1.6

Tableau IV-1 : Comparaison des EVM pour différents standards

Pris séparément, chaque bloc dégrade l'EVM de façon similaire. Ce qui donne pour tous les standards, lorsque tous les bruits sont considérés, un EVM total inférieur à 2%, soit bien inférieur à la spécification du standard LTE qui est de 17.5%.

Dans les cas explicités ci-dessus, le gain du TDC est considéré idéal, soit la valeur instantanée du rapport entre la période de l'oscillateur et le pas de quantification du TDC comme montré par l'équation ci-dessous :

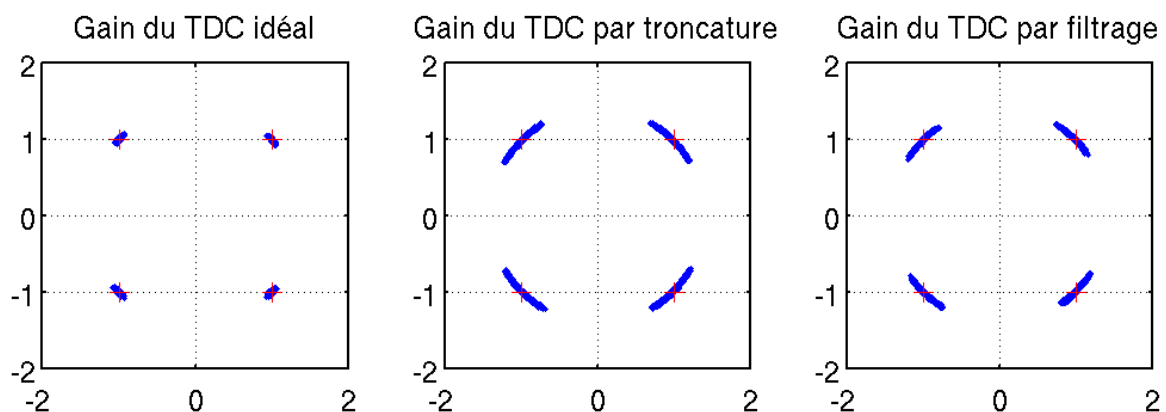
$$G_{TDC}[i] = \frac{T_{dco}[i]}{T_q} \quad (IV-20)$$

Cependant, comme montré à la section IV.1.1.1, ce gain n'est pas accessible directement et doit être numérisé. La façon de mesurer ce gain a un impact sur les performances de la PLL. Dans un premier temps, il est possible d'obtenir ce gain de la même façon que le délai  $\Delta t$  (équation (IV-3)) à partir du chronogramme de la Figure IV-4. Comme sur l'équation (IV-6), le gain du TDC est alors la partie entière du gain précédent.

Dans la pratique, ce gain est plutôt obtenu en faisant une moyenne glissante du gain tronqué précédent, ce qui revient à faire un filtrage passe-bas.

La figure ci-dessous regroupe l'impact sur l'EVM de la méthode de mesure du gain du TDC pour une constellation QPSK du LTE 5 MHz :

- À gauche, la constellation de référence avec un gain idéal (équation (IV-20)) est affichée
- Au milieu, celle obtenue à partir d'un gain du TDC tronqué (équation (IV-6))
- À droite, celle obtenue pour un gain de TDC moyenné sur une fenêtre glissante, ce qui est équivalent à un filtrage



**Figure IV-21 : Impact de la méthode de mesure du gain du TDC sur l'EVM**

Avec un gain idéal, l'EVM est donc de 1.7 %. Lorsque ce gain est obtenu par troncature du gain idéal, l'EVM grimpe directement à 12.6%. Le filtrage de ce gain tronqué permet d'obtenir un EVM autour de 9.6 %. Au final, même la méthode de la moyenne crée une dégradation importante des performances de la PLL. Celle-ci est disproportionnée par rapport à la dégradation due aux autres imperfections de la PLL.

## IV.2.2 Explication théorique

Ce phénomène peut être expliqué de manière théorique en deux temps. D'abord le comportement de la PLL en mode synthèse de fréquence est présenté. Puis, le comportement de la PLL quand celle-ci sert en même temps de modulateur de phase/fréquence est regardé.

En réécrivant l'équation (IV-7), la fréquence de sortie instantanée de la PLL devient :

$$f_{dco}[i] = \left( N_{cpt}[i] + \frac{M[i]-M[i+1]}{G_{TDC}[i]} \right) * f_{ref} \quad (IV-21)$$

soit la somme du résultat de comptage du nombre de période d'oscillateur sur une période de référence et de la différence de deux résultats consécutifs de mesure du TDC sur le gain du TDC.

- Mode synthèse :

Lorsque la PLL est uniquement en mode de synthèse de fréquence et proche du verrouillage, deux valeurs consécutives de la fréquence de sortie sont quasiment égales moyennant le bruit de la PLL, ce qui donne la relation suivante :

$$f_{dco}[i+1] \cong f_{dco}[i] \rightarrow (N+f) * f_{ref} \quad (IV-22)$$

La fréquence de sortie de la PLL tend vers la fréquence porteuse souhaitée. De ce fait, deux périodes consécutives de l'oscillateur sont elles aussi quasiment égales et donc le gain du TDC peut être considéré constant :

$$G_{TDC\_syn} = \frac{1}{(N+f)*f_{ref}*T_q} \quad (IV-23)$$

Celui-ci peut être obtenu en utilisant la méthode de la moyenne glissante par exemple.

- Mode modulation :

Par contre, quand la PLL est modulé directement, la fréquence de sortie s'écrit comme la somme de la fréquence porteuse et de la fréquence instantanée de la modulation  $f_{mod}[i]$  :

$$f_{dco}[i] = (N+f) * f_{ref} + f_{mod}[i] \quad (IV-24)$$

Comme la fréquence instantanée de la modulation varie fortement entre deux échantillons successifs (maximum montré dans l'équation (III-33)), la fréquence de sortie ne peut plus être considérée égale non plus entre deux échantillons.

$$f_{dco}[i+1] \neq f_{dco}[i] \quad (IV-25)$$

Ainsi, le gain du TDC ne peut plus être considéré constant. Il s'écrit au contraire de manière idéale de la façon suivante :



$$G_{TDC}[i] = G_{TDC\_syn} * \frac{1}{1 + \frac{f_{mod}[i]}{(N+f)*f_{ref}}} \quad (IV-26)$$

Autrement dit, le gain du TDC porte exactement l'information de la modulation, ce qui n'est pas le cas lorsque ce gain est pris tronqué (bruit de quantification ajouté) ou après filtrage (du moins de la composante haute fréquence de la modulation). C'est cela qui dégrade fortement l'EVM

### IV.2.3 Solution proposée : modulation 3 points

#### IV.2.3.1 Principe de la modulation 3 points

La solution proposée consiste donc à restituer l'intégralité de la modulation sur le gain du TDC. Pour cela, nous proposons d'ajouter directement la modulation à la valeur moyenne de ce gain mesuré pour l'asservissement de la synthèse de fréquence. Ceci constitue le troisième point d'insertion de la modulation dans la PLL, différent de ceux de la consigne et de l'oscillateur. Le schéma de ce modulateur en 3 points est montré sur la figure ci-dessous :

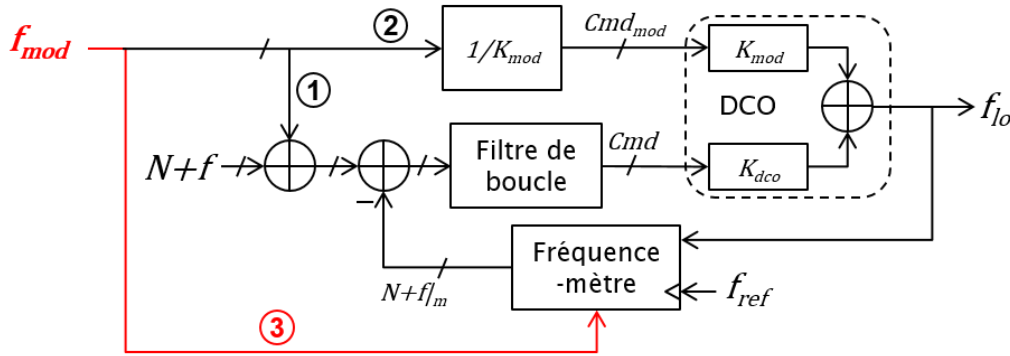


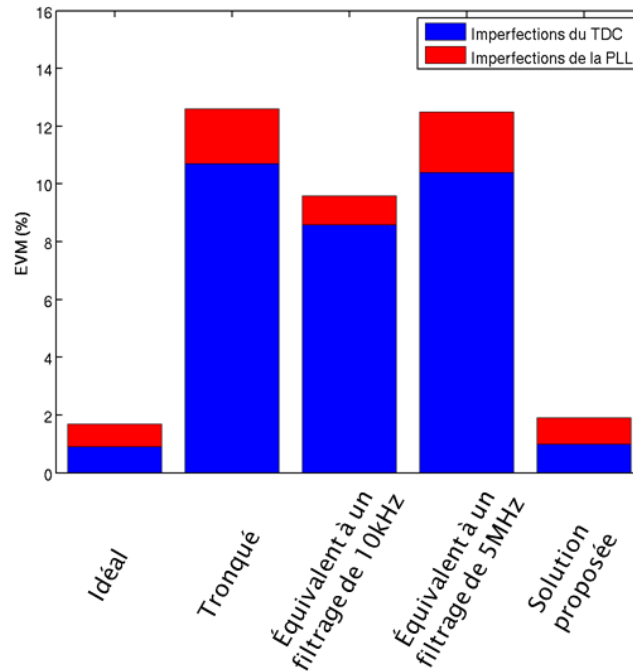
Figure IV-22 : Modulateur en 3 points

Concrètement, il s'agit de remplacer l'expression du gain de l'équation (IV-21) par celle de l'équation (IV-26).

$$f_{dco}[i] = \left( N_{cpt}[i] + \frac{M[i]-M[i+1]}{G_{TDC\_syn}} * \left( 1 + \frac{f_{mod}[i]}{(N+f)*f_{ref}} \right) \right) * f_{ref} \quad (IV-27)$$

Le gain du TDC en mode synthèse ( $G_{TDC\_syn}$ ) peut être mesuré par la méthode usuelle de la moyenne glissante pendant une calibration. Ce gain est ensuite gardé constant. Il est possible autrement de mesurer en ligne ce gain, mais avec une fréquence de coupure très basse pour filtrer la modulation. Cela permet de suivre les variations lentes de ce gain en cas par exemple de changement de la température ou de la tension d'alimentation. La modulation est injectée selon la formule ci-dessus

Sur la figure ci-dessous est montrée une comparaison pour du LTE 5 MHz entre les différentes méthodes avec en bleu l'impact des imperfections du TDC (gain et pas de quantification) et en rouge celui de toutes les imperfections de la PLL, y compris donc celles du TDC. Ces imperfections se somment de manière quadratique dans la PLL.

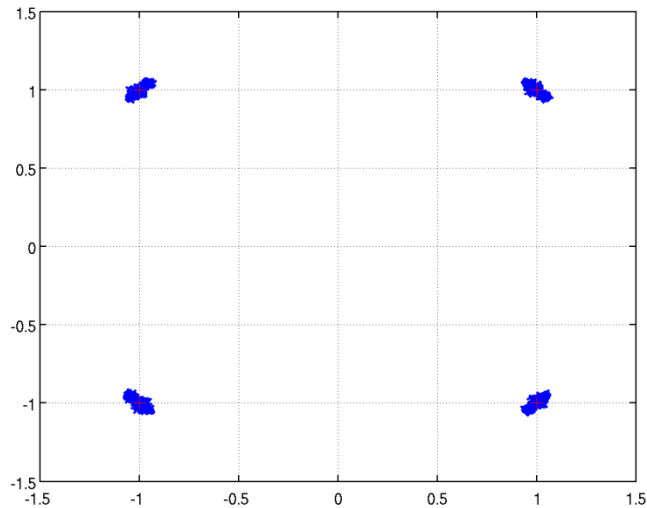


**Figure IV-23 : Comparaison des différentes méthodes**

Avec un gain idéal, l'EVM total est de 1.7% avec une part des imperfections du TDC atteignant les 0.8% (cf. Tableau III-1). Par contre, lorsque le gain du TDC est tronqué (équation (IV-6)), la dégradation due aux imperfections du TDC monte à 10,6% pour un EVM total de 12.6%. La méthode de mesure avec la moyenne glissante qui donne un filtrage équivalent avec une fréquence de coupure de 10 kHz permet d'améliorer l'EVM total qui est de 9.6%. Un filtrage plus large avec une fréquence de coupure de 5 MHz permettant de faire passer la majorité de la modulation (LTE 5 MHz) n'arrange pas l'EVM qui augmente à nouveau à 12.5%.

La solution proposée permet d'avoir un EVM proche de celui avec le gain idéal, à 0.9%.

Cette solution présente l'avantage de faire une correction instantanée sur le gain avec une information déjà disponible, vu que la modulation injectée sur le gain correspond à la consigne. De plus, une fois que la calibration est effectuée et l'inversion de  $G_{TDC\_syn}$ , il n'y a plus de division à faire, ce qui est couteux en surface et consommation au niveau de la partie numérique. Enfin, cette correction est indépendante de la bande passante de la modulation, ce qui la rend robuste pour des modulations allant jusqu'à 20 MHz comme montré sur la figure ci-dessous.

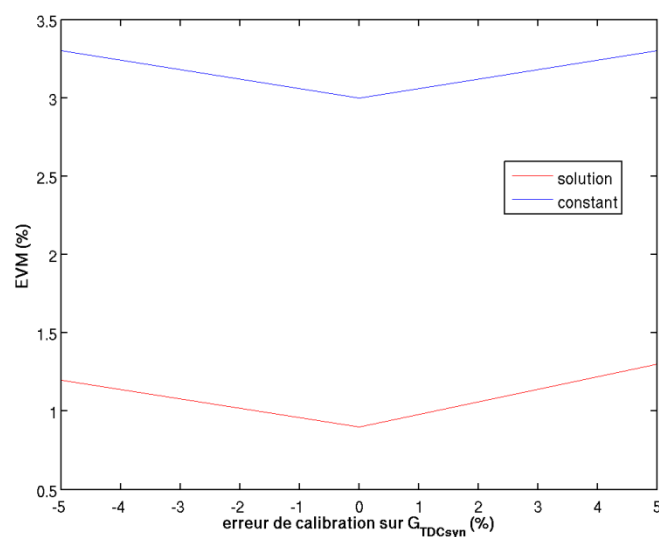


**Figure IV-24 : Constellation QPSK pour du LTE 20 MHz**

L'EVM atteint pour du LTE 20 MHz est de 3.2% avec la solution proposée, en tenant compte de toutes les imperfections de la PLL numérique, ce qui est un peu plus élevé que l'EVM de 2% (cf. Tableau IV-1) obtenu avec un gain de TDC idéal. Néanmoins, la solution proposée est bien valide pour des bandes passantes plus larges.

### IV.2.3.2 Erreur de calibration

Comme dit dans le paragraphe précédent, une première étape de calibration du gain  $G_{TDC\_syn}$  est nécessaire. Sur la figure ci-dessous est montré l'impact d'une erreur de calibration sur la qualité du signal pour un gain de TDC gardé constant après la calibration (courbe bleue) et pour la solution proposée (courbe rouge) pour du LTE 5 MHz.



**Figure IV-25 : Erreur de calibration du gain**

Au vu des courbes ci-dessus, la solution proposée est bien robuste face à une erreur de calibration. Pour une erreur de  $\pm 5\%$  sur le gain du TDC, l'EVM passe de 0.9% à 1.3% en tenant compte uniquement des imperfections du TDC. Si au contraire, la modulation n'est pas rajoutée sur ce gain après l'étape de calibration et est gardé constant, l'EVM varie entre 3% et 3.3%. Au final, c'est une autre façon de s'assurer que la modulation doit bien être ajoutée sur ce troisième point de la PLL.

### IV.3 Conclusion du chapitre IV

Dans ce paragraphe, un accent a été mis sur la mesure du gain du TDC. En effet, il a été observé que les méthodes classiques de mesure par troncature ou par moyenne glissante provoquait une dégradation disproportionnée de l'EVM dans le cas de modulation large bande comparée aux autres bruits de la PLL numérique. Une rapide étude théorique a démontré l'intérêt d'ajouter la modulation sur ce gain.

Cela rajoute donc un troisième point d'insertion de la modulation sur la PLL. Mais qui ne rajoute pas de contrainte sur les fonctions numériques, voire même qui relâche les contraintes. En effet, le système ainsi conçu est faiblement dépendant de l'erreur de calibration du gain  $G_{TDC\_syn}$ . Ainsi, ce gain peut être connu avec moins de précision et son implémentation pour l'inversion dans l'équation (IV-27) nécessite moins de portes numériques. La modulation rajoutée en ce troisième point n'est que multipliée au résultat de la mesure de fréquence (équation (IV-27)).

La solution proposée nécessite une première étape de calibration ou une mesure en ligne avec un filtrage très basse fréquence, mais est robuste à une erreur de calibration. Elle permet de réduire fortement l'EVM tout en étant indépendante à la largeur de la bande de modulation.



## Chapitre V. Autour de l'oscillateur

V.1	Introduction du chapitre V .....	119
V.2	Calibration du gain de l'oscillateur .....	119
V.3	Estimation de la non-linéarité de l'oscillateur.....	121
V.4	Dimensionnement de la taille des banques .....	123
V.4.1	Pour le WCDMA .....	129
V.4.2	Pour le LTE 20 MHz .....	133
V.5	Conclusion du chapitre V .....	135

## Table des figures

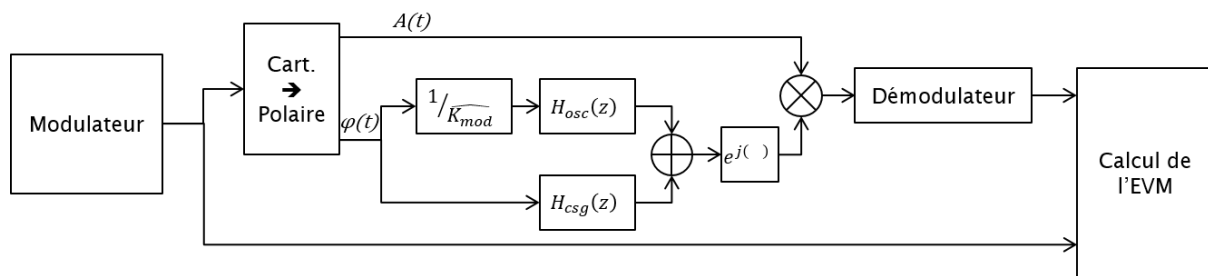
Figure V-1 : Schéma de simulation pour l'étude de la calibration du $K_{mod}$ .....	119
Figure V-2 : Impact de l'erreur de calibration du $K_{mod}$ sur l'EVM pour du LTE.....	120
Figure V-3 : Impact de la bande passante de la PLL pour le LTE 20 MHz.....	121
Figure V-4 : Schéma de simulation pour l'estimation de la non-linéarité du $K_{mod}$ ...	121
Figure V-5 : Méthodes d'estimation de la non-linéarité du gain de l'oscillateur ....	122
Figure V-6 : Impact de l'estimation de la non-linéarité pour du LTE 5 MHz.....	123
Figure V-7 : Schéma d'un DCO .....	124
Figure V-8 : Caractéristique de l'oscillateur .....	124
Figure V-9 : Organigramme pour déterminer la valeur de la capacité unitaire et la taille de la banque de capacités .....	125
Figure V-10 : Répartition en deux banques.....	126
Figure V-11 : Organigramme pour étudier la répartition en deux banques de capacités .....	127
Figure V-12 : Etape de calibration des banques de capacités .....	128
Figure V-13 : Résultat de la 1 <sup>ère</sup> étape d'optimisation des banques pour la norme WCDMA.....	129
Figure V-14 : Distribution de la modulation WCDMA sur le mot de commande.....	130
Figure V-15 : EVM en fonction du nombre de capacités sur la banque grossière pour du WCDMA.....	131
Figure V-16 : Utilisation des banques pour 3 capacités sur la banque grossière pour la norme WCDMA .....	132
Figure V-17 : Utilisation des banques pour 15 capacités sur la banque grossière pour la norme WCDMA .....	132
Figure V-18 : Résultat de la 1 <sup>ère</sup> étape d'optimisation des banques dans le cas du LTE 20 MHz.....	133
Figure V-19 : Distribution de la modulation LTE 20 MHz sur $Cmd_{mod}$ .....	134
Figure V-20 : EVM en fonction du nombre de capacités sur la banque grossière pour du LTE 20 MHz.....	134
Figure V-21 : Utilisation des banques pour 15 capacités sur la banque grossière pour du LTE 20 MHz.....	135

## V.1 Introduction du chapitre V

Dans ce chapitre, nous allons nous intéresser à l'insertion de la modulation sur l'oscillateur commune aux PLL analogique et numérique. Dans un premier temps, nous allons étudier la calibration à la fois du gain de la banque de capacités dédiée à la modulation et de sa caractéristique non-linéaire. Dans un second temps, nous allons proposer une méthode de dimensionnement d'une ou des banques de capacités dédiées à la modulation.

## V.2 Calibration du gain de l'oscillateur

La calibration du gain de l'oscillateur est un point important de la modulation par la PLL. En effet, comme déjà explicité plusieurs fois auparavant, notamment dans le paragraphe II.3.2, pour insérer la modulation sur l'oscillateur, il est nécessaire de connaître le gain de la banque de capacités sur laquelle est appliquée la modulation. Pour cette étude, le schéma de simulation suivant a été utilisé :



**Figure V-1 : Schéma de simulation pour l'étude de la calibration du  $K_{mod}$**

Comme montré sur ce schéma, il a été choisi de modéliser séparément les deux chemins par leurs fonctions de transfert en « z ». Dans le cas présent, ce type de modèle a été choisi de préférence au modèle présenté dans les chapitres III et IV. Cela permet de séparer les problèmes et ainsi d'identifier l'impact des paramètres pris séparément. La fonction de transfert du chemin d'insertion de la modulation sur la consigne de la PLL est décrite par l'équation suivante :

$$H_{csg}(z) = \frac{F_{ol}(z)}{1+F_{ol}(z)} \quad (\text{V-1})$$

avec  $F_{ol}(z)$  la fonction de transfert en boucle ouverte de la PLL.

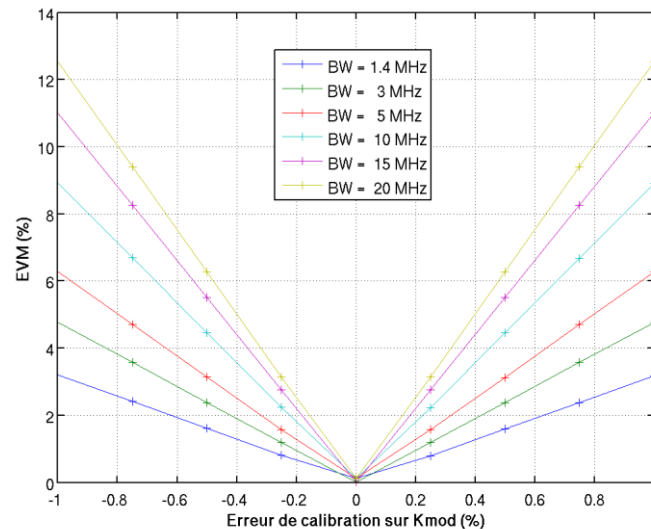
Le chemin d'insertion de la modulation sur l'oscillateur est modélisé par la fonction de transfert suivante :

$$H_{osc}(z) = \frac{K_{mod}}{1+F_{ol}(z)} \quad (\text{V-2})$$

Lorsque le gain estimé  $\widehat{K_{mod}}$  est bien égal au gain  $K_{mod}$ , l'addition de ces deux fonctions de transfert donne bien une fonction de transfert passe-tout. Au contraire, la moindre erreur sur l'estimation de ce gain impacte la qualité de la modulation.



La Figure V-2 montre l'impact sur l'EVM d'une erreur de calibration du gain  $K_{mod}$  pour les différentes bandes passantes du standard LTE. La PLL choisie pour cette étude est numérique avec une bande passante de 200 kHz et aucune autre de ses imperfections n'est considéré.



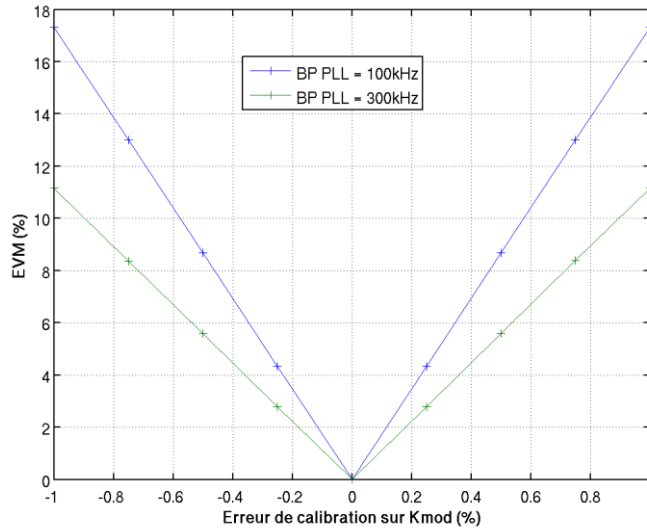
**Figure V-2 : Impact de l'erreur de calibration du  $K_{mod}$  sur l'EVM pour du LTE**

L'erreur de calibration montrée sur cette figure est de  $\pm 1\%$  sur le gain, mais déjà l'EVM se dégrade fortement. Pour une bande passante de 1.4 MHz, l'EVM passe de 0 à 3.2%. Pour des bandes passantes plus larges, la dégradation est fortement accentuée. La courbe représentant une bande passante de 20 MHz en est un exemple flagrant : avec 1% d'erreur sur le gain, l'EVM est de 12.5%.

Cela montre d'ores et déjà qu'une erreur de calibration bien inférieure à 1% est requise pour moduler directement la PLL avec des modulations dont les bandes passantes sont de l'ordre de la dizaine de mégahertz. Par exemple, si un EVM limite de 4% est requis, sachant que le reste des imperfections de la PLL a un impact plus faible, l'erreur de calibration pour une modulation avec une bande passante de 20 MHz doit être inférieure à 0.3%.

Cette précision est difficile à atteindre. Or ce gain évolue en plus à cause des variations de la température et de la tension d'alimentation. Cela signifie qu'une calibration en ligne est probablement nécessaire ou bien une correction automatique de la température et de la tension d'alimentation.

La figure ci-dessous montre l'impact de la bande passante de la PLL sur la qualité du signal de modulation, ici dans le cas du LTE 20 MHz. Deux fréquences de coupure de la PLL ont été choisies : une à 100 kHz (courbe bleue) et une à 300 kHz (courbe verte).



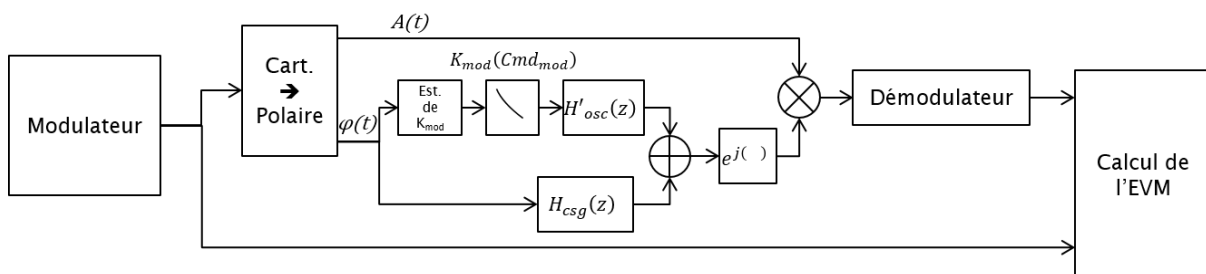
**Figure V-3 : Impact de la bande passante de la PLL pour le LTE 20 MHz**

Plus la bande passante de la PLL est grande, plus l'impact de l'erreur de calibration du gain est minimisé. Une augmentation de la fréquence de coupure de 100kHz à 300kHz réduit l'EVM de 17.5% à 11.2%. Néanmoins, il ne faut pas oublier qu'avec une fréquence de coupure plus large, les bruits de la PLL autre que celui de l'oscillateur sont moins bien filtrés en hautes fréquences. Cela impacte aussi la qualité du signal.

Au final, une calibration très précise du gain de la banque de capacités sur laquelle est appliquée la modulation est nécessaire. Pour un EVM limite de 4% et une bande passante de modulation de 20 MHz, l'erreur de calibration doit être inférieure à 0.3%, sauf si une fréquence de coupure de la PLL beaucoup plus élevée peut être choisie.

### V.3 Estimation de la non-linéarité de l'oscillateur

Outre la calibration du gain, comme les modulations considérées ici ont une déviation en fréquence importante (équation (III-33)), la non-linéarité intrinsèque de l'oscillateur (équation (IV-19)) peut être elle aussi nécessaire à connaître. Le schéma de simulation pour cette étude est une amélioration du schéma précédent (Figure V-1).



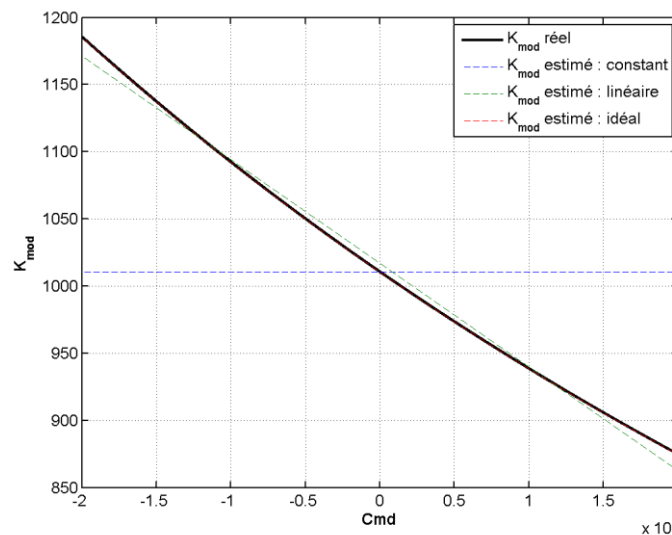
**Figure V-4 : Schéma de simulation pour l'estimation de la non-linéarité du  $K_{mod}$**

Le chemin d'insertion de la modulation par la consigne reste inchangé. Par contre, celui par l'oscillateur est légèrement modifié pour tenir compte de la non-linéarité. Si

la fonction de transfert, représentée par l'équation ci-dessous est toujours linéaire, son entrée est recalculée à chaque échantillon avec la valeur réelle du gain  $K_{mod}$  dépendante du mot de commande représentée par la non-linéarité sur la figure ci-dessus.

$$H'_{osc}(z) = \frac{1}{1+F_{ol}(z)} \quad (V-3)$$

Par la suite, l'étude porte sur l'estimation de cette non-linéarité. Plusieurs méthodes d'estimation sont étudiées ici et représentées sur la Figure V-5. La première consiste à considérer un gain constant égal au gain médian sur toute la plage de commande (courbe bleue). La deuxième consiste à linéariser la caractéristique de l'oscillateur (courbe verte). Finalement, pour la troisième méthode, l'estimation est idéale (courbe rouge superposée à la courbe noire).



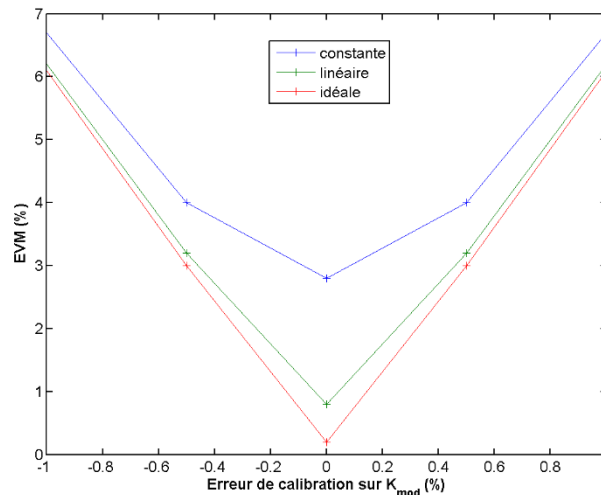
**Figure V-5 : Méthodes d'estimation de la non-linéarité du gain de l'oscillateur**

La plage de fonctionnement a volontairement été exagérée afin de pouvoir notamment voir l'effet de la linéarisation sur la figure ci-dessus. Dans les faits, la modulation joue sur une plage beaucoup plus faible du mot de commande. La méthode de linéarisation du gain (courbe verte) en fonction de la commande est néanmoins une contrainte pour la calibration. En effet, ce gain n'est pas accessible directement, mais à travers la fréquence de sortie comme le montre l'équation suivante :

$$K_{mod} = \frac{df_{dco}(Cmd_{mod})}{dCmd_{mod}} \quad (V-4)$$

Or on cherche à connaître la pente du gain en fonction du mot de commande. Par conséquent pour avoir deux points sur la courbe du gain, il en faut quatre sur la fréquence. L'approximation par une droite de la courbe du gain est ainsi obtenue. De la même façon, si une approximation par un polynôme d'ordre deux s'avère nécessaire, il faut alors mesurer la fréquence six fois.

Ces trois méthodes sont comparées sur la figure ci-dessous pour du LTE 5 MHz. L'erreur de calibration consiste à rajouter un écart par rapport à la valeur idéale de l'estimation du gain lorsque le mot de commande est nul sur la Figure V-5.



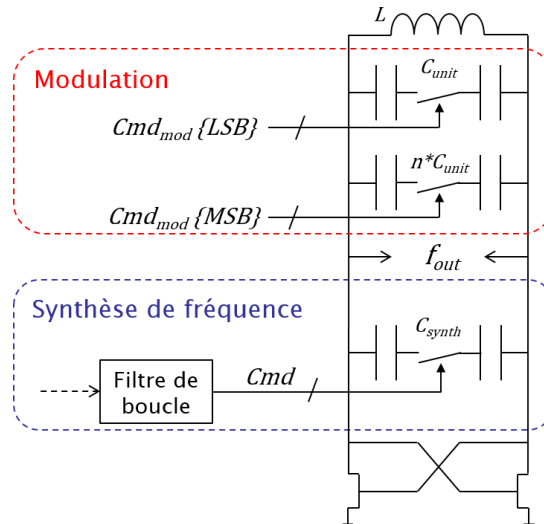
**Figure V-6 : Impact de l'estimation de la non-linéarité pour du LTE 5 MHz**

Lorsque la non-linéarité est estimée idéalement, la courbe est similaire à celle du LTE 5 MHz de la Figure V-2. Pour une erreur de calibration nulle, avec un gain constant, l'EVM est de 2.8%, alors qu'avec une estimation linéaire, l'EVM est de 0.8%. Par contre, l'erreur relative de l'EVM se réduit pour des erreurs plus élevées.

En conclusion, il est plus important de bien calibrer la valeur absolue du gain, la moindre erreur sur celui-ci dégradant fortement l'EVM quelle que soit la méthode d'estimation choisie. Néanmoins, une méthode d'estimation de la non-linéarité ne serait-ce que par une droite est préférable à celle où le gain estimé est gardé constant sur toute la plage de fonctionnement de la modulation.

## V.4 Dimensionnement de la taille des banques

Dans cette section, on s'intéresse à l'optimisation des banques de capacités dédiées à la modulation dans le cas d'une PLL numérique dont toutes les imperfections sont considérées, y compris le désappariement des capacités du DCO. Le dimensionnement des capacités commutées se fait en deux étapes. Il faut d'abord fixer la taille de la capacité unitaire  $C_{unit}$  nécessaire. Enfin, dans un souci d'intégrabilité, il faut évaluer la possibilité de fusionner le maximum de capacités unitaires, ce qui donne des capacités plus grosses de valeur  $n * C_{unit}$  représentant le poids fort (MSB) du mot de commande. Le poids faible (LSB) pilote alors une banque plus petite de capacités de valeur  $C_{unit}$ . C'est ce que l'on appelle des banques de capacités commutées comme représenté sur la figure ci-dessous.

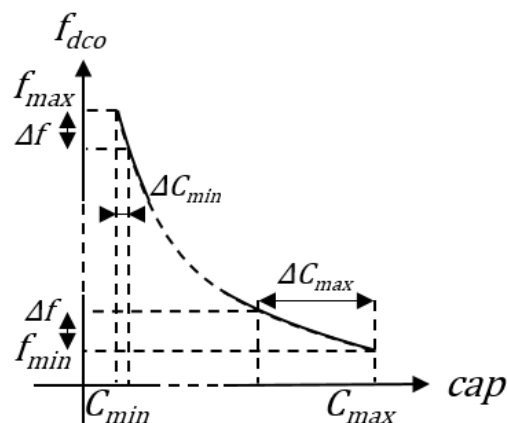


**Figure V-7 : Schéma d'un DCO**

Un DCO est typiquement composé d'une inductance, d'une paire croisée de transistor qui forme une résistance négative pour compenser les pertes et d'une ou des banques de capacités qui adressent la partie synthèse de fréquence. Sur cette figure, elles ont été représentées par une seule banque de capacités  $C_{synth}$  encadrée en bleu. Ces banques sont composées de capacités mises en parallèle qui sont contrôlées par le mot de commande issu du filtre de boucle.

Les deux banques de capacités sont ajoutées afin d'adresser la modulation (encadrées en rouge) en parallèle de celle de la partie synthèse de fréquence.

La figure ci-dessous présente l'évolution de la fréquence de l'oscillateur en fonction de la capacité.



**Figure V-8 : Caractéristique de l'oscillateur**

Le même pas de fréquence donne une capacité unitaire différente en fonction de la fréquence à laquelle l'oscillateur fonctionne. Ainsi, pour obtenir la capacité unitaire minimale  $\Delta C_{min}$ , il faut se placer à la fréquence maximale de fonctionnement de l'oscillateur.

On obtient alors l'équation ci-dessous :

$$\Delta C_{min} = \frac{1}{(2\pi(f_{max}-\Delta f))^2 L} - C_{min} \quad (V-5)$$

De la même façon, à partir de la capacité unitaire  $\Delta C_{min}$  obtenue grâce à l'équation ci-dessus, un nombre différent de capacités est nécessaire pour couvrir pour une déviation en fréquence donnée selon la fréquence à laquelle l'oscillateur fonctionne. Pour déterminer le nombre maximal de capacités unitaires, autrement dit la taille de la banque, il faut se placer à la fréquence minimale de fonctionnement de l'oscillateur.

L'organigramme de la Figure V-9 propose une méthode de dimensionnement de la valeur et du nombre de capacités unitaires nécessaires. Le premier critère du choix repose sur le bruit de quantification induit par les commutations de capacités qui en fixe la taille maximale. D'autre part, la déviation maximale en fréquence de la modulation fixe le nombre total de ces capacités unitaires nécessaire.

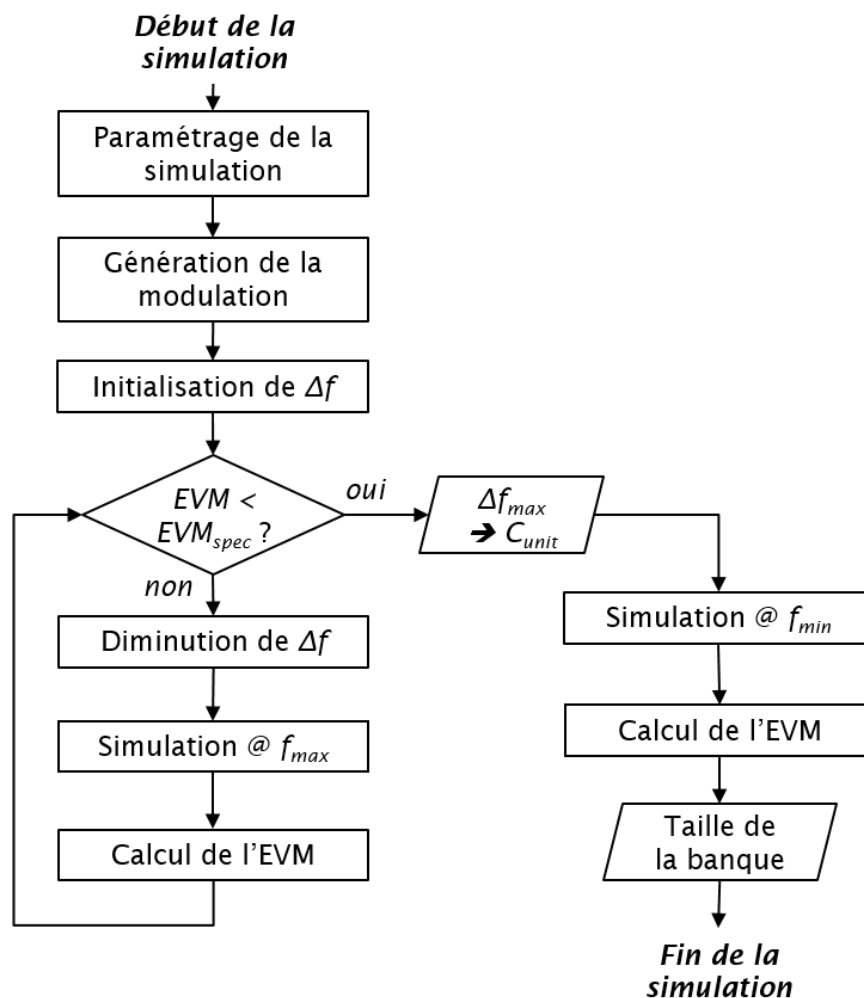


Figure V-9 : Organigramme pour déterminer la valeur de la capacité unitaire et la taille de la banque de capacités

Après une étape préliminaire d'initialisation des paramètres de la simulation, la modulation étudiée est générée. Un pas de fréquence délibérément pris trop grand est choisi.

Par la suite, tant que l'EVM obtenu n'est pas inférieur à celui spécifié, la modulation est insérée dans un des modèles évènementiels décrits dans les chapitre III et IV. Pour obtenir le pas de fréquence maximal tolérable et donc la capacité unitaire, la fréquence porteuse de la PLL est prise à la fréquence maximale ( $f_{max}$ ) de la plage de fonctionnement de l'oscillateur comme le montre la Figure V-8.

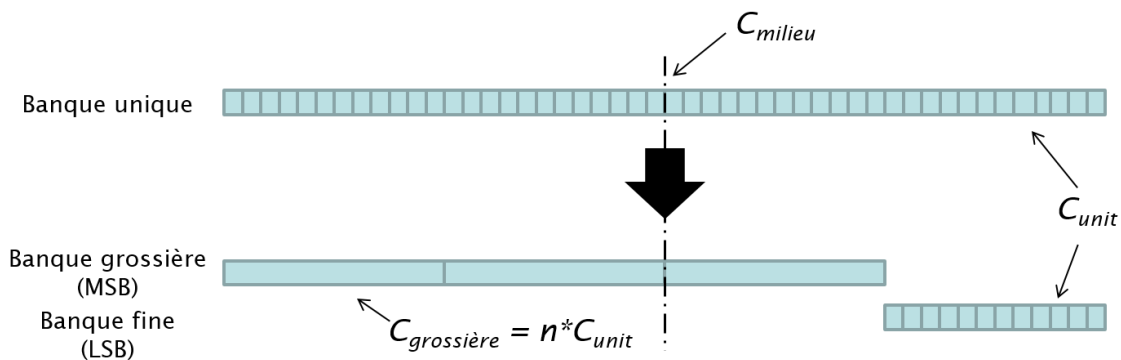
Une fois que l'EVM obtenu devient inférieur à celui spécifié, il est alors possible d'extraire le pas de fréquence maximal toléré, de même que la capacité unitaire (notée par la suite  $C_{unit}$ ). La modulation est alors insérée une dernière fois dans le modèle évènementiel, cette fois ci placée à la fréquence minimale pour déterminer la taille maximale de la banque de capacités unitaires.

Généralement, pour les modulations adressées, ce nombre est assez élevé. Les règles de dessin font qu'il est moins coûteux en termes de surface et de capacités parasites de fusionner ces capacités. Pour cette raison, une deuxième étape est proposée avec une répartition en deux banques.

La Figure V-10 montre un exemple de cette répartition avec les valeurs des capacités représentées par leur surface selon la loi physique ci-dessous que suivent aussi les capacités intégrées :

$$C = \epsilon \frac{S}{e} \tag{V-6}$$

avec  $C$  la valeur de la capacité en Farad,  $\epsilon$  la permittivité du diélectrique en F/m,  $S$  la surface en  $m^2$  et  $e$  l'épaisseur du diélectrique en m.



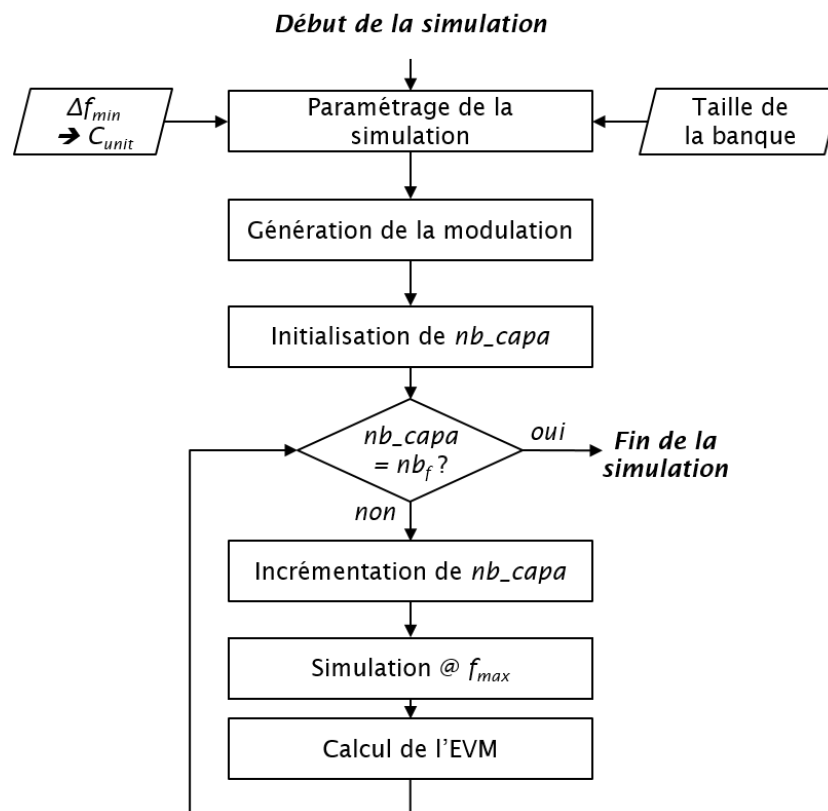
**Figure V-10 : Répartition en deux banques**

A partir de la banque unique de capacités unitaires qui a été déterminé à l'issue de la première étape, il est possible de découper en deux banques comme montré sur la Figure V-7. La banque grossière rassemble les plus grosses capacités commandées par le poids fort (MSB) du mot de commande de la modulation, alors que la banque fine regroupe un nombre plus petit de capacités unitaires commandé par le poids faible (LSB). Dans l'exemple de la Figure V-10, le nombre de capacités de la banque unique est de 48. Une capacité grossière équivaut à un quart de la capacité totale

nécessaire. Par conséquent, la banque fine correspond à un quart de la banque unique, c'est-à-dire 12 capacités unitaires.

La valeur nulle du mot de commande ( $Cmd_{mod}=0$ ) correspond à la valeur milieu  $C_{milieu}$  pour permettre une déviation de fréquence positive comme négative. Cette valeur par défaut est conservée pendant toute la phase d'établissement de la PLL avant l'émission de la modulation.

L'impact de la répartition et du nombre de capacités grossières est étudié à partir de l'organigramme de la figure ci-dessous. Les résultats de la première étape sont intégrés dans le processus dont la première partie est identique au précédent. Le nombre initial de capacités grossières (noté  $nb\_capa$ ) est choisi. Puis, tant que le nombre final ( $nb_f$ ) n'est pas atteint, la modulation est insérée dans le modèle évènementiel. L'EVM le plus critique étant obtenu à la fréquence maximale, on se place en haut de la plage de fonctionnement de l'oscillateur. A la fin de la boucle, la variable  $nb\_capa$  est incrémentée.



**Figure V-11 : Organigramme pour étudier la répartition en deux banques de capacités**

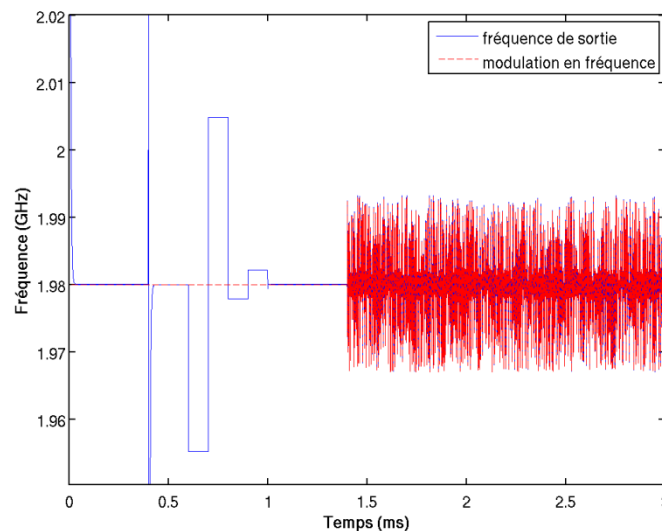
Que la banque unique soit découpée en deux banques signifie que le mot de commande doit l'être aussi. Il est alors nécessaire de connaître et donc de calibrer le gain des deux banques pour permettre d'assurer de bonnes transitions.



Le séquençement de calibration puis d'accrochage des banques de modulation est réalisé comme suit :

1. Etablissement de la PLL à la fréquence porteuse
2. Ouverture de la boucle
3. Calibration de la banque grossière :
  - Choix de la commande maximale de la banque  
→ mesure de la fréquence minimale de la banque ( $f_{g\_min}$ )
  - Choix de la commande minimale de la banque  
→ mesure de la fréquence maximale de la banque ( $f_{g\_max}$ )
  - Gain de la banque grossière :  $K_{mod\_grossière} = \frac{f_{g\_max} - f_{g\_min}}{\text{taille banque grossière}}$
4. Calibration de la banque fine :
  - Choix de la commande maximale de la banque  
→ mesure de la fréquence minimale de la banque ( $f_{f\_min}$ )
  - Choix de la commande minimale de la banque  
→ mesure de la fréquence maximale de la banque ( $f_{f\_max}$ )
  - Gain de la banque fine :  $K_{mod\_fine} = \frac{f_{f\_max} - f_{f\_min}}{\text{taille banque fine}}$
5. Fin de la calibration et fermeture de la boucle

La figure ci-dessous permet d'avoir l'illustration visuelle de cette calibration.



**Figure V-12 : Etape de calibration des banques de capacités**

L'ouverture de la boucle est reconnaissable par les deux pics à 0.4ms. Puis la calibration de la banque grossière se passe de 0.6ms à 0.8 ms. Celle de la banque fine a lieu de 0.8ms à 1ms. La modulation est insérée dans le modèle à partir de 1.4ms.

L'avantage de la PLL numérique telle que décrite dans le chapitre IV est d'avoir naturellement un bloc de mesure de la fréquence. Les durées d'établissement et de calibration ne sont pas optimisées. Néanmoins, comme les mesures de la fréquence

consistent en une moyenne sur plusieurs échantillons, plus le temps de calibration est grand, plus la précision de la mesure est grande.

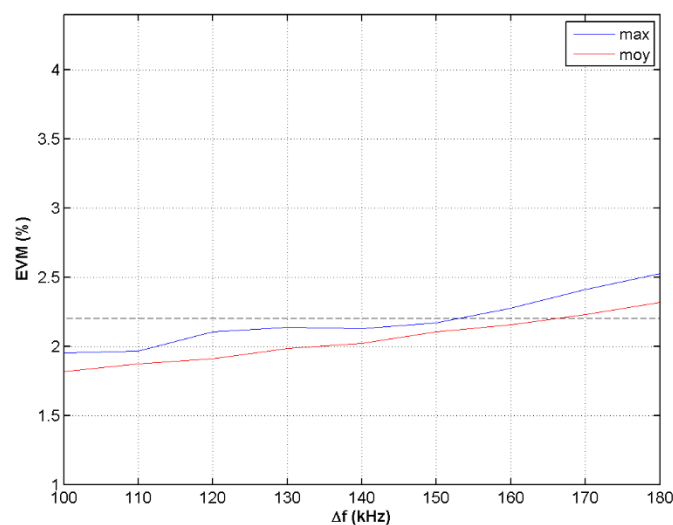
Dans la suite de ce chapitre, nous allons nous intéresser au découpage de ces banques dans le cas des normes WCDMA et LTE.

#### V.4.1 Pour le WCDMA

Il s'agit ici de mettre en pratique ce qui a été expliqué dans le paragraphe précédent sur l'optimisation des banques dédiées à la modulation en prenant tout d'abord l'exemple de la norme WCDMA.

La plage de fréquence de l'oscillateur dans cet exemple va de 3.2GHz à 3.9GHz. Avec une division soit par 2, soit par 4 en sortie de la PLL, cela permet d'adresser toutes les bandes de fréquences de ce standard.

A l'issue de la première étape (Organigramme de la Figure V-9), il est possible d'obtenir la figure ci-dessous décrivant l'impact sur l'EVM du pas de fréquence allant de 100 kHz à 180 kHz à la fréquence maximale de fonctionnement de l'oscillateur. La courbe rouge donne l'EVM moyen de tous les créneaux d'une trame WCDMA et la courbe bleue l'EVM du créneau le plus critique.



**Figure V-13 : Résultat de la 1<sup>ère</sup> étape d'optimisation des banques pour la norme WCDMA**

L'EVM spécifié dans ce cas est de 2.2% (droite en pointillé). Au vu de la courbe de l'EVM maximal, cela donne un pas de fréquence maximal de **150 kHz**. Par conséquent, grâce à l'équation (V-5) et pour une valeur d'inductance de 0.8 nH, la valeur de la capacité unitaire est de **115 attoFarad** ( $1 \text{ aF} = 10^{-15} \text{ F}$ ). A la fréquence minimale de fonctionnement, il faut donc **945** capacités unitaires de cette valeur pour couvrir toute la déviation en fréquence de cette modulation.

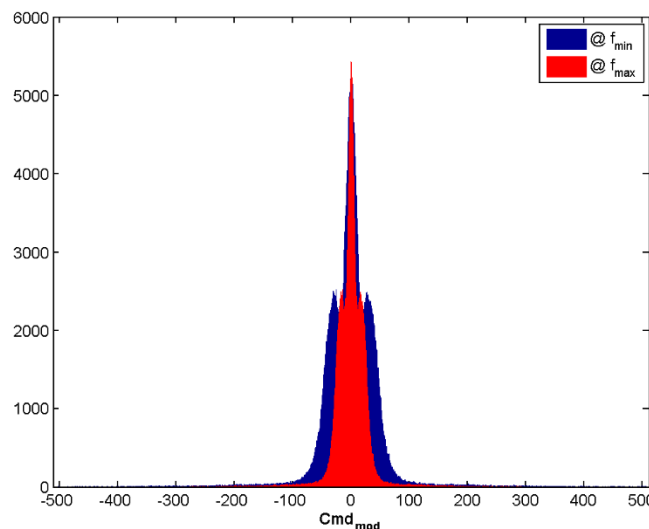
Ce sont des résultats importants pour la suite. Tout d'abord, des capacités commutées jusqu'à 10 aF sont tout à fait réalisables [Dedieu] et mesurable jusqu'à

50 aF [Debroucke]. Donc les valeurs de capacités de 115 aF sont bien faisables. Par contre, étant donné que chaque petite capacité présente une capacité morte, avoir un aussi grand nombre de capacités donne une capacité morte totale de la banque assez conséquente, qui est alors ajoutée à la capacité  $C_{min}$  de la Figure V-8. Cela diminue la fréquence maximale de l'oscillateur et de fait sa plage de fonctionnement. Par contre, plus la valeur de la capacité est faible, plus il est difficile de les appairer entre elles.

De la même façon, le grand nombre d'interconnexions nécessaires pour relier toutes les capacités au mot de commande ajoute des capacités parasites qui augmentent encore la capacité morte.

La répartition en plusieurs banques pondérées (comme en codage binaire) résout le problème d'accès aux capacités, l'idéal étant de minimiser cette pondération dans un souci d'appariement. La répartition en deux banques a donc un sens.

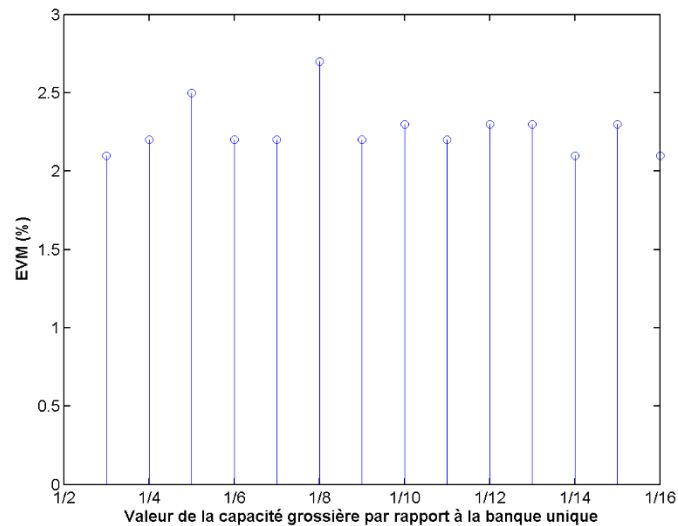
La Figure V-14 montre la distribution de la modulation sur le mot de commande  $Cmd_{mod}$  (équation IV-18) en LSB de la banque unique définie à l'issue de la première étape : en rouge lorsque la fréquence porteuse est maximale et en bleu lorsque la fréquence porteuse est minimale.



**Figure V-14 : Distribution de la modulation WCDMA sur le mot de commande**

A la fréquence minimale, la modulation agit bien sur une plage plus grande du mot de commande, autrement dit elle agit sur un plus grand nombre de capacités unitaires. La taille de la banque est déterminée par les extremums de la distribution bleue qui donnent bien 945 LSB. La majorité de la modulation joue sur les 200 LSB situées au centre de la distribution.

Néanmoins, l'étude de la répartition en deux banques se fait à la fréquence maximale qui est la plus critique au niveau de l'EVM. La Figure V-15 montre l'impact sur l'EVM du nombre de capacités dans la banque grossière.

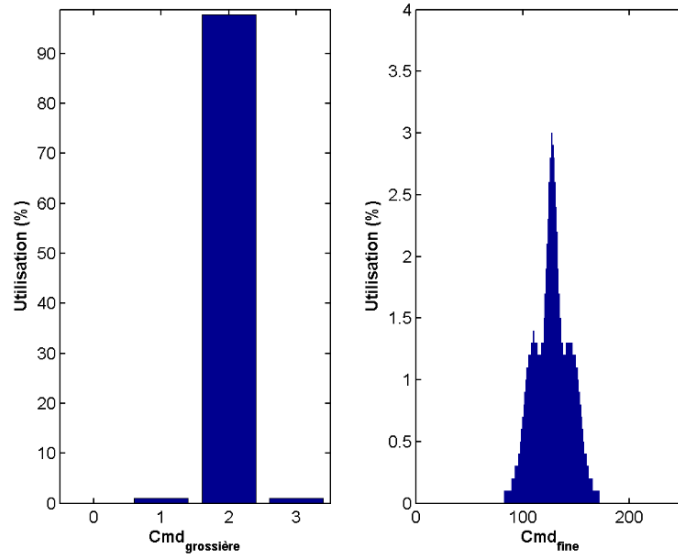


**Figure V-15 : EVM en fonction du nombre de capacités sur la banque grossière pour du WCDMA**

Le nombre de capacités sur la banque grossière fait varier l'EVM dans une fourchette de 2.2 à 2.8% de façon assez aléatoire. Cela ne permet pas de choisir un nombre optimal de capacités grossières. Malgré tout, la répartition en deux banques n'a pas l'air rédhibitoire au vu des performances du système.

Deux répartitions situées aux extrêmes de la Figure V-15 sont décrites ci-dessous correspondant à des valeurs de capacités grossières équivalentes à  $\frac{1}{4}$  et  $\frac{1}{16}$  de la capacité totale. Chaque capacité est commandée par un bit venant de la partie numérique, y compris la capacité « nulle ». Il peut être préférable de choisir ce nombre de bits égal à une puissance de deux, pour une gestion plus simple dans la partie numérique.

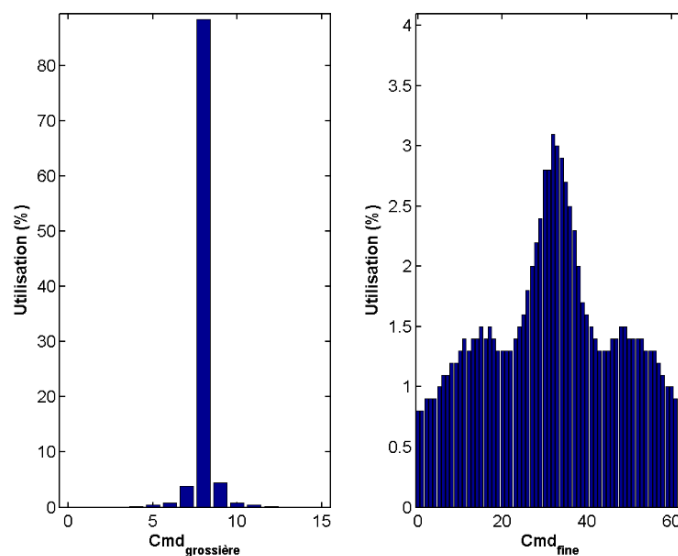
Sur les figures ci-dessous sont représentées les utilisations des différentes capacités de la banque grossière (figure de gauche) et de la banque fine (figure de droite) dans le cas où il y a uniquement 2 capacités sur la banque grossière.



**Figure V-16 : Utilisation des banques pour 3 capacités sur la banque grossière pour la norme WCDMA**

Au vu de la distribution de la modulation de la Figure V-14, la capacité grossière au milieu de la banque est logiquement la plus utilisée. Ainsi le désappariement entre les deux capacités grossières n'a que peu d'impact. Sur la banque fine, la distribution est reconnaissable, mais sa taille a pu être divisée par 4. Néanmoins cela donne environ 250 capacités sur cette banque et du point de vue du nombre d'interconnexions, ce n'est pas concevable.

Les figures ci-dessous montrent les utilisations des différentes capacités de la banque grossière (figure de gauche) et de la banque fine (figure de droite) dans le cas où il y a 15 capacités sur la banque grossière.



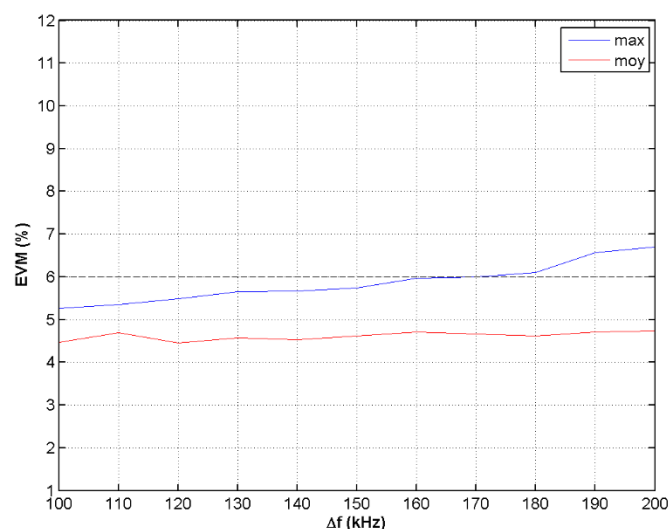
**Figure V-17 : Utilisation des banques pour 15 capacités sur la banque grossière pour la norme WCDMA**

La capacité située au centre de la banque grossière est toujours la plus utilisée. Néanmoins l'utilisation des capacités de la banque fine devient un peu plus homogène, ce qui est très bon pour répartir l'impact des désappariements des capacités fines. De plus, la taille de la banque fine a bien réduit (environ 60 capacités fines), devenant ainsi plus facilement réalisable.

#### V.4.2 Pour le LTE 20 MHz

La même démarche est appliquée dans le cadre de la norme LTE pour une bande passante de 20 MHz. La plage de fréquence de l'oscillateur est gardée identique à celle du paragraphe précédent, même si elle ne permet pas de couvrir les nombreuses bandes de fréquences de ce standard (voir I.3.7).

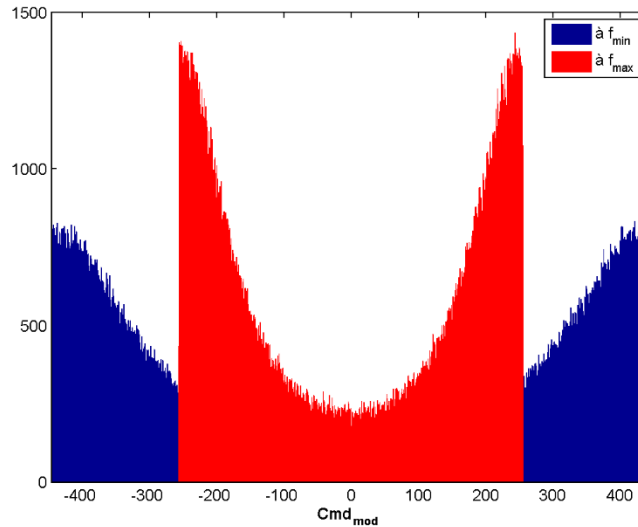
La Figure V-18 montre l'impact du pas de fréquence allant de 10 kHz à 120 kHz sur l'EVM à la fréquence maximale de fonctionnement de l'oscillateur. La courbe rouge donne l'EVM moyen de tous les créneaux d'une trame WCDMA et la courbe bleue l'EVM du créneau le plus critique.



**Figure V-18 : Résultat de la 1<sup>ère</sup> étape d'optimisation des banques dans le cas du LTE 20 MHz**

Dans ce cas, l'EVM spécifié est de 6% (droite en pointillé). Cela donne donc un pas de fréquence maximal de **160 kHz**. L'équation (V-5) donne, pour une valeur d'inductance de 0.8 nH, une valeur de **122 aF** pour la capacité unitaire. A la fréquence minimale, la taille de la banque unique de capacités unitaires est alors de **890**. Ces résultats vont dans le bon sens par rapport à ceux pour le WCDMA.

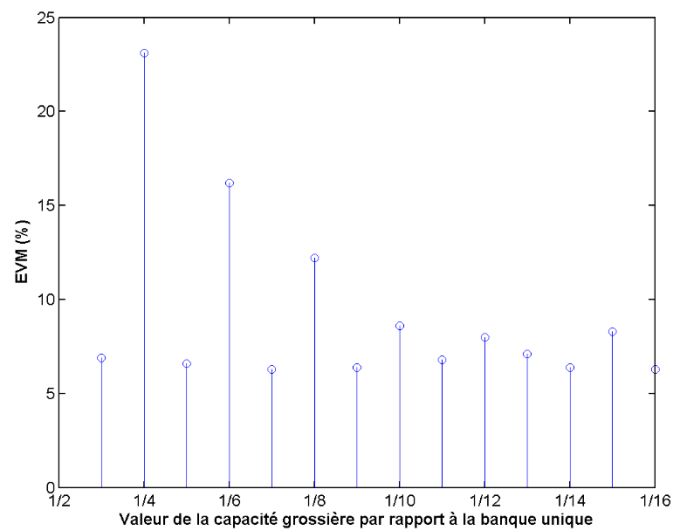
La distribution de la modulation sur le mot de commande  $Cmd_{mod}$  (équation IV-18) de la banque unique définie à l'issue de la première étape est montré sur la Figure V-19 : en rouge lorsque la fréquence porteuse est maximale et en bleu lorsque la fréquence porteuse est minimale.



**Figure V-19 : Distribution de la modulation LTE 20 MHz sur  $Cmd_{mod}$**

La différence entre le nombre de capacités unitaires nécessaire pour couvrir la modulation aux fréquences minimale et maximale est bien visible sur cette figure.

La figure ci-dessous montre l'impact sur l'EVM du nombre de capacités dans la banque grossière à la fréquence maximale.



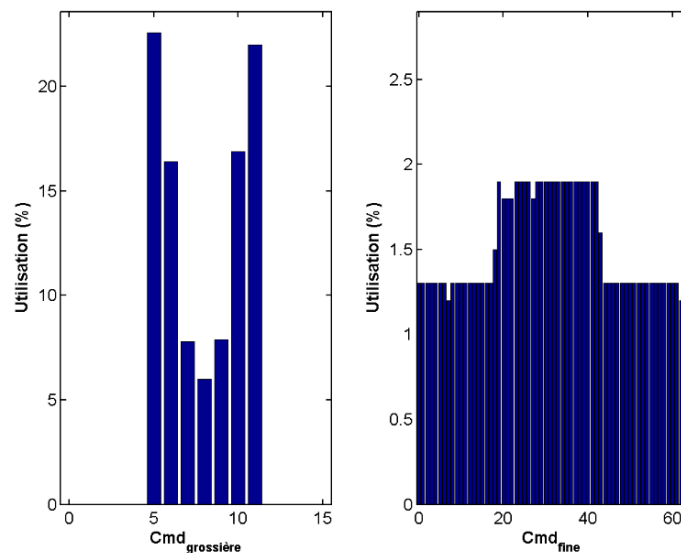
**Figure V-20 : EVM en fonction du nombre de capacités sur la banque grossière pour du LTE 20 MHz**

Lorsque le nombre de capacités sur la banque grossière est impair, l'EVM est maximal avec néanmoins une décroissance plus le nombre de capacités augmente. Lorsque ce nombre est pair, l'EVM se situe autour de 6.5 %.

Bien que la distribution de la modulation (Figure V-19) soit radicalement différente de celle du WCDMA, il apparaît encore que le nombre de capacités doit être choisi de préférence pair si le nombre de capacités grossières est faible. Lorsque ce nombre

est pris supérieur à 12, cela a peu d'influence. Il est alors préférable de choisir un nombre de bits égal à une puissance de deux pour les aspects numériques.

Vu que l'objectif de la répartition en deux banques est de réduire la taille de la banque fine, seul le cas avec 15 capacités grossières est présenté sur les figures ci-dessous. Ce cas correspond à la fois à une diminution importante du nombre de capacités fines et à la volonté d'avoir un nombre de bits égal à une puissance de deux.



**Figure V-21 : Utilisation des banques pour 15 capacités sur la banque grossière pour du LTE 20 MHz**

A la fréquence maximale, les capacités grossières situées aux extrémités ne sont pas utilisées. La distribution de la modulation (Figure V-19) est reconnaissable sur les capacités situées au milieu. Le nombre de capacités fines est de **63**, ce qui donne un nombre de bits commandant la banque fine égal lui aussi à une puissance de deux. De plus, l'utilisation des capacités fines est quasiment uniforme, ce qui rend cette banque plus robuste aux désappariements de ses capacités.

## V.5 Conclusion du chapitre V

Dans ce chapitre, la problématique a porté sur le chemin d'insertion de la modulation par l'oscillateur de la PLL. Dans un premier temps, il a été décrit la nécessité de calibrer le gain de la banque de capacités dédiée à la modulation avec une tolérance très faible pour les modulations étudiées ici. Pour du LTE avec une bande passante de 20 MHz, une erreur de 1% sur la calibration dégrade l'EVM de plus de 12%.

Dans un second temps, il a été présenté que, du fait de la forte amplitude en fréquence des modulations considérées, il fallait aussi tenir compte de la non-linéarité de l'oscillateur. Une linéarisation de cette caractéristique semble suffisante, mais cela oblige à avoir un temps de calibration plus long pour mesurer 4 valeurs de la fréquence de l'oscillateur.



Enfin, une méthode de recherche de la valeur de la capacité unitaire et de la taille de la banque unique nécessaire à couvrir toute la plage de fréquence de la modulation tout en respectant les spécifications a été proposée. Cette taille de banque étant généralement trop grande (autour de 1000 capacités unitaires pour le WCDMA et le LTE), une méthode d'optimisation a été présentée ensuite, qui consiste à chercher l'optimisation d'une répartition de cette banque unique en deux banques de capacités : une grossière et une fine.

## Conclusion et Perspectives

Ce travail s'est intéressé aux standards de téléphonie mobile comme le LTE dont l'élargissement de la bande passante sur-contraint les émetteurs de type polaire. Même si elle n'est pas l'unique solution, ce type d'architecture reste malgré tout la plus compétitive en termes de surface, de consommation, ainsi qu'en immunité au « *pulling* ». L'objectif de ce travail fut donc de perpétuer son utilisation pour ces standards large bande.

L'étude a porté exclusivement sur la façon de moduler le signal de phase large bande directement par la PLL, sans restriction sur son architecture. Cette modulation se fait nécessairement en deux points (oscillateur et consigne) pour s'affranchir de la bande passante limitée de la PLL. Ainsi, une modélisation événementielle des PLL analogiques et numériques a été proposée. Un des avantages de ce type de modèle est qu'il est possible de simuler des durées assez longues tout en restant rapide du fait de l'aspect évènementiel. De plus, elle tient compte des imperfections de ces deux circuits comme les bruits et surtout les non-linéarités. Par ailleurs, elle permet de simuler simultanément les deux points d'insertion de la PLL et d'étudier alors des phénomènes de recombinaisons internes à la PLL qui peuvent dégrader fortement les performances de l'émetteur polaire.

Pour la PLL analogique, un phénomène de recouvrement spectral entre la modulation insérée par l'oscillateur et le bruit du modulateur  $\Sigma\Delta$  a été mis en évidence. Une méthodologie globale de dimensionnement de filtres sur le signal de modulation et de choix de la fréquence de référence de la PLL a été proposée. Cela permet de réduire fortement la dégradation observée de la qualité du signal.

Pour la PLL numérique, la mesure usuelle du gain du TDC a un impact significatif sur les performances du système pour les modulations large bande étudiées ici. Suite à une étude théorique des signaux internes à la PLL, l'ajout de la modulation sur le gain du TDC a été proposé donnant lieu à un modulateur en trois points au lieu de deux. Cette solution est simple à implémenter, car les signaux sont déjà à disposition et les opérations mathématiques sont facilement réalisables dans la partie numérique. Elle permet de retrouver des niveaux d'EVM acceptables pour les performances recherchées.

Finalement, les travaux de cette thèse ont amené à s'intéresser aux problématiques autour du point d'insertion de la modulation par l'oscillateur, indépendamment de l'architecture de la PLL : analogique ou numérique. Il a été montré que les déviations de fréquence propres aux normes WCDMA et LTE font intervenir la caractéristique non linéaire de l'oscillateur. Cette non-linéarité est à mettre en regard de la calibration du gain de la banque dédiée à la modulation. Les précisions recherchées sont très petites. Pour du LTE 20 MHz par exemple, une erreur de 1% sur le gain de l'oscillateur donne un EVM de 12%. Une méthodologie de dimensionnement d'une ou des banques de capacités dédiées à la modulation a été proposée. Les valeurs des capacités

unitaires obtenues pour satisfaire les performances recherchées sont bien réalisables dans les technologies actuelles : 120 aF pour du LTE 20 MHz.

Cette étude propose un dimensionnement complet de la PLL qu'il serait intéressant de réaliser avec l'intégralité de l'émetteur polaire sans quoi les performances de la banque de modulation ne seraient pas mesurables. Tout d'abord, concernant l'oscillateur, l'architecture mixte du D/VCO avec varactor analogique pour la partie synthèse de fréquence et banques de capacités commutées pour la partie modulation est à réaliser. L'intégration de cet oscillateur dans une PLL analogique est ensuite à faire, pour démontrer sur Silicium la faisabilité de la modulation de phase large bande directement appliquée sur une PLL analogique. Pour cela, il faut tenir compte du phénomène de recouvrement spectral entre le bruit du modulateur  $\Delta\Sigma$  et la modulation insérée par l'oscillateur, en ajoutant une des solutions proposées dans le chapitre III.

En parallèle, il apparaît certainement plus aisé d'implémenter le concept de modulateur 3 points basé sur la PLL numérique. Néanmoins, la banque de modulation ne correspond pas forcément à la banque d'asservissement. Il y a de plus, un problème de taille des banques vis-à-vis de la dérive en température et en tension d'alimentation. Un travail est donc à faire sur le DCO. La modification restante se fait dans la partie numérique concernant la mesure du gain du TDC.

Les nouvelles technologies (CMOS 28nm, 14nm, ...) ont été développées pour rendre les parties numériques plus rapides tout en étant moins énergivores. La tendance actuelle est à l'intégration de la partie RF sur la même puce que les parties numériques. Cela va donc dans le sens du remplacement d'un maximum de blocs analogiques par des blocs numériques. Ainsi, l'émetteur polaire basé sur une PLL numérique est une voie prometteuse pour les prochaines générations de circuits.

## Liste des acronymes

ACLR	Adjacent Channel Leakage Ratio
ACPR	Adjacent Channel Power Ratio
APLL	Analog PLL
CDMA	Code Division Multiple Access
DAC	Digital to Analog Converter
DCO	Digitally Controlled Oscillator
DFT	Discrete Fourier Transform
DPLL	Digital PLL
DSSS	Direct Sequence Spread Spectrum
EDGE	Enhanced Data rate for GSM Evolution
EVM	Error Vector Magnitude
FDD	Frequency Division Duplex
FFT	Fast Fourier Transform
FHSS	Frequency Hopping Spread Spectrum
GMSK	Gaussian Minimum Shift Keying
GPRS	General Packet Radio Service
GSM	Global System for Mobile communication
HPSK	Hybrid Phase Shift Keying
HSDPA	High Speed Downlink Packet Access
HSPA	High Speed Packet Access
HSUPA	High Speed Uplink Packet Access
IDFT	Inverse Discrete Fourier Transform
IP	Internet Protocol
ISM	Industrial, Scientific and Medical
LINC	Linear amplification with Nonlinear Components
LTE	Long Term Evolution
LTE-A	Long Term Evolution-Advanced
MIMO	Multiple Inputs, Multiple Outputs
OFDM	Orthogonal Frequency Division Multiplex
OFDMA	Orthogonal Frequency Division Multiple Access
PAPR	Peak to Average Power Ratio

PFD	Phase/Frequency Differentiator
PLL	Phase Locked Loop
PSK	Phase Shift Keying
QAM	Quadrature Amplitude Modulation
QPSK	Quadrature Phase Shift Keying
RF	Radio-Fréquence / Radio Frequency
SAE	System Architecture Evolution
SC-FDMA	Single Carrier-Frequency Division Multiple Access
SISO	Single Input, Single Output
SNR	Signal to Noise Ratio
TDC	Time to Digital Converter
TDD	Time Division Duplex
UMTS	Universal Mobile Telecommunications System
VCO	Voltage Controlled Oscillator
WCDMA	Wideband Code Division Multiple Access
Wi-Fi	« <i>Wireless Fidelity</i> »

# Bibliographie

- [3GPP01] Feasibility Study for Orthogonal Frequency Division Multiplexing (OFDM) for UTRAN enhancement (UMTS Release 6), 3GPP TR 25 892 (2004)
- [3GPP02] User Equipment (UE) radio transmission and reception (FDD) (Release 7), 3GPP TS 25.101, V6.8.0 (2005)
- [3GPP03] Evolved Universal Terrestrial Radio Access (E-UTRA); User Equipment (UE) radio transmission and reception (Release 8), 3GPP TS 36.101 V8.3.0 (2008-09)
- [3GPP04] GPP operation LTE. March 2009.
- [3GPP05] Requirements for further advancements for Evolved Universal Terrestrial Radio Access (E-UTRA) (LTE-Advanced Release 11), 3GPP TR 36.913 V11.0.0 (2012)
- [Agilent] Agilent : HPSK Spreading for 3G. Application Note, AN 1335, 1999
- [Andia] Amplificateur de puissance en classe commutée pour application dans un émetteur multiradio à haut rendement – Thèse de Luis Alejandro Andia Montes - 2010
- [Berland] Architecture d'émetteurs pour système de radiocommunication – HDR de Corine Berland - 2010
- [Debroucke] Développements de capacités variables en technologie silicium pour les applications RF et mmW – Thèse de Romain Debroucke - 2011
- [Dedieu] Variable-capacitance circuit element – Dedieu and al. - US 20070075791 A1 - 2007
- [FaNa] Design of Low Noise Fractional-N Frequency Synthesizer Using Sigma-Delta Modulation Technique - Fatahi and Nabovati – MIEL 2010
- [Groe] Polar Transmitters for Wireless Communications - Groe - IEEE Communications Magazine - September 2007
- [Hegazi] Varactor Characteristics, Oscillator Tuning Curves, and AM-FM Conversion – Hegazi and al. - JSSC, vol. 38, n°6, June 2003
- [HeKwa] A Novel Fractional-N PLL Architecture with Hybrid of DCO and VCO – He and Kwasniewski - 25th IEEE Canadian Conference on Electrical and Computer Engineering (CCECE) 2012
- [HolTos01] WCDMA for UMTS – HSPA Evolution and LTE - Harri Holma and Antti Toskala - 2007

- [HolTos02] LTE for UMTS - OFDMA and SC-FDMA Based Radio Access - Harri Holma and Antti Toskala - 2009
- [Houdebine] Contribution pour l'amélioration de la robustesse et du bruit de phase des synthétiseurs de fréquences - Thèse de Marc HOUDEBINE - 2006
- [HuKo] Using Two-Point Modulation To Reduce Synthesizer Problems When Designing DC-Coupled GMSK Modulators - Hunter and Kostedt - 2000
- [IEEE01] St. 802.11b-1999, Supplement to IEEE Standard for Information technology – Telecommunications and information exchange between systems—Local and metropolitan area networks – Specific requirements – Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: Higher-Speed Physical Layer Extension in the 2.4 GHz Band. Reaffirmed 12 June 2003.
- [IEEE02] St. 802.11g-1999, Supplement to IEEE Standard for Information technology – Telecommunications and information exchange between systems—Local and metropolitan area networks – Specific requirements – Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: Amendment 4: Further Higher Data Rate Extension in the 2.4 GHz Band. 27 June 2003.
- [IEEE03] St. 802.11a-1999, Supplement to IEEE Standard for Information technology – Telecommunications and information exchange between systems – Local and metropolitan area networks Specific requirements Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications Highspeed Physical Layer in the 5 GHz Band. Reaffirmed 12 June 2003.
- [IEEE04] IEEE Standard 802.16e. Air interface for fixed and mobile broadband wireless access systems amendment 2: physical and medium access control layers for combined fixed and mobile operation in licensed bands, 2005.
- [Marzin] A 20 Mb/s Phase Modulator Based on a 3.6 GHz Digital PLL With -36 dB EVM at 5 mW Power – Marzin and al. – JSSC vol.47 n°12 - dec. 2012
- [Miyazaki] A performance comparison of PLLs for clock generation using ring oscillator VCO and LC oscillator in a digital CMOS process - Miyazaki and al. – Design Automation Conference 2004
- [Nagle] A Wide-Band Linear Amplitude Modulator for Polar Transmitters Based on the Concept of Interleaving Delta Modulation – Nagle and al. - JSSC, vol. 37, n°12 - dec. 2002
- [Prou] Impact of PA class on reconstruction filters sizing for a WCDMA base station LINC transmitter – Prou and al. – PRIME 2013

- [Rumme] LTE and the Evolution to 4G Wireless - Design and Measurement Challenges - Moray Rumme - 2013
- [Stasz01] All-Digital PLL and Transmitter for Mobile Phones - Staszewski and al. - JSSC vol.40 n°12 dec. 2005
- [Stasz02] A Technique to Reduce Phase/Frequency Modulation Bandwidth in a Polar RF Transmitter - Zhuang and al. - IEEE Transactions on Circuits and Systems vol.57 n°8 aug. 2010
- [Stasz03] TDC-Based Frequency Synthesizer for Wireless Applications - Staszewski and al. - RFIC 2013
- [Stasz04] Recombination of Enveloppe and Phase Paths in Wideband Polar Transmitters - Syllaios and al. - IEEE Transactions on Circuits and Systems vol.57 n°8 aug. 2010
- [Suarez] Architectures d'émetteurs pour des systèmes de communication multiradio - Thèse de Martha Liliana Suarez Penaloza - 2009
- [Suarez] Architectures d'émetteurs pour des systèmes de communication multiradio - Thèse de Martha Liliana Suarez Penaloza - 2009
- [Tassin] Étude de faisabilité d'un émetteur radio fréquence à conversion directe pour le standard WCDMA avec boucle cartésienne de linéarisation en technologie CMOS 65 nm - Thèse de Claire Tassin - 2006
- [Tassin] Étude de faisabilité d'un émetteur radio fréquence à conversion directe pour le standard WCDMA avec boucle cartésienne de linéarisation en technologie CMOS 65 nm - Thèse de Claire Tassin - 2006
- [Wang] A Digital Intensive Fractional-N PLL and All-Digital Self Calibration Schemes - Wang and al. - JSSC vol.44 n°8 aug. 2009
- [Xu] Semidigital PLL Design for Low-Cost Low-Power Clock Generation - Xu and al. - Journal of Electrical and Computer Engineering 2011
- [Xu2] A Wide-Band Digitally Controlled Ring Oscillator - Xu and al. - IEEE International Symposium on Circuits and Systems - ISCAS 2010
- [Ye] Reduced Complexity MASH Delta-Sigma Modulator - Ye and al. - Transactions on Circuits and Systems vol.54 n°8 aug. 2007