

修士論文概要書

2008 年 2 月提出

学籍番号 3606U056-7

専門分野	情報・ネットワーク専攻	氏名	高橋 豊和	指導 教員	柳澤 政生 印
研究指導	マルチメディアシステム				
研 究 題 目	H.264/AVC ベースラインプロファイル符号化 に対応した DSP の設計に関する研究				

1 はじめに

近年、ネットワークの広帯域化や携帯機器の高機能化により、動画の持ち歩きやダウンロード、共有が容易になった。また、携帯通信機器を用いた動画によるコミュニケーションも普及しつつある。このような時代を支える技術の一つが、映像情報を圧縮する動画画像圧縮規格である。最新の規格 H.264/AVC は携帯機器向けから HDTV 向けまで幅広い帯域において符号化効率が優れる特長を持つ。しかし、その演算量の多さから符号化に対応した LSI は専用ハードウェアか動作周波数の高いプロセッサであり、携帯機器へ組み込むにはチップ面積や消費電力の点で問題がある。

本論文では、H.264/AVC ベースラインプロファイル符号化に対応した低動作周波数かつプログラマブルな DSP を提案する。提案 DSP は一般的な DSP が持つ命令に加え、H.264/AVC の符号化ツールに特化した専用命令を持つ。専用命令拡張のため、提案 DSP は内部に演算器形式の専用ハードウェア（専用演算器と呼ぶ）を持つ。汎用 RISC や DSP によるソフトウェア実行の性能を低下させる処理を専用命令により高速化することで、H.264/AVC ベースラインプロファイルの実時間符号化を 1 チップ・小面積で実現する。また提案 DSP はプロセッサゆえのプログラマビリティを持ち、幅広い用途に応用可能な柔軟性を併せ持つ。提案 DSP は H.264/AVC 符号化に加え MPEG-4 コアプロファイル符号化・復号化を低動作周波数で実現したものであり、今後の携帯機器アプリケーションへの応用が期待される。

2 H.264/AVC ベースラインプロファイル符号化に対応した DSP

本論文では、H.264/AVC ベースラインプロファイル専用命令の拡張を行った DSP によって実現する。既存の H.264/AVC 対応 LSI の実現方法は大きく 2 つに分けられる。一方は専用ハードウェアを処理ごとに用意し、RISC や DSP によって制御もしくは一部の処理を実行する方法であるが、この方法は適応的な符号化処理や既存規格への対応などの柔軟性に欠ける。他方は RISC や DSP 上のソフトウェアのみで全ての処理を実行する方法であるが、H.264/AVC 符号化の演算量が膨大なため動作周波数を上げなければならず、低消費電力が重要な要素となる携帯機器への組み込みには向かない。

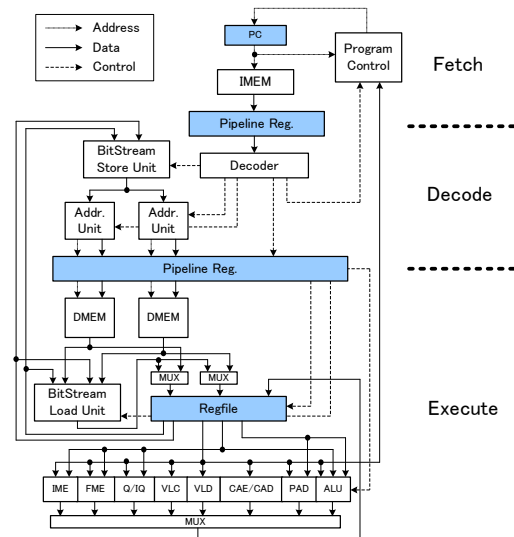


図 1: DSP 構成

本論文ではこれらを踏まえ、H.264/AVC 符号化でボトルネックとなる処理に対して専用命令を追加した DSP によって、性能と柔軟性を両立させながらベースラインプロファイル符号化を実現する。提案する DSP のブロック図を図 1 に示す。提案 DSP は [1] の仕様を踏襲する。H.264/AVC 符号化で演算量の 90%以上を占めるとされる動き予測に対して、専用演算器 IME（整数精度動き予測）ユニットと FME（小数精度動き予測）ユニットを用意し、各処理の高速実行を図った。IME ユニットの構成を図 2 に、FME ユニットの構成を図 3 に示す。

命令デコード拡張、レジスタファイル・各演算器間の結線を行うことで、DSP に H.264/AVC 符号化向けの命令拡張が可能となる。各専用演算器は ALU と同様に演算器としての使用を可能とするため、1 サイクル単位の動作とし、入出力はレジスタ幅である 32 ビットを基本とする。IME ユニットでは独自の 1/2 画素サブサンプリング、画素ビット幅の削減などを採用し、限られた入出力でも演算器の使用率を向上させると共に面積の削減を図った。また、FME ユニットは FIR フィルタを 2 種類用意し、限られた入力ビット幅でも無駄なサイクル数が生じないよう考慮した。更に内部回路を再利用し、複合 FIR フィルタ補間器、複数変換へ対応した複合変換器としても使用可能とし、それぞれ独立した演算器を用意するよりも面積を削減した。

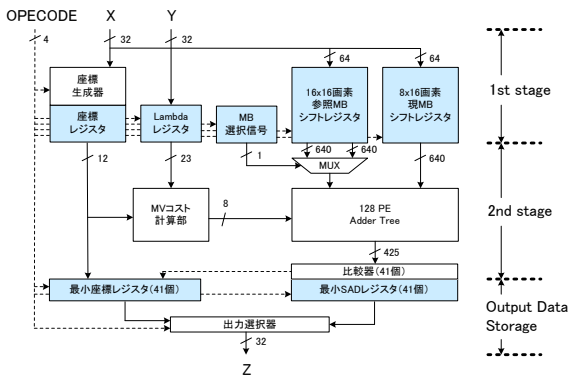


図 2: IME 専用演算器の構成

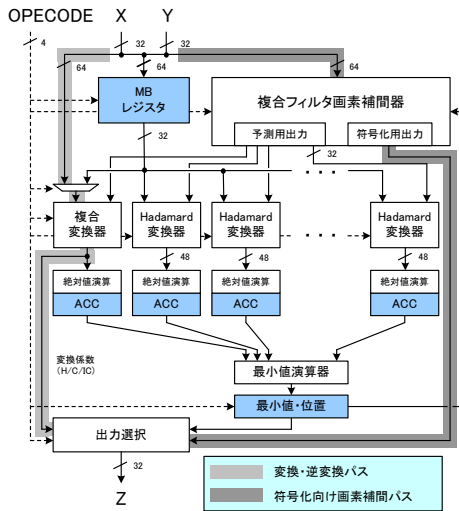


図 3: FME 専用演算器の構成

3 実装結果と性能評価

本論文で提案した DSP を VHDL で記述し、論理合成ツール Design Compiler で合成を行った。使用したライブラリは STARC 90nm プロセス用ライブラリである。合成による面積見積り結果を表 1 に示す。合成後の DSP 全体のクリティカルパス遅延は 4.63ns となり、理論上の DSP の動作周波数は 215MHz となった。

提案 DSP の命令セットを用いて H.264/AVC ベースラインプロファイル符号化の各処理について命令数を見積もり、実行サイクル数を見積もった。この結果を表 2 に示す。表 2 より、提案 DSP は Half-D1 サイズまでの符号化に対応することが可能である。Half-D1 サイズ以下の動画像に対して 30fps で符号化処理を行う場合、余分となるサイクルは命令語の組み合わせの工夫、ソフトウェアの改善により、画質や符号化効率の向上のため動き予測の参照フレーム数を増加させたり、H.264/AVC ベースラインプロファイルのオプションで規定されるエラー耐性ツールを実行したり、あるいはその他の信号処理を行うなど、柔軟に割り振ることが可能である。表 3 に既存 LSI との比較結果を示す。専用

表 1: DSP の面積見積り結果

ハードウェア名	面積 μm^2	
ALU	59,962	
専用演算器	IME ユニット	91,446
	FME ユニット	201,649
	その他ユニット合計	111,019
メモリアクセスユニット	42,516	
レジスタファイル	77,451	
その他回路	19,731	
DSP 全体	603,774	

表 2: H.264/AVC 符号化フレームレート

画像サイズ	フレームレート	fps
QCIF		259
CIF		64
Half-D1		38
D1		19

表 3: 既存 LSI との性能比較

タイプ	グループ	LSI	Clock MHz	解像度
専用ハード	台湾大学	専用 LSI	108	HDTV
	早稲田大学	専用 LSI	200	HDTV
	NEC エレ	M2		D1
プロセッサ	富士通	MB93475	480	Half-D1
	Sydney 大学	TMS320DM642	600	CIF
	SFAX 大学	TMS320DM642	600	CIF
	Emuzed India	BF561	600	CIF
	Ours	提案 DSP	215	Half-D1

ハードウェア形式と比較した場合、提案 DSP は符号化性能は劣るが柔軟性を持つ優位性がある。プロセッサの中では低動作周波数で Half-D1 サイズ符号化まで対応し優位性があるといえる。

IME/FME ユニットを実装するにあたって予測アルゴリズムの変更を行った。これらの変更を参照ソフトウェアに実装し標準ソフトウェアからの PSNR 値の変化を測定した。その結果、変更アルゴリズムの画質劣化は約-0.1dB となった。H.264/AVC 規格は H.263++ や MPEG-4 と比較して 2~3[dB] の画質優位性をもつとされる。これより、提案 DSP を用いた符号化でも十分な画質優位性があると考えられる。

4 おわりに

本論文で提案した DSP により、小面積・低動作周波数での H.264/AVC ベースラインプロファイル符号化、MPEG-4 コアプロファイル符号化・復号化が実現可能となった。今後の課題として、配置配線およびチップ試作による消費電力測定、各ユニットの改良や専用演算器の追加、バス幅の拡張などによる性能向上、他規格への対応などの機能拡張が挙げられる。

参考文献

- [1] 古宇田 朋史 et al., “MPEG-4 形式符号化/複合化に対応した DSP 組み込み向け専用演算器の設計,” 組込みシステムシンポジウム, Vol. 2006, pp. 70-78, 2006.