

学校编码: 10384

密级_____

学号: 19820071154223

厦 门 大 学

硕 士 学 位 论 文

应用于感测器的高精度
Sigma-Delta ADC 的研究与设计
Research and design of high precision
Sigma-Delta ADC for sensors

李 威

指导教师姓名: 李开航 副教授

专 业 名 称: 微电子学与固体电子学

论文提交日期: 2010 年 5 月

论文答辩日期: 2010 年 月

2010 年 月

厦门大学学位论文原创性声明

本人呈交的学位论文是本人在导师指导下,独立完成的研究成果。本人在论文写作中参考其他个人或集体已经发表的研究成果,均在文中以适当方式明确标明,并符合法律规范和《厦门大学研究生学术活动规范(试行)》。

另外,该学位论文为()课题(组)的研究成果,获得()课题(组)经费或实验室的资助,在()实验室完成。(请在以上括号内填写课题或课题组负责人或实验室名称,未有此项声明内容的,可以不作特别声明。)

声明人(签名):

年 月 日

厦门大学学位论文著作权使用声明

本人同意厦门大学根据《中华人民共和国学位条例暂行实施办法》等规定保留和使用此学位论文，并向主管部门或其指定机构送交学位论文（包括纸质版和电子版），允许学位论文进入厦门大学图书馆及其数据库被查阅、借阅。本人同意厦门大学将学位论文加入全国博士、硕士学位论文共建单位数据库进行检索，将学位论文的标题和摘要汇编出版，采用影印、缩印或者其它方式合理复制学位论文。

本学位论文属于：

1. 经厦门大学保密委员会审查核定的保密学位论文，
于 年 月 日解密，解密后适用上述授权。

2. 不保密，适用上述授权。

（请在以上相应括号内打“√”或填上相应内容。保密学位论文应是已经厦门大学保密委员会审定过的学位论文，未经厦门大学保密委员会审定的学位论文均为公开学位论文。此声明栏不填写的，默认为公开学位论文，均适用上述授权。）

声明人（签名）：

年 月 日

摘要

在数字产品日益增长的今天,作为联系模拟世界与强大的数字处理领域的桥梁,模数转换器的角色越来越重要。Sigma-Delta ADC 基于过采样技术,对量化噪声进行整形。将量化噪声频移至高频的信号带外,有效衰减信号带内的量化噪声,而频移至带外的高频量化噪声最终通过数字抽取滤波器得以滤除,使得高精度模数转换器得以实现。这类模数转换器对工艺要求不高,易于用标准的数字 CMOS 工艺实现,同时避免了元器件失配对 ADC 精度的限制,已成为目前实现高精度模数转换器的主流方向。

本文正向设计了一款可应用于感测器的 16 位模数转换器。首先讨论了 Sigma-Delta 转换器两个关键技术:过采样和噪声整形,在分析一阶 Sigma-Delta 调制器频域和时域行为基础上,用 Matlab Simulink 工具对不同结构调制器进行了建模与仿真,根据设计目标,确定调制器为 2-1 级联结构,并对调制器中各种非理想因素进行了分析。整个调制器电路采用全差分开关电容电路结构,所需的积分器由一个带共源放大级的全差分折叠式运算放大器来构造,以满足级联结构调制器对运放高增益、高摆幅要求。采用 Charter 0.35um 2P4M (两层多晶硅四层金属)标准 CMOS 工艺实现了调制器模块电路设计与仿真,并且在版图上实现了调制器整体电路,而数字抽取滤波器部分则在 Matlab 仿真建模上给予实现。

仿真结果表明,调制器电路的信噪比可达 106.2dB,达到 16 位设计要求。设计的调制器版图在 Assura 工具 DRC、LVS 上验证通过,数字抽取滤波器则经 Matlab 仿真验证表明其能达到降采样恢复输入信号并达到预定的信噪比。

关键词: Sigma-Delta ADC; 信噪比; 开关电容积分器; 版图; 数字抽取滤波器

Abstract

With the development of digital products, as a contact with the analog world and the digital realm, analog-to-digital converter (ADC) becomes more important. Sigma-Delta ADC which based on over-sampling and noise-shaping technologies effectively attenuate the noise in signal band, and the amplified noise out of signal band will be removed by digital decimation filter, Since that can realize high precision ADC. This kind of ADC's technology requirements is not very strict, easy to manufacture using standard digital CMOS technology, avoiding the big losses brought by mismatching components. So sigma-delta ADC is becoming more and more popular.

This paper researches a 16-bit sigma-delta modulator which can be applied to a sensor with top-down method. Over-sampling and noise-shaping which are the two key technologies in the sigma-delta modulator are discussed firstly, and introduced sigma-delta ADC's theory through analysis of time domain and frequency domain in 1-st modulator. Matlab Simulink tools are used to model and simulate different modulators, third-order 2-1 cascade structure modulator has been chosen according to the goal, and the Non-Ideal factors in the modulator are analyzed. The whole modulator circuit adopts full differential capacitor switching circuit structure. In order to meets this modulator's requirement, a fold cascode OTA with common source amplifier is designed to realize integrator. Charter 0.35um 2P4M (two layers of poly-silicon four-layer metal) standard CMOS process is used to achieve the partial circuits and the whole modulator circuit design and simulation. Then overall modulator layout has been designed and the digital decimation filter based on matlab is given out.

The results of simulating modulator circuits show that SNR is up to 106.2dB, meeting the requirement of the goal. The modulator layout DRC and LVS have been checked by Assura, as well as the digital decimation filter is validated by Matlab.

Key Words: sigma-delta modulator; SNR;SC integrator; layout;digital decimation filter

目 录

中文摘要	I
英文摘要	II
第一章 绪论	1
1.1 研究的背景和意义	1
1.2 本文的目标及结构	2
第二章 Sigma-Delta ADC 原理概述.....	4
2.1 奈奎斯特采样与量化噪	4
2.2 Sigma-Delta 调制器的关键技术	7
2.2.1 过采样技术.....	7
2.2.2 噪声整形.....	8
2.3 一阶 Sigma-Delta 调制器	10
2.4 二阶调制器及高阶调制器结构	13
2.4.1 二阶调制器.....	14
2.4.2 高阶调制器.....	15
2.5 数字抽取滤波器	18
第三章 三阶 2-1 级联结构调制器系统设计.....	19
3.1 Sigma-Delta 调制器结构选取	19
3.2 调制器系统系数确定与系统仿真	21
3.3 调制器的非理想因素分析	24
3.3.1 2-1 级联结构的级间元件失配分析	24
3.3.2 热噪声.....	25
3.3.3 闪烁噪声 (flicker noise)	28
3.3.4 有限放大器增益.....	29
3.3.5 电容比值不匹配.....	31
3.3.6 比较器的非理想特性.....	31
3.3.7 时钟抖动噪声(Clock Jitter)	32

第四章 调制器电路设计与实现	34
4.1 积分器的实现	34
4.1.1 采样开关.....	34
4.1.2 开关电容电路积分器.....	37
4.2 跨导运算放大器	39
4.2.1 运放补偿.....	40
4.2.2 运放直流增益.....	41
4.2.3 运放输出摆幅.....	41
4.2.4 共模反馈.....	41
4.2.5 偏置电路.....	43
4.2.6 运放仿真结果.....	43
4.3 比较器	45
4.3.1 比较器基本原理.....	45
4.3.2 比较器的结构.....	46
4.3.3 比较器仿真结果.....	47
4.4 一位 DAC 电路设计	47
4.5 两相非交叠时钟产生电路	48
4.6 数字消除逻辑电路	50
4.7 调制器电路仿真	51
第五章 调制器版图设计	54
5.1 匹配问题	54
5.2 D 触发器和全加器版图设计	58
5.3 调制器整体布局	59
第六章 基于 Matlab 数字抽取滤波器的设计.....	60
6.1 抽取滤波器的系统分析	60
6.2 梳状抽取滤波器	60
6.2.1 梳状滤波器原理.....	60
6.2.2 CIC 滤波器结构.....	63
6.3 补偿滤波器	65
6.4 半波带滤波器	66

6.5 滤波器仿真结果	67
第七章 结论	69
参 考 文 献	71
硕士期间发表的论文	76
致 谢.....	77

厦门大学博硕士论文摘要库

Table of Contents

Abstract in Chinese	I
Abstract in English	II
Chapter 1 Introduction	1
1.1 Background And Significance	1
1.2 The objective and outline of this thesis	2
Chapter 2 Theory of Sigma-Delta ADC	4
2.1 Nyquist sampling and quantization noise	4
2.2 Key technique of Sigma-Delta modulator	7
2.2.1 Oversampling technique	7
2.2.2 Noise Shaping	8
2.3 1st-order Sigma-Delta modulator	10
2.4 2st-order and high-order modulator	13
2.4.1 2st-order modulator.....	14
2.4.2 High-order modulator	15
2.5 Digital decimation filter	18
Chapter 3 System design of Sigma-Delta modulator	19
3.1 Sigma-Delta modulator architecture design	19
3.2 Coefficients design and system simulation	21
3.3 Nonideal factors analysis for modulator	24
3.3.1 Mismatch analysis for 2-1 cascade modulator.....	24
3.3.2 Thermal noise.....	25
3.3.3 Flick noise	28
3.3.4 Limited gain of amplifier	29
3.3.5 Mismatch of capacities	31
3.3.6 Nonideal factors of comparator	31
3.3.7 Clock jitter	32

Chapter 4 Circuit design and realization for modulator	34
4.1 Integretor realization	34
4.1.1 Switch for sampling	34
4.1.2 Switch Capacity Circuit for integretor	37
4.2 OTA	39
4.2.1 Compensation for OTA	40
4.2.2 DC gain of OTA	41
4.2.3 Amplitude of OTA	41
4.2.4 CMFB	41
4.2.5 Bias circuit	43
4.2.6 Results of OTA simulation	43
4.3 Comparator	45
4.3.1 Theory of comparator	45
4.3.2 Structure of comparator	46
4.3.3 Results of comparator	47
4.4 1-bit DAC circuit design	47
4.5 Two-phase nonoverlapping clock circuit	48
4.6 Digital cancellation logic circuit	50
4.7 Simulation for the modulator	51
Chapter 5 Layout design of modulator	54
5.1 Mismatch issue	54
5.2 Layout design for D-Flip and fulladder	58
5.3 Overall layout of modulator	59
Chapter6 Digital decimation filter based on Matlab	60
6.1 System analysis of decimation filter	60
6.2 CIC decimation filter	60
6.2.1 Thoery of CIC	60
6.2.2 Structure of CIC	63
6.3 Compensation filter	65
6.4 Halfband filter	66

6.5 Simulation result of decimation filter	67
Chapter7 Conclusion	69
Reference.....	71
Publications	76
Acknowledgements	77

厦门大学博硕士学位论文摘要库

第一章 绪论

1.1 研究的背景和意义

半导体工艺不断地发展,模拟信号处理、数字信号处理均取得了长足的进步。但随着超大规模集成电路的进一步发展,使得数字信号的应用越来越广泛,廉价的数字集成电路已经能够完成相当复杂的数字信号处理功能和任务。而且,数字技术具有许多模拟技术不可比拟的优点:对噪声和电源变化抗干扰能力强,数字处理方式能够达到比模拟处理方式更高的精度;计算机辅助设计技术的发展使数字技术能够非常方便和有效的实现设计自动化;更重要的是大规模集成电路工艺的发展使数字处理的速度越来越高,集成的功能越来越多,实现成本越来越低。目前在信号传输和信号处理领域,大都采用数字系统进行信号处理^[1]。但是,人们所需要获取和处理的自然界信息表现的都是模拟信号,因此在对原始信号进行数字处理前,需要把随时间连续变化的模拟信号变换为相应的数字信号,再送入数字系统处理。模数转换器(ADC)就具有这样的功能,它是连接模拟世界和数字世界的纽带。

随着技术的进步,社会生活水平的提高,人们对医疗健康方面的重视和投入由于人口结构的变化日趋明显。手持医疗设备,如心率仪,血压表,呼吸器,等一系列监测类仪器将慢慢成为常见消费电子产品。而在这些以监测生理信息仪器中,必须能将模拟的生理信号转换成数字信号进行系统处理,最终直观地以数字或图像反映在人们眼前。因此,一个能应用于医疗感测器的高精度低功耗的模数转换器显得尤为重要。

目前有多种类型的模数转换器,如并行比较型、逐次积分型、折叠型和流水线型等^[2]。对这些传统的奈奎斯特(Nyquist)频率 ADC,元器件的失配决定了它们所能达到的精度。随着集成电路的尺寸减小,元器件的匹配误差增大,MOS管的小尺寸效应也越趋显著,模拟电子器件也容易受到集成度、温度等变化因素的影响,所有这些使得设计高精度的奈奎斯特频率 ADC 越来越困难^{[3][4]}。另外,在奈奎斯特频率 ADC 中,由于抗混叠的过渡带很窄,使得抗混叠滤波器的电路变得很复杂,从而限制了转换器的分辨率。

Σ - Δ 模数转换器于 20 世纪 60 年代出现并在 80 年代后兴起的一种高精度转换器^{[5][6]}。这种转换器应用过采样和噪声整形技术将信号频带内的量化噪声大大压缩,得到高频率的数据流,这种高频的数据流中,除具有剩下少量带内噪声外,还包含扩大的带外量化噪声,再利用数字抽取滤波器将带外噪声滤除并使数据流频率降到奈奎斯特频率,从而达到很高的信噪比。与传统结构的转换器比较, Σ - Δ ADC 具有分辨率高,抗干扰能力强、量化噪声小、线性度好、无需严格的抗混叠滤波器和采样电路、易于实现和成本低廉的优点^{[7][8]}。近几年来在低成本、高线性度、高分辨率,低功耗、低电压的信号处理场合, Σ - Δ ADC 得到了广泛的研究和使用,国内外大量的文章涉及到该类型的转换器并进行新的研究,形成了新的研究热点^{[9][10]}。但是目前国内的 Σ - Δ ADC 研究水平与外国还是存在着差距。因此研究 Σ - Δ ADC 具有极其重要理论和实际意义。

1.2 本文的目标及结构

本文的设计目标是实现一个能应用于医疗感测器用的三阶 2-1 级联结构 1 位量化器 Σ - Δ 模数转换器。该转换器信号带宽为 500Hz,过采样率为 128,采样频率为 128kHz,转换精度为 16 位。并以 Charter 0.35um CMOS 工艺实现调制器的设计。

本文采用自上而下的设计方法。首先采用 Matlab Simulink 对 Σ - Δ ADC 建模,调制器采用 2-1 级联结构,通过仿真确定出调制器系数,然后用 Charter 0.35um CMOS 工艺实现调制器的电路设计、仿真计算,并从版图上给予实现。数字滤波器采用 CIC 和半带滤波器级联予以实现,建立的模型通过 Matlab 仿真验证。

本文共分为六章,主体架构如下:

第一章为绪论,说明研究背景和意义,选择 Σ - Δ 模数转换器作为研究对象的原因,以及论文目标和框架。

第二章从奈奎斯特转换器的采样原理出发,详细地讨论了过采样和噪声整形技术引出 Σ - Δ 调制器并介绍了其线性模型和工作原理,引出了单环、级联两种不同种类的 Σ - Δ 调制器结构,最后简单地介绍了数字抽取滤波器原理。

第三章对 Σ - Δ 调制器系统建模与仿真,然后讨论了级联结构调制器中各种非理想因素。

第四章是本文主体部分，完成了调制器各个模块及整体三阶 2-1 级联结构调制器的电路与仿真。

第五章在讨论了版图设计注意的事项后给出了主要模块和整体版图的设计，并通过 DRC 和 LVS。

第六章在 Matlab 上实现数字抽取滤波器的设计。

第七章为论文总结。

厦门大学博硕士论文摘要库

第二章 Sigma-Delta ADC 原理概述

模数转换器作为一个重要的模块存在于混合信号电路中,负责将采集到的模拟信号转换成易于处理的数字信号。模数转换器的结构主要可以分为两类:奈奎斯特转换器及过采样转换器。奈奎斯特转换器要实现高精度转换是以器件的高精度和电路的复杂度为代价的,并且为消除混叠噪声需要设计专门的高性能前置滤波器,所以难以实现高精度ADC。而 $\Sigma-\Delta$ ADC更适合主流处理方式中的高精度(16位或更高)实现,过采样和噪声整形是此类ADC的两个关键技术^[11]。 $\Sigma-\Delta$ 转换器包括调制器和数字滤波器两部分,调制器以极高采样速率对输入模拟信号进行采样,对采样的差值进行低位粗量化。数字滤波器则对量化后的数据码流进行抽取滤波,从而得到高分辨率的数字信号。本章将从奈奎斯特模数转换器基本转换原理过渡到 $\Sigma-\Delta$ ADC,了解两类转换器之后,接着探讨 $\Sigma-\Delta$ 调制器的结构,最后简单阐述数字抽取滤波器的原理。

2.1 奈奎斯特采样与量化噪

ADC设计的理想目标是实现高精度(Accuracy),高速度(Speed),但在设计的实现过程中这往往是一对矛盾体,顾此失彼,因此随着不同应用领域不同的特性要求,应选用不同的结构。根据采样的方式不同,ADC主要分为奈奎斯特采样ADC和过采样ADC两类, $\Sigma-\Delta$ ADC是过采样率ADC的一种改进形式。奈奎斯特采样是指采样频率 f_s 是信号带宽 f_b 两倍的采样。如图2.1所示,输入信号 $x(t)$ 首先通过一个抗噪声混叠滤波器(Anti-alias Filter),其目的是滤去信号带宽 f_b 以外的噪声,使输入净信号的带宽限制在 f_b 以内。如果没有抗交叠滤波器,将会因为有限的采样频率导致采样后将会有额外的信号谱可交叠至原始信号 f_b 频宽内,一旦发生这种交叠,将会造成转换的信号无法还原的困境^[12]。理想的情况下,抗交叠滤波器是一个截止频率为 f_b 的低通滤波器, f_b 以外的信号成分将被衰减为零,而实际情况下这种理想的滤波器是很难实现的。为解决这种困难,一般会稍微提高采样频率。由采样定理可知,采样后的信号成份在频谱上将会以

整数倍采样频率出现。

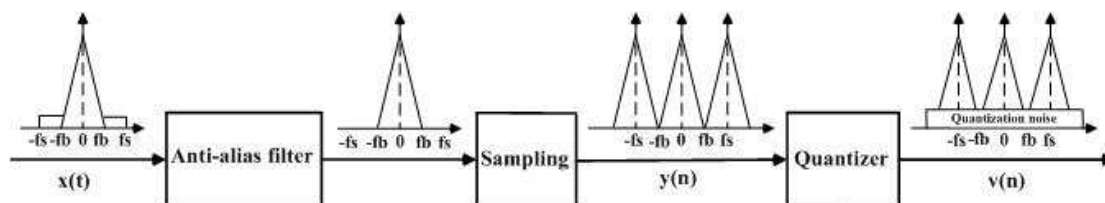
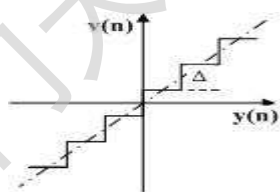


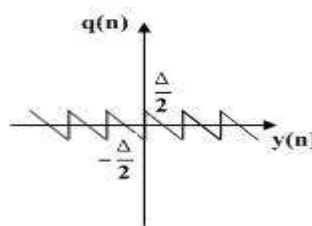
图 2.1 奈圭斯特转换器

最后进行的是 ADC 的一个必不可少的量化动作，量化器 (Quantizer) 依照位数将其输入信号 $y(n)$ 量化成 $v(n)$ ，在这个转化过程中会因为量化器有限的位数不可避免地产生了误差。假设量化器输入 $y(n)$ 为一斜坡，如图 2.2 (a) 所示，出现阶梯状的输出，将两者的转移曲线作差会出现如图 2.2 (b) 所示的锯齿波形，这就是所谓的量化噪声，减小信号带内的量化噪声是提高转换精度的最主要手段。如果把量化噪声当作一个外加噪声信号 $q(n)$ ，量化器的输入信号 $y(n)$ ，输出信号 $v(n)$ 和 $q(n)$ 三者之间的关系可近似看成一线性模型，图 2.2 (c)，其关系可用数学式表示为^[13]：

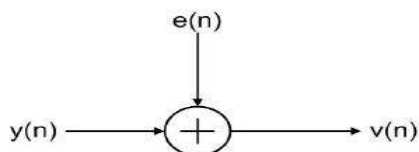
$$v(n) = y(n) + q(n) \quad (2.1)$$



a) 量化输入输出曲线



b) 量化噪声



c) 量化器的线性模型

图2.2 量化噪声

Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to etd@xmu.edu.cn for delivery details.

厦门大学博硕士学位论文摘要库