

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE  
UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À  
L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

COMME EXIGENCE PARTIELLE  
À L'OBTENTION DE MAITRISE EN GENIE ELECTRIQUE  
M. ING

PAR  
HAMMACHE HICHAM

MÉTHODE DE TEST BASÉE SUR LES CHAINES PARALLELES DE COURANT

MONTRÉAL, 25 JUILLET, 2003

(c) droits réservés de **Hammache Hicham**

CE MÉMOIRE A ÉTÉ ÉVALUÉ  
PAR UN JURY COMPOSÉ DE :

M. Claude Thibeault, directeur de mémoire

Département de génie électrique à l'École de technologie supérieure

M. Jean Belzile, professeur

Département de génie électrique à l'École de technologie supérieure

M. Christian Gargour, président du jury

Département de génie électrique à l'École de technologie supérieure

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE 25 juillet 2003

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

# MÉTHODE DE TEST BASÉE SUR LES CHAÎNES PARALLÈLES DE COURANT

HAMMACHE HICHAM

## RÉSUMÉ

Ce mémoire s'inscrit dans le cadre du test des circuits intégrés (CI) et plus précisément dans la problématique des tests des pannes de délais. De manière conventionnelle, pour connaître la vitesse maximale de fonctionnement d'un CI, il faut le stimuler de telle sorte qu'il atteigne une vitesse maximale. De plus, le testeur doit également fonctionner à la même cadence.

D'où l'intérêt de la méthode de test basée sur les chaînes parallèles de courant proposée qui vise la détection des pannes causant une augmentation des délais de propagations, et l'utilisation dans un premier temps des testeurs moins récents pour estimer la fréquence maximale de fonctionnement du CI, et dans un deuxième temps, inséré un dispositif de mesure de délai pour rendre la méthode de test intégré de façon "BIST".

# MÉTHODE DE TEST BASÉE SUR LES CHAÎNES PARALLÈLES DE COURANT

HAMMACHE HICHAM

## SOMMAIRE

Ce mémoire s'inscrit dans le cadre du test des circuits intégrés (CI) et plus précisément dans la problématique des tests des pannes de délais. De manière conventionnelle, si on veut connaître la vitesse maximale de fonctionnement d'un CI, il faut le stimuler de telle sorte qu'il atteigne une vitesse maximale (fréquence de l'horloge). De plus, le testeur doit également fonctionner à la même cadence, ce qui peut causer un problème car l'équipement doit constamment être mis à jour pour suivre l'augmentation croissante de la fréquence des circuits.

Il existe certaines alternatives, dites de type BIST (Built-In Self Test), où le circuit se teste lui-même. Les solutions développées pour les portions des CI contenant de la logique sont beaucoup moins populaires en raison de l'accroissement inhérent de la surface.

D'où l'intérêt de la méthode de test basée sur les chaînes parallèles de courant proposée dans ce mémoire développée à l'École de technologie supérieure de Montréal (ÉTS). L'objectif de ce travail est de valider cette méthode qui vise la détection des pannes causant une augmentation des délais de propagations, et l'utilisation dans un premier temps des testeurs moins récents pour estimer la fréquence maximale de fonctionnement du CI, et dans un deuxième temps, insérer un dispositif de mesure de délai pour rendre la méthode de test intégré de façon "BIST".

Mots clés :

Test des circuits intégré, pannes de délais, test intégré BIST.

## REMERCIEMENTS

Les travaux de recherche de ce mémoire ont été effectués au Laboratoire de Communication et d'Intégration de la Microélectronique (LACIME) de l'École de Technologie Supérieure (ÉTS).

Je remercie Monsieur Claude Thibeault, Professeur à l'école de technologie supérieure, sous la direction duquel ces travaux ont été effectués, pour son aide, l'expérience dont il m'a fait profiter et la confiance qu'il m'a accordée tout au long de la préparation de ces travaux.

Que mes camarades et amis du LACIME trouvent ici un hommage à la hauteur de leur aide, de leur soutien et de leur bonne humeur.

Enfin, je remercie ma femme et mes parents pour leur soutien au cours de ces longues années d'études sans l'appui desquels je ne pourrai atteindre mes objectifs.

## TABLE DES MATIÈRES

	Page
SOMMAIRE.....	i
REMERCIEMENTS.....	ii
TABLE DES MATIÈRES .....	iii
LISTE DES TABLEAUX.....	vi
LISTE DES FIGURES.....	vii
LISTE DES ABRÉVIATIONS ET DES SIGLES.....	ix
CHAPITRE 1 Introduction générale et objective.....	1
Introduction.....	1
CHAPITRE 2 État de l'art.....	4
Introduction.....	4
2.1 Consommation de courant dans la technologie CMOS .....	4
2.1.1 Consommation statique.....	4
2.1.2 Consommation dynamique .....	5
2.2 Les pannes de type délai. ....	7
2.2.1 Définition d'une panne de type délai .....	7
2.2.2 Nature des délais dans les circuits MOS.....	8
2.2.3 Modèles de pannes temporelles .....	11
2.2.3.1 Modèle local.....	12
2.2.3.2 Modèle global .....	13
2.3 Principe de test des pannes temporelles et leurs modes de détection ...	13
2.3.1 Principe .....	13
2.3.2 Mode de détection d'une panne de délai.....	14
2.3.2.1 Test robuste.....	14
2.3.2.2 Le test non-robuste.....	15
2.4 Chaîne de balayage ou scan path .....	16

2.5	Test intégré ou BIST .....	18
2.5.1	Le test intégré série .....	19
2.5.2	Test intégré parallèle .....	20
2.5.3	Génération intégrée des vecteurs de test .....	21
2.5.4	Analyse de la réponse du circuit .....	22
2.6	Conclusion .....	22
CHAPITRE 3 Méthode de test basée sur les chaînes parallèles de courant .....		24
Introduction .....		24
3.1	Rappel des objectifs de la méthode et du projet .....	24
3.2	Principe de fonctionnement .....	25
3.3	Bloc convertisseur courant/tension .....	28
3.3.1	Modèle de base du convertisseur courant/tension précédemment proposé .....	28
3.3.2	Description des étages du bloc de conversion courant/tension .....	29
3.4	Modèle du circuit de mesure du délai intégré .....	33
3.4.1	Circuit de mesure proposé .....	34
3.4.2	Principe de fonctionnement du circuit de mesure .....	35
3.4.2.1	Mode test .....	35
3.4.2.2	Mode calibrage .....	38
3.5	Conclusion .....	39
CHAPITRE 4 Implémentation de la méthode de test basée sur les chaînes parallèles de courant .....		41
Introduction .....		41
4.1	Étude expérimentale de la méthode de test basée sur les chaînes parallèles de courant .....	42
4.2	Simulation du bloc convertisseur initial pour un test externe .....	44
4.2.1	Avec un seul senseur actif .....	44
4.2.2	Avec plusieurs senseurs actifs .....	45
4.2.3	Simulation du convertisseur courant/tension seul .....	46

4.3	Redimensionnement du gain total du bloc convertisseur .....	48
4.4	Implémentation au niveau du circuit principal .....	52
4.4.1	Interprétation des résultats .....	55
4.5	Intégration de la méthode de test. ....	57
4.5.1	Simulation du bloc de mesure en mode test pour l'intégration de la méthode de test.....	57
4.5.1.1	Phase de prétraitement .....	60
4.5.2	Comportement du bloc de mesure par rapport aux paramètres variants .....	64
4.5.2.1	Comportement du bloc de mesure selon le délai mesuré.....	64
4.5.2.2	Comportement du bloc de mesure versus le nombre de senseurs actifs.....	69
4.6	Simulation en mode calibrage.....	70
4.7	Généralisation pour les chemins simultanés .....	74
4.7.1	Comportement de la nouvelle configuration par rapport aux paramètres variants.....	80
4.7.2	L'influence du délai sur le nouveau bloc de mesure.....	80
4.7.3	L'influence du nombre de senseurs simultanément actifs sur le nouveau bloc de mesure .....	82
4.8	Conclusion .....	83
Conclusion.....		85
ANNEXE 1		
MESURE DE DELAI ENTRE LES INVERSEURS DE L'OSCILLATEUR .....		88
ANNEXE 2		
CODE SOURCE POUR CIRCUIT SIMULÉ AVEC LA PHASE DE PRÉTRAITEMENT .....		91
ANNEXE 3		
CODE SOURCE POUR LA NOUVELLE CONFIGURATION .....		105
BIBLIOGRAPHIE.....		114



## LISTE DES TABLEAUX

	Page
Tableau I	Signatures temporelles en fonction du délai .....36
Tableau II	Résultats obtenus avec un seul senseur .....45
Tableau III	Nombre maximum de senseurs pouvant être simultanément actifs en fonction de R2 .....47
Tableau IV	Résultats obtenus avec R2= 100 et un bloc d'amplification G=100 (étage 3).....53
Tableau V	Résultats du bloc de mesure .....63
Tableau VI	Résultats de simulations du bloc de mesure.....67
Tableau VII	Influence du nombre de senseurs actifs .....69
Tableau VIII	Résultats obtenus avec le bloc de mesure .....73
Tableau IX	Résultats obtenus avec un délai de 1ns entre les deux chemins.....79
Tableau X	Résultats de simulations du nouveau bloc de mesure .....81
Tableau XI	Influence du nombre de senseurs actifs simultanément.....83

## LISTE DES FIGURES

	Page
Figure 1	Exemple de consommation de courant .....6
Figure 2	Courant de court-circuit d'un inverseur.....6
Figure 3	Circuit ouvert dans une porte de transmission CMOS .....8
Figure 4	Représentation symbolique de sortie de la porte de transmission .....8
Figure 5	Les capacités parasites d'un inverseur.....11
Figure 6	Modélisation des pannes de délais.....12
Figure 7	Exemple de test robuste.....15
Figure 8	Exemple de test de délai non-robuste .....15
Figure 9	Chronogramme des signaux pour un test non-robuste .....16
Figure 10	Représentation symbolique d'élément de la chaîne de balayage.....17
Figure 11	Architecture du test intégré.....18
Figure 12	Test intégré série.....20
Figure 13	Test intégré parallèle.....21
Figure 14	Délai maximal de propagation.....25
Figure 15	Insertion des inverseurs/convertisseurs .....26
Figure 16	Modèle de base du bloc conversion courant/tension .....28
Figure 17	Schéma équivalent d'un AOP .....29
Figure 18	Allure de pulse_data et pulse_clk.....33
Figure 19	Circuit de mesure.....34
Figure 20	Allure du signal lors du passage dans la ligne à délai .....35
Figure 21	Exemple de signaux pour l'estimation du délai.....37
Figure 22	Topologie en boucle fermée .....38
Figure 23	Estimation du délai en boucle fermé .....39
Figure 24	Simulation des convertisseurs courant/tension.....43
Figure 25	Nœud problématique .....46

Figure 26	Simulation convertisseur courant/tension pour déterminer le nombre des senseurs à utiliser. ....	47
Figure 27	Bloc convertisseur courant/tension.....	49
Figure 28	Circuit simulé.....	50
Figure 29	Manque de puissance lors de la transition descendante.....	51
Figure 30	Apparition de l'impulsion lors de la transition descendante. ....	52
Figure 31	Régression linéaire entre l'erreur (Diff) et le nombre de senseurs.....	55
Figure 32	Circuit simulé.....	58
Figure 33	Circuit de mesure (seulement 5 des 35 éléments sont illustrés).....	59
Figure 34	Circuit pour élargir l'impulsion de sortie .....	60
Figure 35	Positionnement des blocs de prétraitement.....	61
Figure 36	Sortie Q1 du circuit de mesure .....	62
Figure 37	Sortie Q2 du circuit de mesure .....	62
Figure 38	Circuit total simulé .....	66
Figure 39	Nombre d'inverseurs activés en fonction du délai réel .....	68
Figure 40	L'oscillateur.....	71
Figure 41	Phase de calibrage .....	71
Figure 42	Délai estimé par calibration en fonction du délai réel .....	74
Figure 43	Circuit proposé pour l'étude de la simultanéité.....	76
Figure 44	L'erreur générée par la bascule RS.....	77
Figure 45	Nouvelle configuration .....	78
Figure 46	Délai estimé par calibration en fonction du délai réel .....	82

## LISTE DES ABRÉVIATIONS ET DES SIGLES

BILBO	Built In Logic Block Observer
BIST	Built-In Self Test
CMOS	Complementary Metal Oxide Semiconductor
DFT	Design For Testability
EAT	Équipement Automatique de Test
GTV	Générateur de Vecteurs Tests.
GVTDP	Générateur de Vecteurs Tests Déterministe Perturbé.
ITRS	International Technology Roadmap for Semiconductors
LFSR	Linear feedback shift register
LFSROM	Linear Feedback Shift Register Read Only Memory
MMTVG	Mixed Mode Test Pattern Generator
MOS	Metal Oxide Semiconductor
VLSI	Very Large Scale Integration

# CHAPITRE 1

## Introduction générale et objective

### Introduction

Au cours des trois dernières décennies, la microélectronique a progressé de manière phénoménale, ce qui s'est entre autres traduit par une augmentation exponentielle de la complexité des circuits intégrés. Le prix à payer pour cette augmentation se situe notamment au niveau du test des circuits intégrés. Il n'est plus possible par exemple de reporter à la fin du processus de conception l'élaboration des stratégies de test. Cette élaboration doit maintenant débiter très tôt dans la conception du circuit. Le test d'un circuit intégré est donc devenu une opération très complexe et de plus en plus coûteuse. Ceci est accentué par l'augmentation des fréquences de fonctionnement, et des pannes spécifiques qui en découlent, telles que les pannes dites de délai, ce qui entraînera des coûts supplémentaires de plus en plus élevés. Un rapport de l'ITRS ("*International Technology Roadmap for Semiconductors*") [ 13] a été déposé dans ce sens, affirme que d'ici 2014, le test d'un circuit intégré coûtera plus cher que sa fabrication, à moins que des techniques regroupées sous le nom de test intégré BIST ("*Built-In Self Test*") soient utilisées.

Ces techniques consistent généralement à intégrer directement dans le circuit un générateur de vecteurs de test et un analyseur de réponses. L'intérêt pour ces techniques provient d'une part qu'il est de plus en plus difficile d'effectuer des tests dits à pleine vitesse ( i.e. à la fréquence maximale d'opération d'un circuit intégré) à l'aide d'un testeur externe (EAT pour "*Équipement Automatique de Test*"). En effet, une étude comparative [19] montre que les performances en vitesse des circuits augmentent de 30 % par an, tandis que celles des EATs augmentent seulement de 12 %. Et même si les testeurs étaient en mesure de suivre le rythme, cela signifie quand même que pour

chaque nouvelle génération de procédé de fabrication, de nouveaux testeurs doivent être achetés afin d'effectuer ces tests à pleine vitesse. D'autre part, ces tests deviennent de plus en plus important, dans la mesure où certains [20] prévoient que les pannes dites de délai vont être de plus en plus présentes dans les circuits intégrés à la sortie du procédé de fabrication. Ces pannes ne font que ralentir le circuit sans pour autant affecter son comportement logique, de telle sorte qu'un test effectué à basse vitesse ne peut les détecter.

Face à cette problématique, une nouvelle méthode, appelée méthode de test basée sur les chaînes parallèles de courant a été développée à l'École de technologie supérieure de (ÉTS). Cette méthode qui sera décrite en détail au chapitre 3, vise à permettre l'utilisation de testeurs moins récents afin d'estimer la vitesse maximale de fonctionnement de circuits intégrés, et ce le plutôt possible dans le processus du test, plus précisément à l'étape du "wafer probing". Se faisant, la méthode permet de rejeter très tôt dans le processus, les circuits qui ne rencontrent pas les spécifications en vitesse.

L'intérêt de cette détection précoce est d'éviter l'encapsulation inutile ( et de plus en plus coûteuse ) de circuits défectueux, ce qui du même coup réduit le nombre de boîtiers gaspillés et le nombre de circuits à tester lors du test final.

Avant d'entreprendre ce projet, certains travaux avaient déjà été réalisés afin de valider la méthode. Ce projet se veut une continuation de ces efforts de validation. Plus spécifiquement, les objectifs de ce projet sont :

- Faire l'étude des limites de résolution temporelle de la méthode via simulations.
- Proposer une architecture afin de faire de la méthode une méthode intégrée, inspirée des techniques de type BIST.

Outre le chapitre actuel d'introduction, et celui de la conclusion, ce mémoire en contient trois autres :

- Le chapitre deux fait une revue de l'état de l'art des concepts et des terminologies utilisées pour la réalisation de ce travail. Il y sera entre autre abordé le principe de test des pannes de type délai et des différentes modélisations proposées dans la littérature.
- Le chapitre trois est consacré à la description de la méthode de test basée sur les chaînes parallèles de courant et à son principe de fonctionnement.
- Le chapitre quatre présente les résultats de simulations effectuées pour valider la méthode de test ainsi qu'une interprétation de ces résultats.

## CHAPITRE 2

### État de l'art

#### Introduction

L'objectif de ce chapitre est de faciliter la compréhension de tout ce qui suit en présentant un ensemble de définitions et concepts issu d'une revue de la littérature, ainsi que la terminologie utilisée lors de la réalisation de ce travail. Nous nous attarderons à expliquer le principe de test des pannes de type délai en VLSI et leurs différentes modélisations.

#### 2.1 Consommation de courant dans la technologie CMOS

Pour pouvoir parler de méthode de test basée sur les chaînes parallèles de courant, il paraît nécessaire d'introduire un aspect important de cette étude, à savoir la consommation de courant en technologie "CMOS" (pour Complementary Metal Oxide Semiconductor). On distingue deux types de consommation de courant: consommation statique et dynamique.

##### 2.1.1 Consommation statique

La consommation statique liée aux différents courants de fuite, parmi lesquels on trouve [11] :

- le courant de polarisation de la diode inverse ("Reverse biased pn junction current") dû aux diodes formées entre le substrat et les puits,
- le courant sous le seuil ("Subthreshold current"), qui circule entre la source et le drain du transistor alors que la tension  $V_{GS}$  est inférieure à la tension de seuil  $V_T$ ,



- le courant de perçage qui apparaît entre la source et le drain du transistor surtout pour les nouvelles technologies à cause de la diminution de la distance entre le drain et la source.
- Le courant de drain induit par la grille, provoqué par le champ électrique élevé à l'endroit où la grille recouvre le drain.

La liste n'est pas exhaustive puisque certains effets électriques sont découverts au fur et à mesure que la technologie évolue. La consommation statique était négligée dans les études classiques globales de puissance puisqu'elle était faible par rapport à d'autres sources de consommation. La réduction à l'échelle des procédés force la réduction de la tension seuil des transistors, amenant une augmentation exponentielle des courants de fuite. Ainsi, ce genre de consommation est devenue aujourd'hui une source de préoccupation majeure

### 2.1.2 Consommation dynamique

La consommation dynamique provient de deux mécanismes distincts:

- la charge et la décharge des capacités parasites, et
- les court-circuits temporaires.

La consommation dynamique dans la technologie CMOS apparaît à chaque commutation.

L'exemple suivant (figure 1) pour le cas d'un inverseur montre que lorsque l'entrée passe à 0, elle provoque le passage d'un courant  $i_{\text{node } 2}$  de l'alimentation  $V_{\text{dd}}$  vers la charge  $C$ . Quand l'entrée passe à 1, elle provoque le passage d'un courant  $i_{\text{node } 1}$  de la charge  $C$  vers la masse en passant par le transistor  $N_1$ .

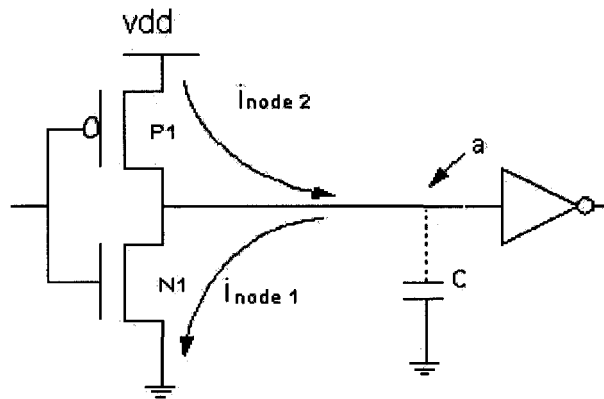


Figure 1 Exemple de consommation de courant

Lors de la transition d'une porte CMOS, il arrive un moment où les transistors des réseaux PMOS et NMOS sont actifs en même temps, ce qui crée un courant de court-circuit temporaire entre l'alimentation et la masse. La variation du courant de court-circuit dans le temps, pendant la transition du signal en entrée, est donnée pour un inverseur à la figure 2.

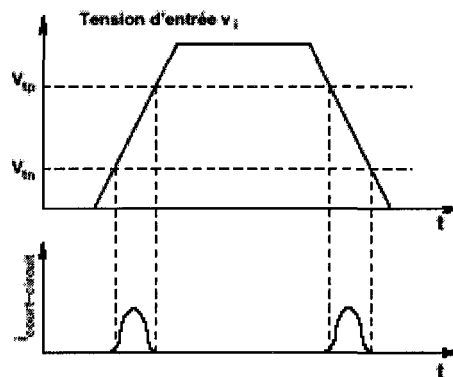


Figure 2 Courant de court-circuit d'un inverseur

Le courant du court-circuit augmente lorsque la tension d'entrée dépasse  $V_m$  ( tension de seuil d'un transistor NMOS) et diminue au fur et à mesure que la tension d'entrée se rapproche de  $V_{tp}$  (tension de seuil d'un transistor PMOS) [15].

## **2.2 Les pannes de type délai.**

### **2.2.1 Définition d'une panne de type délai**

Les pannes de type délai, ou pannes temporelles, provoquent un fonctionnement anormal du circuit à une fréquence donnée, à savoir que le circuit ne fournit pas les valeurs logiques désirées à un instant voulu [7]. Une autre définition simple est donnée par [6]: Lorsqu'un circuit fonctionne correctement à une fréquence relativement basse, mais présente un dysfonctionnement à sa fréquence nominale, on dit qu'il est le siège d'une panne temporelle.

L'apparition de défauts physiques à l'origine du mauvais fonctionnement dynamique d'un circuit est liée à plusieurs facteurs dominants. Tout d'abord, les vitesses élevées auxquelles doivent opérer les circuits complexes, et auxquelles ils sont testés, ont entraîné l'apparition de plus en plus fréquente de pannes temporelles. Ensuite, les conceptions optimisées, en augmentant la densité des circuits VLSI, augmentent également le nombre de portes sur les chemins critiques. Ainsi, même les défauts provoquant de faibles retards sur ces chemins rendent le circuit défectueux [1]. Enfin, l'émergence des technologies de hautes performances, comme l'Arséniure de Gallium (AsGa) ou la technologie BiCMOS et l'augmentation des couches de métallisation, ont favorisé l'augmentation du nombre des défauts physique d'origine temporelle [24].

Les pannes temporelles peuvent être le résultat d'erreurs de conception mais surtout de défauts inhérentes aux procédés de fabrication. Un exemple simple est une porte de transmission CMOS avec un circuit ouvert sur l'une des grilles [1], tel illustré à la

figure 3. On suppose que ce circuit ouvert rend le transistor NMOS inactif de manière permanent.

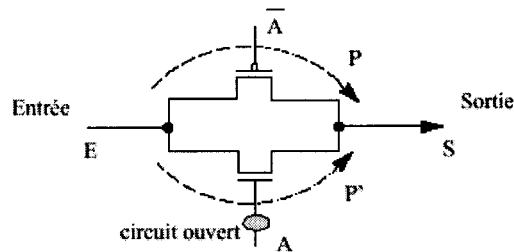


Figure 3 Circuit ouvert dans une porte de transmission CMOS

Seul le transistor PMOS peut transmettre un signal. Ainsi, si on veut transmettre  $E=0$  avec  $A=1$ , il sera transmis par le chemin P, ce qui dégrade le niveau bas lors d'une transition descendante à l'entrée de la porte et engendre un délai  $\Delta t$  (figure 4).

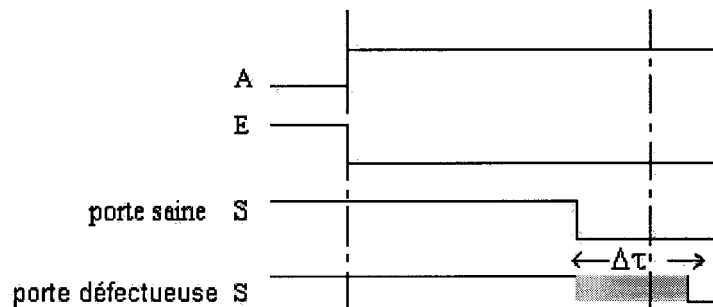


Figure 4 Représentation symbolique de sortie de la porte de transmission

### 2.2.2 Nature des délais dans les circuits MOS

Afin de comprendre les effets d'une panne temporelle, nous allons expliquer brièvement l'origine et la nature du délai dans les circuits CMOS. Les délais sont dus aux effets combinés des résistances et des capacités parasites. La capacité de chaque nœud peut se séparer en deux composantes : la capacité des grilles de transistors et la capacité parasite

du câble d'interconnexion, idem pour les résistances qui déterminent le délai : la résistance des transistors et la résistance du câble d'interconnexion [18].

Plusieurs modèles ont été développés pour modéliser les délais dans les circuits CMOS:

- **Modèle RC:** Les transistors en commutation sont remplacés par un réseau de résistances équivalentes et d'interrupteurs.
- **Modèle IC:** Les transistors en commutation sont remplacés par un réseau de générateurs de courant et d'interrupteurs.
- **Modèle tabulé:** Les portes sont pré-caractérisées à partir de simulations électriques préalables qui tiennent compte des différentes charges de sortie et des différentes pentes d'entrée possibles.
- **Modèle polynomial:** Le délai et la pente de sortie sont modélisés à l'aide d'un polynôme prenant en compte la pente d'entrée, la capacité de la charge et les dimensions des transistors.
- **Modèle explicite:** Le délai est modélisé à l'aide d'un polynôme prenant en compte la pente d'entrée, les dimensions des capacités parasites et des transistors et les caractéristiques de la technologie.

Le modèle d'estimation du délai le plus simple (RC) est celui qui remplace un transistor de type n actif par une résistance faible  $R$  et un transistor bloqué par une résistance infinie qui donne une approximation de premier ordre.

$$R = \left(\frac{\rho}{t}\right)\left(\frac{l}{w}\right) \text{ (ohms)} \quad (2.1)$$

- $\rho$  = résistivité
- $t$  = épaisseur
- $l$  = longueur
- $w$  = largeur

avec  $R_s = \frac{\rho}{t}$  l'équation (2.1) devient:

$$R = R_s \left(\frac{l}{w}\right) \quad (2.2)$$

$R_s$  = la résistance par carreau (la plus petite dimension permise par un procédé de fabrication).

La valeur de  $R$  dépend des paramètres technologiques et plus précisément de la mobilité de surface des porteurs du matériau semi-conducteur utilisé. Dans une première approximation, le carré de transistor p actif possède une résistance deux fois plus élevée qu'un transistor n [18].

L'estimation des capacités dépend de la technologie utilisée. Les différentes capacités parasites sont illustrées à la figure 5.

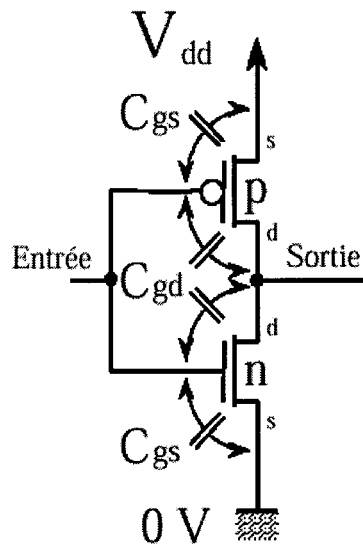


Figure 5 Les capacités parasites d'un inverseur

Avec le modèle RC, l'ensemble des capacités vue de la grille d'un transistor est modélisé par une capacité unique par transistor, habituellement exprimée sous la forme  $RC_g$ , où la  $C_g$  est la capacité de grille équivalente pour un transistor de taille minimale. Cette capacité est proportionnelle au produit  $wl$  ( $w$ : largeur de transistor,  $l$ : longueur du canal). Grâce à ces deux paramètres  $R$  et  $C_g$ , le délai estimé à travers une porte est égal au produit de la résistance équivalente du réseau de transistors qui conduisent et de la capacité vue par ce réseau.

### 2.2.3 Modèles de pannes temporelles

Une panne temporelle qui affecte le comportement d'un circuit peut être soit localisée sur un site particulier, soit le résultat de plusieurs défauts accumulés le long d'un chemin de propagation. Ainsi la modélisation des pannes temporelles a donné lieu à la classification suivante (figure 6) [6].

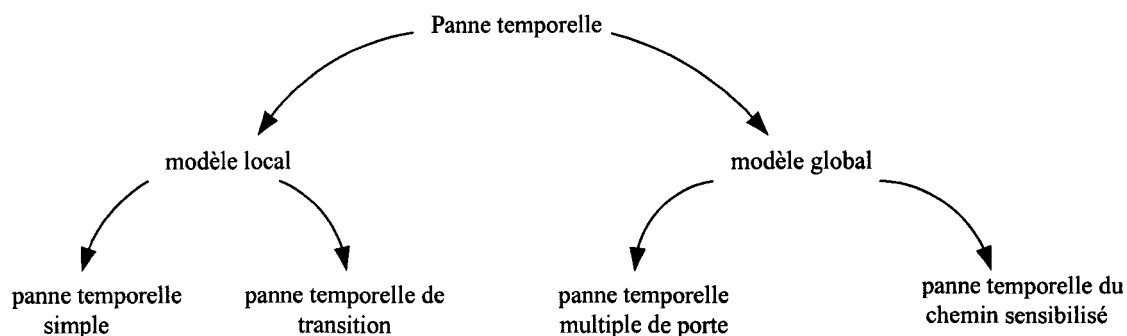


Figure 6 Modélisation des pannes de délais

### 2.2.3.1 Modèle local

Le modèle local de panne temporelle conduit généralement aux pannes temporelles de porte [23]. Ce modèle définit une panne temporelle dans les entrées ou la sortie d'une porte logique du circuit sous test. La panne est modélisée par une panne de type "lent-à-monter" et/ou "lent-à-descendre".

L'apparition d'une telle panne se manifeste quand le temps de propagation de la porte est plus grand que celui spécifié comme la limite correcte de fonctionnement de la porte. Cette manifestation se produit lorsque la panne introduit un délai supplémentaire qui entraîne un délai total maximum dans le réseau combinatoire excédant les limites permises. Par définition, les pannes temporelles simples de porte sont dépendantes du chemin emprunté par la transition se déplaçant dans le réseau combinatoire, chemin aussi appelé chemin de propagation ou chemin sensibilisé. Le modèle de panne de transition est un cas particulier du modèle local [9], où le retard induit est supposé suffisamment grand pour provoquer une erreur indépendamment du chemin de propagation. De manière générale, l'utilisation des modèles de panne de délai de porte ou de transition entraîne des taux de couverture de défauts faibles dans la mesure où les défauts multiples et répartis ne sont pas considérés [19].



### **2.2.3.2 Modèle global**

Le modèle global est composé du modèle de pannes temporelles de chemin [10] et du modèle de pannes temporelles multiples de porte [14]. Ce dernier est rarement traité puisque la probabilité d'apparition d'une panne multiple dans un circuit est nettement inférieure à celle d'une panne simple.

Une panne temporelle de chemin est associée à un chemin de propagation reliant une entrée primaire (broche d'entrée ou la sortie d'une bascule) et une sortie primaire (une broche de sortie ou l'entrée d'une bascule) au lieu d'être associée à une porte en particulier. Une telle panne survient lorsque le délai de propagation du chemin dépasse le délai critique du circuit. L'avantage de ce modèle est que les défauts localisés et ceux répartis sur un chemin sont également modélisés par un tel modèle de panne. Bien que le modèle de chemin est plus réaliste que le modèle de panne temporelle de porte et qu'il permet de considérer presque la totalité des pannes temporelles, il n'est efficace que lorsqu'on teste tous les chemins. Il est souvent utilisé dans l'industrie pour tester les chemins critiques (10% de tous les chemins), ce qui est de plus en plus difficile puisque dans les circuits actuels, les chemins sont presque tous équilibrés pour satisfaire les vitesses de fonctionnement de plus en plus rapides. L'utilisation du modèle de panne temporelle de chemin permet de garantir le bon fonctionnement d'un circuit à sa fréquence nominale. Son utilisation entraînera, bien sûr, de long temps de test.

## **2.3 Principe de test des pannes temporelles et leurs modes de détection**

### **2.3.1 Principe**

Le principe du test d'une panne, y compris une panne temporelle, est d'activer la panne, de propager son effet pour pouvoir l'observer sur une sortie primaire (broche à l'entrée d'une bascule de type "scan") et de comparer cette sortie avec celle d'un circuit sain.

Dans le cas des pannes temporelles, l'activation de la panne consiste à appliquer une transition sur le site de la panne grâce à une paire de vecteurs de test. La propagation consiste à ouvrir (sensibiliser) un chemin entre la panne et la sortie visée. L'observation consiste à capturer la valeur de sortie pour effectuer la comparaison avec un circuit sain. Pour les pannes temporelles, le temps d'observation est important car le test doit être effectué à la fréquence maximale de fonctionnement du circuit intégré (fréquence d'horloge). L'aspect fréquence de test est un point important du test des pannes temporelles puisque les testeurs doivent fonctionner à la même cadence que le circuit testé. Ceci implique que l'équipement doit constamment être mis à jour pour suivre l'augmentation croissante de la fréquence des circuits.

### 2.3.2 Mode de détection d'une panne de délai

Les principales classes des pannes temporelles du chemin sont liées aux caractéristiques de ce dernier, à savoir : fonctionnellement "sensibilisable" et fonctionnellement redondant [4].

**Définition 1 :** Un chemin est fonctionnellement sensibilisable s'il existe un vecteur d'entrée qui ne masque pas la valeur se propageant sur le chemin quand celle-ci est à la valeur non prioritaire.

**Définition 2 :** Un chemin est fonctionnellement redondant s'il n'est pas fonctionnellement sensibilisable.

#### 2.3.2.1 Test robuste

**Définition 3 :** Un test de panne temporelle robuste est un test qui permet de détecter une panne temporelle indépendamment de la taille des autres délais de propagation ou des autres pannes temporelles dans le circuit [12].

Une panne temporelle est détectée de façon robuste quand la transition se propage à travers le chemin de test sans que les autres entrées changent comme le montre la

figure 7. On considère qu'une panne est sur le chemin  $e_2$ , a, b, S. Le test robuste est d'avoir une paire de vecteurs ( $V_0 = 10111$  et  $V_1 = 1111$ ) qui propagent la transition sans changer les entrées ( $e_1, e_3, e_4$ )

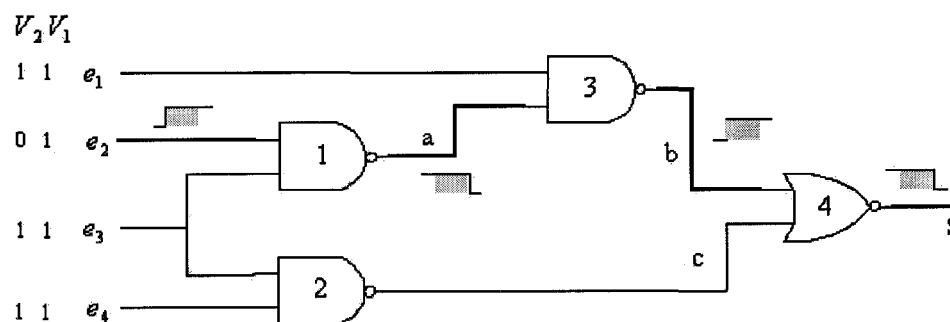


Figure 7 Exemple de test robuste

### 2.3.2.2 Le test non-robuste

Le test non-robuste [12] est un test qui permet de détecter une panne temporelle en supposant que les autres pannes dans le circuit n'existent pas (hypothèse de la panne unique). Si on considère l'exemple de la figure 8, la panne est sur le chemin  $e_2$ , a, b, S.

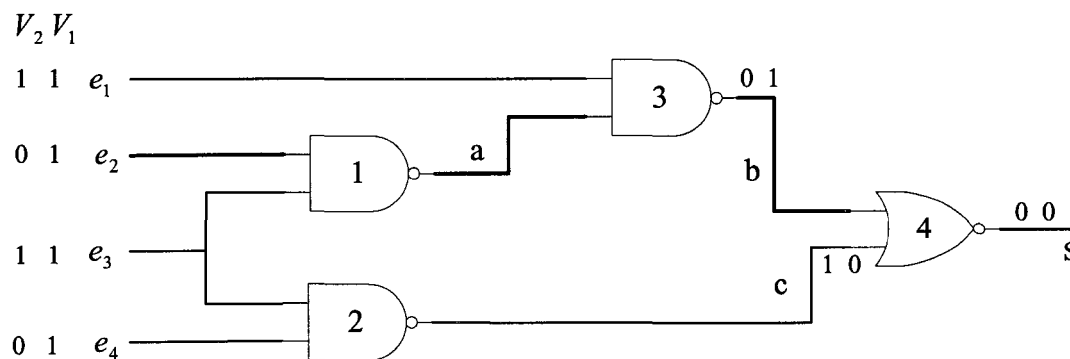


Figure 8 Exemple de test de délai non-robuste

La paire de vecteurs de test ( $V_0 = 1010$  et  $V_1 = 1111$ ) génère deux transitions montantes sur les entrées  $e_2$  et  $e_4$ . Ces deux transitions se propagent jusqu'à la sortie S si on considère qu'il n'y pas de retard sur le chemin c (l'hypothèse de la panne unique). Dans ce cas la panne sera détectée (figure 9a). Par contre, si le chemin c est également affecté par une panne temporelle, le délai dans ce chemin est supérieur à celui du circuit sain. Il est impossible de détecter la panne sur le chemin b (figure 9b). Dans ce cas, le test est non robuste pour la panne temporelle sur le chemin b puisque elle dépend de la présence ou pas de retard sur le chemin c. Ce cas peut être résolu si on teste le chemin c ( $e_4, s, S$ ) au préalable de façon robuste.

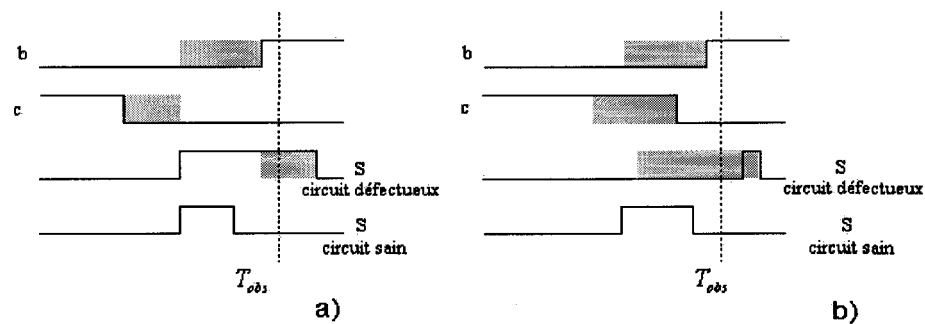


Figure 9 Chronogramme des signaux pour un test non-robuste  
a) détection et b) non-détection de la panne

## 2.4 Chaîne de balayage ou scan path

Le but général des techniques chaînes de balayages ("scan path") est de pouvoir accéder aux nœuds internes du circuit en vue du test, tout en limitant le nombre d'entrées sorties supplémentaires prévues à cet effet. Dans les techniques de chaîne de balayage ("scan path") [16], le circuit est conçu de manière à présenter deux modes de fonctionnement. Un mode de fonctionnement normal et un mode de test où tous les nœuds internes de mémorisation (bascules élémentaires) sont interconnectés sous la forme d'un ou plusieurs registre à décalage. En mode de test, un vecteur de test peut être chargé en mode série à l'intérieur des bascules. Après retour au mode normal, ce vecteur peut donc

être transmis à l'intérieur du circuit ou plutôt des sous-ensembles combinatoires et le résultat obtenu agit alors pour modifier le contenu des différentes bascules du circuit. Le résultat complet peut alors être extrait du circuit en mode série puis être comparé à la réponse correcte. Une des premières approches proposées fut le LSSD (pour "level sensitive scan design") utilisé par la compagnie IBM. L'approche LSSD [21] est décomposée en deux parties :

- la logique sensible à niveau ("level sensitive"), qui découle du fait qu'il est difficile de vérifier des sensibilités dynamiques, qui comprend les effets des aléas et des sensibilités paramétriques.
- la conception des chaînes de balayage ("scan design"), permettant d'être en mesure plus facilement d'imposer une valeur aux nœuds internes et d'observer le résultat sur une des sorties. Pour ce faire, on forme un registre à décalage avec tous les éléments de mémoires.

La figure 10 présente une configuration possible [18].

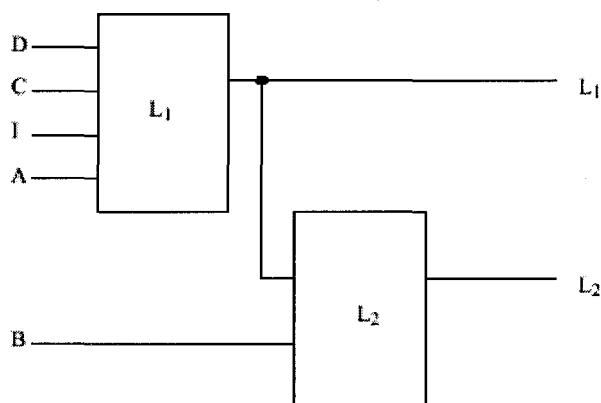


Figure 10 Représentation symbolique d'élément de la chaîne de balayage

Les lignes C, D et L<sub>1</sub> sont les connexions normales de système pour, respectivement, l'horloge, la donnée et la sortie de chaque élément de mémoire. La bascule L<sub>1</sub> assume la fonction de système, alors que la bascule L<sub>2</sub> ne sert qu'à former la chaîne de balayage. On constate que L<sub>1</sub> possède une seconde entrée, I, et une seconde horloge, A. Les lignes

B et  $L_2$  sont, respectivement l'horloge et la sortie de  $L_2$ . Pendant le fonctionnement normal du système, l'horloge C commande la bascule; par contre, au moment de la vérification, C est inactive, alors que A et B sont utilisées comme une paire d'horloges à deux phases sans recouvrement. Si on remplace tous les éléments de mémoire du système par une paire  $L_1, L_2$  et si on relie la ligne  $L_2$  de chacun à la ligne I d'un autre, on obtient un registre à décalage. Signalons que la réalisation d'une chaîne de balayage ne requiert que quatre lignes d'entrée-sortie par module, ce qui est important quand on sait à quel point les broches constituent une ressource limitée sur un circuit intégré. D'autres variantes de cette technique ont été proposées dans un souci de réduire le coût comme l'approche  $L_2^*$  qui permet de minimiser les coûts imputables à la chaîne de balayage. On réduisant la complexité de chacun des éléments de mémoire par des portes statiques élémentaires.

## 2.5 Test intégré ou BIST

La logique BIST ("Built-in Self") Test ou test intégré consiste à inclure directement dans le circuit l'ensemble ou une partie des fonctions réalisées par le testeur, c'est à dire un générateur de vecteurs de test et un analyseur de réponses comme le montre la figure 11.

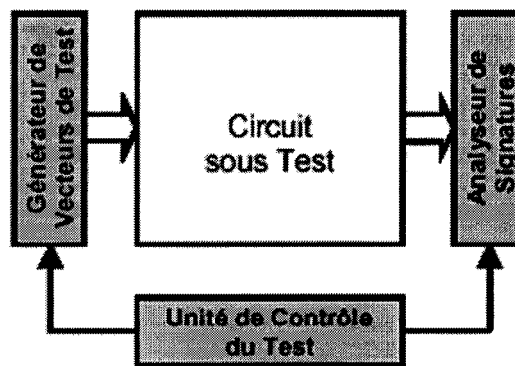


Figure 11 Architecture du test intégré

Les avantages de cette méthode sont [17]:

- la suppression de la nécessité d'un testeur coûteux,
- la possibilité de tester le circuit à haute fréquence et surtout à sa vitesse nominale, condition nécessaire pour le test des pannes temporelles, et
- la possibilité de tester le circuit à l'étape de gauffre (à vitesse réduite), ce qui va réduire le coût du test.

Bien que cette méthode connaisse un certain succès pour les portions de circuits intégrés contenant de la mémoire imbriquée, les solutions développées pour les portions contenant de la logique sont beaucoup moins populaires du fait de l'accroissement de la surface puisque l'addition des circuits nécessaires à son implantation introduit une perte de performance.

### **2.5.1 Le test intégré série**

Le principe du test intégré série est basé sur une technique de Conception en Vue du Test (DFT : "Design For Testability") appelée technique de balayage "scan" [16]. Le test intégré série (figure 12) consiste à générer des vecteurs dont les bits seront chargés en série dans la chaîne de balayage avant d'être appliqués au circuit. La réponse est ensuite capturée dans la chaîne de balayage avant d'être décalée en série pour être compressée à l'aide d'un compresseur de réponses.

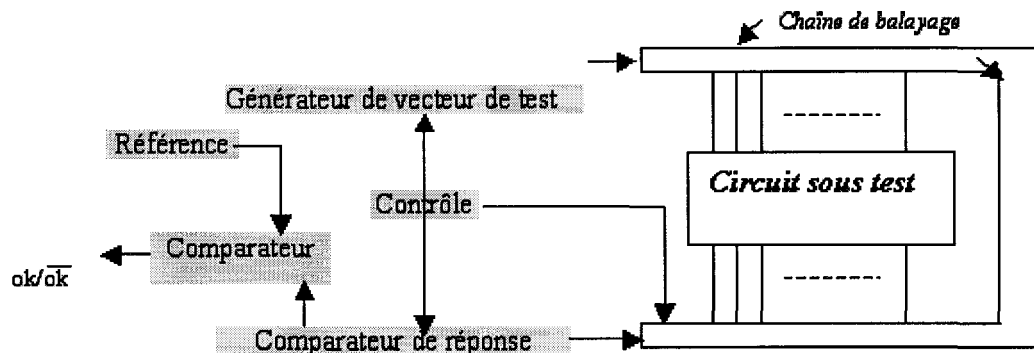


Figure 12 Test intégré série

Le test intégré série s'intègre parfaitement dans une méthodologie de balayage sans apporter de modifications notables. Cependant, l'inconvénient majeur du test intégré série provient d'un temps très long dû à la sérialisation des vecteurs de test dans la chaîne de balayage. De plus, cette sérialisation préalable des vecteurs de test rend le test des pannes temporelles difficile et dans tous les cas extrêmement coûteux en surface additionnelle. Par exemple, nous pouvons citer une solution consistant à doubler la chaîne de balayage, afin de pouvoir appliquer, en un coup d'horloge, une paire de vecteurs de test [5].

### 2.5.2 Test intégré parallèle

Dans le cas du **test intégré parallèle** ou "*test-per-clock*" (figure 13), un vecteur de test est généré et la réponse du circuit est capturée et compactée à chaque cycle d'horloge.



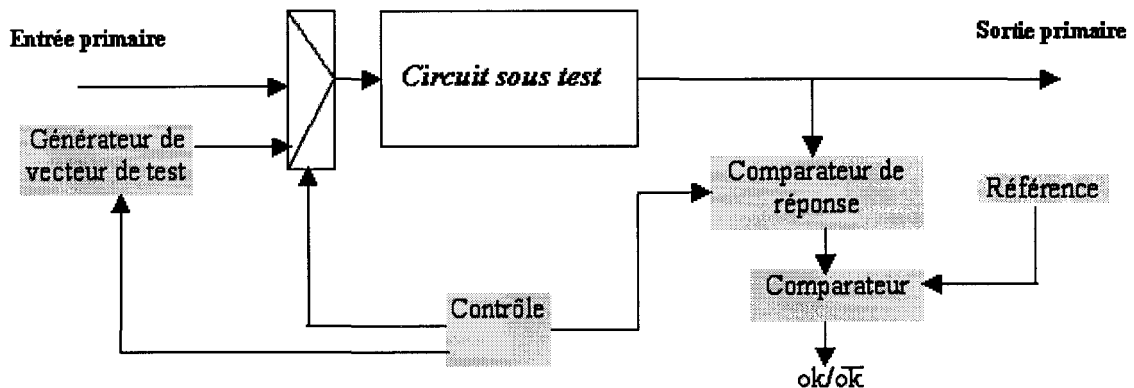


Figure 13 Test intégré parallèle

Le test intégré parallèle est beaucoup plus rapide. En effet, dans ce cas, un vecteur de test est appliqué à chaque cycle d'horloge. Cependant, son domaine d'application reste limité généralement aux circuits combinatoires. Il est bien sûr possible de l'appliquer aux circuits séquentiels mais, dans ce cas, le coût en surface est plus important de par l'utilisation de bascules plus complexes de type BILBO ("Built In Logic Block Observer") ou C-BILBO ("Concurrent Built In Logic Block Observer") [3].

L'avantage majeur du test intégré parallèle est qu'il permet de tester le circuit à sa vitesse nominale de fonctionnement et donc de prendre en compte le test des pannes temporelles.

### 2.5.3 Génération intégrée des vecteurs de test

Les techniques utilisées pour la génération intégrée de vecteurs dépendent de l'approche adoptée pour tester le circuit: pseudo-aléatoire, exhaustive (pseudo-exhaustive), déterministe ou mixte (combinant aléatoire et déterministe). Le choix d'une de ces techniques de génération de test est le résultat d'un compromis entre la qualité du test et la dégradation de performance du circuit. La qualité du test s'exprime en terme de taux de couverture relativement à un modèle de pannes et à une séquence de test. En général, le modèle de pannes considéré est le modèle de pannes collées ("stuck-at"). La séquence

de test quand à elle dépend de la technique de test sur laquelle est basée la génération de vecteurs. Dans le cas d'un test déterministe, la séquence de test est courte et le taux de couverture est optimal. Dans le cas d'un test exhaustif, le taux de couverture est optimale vis-à-vis des pannes collées. Par contre, la séquence de test peut être longue voir irréaliste pour des circuits combinatoires avec beaucoup d'entrées ou encore pour des circuits séquentiels. Avec le test pseudo-aléatoire, le taux de couverture est fonction de la longueur de la séquence appliquée. Plus la séquence appliquée est longue, meilleur est son taux de couverture. La longueur nécessaire pour atteindre le maximum étant bien sûr fonction du circuit à tester [2].

#### **2.5.4 Analyse de la réponse du circuit**

La détection d'une panne nécessite de comparer le circuit sous test avec les réponses d'un circuit sain. Le stockage d'un dictionnaire de faute en vue du test intégré complet est inconcevable vu l'ampleur de l'information. Dans ce cas il faut recourir aux techniques qui permettent de comparer les réponses du circuit sous test. Ces techniques sont regroupées en trois catégories : les techniques utilisant la parité, les techniques de comptage et les techniques utilisant des LFSR ("linear feedback shift register"). Le principe de base de l'analyse de signature qui utilise des LFSR est que les valeurs de sorties des bascules dépendent des valeurs qui sont introduites en entrée. Si une panne entraîne une séquence différente, ceci entraînera une signature différente.

## **2.6 Conclusion**

Dans ce chapitre, nous avons présenté un ensemble de définitions et de concepts relatifs aux pannes temporelles qu'on retrouve dans la littérature. L'ensemble du chapitre fut axé sur la compréhension des phénomènes de consommation de courant, de description et modélisation des pannes, nécessaire à la bonne compréhension de la méthode de test

intégrée BIST. Ceci nous permet de faire le lien avec notre méthode de test basée sur les chaînes parallèles de courant, sujet du chapitre suivant.

## **CHAPITRE 3**

### **Méthode de test basée sur les chaînes parallèles de courant**

#### **Introduction**

Les méthodes de test en microélectronique visent à détecter toutes sortes de défauts possibles. Dans ce chapitre nous présenterons une méthode récemment développée et spécialement conçue pour la détection des pannes temporelles, appelée méthode de test basée sur les chaînes parallèles de courant. Nous y décrivons les éléments de la méthode, tels qu'ils étaient au début de ce projet. Nous y en ajoutons de nouveaux pour compléter la modélisation de ces éléments.

#### **3.1 Rappel des objectifs de la méthode et du projet**

À ce point-ci, il est pertinent de rappeler les objectifs de la méthode de test ainsi que ceux de ce projet.

La méthode de test basée sur les chaînes parallèles de courant vise :

- la détection précoce (au niveau du test de la gaufre) des circuits ne rencontrant pas les spécifications de vitesses, et
- l'utilisation de testeurs moins performants pour l'estimation de la fréquence maximale de fonctionnement.

Ce projet, quant à lui, se veut

- une analyse des limites de résolution temporelle de la méthode via simulations, et
- une investigation de l'intégration, selon une stratégie de type BIST, des dispositifs de mesure de délais à même le circuit intégré.

Dans ce qui suit, nous allons présenter la méthode et décrire les éléments permettant sa mise en œuvre, incluant le dispositif de mesure intégré.

### 3.2 Principe de fonctionnement

Soit le circuit de la figure 14. La fréquence maximale de fonctionnement est liée au délai de propagation d'un signal de la bascule A vers la bascule B.

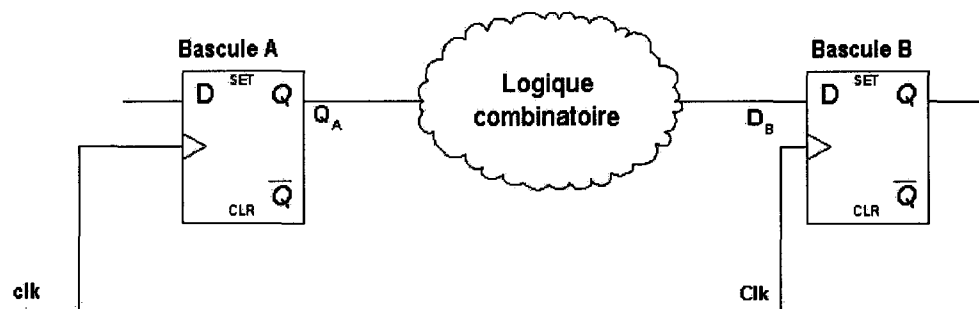


Figure 14 Délai maximal de propagation

Ce délai inclut :

- le temps de réaction de la bascule A suite à la présence du front d'horloge déclencheur,
- le temps de propagation de la sortie de la bascule A,  $Q_A$ , à l'entrée de la bascule B,  $D_B$ ,
- le biais de synchronisation du réseau de distribution de l'horloge,
- la marge de prépositionnement ("set-up time") de la bascule B.

La première et dernière quantité étant habituellement caractérisée par le fabricant des circuits intégrés (connue a priori), il est possible d'estimer la fréquence maximale de fonctionnement d'un circuit si on mesure la marge de temps comprise entre l'arrivée du dernier signal à se présenter à l'entrée d'une bascule et l'arrivée du prochain front

d'horloge échantillonneur. C'est exactement ce qu'on essaie de mesurer avec la méthode basée sur les chaînes parallèles de courant.

Pour ce faire, des convertisseurs voltage/courant sont ajoutés aux endroits critiques du circuit sous test comme le montre la figure 15, où les convertisseurs sont de simples inverseurs et placés respectivement à l'entrée des données des bascules, et à l'extrémité de l'arborescence de distribution des signaux d'horloge. Le coût de l'insertion est d'un inverseur par nœud d'intérêt. Notons qu'il est également possible de sélectionner seulement les bascules situées à la fin des chemins combinatoires jugés critiques. Les inverseurs utilisés peuvent être de dimensions minimales, afin de minimiser l'impact de leur insertion (surface, charge).

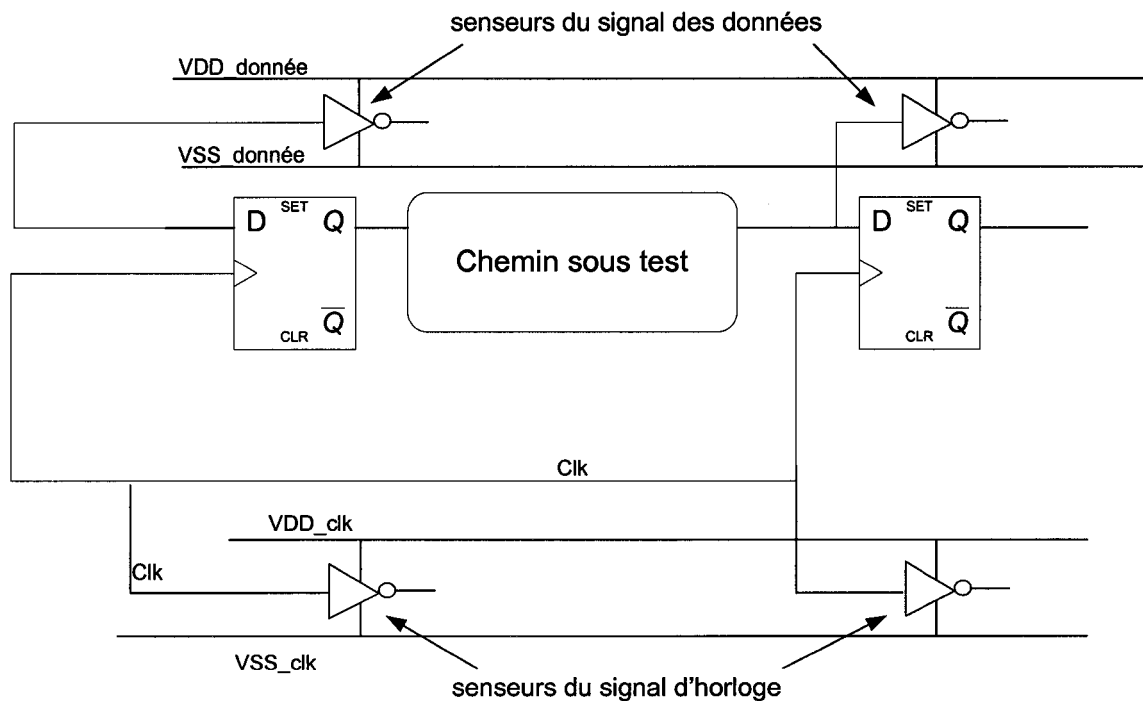


Figure 15 Insertion des inverseurs/convertisseurs

Les convertisseurs servent à détecter le passage de transition aux nœuds d'intérêt et à transformer ces transitions (de voltage) en impulsions de courant qui seront injectées dans des chaînes parallèles d'alimentation. En effet, dès que le signal d'horloge actionne les bascules, les données sont acheminées à travers la logique combinatoire pour attaquer les convertisseurs, ce qui se traduit par une consommation de courant qui engendre une impulsion. Dans la même perspective, le signal d'horloge génère également une impulsion de courant. Deux chaînes parallèles sont créées, une pour les bascules (signal des données) et l'autre pour le signal d'horloge (Figure 15).

Les impulsions de courant observées sur le réseau d'alimentation des deux chaînes de courant parallèles seront par la suite converties en tension et amplifiées. Les circuits réalisant cette conversion et cette amplification sont appelés blocs de conversion courant/tension, et sont décrit à la section suivante. Il y aura deux blocs convertisseurs courant/tension : un pour la chaîne parallèle de l'horloge et l'autre pour la chaîne parallèle des bascules. C'est à la sortie de ces convertisseurs courant/tension que seront mesurés les délais entre l'apparition du signal des données le plus lent et celle du prochain front échantillonneur de l'horloge. Notons également que la largeur de l'impulsion créée par les transitions de l'horloge permet d'estimer le biais de synchronisation créé par le réseau de distribution.

Le bloc de conversion courant/tension peut être soit externe ou intégré dans le circuit intégré. Ainsi, les signaux à la sortie des deux blocs de conversion courant/tension peuvent être traités de deux façons :

- les signaux peuvent être envoyés vers un testeur pour mesurer le délai entre la fin de l'apparition du signal de données et l'apparition du signal d'horloge.
- ou on peut insérer un circuit capable de mesurer le délai entre les impulsions de façon intégrée.

### 3.3 Bloc convertisseur courant/tension

#### 3.3.1 Modèle de base du convertisseur courant/tension précédemment proposé

Le bloc de convertisseur courant/tension a pour rôle de convertir l'impulsion de courant générée par les senseurs en une impulsion de tension, et l'amplifier pour la rendre détectable pour le testeur afin de mesurer le délai entre le signal d'horloge et le signal des données. Le modèle de base est le suivant :

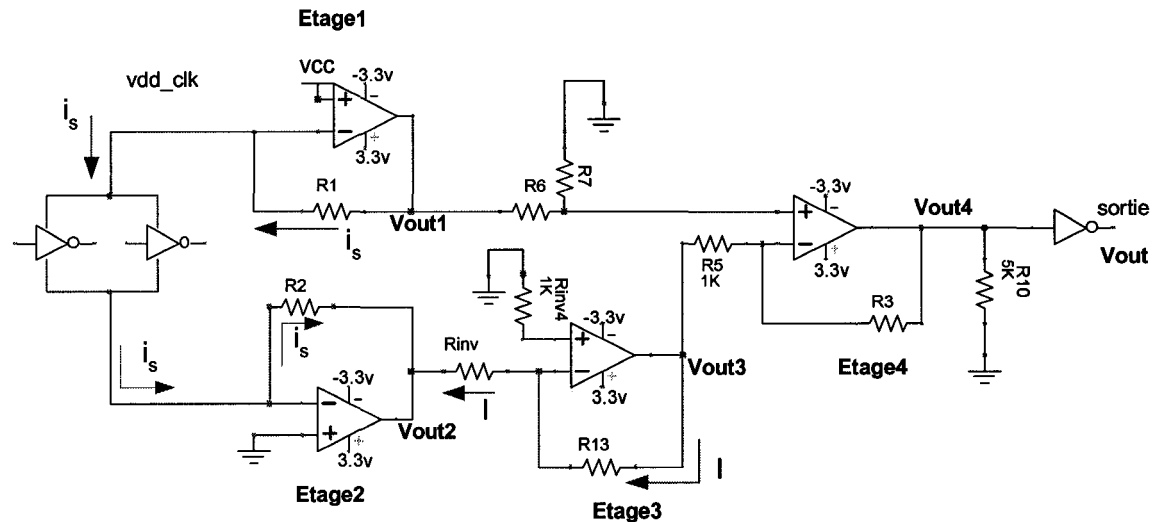


Figure 16 Modèle de base du bloc conversion courant/tension

Ce modèle de base provient d'expérimentations précédentes faites avec des éléments discrets par un stagiaire de l'ETS, Pierre-Paul Carpentier. Nous allons, au chapitre suivant, adapter ce modèle en vue d'une intégration VLSI. Mais tout d'abord, nous allons l'analyser théoriquement. On constate que le bloc de conversion courant/tension se compose de quatre amplificateurs opérationnels, chacun muni de deux entrées, l'une dite non inverseuse  $V_+$  et l'autre inverseuse  $V_-$  et d'une sortie S (figure 17).

La fonction de transfert complète en continu est donnée par la formule suivante [22] :



$$S = A_{vd} (V_+ - V_-) + A_{vmc} \left( \frac{V_+ - V_-}{2} \right) \quad (3.1)$$

$A_{vd}$  est le gain en tension différentiel de l'amplificateur, et  $A_{vmc}$  le gain en tension de mode commun.

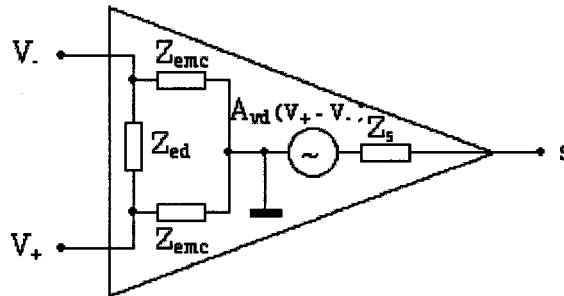


Figure 17 Schéma équivalent d'un AOP

Un amplificateur opérationnel idéal est un amplificateur de différence pure à gain infini dont les impédances d'entrée sont infinies et l'impédance de sortie est nulle: les gains en tension sont  $A_{vd} = \infty$  et  $A_{vmc} = 0$ , l'impédance d'entrée différentielle  $Z_{ed} = \infty$ , l'impédance d'entrée en mode commun,  $Z_{emc} = \infty$ , et l'impédance de sortie  $Z_s = 0$ . Bien qu'en pratique l'amplificateur opérationnel réel présente des différences par rapport à l'amplificateur opérationnel idéal, le modèle idéal est suffisant pour nos besoins. Vu les conditions d'un amplificateur opérationnel l'équation (3.1) devient :

$$S = A_{vd} (V_+ - V_-) \quad (3.2)$$

Le gain  $A_{vd}$  est infini ; dans ces conditions,  $(V_+ - V_-)$  va tendre vers 0. De cette dernière constatation, on peut tirer une équation simpliste, mais fondamentale et toujours vraie en fonctionnement linéaire :

$$V_+ = V_- \quad (3.3)$$

### 3.3.2 Description des étages du bloc de conversion courant/tension

Rappelons que ce bloc est composé de 4 étages (figure16).

Le montage de la figure 16 va être analysé selon deux scénarios possibles :

- les deux transistors qui compose les inverseurs sont en conduction au même moment.
- l'un des transistors conduit et l'autre est bloqué c'est à dire que la résistance équivalente  $R_{eq}$  est infinie ( $R_{eq} = \infty$ )

En partant des équations (3.1) et (3.2) appliqués à notre montage et pour le besoin de nos simulations décrites au chapitre suivant, l'ensemble des étages peuvent se présenter comme suit :

#### - Étage 1 :

Cet étage peut être décrit avec les équations suivantes :

$$i_s = \frac{V_{cc}}{R_{eq}} \quad (3.4)$$

$$\begin{aligned} V_{out1} &= V_{cc} + i_s R_1 \\ &= V_{cc} + V_{cc} \frac{R_1}{R_{eq}} \end{aligned} \quad (3.5)$$

$$V_{out1} = V_{cc} \left[ 1 + \frac{R_1}{R_{eq}} \right] \quad (3.6)$$

Il s'agit d'un montage amplificateur, mais dans ce cas nous l'utilisons comme une alimentation virtuelle.

#### - Étage 2

Avec  $V_+ = V_- = 0$  ( puisque  $V_+$  est à la masse ), nous avons

$$V_{out2} = - R_2 i_s \quad (3.7)$$

Il s'agit d'un montage convertisseur courant/tension, qui a pour rôle de convertir l'impulsion de courant généré par les senseurs en une impulsion de tension.

### - Étage 3

Encore ici,

$$V_- = V_+ = 0 \quad (3.8)$$

Le courant  $I$  va passer à travers les résistances  $R_{13}$  et  $R_{inv}$

$$V_{out2} = -R_{inv} I \quad (3.9)$$

$$V_{out3} = R_{13} I \quad (3.10)$$

$$V_{out3} = -\frac{R_{inv}}{R_{13}} V_{out2} \quad (3.11)$$

Donc il s'agit d'un montage amplificateur inverseur qui a pour rôle d'inverser l'impulsion.

### - Étage 4

L'étage 4 est un montage soustracteur qui permet de mesurer la différence entre  $V_{out1}$  et  $V_{out3}$ .

Nous avons

$$V_- = V_+ \quad (3.12)$$

La tension sur chaque entrée est :

$$V_+ = V_{out3} \frac{R_7}{R_7 + R_6} \quad (3.13)$$

$$V_- = V_{out1} \frac{R_3}{R_3 + R_5} - V_{out4} \frac{R_5}{R_5 + R_3} \quad (3.14)$$

Des équations (3.12) (3.13) et (3.14), nous obtenons :

$$V_{out4} \frac{R_5}{R_5 + R_3} = V_{out3} \frac{R_7}{R_7 + R_6} - V_{out1} \frac{R_3}{R_3 + R_5} \quad (3.15)$$

$$V_{out4} = V_{out3} \frac{1 + \frac{R_3}{R_5}}{1 + \frac{R_6}{R_7}} - V_{out1} \frac{R_3}{R_5} \quad (3.16)$$

Si  $R_3 = R_5$  et  $R_6 = R_7$ , nous obtenons :

$$V_{out4} = V_{out1} - V_{out3} \quad (3.17)$$

Si nous appliquons les résultats obtenus lors de l'analyse théorique du bloc de conversion aux deux cas qui nous intéressent, nous obtenons les équations suivantes :

Cas1 :  $R_{eq} = \infty$

$$i_s = \frac{V_{cc}}{R_{eq}} = 0 \quad (3.18)$$

et

$$V_{out1} = V_{cc} \left[ 1 + \frac{R_1}{R_{eq}} \right] = V_{cc} \quad (3.19)$$

$$V_{out2} = -R_2 i_s = 0 \quad (3.20)$$

$$V_{out3} = -\frac{R_{inv}}{R_{13}} V_{out2} = 0 \quad (3.21)$$

$$V_{out4} = (V_{out1} - V_{out3}) = V_{cc} \quad (3.22)$$

Cas 2 : les deux transistors qui composent les inverseurs sont en conduction au même moment : ( $R_{eq} = \text{une constante}$ ).

$$i_s = \frac{V_{cc}}{R_{eq}} \quad (3.23)$$

et

$$V_{out1} = V_{cc} \left[ 1 + \frac{R_1}{R_{eq}} \right] \quad (3.24)$$

$$V_{out2} = -R_2 i_s \quad (3.25)$$

$$V_{out3} = -\frac{R_{inv}}{R_{13}} V_{out2} \quad (3.26)$$

$$V_{out4} = (V_{out1} - V_{out3}) = V_{cc} \left[ 1 + \frac{R_1}{R_{eq}} \right] + \frac{R_{inv}}{R_{13}} V_{out2} \quad (3.27)$$

### 3.4 Modèle du circuit de mesure du délai intégré

Une des améliorations envisagées de la méthode proposée consiste en l'intégration d'un circuit de mesure de délai capable d'estimer lui-même le délai de propagation d'un signal. Ceci est réalisable en comparant le signal à la sortie du convertisseur courant/tension pour le signal d'horloge, nommé `pulse_clk`, et le signal à la sortie du convertisseur courant/tension pour les données, nommé `pulse_data`. L'allure des ces deux signaux est montrée à la figure 18.

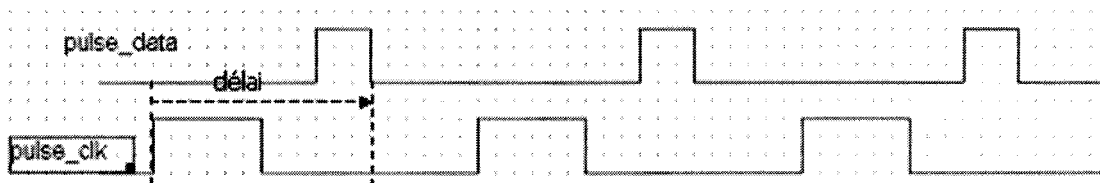


Figure 18 Allure de `pulse_data` et `pulse_clk`

Cette comparaison sera effectuée avec un circuit conventionnel de mesure de délai décrit ci-après.

### 3.4.1 Circuit de mesure proposé

La figure 19 présente le circuit de mesure envisagé.

Le circuit est constitué d'une chaîne d'inverseurs, de deux étages de registres et d'un multiplexeur. La chaîne contient un nombre impair d'inverseurs. Elle est couplée au multiplexeur, ce qui permet de créer 2 topologies : en boucle ouverte (select=0) où la chaîne devient une ligne à délai, et en boucle fermée (select=1) où la chaîne devient un oscillateur.

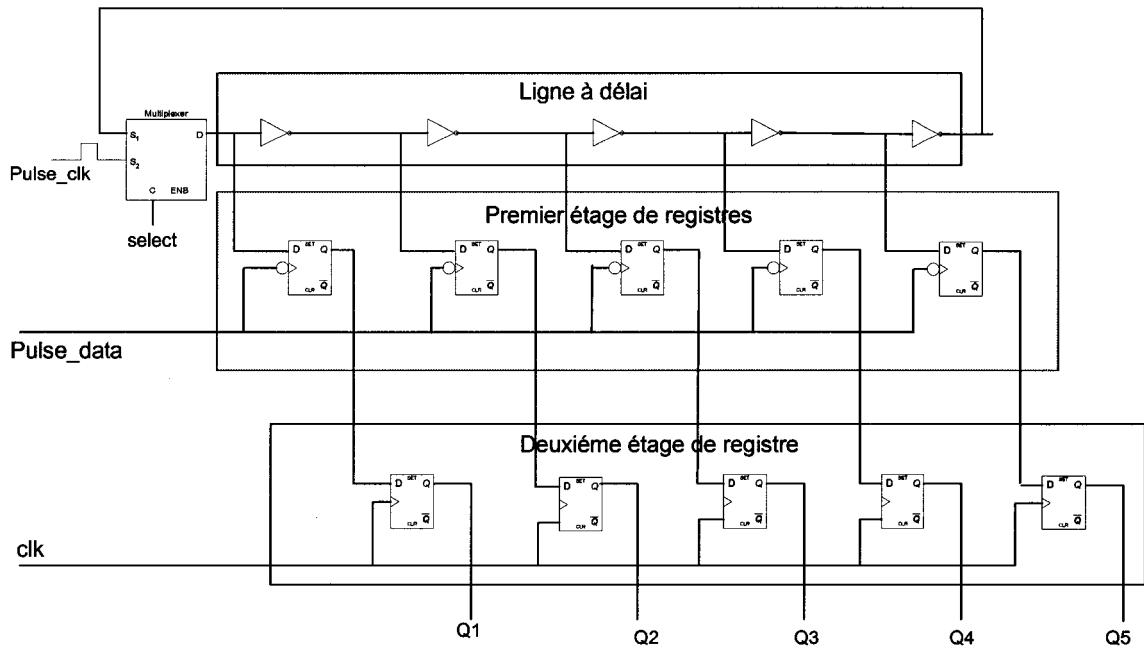


Figure 19 Circuit de mesure

Le premier étage de registres est activé par le signal pulse\_data (front descendant) alors que le second est activé par le signal d'horloge (front montant).

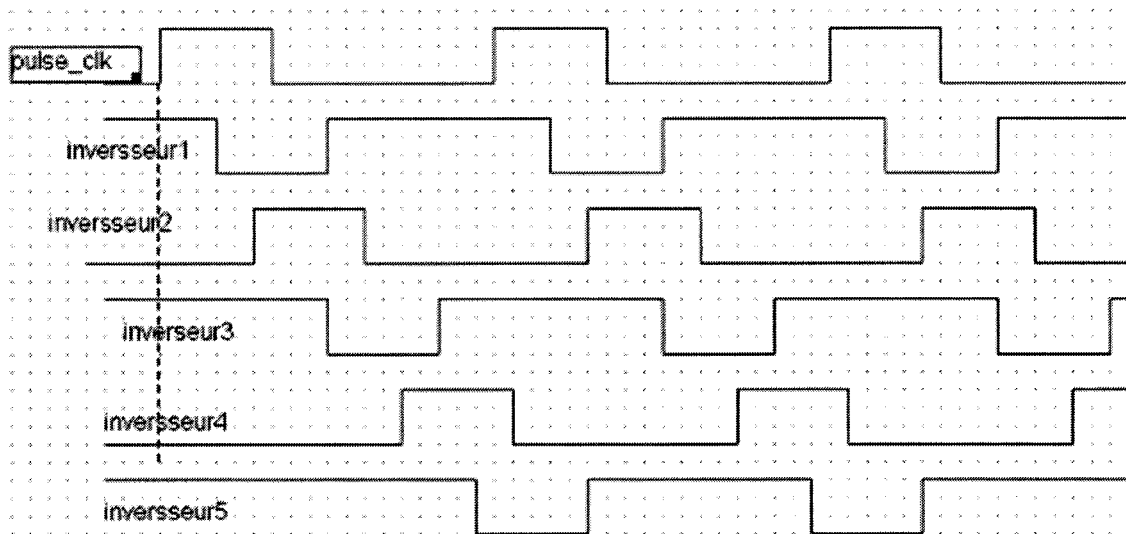


Figure 20 Allure du signal lors du passage dans la ligne à délai

### 3.4.2 Principe de fonctionnement du circuit de mesure

Le circuit de mesure fonctionne selon deux modes : mode test et mode calibrage.

#### 3.4.2.1 Mode test

En mode test le circuit de mesure est configuré en boucle ouverte et fonctionne comme suit. Le signal `pulse_clk` est connecté la ligne à délai, via le multiplexeur. Chaque fois qu'il traverse un inverseur, un délai s'y ajoute réduisant graduellement le délai existant entre le signal `pulse_data` et les versions retardées de `pulse_clk`. Ces différentes versions retardées (et une fois sur deux inversées) du signal `pulse_clk` constituent une signature temporelle à partir de laquelle le délai sera estimé. Cette signature sera échantillonnée par le premier étage de registre au front descendant du signal `pulse_data`, signature qui sera par la suite chargée dans le deuxième étage de registre, au front montant du signal `pulse_clk`.

Le tableau suivant donne quelques exemples de signatures anticipées en fonction du délai à estimer,  $D_E$ , exprimé en délai d'inverseurs ( $D_I$ ).

Tableau I

## Signatures temporelles en fonction du délai

Points de mesure	Délai	Signature A $M I_1 I_2 I_3 I_4 I_5$	Signature B $M \bar{I}_1 \bar{I}_2 \bar{I}_3 \bar{I}_4 \bar{I}_5$
A	$0 < D_E < D_M$	0 1 0 1 0 1	0 0 0 0 0 0
B	$D_M < D_E < D_M + D_I$	<b>1 1</b> 0 1 0 1	<b>1</b> 0 0 0 0 0
C	$D_M + D_I < D_E < D_M + 2D_I$	1 <b>0 0</b> 1 0 1	1 <b>1</b> 0 0 0 0
D	$D_M + 2D_I < D_E < D_M + 3D_I$	1 0 <b>1 1</b> 0 1	1 1 <b>1</b> 0 0 0
E	$D_M + 3D_I < D_E < D_M + 4D_I$	0 0 1 <b>0 0</b> 1	0 1 1 <b>1</b> 0 0
F	$D_M + 4D_I < D_E < D_M + 5D_I$	0 1 1 0 <b>1 1</b>	0 0 1 1 <b>1</b> 0

$M$  = sortie du multiplexeur

$I_i$  = sortie de l'inverseur  $I_i$

$D_M$  = délai du multiplexeur

Ces résultats sont obtenus à partir de la figure 21. Dans cet exemple, la largeur de l'impulsion de pulse\_clk est arbitrairement de  $3D_I$ .



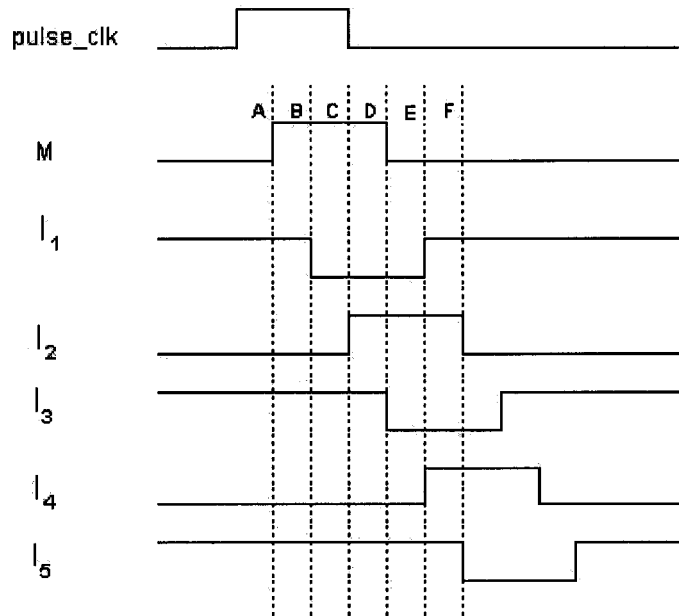


Figure 21 Exemple de signaux pour l'estimation du délai

Au tableau I, la signature A correspond à celle qui est directement échantillonnée, tandis que la signature B est obtenue en compensant l'effet d'inversion de la ligne à délai, c'est-à-dire en inversant la sortie des inverseurs  $I_1$ ,  $I_3$ ,  $I_5$ .

L'apparition du `pulse_clk` se traduit par la présence de "1" dans la signature B. Le délai est estimé en identifiant le "1" le plus "loin" dans la signature B, i.e le "1" associé à la sortie de l'inverseur situé le plus en aval dans la ligne à délai. La résolution du circuit de mesure présenté sera au mieux égale au délai d'un seul inverseur. Cette résolution peut être affectée par l'apparition d'un état de métastabilité, phénomène pouvant être causé par le non-respect des contraintes de temps de prépositionnement et maintien. Quoique possible, cet état de métastabilité est somme toute assez peu probable et ne peut affecter qu'une seule bascule du premier étage de registres à la fois. Elle peut donc au pire induire une erreur équivalente au délai d'un inverseur.

### 3.4.2.2 Mode calibrage

Le mode calibrage revient à quantifier en termes de temps le délai estimé en mode test et donné par le nombre d'inverseurs. La phase de calibrage consiste à sélectionner le multiplexeur pour obtenir la topologie en boucle fermée figure 22 :

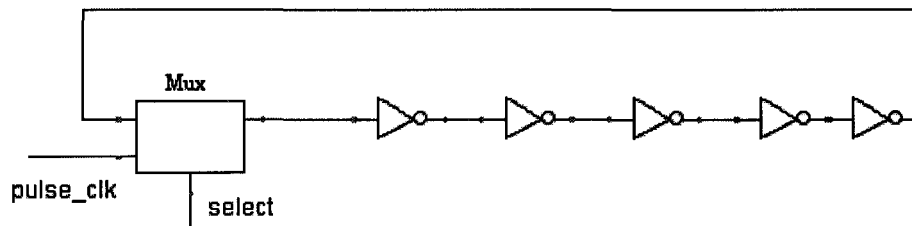


Figure 22 Topologie en boucle fermée

Cette configuration permet de déduire la fréquence maximale de fonctionnement et d'en déduire la période. Une fois la période  $T$  mesurée il suffit de la diviser par le nombre d'inverseurs qui composent l'oscillateur pour déterminer le délai moyen dans chaque inverseur de l'oscillateur, en prenant en compte le délai engendré par le multiplexeur. La figure 23 donne une idée sur les délais engendrés par cette topologie.

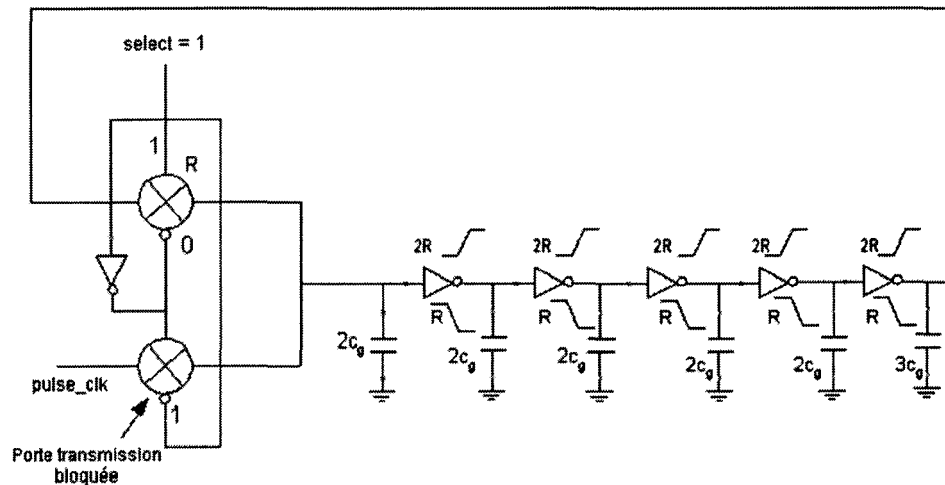


Figure 23 Estimation du délai en boucle fermé

Le délai d'inverseur est égal à  $4Rc_g$  si on propage un 1, et à  $2Rc_g$  si on propage un 0 pour le multiplexeur le délai est égal  $2Rc_g$ . Si on suppose que le délai d'inverseur  $\cong$  délai du multiplexeur, nous obtenons :

$$\text{le délai moyen en mode calibration} = \frac{\text{la période } T}{\text{nombre d'inverseurs} + 1}$$

Le délai total du circuit sous test est égal au délai moyen des inverseurs mesuré grâce à la phase de calibration multiplié par le nombre d'inverseurs actionnés mesuré au mode test.

### 3.5 Conclusion

Nous avons dans ce chapitre présenté la méthode de test basée sur les chaînes parallèles de courant. La méthode a été décrite selon l'état d'avancement dans lequel elle était au début de ce projet. Nous avons en particulier insisté sur le bloc de conversion courant/tension, tel qu'utilisé lors du test externe, dans le but de l'intégrer au circuit

intégré. Nous avons également présenté le circuit de mesure envisagé pour compléter l'intégration de la méthode et ainsi obtenir une solution de type "BIST".

Au chapitre suivant, nous allons analyser en détail le comportement des différents modules via des simulations, et apporter, s'il y a lieu, des modifications afin d'atteindre nos objectifs.

## **CHAPITRE 4**

### **Implémentation de la méthode de test basée sur les chaînes parallèles de courant**

#### **Introduction**

Ce chapitre est consacré aux résultats des simulations des propositions vues au chapitre précédent, permettant de valider la méthode de test basée sur les chaînes parallèles de courant.

Les simulations sont effectuées à l'aide du logiciel Hspice. Hspice est un logiciel qui permet l'analyse des circuits mixtes. Il peut s'interfacer à une interface graphique pour visualiser l'allure des signaux aux nœuds sélectionnés. Pour ce faire, il faut d'abord créer un fichier d'entrée qui décrit chacun des composants du circuit ( résistances, source de tension, transistors, diodes...) et autres composants complexes. Nous devons également spécifier le type d'analyse que nous désirons faire, que se soit une analyse DC, une analyse AC ou encore une analyse transitoire. Puis, visualiser les résultats des nœuds à l'aide du logiciel Awaves.

Dans la première partie de ce chapitre, nous présenterons les résultats obtenus lors de la simulation du bloc convertisseur ainsi que les problèmes rencontrés et leurs interprétations.

La deuxième partie sera consacrée à la simulation du bloc de mesure du délai qui va nous permettre de mesurer le délai entre deux signaux de façon BIST, et l'interprétation des résultats ainsi que les problèmes rencontrés, et le choix des approches pour les régler.

#### **4.1 Étude expérimentale de la méthode de test basée sur les chaînes parallèles de courant**

La première étape de cette étude expérimentale est la compréhension du comportement du convertisseur courant/tension ainsi que les limites de fonctionnement qu'impose la technologie pour ce type de composant, afin de pouvoir valider la méthode test.

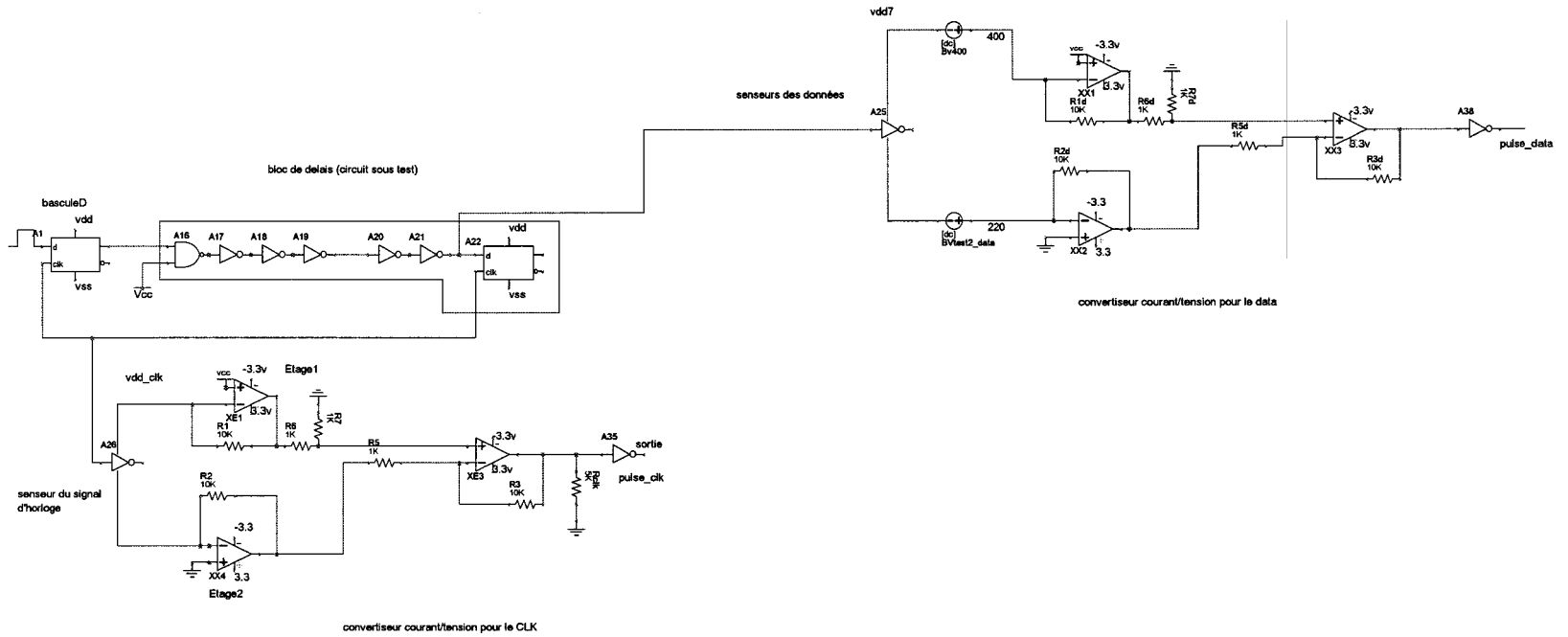


Figure 24 Simulation des convertisseurs courant/tension

## **4.2 Simulation du bloc convertisseur initial pour un test externe**

### **4.2.1 Avec un seul senseur actif**

Tel que mentionné précédemment, un montage a été antérieurement développé par un stagiaire de l'ETS, Pierre Carpentier [25], montage qui a permis de valider la méthode de test des chaînes parallèles de courant avec un seul circuit à tester et un seul senseur actif.

Le premier effort de simulation vise à recréer la même expérimentation, intégrée dans une technologie différente (CMOS 0.35  $\mu\text{m}$  versus FPGA et circuits discrets). Le circuit simulé est présenté à la figure 24, il se compose d'un bloc à délai (circuit sous test) constitué d'une porte nand et une série d'inverseurs montés de part et d'autres de bascules D. L'ensemble, relié à notre convertisseur courant/tension via un senseur, sera dédié au traitement du signal des données.

Le signal d'horloge, clk, qui actionne les deux bascules D est connecté lui aussi à un bloc convertisseur courant/tension dédié au traitement du signal d'horloge via des senseurs comme montré à la figure 24.

Dès que le signal d'horloge actionne les bascules D, les données sont acheminées à travers le circuit à tester pour attaquer le senseur, le fonctionnement de ce dernier est accompagné d'une consommation de courant qui engendre une impulsion. C'est cette impulsion de courant qui sera convertie et amplifiée pour la rendre plus robuste et plus maniable (voir section 3.3.2).

Dans la même perspective, l'impulsion générée par le senseur du signal d'horloge est acheminée au bloc convertisseur tension/courant du signal d'horloge afin qu'elle soit à son tour convertie et amplifiée pour la rendre plus robuste et plus maniable.

Les deux impulsions de sortie des convertisseurs tension/courant vont être comparées pour déterminer le délai estimé par la méthode de test du circuit sous test.



Le tableau II résume les résultats obtenus.

Tableau II

Résultats obtenus avec un seul senseur

Nombre de senseurs	Délai estimé (ps)	Largeur l'impulsion des donnés (ps)
1	800	70

Cette expérimentation a donné des résultats que nous pouvons qualifier de satisfaisants, puisque nous avons pu avoir des signaux de bonne largeur et d'amplitude que l'on peut mesurer à la sortie de chaque convertisseur et estimer le délai du circuit sous test.

#### 4.2.2 Avec plusieurs senseurs actifs

L'étape suivante est de simuler l'impact d'avoir plusieurs senseurs simultanément actifs. L'introduction d'autres senseurs à notre montage précédent a révélé les limites de ce montage, d'où la nécessité d'une étude du comportement du bloc convertisseur courant/tension et particulièrement du nombre maximal de senseurs à implanter et le gain total du convertisseur.

En effet, l'ajout des senseurs parallèles se traduit par des résultats erronés. En effectuant plusieurs simulations, il s'est avéré que l'entrée V- de l'amplificateur opérationnel 2, (le nœud v(200), (figure 25)) est le point le plus sensible du circuit à la variation du nombre de senseurs.

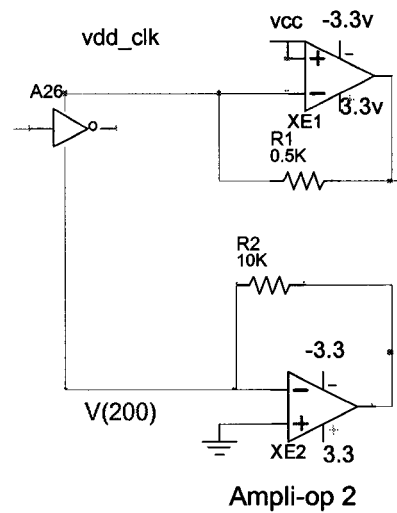


Figure 25 Nœud problématique

La tension à l'entrée V- de l'amplificateur opérationnel 2 augmente au fur et à mesure que l'on augmente le nombre de senseurs actifs, jusqu'à atteindre 3.3V, au lieu du 0V prévu par la théorie (chapitre précédent), ce qui change évidemment le comportement de tout le circuit.

#### 4.2.3 Simulation du convertisseur courant/tension seul

Suite à ce constat, il devenait impératif de mieux caractériser le comportement du convertisseur courant/tension. Ceci nous permettra entre autres de connaître le nombre de senseurs que l'on peut insérer. Pour se faire, des simulations ont été effectuées pour le convertisseur de l'étage 2 de notre circuit, montré à la figure 26.

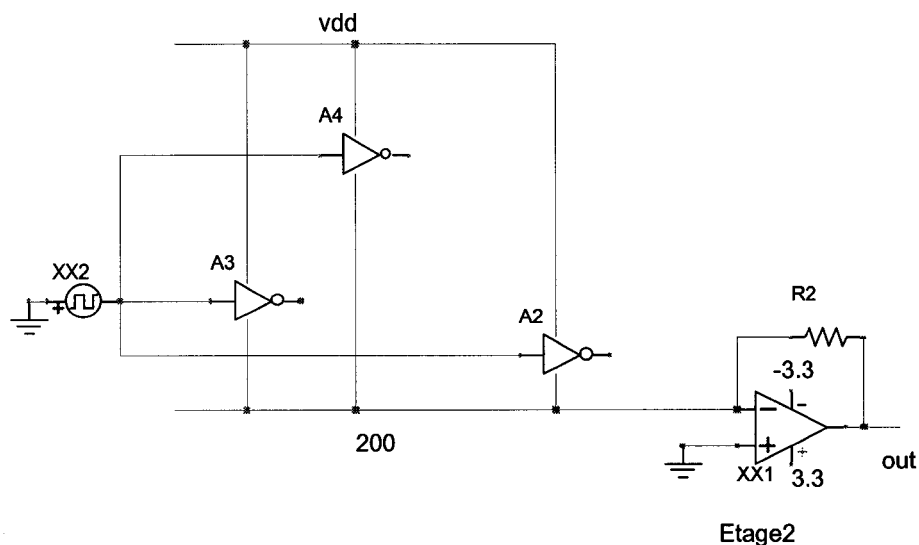


Figure 26 Simulation convertisseur courant/tension pour déterminer le nombre des senseurs à utiliser.

Ces simulations mènent aux résultats montrés au tableau III.

Tableau III

Nombre maximum de senseurs pouvant être simultanément actifs en fonction de R2

Valeur de R2	10K $\Omega$	5K $\Omega$	1K $\Omega$	500 $\Omega$	100 $\Omega$	10 $\Omega$
Nb senseurs parallèles actifs	0	0	4	7	33 et plus	33 et plus

Ces résultats montrent que le nombre de senseurs utilisables augmente en réduisant la valeur de la résistance R2. Notre choix c'est donc fixé après un certain nombre de simulations sur la valeur 33 pour le nombre de senseurs, soit une résistance de 100  $\Omega$ .

### 4.3 Redimensionnement du gain total du bloc convertisseur

Suite aux résultats obtenus lors des simulations précédentes, une redéfinition du gain du bloc pour chaque amplificateur opérationnel devenait nécessaire.

En se référant à l'analyse DC faite à la section 3.3.2 (étage 2), nous avons

$$V_{out2} = - R_2 * I$$

En simulant le circuit de la figure 27, nous obtenons pour l'étage 2 du bloc un courant crête  $I = 400 \cdot 10^{-6} \text{ A}$  à l'entrée  $V_-$  de l'amplificateur opérationnel. Avec  $R_2 = 100 \ \Omega$ ,  $V_{out2}$  devient :

$$V_{out2} = - ( R_2 * I ) = - 400 \cdot 10^{-6} \text{ A} * 100 \ \Omega = - 40 \text{ mV}$$

Puisque le convertisseur I/V de l'étage 2 est relié à l'amplificateur inverseur de l'étage 3 (voir l'analyse DC à la section 3.3.2, étage 3 ), et comme on veut que les impulsions de sorties varient de 0V à la tension de saturation des amplificateurs opérationnels (3.3V ), il s'avère qu'un gain de 100 à l'étage 3 est approprié (i.e. avec une certaine marge de manœuvre).

Avec ce gain, la tension  $V_{out3}$  devient :

$$V_{out3} = R_f / R_{in} * V_{out2} = 100 * 40 \text{ mV} > \text{tension de saturation (3.3 V )}.$$

Suite à cette modification, des simulations ont été effectuées.

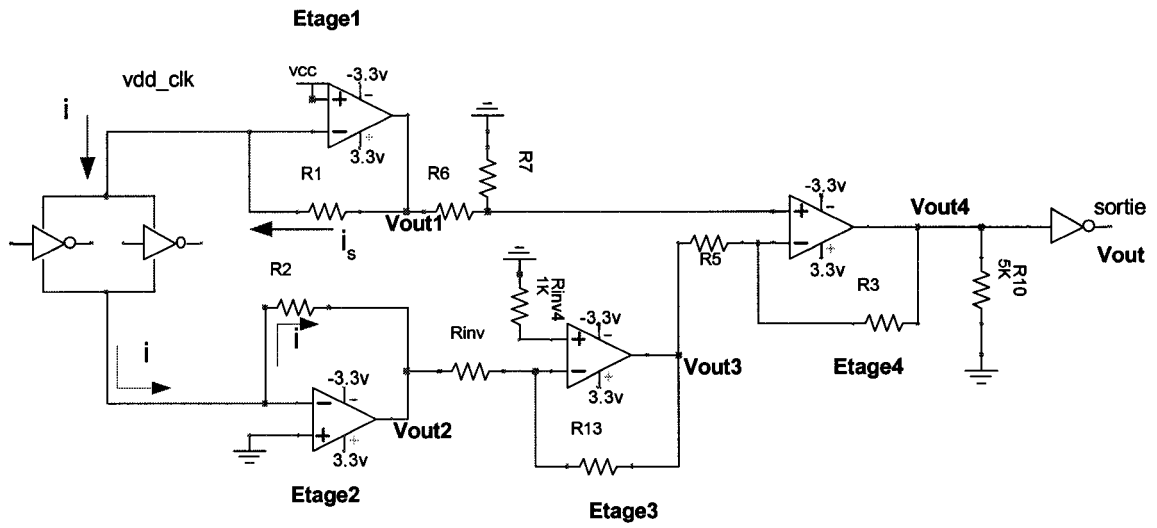


Figure 27 Bloc convertisseur courant/tension

Le circuit simulé est représenté à la figure 28.

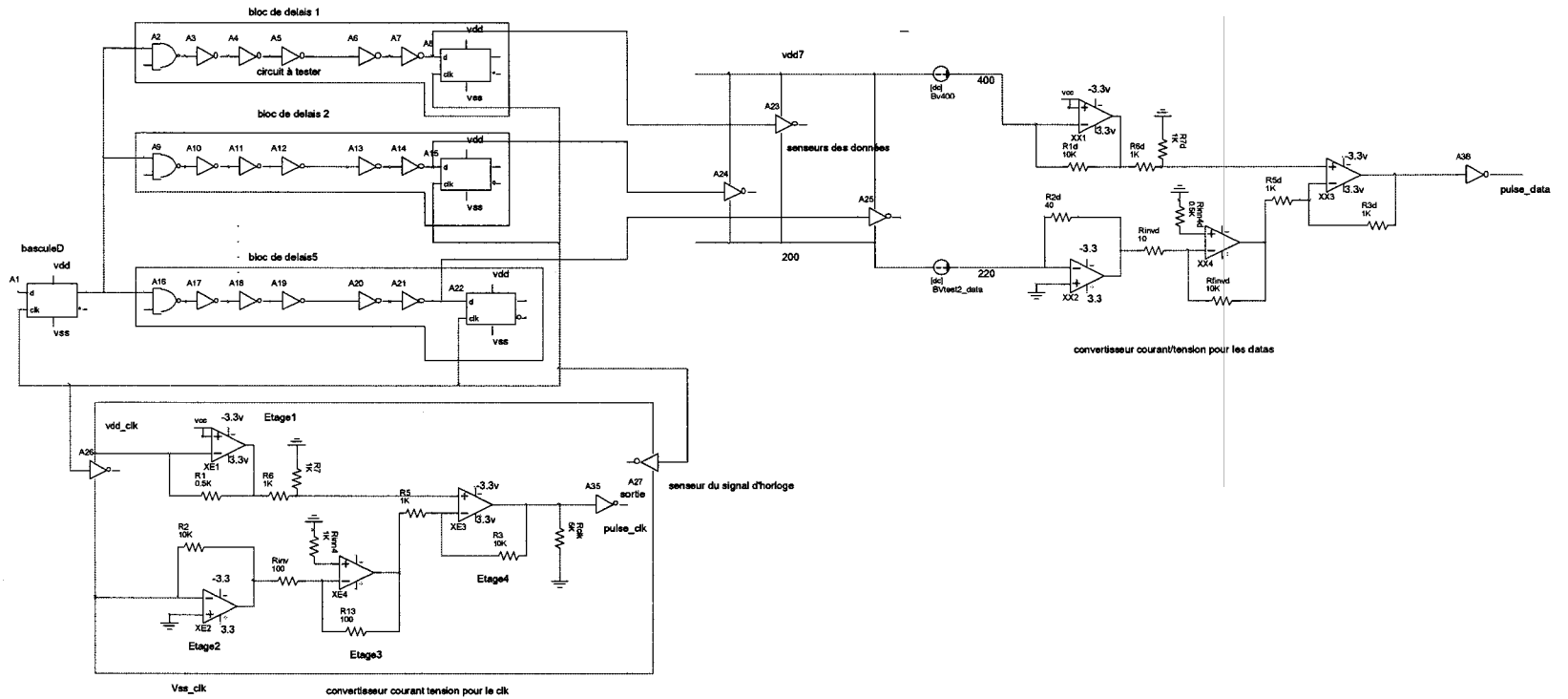


Figure 28 Circuit simulé

Une représentation de l'allure des signaux de sortie est donnée à la figure 29. Il apparaît que les impulsions de sortie pulse\_data et pulse\_clk du front descendant demeurent nulles.

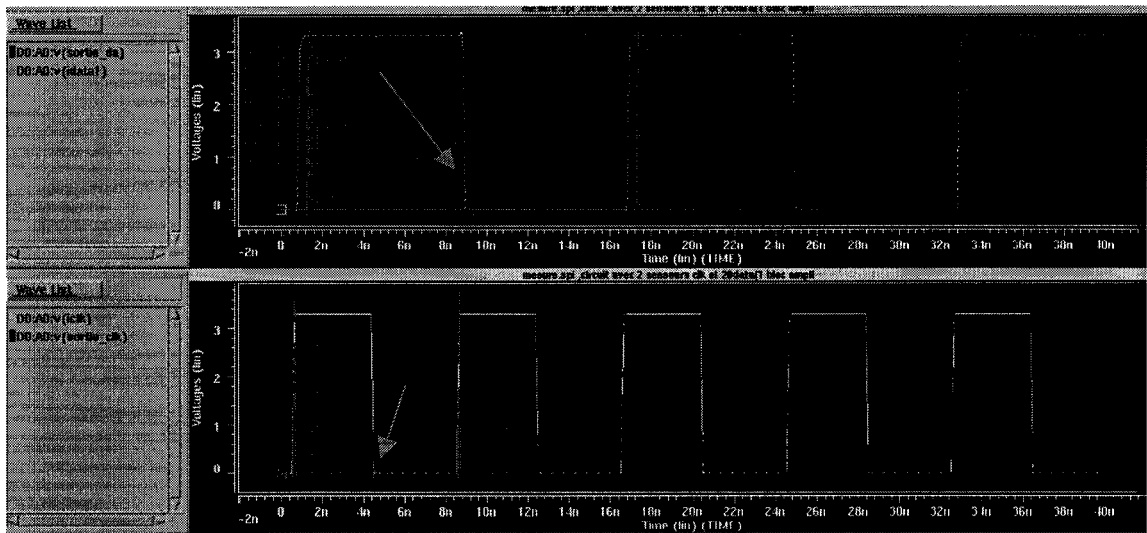


Figure 29 Manque de puissance lors de la transition descendante.

Pour combler cette lacune, un deuxième inverseur en série a été placé comme charge pour le premier senseur, afin d'élargir l'impulsion lors de la transition descendante. Les résultats sont représentés à la figure 30.

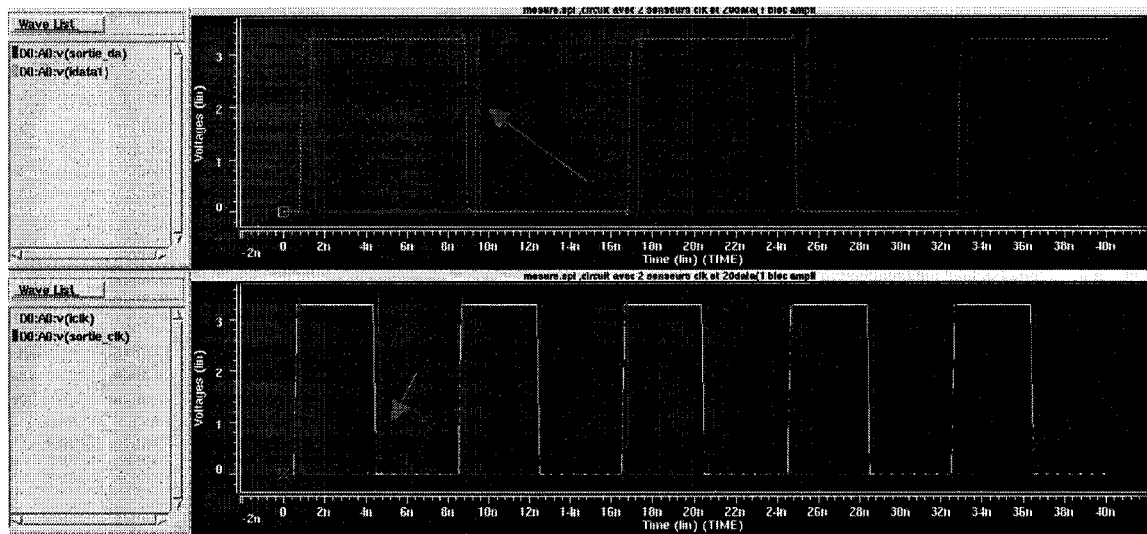


Figure 30 Apparition de l'impulsion lors de la transition descendante.

#### 4.4 Implémentation au niveau du circuit principal

Dans le même esprit de validation de la méthode des chaînes parallèles de courant, plusieurs simulations sont effectuées en faisant varier cette fois le nombre de senseurs actifs. Le tableau IV représente sommairement quelques résultats.



Tableau IV

Résultats obtenus avec R2= 100 et un bloc d'amplification G=100 (étage 3)

# senseur	1	2	3	4	5	6	7	8	9	10
Pulse_clk ↗ (ns)	0,585	0,585	0,585	0,585	0,585	0,585	0,585	0,585	0,585	0,585
Pulse_clk ↘ (ns)	0.811	0.811	0.811	0.811	0.811	0.811	0.811	0.811	0.811	0.811
Pulse_data ↗ (ns)	1,00	0,981	0,970	0,963	0,956	0,951	0,950	0,949	0,946	0,945
Pulse_data ↘ (ns)	1,253	1,325	1,409	1,477	1,555	1,639	1,711	1,777	1,868	1,936
Out 5 (ns)	0,99	0,99	0,99	0,99	0,99	0,99	0,99	0,99	0,99	0,99
Clk (ns)	0,575	0,575	0,575	0,575	0,575	0,575	0,575	0,575	0,575	0,575
Largeur de pulse_data (ps)	253	344	439	514	599	688	761	828	922	992
Délai réel (ps)	415	415	415	415	415	415	415	415	415	415
Délai estimé (ps)	668	740	824	892	970	1054	1126	1192	1283	1351
Diff= Délai estimé-délai réel (ps)	253	325	409	477	555	639	711	777	868	936
Erreur résiduelle après calibration (ps)	0.9	-3.3	4.5	-3.7	-1.9	5.9	1.7	-8.5	6.3	-1.9

Remarque :

- Les senseurs sont composés de 2 inverseurs en séries.
- Toutes les mesures sont effectuées à la valeur 1.65 v qui représente la tension  $v_{dd}/2$ .

La première ligne représente le nombre de senseurs employés lors de chaque simulation. La deuxième et troisième ligne représentent respectivement le temps nécessaire pour que le front montant et descendant du signal `pulse_clk` atteignent la valeur  $v_{dd}/2$ , le signal `pulse_clk` représentant le signal de sortie du bloc convertisseur courant/tension du signal d'horloge. La quatrième et la cinquième ligne représentent respectivement le temps nécessaire pour que le front montant et descendant du signal `pulse_data` atteignent la valeur  $v_{dd}/2$ , le signal `pulse_data` représentant le signal de sortie du bloc convertisseur courant/tension dédié au traitement des données. La seizième ligne (Out 5) représente le temps nécessaire pour que le signal à la sortie du circuit sous test atteigne  $v_{dd}/2$ . La septième ligne (`clk`) représente le moment de la montée du signal d'horloge. La largeur de `pulse_data` est la différence entre le front montant et descendant du signal `pulse_data`. Le délai réel représente le temps nécessaire pour qu'un signal traverse le circuit sous test. Le délai estimé est la différence entre le front descendant de `pulse_data` et le front montant de `pulse_clk`. L'avant dernière ligne représente la différence entre le délai estimé et le délai réel. La dernière ligne représente l'erreur résiduelle après calibration en fonction du nombre de senseurs actifs. Pour ce faire, une régression linéaire entre l'erreur (Diff) et le nombre de senseurs a été effectuée (figure 31). Le résultat de cette régression donne un estimé de l'erreur en fonction du nombre de senseurs. L'erreur résiduelle correspond à la différence entre l'estimé de l'erreur et l'erreur elle-même (Diff).

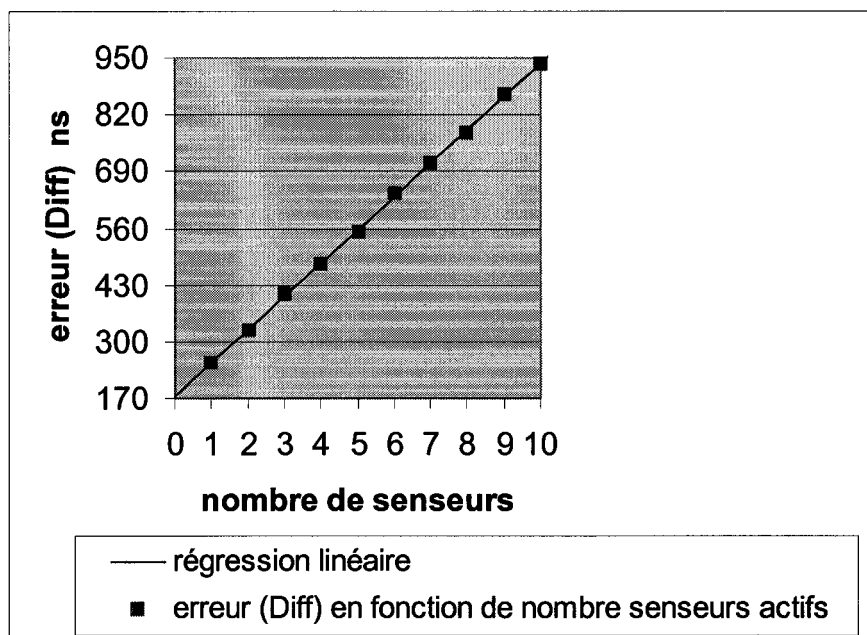


Figure 31 Régression linéaire entre l'erreur (Diff) et le nombre de senseurs

#### 4.4.1 Interprétation des résultats

Une première lecture des résultats obtenus fait apparaître que :

- Concernant les largeurs d'impulsions regroupées à la ligne 8 du tableau IV, les simulations montrent que celles ci sont mesurables par des testeurs désuets. Prenons à titre d'exemple le testeur IMS-XL60 disponible au laboratoire LACIME. Ce testeur opère à une fréquence maximale de 60 MHz et permet de mesurer des différences de délais avec une résolution de 100 ps. On peut, grâce à cet instrument qualifié de moins rapide, avoir des largeurs d'impulsion mesurables pour l'ensemble des cas, puisque la largeur la moins grande est de l'ordre de 250 ps.
- Concernant le calcul de délai : les résultats montrent qu'on peut grâce à cette méthode estimer le délai et d'en tirer la fréquence maximale de fonctionnement.

Exemple pour un seul senseur, on trouve le délai estimé de l'ordre de 668 ps soit une fréquence maximale :

$$\text{Freq max} = \frac{1}{668 * 10^{-12}} = 1.49 * 10^9 = 1.49 \text{ GHz}$$

Toutefois la comparaison des différents délais regroupés aux lignes 9 et 10 entre le délai estimé et réel montre les limites de cette méthode, puisque la différence entre ces derniers augmente avec l'augmentation du nombre de senseurs actifs.

Par exemple, avec un seul senseur, on retrouve:

- un délai réel = 415 ps, menant à une fréquence réelle maximale =  $1/415 \text{ ps} = 2.04 \text{ GHz}$
- un délai estimé = 668 ps, menant à une fréquence estimée maximale =  $1/668 \text{ ps} = 1.49 \text{ GHz}$ .
- une différence entre le délai estimé et le délai réel =  $668 - 415 = 253 \text{ ps}$ , menant à une erreur relative =  $1 - (1.49/2.04) = 0.26 \cong 26\%$ .

Avec 10 senseurs simultanément actifs on trouve :

- un délai réel = 415ps, menant à une fréquence réelle maximale =  $1/415 \text{ ps} = 2.04\text{GHz}$ .
- un délai estimé = 1351 ps, menant à une fréquence estimée maximale =  $1/1351 \text{ ps} = 740 \text{ MHz}$ .
- une différence entre le délai estimé et le délai réel =  $1351 - 415 = 936 \text{ ps}$ , menant à une erreur relative =  $1 - (740 * 10^6 / 2.04 * 10^9) = 0.63 \cong 63\%$ .

Ces résultats indiquent qu'il est préférable de limiter le nombre de transitions ( et de senseurs actifs ), soit en les limitant à la source avec des vecteurs appropriés et /ou en créant des partitions indépendantes de senseurs. D'autre part, une autre avenue pourrait être de calibrer la mesure obtenue en fonction du nombre de transitions anticipées, tel qu'illustré par la dernière ligne du tableau IV. Ceci fait partie de nos travaux futurs.

## **4.5 Intégration de la méthode de test.**

### **4.5.1 Simulation du bloc de mesure en mode test pour l'intégration de la méthode de test**

La deuxième partie de la simulation consiste à introduire un circuit qui permet de mesurer le délai entre deux signaux, sans utiliser un testeur (voir chapitre précédent). Cette étape va permettre au circuit intégré de s'autotester pour déterminer sa vitesse maximale de fonctionnement. Ceci correspond en pratique à l'ajout d'un bloc de mesure au circuit déjà simulé (voir figure 32).

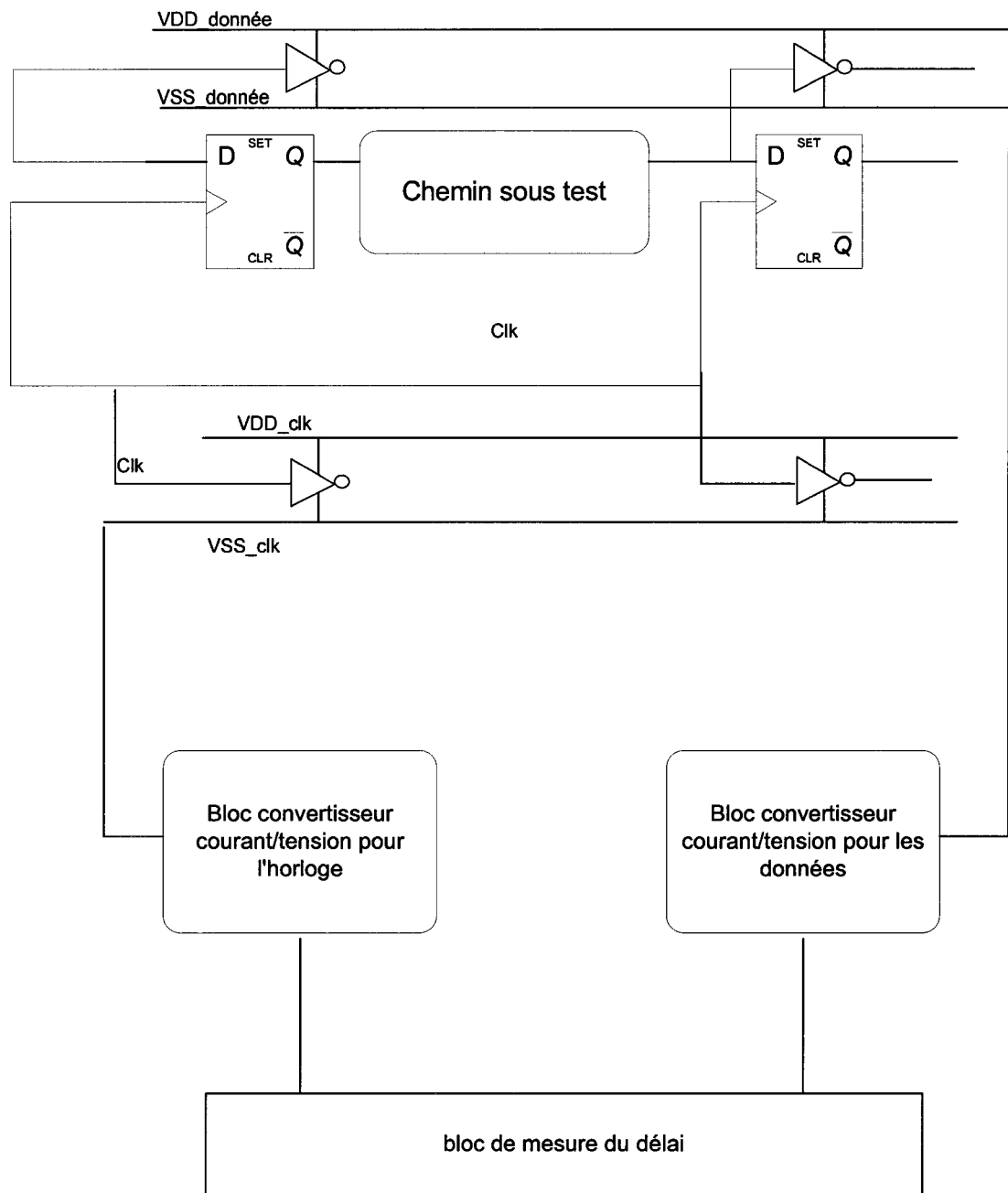


Figure 32 Circuit simulé

Tel que vu au chapitre 3, le bloc de mesure est composé principalement d'une ligne à délai et de deux étages de registres (voir figure 33).

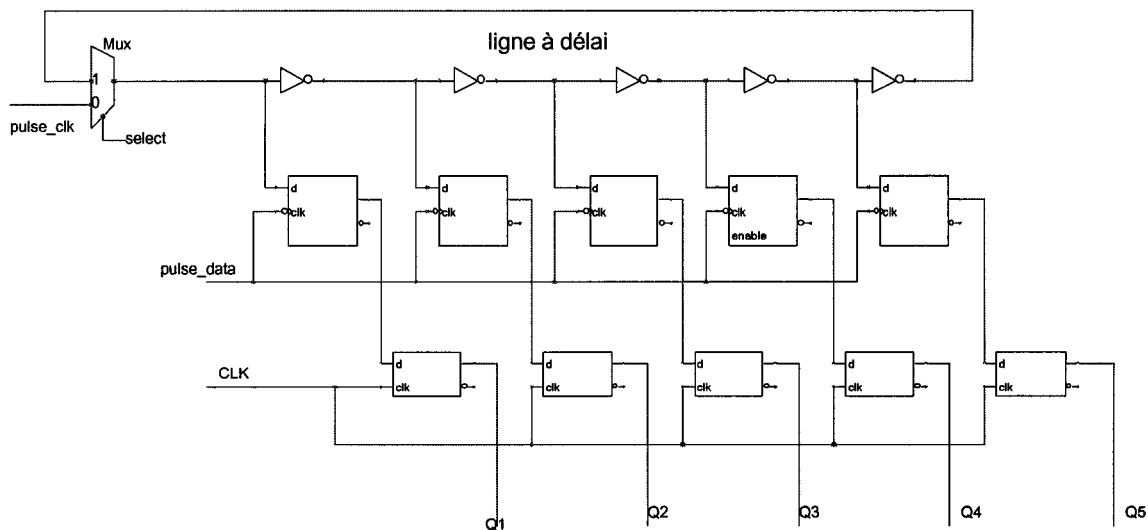


Figure 33 Circuit de mesure (seulement 5 des 35 éléments sont illustrés)

Lors des simulations, il s'avère que les impulsions de sorties « pulse\_data et pulse\_clk » des deux blocs convertisseurs ne sont pas assez puissantes pour actionner un nombre élevé de composants, à savoir les 35 bascules "D" du premier étage de registre qui doivent être actionnées par le front descendant du signal « pulse\_data ». Pour régler cette situation, deux approches sont possibles :

- La première consiste à ajouter une phase de prétraitement pour rendre les signaux de sortie pulse\_data et pulse\_clk plus puissants afin d'élargir les impulsions.
- La deuxième consiste à augmenter le gain total des deux blocs convertisseurs pour rendre les signaux plus puissants afin d'élargir les impulsions des signaux.

Les deux approches vont être explorées dans ce qui suit, en commençant par la première.

#### 4.5.1.1 Phase de prétraitement

La phase de prétraitement consiste à ajouter un bloc d'amplification qui est formé de deux inverseurs en séries. Le premier se caractérise par une taille minimale et le deuxième par deux fois la taille ou plus du premier.

Pour élargir les impulsions, nous proposons le circuit composé d'une bascule RS et un bloc de retard formé de plusieurs inverseurs en séries. Cette configuration permet d'élargir l'impulsion du signal comme le montre la figure 34.

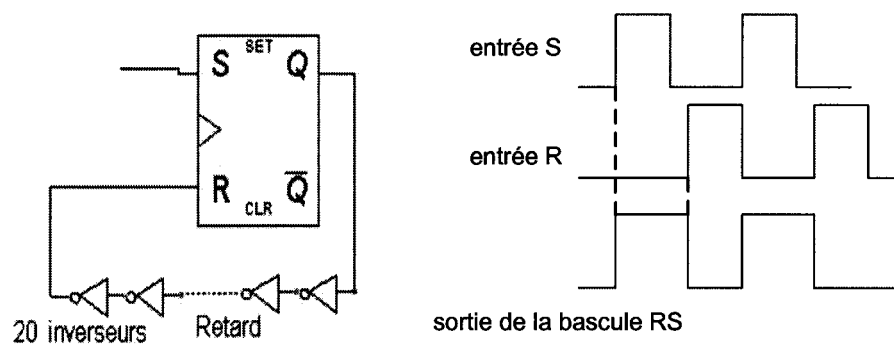


Figure 34 Circuit pour élargir l'impulsion de sortie

Les blocs de prétraitement (amplificateur, bascule RS et le retard) sont insérés au même endroit pour les deux chemins parallèles (données et horloge) afin que le délai de propagation reste le même pour les deux chemins (figure 35).



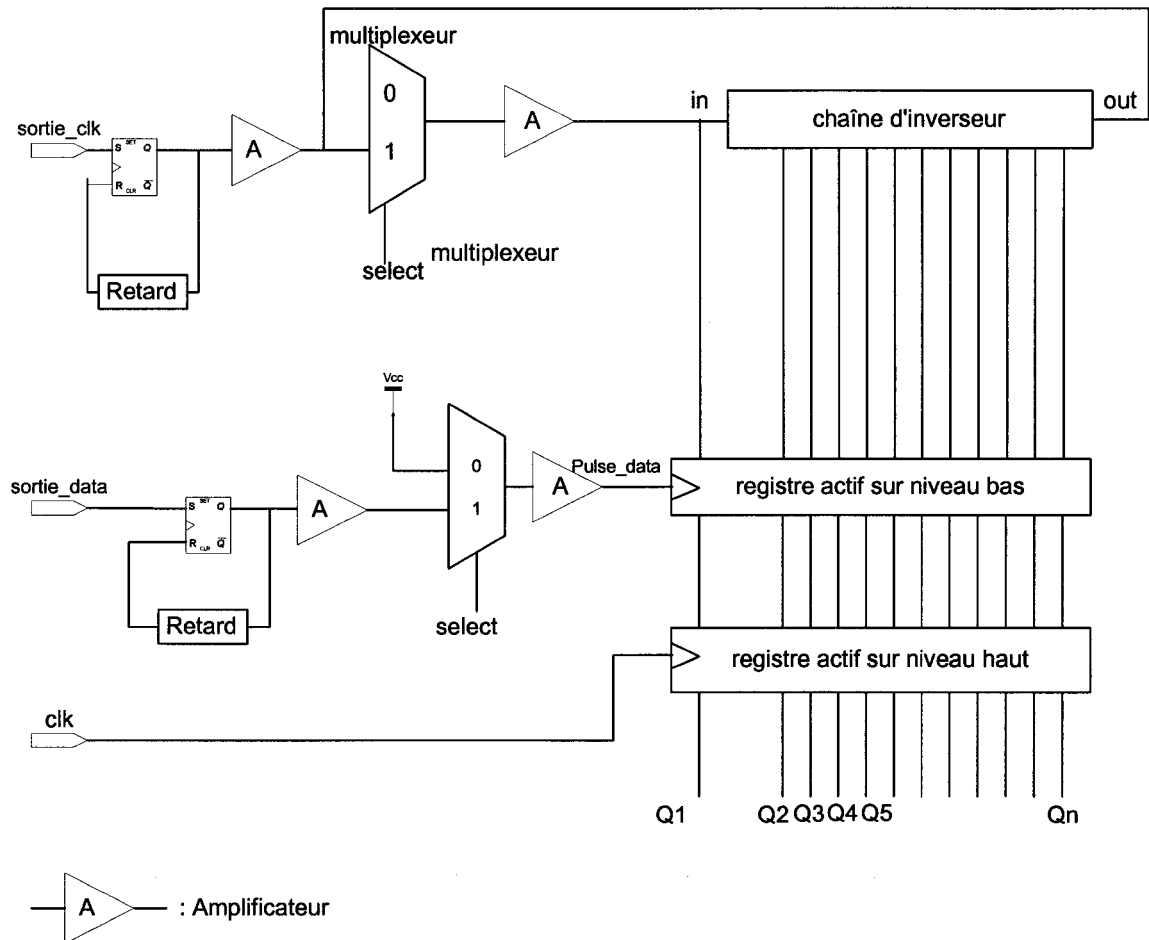


Figure 35 Positionnement des blocs de prétraitement

Tel qu'illustré à la figure 36, le signal `out_mux` correspond à l'entrée de la ligne à délai, le signal `out_muxdata` correspond au signal qui actionne le registre 1 (registre actif sur niveau bas), le signal `Q1` correspond à la sortie de la bascule "1" du registre "2", le signal `outos1` correspond à la sortie du premier inverseur de la ligne à délai, `Q2` est le signal correspond à la sortie de la deuxième sortie de registre "2".

Les chronogrammes suivants donnent l'allure de la sortie du bloc de mesure.

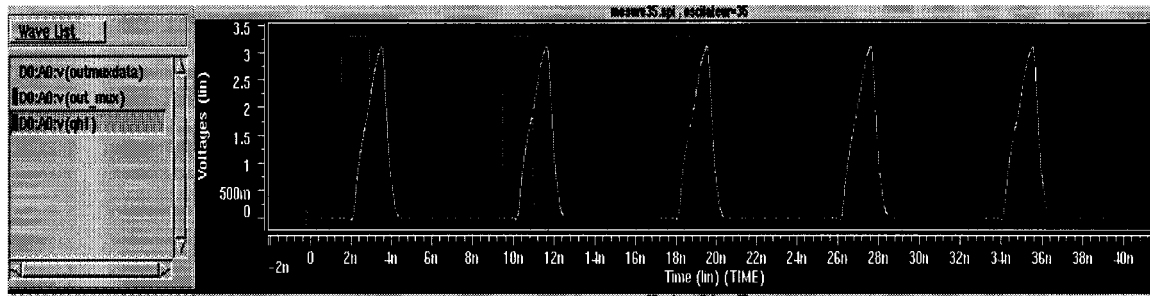


Figure 36 Sortie Q1 du circuit de mesure

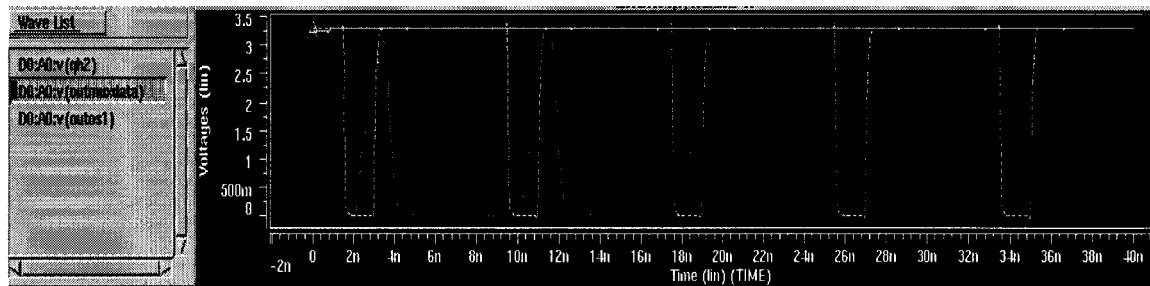


Figure 37 Sortie Q2 du circuit de mesure

L'ensemble des résultats sont regroupés dans le tableau V.

Tableau V

## Résultats du bloc de mesure

Sortie des bascules	Séquence retrouvée lors de la simulation (signature A) $MI_1I_2I_3I_4I_5\dots I_{30}$	Signature B $M\bar{I}_1\bar{I}_2\bar{I}_3\bar{I}_4\bar{I}_5\dots I_{30}$
M (Qh1)	0	0
I <sub>1</sub> (Qh2)	1	0
I <sub>2</sub> (Qh3)	0	0
I <sub>3</sub> (Qh4)	1	0
I <sub>4</sub> (Qh5)	0	0
I <sub>5</sub> (Qh6)	1	0
I <sub>6</sub> (Qh7)	0	0
I <sub>7</sub> (Qh8)	0	1
I <sub>8</sub> (Qh9)	1	1
I <sub>9</sub> (Qh10)	0	1
.....	...	...
I <sub>24</sub> (Qh25)	1	1
I <sub>25</sub> (Qh26)	0	1
I <sub>26</sub> (Qh27)	1	1
I <sub>27</sub> (Qh28)	1	0
I <sub>28</sub> (Qh29)	0	0
I <sub>29</sub> (Qh30)	1	0
I <sub>30</sub> (Qh31)	0	0
I <sub>31</sub> (Qh32)	1	0
...	...	...
I <sub>34</sub> (Qh35)	0	0

Dans ce tableau, Qh1 représente la sortie de la bascule qui échantillonne la sortie du multiplexeur M. Qh2 à Qh35 représentent les sorties des bascules qui échantillonnent les sorties des inverseurs  $I_1$  à  $I_{34}$ . La signature A (colonne 2) correspond à la séquence retrouvée directement lors de la simulation, tandis que la signature B (colonne 3) est obtenue en compensant l'effet d'inversion de la ligne à délai, c'est-à-dire en inversant la sortie des inverseurs impairs  $I_1, I_3, I_5 \dots$  (colonne 3). La sortie Qh8 du bloc de mesure correspond au point de changement de la séquence de ce dernier, et survient au moment où les signaux de données et d'horloge se rejoignent. La sortie Qh27 du bloc de mesure correspond au lieu de dépassement de ces deux derniers. Le délai estimé pour ce cas est alors équivalent au délai que prend un signal pour traverser 26 inverseurs en série.

#### **4.5.2 Comportement du bloc de mesure par rapport aux paramètres variants**

Afin de bien analyser le comportement de notre circuit de mesure, nous avons effectué des simulations en variant quelques paramètres qui nous paraissent pertinents, soit :

- le délai.
- le nombre de senseurs simultanément actifs.

##### **4.5.2.1 Comportement du bloc de mesure selon le délai mesuré**

L'étude de l'influence du changement du délai sur le nombre d'inverseurs activés dans le bloc de mesure est réalisée en changeant la longueur du chemin à tester. Les résultats obtenus sont résumés au tableau VI. Dans un premier temps, nous avons commencé les simulations par un circuit sous test simple composé d'une porte nand et d'un inverseur en série, puis au fur et à mesure, nous avons ajouté des inverseurs en série afin d'augmenter le délai du circuit (tableau VI, colonne 1).

Dans un deuxième temps, nous avons mesuré le temps aux différents points A, B, C, et D de la figure 38, afin de déterminer les délais réels (tableau VI, colonne 2 ) et estimés (tableau VI, colonne 3 ) ainsi que le nombre d'inverseurs activés (tableau VI, colonne 4).

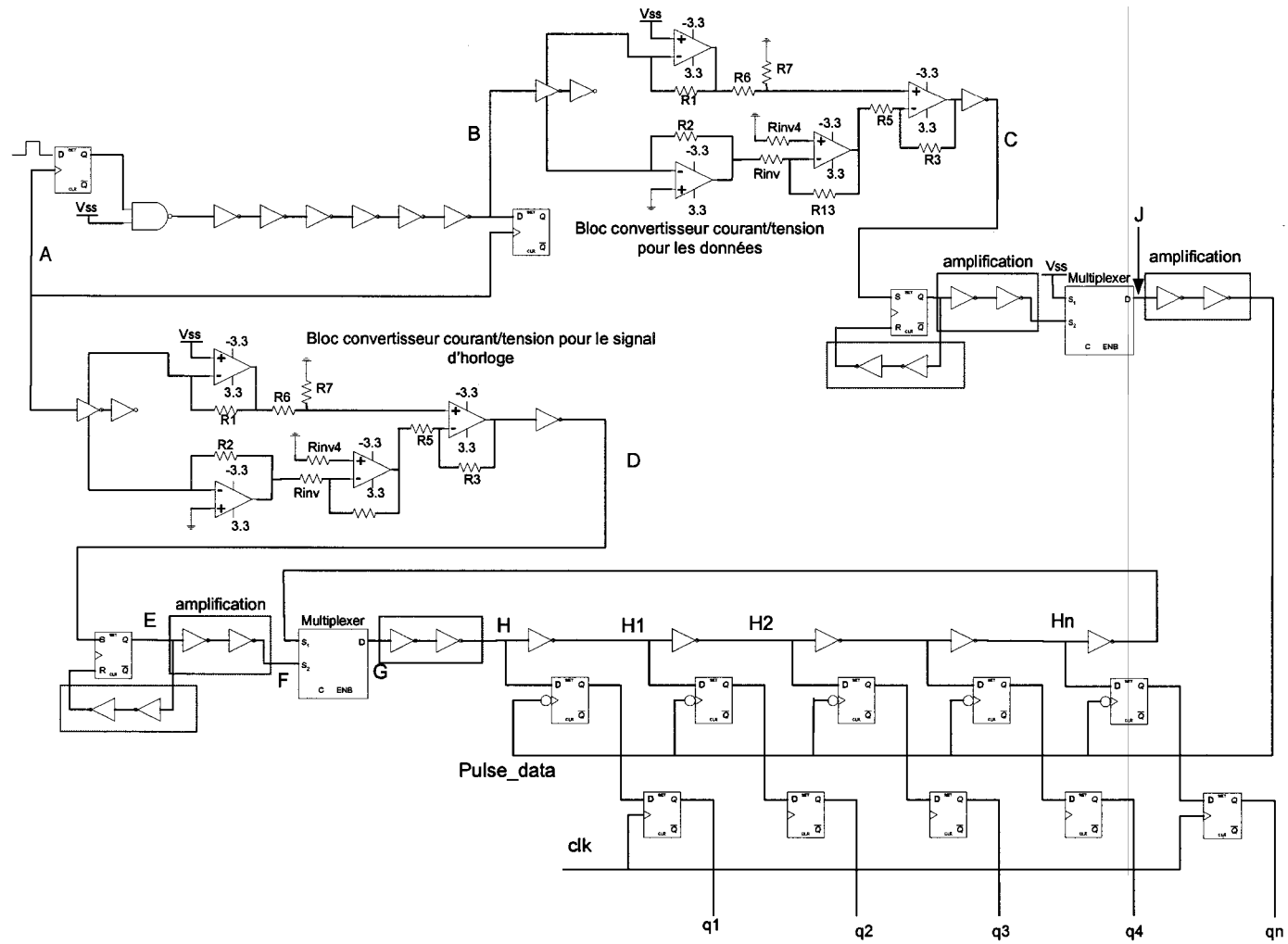


Figure 38 Circuit total simulé

Le point A représente le signal d'horloge (clk). Le point B représente la sortie du circuit sous test. Le délai présent entre les point B et A représente le délai réel du circuit sous test. Le point C représente la sortie du bloc convertisseur pour les données (pulse\_data). Le point D représente la sortie du bloc convertisseur pour le signal d'horloge (pulse\_clk). Le délai entre les points C et D représente le délai estimé.

Tableau VI

## Résultats de simulations du bloc de mesure

Nombre d'inverseurs du circuit sous test	Délai réel du circuit sous test (ns)	Délai estimé entre pulse_data et pulse_clk (ns)	Nombre d'inverseurs activés
1	0,456	0.69	23
2	0.5	0.755	24
3	0.573	0.806	24
4	0.619	0.873	25
5	0.692	0.926	26
6	0.737	0.991	26
7	0.81	1.044	27
8	0.855	1.108	28
9	0.928	1.151	28
10	0.973	1.227	29
11	1.047	1.279	30
12	1.093	1.347	30
13	1.163	1.396	31
14	1.211	1.463	32

Ces résultats laissent supposer une forte corrélation entre les différents délais (réel et estimé) et le nombre d'inverseurs activés dans le bloc de mesure, ce qui est visuellement confirmé à la figure 39, un graphe du nombre d'inverseurs activés en fonction du délai réel.

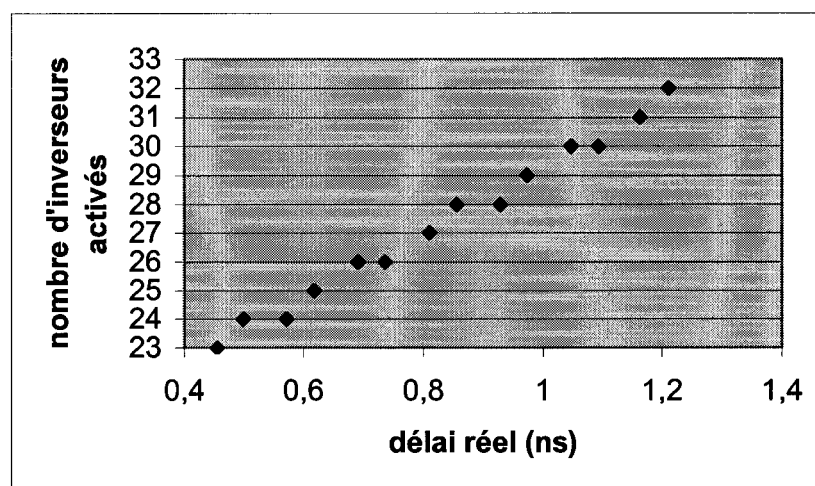


Figure 39 Nombre d'inverseurs activés en fonction du délai réel

Si on applique une régression linéaire sur la courbe de la figure 39 on obtient

$D_R = 11.365 I_A + 17.893$ , où  $D_R$  est le délai réel (ns) et  $I_A$  est le nombre de inverseurs activés dans le bloc de mesure.

Dans certains cas, le nombre d'inverseurs activés ne change pas même si le délai varie (voir tableau VI). Ceci est la manifestation de la limite de résolution du bloc de mesure qui est égal au délai d'un inverseur composant l'oscillateur, délai égal à 0.1 (ns).



#### 4.5.2.2 Comportement du bloc de mesure versus le nombre de senseurs actifs

Une autre étude du comportement du bloc de mesure consiste à voir les limites de fonctionnement face au nombre de senseurs actifs. Un certain nombre de simulations ont été faites pour analyser ce comportement. Le tableau VII résume les résultats obtenus.

Tableau VII

Influence du nombre de senseurs actifs

CI=5					
Nombre de senseurs actifs	1	2	3	4	5
pulse_data (haut), A	1	0,981	0,97	0,963	0,956
pulse_data (bas), B	1,253	1,325	1,409	1,477	1,555
pulse_clk (haut), C	0,585	0,585	0,585	0,585	0,585
pulse_clk (bas), D	0,811	0,811	0,811	0,811	0,811
Clk, E	0,575	0,575	0,575	0,575	0,575
Out51, F	0,99	0,99	0,99	0,99	0,99
délai réel = F-E	0,415	0,415	0,415	0,415	0,415
délai estimé = B-C	0,668	0,74	0,824	0,892	0,97
Nombre d'inverseurs activés	26	26	26	26	26
Outmuxdata haut, G	2,691	2,691	2,704	2,722	2,745
Outmuxdata bas, H	3,809	3,811	3,824	3,841	3,861
Largeur pulse_data après le prétraitement = H-G	1,118	1,12	1,12	1,119	1,116

Les points A, B, C, D, E, F, G, et H font référence au point de mesure de la figure 38. Les simulations sont effectuées avec un circuit sous test composé d'une porte nand en série avec 5 inverseurs en série. La première colonne présente les points où les mesures

sont effectuées afin de calculer les délais réels et estimés, la largeur de l'impulsion de sortie après la phase de prétraitement, ainsi que le nombre de senseurs activés. La deuxième colonne représente les résultats obtenus avec un seul senseur actif. Les autres colonnes correspondent à un nombre plus élevé de senseurs ( 2 à 5 ).

La première observation tirée de ces résultats est le fait que le nombre d'inverseurs activés ne change pas même si le nombre de senseurs passe de 1 à 5. Cela est essentiellement dû à la phase de prétraitement, et du retard dû à l'ajout de la bascule RS, puisque le fait d'ajouter les senseurs a principalement pour but d'élargir l'impulsion `pulse_data`, chose réalisée par la bascule RS et la fonction du bloc de retard. Comme le montre la dernière ligne du tableau VII la largeur de `pulse_data` après le prétraitement ne varie presque pas en fonction du nombre de senseurs il reste à 1.11ns.

La combinaison des effets des deux variations, soit le délai du chemin et le nombre de senseurs pour le bloc de mesure, montre que ce dernier arrive à déterminer les délais pour différents chemins plus au moins grand, et ceci en prenant en compte les limites imposées par la phase de prétraitement.

#### **4.6 Simulation en mode calibrage**

Les résultats obtenus lors des précédentes simulations nous ont pu donner un estimé du délai en fonction du nombre d'inverseurs parcourus. Pour convertir cette information en fonction du temps, nous avons besoin de calculer la fréquence de fonctionnement. Ce calcul peut être fait à l'aide de l'oscillateur de la figure 40.

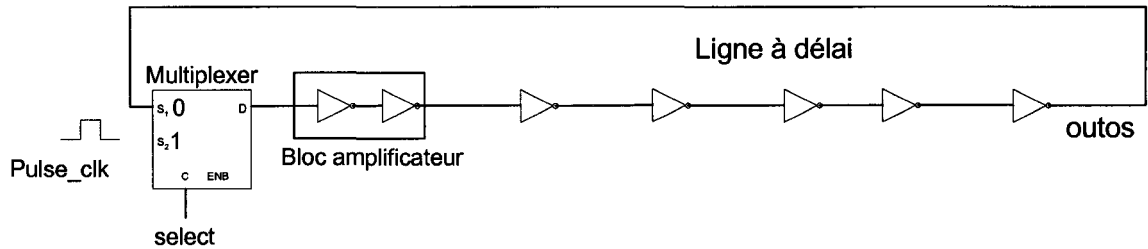


Figure 40 L'oscillateur

Cette configuration permet de déduire la fréquence maximale de fonctionnement de l'oscillateur et la période de signal de sortie de celui-ci (outos, figure 41 ). Pour la réaliser, il suffit de sélectionner le multiplexeur à la valeur 0 (Select\_mux = 0), puis visualiser la sortie de l'oscillateur.

Le chronogramme suivant donne l'allure de la sortie de l'oscillateur pour la phase de calibrage (outos).

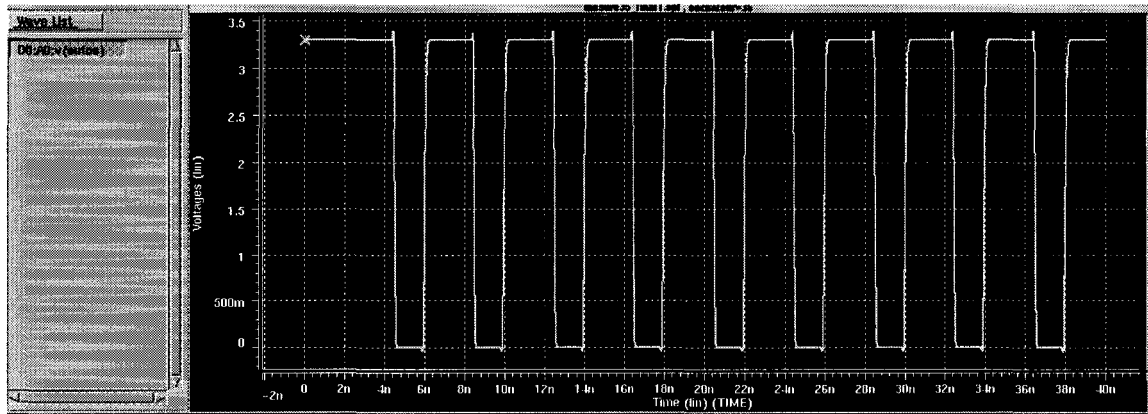


Figure 41 Phase de calibrage

De ce chronogramme, on peut estimer la période du signal,  $T$ , à 4ns. Le calcul du délai est alors possible. Nous devons toutefois modifier la formule du calcul du délai moyen d'un étage d'inverseur (section 3.4.2.2), en raison de l'ajout du bloc amplificateur

(figure 40). Si on se réfère à la même section nous avons estimé que le délai du multiplexeur est équivalent au délai d'inverseur.

De la même manière, nous estimons que le bloc amplificateur ajoute le délai de deux inverseurs. De ce fait, le nombre d'inverseurs "équivalents" de la boucle devient égale à 38, soit les 35 inverseurs de la ligne à délai + les 2 inverseurs du bloc amplificateur + 1 inverseur pour le délai du multiplexeur.

Le délai moyen d'inverseur (en mode calibrage) devient donc  $T / 38 = 4 \text{ ns} / 38 = 0.105 \text{ ns}$ .

Rappelons que le délai total du circuit sous test est égal au délai moyen des inverseurs mesuré grâce à la phase de calibrage, multiplié par le nombre d'inverseurs actionnés mesuré au mode test.

Reprenant l'exemple du tableau VII (colonne 6) où le circuit sous test est composé de 5 inverseurs, nous trouvons que le délai est égal au délai de 26 inverseurs en série. Dans ce cas, le délai estimé avec le bloc de mesure =  $26 * 0.105 \text{ ns} = 2.73 \text{ ns}$ .

Afin de confirmer la validité de ces calculs, nous estimons par simulations le délai dû aux inverseurs de l'oscillateur, aux points (H1, H2.....Hn) de la figure 38. Les résultats sont présentés en entier sous forme de tableau à l'annexe A. Le tableau VIII présente le cas d'un circuit composé d'une porte nand et cinq inverseurs. En comparant les 2 dernières lignes de la colonne 2, on peut constater que l'estimation du délai moyen en considérant le nombre d'inverseurs équivalents se traduit par une erreur minime, soit  $2.730 - 2.663 = 0.067 \text{ ns}$  de manière absolue, ce qui correspond à 2.5% de manière relative.

Tableau VIII

Résultats obtenus avec le bloc de mesure

Nombre d'inverseurs du circuit à tester	5
Délai réel du circuit sous test (ns)	0.692
Délai estimé à la sortie des convertisseurs(pulse_data, pulse_clk) (ns)	0.926
Nombre d'inverseurs activés	26
Délai total simulé (à titre de comparaison) entre les points G et J, figure 38	2.663
Délai total estimé par la méthode de test (calibrage)	2.730

Pour visualiser le comportement entre le délai réel et le délai estimé par calibrage, nous reprenons les résultats du tableau VI, colonnes 2 et 4, et nous multiplions le nombre d'inverseurs activés (colonne 4) par le délai moyen en mode calibrage (0.105 ns), ce qui nous donne la courbe de la figure 42.

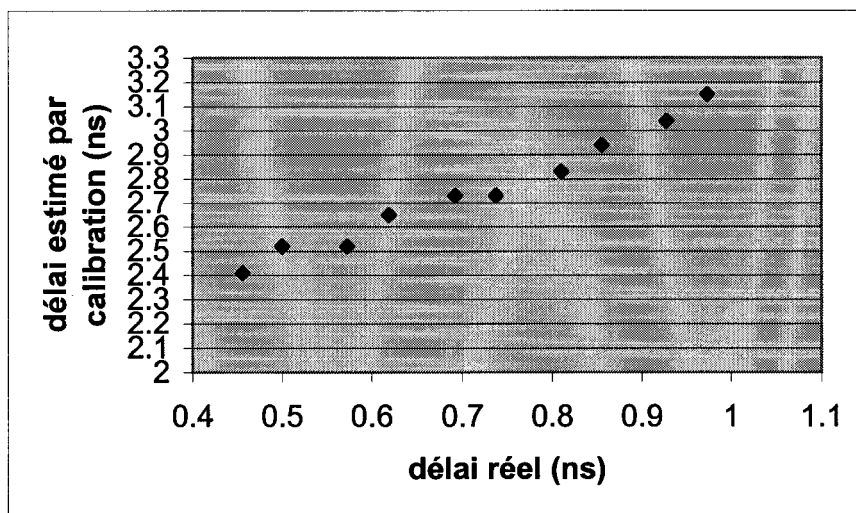


Figure 42 Délai estimé par calibration en fonction du délai réel

Comme le démontre cette courbe, le délai estimé par calibrage augmente en fonction de l'augmentation du délai réel. La différence remarquée entre le délai réel et celui estimé par calibrage, est essentiellement due à l'élargissement de l'impulsion des données causé par la bascule RS et le bloc de retard.

#### 4.7 Généralisation pour les chemins simultanés

Une dernière étude pour valider la robustesse de la présente approche est l'étude du cas où on test simultanément plusieurs chemins qui n'ont pas le même délai. Dans ce cas, on veut déterminer si la méthode de test peut estimer le délai du chemin le plus long en présence d'impulsions causées par d'autres transitions.

Pour répondre à cette question, nous avons simulé le circuit de la figure 43. Les blocs convertisseurs courant/tension, les blocs de prétraitement et le bloc de mesure sont les mêmes utilisés pour les simulations antérieures. La seule différence est qu'il y a deux chemins à tester, A et B, composés respectivement de 6 et 1 branches de 4 inverseurs en série. Le délai nécessaire au circuit B est constant et pris comme temps de référence. Le

fait d'ajouter des blocs parallèles au circuit A provoque une réduction du délai de A et le décale par rapport au signal de référence. Une autre façon de faire serait de régler le signal d'entrée du chemin A pour générer le délai voulu et ainsi avoir deux impulsions décalées dans le temps.

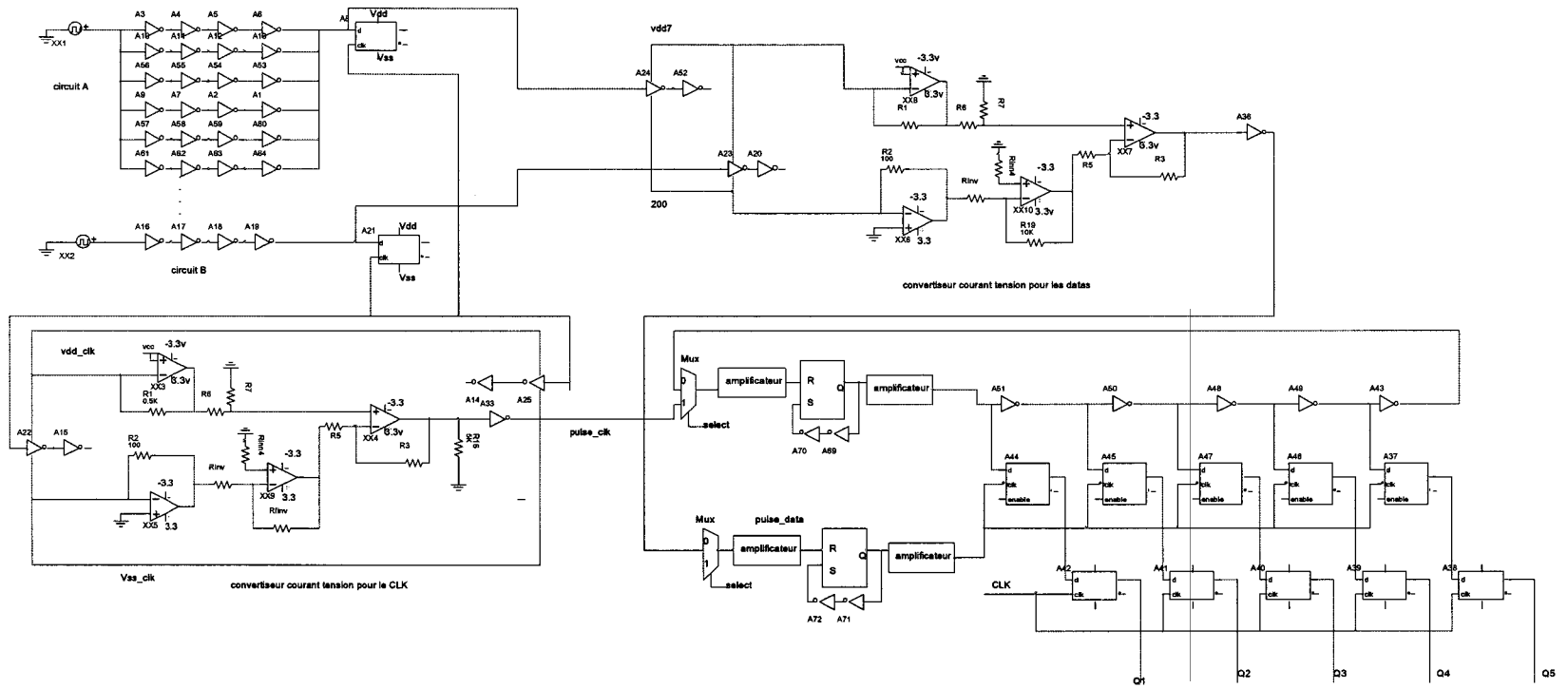


Figure 43 Circuit proposé pour l'étude de la simultanéité



Les simulations ont révélé une source de problèmes causés par la présence de la bascule RS et celle du bloc de retard qui agissent sur la largeur des impulsions clk et data, et par le fait que cette bascule RS tombe dans son mode "interdits" comme illustré à la figure 44.

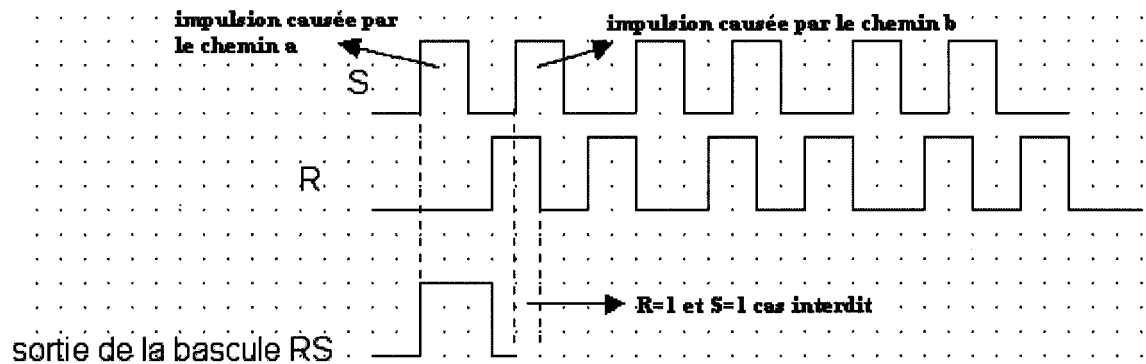


Figure 44 L'erreur générée par la bascule RS

On remarque qu'il y a deux impulsions à l'entrée S de la bascule RS, la première étant due au **chemin "A"** et la deuxième au **chemin "B"**. Le fait de retarder ce dernier entraîne un problème lorsque les deux entrées R et S sont à "1" ; c'est un cas interdit qui fausse la sortie, par conséquent on ne peut plus estimer le délai de façon correcte.

Pour arriver à bout de ce problème nous nous sommes tournés vers la seconde approche. Nous avons donc supprimé les bascules RS et le bloc de retard. Et pour compenser la perte de l'élargissement des impulsions, nous avons augmenté le gain des amplificateurs. Le circuit proposé devient alors celui de la figure 45.

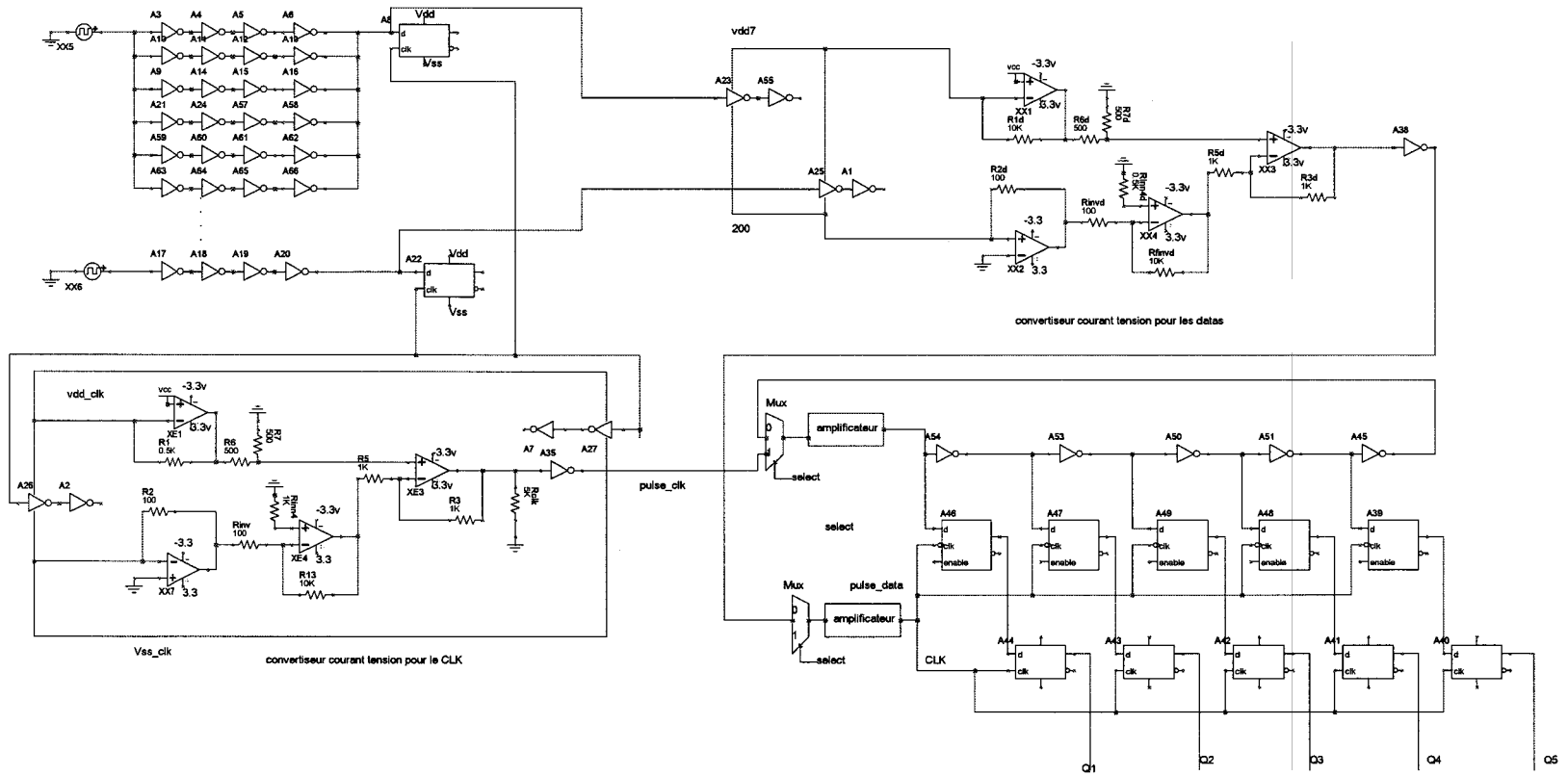


Figure 45 Nouvelle configuration

À l'aide de cette nouvelle configuration nous sommes finalement parvenus à simuler et à obtenir des résultats satisfaisants en variant le délai entre les deux impulsions de 0 ps à 2 ns soit des délais de 100 ps, 200 ps, 500 ps, 1 ns, et 2 ns. Il s'avère que la méthode de test permet toujours d'estimer le délai le plus long qu'elle que soit le retard introduit entre les deux impulsions.

Le tableau IX présente les résultats obtenus lors de la simulation avec 1 ns de retard entre les 2 chemins testés simultanément.

Tableau IX

Résultats obtenus avec un délai de 1 ns entre les deux chemins

Délai réel du chemin A (ns)	1.3
Délai réel du chemin B (ns)	0.3
Délai estimé à la sortie des convertisseurs (ns)	1.72
Nombre d'inverseurs activés	19
Délai total mesuré (à titre de comparaison) (ns)	1.8
Délai total estimé par la méthode de test (ns)	$19 \times 0.105 = 1.995$

Ainsi pour un chemin A avec un délai réel de 1.3 ns, nous arrivons grâce à la seconde approche à estimer le délai le plus long, malgré l'injection d'un signal de délai réel de 0.3 ns.

Grâce aux modifications apportées (suppression des bascules RS et des blocs de retard et l'augmentation du gain des étages d'amplification), nous avons pu régler le problème des cas interdits. Toutefois une nouvelle étude du comportement de bloc de mesure par rapport aux paramètres variants s'impose.

#### **4.7.1 Comportement de la nouvelle configuration par rapport aux paramètres variants**

À l'instar des études effectuées sur l'ancienne configuration, la nouvelle configuration sera analysée selon les paramètres suivants :

- L'influence du délai.
- L'influence du nombre de senseurs simultanément actifs.

#### **4.7.2 L'influence du délai sur le nouveau bloc de mesure**

L'étude est réalisée en changeant la longueur du chemin à tester. Les résultats obtenus sont résumés au tableau X. Nous avons commencé les simulations par un circuit simple composé d'une seule porte nand et d'un seul inverseur en série. Le comportement du nouveau bloc de mesure est analysé pour chaque simulation réalisée, en ajoutant un inverseur un à la fois pour augmenter le délai (colonne 1). Ensuite, nous avons mesuré les délais aux différents points, pour déterminer les délais réels (colonne 2), estimés (colonne 3), le nombre d'inverseurs activés (colonne 4), ainsi que les délais estimés par calibrage qui représentent le produit du nombre d'inverseurs activés fois le délai moyen en mode calibrage (0.105 ns).

Tableau X

Résultats de simulations du nouveau bloc de mesure

Nombre d'inverseurs du circuit sous test	Délai réel du circuit sous test (ns)	Délai estimé (ns)	Nombre d'inverseurs activés	Délai estimé par calibration (ns)
1	0.47	0.83	8	0.84
2	0.51	0.9	9	0.94
3	0.6	0.94	10	1.05
4	0.63	1.01	10	1.05
5	0.71	1.06	10	1.15
6	0.74	1.13	11	1.26
7	0.84	1.18	12	1.26
8	0.87	1.25	13	1.36
9	0.95	1.3	14	1.47
10	0.98	1.37	14	1.47

Les résultats démontrent que le nouveau bloc de mesure réagit correctement aux différents changements de délai du circuit sous test, comme l'ancien modèle puisque plus nous augmentons le délai, plus le nombre d'inverseurs activés et le délai estimé par calibration augmentent. Ce qui est visuellement confirmé par la courbe de la figure 46, qui représente le délai estimé par calibration en fonction du délai réel. La seule différence entre les deux blocs de mesures est que le nouveau bloc de mesure est plus efficace puisque l'estimation du délai par calibrage est plus précise.

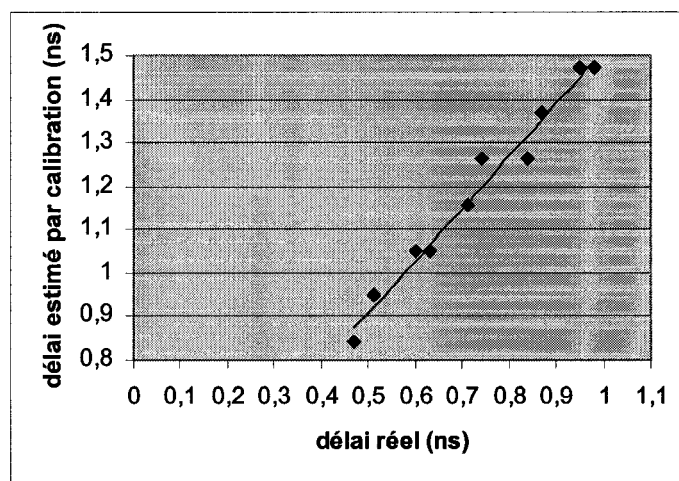


Figure 46 Délai estimé par calibration en fonction du délai réel

Si on applique une régression linéaire sur la courbe de la figure 46 on obtient

$D_R = 1.1986 D_{EC} + 0.3100$  où  $D_R$  est le délai réel (ns) et  $D_{EC}$  est le délai estimé par calibration dans le bloc de mesure. Nous remarquons qu'il n'a pas de point très éloigné de la droite, et que par conséquent, un correctif déterministe peut être apporté au délai estimé par calibration.

#### 4.7.3 L'influence du nombre de senseurs simultanément actifs sur le nouveau bloc de mesure

La deuxième étude consiste à étudier le comportement du bloc de mesure face à nombre de senseurs actifs simultanément. Les résultats sont données au tableau XI.

Tableau XI

Influence du nombre de senseurs actifs simultanément

Nombre de senseurs actifs	1	2	3	4	5
Délai réel (ns)	0.81	0.81	0.81	0.81	0.81
Délai estimé (ns)	0.95	1.06	1.17	1.27	1.38
Nombre d'inverseurs activés	10	11	12	13	14

Les résultats démontrent que le fait d'ajouter des senseurs actifs simultanément influence le nombre d'inverseurs activés. Ceci s'explique simplement par le fait que plus nous ajoutons de senseurs simultanément plus nous élargissons l'impulsion à l'entrée du convertisseur courant/tension ce qui augmente le délai estimé est par conséquent engendre l'augmentation des inverseurs activés. Cette situation est similaire à celle discutée précédemment (section 4.4.1 et tableau IV), où le potentiel de calibrer les résultats en fonction du nombre de senseurs activés avait été évoqué et démontré.

#### 4.8 Conclusion

Dans ce chapitre, nous avons décrit les étapes et les problèmes survenus tout le long de la conception. Nous avons également proposé des solutions pour valider la méthode de test basée sur les chaînes parallèles de courant. Par ailleurs, nos objectifs qui se résument d'avantage à l'étude des limites de fonctionnement de la méthode de test, plus précisément l'étude du bloc convertisseur courant/tension, du bloc de mesure, et de déterminer le nombre de senseurs qui peuvent être utilisés, sont atteints.

Les simulations effectuées ont permis d'analyser le comportement de la méthode de test basée sur les chaînes parallèles face aux paramètres suivants :

- le changement du nombre de senseurs actifs simultanément.

- le changement du délai à mesurer, et
- le test simultané de plusieurs chemins qui n'ont pas le même délai.

Il en ressort que la méthode de test dans tous les cas est capable d'estimer le délai. En terme de précision, qui représente la différence entre le délai réel est le délai estimé par la méthode de test, les résultats indiquent qu'il est préférable de limiter le nombre de senseurs actifs, soit en les limitant à la source avec des vecteurs appropriés et/ou en créant des partitions indépendantes de senseurs. D'autre part, nous pouvons calibrer la mesure obtenue en fonction du nombre de senseurs utilisés. Cette étape fera l'objet d'une future étude.



## Conclusion

Avec l'évolution de la complexité et des performances des circuits intégrés actuels, le test devient de plus en plus difficile et coûteux à cause de l'émergence des pannes spécifiques telles les pannes de délai. En effet, d'une part les performances en vitesse des équipements externes de test (EATs) n'évoluent pas aussi rapidement que celles des circuits. D'autre part, même si les testeurs étaient en mesure de suivre le rythme, cela signifie quand même que pour chaque nouvelle génération de procédé de fabrication, de nouveaux testeurs doivent être achetés afin d'effectuer ces tests à pleine vitesse. La solution proposée pour résoudre ces problèmes, appelée test intégré BIST, consiste à intégrer directement dans le circuit les ressources nécessaires à son test, c'est-à-dire un générateur de vecteurs de test et un analyseur de signature. Bien que ce genre d'alternative connaisse un certain succès pour les portions du circuit intégré contenant de la mémoire imbriquée, les solutions développées pour les portions du circuit intégré contenant de la logique sont moins populaires en raison de l'accroissement de la surface causé par l'addition des circuits nécessaires à l'implantation de cette capacité d'auto-test.

D'où l'intérêt de la méthode de test basée sur les chaînes parallèles de courant, développée à l'École de technologie supérieure, qui permet de détecter les pannes de délai, en utilisant des testeurs désuets pour estimer la fréquence maximale du circuit sous test, et ce le plus tôt possible dans le processus du test, plus précisément à l'étape du "wafer probing".

Dans le premier chapitre de ce mémoire, nous avons justifié l'intérêt de développer une nouvelle méthode de test pour la détection des pannes de délais. Puis nous avons défini les objectifs pour mener à bien cette étude.

Dans le deuxième chapitre nous avons introduit des notions sur la technologie CMOS qui nous paraissent pertinentes pour expliquer le principe de fonctionnement de la méthode de test. Ensuite nous avons présenté une revue de littérature sur les pannes de délai, leur nature, leurs différentes modélisations, les causes de leur émergence ainsi que leurs modes de détection. Enfin, nous avons abordé et expliqué le principe du test intégré BIST ainsi que les différentes approches pour la génération de vecteurs de test et l'analyse des signatures.

Dans le troisième chapitre nous avons introduit de façon détaillée le principe de fonction de la méthode test, la méthodologie à suivre qui consiste dans un premier temps d'estimer la fréquence maximale à l'aide d'un testeur moins récent, et dans un deuxième temps d'intégrer un dispositif de mesure de façon BIST. Finalement nous avons présenté les notions théoriques pour la conception du bloc convertisseur courant/tension du dispositif de mesure intégré, ainsi que leur principe de fonctionnement.

Le quatrième chapitre est consacré aux résultats des simulations des propositions vues au troisième chapitre, permettant de valider la méthode test basée sur les chaînes parallèles de courant. Grâce aux simulations, nous avons étudié les points suivants qui nous paraissent pertinents :

- l'étude du comportement du bloc convertisseur courant/tension,
- l'influence du nombre de senseurs parallèles actifs sur l'efficacité de la méthode de test,
- l'étude du bloc de mesure,
- le mode de calibration pour pouvoir estimer le délai moyen de chaque inverseur qui constitue l'oscillateur, et
- l'étude de la simultanéité où on test plusieurs chemins de délais différents.

À l'instar des résultats des simulations, le bilan général est que les résultats obtenus par la méthode de test basée sur les chaînes parallèles donne des résultats satisfaisants car elle nous a permis d'estimer la fréquence maximale du circuit intégré tout en utilisant une fréquence de fonctionnement très basse. Pour ce qui concerne la précision, c'est-à-dire la différence entre le délai réel et le délai estimé grâce à cette méthode, les résultats ont révélé un compromis avec la largeur des impulsions (surtout l'impulsion data) et également le nombre de senseurs.

Bien qu'il y ait encore des investigations à faire, on peut conclure que la méthode de test basée sur les chaînes parallèles est prometteuse, et cadre bien avec les préoccupations actuelles et futures du test des circuits intégrés.

**ANNEXE 1****MESURE DE DELAI ENTRE LES INVERSEURS DE L'OSCILLATEUR**

Pour confirmer la validité des délais trouvés grâce à la phase de calibration, nous avons mesuré le délai dû aux inverseurs de l'oscillateur entre chaque deux inverseurs successifs qui composent l'oscillateur. Les résultats sont présentés au tableau suivant.

Les nœuds où les mesures sont effectuées	Temps à vdd/2 (sec)	Délai (sec)	Nature du délai
Outs11h=	1,0776E-09		
Out_mux1h=	1,2557E-09	1,7810E-10	délai du multiplexeur
Out_muxh=	1,4556E-09	1,9990E-10	délai du bloc d'amplification
Outos1b=	1,5187E-09	6,3100E-11	délai de l'inverseur 1
Outos2h=	1,6209E-09	1,0220E-10	délai de l'inverseur 2
Outos3b=	1,6926E-09	7,1700E-11	délai de l'inverseur 3
Outos4h=	1,7984E-09	1,0580E-10	délai de l'inverseur 4
Outos5b=	1,8689E-09	7,0500E-11	délai de l'inverseur 5
Outos6h=	1,9737E-09	1,0480E-10	délai de l'inverseur 6
Outos7b=	2,0449E-09	7,1200E-11	délai de l'inverseur 7
Outos8h=	2,1499E-09	1,0500E-10	délai de l'inverseur 8
Outos9b=	2,2215E-09	7,1600E-11	délai de l'inverseur 9
Outos10h=	2,3265E-09	1,0500E-10	délai de l'inverseur 10
Outos11b=	2,3975E-09	7,1000E-11	délai de l'inverseur 11
Outos12h=	2,5023E-09	1,0480E-10	délai de l'inverseur 12
Outos13b=	2,5733E-09	7,1000E-11	délai de l'inverseur 13
Outos14h=	2,6783E-09	1,0500E-10	délai de l'inverseur 14
Outos15b=	2,7499E-09	7,1600E-11	délai de l'inverseur 15
Outos16h=	2,8552E-09	1,0530E-10	délai de l'inverseur 16
Outos17b=	2,9272E-09	7,2000E-11	délai de l'inverseur 17
Outos18h=	3,0320E-09	1,0480E-10	délai de l'inverseur 18

Outos19b=	3,1037E-09	7,1700E-11	délai de l'inverseur 19
Outos20h=	3,2084E-09	1,0470E-10	délai de l'inverseur 20
Outos21b=	3,2803E-09	7,1900E-11	délai de l'inverseur 22
Outos22h=	3,3848E-09	1,0450E-10	délai de l'inverseur 22
Outos23b=	3,4566E-09	7,1800E-11	délai de l'inverseur 23
Outos24h=	3,5614E-09	1,0480E-10	délai de l'inverseur 24
Outos25b=	3,6332E-09	7,1800E-11	délai de l'inverseur 25
Outos26h=	3,7384E-09	1,0520E-10	délai de l'inverseur 26
Outos27b=	3,8096E-09	7,1200E-11	délai de l'inverseur 27
Outos28h=	3,9140E-09	1,0440E-10	délai de l'inverseur 28
Outos29b=	3,9862E-09	7,2200E-11	délai de l'inverseur 29
Outos30h=	4,0907E-09	1,0450E-10	délai de l'inverseur 30
Outos31b=	4,1627E-09	7,2000E-11	délai de l'inverseur 31
Outos32h=	4,2682E-09	1,0550E-10	délai de l'inverseur 32
Outos33b=	4,3400E-09	7,1800E-11	délai de l'inverseur 33
Outos34h=	4,4454E-09	1,0540E-10	délai de l'inverseur 34

**ANNEXE 2****CODE SOURCE POUR CIRCUIT SIMULÉ AVEC LA PHASE DE  
PRÉTRAITEMENT**

```

mesure35_final.spi ,
mesure35.spi , oscillateur=35 registre=35*****
*circuit de delais plus convertiseur

* fichier de modèles de transistors, technologie 0.35 um
.include logp3v5v_mod_ts.spi
* fichier de modèles de portes
.include modelcmosp35.spi

* alimentation principale
VDD1      vdd1      0      DC 3.3

* alimentation secondaire pour courant positif
VDD2      vdd1      vdd2      DC 0

*l'entrée des convertisseur

VDD20 vdd20 0      dc 3.3
VDD21 vdd21 0      dc 3.3
*alimentation pour le bloc de mesure
VDD5  vdd5  0      dc 3.3
VDD6  vdd6  0      dc 3.3
Vselct      select_mux      0      dc      0
VDD8      select_muxdata      0      dc      0
*Vselct      select_mux 0 PULSE(0 3.3 0.5ns      0.15ns      0.15ns
1000ns      1000ns)
vdd9      muxdata      0      dc      0
*signaux d'entrees      depart      fin      delail      rise      fall      high      periode

Viclk      iclk      0      PULSE(0 3.3 0.5ns      0.15ns      0.15ns      3.7ns      8ns)
Vidata      idata      0      PULSE(0 3.3 0.5ns      0.15ns      0.15ns      7.5ns
15ns)

*l'entrée du bloc de délais
VDD      idata2      0      DC      3.3

*porte de transmission
.subckt transmi in basp basn out vdd vss
m1 in basp out vdd pch3 l=0.35u w=3.8u
m4 out basn in vss nch3 l=0.35u w=2.4u
.ends transmi

*bascule S-R
.subckt basculeRS s r Q vdd vss
X1 s Q Qbar vdd vss nor2
X2 Qbar r Q vdd vss nor2
.ends basculeRS

*bascule active sur le niveau haut
.subckt basculehaut D clk Q vdd vss
X1 clk clkkn vdd vss inv

```



```

X2 clknn clknn vdd vss inv
X3 clknn basp1 vdd vss inv
X4 D basp1 clknn out1 vdd vss transmi
X5 out1 out2 vdd 0 inv
X6 clknn basp2 vdd 0 inv
X7 out2 basp2 clknn out3 vdd vss transmi
X8 out3 Q vdd vss inv
.ends basculehaut

```

```

* bascule active sur niveau bas
.subckt basculebas D clknn Q vdd vss
X2 clknn clknn vdd vss inv
X3 clknn basp1 vdd vss inv
X44 D D1 vdd vss inv
X45 D1 D2 vdd vss inv
X4 D2 basp1 clknn out1 vdd vss transmi
X5 out1 out2 vdd 0 inv
X6 clknn basp2 vdd 0 inv
X7 out2 basp2 clknn out3 vdd vss transmi
X8 out3 Q vdd vss inv
.ends basculebas

```

```

*multiplexeur
.subckt multiplexeur1 in1 in0 select outmux vdd vss
X1 in1 selectn select outmux vdd vss transmi
X2 select selectn vdd vss inv
X3 in0 select selectn outmux vdd vss transmi
.ends multiplexeur

```

```

*chaîne à délai (oscillateur)
.subckt oscillateur in out1 out2 out3 out4 out5 out6 out7 out8 out9
out10 out11 out12 out13 out14 out15 out16 out17 out18 out19 out20 out21
out22 out23 out24 out25 out26 out27 out28 out29 out30 out31 out32 out33
out34 out35 vdd vss

```

```

X1 in out1 vdd vss inv
X2 out1 out2 vdd vss inv
X3 out2 out3 vdd vss inv
X4 out3 out4 vdd vss inv
X5 out4 out5 vdd vss inv
X6 out5 out6 vdd vss inv
X7 out6 out7 vdd vss inv
X8 out7 out8 vdd vss inv
X9 out8 out9 vdd vss inv
X10 out9 out10 vdd vss inv
X11 out10 out11 vdd vss inv
X12 out11 out12 vdd vss inv
X13 out12 out13 vdd vss inv
X14 out13 out14 vdd vss inv
X15 out14 out15 vdd vss inv

```

```

X16 out15 out16 vdd vss inv
X17 out16 out17 vdd vss inv
X18 out17 out18 vdd vss inv
X19 out18 out19 vdd vss inv
X20 out19 out20 vdd vss inv
X21 out20 out21 vdd vss inv
X22 out21 out22 vdd vss inv
X23 out22 out23 vdd vss inv
X24 out23 out24 vdd vss inv
X25 out24 out25 vdd vss inv
X26 out25 out26 vdd vss inv
X27 out26 out27 vdd vss inv
X28 out27 out28 vdd vss inv
X29 out28 out29 vdd vss inv
X30 out29 out30 vdd vss inv
X31 out30 out31 vdd vss inv
X32 out31 out32 vdd vss inv
X33 out32 out33 vdd vss inv
X34 out33 out34 vdd vss inv
X35 out34 out35 vdd vss inv

```

```
.ends oscillateur
```

```
*registre avec des bascules actives niveau bas
```

```
.subckt registrebas dl1 dl2 dl3 dl4 dl5 dl6 dl7 dl8 dl9 dl10 dl11 dl12
dl13 dl14 dl15 dl16 dl17 dl18 dl19 dl20 dl21 dl22 dl23 dl24 dl25 dl26
dl27 dl28 dl29 dl30 dl31 dl32 dl33 dl34 dl35 clk ql1 ql2 ql3 ql4 ql5
ql6 ql7 ql8 ql9 ql10 ql11 ql12 ql13 ql14 ql15 ql16 ql17 ql18 ql19 ql20
ql21 ql22 ql23 ql24 ql25 ql26 ql27 ql28 ql29 ql30 ql31 ql32 ql33 ql34
ql35 vdd vss
```

```

X1 dl1 clk ql1 vdd vss basculebas
X2 dl2 clk ql2 vdd vss basculebas
X3 dl3 clk ql3 vdd vss basculebas
X4 dl4 clk ql4 vdd vss basculebas
X5 dl5 clk ql5 vdd vss basculebas
X6 dl6 clk ql6 vdd vss basculebas
X7 dl7 clk ql7 vdd vss basculebas
X8 dl8 clk ql8 vdd vss basculebas
X9 dl9 clk ql9 vdd vss basculebas
X10 dl10 clk ql10 vdd vss basculebas
X11 dl11 clk ql11 vdd vss basculebas
X12 dl12 clk ql12 vdd vss basculebas
X13 dl13 clk ql13 vdd vss basculebas
X14 dl14 clk ql14 vdd vss basculebas
X15 dl15 clk ql15 vdd vss basculebas
X16 dl16 clk ql16 vdd vss basculebas
X17 dl17 clk ql17 vdd vss basculebas
X18 dl18 clk ql18 vdd vss basculebas
X19 dl19 clk ql19 vdd vss basculebas
X20 dl20 clk ql20 vdd vss basculebas
X21 dl21 clk ql21 vdd vss basculebas
X22 dl22 clk ql22 vdd vss basculebas

```

```

X23 dl23 clk ql23 vdd vss basculebas
X24 dl24 clk ql24 vdd vss basculebas
X25 dl25 clk ql25 vdd vss basculebas
X26 dl26 clk ql26 vdd vss basculebas
X27 dl27 clk ql27 vdd vss basculebas
X28 dl28 clk ql28 vdd vss basculebas
X29 dl29 clk ql29 vdd vss basculebas
X30 dl30 clk ql30 vdd vss basculebas
X31 dl31 clk ql31 vdd vss basculebas
X32 dl32 clk ql32 vdd vss basculebas
X33 dl33 clk ql33 vdd vss basculebas
X34 dl34 clk ql34 vdd vss basculebas
X35 dl35 clk ql35 vdd vss basculebas
.ends registrebas

```

\*registre avec des bascule niveau haut

```

.subckt registrehaut dh1 dh2 dh3 dh4 dh5 dh6 dh7 dh8 dh9 dh10 dh11 dh12
dh13 dh14 dh15 dh16 dh17 dh18 dh19 dh20 dh21 dh22 dh23 dh24 dh25 dh26
dh27 dh28 dh29 dh30 dh31 dh32 dh33 dh34 dh35 clk qh1 qh2 qh3 qh4 qh5
qh6 qh7 qh8 qh9 qh10 qh11 qh12 qh13 qh14 qh15 qh16 qh17 qh18 qh19 qh20
qh21 qh22 qh23 qh24 qh25 qh26 qh27 qh28 qh29 qh30 qh31 qh32 qh33 qh34
qh35 vdd vss

```

```

X1 dh1 clk qh1 vdd vss basculehaut
X2 dh2 clk qh2 vdd vss basculehaut
X3 dh3 clk qh3 vdd vss basculehaut
X4 dh4 clk qh4 vdd vss basculehaut
X5 dh5 clk qh5 vdd vss basculehaut
X6 dh6 clk qh6 vdd vss basculehaut
X7 dh7 clk qh7 vdd vss basculehaut
X8 dh8 clk qh8 vdd vss basculehaut
X9 dh9 clk qh9 vdd vss basculehaut
X10 dh10 clk qh10 vdd vss basculehaut
X11 dh11 clk qh11 vdd vss basculehaut
X12 dh12 clk qh12 vdd vss basculehaut
X13 dh13 clk qh13 vdd vss basculehaut
X14 dh14 clk qh14 vdd vss basculehaut
X15 dh15 clk qh15 vdd vss basculehaut
X16 dh16 clk qh16 vdd vss basculehaut
X17 dh17 clk qh17 vdd vss basculehaut
X18 dh18 clk qh18 vdd vss basculehaut
X19 dh19 clk qh19 vdd vss basculehaut
X20 dh20 clk qh20 vdd vss basculehaut
X21 dh21 clk qh21 vdd vss basculehaut
X22 dh22 clk qh22 vdd vss basculehaut
X23 dh23 clk qh23 vdd vss basculehaut
X24 dh24 clk qh24 vdd vss basculehaut
X25 dh25 clk qh25 vdd vss basculehaut
X26 dh26 clk qh26 vdd vss basculehaut
X27 dh27 clk qh27 vdd vss basculehaut
X28 dh28 clk qh28 vdd vss basculehaut
X29 dh29 clk qh29 vdd vss basculehaut
X30 dh30 clk qh30 vdd vss basculehaut

```

```

X31 dh31 clk qh31 vdd vss basculehaut
X32 dh32 clk qh32 vdd vss basculehaut
X33 dh33 clk qh33 vdd vss basculehaut
X34 dh34 clk qh34 vdd vss basculehaut
X35 dh35 clk qh35 vdd vss basculehaut

```

```
.ends registrehaut
```

```
*le circuit sous test
```

```
.subckt circuit in1 in2 iclk q out5 vdd vss
```

```

X1   in1   in2   out   vdd   vss   nand2
X2   out   out1  out1  vdd   vss   inv
X3   out1  out2  out2  vdd   vss   inv
X4   out2  out3  out3  vdd   vss   inv
X5   out3  out4  out4  vdd   vss   inv
X6   out4  out5  out5  vdd   vss   inv
*X71 out51  out6  out6  vdd   vss   inv
*X72 out6   out7  out7  vdd   vss   inv
*X73 out7   out8  out8  vdd   vss   inv
*X74 out8   out9  out9  vdd   vss   inv
*X75 out9   out10 out10 vdd   vss   inv
*X76 out10  out11 out11 vdd   vss   inv
*X77 out11  out12 out12 vdd   vss   inv
*X78 out12  out13 out13 vdd   vss   inv
*X79 out13  out5   out5  vdd   vss   inv
X10  out5   iclk  q     vdd   vss   basculehaut
.ends circuit

```

```
*les blocs parallèles du circuit sous test
```

```

X11  idata   iclk   idata1 vdd2 0   basculehaut
X22  idata1  idata2  iclk  q1   out51 vdd2 0 circuit
*X33  idata1  idata2  iclk  q2   out52 vdd2 0 circuit
*X44  idata1  idata2  iclk  q3   out53 vdd2 0 circuit
*X55  idata1  idata2  iclk  q4   out54 vdd2 0 circuit
*X66  idata1  idata2  iclk  q5   out55 vdd2 0 circuit
*X77  idata1  idata2  iclk  q6   out56 vdd2 0 circuit
*X88  idata1  idata2  iclk  q7   out57 vdd2 0 circuit
*X99  idata1  idata2  iclk  q8   out58 vdd2 0 circuit
*X100 idata1  idata2  iclk  q9   out59 vdd2 0 circuit
*X110 idata1  idata2  iclk  q10  out60 vdd2 0 circuit
*X111 idata1  idata2  iclk  q11  out61 vdd2 0 circuit
*X112 idata1  idata2  iclk  q12  out62 vdd2 0 circuit
*X113 idata1  idata2  iclk  q13  out63 vdd2 0 circuit
*X114 idata1  idata2  iclk  q14  out64 vdd2 0 circuit
*X115 idata1  idata2  iclk  q15  out65 vdd2 0 circuit
*X116 idata1  idata2  iclk  q16  out66 vdd2 0 circuit
*X117 idata1  idata2  iclk  q17  out67 vdd2 0 circuit
*X118 idata1  idata2  iclk  q18  out68 vdd2 0 circuit
*X119 idata1  idata2  iclk  q19  out69 vdd2 0 circuit
*X120 idata1  idata2  iclk  q20  out70 vdd2 0 circuit

```

\*les senseurs pour le clk

X17 iclk outs1 vdd3 100 inv  
X178 outs1 outs111 vdd3 100 inv2x

\*X18 iclk outs vdd3 100 inv  
\*X181 iclk outs2 vdd3 100 inv2x

\*les senseurs pour les donnés

X19 out51 outsd1 vdd7 200 inv  
X191 outsd1 outsd21 vdd7 200 inv2x

\*X20 out52 outsd2 vdd7 200 inv  
\*X201 outsd2 outsd22 vdd7 200 inv2x

\*X21 out53 outsd3 vdd7 200 inv  
\*X210 outsd3 outsd23 vdd7 200 inv2x

\*X23 out54 outsd4 vdd7 200 inv  
\*X230 outsd4 outsd24 vdd7 200 inv2x

\*X24 out55 outsd5 vdd7 200 inv  
\*X240 outsd5 outsd25 vdd7 200 inv2x

\*X25 out56 outsd6 vdd7 200 inv  
\*X250 outsd6 outsd26 vdd7 200 inv2x

\*X26 out57 outsd7 vdd7 200 inv  
\*X260 outsd7 outsd27 vdd7 200 inv2x

\*X27 out58 outsd8 vdd7 200 inv  
\*X270 outsd8 outsd28 vdd7 200 inv2x

\*X28 out59 outsd9 vdd7 200 inv  
\*X280 outsd9 outsd29 vdd7 200 inv2x

\*X29 out60 outsd10 vdd7 200 inv  
\*X290 outsd10 outsd30 vdd7 200 inv2x

\*X30 out61 outsd11 vdd7 200 inv  
\*X300 outsd11 outsd31 vdd7 200 inv2x

\*X31 out62 outsd12 vdd7 200 inv  
\*X310 outsd12 outsd32 vdd7 200 inv2x

\*X32 out63 outsd13 vdd7 200 inv  
\*X320 outsd13 outsd33 vdd7 200 inv2x

\*X331 out64 outsd14 vdd7 200 inv  
\*X3310 outsd14 outsd34 vdd7 200 inv2x

```

*X34 out65      outsd15      vdd7 200  inv
*X340 outsd15   outsd35      vdd7 200  inv2x

*X35 out66      outsd16      vdd7 200  inv
*X350 outsd16   outsd36      vdd7 200  inv2x

*X36 out67      outsd17      vdd7 200  inv
*X360 outsd17   outsd37      vdd7 200  inv2x

*X37 out68      outsd18      vdd7 200  inv
*X370 outsd18   outsd38      vdd7 200  inv2x

*X38 out69      outsd19      vdd7 200  inv
*X380 outsd19   outsd39      vdd7 200  inv2x

*X39 out70      outsd20      vdd7 200  inv
*X390 outsd20   outsd40      vdd7 200  inv2x

```

\*bloc convertisseur courant/tension

```
.subckt conve1 inp11 inn11 inp22 inn22 outp11 outp22 outp44 outpp
```

```

E11 outp11      0      inp11      inn11 max=3.3      min=-3.3      1000
R1   inn11      outp11 1K
R6   outp11     inp33  1K
R7   inp33      0      1K
E22 outp22      0      inp22 inn22      max=3.3      min=-3.3      1000
E33 outpp       0      inp33 inn33      max=3.3      min=-3.3      100
R2   inn22      outp22 100
R5   outp44     inn33  1K
R3   inn33      outpp  1K
E44 outp44      0      inn44 outp222  max=3.3      min=-3.3      1000
Rfinv outp222  outp44 10K
Rinv outp22     outp222 100
Rinn4 inn44 0    0.5K
.ends conve1

```

```

Vtest_clk 120 100 dc 0
Vtest2_data 200 220 dc 0
Vclk_h 700 vdd3 dc 0
V400 400 vdd7 dc 0

```

\*convertisseur pour le clk

```

X40 vdd20 700 0 120 outpclk1 outpclk2 outpclk4 outpclk conve1
Vclk outclk outclk DC 0
X50 outclk sortie_clk1 vdd2 0 inv

```

\*convertisseur pour les données

```

X41 vdd21 400 0 220 outpd1 outpd2 outpd4 outpd conve1
X51 outpd sortie_da1 vdd2 0 inv

```

```

* bascule RS pour le pulse clk

X600 sortie_clk1 outRS2 outRS1 vdd5 0 basculeRS

* bascule RS pour pulse data

X700 sortie_da1 outRSda2 outRSda1 vdd5 0 basculeRS

*bloc de retard
.subckt retard in out vdd vss
x1 in 801 vdd vss inv
x2 801 802 vdd vss inv
x3 802 803 vdd vss inv
x4 803 804 vdd vss inv
x5 804 805 vdd vss inv
x6 805 806 vdd vss inv
x7 806 807 vdd vss inv
x8 807 808 vdd vss inv
x9 808 809 vdd vss inv
x10 809 810 vdd vss inv
X11 810 811 vdd vss inv
x12 811 812 vdd vss inv
x13 812 813 vdd vss inv
x14 813 814 vdd vss inv
x15 814 815 vdd vss inv
x16 815 816 vdd vss inv
x17 816 817 vdd vss inv
x18 817 818 vdd vss inv
x19 818 819 vdd vss inv
x20 819 out vdd vss inv
.ends retard

*bloc amplificateur
.subckt puissance in out vdd vss
X1 in 601 vdd vss inv
X2 601 out vdd vss inv4x
.ends puissance

X1500 outRSda1 outRSda2 vdd5 0 retard
X1501 outRS11 outRS2 vdd5 0 retard

* bloc amplificateur pour le pulse_clk
X601 outRS1 outRS11 vdd5 0 puissance

* bloc amplificateur pour pulse_data
X701 outRSda1 outRSda11 vdd5 0 puissance

*mode test quand select_mux est à 0
*mode calibrage quand select_mux est à 1
X500 outos outRS11 select_mux out_mux1 vdd5 0 multiplexeur
X1502 out_mux1 out_mux vdd5 0 puissance

```

```
X501 out_mux outos1 outos2 outos3 outos4 outos5 outos6 outos7 outos8
outos9 outos10 outos11 outos12 outos13 outos14 outos15 outos16 outos17
outos18 outos19 outos20 outos21 outos22 outos23 outos24 outos25 outos26
outos27 outos28 outos29 outos30 outos31 outos32 outos33 outos34 outos
vdd5 0 oscillateur
```

```
X502 out_mux outos1 outos2 outos3 outos4 outos5 outos6 outos7 outos8
outos9 outos10 outos11 outos12 outos13 outos14 outos15 outos16 outos17
outos18 outos19 outos20 outos21 outos22 outos23 outos24 outos25 outos26
outos27 outos28 outos29 outos30 outos31 outos32 outos33 outos34
outmuxdata ql1 ql2 ql3 ql4 ql5 ql6 ql7 ql8 ql9 ql10 ql11 ql12 ql13 ql14
ql15 ql16 ql17 ql18 ql19 ql20 ql21 ql22 ql23 ql24 ql25 ql26 ql27 ql28
ql29 ql30 ql31 ql32 ql33 ql34 ql35 vdd6 0 registrebas
```

```
X503 ql1 ql2 ql3 ql4 ql5 ql6 ql7 ql8 ql9 ql10 ql11 ql12 ql13 ql14 ql15
ql16 ql17 ql18 ql19 ql20 ql21 ql22 ql23 ql24 ql25 ql26 ql27 ql28 ql29
ql30 ql31 ql32 ql33 ql34 ql35 iclk qh1 qh2 qh3 qh4 qh5 qh6 qh7 qh8 qh9
qh10 qh11 qh12 qh13 qh14 qh15 qh16 qh17 qh18 qh19 qh20 qh21 qh22 qh23
qh24 qh25 qh26 qh27 qh28 qh29 qh30 qh31 qh32 qh33 qh34 qh35 vdd5 0
registrehaut
```

```
X702 muxdata outRSda11 select_muxdata outmuxdata11 vdd5 0
multiplexeur
```

```
x2000 outmuxdata11 outmuxdata12 vdd5 0 inv
x2001 outmuxdata12 outmuxdata vdd5 0 inv4x
```

```
.param vdd50=3.3
.OPTIONS LIMPTS=350
*.IC V(outRSda2)=0
*+CONVERGE=1
*+dcon=2
*+GMIN= 1.000E-12
+ABSTOL=1NA
+NOMOD
+POST
*+PROBE signaux a acceder
.tran 0.1n 40n
```

```
* points de mesure
.measure tran outrs11h trig v(outrs11) val=`vdd50/2` rise=1
+
targ V(outrs11) val=`vdd50/2` rise=2
.measure tran outrs11B trig v(outrs11) val=`vdd50/2` fall=1
+
targ V(outrs11) val=`vdd50/2` fall=2

.measure tran out_mux1h trig v(out_mux1) val=`vdd50/2` rise=1
+
targ V(out_mux1) val=`vdd50/2` rise=2
.measure tran out_mux1B trig v(out_mux1) val=`vdd50/2` fall=1
+
targ V(out_mux1) val=`vdd50/2` fall=2

.measure tran out_muxH trig v(out_mux) val=`vdd50/2` rise=1
+
targ V(out_mux) val=`vdd50/2` rise=2
.measure tran out_muxB trig v(out_mux) val=`vdd50/2` fall=1
```



```

+           targ V(out_mux)   val=`vdd50/2` fall=2

.measure tran outos1H  trig v(outos1) val=`vdd50/2` rise=1
+           targ V(outos1)   val=`vdd50/2` rise=2
.measure tran outos1B  trig v(outos1) val=`vdd50/2` fall=1
+           targ V(outos1)   val=`vdd50/2` fall=2

.measure tran outos2H  trig v(outos2) val=`vdd50/2` rise=1
+           targ V(outos2)   val=`vdd50/2` rise=2
.measure tran outos2B  trig v(outos2) val=`vdd50/2` fall=1
+           targ V(outos2)   val=`vdd50/2` fall=2

.measure tran outos3H  trig v(outos3) val=`vdd50/2` rise=1
+           targ V(outos3)   val=`vdd50/2` rise=2
.measure tran outos3B  trig v(outos3) val=`vdd50/2` fall=1
+           targ V(outos3)   val=`vdd50/2` fall=2

.measure tran outos4H  trig v(outos4) val=`vdd50/2` rise=1
+           targ V(outos4)   val=`vdd50/2` rise=2
.measure tran outos4B  trig v(outos4) val=`vdd50/2` fall=1
+           targ V(outos4)   val=`vdd50/2` fall=2

.measure tran outos5H  trig v(outos5) val=`vdd50/2` rise=1
+           targ V(outos5)   val=`vdd50/2` rise=2
.measure tran outos5B  trig v(outos5) val=`vdd50/2` fall=1
+           targ V(outos5)   val=`vdd50/2` fall=2

.measure tran outos6H  trig v(outos6) val=`vdd50/2` rise=1
+           targ V(outos6)   val=`vdd50/2` rise=2
.measure tran outos6B  trig v(outos6) val=`vdd50/2` fall=1
+           targ V(outos6)   val=`vdd50/2` fall=2

.measure tran outos7H  trig v(outos7) val=`vdd50/2` rise=1
+           targ V(outos7)   val=`vdd50/2` rise=2
.measure tran outos7B  trig v(outos7) val=`vdd50/2` fall=1
+           targ V(outos7)   val=`vdd50/2` fall=2

.measure tran outos8H  trig v(outos8) val=`vdd50/2` rise=1
+           targ V(outos8)   val=`vdd50/2` rise=2
.measure tran outos8B  trig v(outos8) val=`vdd50/2` fall=1
+           targ V(outos8)   val=`vdd50/2` fall=2

.measure tran outos9H  trig v(outos9) val=`vdd50/2` rise=1
+           targ V(outos9)   val=`vdd50/2` rise=2
.measure tran outos9B  trig v(outos9) val=`vdd50/2` fall=1
+           targ V(outos9)   val=`vdd50/2` fall=2

.measure tran outos10H  trig v(outos10) val=`vdd50/2` rise=1
+           targ V(outos10)   val=`vdd50/2` rise=2
.measure tran outos10B  trig v(outos10) val=`vdd50/2` fall=1

```

```
+          targ V(outos10)  val=`vdd50/2` fall=2

.measure tran outos11H  trig v(outos11)  val=`vdd50/2` rise=1
+          targ V(outos11)  val=`vdd50/2` rise=2
.measure tran outos11B  trig v(outos11)  val=`vdd50/2` fall=1
+          targ V(outos11)  val=`vdd50/2` fall=2

.measure tran outos12H  trig v(outos12)  val=`vdd50/2` rise=1
+          targ V(outos12)  val=`vdd50/2` rise=2
.measure tran outos12B  trig v(outos12)  val=`vdd50/2` fall=1
+          targ V(outos12)  val=`vdd50/2` fall=2

.measure tran outos13H  trig v(outos13)  val=`vdd50/2` rise=1
+          targ V(outos13)  val=`vdd50/2` rise=2
.measure tran outos13B  trig v(outos13)  val=`vdd50/2` fall=1
+          targ V(outos13)  val=`vdd50/2` fall=2

.measure tran outos14H  trig v(outos14)  val=`vdd50/2` rise=1
+          targ V(outos14)  val=`vdd50/2` rise=2
.measure tran outos14B  trig v(outos14)  val=`vdd50/2` fall=1
+          targ V(outos14)  val=`vdd50/2` fall=2

.measure tran outos15H  trig v(outos15)  val=`vdd50/2` rise=1
+          targ V(outos15)  val=`vdd50/2` rise=2
.measure tran outos15B  trig v(outos15)  val=`vdd50/2` fall=1
+          targ V(outos15)  val=`vdd50/2` fall=2

.measure tran outos16H  trig v(outos16)  val=`vdd50/2` rise=1
+          targ V(outos16)  val=`vdd50/2` rise=2
.measure tran outos16B  trig v(outos16)  val=`vdd50/2` fall=1
+          targ V(outos16)  val=`vdd50/2` fall=2

.measure tran outos17H  trig v(outos17)  val=`vdd50/2` rise=1
+          targ V(outos17)  val=`vdd50/2` rise=2
.measure tran outos17B  trig v(outos17)  val=`vdd50/2` fall=1
+          targ V(outos17)  val=`vdd50/2` fall=2

.measure tran outos18H  trig v(outos18)  val=`vdd50/2` rise=1
+          targ V(outos18)  val=`vdd50/2` rise=2
.measure tran outos18B  trig v(outos18)  val=`vdd50/2` fall=1
+          targ V(outos18)  val=`vdd50/2` fall=2

.measure tran outos19H  trig v(outos19)  val=`vdd50/2` rise=1
+          targ V(outos19)  val=`vdd50/2` rise=2
.measure tran outos19B  trig v(outos19)  val=`vdd50/2` fall=1
+          targ V(outos19)  val=`vdd50/2` fall=2

.measure tran outos20H  trig v(outos20)  val=`vdd50/2` rise=1
+          targ V(outos20)  val=`vdd50/2` rise=2
.measure tran outos20B  trig v(outos20)  val=`vdd50/2` fall=1
+          targ V(outos20)  val=`vdd50/2` fall=2
```

```
.measure tran outos21H  trig v(outos21)  val=`vdd50/2` rise=1
+
+      targ V(outos21)    val=`vdd50/2` rise=2
.measure tran outos21B  trig v(outos21)  val=`vdd50/2` fall=1
+
+      targ V(outos21)    val=`vdd50/2` fall=2

.measure tran outos22H  trig v(outos22)  val=`vdd50/2` rise=1
+
+      targ V(outos22)    val=`vdd50/2` rise=2
.measure tran outos22B  trig v(outos22)  val=`vdd50/2` fall=1
+
+      targ V(outos22)    val=`vdd50/2` fall=2

.measure tran outos23H  trig v(outos23)  val=`vdd50/2` rise=1
+
+      targ V(outos23)    val=`vdd50/2` rise=2
.measure tran outos23B  trig v(outos23)  val=`vdd50/2` fall=1
+
+      targ V(outos23)    val=`vdd50/2` fall=2

.measure tran outos24H  trig v(outos24)  val=`vdd50/2` rise=1
+
+      targ V(outos24)    val=`vdd50/2` rise=2
.measure tran outos24B  trig v(outos25)  val=`vdd50/2` fall=1
+
+      targ V(outos25)    val=`vdd50/2` fall=2

.measure tran outos25H  trig v(outos25)  val=`vdd50/2` rise=1
+
+      targ V(outos25)    val=`vdd50/2` rise=2
.measure tran outos25B  trig v(outos25)  val=`vdd50/2` fall=1
+
+      targ V(outos25)    val=`vdd50/2` fall=2

.measure tran outos26H  trig v(outos26)  val=`vdd50/2` rise=1
+
+      targ V(outos26)    val=`vdd50/2` rise=2
.measure tran outos26B  trig v(outos26)  val=`vdd50/2` fall=1
+
+      targ V(outos26)    val=`vdd50/2` fall=2

.measure tran outos27H  trig v(outos27)  val=`vdd50/2` rise=1
+
+      targ V(outos27)    val=`vdd50/2` rise=2
.measure tran outos27B  trig v(outos27)  val=`vdd50/2` fall=1
+
+      targ V(outos27)    val=`vdd50/2` fall=2

.measure tran outos28H  trig v(outos28)  val=`vdd50/2` rise=1
+
+      targ V(outos28)    val=`vdd50/2` rise=2
.measure tran outos28B  trig v(outos28)  val=`vdd50/2` fall=1
+
+      targ V(outos28)    val=`vdd50/2` fall=2

.measure tran outos29H  trig v(outos29)  val=`vdd50/2` rise=1
+
+      targ V(outos29)    val=`vdd50/2` rise=2
.measure tran outos29B  trig v(outos29)  val=`vdd50/2` fall=1
+
+      targ V(outos29)    val=`vdd50/2` fall=2

.measure tran outos30H  trig v(outos30)  val=`vdd50/2` rise=1
+
+      targ V(outos30)    val=`vdd50/2` rise=2
.measure tran outos30B  trig v(outos30)  val=`vdd50/2` fall=1
+
+      targ V(outos30)    val=`vdd50/2` fall=2

.measure tran outos31H  trig v(outos31)  val=`vdd50/2` rise=1
+
+      targ V(outos31)    val=`vdd50/2` rise=2
.measure tran outos31B  trig v(outos31)  val=`vdd50/2` fall=1
```

```

+          targ V(outos31)  val=`vdd50/2` fall=2

.measure tran outos32H  trig v(outos32)  val=`vdd50/2` rise=1
+          targ V(outos32)  val=`vdd50/2` rise=2
.measure tran outos32B  trig v(outos32)  val=`vdd50/2` fall=1
+          targ V(outos32)  val=`vdd50/2` fall=2

.measure tran outos33H  trig v(outos33)  val=`vdd50/2` rise=1
+          targ V(outos33)  val=`vdd50/2` rise=2
.measure tran outos33B  trig v(outos33)  val=`vdd50/2` fall=1
+          targ V(outos33)  val=`vdd50/2` fall=2

.measure tran outos34H  trig v(outos34)  val=`vdd50/2` rise=1
+          targ V(outos34)  val=`vdd50/2` rise=2
.measure tran outos34B  trig v(outos34)  val=`vdd50/2` fall=1
+          targ V(outos34)  val=`vdd50/2` fall=2

*mesure de delai entre sortie_data et sortie_clk
.measure tran sortie_da1H  trig v(sortie_da1)  val=`vdd50/2` rise=1
+          targ V(sortie_da1)  val=`vdd50/2` rise=2

.measure tran sortie_da1B  trig v(sortie_da1)  val=`vdd50/2` fall=1
+          targ V(sortie_da1)  val=`vdd50/2` fall=2

.measure tran sortie_clk1H  trig v(sortie_clk1)  val=`vdd50/2` rise=1
+          targ V(sortie_clk1)  val=`vdd50/2` rise=2

.measure tran sortie_clk1B  trig v(sortie_clk1)  val=`vdd50/2` fall=1
+          targ V(sortie_clk1)  val=`vdd50/2` fall=2

*mesure du delai entre idata1 et out51

.measure tran idata1H  trig v(idata1)  val=`vdd50/2` rise=1
+          targ V(idata1)  val=`vdd50/2` rise=2

.measure tran idata1B  trig v(idata1)  val=`vdd50/2` fall=1
+          targ V(idata1)  val=`vdd50/2` fall=2

.measure tran out51H  trig v(out51)  val=`vdd50/2` rise=1
+          targ V(out51)  val=`vdd50/2` rise=2

.measure tran out51B  trig v(out51)  val=`vdd50/2` fall=1
+          targ V(out51)  val=`vdd50/2` fall=2

.measure tran outmuxdataH  trig v(outmuxdata)  val=`vdd50/2` rise=1
+          targ V(outmuxdata)  val=`vdd50/2` rise=2

.measure tran outmuxdata  trig v(outmuxdata)  val=`vdd50/2` fall=1
+          targ V(outmuxdata)  val=`vdd50/2` fall=2

.END

```

## **ANNEXE 3**

### **CODE SOURCE POUR LA NOUVELLE CONFIGURATION**

etude\_simultane2.spi ,étude de la simultan  t  

\*date 18/10/2002

\* fichier de mod  les de transistors, technologie 0.35 um

.include logp3v5v\_mod\_ts.spi

\* fichier de mod  les de portes

.include modelcmosp35.spi

\* alimentation principale

VDD1 vdd1 0 DC 3.3

\* alimentation secondaire pour courant positif

VDD2 vdd1 vdd2 DC 0

\*alimentation pour l'entr  e des blocs convertisseurs

VDD20 vdd20 0 dc 3.3

VDD21 vdd21 0 dc 3.3

\*alimentation pour l'entr  e du bloc de mesure

VDD5 vdd5 0 dc 3.3

VDD6 vdd6 0 dc 3.3

Vselect select\_mux 0 dc 0

VDD8 select\_muxdata 0 dc 0

vdd9 muxdata 0 dc 0

\*signaux d'entrees depart fin delai1 rise fall high periode

Viclk iclk 0 PULSE(0 3.3 0.5ns 0.15ns 0.15ns 3.7ns  
8ns)

Vidata idata 0 PULSE(0 3.3 0.0ns 0.15ns 0.15ns 7.4ns  
16ns)

Vidata100 idata100 0 PULSE(0 3.3 0.5ns 0.15ns 0.15ns 7.4ns  
16ns)

\*alimentation pour l'entr  e du bloc de d  lais

VDD idata2 0 DC 3.3

\* Porte de transmission

.subckt transmi in basp basn out vdd vss

m1 in basp out vdd pch3 l=0.35u w=3.8u

m4 out basn in vss nch3 l=0.35u w=2.4u

.ends transmi

\* basculeD active sur niveau haut

.subckt basculehaut D clk Q vdd vss

X1 clk clkv vdd vss inv

X2 clkv clkvv vdd vss inv

X3 clkvv basp1 vdd vss inv

```

X4 D basp1 clknn out1 vdd vss transmi
X5 out1 out2 vdd 0 inv
X6 clknn basp2 vdd 0 inv
X7 out2 basp2 clknn out3 vdd vss transmi
X8 out3 Q vdd vss inv
.ends basculehaut

```

```

* basculeD active sur niveau bas
.subckt basculebas D clknn Q vdd vss
X2 clknn clknn vdd vss inv
X3 clknn basp1 vdd vss inv
X44 D D1 vdd vss inv
X45 D1 D2 vdd vss inv
X4 D2 basp1 clknn out1 vdd vss transmi
X5 out1 out2 vdd 0 inv
X6 clknn basp2 vdd 0 inv
X7 out2 basp2 clknn out3 vdd vss transmi
X8 out3 Q vdd vss inv
.ends basculebas

```

```

*multiplexeur
.subckt multiplexeur in1 in0 select outmux vdd vss
X1 in1 selectn select outmux vdd vss transmi
X2 select selectn vdd vss inv
X3 in0 select selectn outmux vdd vss transmi
.ends multiplexeur

```

```

*chaîne à délai ou oscillateur
.subckt oscillateur in out1 out2 out3 out4 out5 out6 out7 out8 out9
out10 out11 out12 out13 out14 out15 out16 out17 out18 out19 out20 out21
out22 out23 out24 out25 out26 out27 out28 out29 out30 out31 out32 out33
out34 out35 vdd vss

```

```

X1 in out1 vdd vss inv
X2 out1 out2 vdd vss inv
X3 out2 out3 vdd vss inv
X4 out3 out4 vdd vss inv
X5 out4 out5 vdd vss inv
X6 out5 out6 vdd vss inv
X7 out6 out7 vdd vss inv
X8 out7 out8 vdd vss inv
X9 out8 out9 vdd vss inv
X10 out9 out10 vdd vss inv
X11 out10 out11 vdd vss inv
X12 out11 out12 vdd vss inv
X13 out12 out13 vdd vss inv
X14 out13 out14 vdd vss inv
X15 out14 out15 vdd vss inv
X16 out15 out16 vdd vss inv
X17 out16 out17 vdd vss inv
X18 out17 out18 vdd vss inv
X19 out18 out19 vdd vss inv
X20 out19 out20 vdd vss inv

```

```

X21 out20 out21 vdd vss inv
X22 out21 out22 vdd vss inv
X23 out22 out23 vdd vss inv
X24 out23 out24 vdd vss inv
X25 out24 out25 vdd vss inv
X26 out25 out26 vdd vss inv
X27 out26 out27 vdd vss inv
X28 out27 out28 vdd vss inv
X29 out28 out29 vdd vss inv
X30 out29 out30 vdd vss inv
X31 out30 out31 vdd vss inv
X32 out31 out32 vdd vss inv
X33 out32 out33 vdd vss inv
X34 out33 out34 vdd vss inv
X35 out34 out35 vdd vss inv
.ends oscillateur

```

\*registre composé avec des bascule active sur niveau bas

```

.subckt registrebas dl1 dl2 dl3 dl4 dl5 dl6 dl7 dl8 dl9 dl10 dl11 dl12
dl13 dl14 dl15 dl16 dl17 dl18 dl19 dl20 dl21 dl22 dl23 dl24 dl25 dl26
dl27 dl28 dl29 dl30 dl31 dl32 dl33 dl34 dl35 clk ql1 ql2 ql3 ql4 ql5
ql6 ql7 ql8 ql9 ql10 ql11 ql12 ql13 ql14 ql15 ql16 ql17 ql18 ql19 ql20
ql21 ql22 ql23 ql24 ql25 ql26 ql27 ql28 ql29 ql30 ql31 ql32 ql33 ql34
ql35 vdd vss

```

```

X1 dl1 clk ql1 vdd vss basculebas
X2 dl2 clk ql2 vdd vss basculebas
X3 dl3 clk ql3 vdd vss basculebas
X4 dl4 clk ql4 vdd vss basculebas
X5 dl5 clk ql5 vdd vss basculebas
X6 dl6 clk ql6 vdd vss basculebas
X7 dl7 clk ql7 vdd vss basculebas
X8 dl8 clk ql8 vdd vss basculebas
X9 dl9 clk ql9 vdd vss basculebas
X10 dl10 clk ql10 vdd vss basculebas
X11 dl11 clk ql11 vdd vss basculebas
X12 dl12 clk ql12 vdd vss basculebas
X13 dl13 clk ql13 vdd vss basculebas
X14 dl14 clk ql14 vdd vss basculebas
X15 dl15 clk ql15 vdd vss basculebas
X16 dl16 clk ql16 vdd vss basculebas
X17 dl17 clk ql17 vdd vss basculebas
X18 dl18 clk ql18 vdd vss basculebas
X19 dl19 clk ql19 vdd vss basculebas
X20 dl20 clk ql20 vdd vss basculebas
X21 dl21 clk ql21 vdd vss basculebas
X22 dl22 clk ql22 vdd vss basculebas
X23 dl23 clk ql23 vdd vss basculebas
X24 dl24 clk ql24 vdd vss basculebas
X25 dl25 clk ql25 vdd vss basculebas
X26 dl26 clk ql26 vdd vss basculebas
X27 dl27 clk ql27 vdd vss basculebas

```



```

X28 dl28 clk ql28 vdd vss basculebas
X29 dl29 clk ql29 vdd vss basculebas
X30 dl30 clk ql30 vdd vss basculebas
X31 dl31 clk ql31 vdd vss basculebas
X32 dl32 clk ql32 vdd vss basculebas
X33 dl33 clk ql33 vdd vss basculebas
X34 dl34 clk ql34 vdd vss basculebas
X35 dl35 clk ql35 vdd vss basculebas

```

\*registre composé avec des bascule active sur niveau haut

```

.subckt registrehaut dh1 dh2 dh3 dh4 dh5 dh6 dh7 dh8 dh9 dh10 dh11 dh12
dh13 dh14 dh15 dh16 dh17 dh18 dh19 dh20 dh21 dh22 dh23 dh24 dh25 dh26
dh27 dh28 dh29 dh30 dh31 dh32 dh33 dh34 dh35 clk qh1 qh2 qh3 qh4 qh5
qh6 qh7 qh8 qh9 qh10 qh11 qh12 qh13 qh14 qh15 qh16 qh17 qh18 qh19 qh20
qh21 qh22 qh23 qh24 qh25 qh26 qh27 qh28 qh29 qh30 qh31 qh32 qh33 qh34
qh35 vdd vss
X2 dh2 clk qh2 vdd vss basculehaut
X3 dh3 clk qh3 vdd vss basculehaut
X4 dh4 clk qh4 vdd vss basculehaut
X5 dh5 clk qh5 vdd vss basculehaut
X6 dh6 clk qh6 vdd vss basculehaut
X7 dh7 clk qh7 vdd vss basculehaut
X8 dh8 clk qh8 vdd vss basculehaut
X9 dh9 clk qh9 vdd vss basculehaut
X10 dh10 clk qh10 vdd vss basculehaut
X11 dh11 clk qh11 vdd vss basculehaut
X12 dh12 clk qh12 vdd vss basculehaut
X13 dh13 clk qh13 vdd vss basculehaut
X14 dh14 clk qh14 vdd vss basculehaut
X15 dh15 clk qh15 vdd vss basculehaut
X16 dh16 clk qh16 vdd vss basculehaut
X17 dh17 clk qh17 vdd vss basculehaut
X18 dh18 clk qh18 vdd vss basculehaut
X19 dh19 clk qh19 vdd vss basculehaut
X20 dh20 clk qh20 vdd vss basculehaut
X21 dh21 clk qh21 vdd vss basculehaut
X22 dh22 clk qh22 vdd vss basculehaut
X23 dh23 clk qh23 vdd vss basculehaut
X24 dh24 clk qh24 vdd vss basculehaut
X25 dh25 clk qh25 vdd vss basculehaut
X26 dh26 clk qh26 vdd vss basculehaut
X27 dh27 clk qh27 vdd vss basculehaut
X28 dh28 clk qh28 vdd vss basculehaut
X29 dh29 clk qh29 vdd vss basculehaut
X30 dh30 clk qh30 vdd vss basculehaut
X31 dh31 clk qh31 vdd vss basculehaut
X32 dh32 clk qh32 vdd vss basculehaut
X33 dh33 clk qh33 vdd vss basculehaut
X34 dh34 clk qh34 vdd vss basculehaut
X35 dh35 clk qh35 vdd vss basculehaut

```

```
.ends registrehaut
```

```
*le circuit sous test
```

```
.subckt circuit in out vdd vss
```

```
X2 in out1 vdd vss inv
X3 out1 out2 vdd vss inv
X4 out2 out3 vdd vss inv
X5 out3 out vdd vss inv
.ends circuit
```

```
*les blocs du circuit sous test
```

```
x250 idata iclk idataT vdd2 0 basculehaut
X22 idataT out51 vdd2 0 circuit
*x231 idataT out51 vdd2 0 circuit
*x232 idataT out51 vdd2 0 circuit
*x233 idataT out51 vdd2 0 circuit
*x234 idataT out51 vdd2 0 circuit
*x235 idataT out51 vdd2 0 circuit
*x236 idataT out51 vdd2 0 circuit
*x237 idataT out51 vdd2 0 circuit
*x238 idataT out51 vdd2 0 circuit
*X239 idataT out51 vdd2 0 circuit
*X240 idataT out51 vdd2 0 circuit
*x241 idataT out51 vdd2 0 circuit
*x242 idataT out51 vdd2 0 circuit
*x243 idataT out51 vdd2 0 circuit
*x244 idataT out51 vdd2 0 circuit
*x245 idataT out51 vdd2 0 circuit
*x246 idataT out51 vdd2 0 circuit
*x247 idataT out51 vdd2 0 circuit
*x248 idataT out51 vdd2 0 circuit
*x249 idataT out51 vdd2 0 circuit
X11 out51 iclk qbascule vdd2 0 basculehaut
```

```
*les senseurs pour le clk
```

```
X17 iclk outs1 vdd3 100 inv
X178 outs1 outs111 vdd3 100 inv2x
```

```
X18 iclk outs vdd3 100 inv
X181 outs outs2 vdd3 100 inv2x
```

```
*les senseur pour les données
```

```
X19 out51 outsd1 vdd7 200 inv
X191 outsd1 outsd21 vdd7 200 inv2x
```

```
X919 out51 outsd2 vdd7 200 inv
```

```
X9191 outsd2      outsd22      vdd7  200  inv2x
```

```
*Chemin de référence
```

```
X24  idata100      iclk          idata1001 vdd2    0 basculehaut
X23  idata1001    outref       vdd2      0      circuit
X25  outref        iclk          qbasref   vdd2    0 basculehaut
```

```
*le senseur pour le chemin de référence
```

```
X1700 outref      outinvref    vdd7  200  inv
X1710 outinvref  outinvref1  vdd7  200  inv2x
```

```
.subckt conve1 inp11 inn11 inp22 inn22 outp11 outp22 outp44  outpp
E11  outp11      0      inp11      inn11 max=3.3  min=-3.3  1000
```

```
R1   inn11 outp11      1K
```

```
R6   outp11      inp33 1K *500
```

```
R7   inp33 0      1K *500
```

```
E22  outp22      0      inp22 inn22  max=3.3 min=-3.3  1000
```

```
E33  outpp 0      inp33 inn33      max=3.3      min=-3.3  100
```

```
R2   inn22 outp22      100
```

```
R5   outp44      inn33 1K
```

```
R3   inn33 outpp 1K
```

```
E44  outp44      0      inn44 outp222  max=3.3  min=-3.3  1000
```

```
Rfinv outp222    outp44      10K
```

```
Rinv  outp22      outp222    100
```

```
Rinn4 inn44 0      0.5K
```

```
.ends conve1
```

```
Vtest_clk 120 100 dc 0
```

```
Vtest2_data 200 220 dc 0
```

```
Vclk_h 700 vdd3 dc 0
```

```
V400 400 vdd7 dc 0
```

```
*bloc convertisseur pour le clk
```

```
X40 vdd20 700 0 120      outpclk1 outpclk2 outpclk4 outpclk  conve1
```

```
Vclk outclk outpclk DC 0
```

```
*Rclk outclk 0 5K
```

```
X50 outclk      sortie_clk1 vdd2 0      inv
```

```
*bloc convertisseur pour les données
```

```
X41 vdd21 400 0 220      outpd1      outpd2 outpd4  outpd  conve1
```

```
X51 outpd      sortie_da1 vdd2 0      inv
```

```
.subckt puissance1 in out vdd vss
```

```
X1 in 601 vdd vss inv2x
```

```

X2 601 602 vdd vss inv4x

x3 602 603 vdd vss inv4x
x4 602 603 vdd vss inv2x

x5 603 out vdd vss inv4x
x6 603 out vdd vss inv4x
.ends puissance1

X500 outos sortie_clk1 select_mux out_mux1 vdd5 0 multiplexeur
X1502 out_mux1 out_mux vdd5 0 puissance1

X501 out_mux outos1 outos2 outos3 outos4 outos5 outos6 outos7 outos8
outos9 outos10 outos11 outos12 outos13 outos14 outos15 outos16 outos17
outos18 outos19 outos20 outos21 outos22 outos23 outos24 outos25 outos26
outos27 outos28 outos29 outos30 outos31 outos32 outos33 outos34 outos
vdd5 0 oscillateur

X502 out_mux outos1 outos2 outos3 outos4 outos5 outos6 outos7 outos8
outos9 outos10 outos11 outos12 outos13 outos14 outos15 outos16 outos17
outos18 outos19 outos20 outos21 outos22 outos23 outos24 outos25 outos26
outos27 outos28 outos29 outos30 outos31 outos32 outos33 outos34
outmuxdata ql1 ql2 ql3 ql4 ql5 ql6 ql7 ql8 ql9 ql10 ql11 ql12 ql13 ql14
ql15 ql16 ql17 ql18 ql19 ql20 ql21 ql22 ql23 ql24 ql25 ql26 ql27 ql28
ql29 ql30 ql31 ql32 ql33 ql34 ql35 vdd6 0 registrebas

X503 ql1 ql2 ql3 ql4 ql5 ql6 ql7 ql8 ql9 ql10 ql11 ql12 ql13 ql14 ql15
ql16 ql17 ql18 ql19 ql20 ql21 ql22 ql23 ql24 ql25 ql26 ql27 ql28 ql29
ql30 ql31 ql32 ql33 ql34 ql35 iclk qh1 qh2 qh3 qh4 qh5 qh6 qh7 qh8 qh9
qh10 qh11 qh12 qh13 qh14 qh15 qh16 qh17 qh18 qh19 qh20 qh21 qh22 qh23
qh24 qh25 qh26 qh27 qh28 qh29 qh30 qh31 qh32 qh33 qh34 qh35 vdd5 0
registrehaut

X702 muxdata sortie_da1 select_muxdata outmuxdata11 vdd5 0
multiplexeur

x2000 outmuxdata11 outmuxdata12 vdd5 0 inv2x

x2001 outmuxdata12 outmuxdata13 vdd5 0 inv4x

X2003 outmuxdata13 outmuxdata14 vdd5 0 inv4x
X2004 outmuxdata13 outmuxdata14 vdd5 0 inv2x

X2011 outmuxdata14 outmuxdata vdd5 0 inv4x
X2012 outmuxdata14 outmuxdata vdd5 0 inv4x
*X2030 outmuxdata14 outmuxdata vdd5 0 inv4x
*X2031 outmuxdata14 outmuxdata vdd5 0 inv4x

.ic v(outRS1)=0 v(outRSda1)=0
.param vdd50=3.3
.OPTIONS LIMPTS=350
*.IC V(outRSda2)=0
*+CONVERGE=1

```

```
*+dcon=2
*+GMIN= 1.000E-12
+ABSTOL=1NA
+NOMOD
+POST
.tran 0.01n 40n

*points de mesure

.measure tran sortie_da1H  trig v(sortie_da1)  val=`vdd50/2` rise=1
+      targ V(sortie_da1)      val=`vdd50/2` rise=2

.measure tran sortie_da1B  trig v(sortie_da1)  val=`vdd50/2` fall=1
+      targ V(sortie_da1)      val=`vdd50/2` fall=2

.measure tran sortie_clk1H  trig v(sortie_clk1)  val=`vdd50/2` rise=1
+      targ V(sortie_clk1)      val=`vdd50/2` rise=2

.measure tran sortie_clk1B  trig v(sortie_clk1)  val=`vdd50/2` fall=1
+      targ V(sortie_clk1)      val=`vdd50/2` fall=2

.measure tran idata1H  trig v(idata1)  val=`vdd50/2` rise=1
+      targ V(idata1)      val=`vdd50/2` rise=2

.measure tran idata1B  trig v(idata1)  val=`vdd50/2` fall=1
+      targ V(idata1)      val=`vdd50/2` fall=2

.measure tran out51H  trig v(out51)  val=`vdd50/2` rise=1
+      targ V(out51)      val=`vdd50/2` rise=2

.measure tran out51B  trig v(out51)  val=`vdd50/2` fall=1
+      targ V(out51)      val=`vdd50/2` fall=2

.measure tran outmuxdataH  trig v(outmuxdata)  val=`vdd50/2` rise=1
+      targ V(outmuxdata)      val=`vdd50/2` rise=2

.measure tran outmuxdata  trig v(outmuxdata)  val=`vdd50/2` fall=1
+      targ V(outmuxdata)      val=`vdd50/2` fall=2

.END
```

## BIBLIOGRAPHIE

- [1] D. Baschiera, "Modélisation de pannes et méthodes de test de circuits intégrés CMOS", thèse de Doctorat, mars 1986, Institut National Polytechnique de Grenoble, France.
- [2] F. Brglez, H. Fujiwara, "A neutral netlist of 10 combinational benchmark circuits and a target translator in FORTRAN", Proc. of IEEE International Symposium on Circuits and Systems, pp. 663-698, 1985.
- [3] M.L. Bushnell, V.D. Agrawal, "Essentials of electronic testing for digital, memory & mixed-signal VLSI circuits", Kluwer Academic Publishers, 2000.
- [4] K.T. Cheng, H.C. Chen, "Classification and identification of nonrobust untestable path delay faults", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 15, No. 8, pp. 845-853, 1996.
- [5] B.I. Dervisoglu, G.E. Stong, "Design for testability using scanpath techniques for path-delay Test and Measurement", Proc. of International Test Conference, Nashville, TN, USA, pp. 365-374, 1991.
- [6] P. Girard, "Diagnostic de pannes temporelles dans les circuits digitaux", Thèse de Doctorat, Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier, France, 1992.
- [7] P. Hsieh, R. A. Rasmussen, L.J. Vidunas and W.T. Davis, "Delay Test Generation", Proc. of the 14th Design Automation Conference, pp. 486-491, 1977.

- [8] B. Konemann, J. Mucha, G. Zwiehoff, "Built-in test for complex digital integrated circuits", IEEE Journal of Solid State Circuits, VOL SC-15, no 3, June 1980.
- [9] Y. Levenlde, P.R. Menon, "Transition faults in combinational circuits: Input transition test generation and fault simulation", Proc 16th Fault-Tolerant Comp. Symp, pp. 278-283, July 1986.
- [10] C. J. Lin, S.M. Reddy, "On delay fault testing in logic circuits", IEEE Trans. on Computer-Aided Design, vol. 6, no. 5, pp. 694-703, September 1987.
- [11] W. Nebel, J. Mermet, Low power design in deep submicron electronics. Kluwer Academic Publishers, Dordrecht, The Netherlands, 1997.
- [12] E. S. Park, M.R. Mercer, "Robust and non-robust tests for path delay faults in a combinational circuit", Proc. of International Test Conference, WashingtonDC., USA, pp. 1027-1034, 1987.
- [13] Semiconductor Industry Association (SIA), "International technology roadmap for semiconductors (ITRS)", 1999 Edition.
- [14] G.L. Smith, "Model for delay faults based upon Paths", Proc. of International Test Conference, pp. 342-349, November 1985.
- [15] H. J. M. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits",. IEEE Journal of Solid State Circuits, 468-473, Août 1984.

- [16] M. Williams, J. Angel, "Enhancing testability of LSI circuits via test points and additional logic", Transactions on Computers, Vol C-22, N° 1, pp. 1198-1200, 1973.
- [17] Y. Zorian, "Testing the monster chip", IEEE Spectrum, Vol. 36, N° 7, pp. 54-60, 1999.
- [18] Y. Savaria, "Conception et vérification des circuits VLSI", Édition de l'École Polytechnique de Montréal, 1988
- [19] Virazel, "Test intégré des circuits digitaux analyse et génération de séquences aléatoires adjacentes", thèse doctorat 2000, Académie de Montpellier, France.
- [20] P. Nigh, A. Gahikev, " Test method evaluation experiments & Data", IEEE International Test Conference, pp 454-463, 2000
- [21] S. Dasgupta, P. Goel, R.G Walther, T.W. Williams. "A variation of LSSD and its implications on design and test Pattern Generation in VLSI", Proceeding of the International Test Conference, Philadelphie (Penns.) 1982, pp. 63-66.
- [22] S. Sedra, C. Smith. "Microelectronic circuit", Oxford university press, 1991.
- [23] S. Koeppel, "Modeling and simulation of delay faults in CMOS Logic Circuits", Proc. of International Test Conference, Washington DC., USA, pp. 530-536, 1986.
- [24] B. T. Cunningham, W.K. Fuchs, P. Banerjee, "Fault characterization and delay fault test-ing of GaAs Logic Circuits", Proc. of Int. Test Conf, pp. 836-842, September 1987.



- [25] P.P. Carpentier, "Méthode de mesure pour fréquence d'opération maximale", Rapport technique de projet synthèse, École de technologie supérieure, Décembre 2001.