

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE  
UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À  
L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

COMME EXIGENCE PARTIELLE  
À L'OBTENTION DE LA  
MAÎTRISE EN GÉNIE ÉLECTRIQUE  
M.Ing

PAR  
Luc-André GRÉGOIRE

CONVERTISSEUR À CELLULE EMPILÉE FAIBLE À TAUX DE DISTORTION  
HARMONIQUES : CONCEPTION ET MISE EN OEUVRE

MONTRÉAL, LE 13 JUILLET 2010

© Tous droits réservés, Luc-André Grégoire, 2010

**PRÉSENTATION DU JURY**

CE MÉMOIRE A ÉTÉ ÉVALUÉ

PAR UN JURY COMPOSÉ DE :

M. Kamal Al-Haddad, directeur de mémoire  
Département de génie électrique à l'École de technologie supérieure

M. Ambrish Chandra, président du jury  
Département de génie électrique à l'École de technologie supérieure

M. Salem Rahmani, membre du jury  
Maitre assistant à l'Université de Tunis, Elmanar

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE VENDREDI 30 JUILLET 2010

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

## **REMERCIEMENTS**

J'aimerais souligner le soutien du Groupe de recherche en électronique de puissance et commande industriel de même que celui de Yves Robitaille, technicien de l'application technologique et informatique.

# CONCEPTION ET MISE EN OEUVRE : CONVERTISSEUR À CELLULE EMPILÉE À FAIBLE TAUX DE DISTORTION HARMONIQUES

Luc-André GRÉGOIRE

## RÉSUMÉ

Ce mémoire traite brièvement de différentes topologies convertisseurs multi-niveaux et en présente une nouvelle. Cette topologie peut être utilisée en mode onduleur ou redresseur. Dans les deux cas l'algorithme de contrôle est expliqué en détail. Par la suite, sa stabilité est démontrée de trois différentes façons. En utilisant Matlab/Simulink et la librairie SimPowerSystem, des simulations sont effectuées pour optimiser les différents gains des contrôleurs de manière empirique. Ensuite la plateforme de développement dSPACE est utilisée pour valider la commande sur le convertisseur physique. Finalement à l'aide d'une carte de développement rapide FPGA le même algorithme de commande est implanté. La mise en œuvre sur trois différentes plateformes permet d'identifier les limitations de chacune d'entre elle. Aussi lors d'une commercialisation future, la carte de développement FPGA présente des coûts largement inférieurs au contrôleur dSPACE. Comme le but de ce convertisseur est le rendement énergétique, nous observerons le taux de distorsion harmonique, ainsi que la fréquence de commutation. Dans le cas du mode redresseur, un facteur de puissance unitaire fera également parti des objectifs à atteindre.

**Mots clés :** convertisseur multiniveaux, contrôleur FPGA, simulation temps réel, filtre actif.

# **CONCEPTION AND IMPLEMENTATION: PACKED U-CELL POWER CONVERTER WITH LOW HARMONICS DISTORTION**

Luc-André GRÉGOIRE

## **ABSTRACT**

This document gives an overview of the different multilevel topology as well as a new one that has been use in this study. This new topology can be use in inverter mode or rectifier mode. In both case, the control algorithm is explain in detail. Its stability will be demonstrated on three different platforms. First, using Matlab/Simulink and the SimPowerSystem library simulation has been made to determine to optimal value for the controller gain. Then a physical converter is controlled using the dSPACE board. Finally, the same control is implemented on a fast prototyping FPGA board. Using the three different platform allows to see the advantage and limitation of each. Also, if commercialised, the fast prototyping FPGA board would be much cheaper then the dSPACE system. The main goal of this converter is high efficiency; therefore we will emphasize the study on the total harmonic distortion and the switching frequency. In the rectifier mode, a power factor of one should also be obtained.

**Keyword:** multilevel power converter, FPGA controller, real time simulation, active filter

## TABLE DES MATIÈRES

	Page
INTRODUCTION .....	1
CHAPITRE 1 REVUE DE LITTÉRATURE ET INTRODUCTION À LA RÉGULATION DES CIRCUITS DE PUISSANCE .....	2
1.1 Revue de littérature .....	2
1.2 Asservissement .....	12
1.3 Régulateur .....	13
1.3.1 Régulateur tout ou rien.....	13
1.3.2 Régulateur proportionnel .....	14
1.3.3 Régulateur proportionnel intégral .....	15
1.3.4 Régulateur feed-forward .....	17
1.4 Facteur de puissance .....	18
1.5 Taux distorsion harmonique .....	18
1.6 Modulation par largeur d'impulsion .....	19
1.7 Indice de modulation.....	23
CHAPITRE 2 TOPOLOGIE PROPOSÉE .....	24
2.1 Convertisseur par cellules empilées.....	24
2.2 Commande mode onduleur .....	27
2.2.1 Régulation de $V_{AUX}$ .....	27
2.2.1.1 Régulation de $V_{AUX}$ sept niveaux .....	29
2.2.1.2 Régulation de $V_{AUX}$ cinq niveaux utilisant une hystérésis.....	29
2.2.2 Régulation de $V_{CA}$ .....	30
2.2.3 Régulation de $I_S$ .....	30
2.2.4 Sélection du nombre de niveaux .....	31
2.3 Commande mode redresseur.....	32
2.3.1 Régulation de $V_{AUX}$ .....	33
2.3.2 Régulation de $V_{BUS}$ .....	33
2.3.3 Régulation de $I_{CA}$ .....	33
2.4 Conclusion .....	34
CHAPITRE 3 PLATEFORMES UTILISÉES .....	35
3.1 Matlab/Simulink .....	35
3.2 dSPACE .....	39
3.3 Carte de développement FPGA .....	40
3.4 Simulateur OPAL-RT .....	44
3.5 Comparaison des plateformes .....	46
CHAPITRE 4 RÉALISATION EXPÉRIMENTALE .....	48
4.1 Isolation.....	48
4.2 Module d'acquisition FPGA .....	50

4.3	Convertisseur valeur efficace à valeur moyenne .....	51
4.4	Commande numérique .....	52
4.5	Problèmes rencontrés .....	52
4.5.1	Bruit en mode commun.....	52
4.5.2	Surtension de commutation.....	53
4.5.3	Problème de masse.....	56
CHAPITRE 5 RÉSULTATS.....		58
5.1	Fonctionnement en mode onduleur.....	58
5.1.1	Schéma et expérimentation .....	58
5.1.2	Simulation .....	60
5.1.3	Commande en temps réel utilisant le contrôleur dSPACE .....	62
5.1.4	Commande en temps réel utilisant le contrôleur par FPGA .....	64
5.2	Fonctionnement en mode redresseur .....	65
5.2.1	Schéma et expérimentation .....	65
5.3	Résultats.....	67
5.3.1	Simulation.....	67
5.3.2	Commande en temps réel utilisant le contrôleur dSPACE .....	69
5.3.3	Commande en temps réel utilisant le contrôleur FPGA .....	71
5.4	Fonctionnement filtre actif.....	74
5.5	Conclusion .....	77
CONCLUSION.....		80
ANNEXE I	Schéma électrique des différentes cartes utilisées .....	82
LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES.....		86

## LISTE DES TABLEAUX

	Page
Tableau 1.1	Commutation de la topologie NPC pour un bras .....3
Tableau 1.2	Commutation de la topologie FCC pour un bras .....5
Tableau 1.3	Commutation de la topologie FCC pour deux bras .....6
Tableau 1.4	Commutation pour une cellule H-bridge .....8
Tableau 1.5	Commutation pour deux cellules H-bridge.....9
Tableau 2.1	Niveaux du convertisseur en fonction des interrupteurs.....26
Tableau 5.1	Composantes du convertisseur.....59
Tableau 5.2	Résultats de simulation .....62
Tableau 5.3	Résultats en utilisant dSPACE.....63
Tableau 5.4	Résultats en utilisant FPGA .....64
Tableau 5.5	Composantes du convertisseur.....66
Tableau 5.6	Résultats de simulation .....69
Tableau 5.7	Résultats de dSPACE.....71
Tableau 5.8	Résultats du FPGA.....74
Tableau 5.9	Synthèse des résultats pour le mode onduleur .....78
Tableau 5.10	Synthèse des résultats pour le mode redresseur .....78

## LISTE DES FIGURES

	Page
Figure 1.1	Topologie NPC triphasée 5 niveaux. ....3
Figure 1.2	Topologie FCC triphasée 5 niveaux. ....5
Figure 1.3	Topologie cascade H-bridge 3 niveaux.....8
Figure 1.4	Topologie cascade H-bridge 9 niveaux.....9
Figure 1.5	Nombre d'interrupteurs requis en fonction du nombre de niveaux.....11
Figure 1.6	Nombre de condensateurs en fonction du nombre de niveaux. ....11
Figure 1.7	Taux de distorsion harmonique en fonction du nombre de niveaux.....12
Figure 1.8	Système asservi en boucle fermée. ....13
Figure 1.9	Schéma bloque d'un régulateur P.....14
Figure 1.10	Réponse à l'échelon d'un régulateur proportionnel.....15
Figure 1.11	Représentation d'un système avec un régulateur PI.....16
Figure 1.12	Comportement d'un régulateur proportionnel intégral. ....17
Figure 1.13	Schéma bloque d'un régulateur feed-forward.....17
Figure 1.14	Types de modulation proposés pour le convertisseur. ....20
Figure 1.15	Signal issu des comparaisons pour chacun des types de MLI. ....21
Figure 1.16	Signal issu des comparaisons pour le type 5 avec surmodulation. ....22
Figure 1.17	Indice de modulation et niveaux utilisés.....23
Figure 2.1	Schéma de la topologie proposée.....24
Figure 2.2	Cellule H-bridge.....25
Figure 2.3	Exemple d'un arrangement type. ....26
Figure 2.4	Effet du décalage sur la MLI de sortie.....28
Figure 2.5	Régulation de $V_{AUX}$ en fonction de $V_{BUS}$ par décalage. ....29

Figure 2.6	Régulation de $V_{aux}$ en fonction de $V_{BUS}$ par hystérésis.....	30
Figure 2.7	Consigne de courant en fonction de la tension de sortie.....	30
Figure 2.8	Régulateur feed-forward pour la consigne de MLI.....	31
Figure 2.9	Schéma bloqué de la commande.....	32
Figure 2.10	Schéma de régulation de $V_{BUS}$ , $I_{CA}$ et $I_{CORR}$ . ....	34
Figure 3.1	Exemple d'utilisation des blocs Simulink. ....	35
Figure 3.2	Équation résolue avec des blocs Simulink.....	36
Figure 3.3	Comparaison entre le résultat analytique, Simulink et SPS.....	37
Figure 3.4	Schéma en utilisant la librairie SPS.....	38
Figure 3.5	Exemple de PI pour dSPACE. ....	40
Figure 3.6	Carte de développement FPGA. ....	41
Figure 4.1	Schéma bloqué des circuits d'isolation. ....	48
Figure 4.2	Carte isolée de mesure de tension et carte isolée de mesure de courant...	49
Figure 4.3	Circuit écrêteur.....	50
Figure 4.4	Carte d'acquisition et commande pour FPGA.....	51
Figure 4.5	Inductance pour la réjection du mode commun.....	53
Figure 4.6	Surtension à l'ouverture de T3. ....	54
Figure 4.7	Schéma d'un CALC.....	55
Figure 4.8	Surtension à l'ouverture de T3 sans et avec différents circuits d'aide à la commutation.....	56
Figure 4.9	Modification de la masse. ....	57
Figure 4.10	Bruit sur un signal acquis causé par une mauvaise masse. ....	57
Figure 5.1	Montage expérimental. ....	58
Figure 5.2	Condition de fonctionnement du système en fonction de différents paramètres. ....	60

Figure 5.3	Régulation de $V_{AUX}$ selon $V_{BUS}$ et le nombre de niveaux.....	61
Figure 5.4	Régulation de $V_{CA}$ en fonction de la consigne et de $V_{BUS}$ . .....	61
Figure 5.5	Forme de la tension de sortie avant l'inductance et après l'inductance.....	62
Figure 5.6	Régulation de $V_{AUX}$ et de $V_{CA}$ en fonction de $V_{BUS}$ utilisant dSPACE. ....	63
Figure 5.7	Régulation de $V_{AUX}$ et de $V_{CA}$ en fonction de $V_{BUS}$ pour FPGA.....	64
Figure 5.8	Montage expérimental. ....	65
Figure 5.9	Condition de fonctionnement du système en fonction de différents paramètres. ....	67
Figure 5.10	Régulation de $V_{BUS}$ et $V_{AUX}$ pour différentes conditions en simulation...68	
Figure 5.11	Tension et courant d'entrée en phase pour une variation de consigne en simulation.....	68
Figure 5.12	Régulation de $V_{BUS}$ et $V_{AUX}$ pour différentes conditions avec dSPACE..70	
Figure 5.13	Tension et courant d'entrée en phase pour une variation de consigne avec dSPACE, $V_{BUS}$ 20V/div, $V_{AUX}$ 20V/div, $I_{CA}$ 5 A/div et $V_{CA}$ 100 V/div. ....	70
Figure 5.14	Régulation de $V_{BUS}$ et $V_{AUX}$ pour la première condition de fonctionnement avec le contrôleur FPGA.....	72
Figure 5.15	Tension $V_{CA}$ et courant $I_{CA}$ en phase pour un facteur de puissance unitaire. ....	72
Figure 5.16	Variation de la charge de 20 à 26 ohms.....	73
Figure 5.17	Variation de la tension d'entrée.....	73
Figure 5.18	Montage expérimental pour la compensation de courant. ....	74
Figure 5.19	Courant du convertisseur sans correction. ....	75
Figure 5.20	Courant du convertisseur avec compensation.....	76
Figure 5.21	Courant du réseau, du convertisseur et de la charge sans et avec compensation. ....	77

## INTRODUCTION

L'augmentation de la demande en énergie est toujours grandissante et constituera sans aucun doute un enjeu majeur lors des prochaines décennies (Morrison 2007). Une des solutions possibles consiste à augmenter la production d'énergie. Une autre façon de faire consiste à augmenter l'efficacité des équipements déjà existants. L'utilisation de convertisseurs plus efficaces tels les convertisseurs multiniveaux peuvent être envisagés. Les premières topologies multiniveaux ont été introduites au début des années quatre-vingt (Nabae, Takahashi et al. 1981). Leur principal avantage est le haut niveau d'efficacité qui est atteint par la réduction des harmoniques créées lors de la conversion de tension. Pour un convertisseur CC/CA par exemple, la modulation par largeur d'impulsion se fait habituellement entre deux niveaux. Lorsqu'un plus grand nombre de niveaux est utilisé, les résultats obtenus se rapprochent plus de la modulante, généralement sinusoïdale (Lie and Agelidis 2001; Hongyan and jianlin 2009), ce faisant, les harmoniques d'ordre faible, c.-à-d. troisième, cinquième, sont très réduites. Ainsi, il est possible de réduire la dimension des filtres ou même de les éliminer complètement. Un autre avantage est la réduction de la fréquence de commutation (Saeedifard, Bakhshai et al. 2003), réduisant ainsi les pertes par commutation. Dans certains cas, selon le choix de la topologie, la tension que doivent supporter les différents interrupteurs est réduite (Jih-Sheng and Fang Zheng 1995).

Dans ce document, la topologie de cellules empilés (Ounejjar and Al-Haddad 2008) sera étudiée. Une commande a été développée afin de contrôler le convertisseur tant en mode onduleur, qu'en mode redresseur. Pour le mode onduleur, la commande est en mesure de faire varier la tension de sortie de 0 à la valeur de la tension d'entrée. La fréquence de la tension fournie peut également être variable, mais dans les cas étudiés, elle est fixée à celle du réseau soit 60 Hz. Dans le mode redresseur, une tension de sortie légèrement supérieure à celle d'alimentation est requise, fonctionnement hacheur élévateur. L'appel de courant du convertisseur doit être en phase avec la tension du réseau, pour un facteur de puissance unitaire, et la plus sinusoïdale possible. Dans les deux modes, la fréquence de commutation est 10 fois celle du réseau, soit 600 Hz.

## CHAPITRE 1

### REVUE DE LITTÉRATURE ET INTRODUCTION À LA RÉGULATION DES CIRCUITS DE PUISSANCE

#### 1.1 Revue de littérature

Comme mentionné dans l'introduction, les premières topologies multiniveaux ont été proposées au début des années 80. Seulement les principales topologies seront abordées dans ce document. À partir de celle-ci, de nombreuses autres topologies peuvent être produites, soit en ajoutant des semi-conducteurs, soit les plaçant en cascade.

La première topologie est celle par calage des potentiels par diodes ou NPC (Nabae, Takahashi et al. 1981). Un point milieu sur le bus CC est créé à l'aide de deux condensateurs. En monophasé, il est possible d'utiliser un bras, pour atteindre trois niveaux ou deux bras pour atteindre cinq niveaux, voir la Figure 1.1. Le Tableau 1.1 donne la tension entre le point A et le neutre en fonction des interrupteurs utilisés. Naturellement, certaines combinaisons sont interdites, car elles court-circuiteraient un condensateur ou ne permettraient pas au courant de circuler.

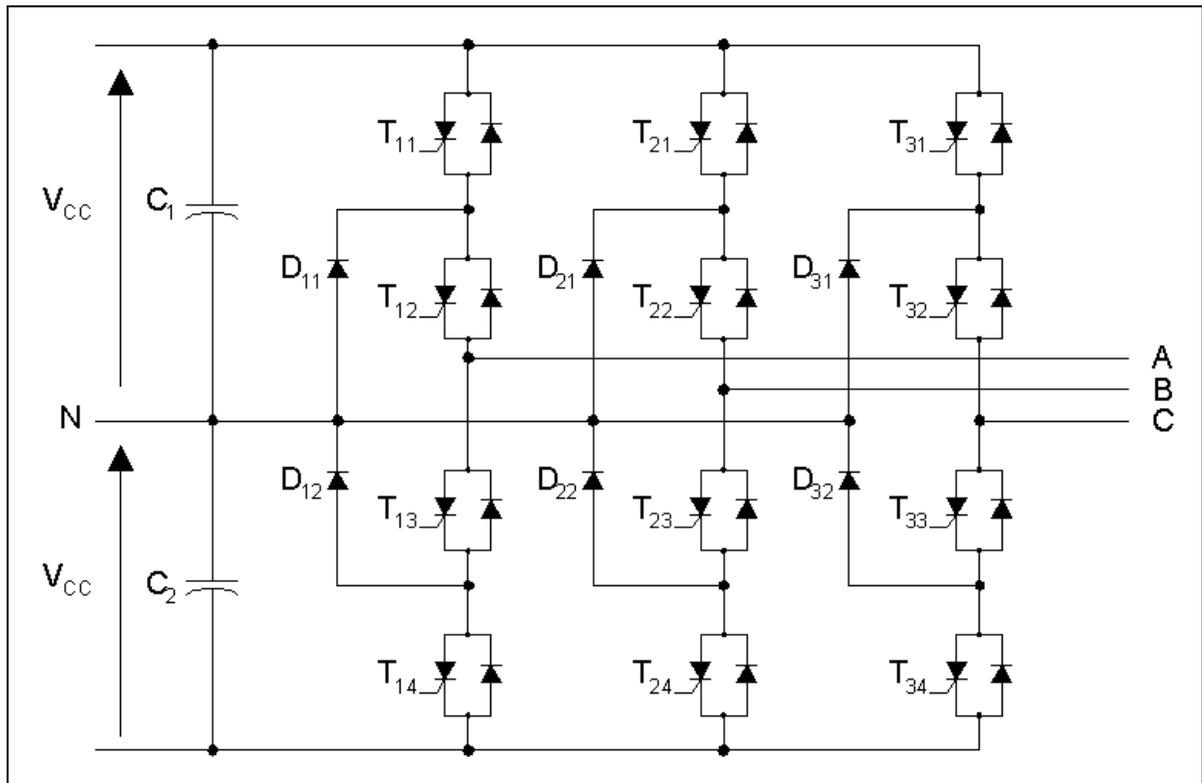


Figure 1.1 Topologie NPC triphasée 5 niveaux.

Tableau 1.1 Commutation de la topologie NPC pour un bras

États	T <sub>11</sub>	T <sub>12</sub>	T <sub>13</sub>	T <sub>14</sub>	V <sub>AN</sub>
1	1	1	0	0	V <sub>CC</sub>
2	0	1	1	0	0
3	0	0	1	1	-V <sub>CC</sub>

L'équation de la forme d'onde résultante est donnée par (1-1), où  $\sigma$  est la durée de conduction de l'alternance positive ou négative. La valeur efficace des différentes harmoniques est donnée par (1-2). (J. Arrillaga 2007)

$$V_{aN} = \frac{2V_d}{\pi} \cdot \left( \sin\left(\frac{\sigma}{2}\right) \sin\left(\omega t + \frac{\sigma}{2}\right) - \frac{1}{3} \sin\left(\frac{3\sigma}{2}\right) \sin\left(3\omega t + \frac{\sigma}{2}\right) + \frac{1}{5} \sin\left(\frac{5\sigma}{2}\right) \sin\left(5\omega t + \frac{\sigma}{2}\right) - \dots \right) \quad (1-1)$$

$$V_n = \frac{\sqrt{2}V_d}{\pi m} \sin\left(\frac{n\sigma}{2}\right) \quad (1-2)$$

En se référant à l'équation (1-1) selon le choix de  $\sigma$ , il est possible d'éliminer une harmonique en particulier ou de minimiser leurs sommes. Mais ceci est qu'un des avantages de cette topologie, elle peut également réduire le stress sur chacun des interrupteurs, tant au niveau de la tension qu'ils doivent supporter que de la fréquence de commutation de ceux-ci. Si un NPC 5 niveaux, Figure 1.1, est comparé avec un pont standard trois niveaux, la tension que supportent chacun des interrupteurs est réduite de moitié de même que leur fréquence de commutation. (J. Arrillaga 2007) Naturellement, le nombre de composants requis augmente en fonction du nombre de niveaux. Les équations (1-3) à (1-5) donnent le nombre d'interrupteurs,  $n_i$ , le nombre de condensateurs,  $n_c$ , et le nombre de diodes,  $n_d$ , en fonction du nombre de niveaux  $n_n$ .

$$n_{i_{NPC}} = 2(n_n - 1) \quad (1-3)$$

$$n_{d_{NPC}} = (n_n - 1)(n_n - 2) \quad (1-4)$$

$$n_{c_{NPC}} = n_n - 1 \quad (1-5)$$

Une autre topologie grandement répandue est celle des condensateurs flottants, FCC (Lie and Agelidis 2001). La Figure 1.2 montre l'arrangement d'un FCC. Comme pour le cas de la Figure 1.1, trois niveaux sont atteints en utilisant un bras et cinq si deux sont utilisés. Le Tableau 1.2 donne la sortie en fonction des différentes commutations permises pour un bras.

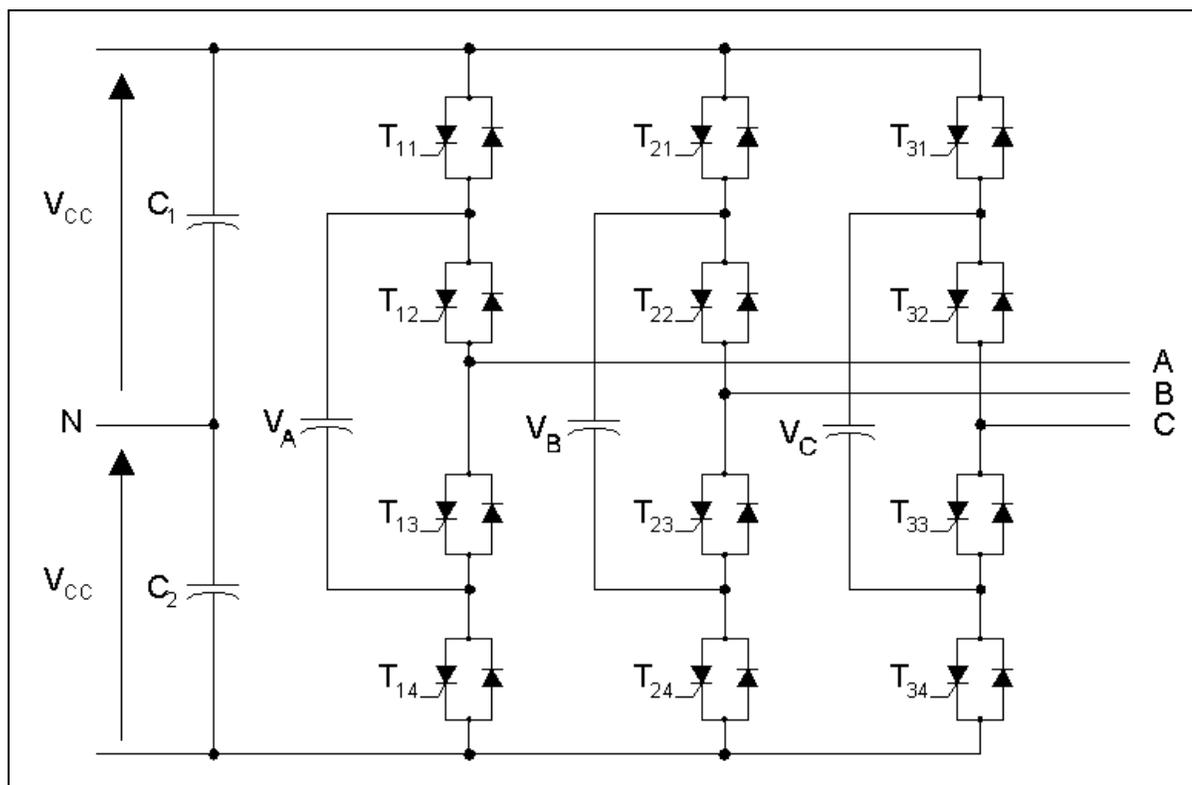


Figure 1.2 Topologie FCC triphasée 5 niveaux.

Tableau 1.2 Commutation de la topologie FCC pour un bras

États	T <sub>11</sub>	T <sub>12</sub>	T <sub>13</sub>	T <sub>14</sub>	V <sub>AN</sub>
1	1	1	0	0	V <sub>CC</sub>
2	1	0	1	0	V <sub>CC</sub> -V <sub>A</sub>
3	0	0	1	1	-V <sub>CC</sub>
4	0	1	0	1	-(V <sub>CC</sub> -V <sub>A</sub> )

Pour cette topologie, une attention particulière doit être portée à la régulation des différents condensateurs auxiliaires. Selon la valeur à laquelle ils sont asservis, la valeur de la sortie sera influencée, comme pour les états 2 et 4. Par exemple, si la tension de V<sub>A</sub> est la même que V<sub>CC</sub>, les états 2 et 4 seront de 0. Si V<sub>A</sub> et V<sub>CC</sub> ont des valeurs différentes, les états 2 et 4 ont une valeur inférieure à V<sub>CC</sub> et sont de polarité inverse l'un par rapport à l'autre. Dans ce

cas, le convertisseur passe donc de trois niveaux à quatre niveaux en utilisant un seul bras. Il est cependant impossible d'avoir une tension de sortie égale à 0 volt.

Lorsque deux bras sont utilisés, ce problème est réglé. C'est là un des avantages de cette topologie, elle offre plusieurs degrés de liberté dans les possibilités commutations pour obtenir différentes tensions de sorties. Par la même occasion, ceci est également un désavantage, car il complique la commande de ce convertisseur. Le Tableau 1.3 montre la tension obtenue pour la sortie  $V_{AB}$ . Dans un premier temps, supposons que  $V_A$ ,  $V_B$  et  $V_{CC}$  ont la même valeur.

Tableau 1.3 Commutation de la topologie FCC pour deux bras

États	T <sub>11</sub>	T <sub>12</sub>	T <sub>13</sub>	T <sub>14</sub>	T <sub>21</sub>	T <sub>22</sub>	T <sub>23</sub>	T <sub>24</sub>	V <sub>AB</sub>
1	1	1	0	0	1	1	0	0	0
2	1	1	0	0	1	0	1	0	$V_B$
3	1	1	0	0	0	0	1	1	$2V_{CC}$
4	1	1	0	0	0	1	0	1	$2V_{CC}-V_B$
5	1	0	1	0	1	1	0	0	$-V_A$
6	1	0	1	0	1	0	1	0	$-V_A+V_B$
7	1	0	1	0	0	0	1	1	$-V_A+2V_{CC}$
8	1	0	1	0	0	1	0	1	$-V_A+2V_{CC}-V_B$
9	0	0	1	1	1	1	0	0	$-2V_{CC}$
10	0	0	1	1	1	0	1	0	$-2V_{CC}+V_B$
11	0	0	1	1	0	0	1	1	0
12	0	0	1	1	0	1	0	1	$-V_B$
13	0	1	0	1	1	1	0	0	$V_A-2V_{CC}$
14	0	1	0	1	1	0	1	0	$V_A-2V_{CC}+V_B$
15	0	1	0	1	0	0	1	1	$V_A$
16	0	1	0	1	0	1	0	1	$V_A-V_B$

Donc en se référant au Tableau 1.3, la valeur de sortie 0 peut être atteinte par les états 1, 6, 7, 11, 14 et 16. Par la même occasion, les états 6, 7, 14 et 16 permettent de balancer la tension  $V_A$  et  $V_B$  à la même valeur. Le convertisseur fonctionne alors en mode cinq niveaux. Mais si

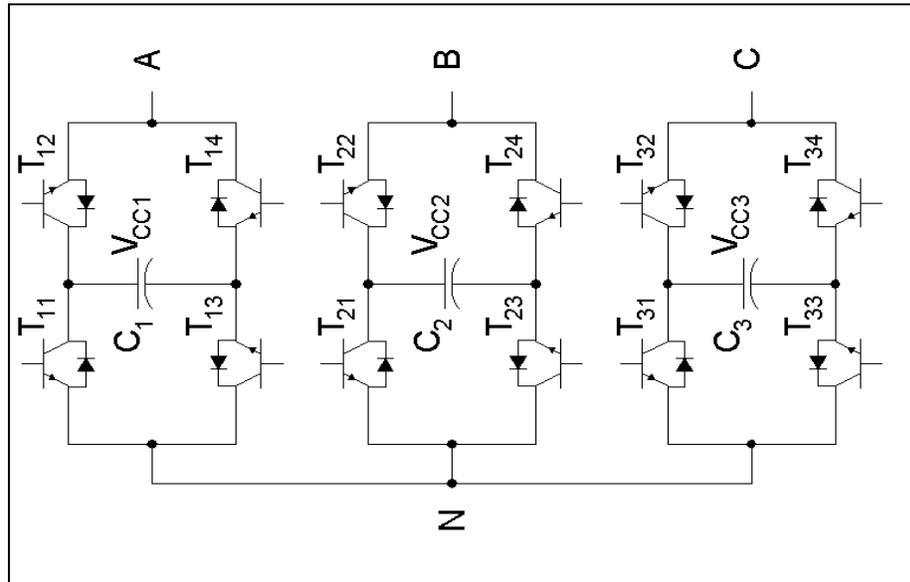
les condensateurs auxiliaires sont réglés à une valeur différente de  $V_{CC}$ , le mode de fonctionnement est de sept niveaux, mais la régulation se complique.

Cette topologie offre des avantages très similaires au NPC, en plus d'offrir plus de flexibilité dans le choix des différents paliers de sortie. Par contre, il comporte de nombreux condensateurs et sa méthode de contrôle est plus complexe. De la même façon que pour le NPC, les équations (1-6) et (1-7) donne le nombre d'interrupteurs,  $n_i$ , et le nombre de condensateurs,  $n_c$ , en fonction du nombre de niveaux  $n_n$ .

$$\boxed{n_{i_{FCC}} = n_n + 1} \quad (1-6)$$

$$\boxed{n_{c_{FCC}} = 2 + \left( \frac{n_n - 1}{2} \right)} \quad (1-7)$$

La troisième topologie est le pond complet en cascade (Jie, Yunping et al. 2001; J. Arrillaga 2007), cascade H-bridge, montrée dans la Figure 1.3. Comme pour les deux premières topologies le Tableau 1.4 donne les commutations permises ainsi que la valeur de la tension de sortie pour un bras.



**Figure 1.3 Topologie cascade H-bridge 3 niveaux.**

**Tableau 1.4 Commutation pour une cellule H-bridge**

États	T <sub>11</sub>	T <sub>12</sub>	T <sub>13</sub>	T <sub>14</sub>	V <sub>AN</sub>
1	1	0	0	1	V <sub>CC1</sub>
2	0	1	1	0	-V <sub>CC1</sub>
3	1	0	1	0	0
4	0	1	0	1	0

Le principal inconvénient de cette topologie est dans le nombre de sources nécessaires à sa réalisation. Le montage de la Figure 1.3 peut atteindre cinq niveaux entre phases, il a par contre besoin de trois sources isolées. La Figure 1.4 montre le schéma utilisant deux cellules en cascade par bras. Dans les deuxièmes cellules, la source est générée en utilisant un condensateur. Celui-ci sera chargé lors du passage entre les différents états du convertisseur, comme c'était le cas pour le FCC. Le Tableau 1.5 donne les différentes commutations possibles pour la tension entre un bras et le neutre, pour deux cellules par bras.

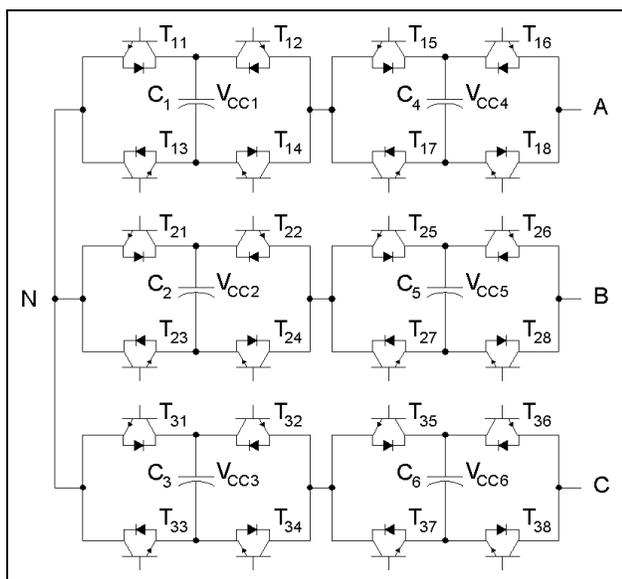


Figure 1.4 Topologie cascade H-bridge 9 niveaux.

Tableau 1.5 Commutation pour deux cellules H-bridge

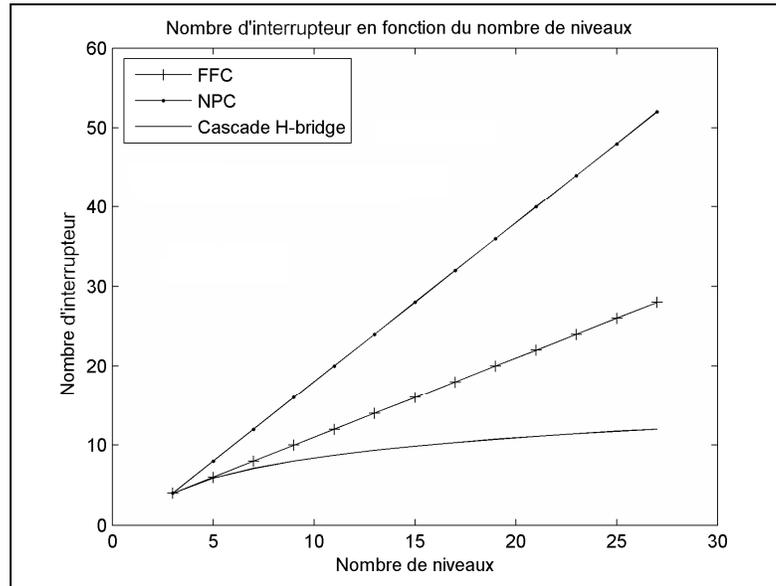
États	T <sub>11</sub>	T <sub>12</sub>	T <sub>13</sub>	T <sub>14</sub>	T <sub>15</sub>	T <sub>16</sub>	T <sub>17</sub>	T <sub>18</sub>	V <sub>AN</sub>
1	1	0	0	1	1	0	0	1	$V_{CC1}+V_{CC4}$
2	1	0	0	1	0	1	1	0	$V_{CC1}-V_{CC4}$
3	1	0	0	1	1	0	1	0	$V_{CC1}$
4	1	0	0	1	0	1	0	1	$V_{CC1}$
5	0	1	1	0	1	0	0	1	$-V_{CC1}+V_{CC4}$
6	0	1	1	0	0	1	1	0	$-V_{CC1}-V_{CC4}$
7	0	1	1	0	1	0	1	0	$-V_{CC1}$
8	0	1	1	0	0	1	0	1	$-V_{CC1}$
9	1	0	1	0	1	0	0	1	$V_{CC4}$
10	1	0	1	0	0	1	1	0	$-V_{CC4}$
11	1	0	1	0	1	0	1	0	0
12	1	0	1	0	0	1	0	1	0
13	0	1	0	1	1	0	0	1	$V_{CC4}$
14	0	1	0	1	0	1	1	0	$-V_{CC4}$
15	0	1	0	1	1	0	1	0	0
16	0	1	0	1	0	1	0	1	0

Encore une fois, la tension à laquelle les condensateurs sont régulés déterminera le nombre de niveaux, dans ce cas-ci soit sept ou neuf niveaux, pour une seule phase. Dans le cas de tension phase-phase, il est possible d'atteindre de 13 à 17 niveaux. Cette topologie comporte les mêmes avantages que les deux premières topologies. Une cellule est composée de quatre interrupteurs et un condensateur. L'équation (1-8) donne le nombre de niveaux atteints,  $n_n$ , en fonction du nombre de cellules,  $n_{cell}$ .

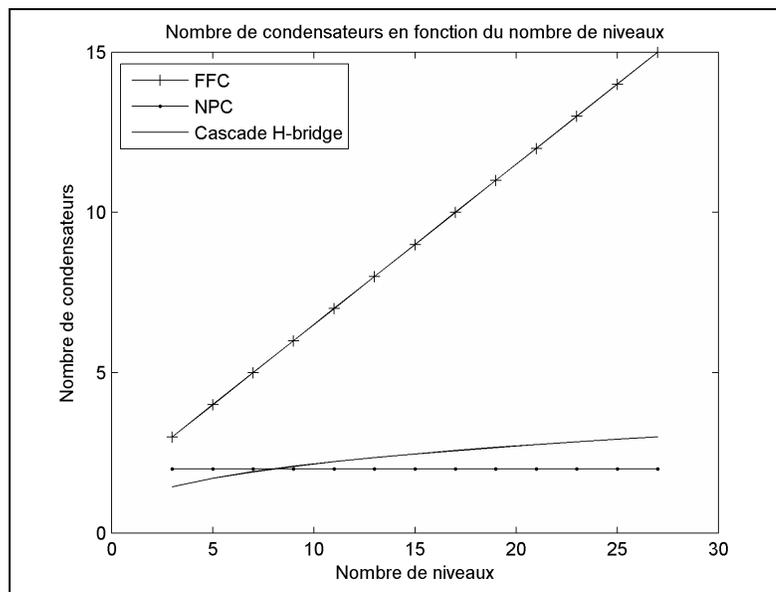
$$\boxed{n_n = 3^{n_{cell}}} \quad (1-8)$$

Le principal désavantage de cette topologie est le nombre élevé de sources nécessaires, soit trois sources isolées en triphasé. Ensuite, il y a encore le problème de la régulation des différents condensateurs permettant d'atteindre les différents niveaux. Par contre, son nombre de niveaux augmente exponentiellement en fonction du nombre de cellules.

La Figure 1.5 montre le nombre interrupteurs requis en fonction du nombre de niveaux désirés et la Figure 1.6 le nombre de condensateurs en fonction du nombre de niveaux, pour chacune des topologies.



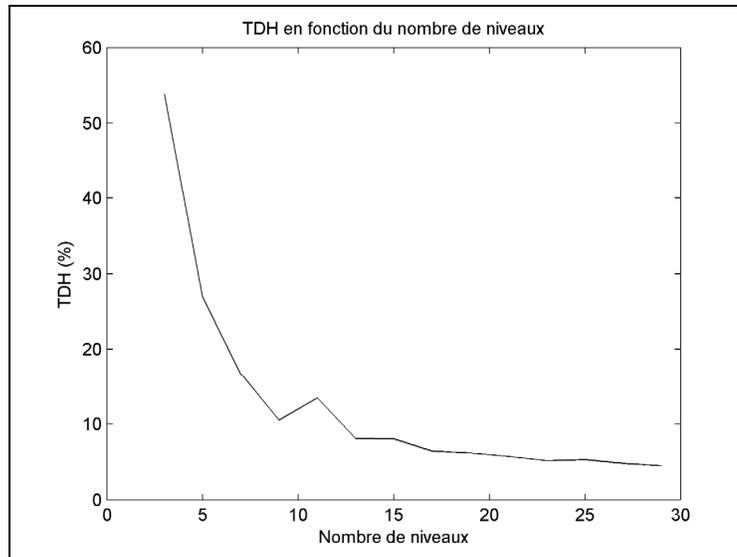
**Figure 1.5 Nombre d'interrupteurs requis en fonction du nombre de niveaux.**



**Figure 1.6 Nombre de condensateurs en fonction du nombre de niveaux.**

Lorsque le nombre de niveaux désirés est élevé, la topologie cascade H-bridge est celle permettant d'atteindre un maximum de niveaux en utilisant un minimum de semi-conducteur, il requière cependant trois sources isolées.

Finalement, la Figure 1.7 montre le TDH en fonction du nombre de niveaux utilisé.(J. Arrillaga 2007) Lorsqu'il y a plus de 13 niveaux, le TDH n'est plus réduit de façon considérable.

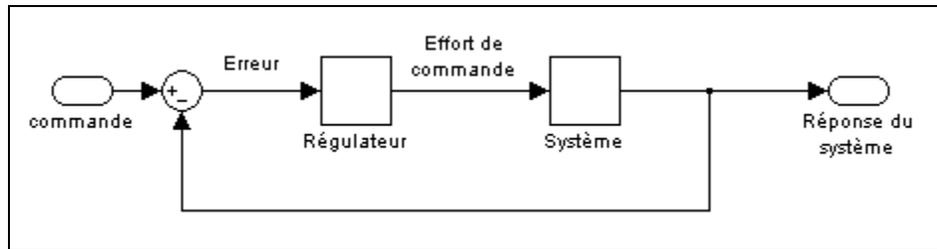


**Figure 1.7 Taux de distorsion harmonique en fonction du nombre de niveaux.**

Cependant, la réduction du TDH n'est pas le seul avantage des convertisseurs multiniveaux, l'augmentation des niveaux permet également de réduire le stress que doit supporter chacun des interrupteurs, comme dans le cas des topologies HVDC.(Allebrod, Hamerski et al. 2008)

## 1.2 Asservissement

Lorsqu'un système reçoit une commande, il prend un certain temps à réagir. Ce retard s'appelle le temps de réponse. Dans certains cas, afin de diminuer le temps de réponse, la commande qui lui est appliquée peut être différente du résultat désiré. La valeur de l'effort de commande, valeur à la sortie du contrôleur, est calculée en fonction de l'erreur du système. L'erreur du système est la différence entre la consigne désirée et la valeur du système. Le régulateur interprète l'erreur du système afin de fournir l'effort de commande nécessaire. La Figure 1.8 est une représentation typique d'un système asservi.



**Figure 1.8 Système asservi en boucle fermée.**

Les régulateurs permettent ainsi d'atteindre plus rapidement la réponse désirée, mais par la même occasion, ils peuvent introduire une erreur en régime permanent. L'erreur en régime permanent est la différence entre la valeur recherchée et celle obtenue. Différents régulateurs permettent cependant de corriger ces erreurs. Par la même occasion, ils peuvent appliquer une valeur supérieure à la consigne désirée. Dans le cas d'un système électrique, ce dépassement, valeur maximale de l'effort de commande, ne doit pas être supérieur aux valeurs limites des composantes.

De plus, la complexité du système influencera l'efficacité du régulateur. Le prochain sous-chapitre traitera de différents régulateurs et leurs effets sur l'asservissement du système.

## **1.3 Régulateur**

### **1.3.1 Régulateur tout ou rien**

Il s'agit du régulateur le plus simple. Une bande d'hystérésis est déterminée et la consigne est appliquée au système. Lorsque la limite supérieure est atteinte, la consigne devient nulle, elle est ensuite réappliquée lorsque la réponse du système est égale à la limite inférieure de l'hystérésis.

### 1.3.2 Régulateur proportionnel

Pour le régulateur proportionnel, il s'agit d'un simple gain constant, comme le montre la Figure 1.9. L'effort de commande est donc proportionnel à l'erreur. L'équation du système qui doit être asservi est donnée par l'équation (1-9), il s'agit d'une équation du premier ordre. Le gain du régulateur est seulement  $P$ , la fonction de transfert du système commandé reste donc aussi du premier ordre et est donnée par l'équation (1-10).

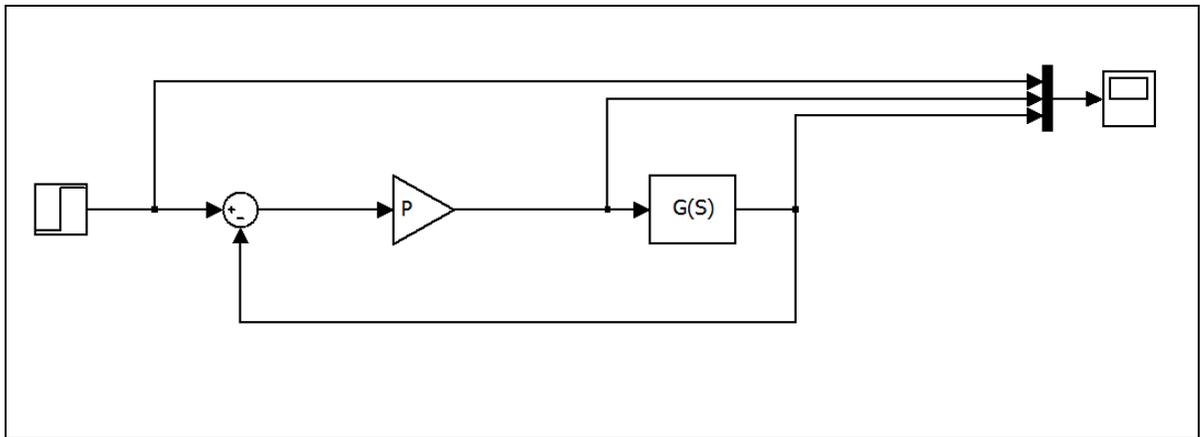


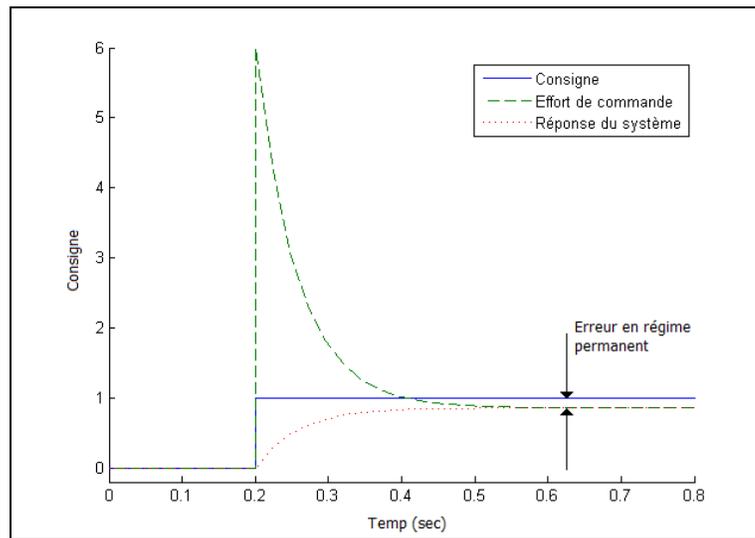
Figure 1.9 Schéma bloqué d'un régulateur P.

$$G(S) = \frac{a}{\tau \cdot S + 1} \quad (1-9)$$

$$H(S) = \frac{P \cdot G(S)}{1 + P \cdot G(S)} = \frac{P \cdot \frac{a}{\tau \cdot S + 1}}{1 + P \cdot \frac{a}{\tau \cdot S + 1}} = \frac{\frac{P \cdot a}{\tau}}{S + \frac{P \cdot a + 1}{\tau}} \quad (1-10)$$

Ainsi connaissant la fonction de transfert, la valeur du gain proportionnel est déterminée pour stabiliser le système dans un délai raisonnable. Par contre, ce type de régulation introduit une

erreur en régime permanent. Au début l'erreur est grande et l'effort de commande aussi. Si l'erreur devient nulle, il n'y a plus d'effort de commande et le système n'est plus commandé. Le système se stabilise donc à une valeur différente de la consigne. Le compromis est donc entre le temps de stabilisation et l'erreur en régime permanent. La réponse à l'échelon de ce système est illustrée à la Figure 1.10.



**Figure 1.10 Réponse à l'échelon d'un régulateur proportionnel.**

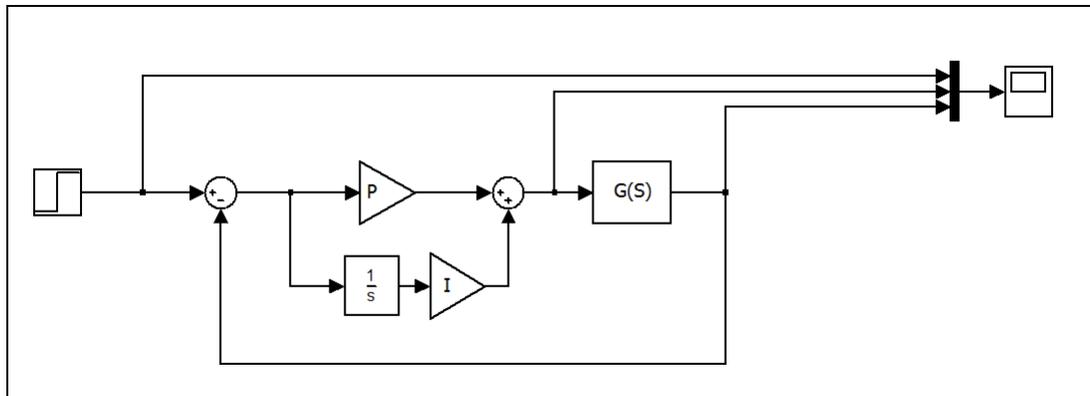
### 1.3.3 Régulateur proportionnel intégral

L'ajout de l'action intégrale au régulateur proportionnel, PI, permet d'annuler l'erreur en régime permanent et diminue le temps de réponse, elle introduit par contre un dépassement. L'équation du système reste la même, équation (1-9), mais celle du régulateur est maintenant donné par l'équation (1-11). L'équation (1-12) donne la nouvelle fonction de transfert du système en boucle fermée.

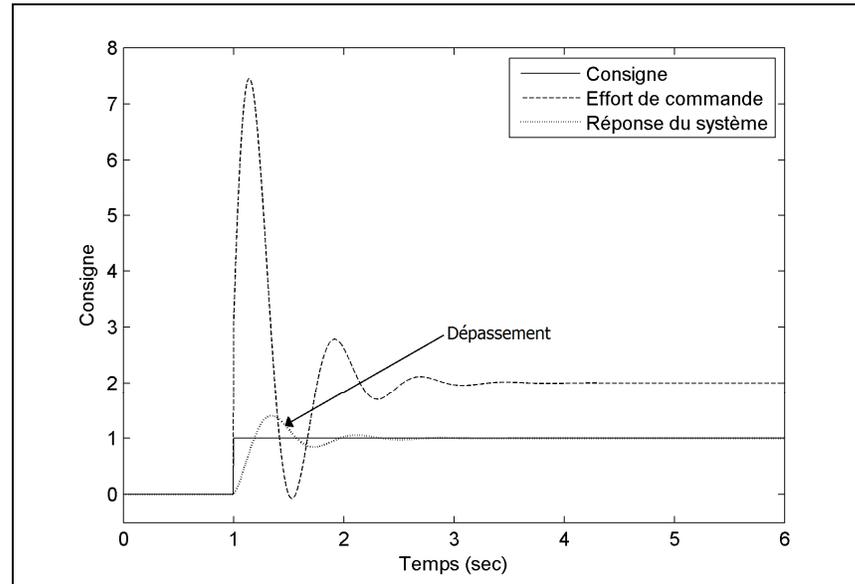
$$R(S) = P + \frac{I}{S} \quad (1-11)$$

$$H(S) = \frac{R(S) \cdot G(S)}{1 + R(S) \cdot G(S)} = \frac{\frac{a}{\tau} \cdot (P \cdot S + I)}{S^2 + \frac{P \cdot a + 1}{\tau} \cdot S + \frac{a \cdot I}{\tau}} \quad (1-12)$$

Plus le temps de réponse sera petit, plus grand sera le dépassement. Ce qui est comparable à une inertie difficile à freiner. Pour la correction de l'erreur en régime permanent, elle s'explique par le fait que même si l'erreur est nulle, l'action intégrale permet de conserver un effort de commande. La Figure 1.11 montre la représentation du système et la Figure 1.12 donne la réponse à l'échelon du régulateur.



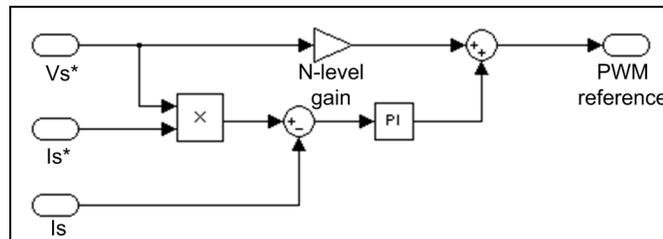
**Figure 1.11 Représentation d'un système avec un régulateur PI.**



**Figure 1.12 Comportement d'un régulateur proportionnel intégral.**

#### 1.3.4 Régulateur feed-forward

Ce type de régulateur est utilisé lorsque la consigne varie rapidement dans un système avec plusieurs régulateurs en cascade (PHILLIPS 1995). La réponse du système est comparée avec la consigne dans un régulateur, ensuite cet effort de commande est additionné à la consigne. Prenons par exemple l'asservissement d'un onduleur. Le premier étage de régulation asservit la tension de sortie. Un second étage est utilisé pour le courant.



**Figure 1.13 Schéma bloqué d'un régulateur feed-forward.**

## 1.4 Facteur de puissance

Le facteur de puissance, f.p., est le ratio entre la puissance active (W) et la puissance totale (VA), équation (1-13) (WILDI 2000). Donc si le courant et la tension sont complètement en phase le f.p. est dit unitaire. Si le courant et la tension sont déphasés de 90 degrés, le f.p. est de 0. Dans ce cas, tout le courant qui circule ne fournit aucune puissance utile. C'est pour cette raison que les fournisseurs d'électricité exigent un facteur de puissance minimal aux industries afin d'optimiser l'utilisation du réseau de transport. Dans le cas d'Hydro-Québec, un f.p. de 90 % est exigé.

$$f.p. = \frac{P_{active}}{\sqrt{P_{active}^2 + P_{réactive}^2 + P_{distorsion}^2}} \quad (1-13)$$

## 1.5 Taux distorsion harmonique

Le taux de distorsion harmonique, TDH, permet de quantifier la pollution harmonique d'un signal. Une onde sinusoïdale dite pure contient seulement la première harmonique. Une onde carrée avec un rapport cyclique de 50 % aura de la première harmonique, mais aussi toutes les autres harmoniques impaires. Afin de calculer le TDH, nous devons commencer par déterminer l'amplitude de chacune des harmoniques du signal. Pour ce faire, l'onde doit être transformée en série de Fourier avec l'équation (1-14), le signal peut aussi être reconstitué à l'aide des coefficients de Fourier et l'équation (1-15). (FREDERICK 1971)

$$c_n(f) = \frac{1}{T} \int_0^T f(t) \cdot e^{-i \cdot 2 \cdot \pi \cdot \frac{n}{T} \cdot t} \cdot dt \quad (1-14)$$

$$f(t) = \sum_{n=-\infty}^{\infty} c_n(f) \cdot e^{i \cdot 2 \cdot \pi \cdot \frac{n}{T} \cdot t} \quad (1-15)$$

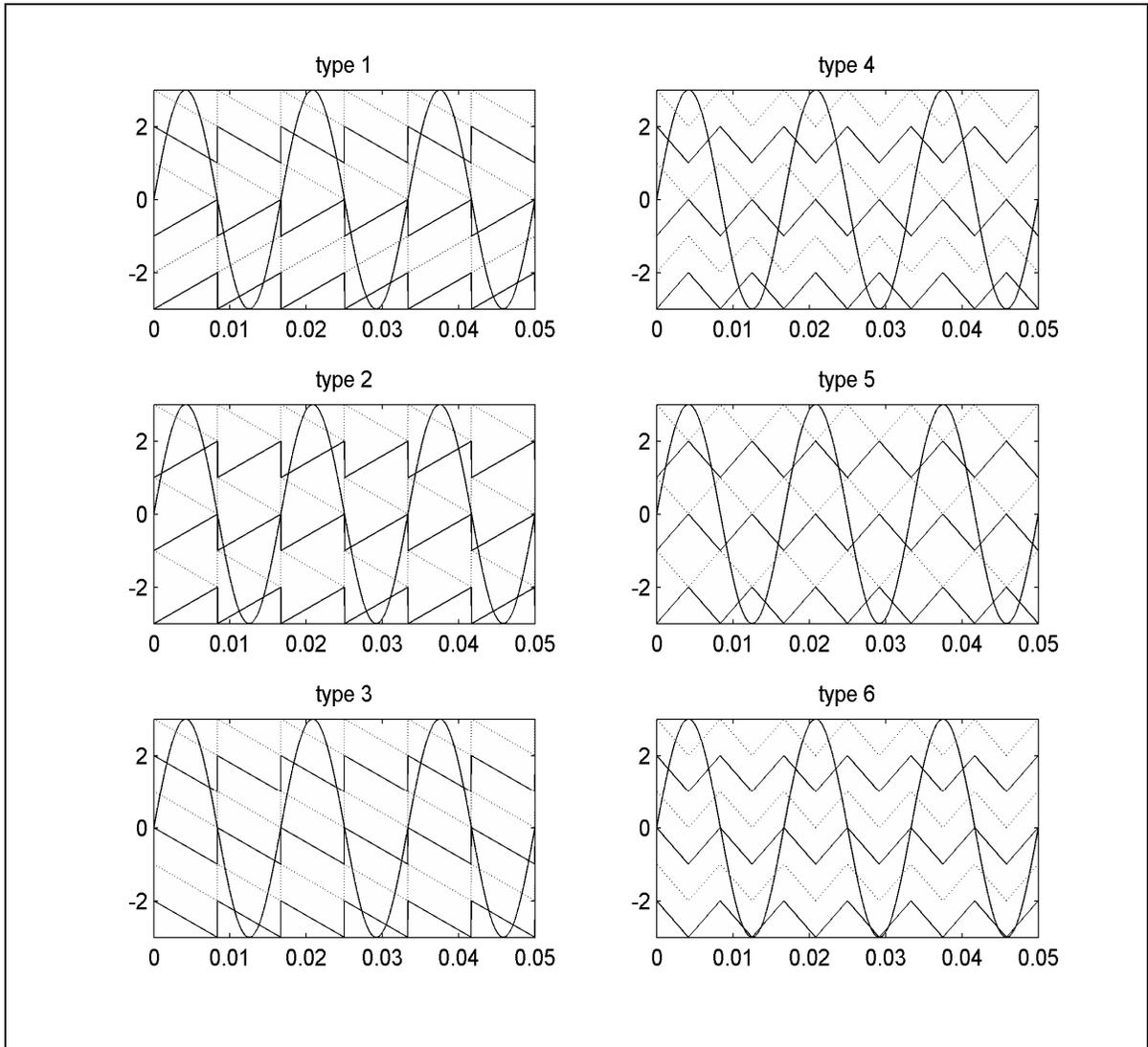
Après avoir calculé les coefficients de Fourier, le TDH est calculé en utilisant (1-16).

$$TDH = \frac{\sum_{n=0}^{\infty} (c_n(f))^2 - c_1(f)^2}{c_1(f)^2} \quad (1-16)$$

Un TDH élevé a plusieurs inconvénients sur le rendement d'une installation. Habituellement les harmoniques différentes de la fondamentale ne produiront pas de puissance active, donc une diminution du facteur de puissance. Elles peuvent aussi créer un échauffement dans les différents appareils d'une installation comme les bancs de condensateur servant à corriger le facteur de puissance par exemple.

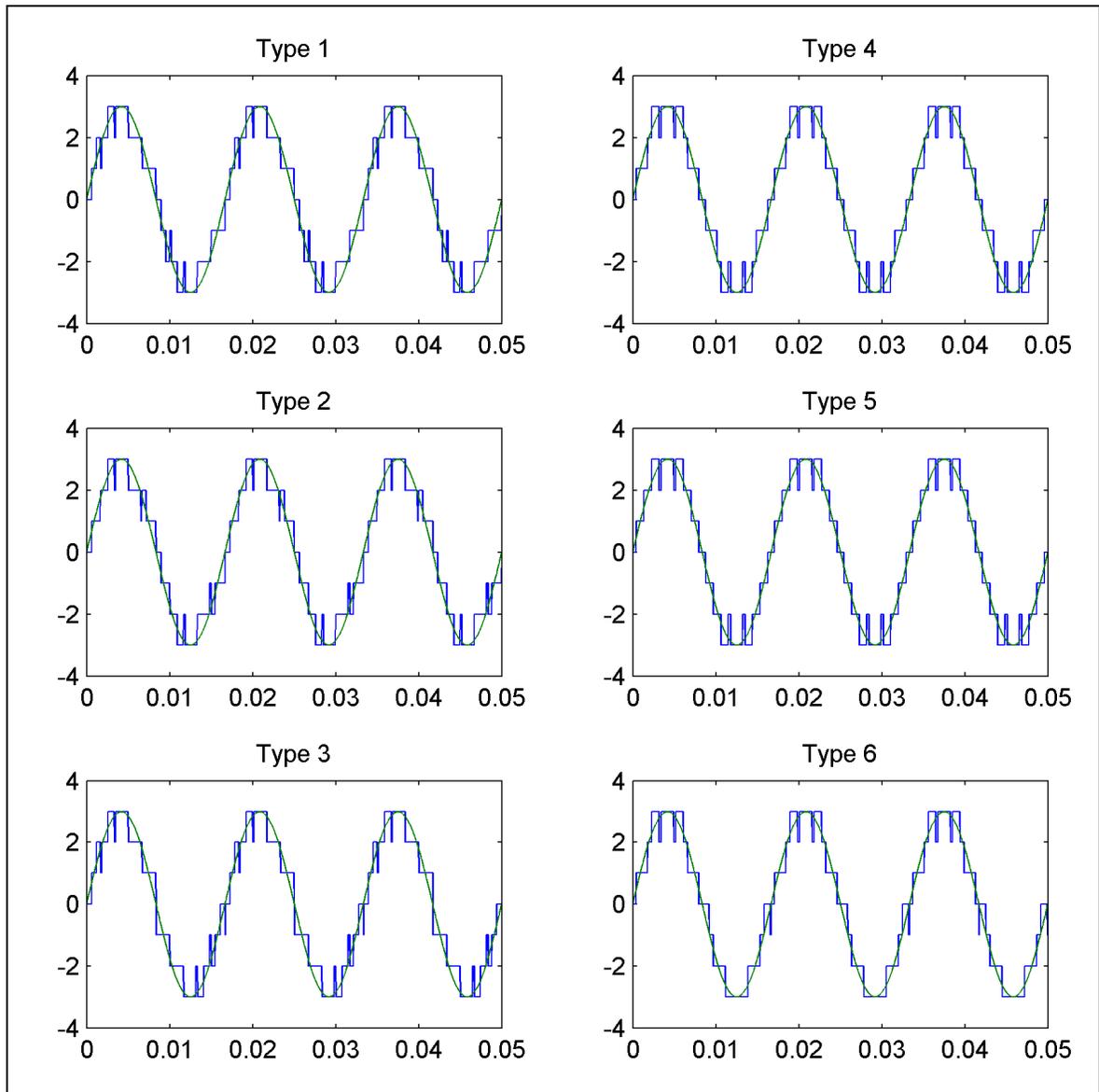
## 1.6 Modulation par largeur d'impulsion

Cette méthode est utilisée pour reproduire des signaux continus à l'aide de niveaux fixes. Il existe plusieurs approches de modulation de largeur d'impulsion ou MLI : par vecteur spatial, précalculée, intersective pour en nommer seulement quelques unes. Cette dernière technique, comme son nom l'indique, détermine la valeur résultante en effectuant l'intersection entre la modulante, le signal désiré reproduire, et la porteuse, qui peut prendre différente forme comme une onde triangulaire ou en dent-de-scie. En plus de la forme de la porteuse, plusieurs approches sont possibles pour générer une modulation par largeur d'impulsion pour un convertisseur multiniveaux. Une des méthodes consiste à utiliser plusieurs porteuses de même amplitude qui sont décalées en amplitude afin de générer les différents niveaux. La Figure 1.14 montre des porteuses triangulaires et en dents-de-scie décalées de différentes façons. Comme nous pouvons le constater, la différence entre les différents types de modulation est dans la façon que se présente la modulante sur les différents niveaux.



**Figure 1.14 Types de modulation proposés pour le convertisseur.**

Les types 1, 2 et 3 ont une porteuse de forme dent-de-scie et les types 4, 5 et 6 ont une porteuse triangulaire. La porteuse est représentée différemment sur chacun des six niveaux. Pour les types 1 et 4, les porteuses sont décalées en amplitude avec un axe de symétrie à 0. Les types 2 et 5, nous inversons la porteuse entre chaque niveau. Les deux derniers types consistent seulement à une translation de chacune des porteuses. La Figure 1.15 montre la MLI obtenue pour les différents types de modulation pour une porteuse de 600Hz et une modulante de 60Hz.

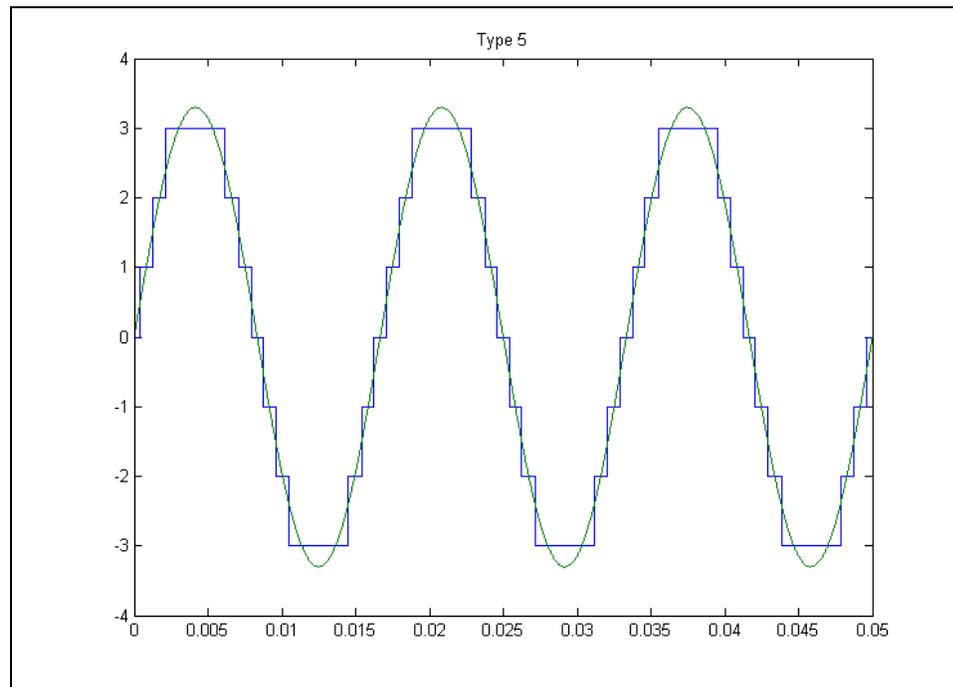


**Figure 1.15 Signal issu des comparaisons pour chacun des types de MLI.**

Visuellement le type 5 semble donner les meilleurs résultats. En calculant le THD tel qu'expliqué dans le sous-chapitre 1.5, c'est également le type 5 qui a le plus faible THD, soit environ 16 %, alors que les autres types se situent entre 19 et 22%.

D'un point de vue purement analytique, certaines conclusions peuvent être tirées. Pour chacun des cas étudiés ci-dessus, l'indice de modulation, voir le sous-chapitre 1.7, est de 1.

La Figure 1.16 montre le type 5 avec un indice de modulation 1.1. Son THD est maintenant de 11.79%. Ceci s'explique par l'absence de modulation sur les paliers 3 et -3.



**Figure 1.16 Signal issu des comparaisons pour le type 5 avec surmodulation.**

## 1.7 Indice de modulation

L'indice de modulation ( $m$ ) est le ratio entre l'amplitude de la porteuse et celle de la modulante. Dans le cas d'une MLI multiniveaux le ratio est entre la somme des amplitudes des porteuses et la modulante. Pour une MLI multiniveaux, lorsque l'amplitude de la modulante est supérieure à celle des porteuses, il s'agit de surmodulation, voir la Figure 1.17 a). La Figure 1.17 b) montre un indice de modulation de 0.5 et la Figure 1.17 c) montre un indice de modulation de 0.3. Dans le cas où l'indice de modulation est faible, certains niveaux ne seront pas utilisés. Les niveaux 3 et -3 pour un  $m$  de 0.5 et 3, 2, -2 et -3 pour un  $m$  de 0.3.

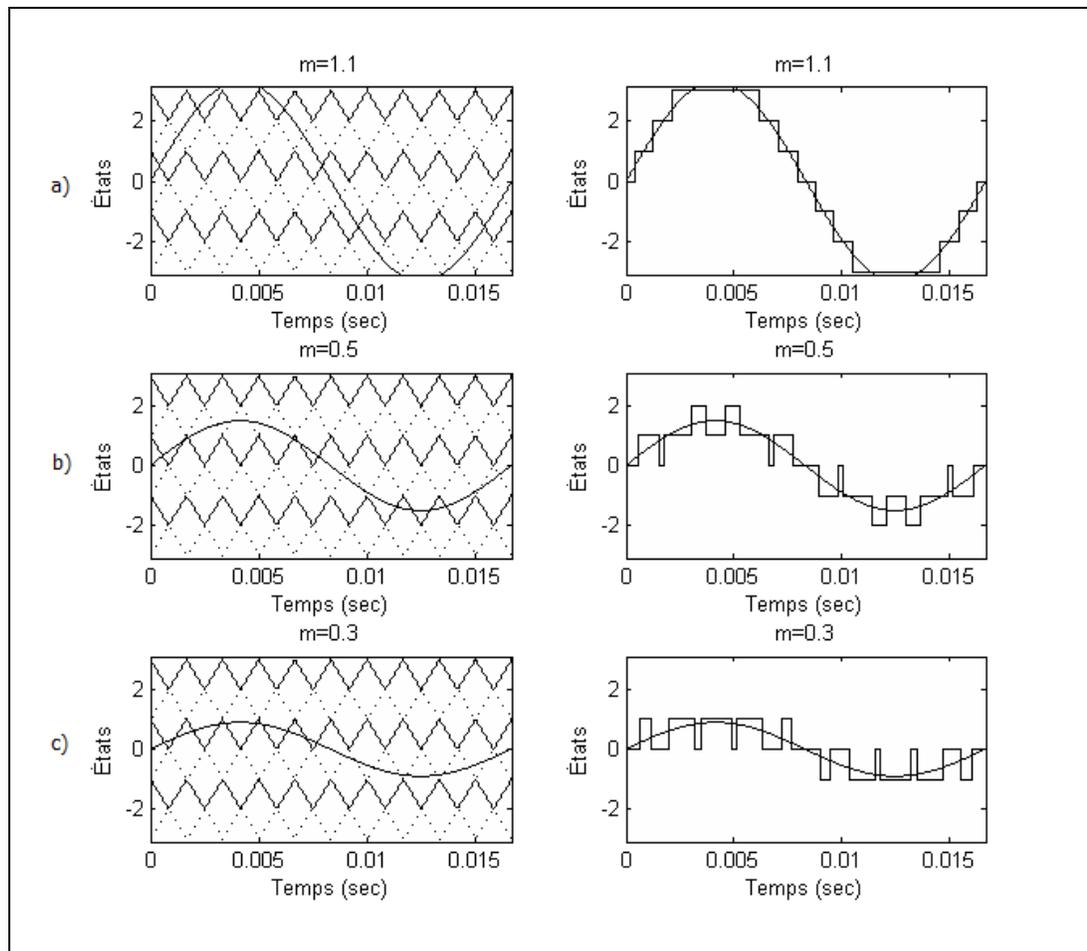


Figure 1.17 Indice de modulation et niveaux utilisés.

## CHAPITRE 2

### TOPOLOGIE PROPOSÉE

Connaissant maintenant les nombreux avantages des convertisseurs multiniveaux, ce chapitre présente la topologie qui sera utilisée. Il traite des exigences de la commande et fait une analyse complète de son fonctionnement.

#### 2.1 Convertisseur par cellules empilées

Le convertisseur proposé, Figure 2.1, s'inspire de la topologie en cascade H-bridge et FCC. Par contre, le nombre de composants est de beaucoup diminué.

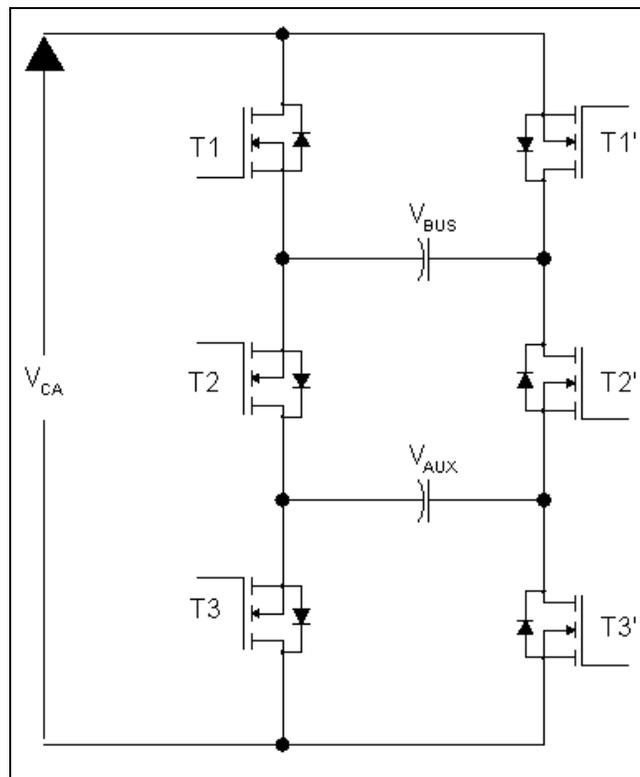
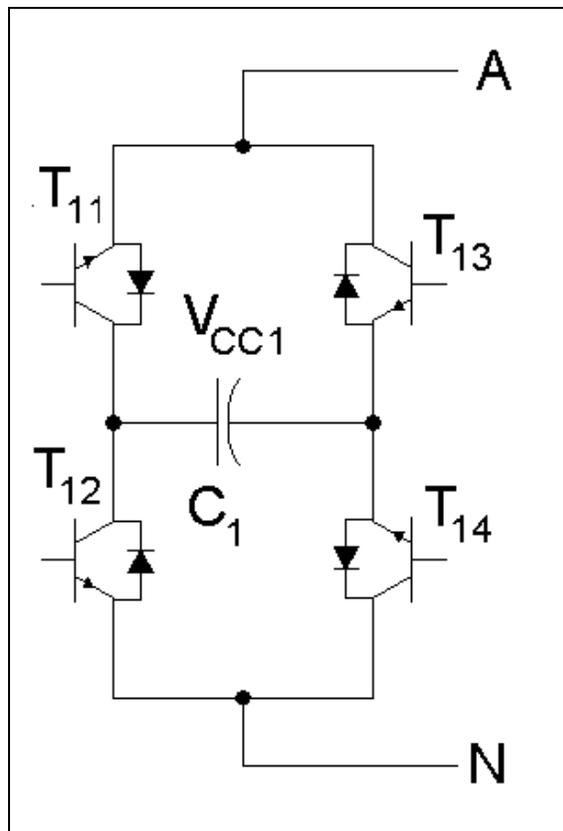


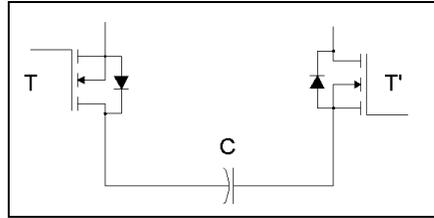
Figure 2.1 Schéma de la topologie proposée.

Cette topologie porte le nom de convertisseur par cellules empilés et a été proposée pour la première fois dans (Ounejjar and Al-Haddad 2008). Les condensateurs sont régulés à une tension constante et les différents niveaux apparaissent aux bornes de  $V_{CA}$ . En utilisant cette topologie, un maximum de sept niveaux est atteint. Comme mentionné plutôt cette topologie s'inspire du H-bridge. Lorsqu'une seule cellule de H-bridge est utilisée, Figure 2.2, trois niveaux peuvent être atteints aux bornes de A et N,  $V_{CC1}$ , 0 et  $-V_{CC1}$ .



**Figure 2.2 Cellule H-bridge.**

Si une cellule, voir la Figure 2.3, est ajoutée, notre topologie est obtenue avec un total de sept niveaux. Si une autre cellule est empilée, il est possible d'obtenir jusqu'à quinze niveaux. L'équation (2-1) donne le nombre de niveaux en fonction du nombre de cellules. Où  $n_n$  est le nombre de niveaux et  $n_{cell}$  est le nombre de cellules.



**Figure 2.3 Exemple d'un arrangement type.**

$$n_n = 2^{n_{cell}+1} - 1 \quad (2-1)$$

Par exemple, la topologie de la Figure 2.1 comporte deux cellules. En remplaçant  $n_c$  par deux dans l'équation (2-1), on obtient le nombre de niveaux, voir l'équation (2-2).

$$n_n = 2^{2+1} - 1 = 7 \quad (2-2)$$

Le Tableau 2.1 donne les différentes combinaisons ainsi que les tensions vues par  $V_{CA}$ .

Tableau 2.1 Niveaux du convertisseur en fonction des interrupteurs

	État	T1	T2	T3	$V_{CA}$		État	T1	T2	T3	$V_{CA}$
1	0	0	0	0	0	5	-3	1	0	0	$-V_{BUS}$
2	1	0	0	1	$V_{AUX}$	6	-2	1	0	1	$-(V_{BUS}-V_{AUX})$
3	2	0	1	0	$V_{BUS}-V_{AUX}$	7	-1	1	1	0	$-V_{AUX}$
4	3	0	1	1	$V_{BUS}$	8	0	1	1	1	0

Dans le cas où  $V_{AUX}$  est égale à la moitié de  $V_{BUS}$ , la sortie  $V_{CA}$  voit le même résultat pour les états 1 et 2 ainsi que -1 et -2 et le convertisseur a seulement cinq niveaux. Le nombre de niveaux obtenus dépend donc du ratio entre la tension  $V_{BUS}$  et  $V_{AUX}$ . Pour tous autres ratios,

le convertisseur aura sept niveaux. En utilisant un ratio d'un tiers, chaque niveau de tension aura la même amplitude. Dans le cas où d'autres cellules sont ajoutées, la commande sera plus difficile à implémenter. Les condensateurs  $C_{AUX}$  et  $C_{BUS}$  ne doivent jamais être court-circuités, pour cette raison les interrupteurs  $T_n$  et  $T_n'$  sont toujours complémentaires. Le courant dans l'inductance  $L$  ne doit jamais être interrompu. En respectant ces deux conditions, les huit combinaisons du Tableau 2.1 sont les seuls possibles.

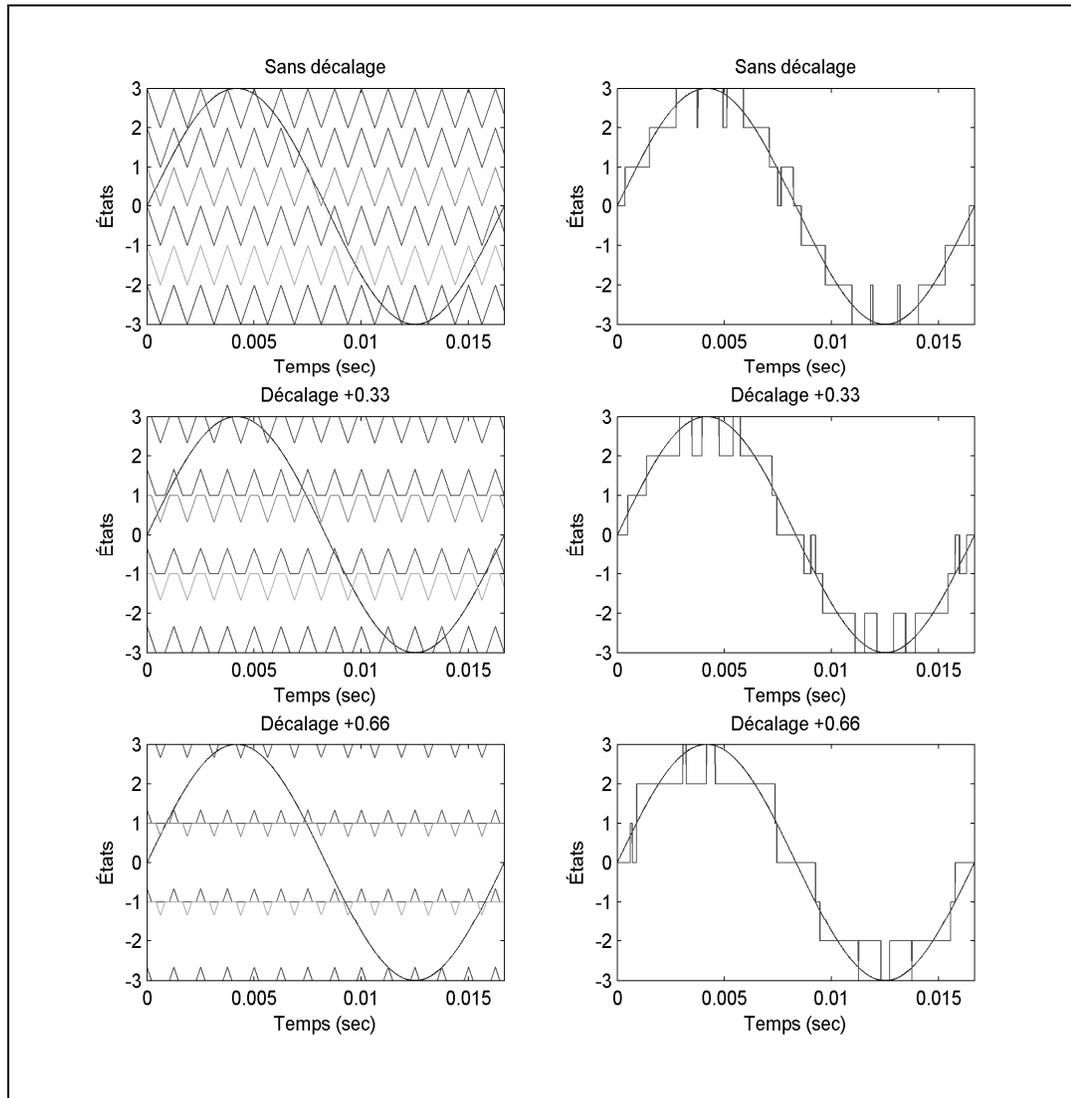
## 2.2 Commande mode onduleur

### 2.2.1 Régulation de $V_{AUX}$

En mode onduleur, une tension continue est appliquée sur  $V_{BUS}$  et une charge est appliquée à  $V_{CA}$ . Dans un premier temps, nous allons considérer la tension  $V_{AUX}$  comme fixe afin de faciliter la compréhension du fonctionnement du convertisseur. Une commande permettant la régulation de cette tension sera par la suite introduite. Dans le sous-chapitre 1.6, la modulation multiniveaux a été abordée. Selon la modulante, différents états de sortie sont obtenus. Le Tableau 2.1 donne les tensions appliquées en fonction des états donnés par la modulation multiniveaux. Comme mentionné précédemment la tension  $V_{AUX}$  peut être régulée pour obtenir 5 ou 7 niveaux.

Maintenant, traitons le cas où la tension aux bornes du condensateur,  $V_{AUX}$ , doit être régulée. Pour les états 1 et -1, la tension  $V_{AUX}$  et  $-V_{AUX}$  est appliquée, le condensateur se décharge dans la charge connectée au aux bornes de  $V_{CA}$ . Dans les états 2 et -2 il se charge par le courant fourni à la charge par  $V_{BUS}$ . L'astuce de la commande est donc d'augmenter la durée de l'état 1 et -1 et diminuer celle de 2 et -2 pour diminuer la tension  $V_{AUX}$  et le contraire pour l'augmenter. Pour ce faire, nous décalons légèrement les porteuses entre chacun des niveaux. Si la porteuse entre 0 et 1 est décalée vers le haut et que celle entre 1 et 2 est décalée vers le bas, l'état 2 durera plus longtemps et l'état 1 moins longtemps pour une période. Dans la Figure 2.4, nous pouvons voir l'effet sur la MLI pour trois décalages différents. La durée des états 2 et -2 augmente alors que celle de 1 et -1 diminue lorsque le décalage augmente, ce qui permet de charger  $C_{AUX}$ . Une logique similaire est appliquée afin de diminuer la tension aux

bornes de  $C_{AUX}$ . La valeur du décalage peut théoriquement varier de -1 à 1, mais afin de ne pas éliminer complètement un état, sa valeur sera légèrement inférieure.



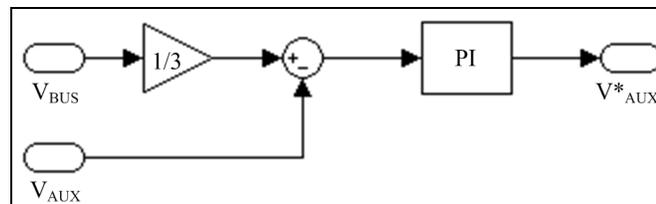
**Figure 2.4 Effet du décalage sur la MLI de sortie.**

Cette méthode fonctionne à condition que l'indice de modulation soit supérieur à un tiers. Pour un indice trop faible, le convertisseur ne passera jamais à l'état 2 et  $C_{AUX}$  ne se chargera pas. Dans ce cas, seulement cinq niveaux sont utilisés pour le convertisseur. En choisissant un ratio de 50 % entre  $V_{AUX}$  et  $V_{BUS}$  les états 1 et 2 permettent respectivement de décharger

et charger  $C_{AUX}$ . Ainsi, même pour un indice de modulation faible, nous pourrions asservir la tension  $V_{AUX}$ .

### 2.2.1.1 Régulation de $V_{AUX}$ sept niveaux

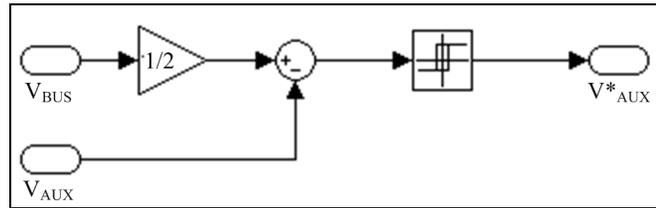
Afin d'obtenir les sept niveaux,  $V_{AUX}$  doit être un tiers de  $V_{BUS}$ . La régulation est obtenue en décalant les porteuses de la MLI sept niveaux. La valeur de décalage est déterminée à l'aide d'un régulateur PI qui devrait assurer une erreur nulle dans un minimum de temps. La Figure 2.5 représente le schéma bloqué de cette régulation. L'effort de commande du régulateur sera utilisé par le générateur de MLI sept niveaux.



**Figure 2.5 Régulation de  $V_{AUX}$  en fonction de  $V_{BUS}$  par décalage.**

### 2.2.1.2 Régulation de $V_{AUX}$ cinq niveaux utilisant une hystérésis

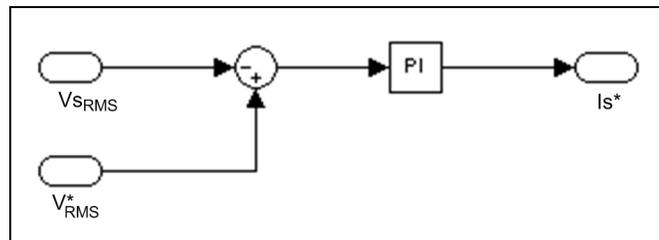
Pour cette méthode, la régulation par hystérésis est utilisée. Nous effectuons une comparaison entre  $V_{AUX}$  et la demi de  $V_{BUS}$ , ensuite un comparateur par hystérésis donne une consigne de 1 ou 0 au générateur de MLI cinq niveaux, voir Figure 2.6. La largeur de la bande d'hystérésis est fixée de façon arbitraire. Une petite bande permettra de diminuer le taux d'ondulation sur  $V_{AUX}$ . Une trop petite bande risque par contre d'augmenter la fréquence de commutation.



**Figure 2.6 Régulation de  $V_{AUX}$  en fonction de  $V_{BUS}$  par hystérésis.**

### 2.2.2 Régulation de $V_{CA}$

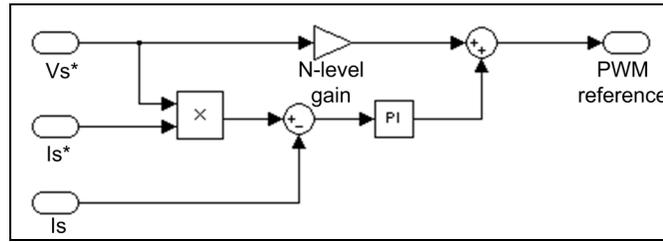
Nous désirons avoir une sortie constante peu importe la charge que nous alimentons, alimentation UPS par exemple. Pour ce faire, la valeur efficace de la sortie est asservie à une consigne en utilisant un régulateur PI. L'effort de commande de ce régulateur fixe une consigne de courant qui sera utilisée pour l'asservissement du courant.



**Figure 2.7 Consigne de courant en fonction de la tension de sortie.**

### 2.2.3 Régulation de $I_S$

La consigne de courant, obtenue dans le sous-chapitre 2.2.2, est d'abord multipliée par la valeur unitaire de la modulante. Nous obtenons ainsi la consigne de courant désiré, soit  $I_S^*$ . Le courant du convertisseur sera asservi en utilisant une régulation feed-forward comme illustré dans la Figure 2.8.



**Figure 2.8 Régulateur feed-forward pour la consigne de MLI.**

Le gain feed-forward est ajouté à la modulante utilisée pour la MLI. Comme déterminé dans le sous-chapitre 2.2.1, deux générateurs de MLI peuvent être utilisés selon l'indice de modulation. Dans le cas de la MLI sept niveaux, la modulante varie entre plus ou moins trois, tandis qu'elle varie de plus ou moins deux pour le générateur cinq niveaux. Pour cette raison, la modulante varie entre plus ou moins un, puis on la multiplie par deux ou par trois selon le générateur de MLI utilisé.

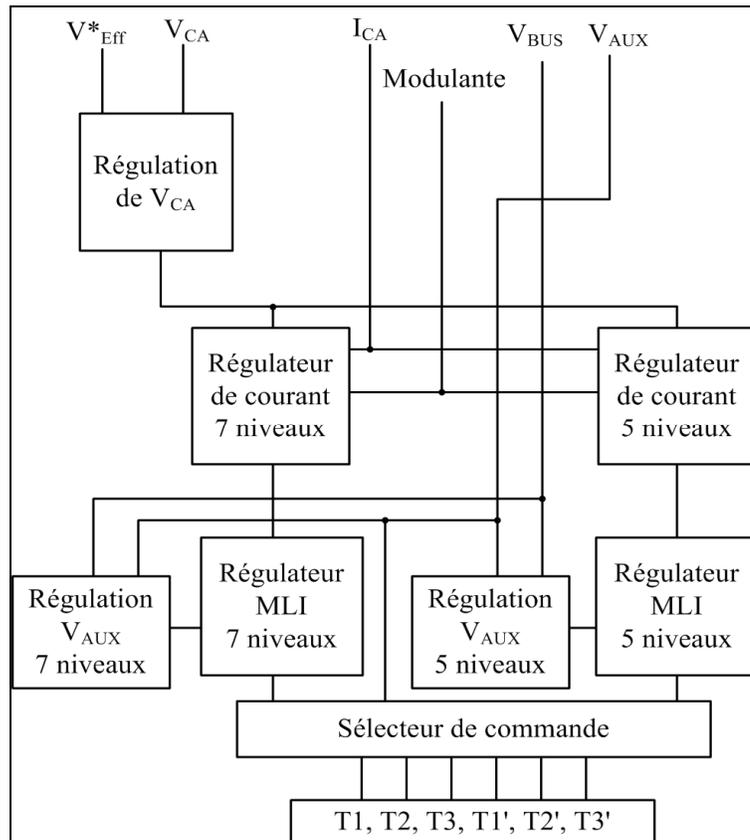
#### 2.2.4 Sélection du nombre de niveaux

Dans le sous-chapitre 2.2.1, nous avons déterminé que pour un indice de modulation inférieure à un tiers, la régulation de  $V_{AUX}$  ne peut être obtenue en fonctionnement sept niveaux, un fonctionnement cinq niveaux est alors nécessaire. La valeur de l'indice de modulation,  $m$ , est donnée par l'équation (2-1).

$$m = V_{CA_{RMS}}^* \cdot \frac{\sqrt{2}}{V_{BUS}} \quad (2-1)$$

Afin de conserver une marge de manœuvre, nous avons choisi un fonctionnement à cinq niveaux pour un indice de modulation inférieur à un demi. Le résultat de la comparaison active l'une ou l'autre des commandes.

La Figure 2.9 montre le schéma bloqué de tous les éléments de la commande du convertisseur.



**Figure 2.9 Schéma bloqué de la commande.**

### 2.3 Commande mode redresseur

Le mode redresseur fonctionne comme une topologie d'hacheur élévateur de tension. Une bobine à l'entrée du convertisseur permet d'élever la tension aux bornes de  $C_{BUS}$  à une valeur supérieure à la valeur crête de  $V_{CA}$ . Ensuite  $V_{AUX}$  sera régulé à un tiers de la consigne de sortie désirée. En redresseur, la tension de sortie est toujours supérieure à celle d'entrée pour cette raison le convertisseur fonctionne toujours avec sept niveaux.

### 2.3.1 Régulation de $V_{AUX}$

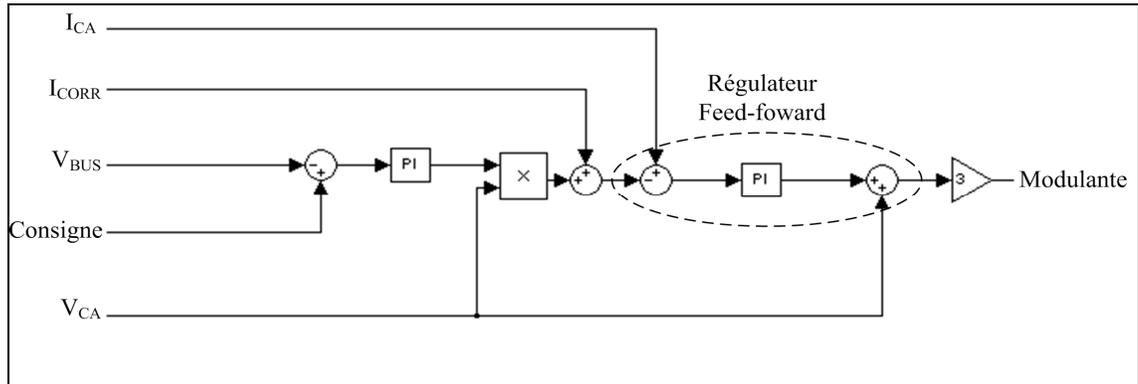
La même méthode, que pour le mode onduleur, est appliquée pour la régulation de  $V_{AUX}$ . Les différences sont dans les états où se charge et se décharge le condensateur. En mode onduleur,  $C_{AUX}$  se déchargeait dans la résistance dans l'état 1 et -1. Maintenant la tension de la source est appliquée sur  $C_{AUX}$  pour les états 1 et -1. Pour cette raison, la porteuse doit être décalée vers le bas entre l'état 1 et 0 pour augmenter la tension aux bornes de  $C_{AUX}$ . La même logique s'applique pour tous les autres états. La tension  $V_{AUX}$  est comparée à un tiers de la valeur désirée pour  $V_{BUS}$  puis un régulateur PI donne la consigne de décalage qui doit être utilisé pour le générateur de MLI multiniveaux.

### 2.3.2 Régulation de $V_{BUS}$

L'erreur entre la valeur de  $V_{BUS}$  et la consigne de sortie est appliquée à un régulateur PI qui est utilisé pour fixer une consigne de courant.

### 2.3.3 Régulation de $I_{CA}$

La consigne obtenue pour la régulation de  $C_{BUS}$  est multipliée par une onde sinusoïdale en phase avec le réseau. Cette nouvelle consigne est comparée avec le courant circulant dans le convertisseur à l'aide d'un régulateur feed-forward. La Figure 2.10 montre la régulation de  $C_{BUS}$  ainsi que celle de  $I_{CA}$ . En ajoutant des harmoniques avec la bonne phase à la consigne de courant, le convertisseur peut améliorer le TDH sur le réseau. Ceci est expliqué en détail dans le sous-chapitre 5.4.



**Figure 2.10** Schéma de régulation de  $V_{BUS}$ ,  $I_{CA}$  et  $I_{CORR}$ .

## 2.4 Conclusion

Comme il a été expliqué dans ce chapitre, cette topologie de convertisseur peut être utilisée tant en redresseur qu'en onduleur, il est donc bidirectionnel. La puissance peut être transigée dans un sens ou dans l'autre en modifiant seulement la commande. Lorsque ce convertisseur est comparé avec les autres topologies, pour le même nombre de niveaux, moins de composants sont nécessaires.

## CHAPITRE 3

### PLATEFORMES UTILISÉES

Lors de travaux de développement, de nombreux outils sont maintenant disponibles. Chacun d'entre eux comporte des avantages et des inconvénients. Les différentes plateformes utilisées ainsi que la raison de leur choix sera discuté dans ce chapitre.

#### 3.1 Matlab/Simulink

Matlab est un logiciel de calcul matriciel permettant de résoudre de système d'état très complexe. Il comporte également différents outils pour tracer des figures ou faire de l'analyse statistique. Simulink est un des outils de Matlab. Il permet de faire des schémas afin de modéliser des systèmes dans le domaine temporel, c'est-à-dire avoir des résultats qui varient dans le temps. Les bibliothèques de base permettent de schématiser des équations mathématiques simples. La Figure 3.1 montre la multiplication de deux nombres dont le résultat est ensuite additionné à un autre.

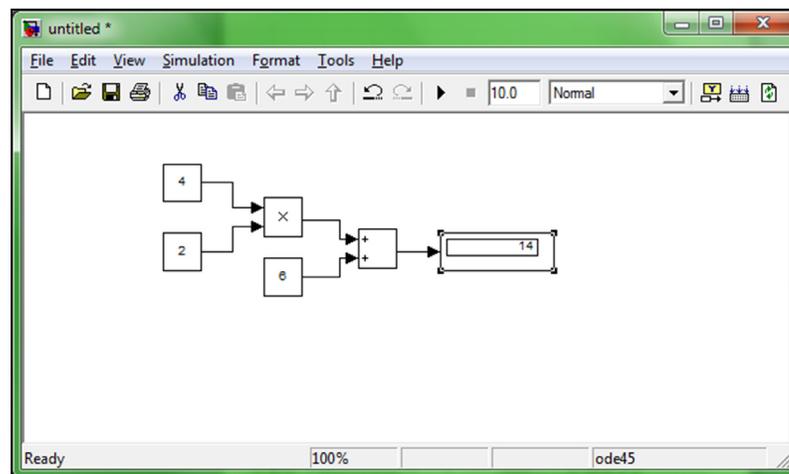


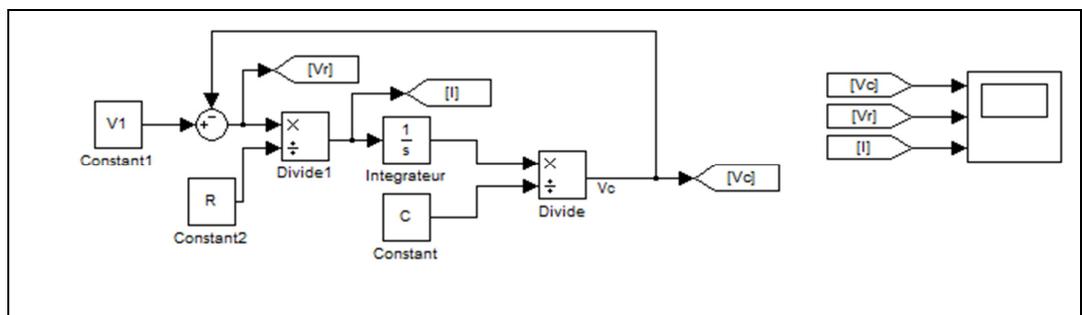
Figure 3.1 Exemple d'utilisation des blocs Simulink.

Toujours en utilisant ces bibliothèques, il est même possible de modéliser des circuits électriques. Un circuit RC peut être représenté par des équations. Si une tension est appliquée au circuit, le courant, la tension aux bornes de la résistance et du condensateur sont donnés par les équations (3-1) à (3-3), la Figure 3.2 montre la modélisation dans Simulink.

$$I = \frac{V_1 - V_C}{R} \quad (3-1)$$

$$V_R = V_1 - V_C \quad (3-2)$$

$$V_C = \frac{1}{C} \int I \cdot dt \quad (3-3)$$

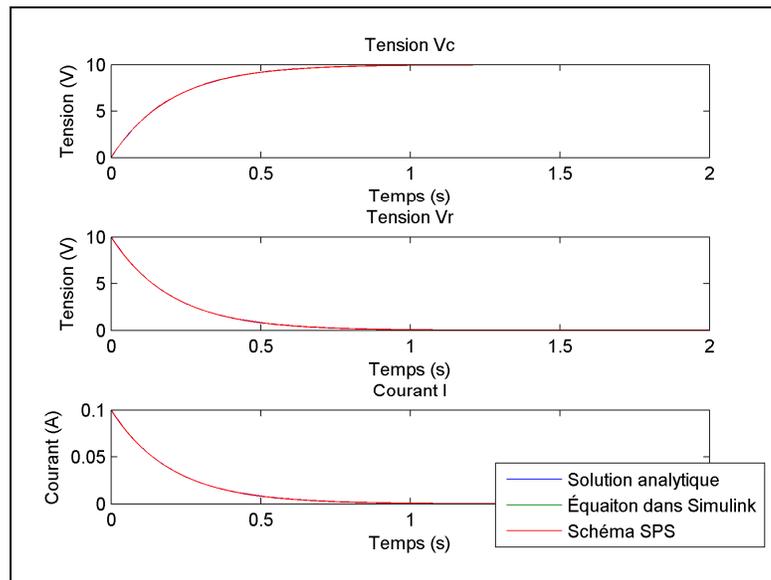


**Figure 3.2 Équation résolue avec des blocs Simulink.**

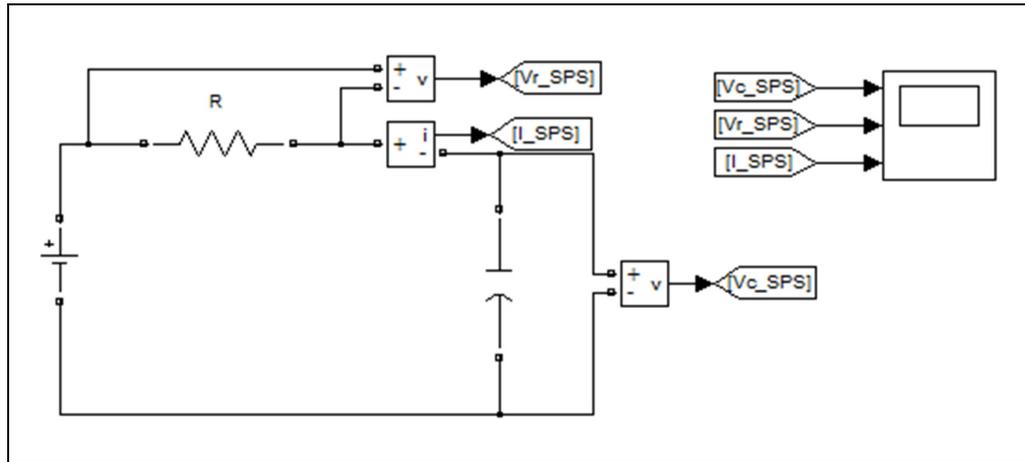
Pour résoudre ce système d'équations, l'intégrale du courant doit être effectuée, ce qui peut être fait en utilisant différentes méthodes numériques. Le solveur numérique choisi, au démarrage de la simulation, détermine la méthode de résolution. Pour un problème aussi simple le choix du solveur aura peu d'impact, mais ceci sera discuté plus tard. La solution analytique pour la tension du condensateur est donnée par l'équation (3-4).

$$V_C = \left(1 - e^{-t/R.C}\right) \cdot V_1 \quad (3-4)$$

La représentation du condensateur de l'équation fhasdklhfa est idéal, un véritable condensateur électrolytique par exemple, n'aurait pas le même comportement lorsqu'une tension négative est appliqué à ces bornes. Aussi, cet exemple simpliste, il est donc facile de déterminé les équations. Les choses ce compliquent lorsqu'il s'agit de simuler des interrupteurs électroniques, comme les thyristors ou les MOSFETs. Heureusement, il existe une librairie dans Simulink où de nombreux composants électroniques sont déjà modélisés. Cette librairie développée par Hydro-Québec en partenariat avec l'École de technologie supérieure porte le nom de SimPowerSystem (SPS). La Figure 3.3 montre la solution obtenue par les équations fadsjklfh implantées dans Simulink, l'équation analytique et les différents blocs de la librairie SPS, Figure 3.4.



**Figure 3.3 Comparaison entre le résultat analytique, Simulink et SPS.**



**Figure 3.4 Schéma en utilisant la librairie SPS.**

Comme le démontre les résultats les trois méthodes donnent les mêmes résultats, l'erreur relative maximale est de 0.12%. La solution analytique provient d'une démonstration mathématique et sert de référence. Pour ce qui est des deux autres, la solution est la même car sous les différents blocs de SPS c'est exactement les mêmes formules et équations que la Figure 3.4. Cependant, pour un circuit complexe il est plus facile de travailler avec des composants électroniques et laisser le soin à l'ordinateur de trouver les équations.

Comme il existe plusieurs différents solveurs, et que chacun comporte ces avantages et ces inconvénients, ils seront que brièvement abordé. Premièrement, il se regroupe en deux principales catégories, les solveurs à pas fixe et ceux à pas variable. Comme le nom l'indique, les solveurs à pas fixe utilisent la même période d'intégration tout au long de la simulation. Parmi ces types de solveurs, on retrouve les ODE1, ODE2, ODE3 et ainsi de suite. ODE est l'acronyme de ordinary differential equations qui signifie équations différentiels ordinaire. Le nombre se retrouvant à la fin représente le nombre de termes historiques que le solveur utilise à fin de trouver la solution.

Les solveurs à pas variable ont eux la possibilité de remarquer les changements brusques. Donc le pas d'intégration varie afin d'être optimal, selon le signal devant être intégré. Là encore, il existe différents types, en électronique ceux qui nous intéressent habituellement sont ceux de type Stiff. Ce type est utilisé lorsque de très petites valeurs, quelque picofarad par

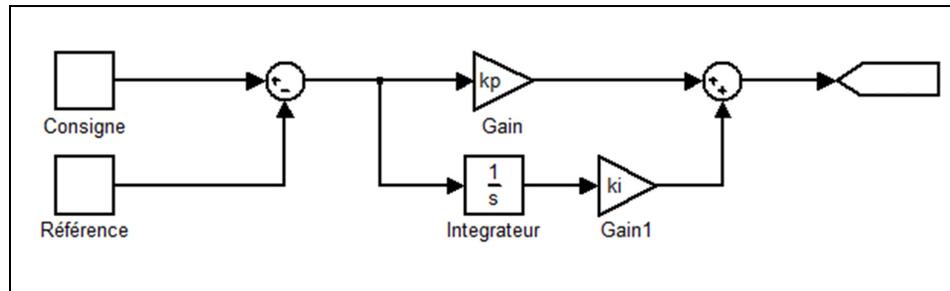
exemple, sont utilisés dans une même équation avec des kilohertz, ils sont cependant très complexes et ne seront donc pas abordés plus en détails.

Ce logiciel est pratique lors de première modélisation, il est fidèle et permet de faire des tests préliminaires à moindre coût, car comme il ne comporte pas de composant réel, donc aucun risque d'endommager le matériel. Cependant pour obtenir des résultats précis le temps de calcul peut être assez long. Il n'est donc pas recommandé pour des tests de stabilité de longue durée.

### **3.2 dSPACE**

dSPACE permet le branchement d'un ordinateur à un montage physique, il comporte donc une partie logiciel et une partie matériel. Il utilise principalement deux logiciels, soit Matlab/Simulink et ControlDesk. Le contrôleur est modélisé dans Matlab, à l'aide des blocs de Simulink, puis les différentes équations sont converties en C et transférées à un PowerPC. Une fois le contrôleur chargé dans le PowerPC, la communication avec lui se fait en utilisant le logiciel ControlDesk. En utilisant ce logiciel, il est possible de modifier toutes les valeurs du contrôleur, varier un gain par exemple, mais sa structure reste la même. Si une nouvelle variable ou un autre intégrateur doit être ajouté, ceci doit être fait dans Simulink et le modèle doit être compilé en C de nouveau.

La Figure 3.5 montre un simple régulateur PI. De la même façon que lors de la simulation, il faut déterminer le solveur qui sera utilisé ainsi que le pas de calcul. Comme le matériel est branché à un appareil réel, les solveurs à pas variable ne peuvent pas être utilisés car le pas de calcul nécessaire n'est pas connu. Un solveur à pas fixe est donc choisi ainsi que la période d'intégration. Connaissant le comportement du système, nous pouvons déterminer le pas minimal acceptable. Lors de la compilation, une erreur peut survenir si le logiciel ne parvient pas à résoudre le système d'équations à l'intérieur du pas de calcul. En plus du système d'équation à résoudre, le PowerPC doit également gérer la communication avec ces différents entrées et sorties.



**Figure 3.5 Exemple de PI pour dSPACE.**

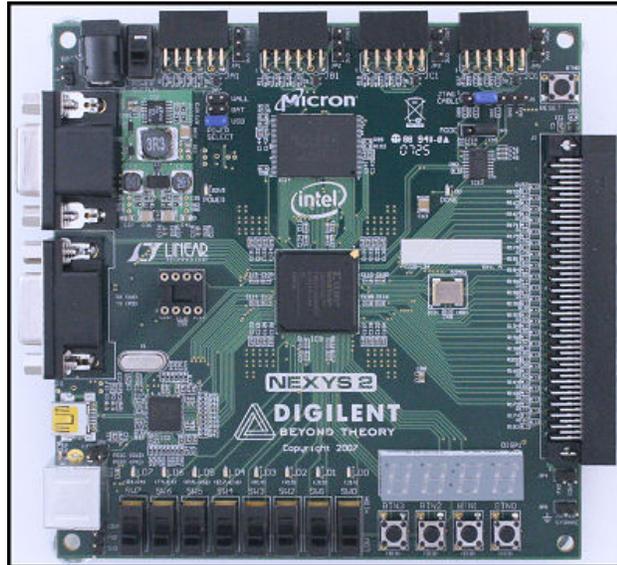
Le module dSPACE comporte de nombreuses entrées et sorties numériques et analogiques, en plus de ports standards de communication comme RS232. Pour les sorties numériques, un courant de 10mA peut être fourni, c'est donc suffisant pour alimenter un opto-coupleur mais pas un interrupteur de puissance ou un relais. Il s'agit là d'une pratique courante, ajouter des opto-coupleurs permet d'isoler le contrôleur du montage de puissance en cas de mauvaise manipulation. Les entrées analogiques ont une résolution de 16 bits, couvrent une plage de valeur comprise entre  $\pm 10$  volts et ont une protection de survoltage pour des valeurs supérieures à  $\pm 15$  volts. Le temps d'acquisition pour 8 canaux est de  $1\mu s$ , selon le fabricant, mais la limitation vient du temps requis pour le modèle dans le PowerPC. La même limitation s'applique pour les sorties digitales.

Lors de l'implantation des algorithmes de commande du contrôleur, les équations étaient relativement simples, le solveur ODE1 a été choisi. En utilisant ce solveur, qui est le plus simple et le plus rapide, le temps minimum pour résoudre les équations était de  $25\mu s$ .

### 3.3 Carte de développement FPGA

En premier lieu cette carte a été utilisée à cause de sa grande versatilité. Premièrement l'acronyme FPGA vient de Field Programmable Gate Array, il s'agit donc de simple porte logique qui peuvent être interconnectés et reprogrammés. Il existe deux langages de

programmation, le VHDL et le Verilog, les deux possèdent une structure semblable. La carte de développement utilisé est Nexys2 FPGA board de Digilent, Figure 3.6.



**Figure 3.6 Carte de développement FPGA.**

Elle possède des entrées et sorties numériques seulement, les entrées et sorties analogiques doivent être ajoutées à l'aide de circuits externes. Elle comporte également un 4 affichage 7 segments, 4 boutons poussoirs, 8 interrupteurs et 8 diodes électroluminescentes. Le FPGA utilisé est un Spartan3E de Xilinx. Comme chaque FPGA est différent, un compilateur doit être fourni par le fabricant.

La principale différence dans l'utilisation de cette carte, est la parallélisations des calculs. Bien qu'il soit possible d'effectuer des tâches en série, en utilisant une machine d'états par exemple, le FPGA effectue toute ces tâches en parallèle. Avant tout, voyons comme il traite une opération de routine comme la multiplication de deux nombre, il s'agit là d'une opération bien simple mais qui peut être effectué de plusieurs façons. Comme les nombres sont représentés en point fixe et en binaire, une multiplication par deux correspond à un décalage des bits d'une position vers la gauche, équation (3-5).

$$\boxed{\begin{array}{l} 011_2 = 3_{10} \\ 110_2 = 6_{10} \end{array}} \quad (3-5)$$

La multiplication de 3 par 5 est donc un décalage de deux positions vers la gauche, multiplication par 4, et l'addition de 3, comme montre l'équation (3-6). L'avantage d'utiliser cette méthode, c'est qu'elle s'exécute en un seul coup d'horloge.

$$\boxed{\begin{array}{l} 0011_2 = 3_{10} \\ 0110_2 = 6_{10} \\ 1100_2 + 0011_2 = 12_{10} + 3_{10} \\ 1111_2 = 15_{10} \end{array}} \quad (3-6)$$

Il existe également des bibliothèques mathématiques pour le langage VHDL permettant de multiplier deux nombres directement. Le temps requis pour obtenir la solution dépend du nombre de bits de chacun des nombres multipliés. Le même exemple que l'équation (3-6) prend un total de 5 coups d'horloge, 2 bits pour représenter 3 et 3 bits pour représenter 5. Ce type de multiplication est donc seulement utilisé lorsque les deux valeurs multipliées sont inconnues. Dans le cas où l'une des deux valeurs est constante, comme pour un gain sur un signal, la première approche est plus avantageuse.

Revenons maintenant à la parallélisation, si on considère l'exemple de la Figure 3.1, les nombres à l'entrée sont inconnus, mais sont représentés avec un maximum de 4 bits chacun, la multiplication prendra 8 coups d'horloge pour afficher le résultat. Donc durant 8 coups d'horloge la valeur à la sortie du multiplicateur changera sans nécessairement être juste. On se rappelle qu'il y avait également une addition effectuée sur le résultat de la multiplication, si aucune logique n'est ajoutée, le résultat de celle-ci changera également à chaque coup d'horloge. C'est seulement après 9 coups d'horloge que le résultat à la sortie de l'addition sera exact, 8 coups d'horloge pour la multiplication et 1 pour l'addition. Bien que cet exercice ressemble à un casse-tête, c'est là le principal avantage du FPGA. Comme l'exécution se fait, en parallèle, il est possible d'effectuer une vingtaine de multiplications

simultanément et d'addition tous les résultats à la fin par exemple. Dans le cas d'un contrôleur, la consigne pour le pas suivant est calculée en même temps que la MLI de la consigne présente. La variation d'une entrée n'est donc pas immédiatement transmise à la sortie en un coup d'horloge, même si plusieurs opérations sont exécutées en parallèle. La valeur se trouvant à l'entrée de certains procédés est habituellement le résultat d'un autre procédé exécuté en parallèle. Donc un système ayant quatre procédés, qui subit une variation à son entrée peu prendre 4 coups d'horloge pour voir la réaction de la sortie par rapport à cette entrée. Mais si l'entrée varie à chaque coup d'horloge, la sortie variera aussi à chaque coup d'horloge, mais l'influence de l'entrée prendra toujours 4 coups d'horloge pour parvenir à la sortie. Une analogie pouvant expliquer ce phénomène est celle d'une chaîne de montage qui assemble des voitures. À chaque étape, une pièce est ajoutée à la voiture, si dix voitures entrent sur la chaîne de montage, dix en ressort au même moment. Donc chaque fois qu'une nouvelle voiture commence à être assemblée, il y en a une qui se termine. Le temps que prend la voiture de l'entrée à la sortie s'appelle la latence.

Si on compare avec le langage C qui est séquentiel, chacune des opérations requière un coup d'horloge, donc chacune des multiplications prendra un coup d'horloge et il en va de même pour le calcul de la consigne et le calcul de la MLI. En utilisant la même analogie, c'est comme si la voiture en entier était assemblée avant d'en commencer une seconde.

Il n'existe pas de librairie de solveurs pour FPGA, une méthode d'intégration numérique a donc été implémentée. La méthode trapézoïdale a été choisie vu sa simplicité d'implémentation, équation (3-7).

$$\int Y(t) \cdot dt = \frac{Y(t) + Y(t - dt)}{2} \cdot dt \quad (3-7)$$

Comme mentionné précédemment, le FPGA n'a pas d'entrées ou de sorties analogiques. Un circuit externe a été développé, celui-ci comporte 4 entrées et 2 sorties analogiques. Les entrées sont nécessaires afin de commander le convertisseur. Les sorties servent seulement lors du déverminage pour observer les signaux internes du FPGA. Ces entrées ont une résolution de 10 bits et un temps d'acquisition de 3.2  $\mu$ s. Des problèmes de bruit ont été observés et sont discutés dans le sous-chapitre 4.5.

Grâce à la parallélisation, les équations de la commande sont résolues en 100ns avec une latence de 500ns, celle-ci est cependant rafraîchie aux 3.2  $\mu$ s, soit lorsque de nouvelles données sont acquises.

### **3.4 Simulateur OPAL-RT**

Le simulateur OPAL-RT est un produit comparable à dSPACE. Il comporte une partie logicielle et une partie matérielle. Il utilise également le logiciel Matlab et Simulink, il a cependant développé ces propres bibliothèques d'électronique de puissance ainsi que des solveurs à pas fixe plus performant. Le modèle construit dans Simulink est lui aussi compilé en C et il est envoyé sur un microprocesseur. Opal-RT utilise également Matlab/Simulink pour communiquer avec le modèle lors de la simulation.

Le simulateur comporte 8 microprocesseurs, il est donc possible de diviser un modèle complexe sur plusieurs CPU afin de diviser la tâche entre eux. Cette méthode permet d'optimiser de beaucoup le temps de calcul. De plus, il possède une carte de développement FPGA Xilinx Virtex2 intégré qui est entre autres utilisée pour gérer les différentes entrées et sorties, numériques et analogiques du simulateur.

Il est également possible de développer du code VHDL et d'utiliser la carte de développement FPGA. Les bibliothèques Opal-RT sont compatibles avec une bibliothèque que Xilinx a développée pour Simulink. Celle-ci permet d'utiliser des schémas blocs pour développer le code VHDL, il est ainsi plus facile d'utiliser les FPGA. Le FPGA d'Opal-RT, le Virtex2 de

Xilinx, est plus performant que celui utilisé précédemment, son horloge a une période de 10ns seulement.

Les entrées et sorties numériques sont configurables par groupe de 16 soient en entrée ou en sortie. Lorsqu'elles sont utilisées avec un CPU, leurs valeurs sont mises à jour à la même période que le CPU, habituellement entre 7  $\mu$ s à 50  $\mu$ s selon le modèle simulé dans Simulink. Elles sont également accessibles à partir du FPGA, dans ce cas le rafraîchissement minimal est de 10ns, soit la période du FPGA. Ce temps est atteint lorsque les entrées/sorties sont utilisées sans protection, ce qui est possible, mais déconseillé. La période est de 200ns lorsqu'elles sont protégées par un optocoupleur. Contrairement à dSPACE, les cartes de données numériques sont habituellement protégées des surtensions et des surintensités par un optocoupleur, une tension d'alimentation externe doit donc leur être fournie.

Les entrées analogiques ont une plage de valeurs variant de  $\pm 16$  volts, mais il est possible résolution de 16 bits et une période d'échantillonnage de 2.5  $\mu$ s, si elles sont utilisées dans un modèle simulé sur le CPU, le temps minimum devient celui du CPU utilisé. Les 16 entrées analogiques sont acquises simultanément. La période de rafraîchissement des sorties analogiques est même que ces entrées. La tension de sortie varie entre  $\pm 16$  volts avec une résolution de 16 bits.

Les nombreuses entrées/sorties disponibles et la rapidité du système permettent une simulation en temps réel tant du contrôleur, qui peut se trouver sur le FPGA, que du convertisseur qui peut être sur un ou plusieurs CPU. Il est même possible de court-circuiter les entrées numériques avec les sorties numériques et la même chose avec les entrées/sorties analogiques. De cette façon, il est possible de vérifier le bon fonctionnement du contrôleur, avec les véritables délais qui seraient introduits lors de l'acquisition.

Les équations de la commande sont résolues par le FPGA en 10ns avec une latence de 460ns. L'intégration est encore réalisée par l'équation (3-7).

### 3.5 Comparaison des plateformes

On peut se demander quel est l'avantage d'utiliser autant de plateformes. À l'origine, le projet devait d'abord être simulé à l'aide de Matlab. Ensuite, le module dSPACE permet de faire la preuve de concept avec le convertisseur réel. Et finalement, la carte de développement FPGA pour réduire les coûts de production et obtenir un système entièrement embarqué. C'est ce qui a été fait pour le mode onduleur, mais des problèmes sont survenus pour le mode redresseur. Premièrement, la vitesse de rafraîchissement des sorties numériques de dSPACE se fait à la même vitesse que la simulation. Lorsqu'un temps mort est requis entre deux impulsions, celui-ci est au minimum un pas de calcul, soit 25  $\mu$ s, alors qu'on désire un temps mort de 200ns. Toujours du mode redresseur, le courant et la tension doivent être en phase, ceci sera expliqué en détail dans le sous-chapitre fads, comme les entrées analogiques de la carte de développement FPGA ont une faible immunité au bruit, cette étape de synchronisation était impossible. C'est pour ces raisons que le simulateur d'Opal-RT a été utilisé, particulièrement la possibilité d'utiliser une carte FPGA pour avoir des résultats comparables entre le mode onduleur et redresseur.

Maintenant si les trois plateformes sont comparées entre elles, le module dSPACE est probablement la plus facile d'utilisation. Il suffit d'ajouter les blocs de communication externe, entrées analogiques, sorties numériques et de compiler. C'est une procédure semblable pour le simulateur Opal-RT, mais comme il possède un plus grand nombre d'entrées et de sorties, que celles-ci sont configurables de différentes façons et qu'elles sont accessibles à partir de plusieurs endroits, il peut survenir une certaine confusion lors des premières utilisations. Pour la carte de développement FPGA, les entrées/sorties sont faciles d'accès, une fois le langage VHDL maîtrisé et les entrées analogiques bien développés. Par contre dSPACE, qui utilise en PowerPC, ne peut pas rivaliser avec les deux autres plateformes pour la rapidité d'accès aux entrées/sorties numériques.

Du point de vue puissance de calcul, Opal-RT a une large avance sur les deux autres plateformes. L'utilisation en parallèle de plusieurs CPU en plus d'une carte FPGA permet de

résoudre des équations très complexes, en utilisant plusieurs CPU, ou très simple, mais de manière optimale par le FPGA. Le système d'équations de la commande est assez simple, pour cette raison, la carte de développement FPGA est probablement avantageée. Dans le cas du FPGA, toutes les lignes de commande de son code servent uniquement à la commande. Le PowerPC de dSPACE peut effectuer des fonctions mathématiques bien complexes grâce à des algorithmes mathématiques intégrés. Ces algorithmes ne sont cependant pas optimaux pour résoudre le système d'équations de la commande.

Pour le coût, la carte de développement FPGA est de loin la moins dispendieuse. Le coût des deux autres systèmes est comparable, mais vu la grande versatilité d'Opal-RT, il est plus avantageux. De plus, Opal-RT est une compagnie entièrement québécoise.

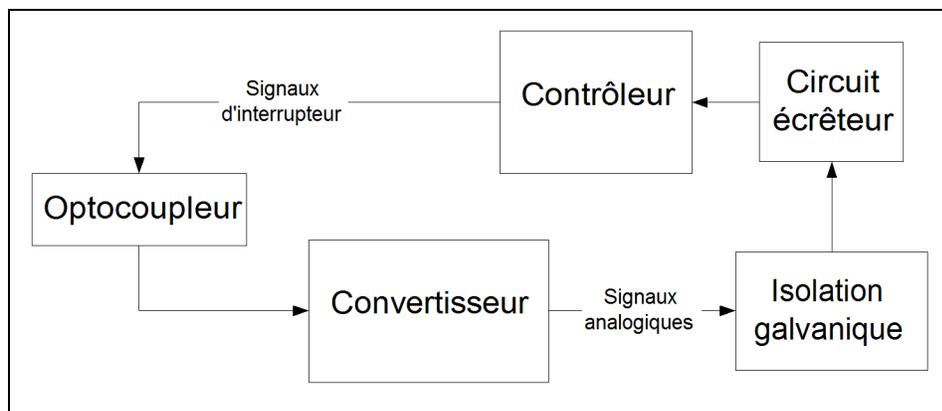
## CHAPITRE 4

### RÉALISATION EXPÉRIMENTALE

Le montage expérimental lui-même est un défi à réaliser. La régulation des différentes alimentations, le bruit en mode commun ou les acquisitions des signaux font partie des problèmes aux quel le prototype a été confronté. Ces différents problèmes ont un impact sur les résultats obtenus tant sur le fonctionnement mode onduleur que redresseur et c'est la raison pour laquelle ils sont traités avant les résultats.

#### 4.1 Isolation

Comme le convertisseur fonctionne à des tensions élevées, de nombreuses précautions sont prises afin de protéger le module de commande. Le module dSPACE ou la carte de développement FPGA possèdent chacun quatre entrées analogiques pour l'acquisition des différentes tensions et du courant pour la régulation du convertisseur.

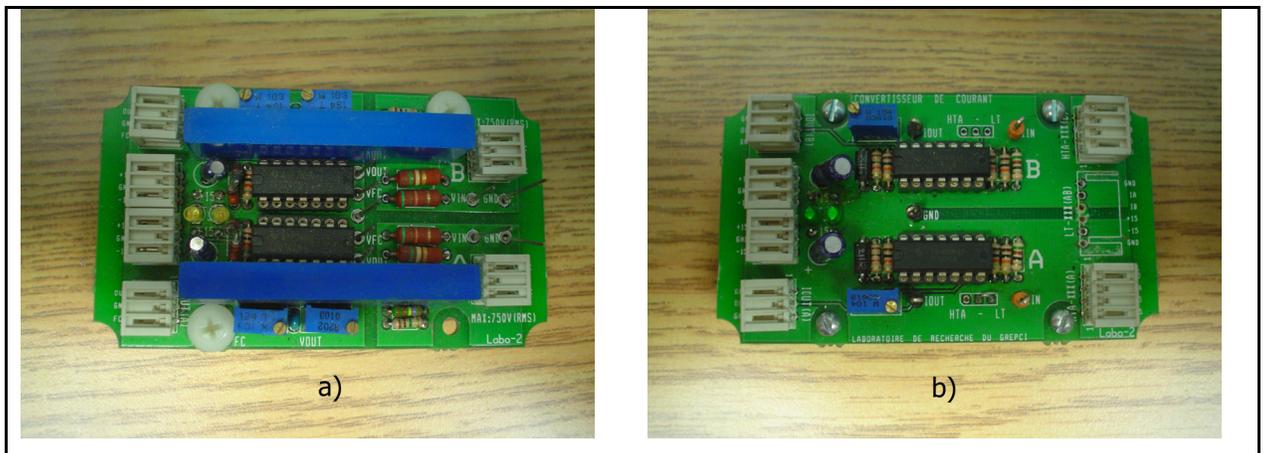


**Figure 4.1 Schéma bloqué des circuits d'isolation.**

Les entrées analogiques de dSPACE acceptent des tensions qui varient de plus ou moins quinze volts. Les mesures sont effectuées à l'aide de carte offrant une isolation galvanique pour la tension suivit de plusieurs étages d'amplificateur opérationnel permettant de varier le

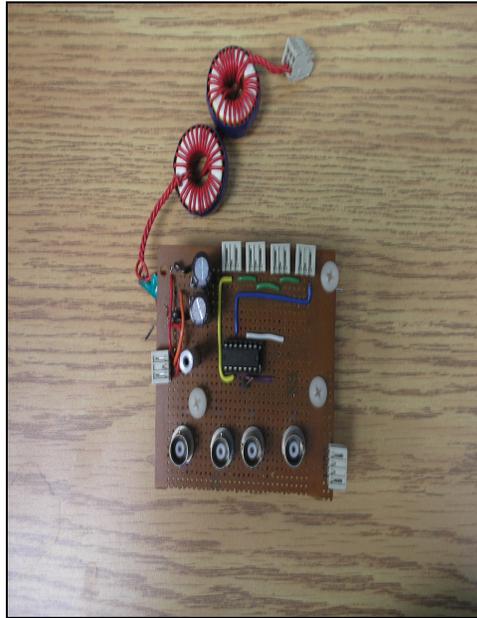
gain et de filtrer le signal au besoin, voir la Figure 4.2 a). Le capteur de courant offre déjà ce type d'isolation, la carte permet cependant d'adapter le type de capteur et le gain nécessaire, Figure 4.2 b).

La carte d'isolation de tension offre une isolation galvanique de 1000 volts, mais elle introduit cependant un retard de 380  $\mu$ sec. Ceci a peu d'impact lorsque la tension acquise est continue. Dans le mode redresseur, la tension du réseau est utilisée pour synchroniser le courant par une détection de passage par zéro. Pour une fréquence de 60 Hz, ce déphasage correspond à environ  $8^\circ$ . Pour une tension de 120  $V_{EFF}$ , le convertisseur voit une valeur de 23 volts au lieu de 0. Pour régler ce problème, un retard de  $352^\circ$  est introduit sur le signal.



**Figure 4.2 a) Carte isolée de mesure de tension. b) Carte isolée de mesure de courant.**

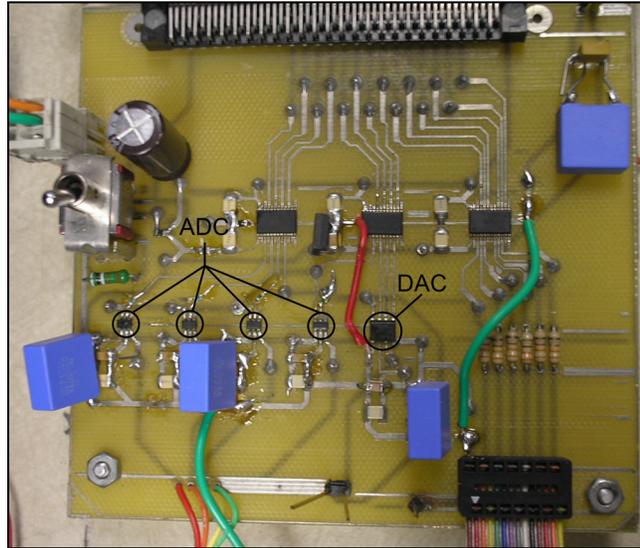
Un dernier étage d'isolation est utilisé pour s'assurer que les tensions acquises par le module dSPACE ne dépassent pas les valeurs maximales, Figure 4.3. Les différents schémas électriques de ces circuits se retrouvent dans ANNEXE I. Ces circuits ont été développés par Loubna Yacoubi lors de son projet doctoral.(Yacoubi 2004)



**Figure 4.3 Circuit écrêteur.**

## **4.2 Module d'acquisition FPGA**

Dans le cas du module FPGA, des convertisseurs analogiques à numérique, ADC, ont été développés. Ces ADC communiquent avec la carte de développement FPGA à une fréquence de 5 MHz. Le premier prototype a été assemblé sur une plaquette expérimentale. Le principal défaut de ce montage était les longs conducteurs permettant le branchement des différents modules requis. Ce prototype était très sensible aux bruits électromagnétiques et avait de la difficulté à communiquer à haute fréquence. Pour ces raisons, une deuxième carte regroupant tous les composants et limitant la longueur des conducteurs fut développée, Figure 4.4.



**Figure 4.4 Carte d'acquisition et commande pour FPGA.**

Cette carte comprend quatre ADC et un DAC avec deux sorties, digital analog converter (DAC). Les DAC permettent de visualiser les différents signaux internes de la commande et n'ont pas d'utilité une fois que le convertisseur fonctionne correctement. Chaque ADC est précédé d'un amplificateur différentiel pour rejeter le bruit. Les tensions  $V_{BUS}$ ,  $V_{AUX}$  sont strictement positives. Par contre, le courant  $I_S$  et la tension  $V_{CA}$  sont sinusoïdaux. Comme les ADC peuvent seulement accepter des signaux compris entre 0 et 5 volts, une tension continue de 2.5 volts est ajoutée lors de l'acquisition des signaux alternatifs. Cette carte comprend aussi des circuits modifiant les niveaux logiques de 0-5V à 0-3.3V pour rendre la carte FPGA compatible avec les autres circuits.

### 4.3 Convertisseur valeur efficace à valeur moyenne

Dans la commande, la valeur efficace de la tension de sortie,  $V_{CA}$ , est nécessaire pour sa régulation. Il serait possible d'obtenir cette valeur algébriquement dans le FPGA, il est cependant plus simple d'utiliser un circuit externe qui effectue la conversion d'une tension efficace à une tension continue. Le convertisseur est suivi d'un étage d'amplification pour faire la mise en forme du signal.

#### **4.4 Commande numérique**

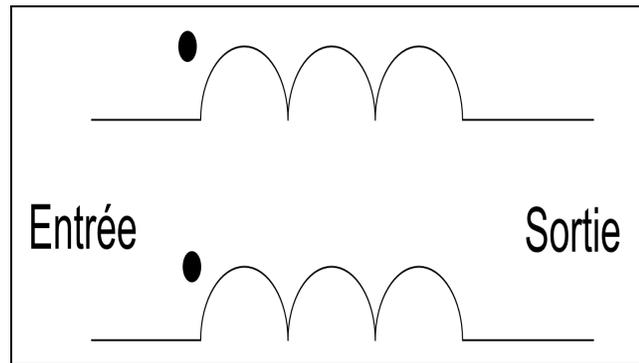
Pour isoler les signaux numériques et les interrupteurs de puissance, le montage utilise des optocoupleurs. Dans le cas de dSPACE comme pour la carte de développement FPGA, un circuit suiveur est utilisé pour s'assurer de ne pas surcharger les sorties des différents contrôleurs.

#### **4.5 Problèmes rencontrés**

Les multiples alimentations ont été le principal problème lors de la réalisation. Les amplificateurs opérationnels sont fréquemment utilisés dans ce prototype et toute variation sur leur alimentation est reflétée à leur sortie. Il en va de la même pour les ADC, le DAC ou le convertisseur de valeur efficace à valeur moyenne.

##### **4.5.1 Bruit en mode commun**

Ce phénomène est l'un des plus difficiles à expliquer, car il implique des appareils dont les schémas ne sont pas disponibles, comme les différentes sources d'alimentation qui sont reliées au réseau. Pour ce prototype, les différents circuits de commande d'interrupteurs de puissance sont alimentés en utilisant un flyback, celui-ci est alimenté par une source DC alimentée à partir du réseau. Lorsque l'interrupteur de puissance du flyback commute, il introduit un bruit de commutation sur son alimentation DC et elle le renvoie sur le réseau et est ensuite réinjectée dans la source DC adjacente servant à alimenter les cartes d'acquisition. Selon (Ott 1988) ce bruit peut être éliminé en utilisant un transformateur. La façon qu'est bobiné le transformateur, si le courant provient de la source, celui-ci pourra traverser le transformateur, il voit une inductance de  $3\mu\text{H}$ . Dans le cas contraire, le transformateur est vu comme une inductance de  $3\text{mH}$  et bloquera le courant, Figure 4.5.



**Figure 4.5 Inductance pour la réjection du mode commun.**

Une fois ce transformateur installé pour chacune des alimentations le bruit sur les signaux acquis a été de beaucoup diminué d'environ 60dB. Ce filtre permet de protéger du bruit extérieur, mais il empêche également la pollution du réseau. Des problèmes similaires se produisaient sur ce prototype lorsqu'un des chercheurs du laboratoire alimentait son montage. Le problème fut réglé lorsqu'il isola lui aussi son alimentation avec ce type de transformateur.

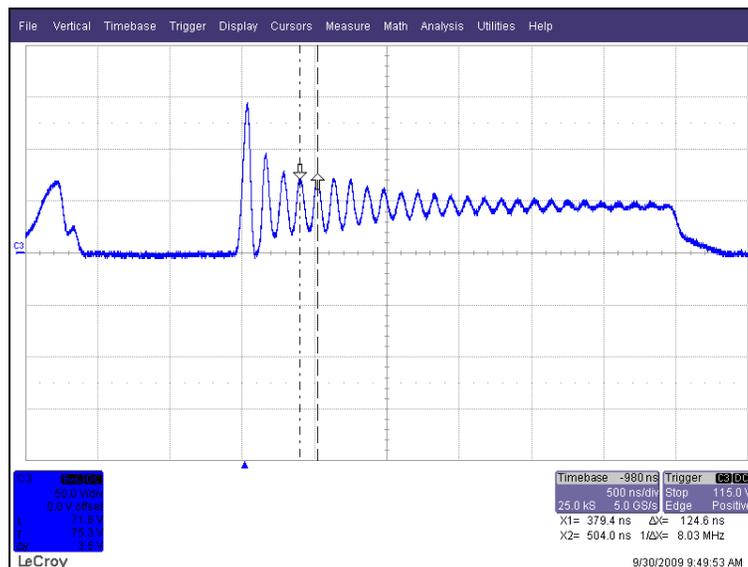
#### **4.5.2 Surtension de commutation**

Le positionnement des interrupteurs de puissance est très complexe. Plusieurs capacités sont ajoutées au montage avec chaque interrupteur. Elles se trouvent entre les différentes broches, c.-à-d. : drain-source, drain-grille, grille-source. Elles ne causent pas de problème, mais lorsqu'il y a des inductances de fuite, causé par les traces du circuit, et un interrupteur dans la même boucle, il peut avoir un phénomène de résonance entre ces deux composants.

Pour ce prototype, les composants disponibles au laboratoire ont été utilisés. Le circuit imprimé était lui aussi disponible au laboratoire, mais il nécessitait quelques modifications. À première vue ces choix semblent anodins et même judicieux pour accélérer la réalisation du prototype, cependant ce faisant, les interrupteurs de puissance sont légèrement surdimensionnés, ce qui implique des condensateurs parasites plus élevés. Aussi le

positionnement des interrupteurs sur le circuit imprimé crée de grandes inductances de fuite. Pour ces deux raisons, il se produit des surtensions à l'ouverture des interrupteurs.

L'oscillation trouvée expérimentalement est de 8 MHz et d'une durée d'environ 3 µsec, voir la Figure 4.6. En se référant à l'article (Clemente 1981), il est possible d'évaluer l'inductance de fuite et sa résistance en utilisant les valeurs de condensateur données par le fabricant de MOSFET, la fréquence et la durée de l'oscillation. En résolvant les équations (4-1) et (4-2), l'inductance de fuite est évaluée à 619 nH avec une résistance de 419 mΩ.

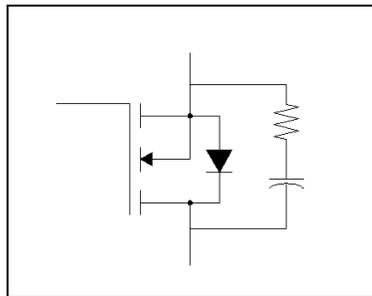


**Figure 4.6 Surtension à l'ouverture de T3.**

$$\omega = \frac{\sqrt{4 \cdot L_l \cdot C_{OSS} + C_{OSS}^2 \cdot R_l^2}}{2 \cdot L_l \cdot C_{OSS}} \quad (4-1)$$

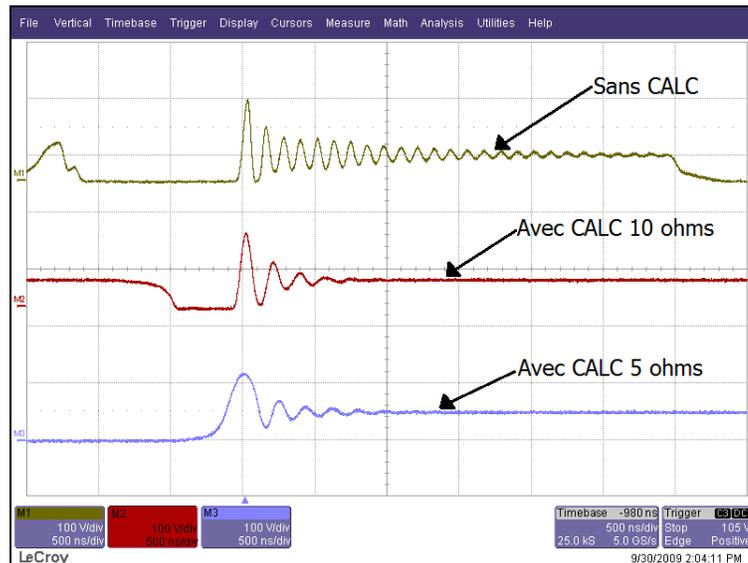
$$T = \frac{2 \cdot L_l}{R_l} \quad (4-2)$$

Une façon de résoudre ces surtensions est de diminuer l'inductance de fuite du circuit, ce qui est difficile dans ce cas puisque le montage est déjà assemblé. Il est aussi possible d'augmenter le temps de commutation, se faisant la variation de courant à l'ouverture,  $dI/dt$ , sera moins grande ainsi que la surtension aux bornes du drain de l'interrupteur. Cette technique augmentera les pertes de commutation puisqu'il y aura un plus grand chevauchement de la tension et du courant. Ces pertes seront donc dissipées en chaleur par l'interrupteur. Dans le but de diminuer la température de fonctionnement du transistor un circuit d'aide à la commutation (CALC) peut-être placé en parallèle avec l'interrupteur. (Maxim 2001) propose un montage afin de réduire les surtensions à l'aide d'un circuit RC, voir la Figure 4.7.



**Figure 4.7 Schéma d'un CALC.**

Une résistance de  $10\ \Omega$  et un condensateur de  $1\ \text{nF}$ , qui sont des valeurs standard, ont été placés en parallèle avec un des interrupteurs. La résistance de  $10\ \Omega$  a été ensuite remplacée par une de  $5\ \Omega$ . Les différents résultats obtenus sont affichés à la Figure 4.8. Plus la résistance diminue, plus la surtension est réduite, ainsi que sa durée et sa fréquence. Le prix de cette amélioration est dans la puissance dissipée dans la résistance à la charge et à la décharge du condensateur, soit environ  $2.5\ \mu\text{W}$  par commutation pour une résistance de  $10\ \Omega$  et  $5\ \mu\text{W}$  par commutation pour l'autre valeur. Lors de la conception d'un nouveau prototype, un meilleur dimensionnement des interrupteurs et une meilleure disposition des traces permettent d'éliminer ce problème.



**Figure 4.8 Surtension à l'ouverture de T3 sans et avec différents circuits d'aide à la commutation.**

### 4.5.3 Problème de masse

Ce problème était présent sur le circuit imprimé pour la communication avec la carte du FPGA. Plusieurs de ces problèmes sont faciles à éviter lorsque le circuit imprimé est conçu par une personne expérimenté. Lors de la conception, les traces doivent être considérées comme des résistances, mais aussi des inductances. Si la masse d'un circuit est éloignée de celui-ci, le courant circulant dans la masse fera varier la différence de potentiel entre la masse et l'alimentation des autres circuits reliés à cette même masse. Dans la Figure 4.9 a), la masse des sorties analogiques fait une grande boucle reliant le circuit de DAC et tous les ADC. En faisant l'Analyse, il y a toujours trois optocoupleurs alimentés, sauf lors de temps mort, ce qui donne une variation de 15 mA d'une durée de 100 nsec. Le courant circulant dans la masse est donc de 15 A/ $\mu$ sec et ce qui fait varier le potentiel de la masse des autres circuits. La Figure 4.10 montre le synchronisme entre le bruit injecté sur un des signaux acquis et les signaux d'impulsion envoyés pour contrôler les interrupteurs, ce qui a permis d'identifier le problème. Celui-ci fût réglé, en partie, en changeant le chemin emprunté par la masse en ajoutant un conducteur et en coupant la trace reliant l'ancienne masse, Figure 4.9 b).

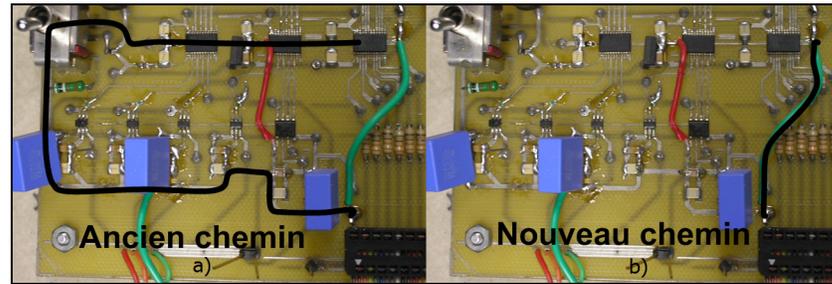


Figure 4.9 Modification de la masse.

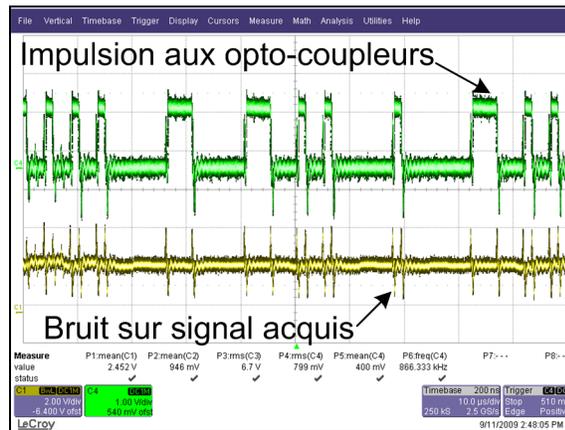


Figure 4.10 Bruit sur un signal acquis causé par une mauvaise masse.

## CHAPITRE 5

### RÉSULTATS

#### 5.1 Fonctionnement en mode onduleur

##### 5.1.1 Schéma et expérimentation

Le Tableau 5.1 donne la valeur des paramètres du montage expérimental présenté dans la Figure 5.1.

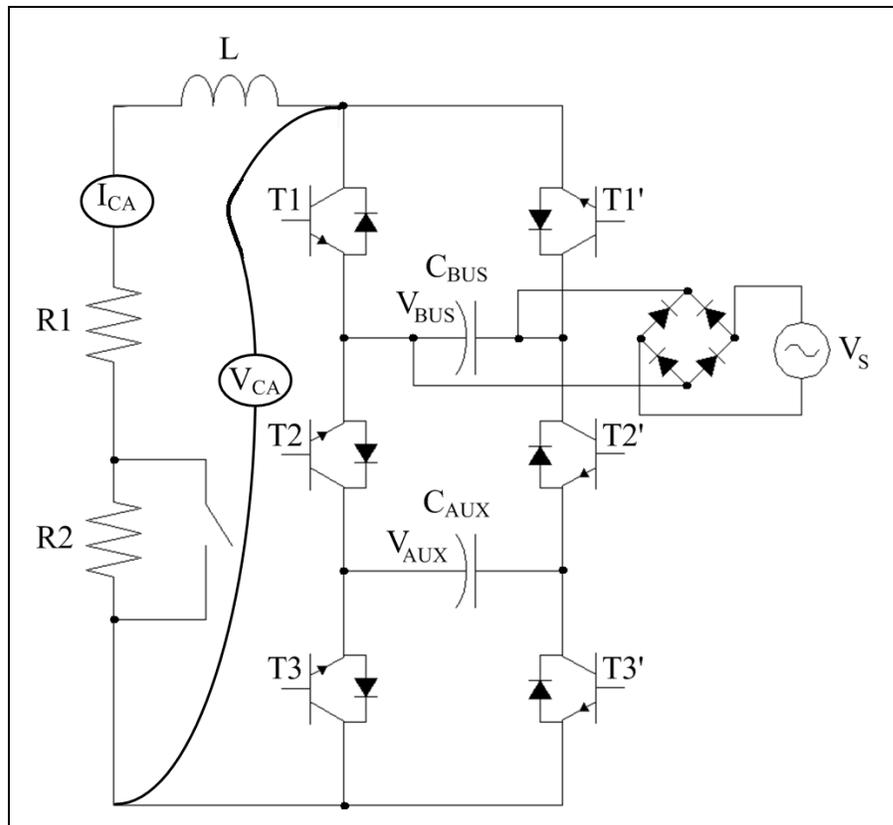
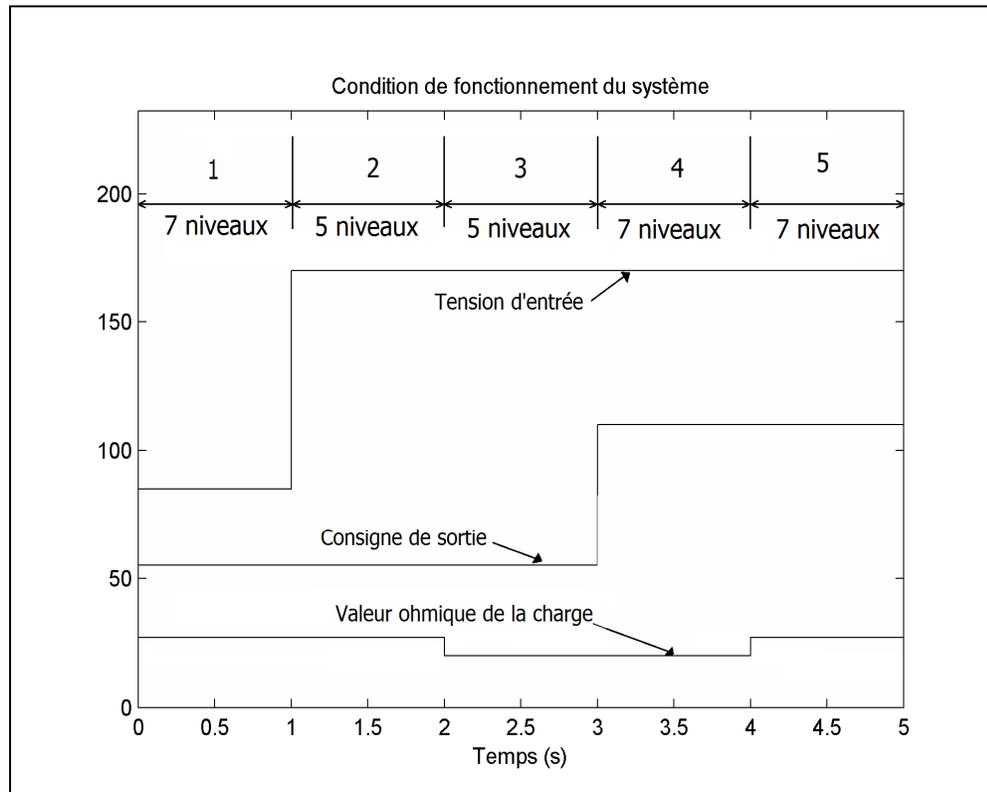


Figure 5.1 Montage expérimental.

Tableau 5.1 Composantes du convertisseur

Composantes	Valeurs
$C_{BUS}$	3500 $\mu$ F
$C_{AUX}$	680 $\mu$ F
R1	20 $\Omega$
R2	7 $\Omega$
L	3 mH
$V_S$	0-120 $V_{RMS}$
Mosfet	IXFH44N50P

La tension d'entrée  $V_{BUS}$  est obtenue à l'aide d'une source de tension alternative monophasée redressée avec un pont de diode. Les méthodes de commande, 5 niveaux et 7 niveaux, seront testées sous différentes conditions de charges afin de mettre à l'épreuve la stabilité de la régulation. Sur une période de cinq secondes, la tension d'entrée  $V_{BUS}$ , la charge ainsi que la consigne de sortie varieront. Au démarrage, la tension de  $V_{BUS}$  est de 85 volts, condition de fonctionnement 1, puis elle augmente à 170 volts après 1 seconde, condition de fonctionnement 2, ce qui permet de tester le mode 7 et 5 niveaux, voir le sous-chapitre 2.2.1 pour plus de détails. La consigne de sortie est de 55 volts efficaces durant les 3 premières secondes puis elle passe à 110 volts efficaces par la suite, condition de fonctionnement 3. La charge est de 27 ohms durant les 2 premières secondes, 20 ohms entre les secondes 2 et 4, puis revient à 27 ohms ensuite. La Figure 5.2 montre le chronogramme de variations des différentes consignes du circuit. À noter le nombre de niveaux de tension que le convertisseur utilise pour chacune des conditions d'utilisation.



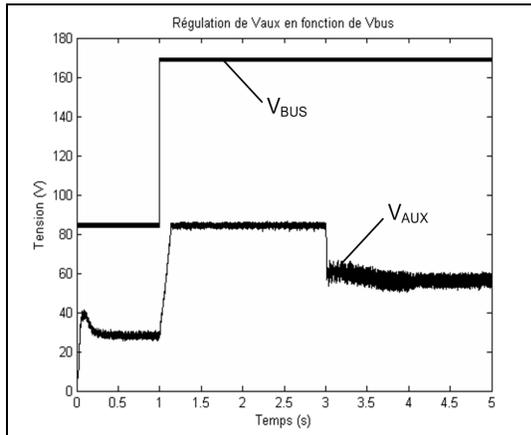
**Figure 5.2 Condition de fonctionnement du système en fonction de différents paramètres.**

### 5.1.2 Simulation

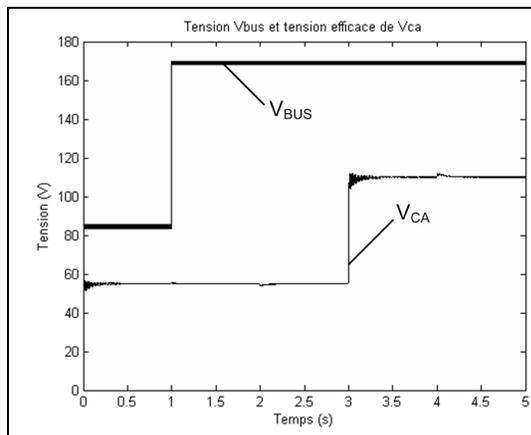
Comme plusieurs composants actifs et passifs sont présents dans la simulation effectuée dans SPS, le solveur ode23t a été utilisé. Ce type de solveur permet de résoudre rapidement les systèmes rigides, soit un système dont les différents pôles sont très éloignés. Il permet un compromis entre la rapidité à trouver une solution et la marge d'erreur. Cependant, les intégrateurs eux utilisent une intégration de type trapézoïdale du premier ordre, car c'est ce type d'approximation qui sera implémenté dans le FPGA.

Les différents gains et régulateurs ont d'abord été ajustés afin d'obtenir les résultats optimaux en utilisant la simulation. La Figure 5.3 montre la régulation de  $V_{AUX}$  en fonction de  $V_{BUS}$  et la Figure 5.4 montre la régulation de la tension de sortie. L'inductance  $L$  contribue au lissage du courant de charge. La Figure 5.5 a) montre la tension appliquée à la

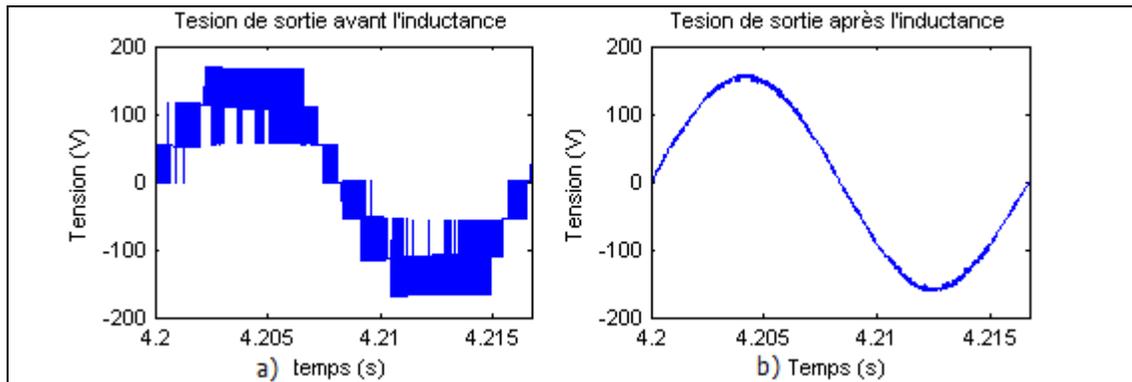
charge et la tension aux bornes de la résistance en b). Le Tableau 5.2 donne la valeur du TDH du courant dans le temps.



**Figure 5.3 Régulation de  $V_{AUX}$  selon  $V_{BUS}$  et le nombre de niveaux.**



**Figure 5.4 Régulation de  $V_{CA}$  en fonction de la consigne et de  $V_{BUS}$ .**



**Figure 5.5** Forme de la tension de sortie a) avant l'inductance b) après l'inductance.

Tableau 5.2 Résultats de simulation

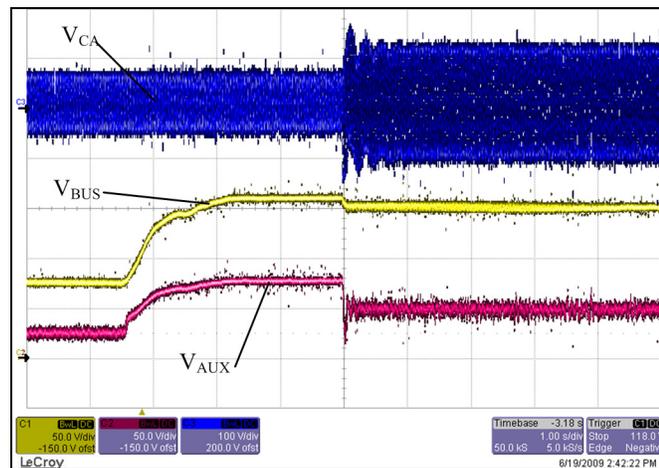
Condition de fonctionnement	1	2	3	4	5
TDH	2.97 %	4.60 %	3.76 %	1.37 %	1.64 %

Comme nous pouvons l'imaginer, la valeur du TDH est plus élevée pour les conditions de fonctionnement 2 et 3, car le convertisseur fonctionne seulement avec cinq niveaux de tension de sortie. En augmentant la consigne de sortie, nous retrouvons un fonctionnement sept niveaux et le TDH diminue. Les meilleurs résultats, pour le TDH du courant, sont obtenus lorsque le courant est plus élevé, ce qui s'explique par le ratio entre la résistance et l'inductance de charge.

### 5.1.3 Commande en temps réel utilisant le contrôleur dSPACE

Lorsque dSPACE est utilisé, la majorité des bibliothèques de Simulink peuvent être utilisées, la seule restriction est d'utiliser un solveur à pas fixe. Des tests similaires à la simulation en temps différé ont été effectués en commandant le prototype réel. La commande est identique à celle utilisée en simulation, la principale différence est dans l'acquisition des différentes valeurs. Comme mentionné précédemment dSPACE utilise un pas fixe afin de calculer la

commande. Si la commande est complexe, le pas du solveur sera plus grand et par le fait même le temps échantillonnage. Dans notre cas, le pas est de 30  $\mu$ sec, c'est donc le temps minimum de réaction de la commande. Aussi, comme plusieurs manipulations sont nécessaires, une période différente qu'en simulation a été utilisée pour chaque condition de fonctionnement. La réponse de la commande a tout de même été vérifiée pour chacune des variations d'entrée pour s'assurer qu'elle est comparable à la simulation. La Figure 5.6 montre la régulation de la tension de sortie pour une consigne de 55 volts puis 110 volts par la suite. L'entrée varie de 85 volts à 170 volts. Le TDH du courant est donné dans le Tableau 5.3 pour chacune des conditions de fonctionnement.



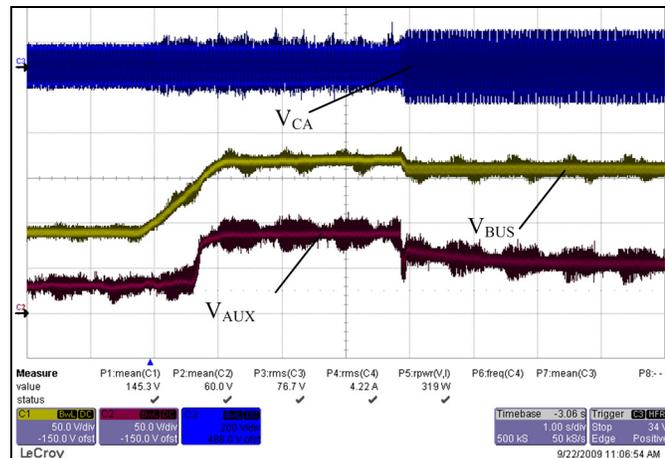
**Figure 5.6 Régulation de  $V_{AUX}$  et de  $V_{CA}$  en fonction de  $V_{BUS}$  utilisant dSPACE.**

Tableau 5.3 Résultats en utilisant dSPACE

Condition de fonctionnement	1	2	3	4	5
TDH	4.74 %	13.48 %	10.46 %	4.20 %	5.50 %

### 5.1.4 Commande en temps réel utilisant le contrôleur par FPGA

La Figure 5.7 montre la réponse du circuit utilisant la commande par FPGA, et le Tableau 5.4 donne les différents résultats pour chacune des conditions de fonctionnement. En plus d'être un système embarqué, la carte de développement FPGA fait une acquisition à toutes les 3.6  $\mu$ sec. Elle réagit donc beaucoup plus rapidement aux variations de la commande. Par exemple, la tension de sortie  $V_S$  se stabilise beaucoup plus rapidement avec le FPGA, lorsqu'on compare la Figure 5.7 et la Figure 5.6. Bien que les variations de tension de  $V_{AUX}$  sont plus importantes en fonctionnement 5 niveaux, les résultats sont comparables à ceux obtenus en utilisant dSPACE. Comme mentionné dans le sous-chapitre 4.5.3, les signaux acquis par le FPGA sont extrêmement sensible au bruit. Les oscillations que l'on peut voir sur les différentes tensions de la Figure 5.7 sont dues au contrôleur qui essaie de compenser. C'est également ce qui explique un niveau de THD plus élevé.



**Figure 5.7 Régulation de  $V_{AUX}$  et de  $V_{CA}$  en fonction de  $V_{BUS}$  pour FPGA.**

Tableau 5.4 Résultats en utilisant FPGA

Condition de fonctionnement	1	2	3	4	5
TDH	6.47 %	12.06 %	9.34 %	5.08 %	7.84 %

## 5.2 Fonctionnement en mode redresseur

### 5.2.1 Schéma et expérimentation

Le

Tableau 5.5 donne la valeur des composants du montage présenté à la Figure 5.8 qui montre le schéma utilisé pour l'expérimentation.

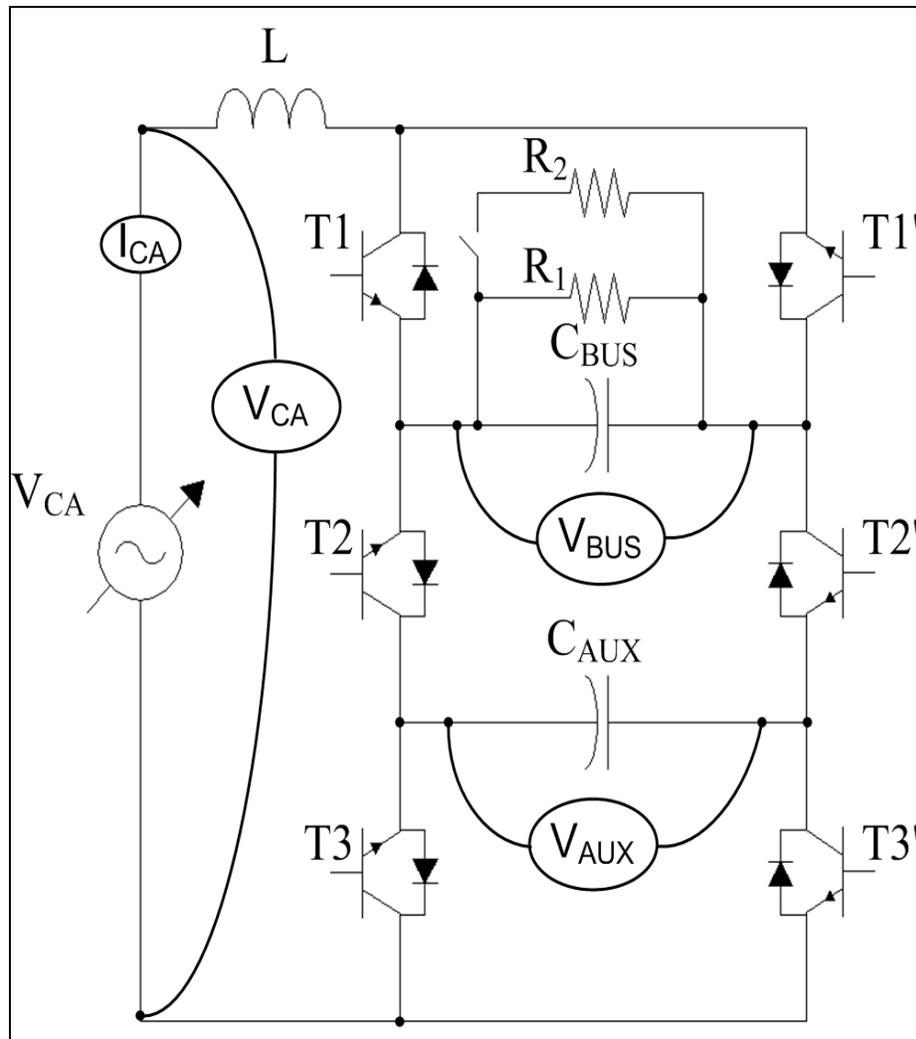


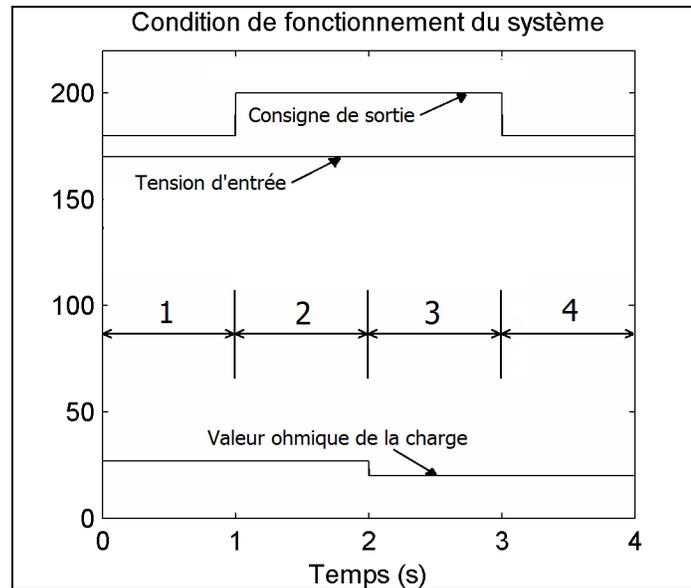
Figure 5.8 Montage expérimental.

Tableau 5.5 Composantes du convertisseur

Composantes	Valeurs
$C_{BUS}$	3500 $\mu$ F
$C_{AUX}$	680 $\mu$ F
R1	27 $\Omega$
R2	80 $\Omega$
L	3 mH
$V_{CA}$	0-120 $V_{RMS}$
Mosfet	IXFH44N50P

La tension d'entrée est variable,  $V_{CA}$ , permet de faire des essais à faible niveau de tension, afin de tester la commande. Comme pour le fonctionnement en mode onduleur, la charge et la consigne de sortie sont variées pour vérifier le bon fonctionnement de la commande aux différentes variations des paramètres du système. La tension d'entrée restera la même durant toute l'expérimentation, 170 volts crête. La tension de sortie varie de 180 à 200 volts après une seconde, puis revient à 180 volts à la troisième seconde. La charge est de 27 ohms puis 20 ohms après 2 secondes. Contrairement au mode onduleur, le mode redresseur fonctionne toujours en utilisant 7 niveaux. Le convertisseur peut aussi être utilisé pour augmenter le facteur de puissance ou corriger le TDH du réseau, fonctionnement en filtre actif.

La Figure 5.9 montre le chronogramme de variations des différentes consignes du circuit.



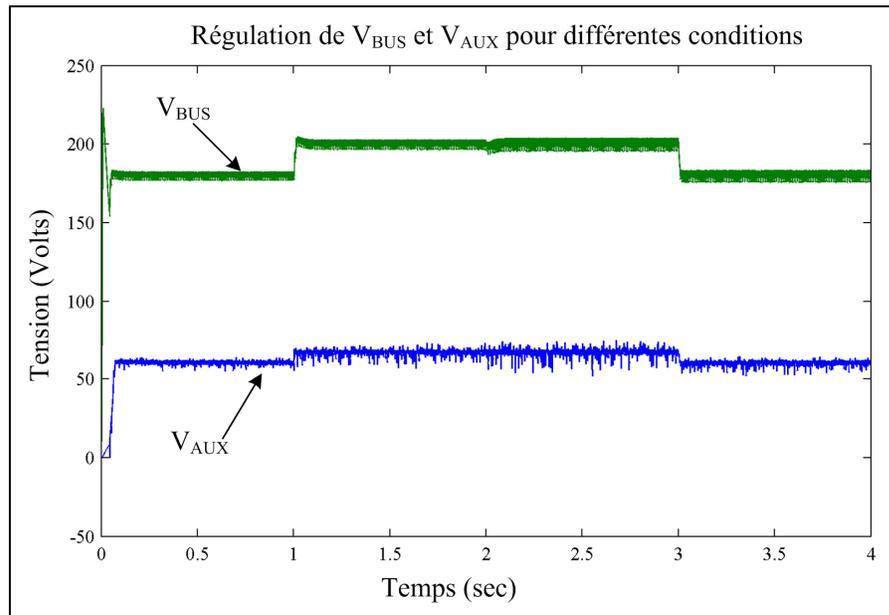
**Figure 5.9 Condition de fonctionnement du système en fonction de différents paramètres.**

## 5.3 Résultats

### 5.3.1 Simulation

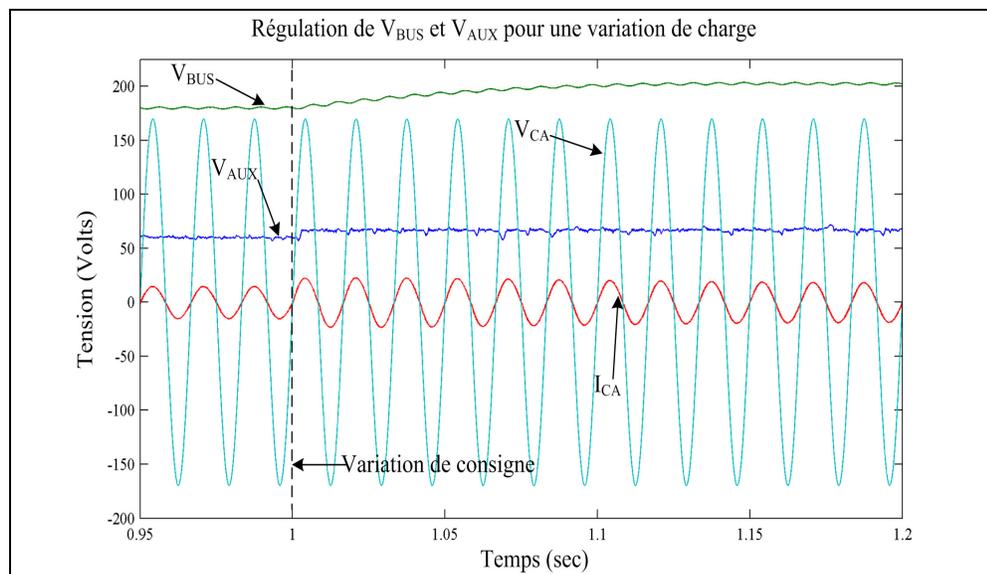
Les simulations ont été réalisées avec Sim Power System de Simulink. Le solveur ode23t a été utilisé, car il permet de résoudre rapidement les systèmes rigides. Les différents régulateurs ont été discrétisés afin de se rapprocher le plus possible de ceux qui seront utilisés dans la régulation du prototype réel.

La Figure 5.10 montre la réaction du système pour un changement de la consigne de sortie après une seconde, une variation de la charge après deux secondes, puis un retour à la consigne de départ après trois secondes, comme vue dans la Figure 5.9.



**Figure 5.10 Régulation de  $V_{BUS}$  et  $V_{AUX}$  pour différentes conditions en simulation.**

Le mode redresseur doit fonctionner avec un f.p. unitaire, pour ce faire le courant doit être en phase avec la tension d'entrée. La Figure 5.11 montre que le courant et la tension sont en phase, et ce, même lorsque la consigne de sortie varie.



**Figure 5.11 Tension et courant d'entrée en phase pour une variation de consigne en simulation.**

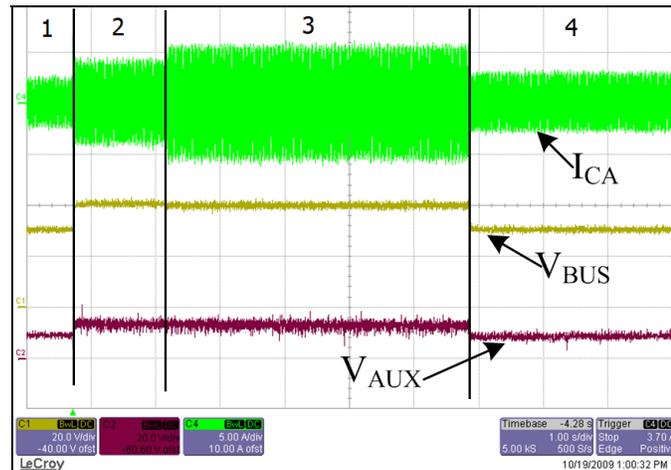
Le Tableau 5.6 donne le TDH pour chacune des conditions de fonctionnement.

Tableau 5.6 Résultats de simulation

Condition de fonctionnement	1	2	3	4
TDH	8.12 %	6.86 %	5.16 %	6.31 %

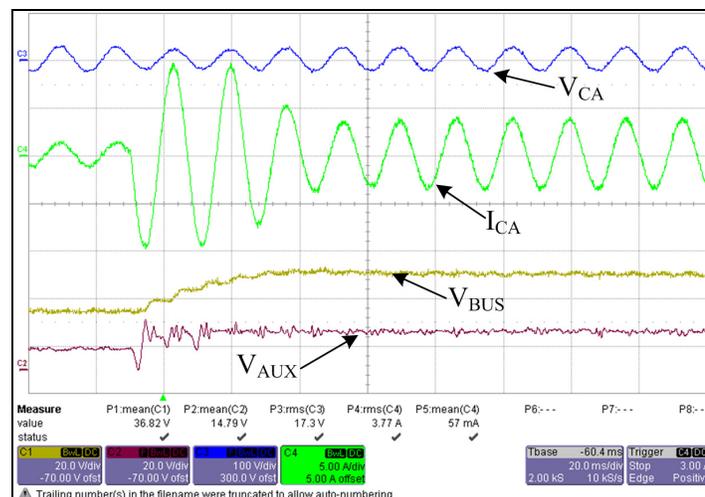
### 5.3.2 Commande en temps réel utilisant le contrôleur dSPACE

Les mêmes conditions de fonctionnement ont été reproduites sur le prototype réel. Contrairement à la simulation, le montage réel requiert des temps morts entre chaque commutation afin de laisser un temps de recouvrement aux interrupteurs pour éviter de court-circuiter les condensateurs. Les temps morts devraient avoir une durée de 100 nsec, mais dSPACE permet seulement d'effectuer des commutations à la période d'échantillonnage, soit 30 $\mu$ sec. Pour cette raison, il est impossible de commander le convertisseur aux mêmes tensions qu'en simulation en utilisant dSPACE. Pour des niveaux de tension faible, les interrupteurs ont le temps de s'ouvrir avant la fermeture de celui qui lui est complémentaire. Pour des niveaux de tension plus élevés, les interrupteurs mettent plus de temps à l'ouverture, un temps mort est donc requis. La consigne de sortie varie de 25 à 40 volts, la même variation de charge est conservée. La Figure 5.12 montre les résultats pour chacune des conditions de fonctionnement.



**Figure 5.12 Régulation de  $V_{BUS}$  et  $V_{AUX}$  pour différentes conditions avec dSPACE.**

La Figure 5.13 montre que le convertisseur fonctionne bien avec un f.p. unitaire même lors d'une variation de la consigne de sortie. De plus, la sortie se stabilise plus rapidement qu'en simulation. Ceci s'explique par le fait que le montage réel est beaucoup plus résistif que la simulation ce qui tend à diminuer les oscillations. Les différents résultats obtenus sont présentés dans le Tableau 5.7.



**Figure 5.13 Tension et courant d'entrée en phase pour une variation de consigne avec dSPACE,  $V_{BUS}$  20V/div,  $V_{AUX}$  20V/div,  $I_{CA}$  5 A/div et  $V_{CA}$  100 V/div.**

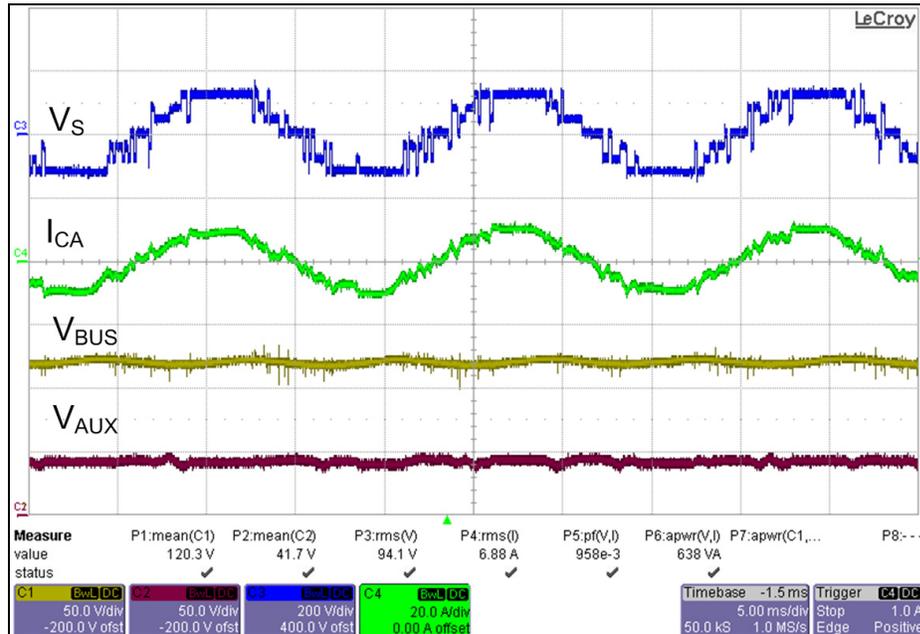
Tableau 5.7 Résultats de dSPACE

Condition de fonctionnement	1	2	3	4
TDH	7.28%	5.13 %	4.24 %	6.45 %

### 5.3.3 Commande en temps réel utilisant le contrôleur FPGA

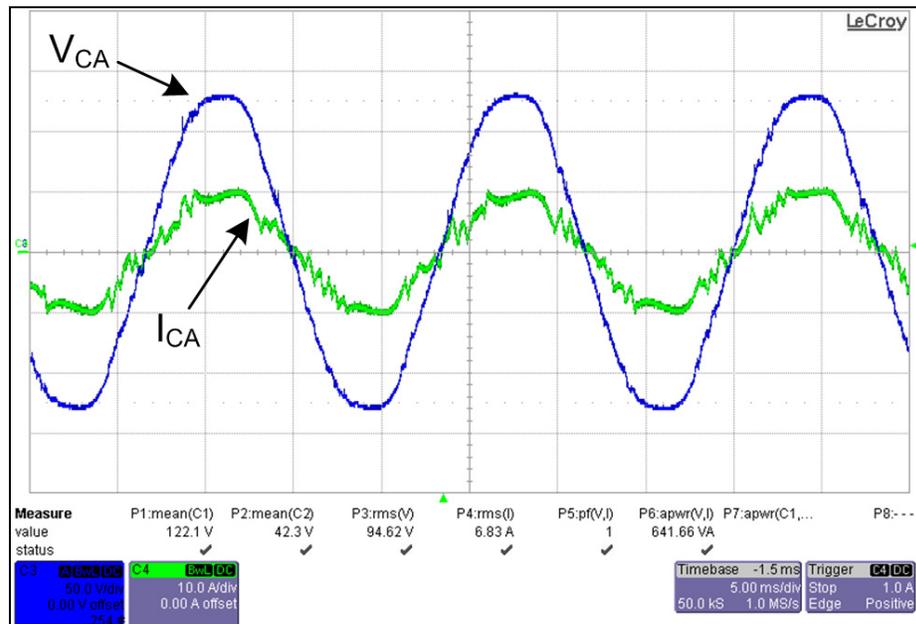
L'inductance utilisée dans le montage réel est caractérisée pour une fréquence de 60 Hz. Comme la fréquence de commutation est d'environ 600 Hz, lorsque le courant élevé l'inductance produit une magnétostriction qui pourrait être dommageable sur elle. Pour cette raison, il n'était pas possible d'utiliser le montage avec un courant élevé.

Le montage a donc été testé dans les conditions suivantes. La tension efficace du réseau est de 90 volts, la charge varie entre 26 et 20 ohms et la consigne de sortie passera de 110 à 120 volts. La Figure 5.14 montre les résultats obtenus pour la première condition de fonctionnement, soit une consigne de sortie de 120 volts et une charge de 26 ohms.  $V_{\text{convertisseur}}$  est la tension appliquée à l'inductance pour suivre le réseau.



**Figure 5.14 Régulation de  $V_{BUS}$  et  $V_{AUX}$  pour la première condition de fonctionnement avec le contrôleur FPGA.**

La Figure 5.15 montre que le courant est en phase avec le réseau et que le f.p. est de 1.



**Figure 5.15 Tension  $V_{CA}$  et courant  $I_{CA}$  en phase pour un facteur de puissance unitaire.**

Lors d'une variation de la charge ou de la tension d'entrée, la tension de sortie doit rester constante, comme le montre la Figure 5.16 et la Figure 5.17.

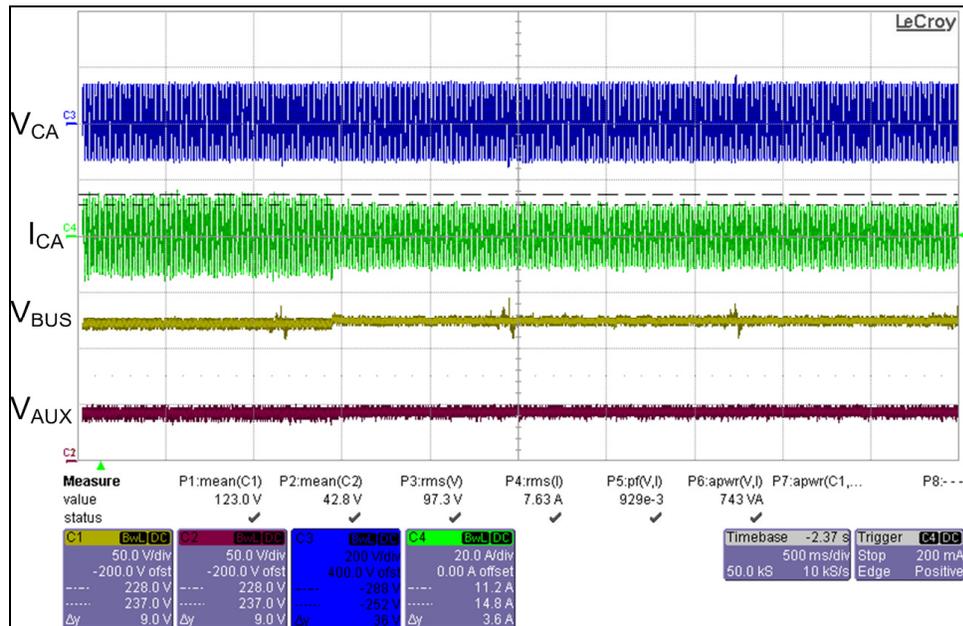


Figure 5.16 Variation de la charge de 20 à 26 ohms.

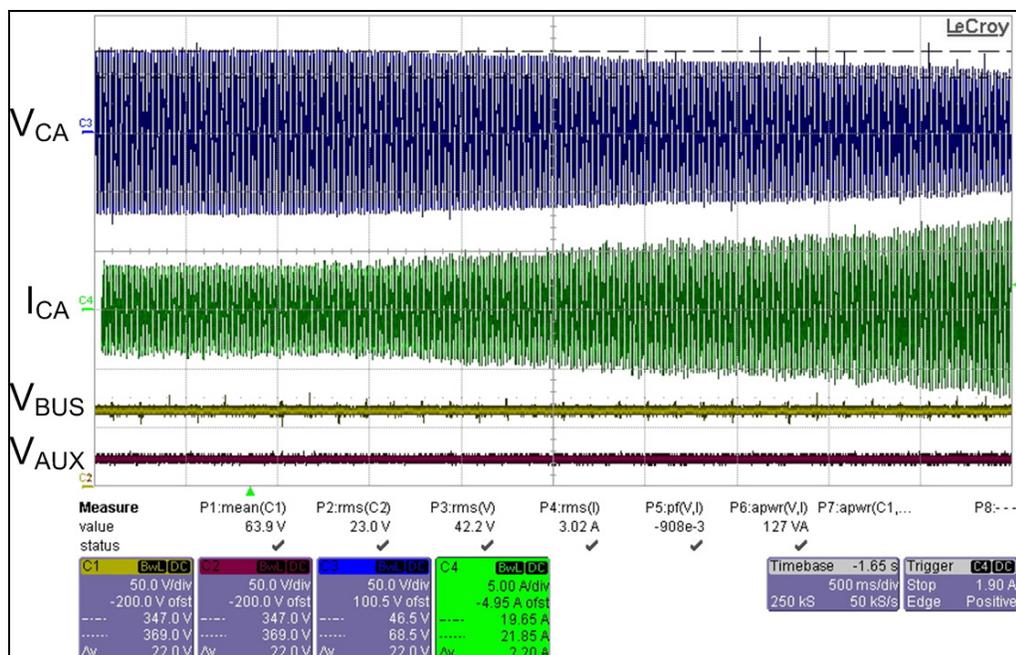


Figure 5.17 Variation de la tension d'entrée.

Il est donc possible de constater une tension de sortie constante même pour une variation de 20 volts sur la tension d'entrée, tout en gardant un f.p. unitaire. Le Tableau 5.8 donne les résultats du THD pour le contrôleur FPGA.

Tableau 5.8 Résultats du FPGA

Condition de fonctionnement	1	2	3	4
TDH	7.53%	7.30 %	6.51 %	6.63 %

#### 5.4 Fonctionnement en mode filtre actif

Un autre mode de fonctionnement du redresseur consiste à corriger le courant de la source. Pour ce faire, une charge est alimentée par la source par un pont de diode, le courant consommé par cette charge est ajouté à la consigne de courant. La Figure 5.18 montre le montage expérimental. La Figure 5.19 et la Figure 5.20 montre le courant consommé par le convertisseur, par la seconde charge et le courant de la source, avec et sans compensation.

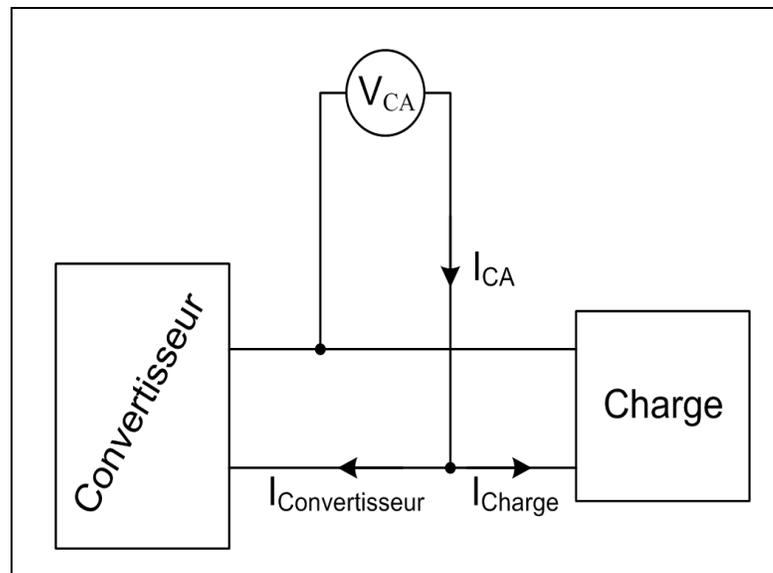
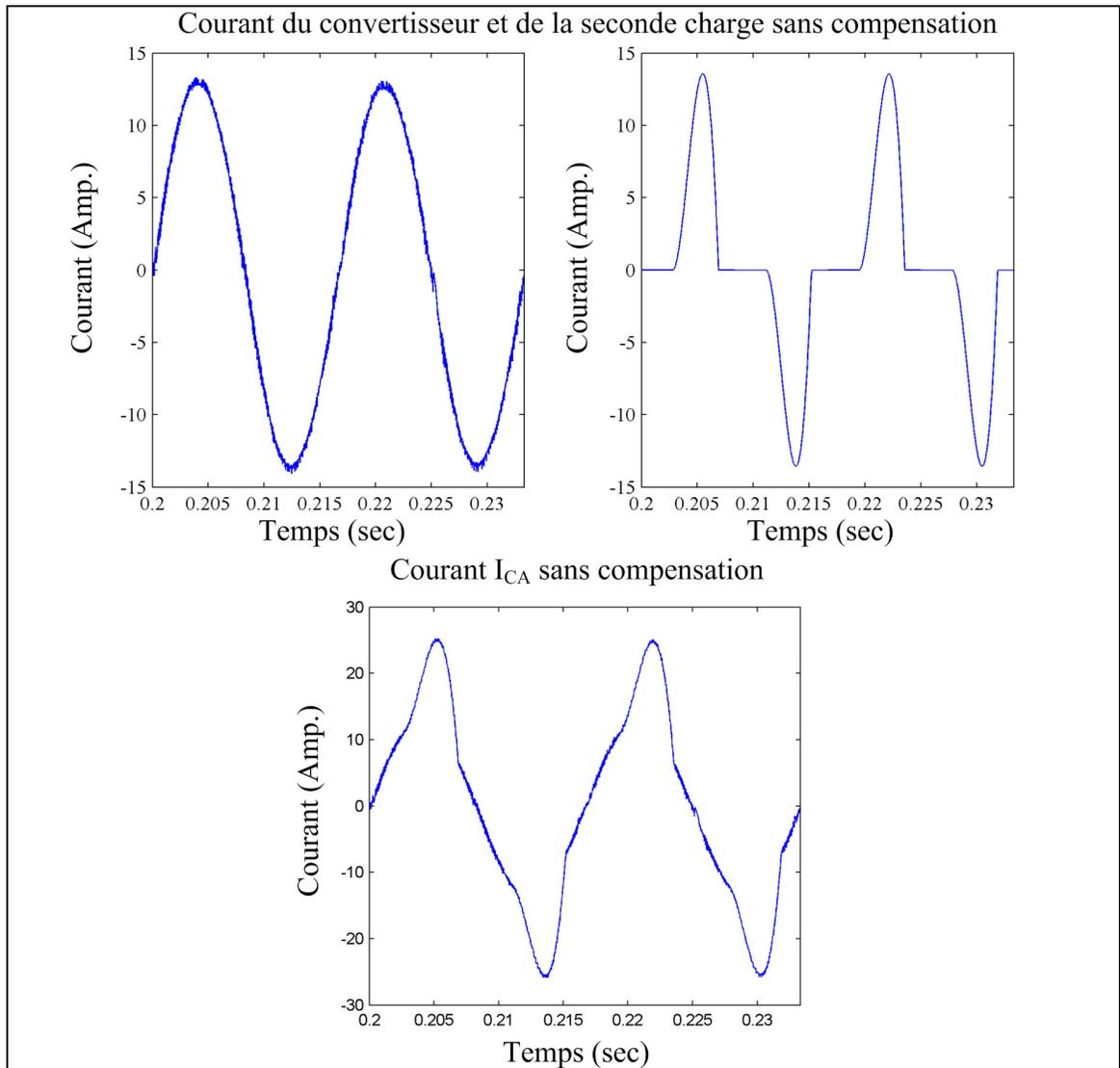
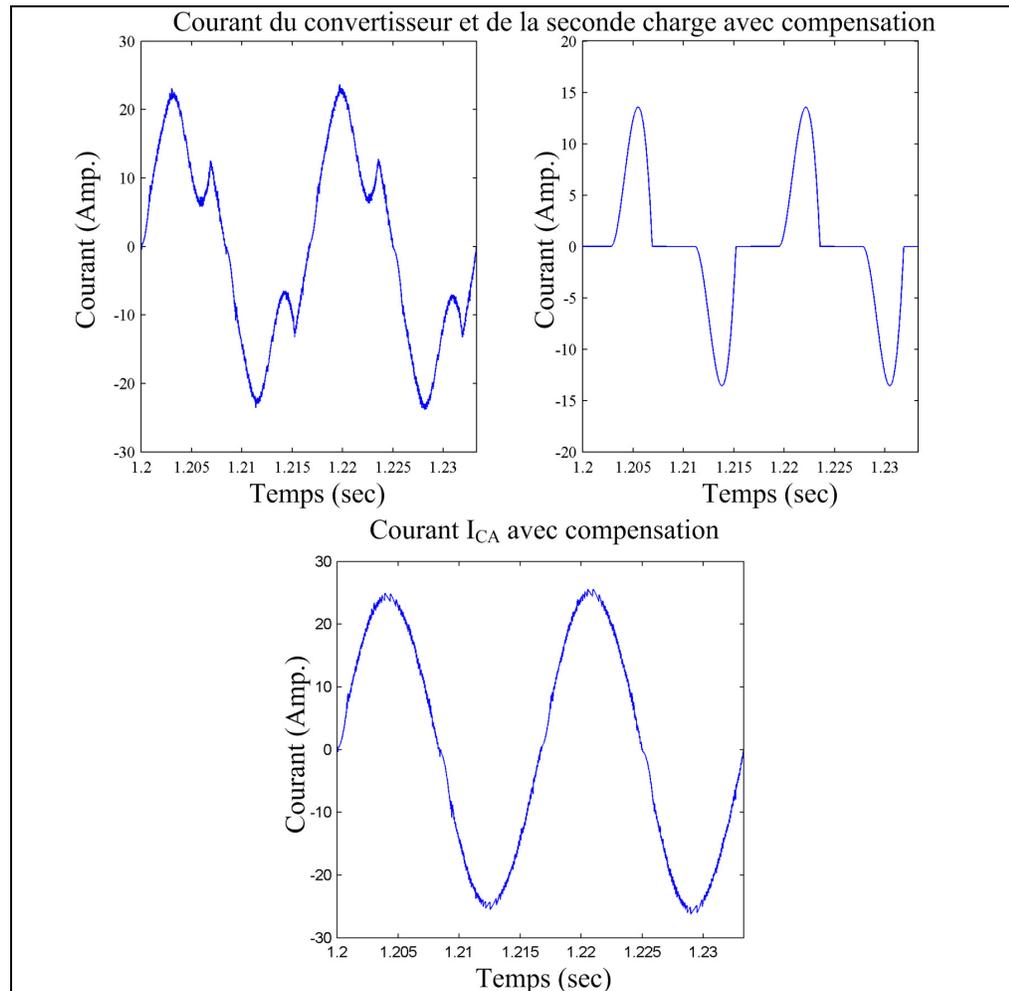


Figure 5.18 Montage expérimental pour la compensation de courant.



**Figure 5.19 Courant du convertisseur sans correction.**

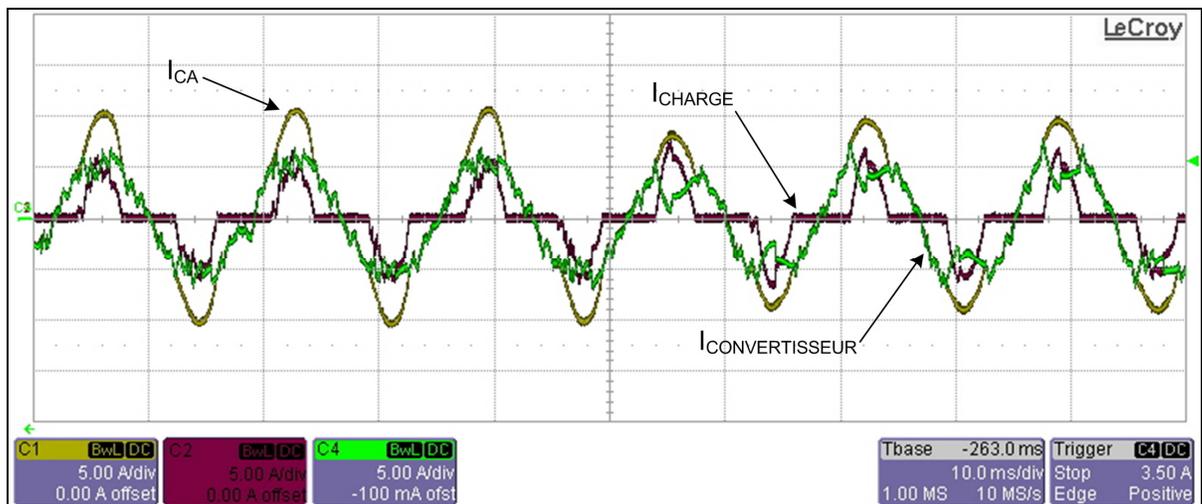


**Figure 5.20 Courant du convertisseur avec compensation.**

Comme le montrent les précédentes figures, le convertisseur peut corriger le courant fourni par la source. Le courant non compensé à un TDH de 20.61 % et de 1.92 % une fois compensé. Le courant consommé par le convertisseur doit cependant être supérieur à celui de la seconde charge, sinon il ne pourra pas complètement corriger le courant.

Des résultats semblables sont obtenus en utilisant le contrôleur FPGA. La seconde charge est constituée d'un pont redresseur à diode avec une capacité de lissage et une résistance de 40 ohms. La charge du convertisseur est de 20 ohms et la valeur de consigne de sortie est de 120 volts. La Figure 5.21 montre les différents courants du montage. Dans un premier temps, le courant du réseau n'est pas compensé. Le courant du convertisseur est donc complètement

sinusoïdal alors que celui du réseau a une déformation dû à la somme des courants du convertisseur et celui de la seconde charge. Ensuite une modification dans le courant du convertisseur permet d'obtenir un courant avec un plus faible TDH. Lorsqu'il n'y a pas de compensation, le courant du réseau à un TDH d'environ 18 à 20%, selon l'appel de courant du convertisseur. Le TDH du courant de la seconde charge est de 70%, mais son impacte est moindre si le courant du convertisseur est plus élevé. Quand le convertisseur compense pour le courant de la seconde charge, le TDH sur le réseau est 10 à 12%. En tentant de modifier la consigne de courant du convertisseur, la fréquence de la modulante est modifiée. Pour obtenir de meilleurs résultats, il faudrait donc augmenter la fréquence des différentes porteuses afin de bien corriger le courant du réseau. Par contre il en résulterait une fréquence de commutation plus élevée.



**Figure 5.21 Courant du réseau, du convertisseur et de la charge sans et avec compensation.**

## 5.5 Conclusion

Pour le mode onduleur, la méthode de commande suggérée a été prouvée efficace tant en simulation qu'en utilisant dSPACE ou la carte de développement FPGA. Le Tableau 5.9 fait une synthèse des résultats pour les différents types de commande.

Tableau 5.9 Synthèse des résultats pour le mode onduleur

<b>Condition de fonctionnement</b>	1	2	3	4	5
<b>TDH simulation</b>	2.97 %	4.60 %	3.76 %	1.37 %	1.64 %
<b>TDH dSPACE</b>	4.74 %	13.48 %	10.46 %	4.20 %	5.50 %
<b>TDH FPGA</b>	6.47 %	12.06 %	9.34 %	5.08 %	7.84 %

Naturellement les meilleurs résultats sont obtenus en simulation, car il n'y a aucun problème de surtension, dû aux inductances de fuite, lors des commutations, ou de temps mort requis entre les commutations. Les résultats pratiques obtenus demeurent très satisfaisants. La différence entre la commande à l'aide de dSPACE ou par la carte de développement FPGA est principalement due aux bruits lors de l'acquisition des signaux comme expliqués dans le sous-chapitre 4.5.

Pour le mode redresseur, la méthode de commande suggérer s'est avéré efficace pour contrôler le convertisseur. La tension de sortie du convertisseur suit la consigne de sortie et la tension du bus auxiliaire est régulée au tiers de la tension de sortie. L'appel de courant sur le réseau est en phase avec la tension de celui-ci, assurant un facteur de puissance unitaire. Le Tableau 5.10 fait une synthèse des résultats obtenus pour le TDH.

Tableau 5.10 Synthèse des résultats pour le mode redresseur

<b>Condition de fonctionnement</b>	1	2	3	4
<b>TDH simulation</b>	8.12 %	6.86 %	5.16 %	3.31 %
<b>TDH dSPACE</b>	7.28 %	5.13 %	4.24 %	6.45 %
<b>TDH FPGA</b>	7.53 %	7.30 %	6.51 %	6.63 %

En observant les résultats, il est possible de remarquer que le TDH est plus faible lorsque la consigne de sortie est plus élevée. Comme mentionné dans le sous-chapitre 2.3, le modèle redresseur permet d'augmenter la tension de sortie à une valeur supérieure à celle de la tension d'entrée. Pour ce faire, l'inductance d'entrée est utilisée de la même façon que celle d'un hacheur élévateur. Donc pour obtenir une valeur de tension plus élevée la fréquence de commutation augmente. Ceci explique donc un TDH plus faible lorsque la consigne de sortie augmente. Aussi en modifiant la consigne de courant désiré, il est possible de corriger le courant du réseau, à condition que l'appel de courant du convertisseur soit suffisamment élevé, comme vue dans le sous-chapitre 5.4.

## CONCLUSION

L'objectif premier de cette étude était le contrôle de convertisseur multi-niveaux de type cellules empilés. Pour ce faire, le premier chapitre a recensé les topologies présentes ainsi que leur méthode de contrôle. Le deuxième chapitre dresse une liste des différents problèmes rencontrés lors de l'expérimentation et les méthodes utilisées pour les résoudre.

La simulation a été utilisée pour ajuster les gains des régulateurs afin d'obtenir des résultats probants. En observant la forme de la modulante, on remarque que la valeur du gain proportionnel du régulateur feed-forward ne doit pas être trop élevé. Lorsque c'est le cas, la modulante varie plus rapidement que la porteuse, ce qui crée des harmoniques qui ne sont pas toujours visible en simulation. Suite à la simulation le convertisseur a été branché à deux systèmes. Le premier est le système de dSPACE. Celui-ci permet d'utiliser directement d'un schéma de commande Simulink. Il est cependant limité en ce qui concerne les impulsions des interrupteurs. Le pas de calcul requis étant de 30  $\mu$ sec, les impulsions pouvaient seulement être rafraîchit à cette fréquence, rendant impossible l'introduction d'un temps mort entre les impulsions complémentaires. Cette limitation a été particulièrement limitative dans le mode redresseur. Le second contrôleur utilisé est à base de FPGA. Il permet un pas de calcul aussi faible que 200 nsec. Lors de l'utilisation du FPGA la limitation est dans les cartes d'acquisition analogiques. Premièrement car l'acquisition est effectué à toute les 2.5 $\mu$ sec, mais aussi parce qu'elles sont très sensible au bruit comme constaté dans le mode redresseur.

Le premier mode de fonctionnement étudié a été le mode onduleur. Une nouvelle méthode de régulation a été développée pour asservir la tension du bus auxiliaire. La sortie de l'onduleur peut varier entre 0 et sa tension d'alimentation. Pour ce faire, le convertisseur utilise soit 5 ou 7 niveaux selon le cas. Le contrôleur détermine de façon autonome le nombre de niveaux requis, lui permettant un fonctionnement avec un haut rendement qui est atteint de deux façons. Premièrement en utilisant une fréquence de commutation faible, seulement 10 fois celle de la modulante. Dans le cas de topologie traditionnel, il s'agit habituellement d'un facteur de 30 fois. En limitant ne nombre commutations, les pertes par commutations sont

également réduite. De plus, l'interrupteur commutant le plus souvent est également celui qui a la plus faible différence de potentiel. Le haut rendement est aussi dû aux niveaux de TDH faible. L'utilisation de plusieurs niveaux permet de suivre plus fidèlement la consigne désirée et ainsi avoir un f.p. plus élevé.

Le mode redresseur comportait plus de défi. Bien que la régulation du bus auxiliaire ce fait de la même façon, le convertisseur devait être synchrone avec le réseau. Dans un premier temps le contrôleur FPGA utilisé pour la commande n'a pas fonctionné. Ce qui nous a permis de comprendre la grande sensibilité au bruit du contrôleur. En utilisant un contrôleur avec des cartes d'acquisition bien immunisées au bruit, la commande développée c'est avéré très efficace.

Dans une prochaine version, un meilleur design permettrait de diminuer les inductances de fuites responsables de plusieurs problèmes et limitations rencontrés. Le développement d'une MLI multiniveaux avec des porteuses avec différentes fréquences, permettant d'augmenter la fréquence de commutation, mais seulement pour les interrupteurs avec une faible tension. Ceci permettrait également de diminuer le TDH. Une étude plus approfondie du fonctionnement en filtre actif permettrait également de modifier la phase du courant afin de modifier le f.p. et de corriger celui du réseau.

Somme toute, nous considérons que les objectifs ont été entièrement atteints.

# ANNEXE I

## Schéma électrique des différentes cartes utilisées

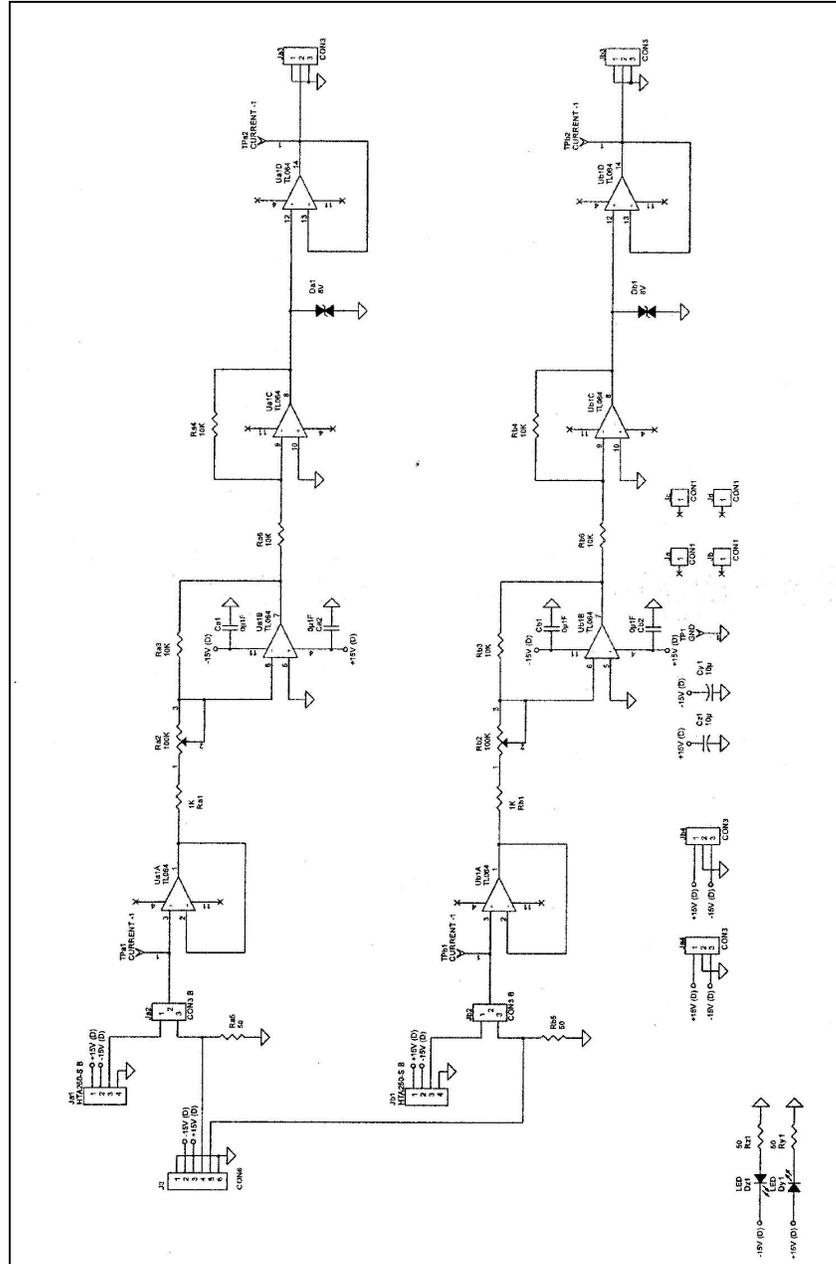


Figure-A I-1 Carte capteur de courant.

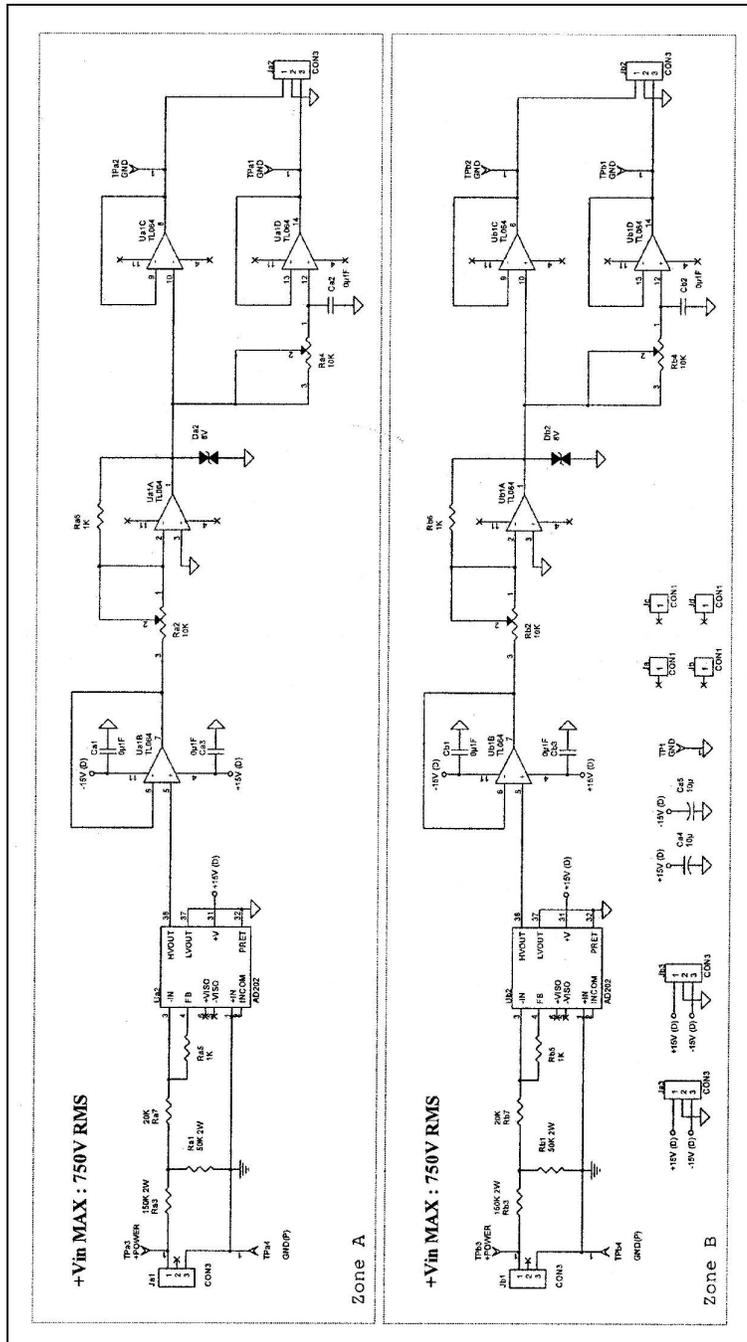


Figure-A I-2 Carte capteur de tension

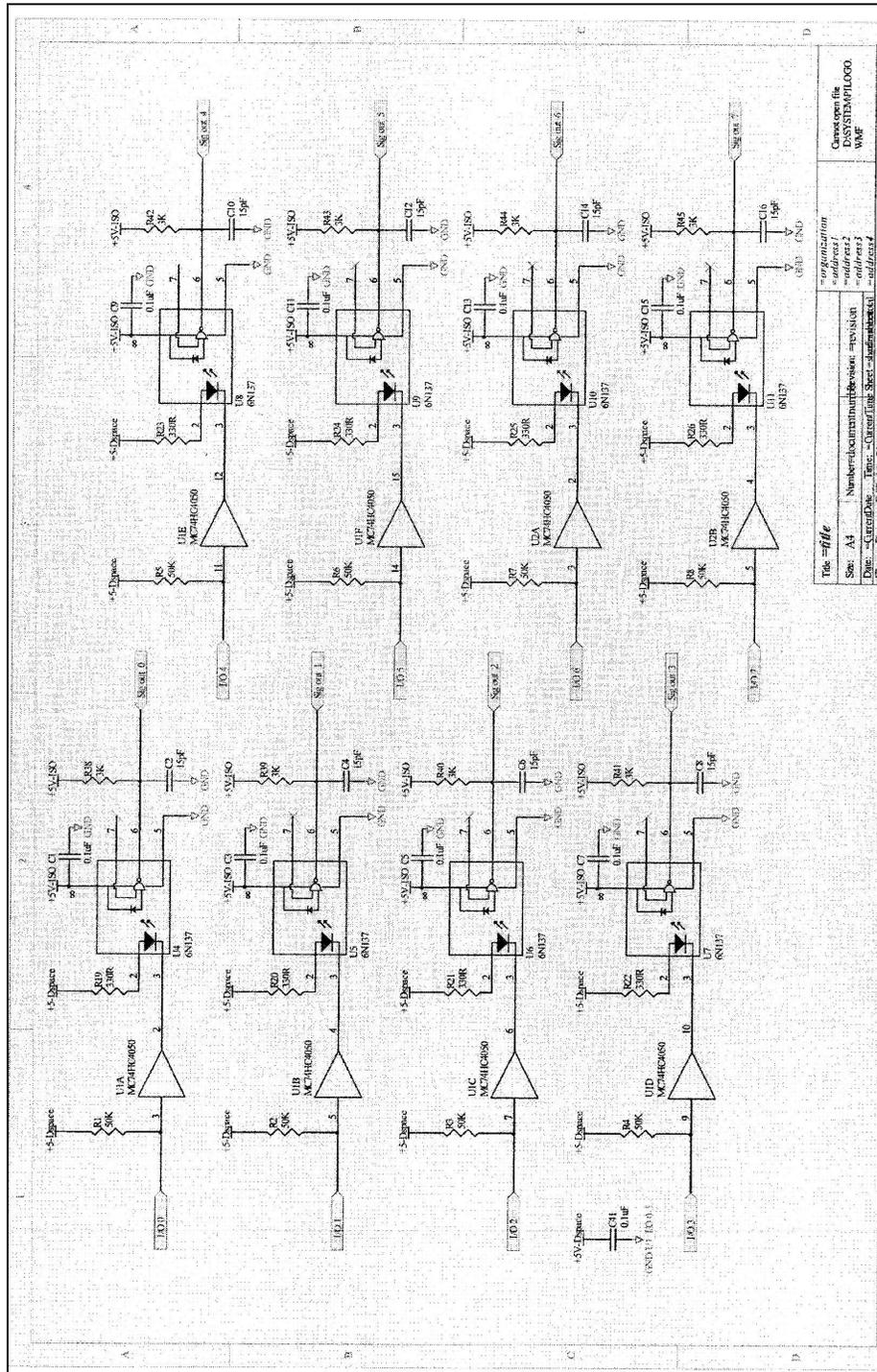


Figure-A I-3 Carte de commande des interrupteurs avec dSPACE.

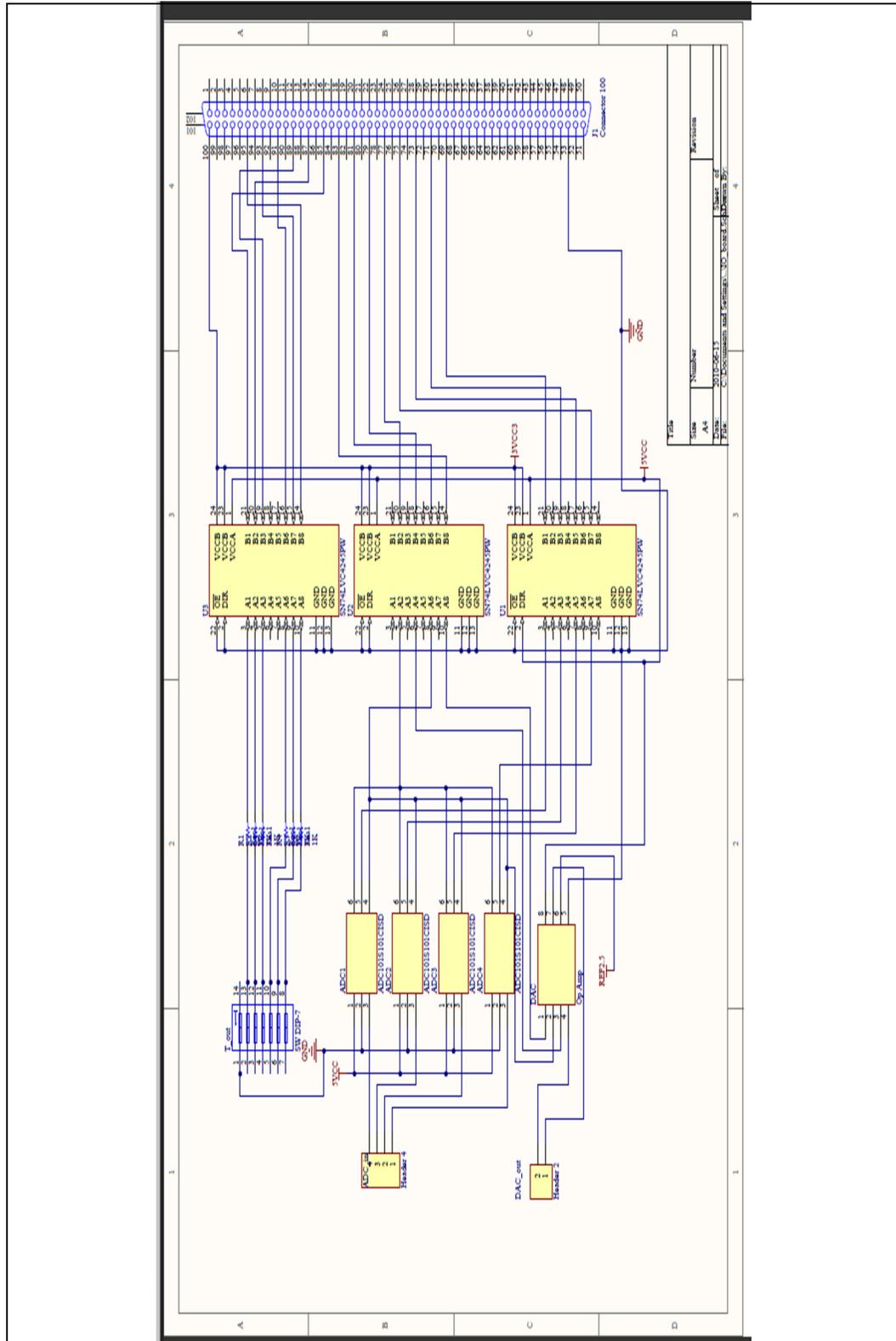


Figure-A I-4 Carte d'interface entrée/sortie de la carte FPGA.

## LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES

- Allebrod, S., R. Hamerski, et al. (2008). *New transformerless, scalable Modular Multilevel Converters for HVDC-transmission*, Power Electronics Specialists Conference, 2008. PESC 2008. IEEE.
- Clemente, S., Pelly, B.R., Isidori, A. (1981) *Understanding HEXFET Switching Performance*.
- FREDERICK, D. K., CARLSON, A.B. (1971). *Linear Systems in Communication and Control*, John Wiley & Sons: 582 pages.
- Hongyan, X. and I. jianlin (2009). *FPGA Based Multiplex PWM Generator for Multilevel Converters Applied Wind Power Generator*, Power and Energy Engineering Conference, 2009. APPEEC 2009. Asia-Pacific.
- J. Arrillaga, Y. H. L., N. R. Watson, Ed. (2007). *Flexible power transmission: the HVDC options*, John Wiley and Sons, 2007.
- Jie, Z., Z. Yunping, et al. (2001). *Study on a modified multilevel cascade inverter with hybrid modulation*, Power Electronics and Drive Systems, 2001. Proceedings., 2001 4th IEEE International Conference on.
- Jih-Sheng, L. and P. Fang Zheng (1995). *Multilevel converters-a new breed of power converters*, Industry Applications Conference, 1995. Thirtieth IAS Annual Meeting, IAS '95, Conference Record of the 1995 IEEE.
- Lie, X. and V. G. Agelidis (2001). *A flying capacitor multilevel PWM converter based UPFC*, Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual.
- Maxim (2001), *Snubber Circuits Suppress Voltage Transient Spikes in Multiple Output DC-DC Flyback Converter Power Supplies*. En ligne. < <http://www.maxim-ic.com/app-notes/index.mvp/id/848> >. Consulté le 5 juillet 2010.
- Morrison, A. J. (2007). *Global Demand Projections for Renewable Energy Resources*, Electrical Power Conference, 2007. EPC 2007. IEEE Canada.
- Nabae, A., I. Takahashi, et al. (1981). *A New Neutral-Point-Clamped PWM Inverter*, Industry Applications, IEEE Transactions on IA-17(5): 518-523.
- Ott, H. W. (1988). *Noise reduction techniques in electronic systems*, New York ; Toronto, New York ; Toronto : J. Wiley.

- Ounejjar, Y. and K. Al-Haddad (2008). *A novel high energetic efficiency multilevel topology with reduced impact on supply network*, Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE.
- PHILLIPS, C. L., NAGLE, T., Ed. (1995). *Digital Control System. Analysis and Design*, Prentice Hall.
- Saeedifard, M., A. R. Bakhshai, et al. (2003). *Introducing the low switching frequency space vector modulated multimodular three-level converters for high power applications*, Power Electronics Specialist Conference, 2003. PESC '03. 2003 IEEE 34th Annual.
- WILDI, T., SYBILLE, G., Ed. (2000). *Électrotechnique*, Ste-Foy, Les Presses de l'Université Laval.
- Yacoubi, L. (2004). *Contribution à l'étude, la modélisation et la commande des redresseurs triphasés non-polluants : application au convertisseur trois-niveaux à point neutre calé*. Montréal, Montréal, Publications de l'ÉTS.