

# シリコンフォトニクスを用いた高速・高感度光受信器に関する研究

著者	岡本 大典
学位授与機関	Tohoku University
URL	<a href="http://hdl.handle.net/10097/00128719">http://hdl.handle.net/10097/00128719</a>

令和元年度 博士学位論文

シリコンフォトニクスを用いた  
高速・高感度光受信器に関する研究

東北大学大学院工学研究科 通信工学専攻

岡本 大典



# Study on High-Speed and High-Sensitivity Optical Receivers Based on Silicon Photonics

## Abstract

### 1. Introduction

Owing to the recent advances in internet-of-thing technologies, the total volume of data generated worldwide is expected to increase from 218 zettabytes (ZB)/year in 2016 to 847 ZB/year in 2021. The analyses of such massive data volumes require high-speed communication between large-scale integration (LSI) chips and optimum calculation performance. The required interconnection bandwidth between LSI chips in computer systems continues to increase two-fold every two years. State-of-the-art LSI chips support approximately 10 Tbps of inter-chip bandwidth.

Optical interconnections are expected to satisfy the growing demand of increased inter-chip bandwidth. Silicon photonics is a promising technology for the implementation of high-performance, reliable, power efficient, and highly integrated optical transceivers. Additionally, the use of mature complementary metal–oxide–semiconductor (CMOS) technology in optical interconnections facilitates the reduction in development cost and mass production of wafers with large surface area. This study presents the design and fabrication of high-speed, high-sensitivity optical receivers based on silicon photonics and demonstrates their utilization in broadband optical interconnections.

### 2. High-speed and high-sensitivity chip-scale optical receiver

A  $5 \times 5$ -mm<sup>2</sup> chip-scale optical receiver was successfully developed using silicon photonics. The optical receiver was integrated with germanium photodetectors (PDs) and a CMOS transimpedance-amplifier (TIA) chip. Aluminum striplines between the PDs and the TIA enhanced the 3-dB bandwidth because their characteristic impedance is greater than the TIA input impedance. Coplanar waveguides (CPWs) on the etched silicon-on-insulator wafer realized a low insertion loss owing to the reduction in the overlap between the CPW and the silicon layer. The author additionally designed three different TIA circuits—high-gain type (Type-1), small and low-power type (Type-2A), and small and broadband type (Type-2B)—through a 28-nm CMOS process. A temperature-compensation function was implemented in the TIA circuits to realize stable operation at high temperatures.

The proposed optical receiver achieved high transimpedance gain (82 dB $\Omega$ ) with Type-1, low power (63.2 mW) with Type-2A, and broad bandwidth (19.8 GHz) with Type-2B. Error-free operation was demonstrated at 25 °C and 85 °C for 25-Gb/s pseudorandom binary sequence  $2^{31}-1$  signals using the temperature-compensation function. Minimum sensitivities were  $-12.2$  dBm at 25 °C and  $-11.6$  dBm at 85 °C. Additionally, uniform characteristics of the four receiver channels were verified with a sensitivity variation of 0.2 dB. The observed stable operation at high temperature and uniform characteristics of four channels indicate that the receiver can be used in high-temperature applications requiring a bandwidth of 100-Gb/s (25-Gb/s  $\times$  four-channel). Compared with conventional optical receivers, the proposed optical

receiver demonstrated better characteristics in terms of the gain, 3-dB bandwidth, power consumption, and chip area. Because the receiver chips can be assembled near LSI chips owing to their small size, they can be easily incorporated in embedded optical modules to establish broadband interconnections between LSI chips.

### **3. Silicon optical interposer for broadband inter-FPGA interconnections**

In this study, to enable dense optical interconnections, silicon optical interposers were integrated with an arrayed laser diode, optical modulators, photodiodes, and optical waveguides on a single silicon substrate. Additionally, the bit-error rate of optical data links within the silicon optical interposer was analyzed using an equivalent-circuit model. Both optical and electrical signals were simultaneously simulated using the circuit model where optical signals could be expressed as equivalent currents. The simulated eye diagram and calculated minimum sensitivity value of  $-5.6$  dBm closely approximated the measured eye diagram and its corresponding sensitivity of  $-5.0$  dBm, respectively.

A high-performance field-programmable gate array (FPGA) cluster is expected as an accelerator for performing deep-learning calculations. The FPGA cluster requires broadband inter-FPGA interconnections to avoid communication bottlenecks. A 25 Gbps/channel of error-free data linking on the silicon optical interposer was demonstrated using high-performance FPGA. Transmitter pre-emphasis and receiver equalization within the FPGA were observed to enhance signal quality and reduce the bit-error rate of optical links. The minimum sensitivity for error-free operation was  $-3.0$  dBm. Further, the demonstrated data rate of 25 Gbps/channel with a small footprint of  $0.0877$  mm<sup>2</sup>/channel resulted in a high bandwidth density of 28.5 Tbps/cm<sup>2</sup> on the silicon optical interposer.

### **4. High-sensitivity optical receiver using differential photodiodes AC-coupled with transimpedance amplifier**

Finally, in this study, a high-sensitivity receiver circuit is proposed for differential optical transmissions on a silicon optical interposer. Both anodes and cathodes of differential PDs were designed to be connected to TIA through coupling capacitors. A reverse-biasing voltage was applied to each of the differential PDs through an appropriate load resistance. The proposed receiver circuit achieved a current-signal amplitude twice that of conventional differential-receiver circuits. Frequency response of the receiver circuit was analyzed using its equivalent circuit based on the implementation of the temperature dependence of PDs. The optimum load-resistance values for PDs were determined to be  $5$  k $\Omega$  by considering a tradeoff between the simulated frequency response and the bias-voltage drop. A small dark current of PD was important from the viewpoint of voltage-drop reduction. However, bandwidth degradation was found to be negligible if the dark current was less than  $1$   $\mu$ A at  $25$  °C. The proposed circuit achieved 3-dB bandwidths of 18.9 and 13.7 GHz at  $25$  °C and  $85$  °C, respectively. Clear eye openings in the TIA output waveforms for 25-Gbps signals were obtained at both temperatures.

## **5. Conclusions**

This thesis describes the successful development of a chip-scale optical receiver based on silicon photonics along with demonstrating at an interconnection bandwidth of 100-Gb/s (25-Gb/s  $\times$  four channels). An error-free 25-Gbps/channel inter-FPGA optical interconnection on a silicon optical interposer was demonstrated. Further, a high-sensitivity receiver circuit was proposed for differential optical transmissions on silicon optical interposers. The proposed receiver circuit achieved twice the current-signal amplitude of conventional receiver circuits with clear eye openings at 25 °C and 85 °C. The author believes that this study supports the development of optical transceivers based on silicon photonics with major implications on the information society.



# 目次

第 1 章	序論	1
1.1	本研究の背景	1
1.2	Si フォトニクスを用いた光デバイスの進展	6
1.3	光・電子融合システムのロードマップと本研究の目的	10
1.4	本論文の構成	13
第 2 章	Si フォトニクスを用いた光受信器の理論	15
2.1	光受信器の全体構成	15
2.2	Si フォトニクスを用いた受光素子	18
2.3	CMOS トランスインピーダンスアンプ回路	22
2.4	光受信器の符号誤り率	26
2.5	受光素子とトランスインピーダンスアンプ回路の集積方式	28
2.6	結言	29
第 3 章	Si フォトニクスを用いた小型・高速光受信器の設計	31
3.1	チップスケール小型光受信器の全体設計	31
3.2	Ge 受光素子と光結合ピン	37
3.3	高速光受信器における信号配線および電源配線	39
3.4	高速トランスインピーダンスアンプ回路の設計	44
3.5	結言	51
第 4 章	Si フォトニクスを用いた小型光受信器の高速動作実証	53
4.1	光受信器特性の測定系	53



---

4.2	Type-1 (高利得版) TIA 回路を搭載した光受信器の特性 . . . . .	56
4.3	Type-2 (小型版) TIA 回路を搭載した光受信器の特性 . . . . .	61
4.4	チャンネル間均一性 . . . . .	65
4.5	光受信器の特性ベンチマーク . . . . .	68
4.6	結言 . . . . .	69
第 5 章	光・電子統合シミュレーションを用いた Si 光インタポーザの設計	71
5.1	Si 光インタポーザの概要 . . . . .	71
5.2	光送受信リンクの等価回路モデル . . . . .	73
5.3	等価回路モデルを用いた光伝送シミュレーション . . . . .	77
5.4	Si 光インタポーザにおける電氣的クロストークの解析 . . . . .	80
5.5	結言 . . . . .	85
第 6 章	Si 光インタポーザを用いた高密度チップ間光インターコネクションの実証	87
6.1	Si 光インタポーザを用いた FPGA 間光インターコネクション . . . . .	87
6.2	伝送評価基板の設計 . . . . .	91
6.3	Si 光インタポーザの伝送特性評価 . . . . .	95
6.4	FPGA 間光インターコネクションの 25 Gbps エラーフリー伝送実証 . . .	100
6.5	結言 . . . . .	102
第 7 章	Si 光インタポーザにおける高感度光受信器の提案と解析	105
7.1	Si 光インタポーザ上の差動光伝送 . . . . .	105
7.2	差動 AC 結合を用いた高感度光受信器の提案 . . . . .	107
7.3	差動 AC 結合光受信器の等価回路モデル . . . . .	109
7.4	周波数特性の解析 . . . . .	112
7.5	光受信器特性の温度依存性の解析 . . . . .	114
7.6	結言 . . . . .	117
第 8 章	結論	119
参考文献		123

研究業績 143

謝辭 149



# 第 1 章

## 序論

本章では、本論文の主題となるシリコン (Si) フォトニクスを用いた高速・高感度光受信器の研究背景として、爆発的に増加している世界のデータ処理における光インターコネクションの重要性について述べ、Si フォトニクスを用いた光集積回路の近年の進展について概説する。さらに、研究指針となる光・電子融合システムのロードマップについて述べ、その中における本研究の位置付けについて述べる。最後に、本論文の章構成について説明する。

### 1.1 本研究の背景

今日の人々の生活にとって、オンラインで提供されるサービスが必要不可欠なものとなっている。日常的にクラウドサービスやソーシャルネットワークサービスを利用することにより、半ば無意識のうちにいつでもどこでもデータにアクセスし、共有している。このようなライフスタイルの変化を背景として Internet of things (IoT) に繋がるデバイスは既に生活の一部となり、2020 年には 500 億個ものデバイスが接続されると予測されている。自動車、航空機、建造物、社会インフラなどのモノやシステムから生成されるデータ量の増加も著しく、世界中で生成されるデータの総量は 2016 年の年間 218 ZByte から 2021 年には年間 847 ZByte に増加し [1]、この傾向は今後も継続すると考えられる。

このような世界の「データ爆発」に対処できるデータ処理プラットフォームを、どのように構築すれば良いだろうか。トランジスタサイズの縮小をリードしてきたムーアの法則

の終焉が近づきつつあり，クロック周波数が飽和傾向にある中で [2]，多数のサーバやプロセッサを用いた並列分散処理によってシステム全体としてのパフォーマンスを向上させていくことが求められる．並列分散処理においては，個々のプロセッサの計算速度を向上させても，データ通信速度が遅ければそこがボトルネックとなってしまうため，高速のインターコネクション技術が重要となる．長距離の大容量通信を支えてきた光通信技術がデータセンタ内でも適用されてきており，サーバ間／チップ間で用いられる光インターコネクションの高速化・低消費電力化の要求が高まっている．

一方，IoT の進展により入手できるようになったビッグデータを元にした人工知能 (AI: Artificial Intelligence) の進化も目覚ましく，第四次産業革命とも言われるほどのインパクトを社会に与えると期待されている．AI の進化により，交通システム，セキュリティ，医療・ヘルスケアなどの分野において大量データが新たな価値を創造する時代が到来しつつある．このように AI を高性能化させるための機械学習においては，大量データに基づく膨大な計算処理が要求される．そのため，多数サーバを用いた並列分散処理を高速化することが期待されており，ここでも広帯域・低遅延で長距離伝送可能な光インターコネクション技術が極めて重要となる．

### 1.1.1 データセンタにおける光インターコネクション

爆発的に増加するデータの処理を支えるために高性能コンピューティング・システムが必要であり，近年ではデータセンタがその役割の大部分を担っている．特に大規模なものはハイパースケール・データセンタまたはメガ・データセンタと呼ばれ，IT 機器の仮想化による稼働率向上やエネルギー効率改善の点で有利であるため，世界的にこのハイパースケール・データセンタへの機能集中が進んでいる．データセンタではデータ量の大幅な増加に柔軟に対応するために，プロセッサ・メモリ・ストレージ等のリソースをラック単位で管理する従来の手法から，複数ラックにまたがってリソースを仮想化・プール化する disaggregation 化が行なわれている．この disaggregation 化においては，仮想化されたリソース間を十分に広い帯域幅で接続し，その帯域幅が接続距離に依存しないことが望ましい．世界のデータセンタの IP トラフィックは大幅に増加し続けており，図 1.1 に示すように 2016 年の年間 6.8 ZByte から，2021 年には年間 20.6 ZByte と約 3 倍に増加すると予測されている [1]．

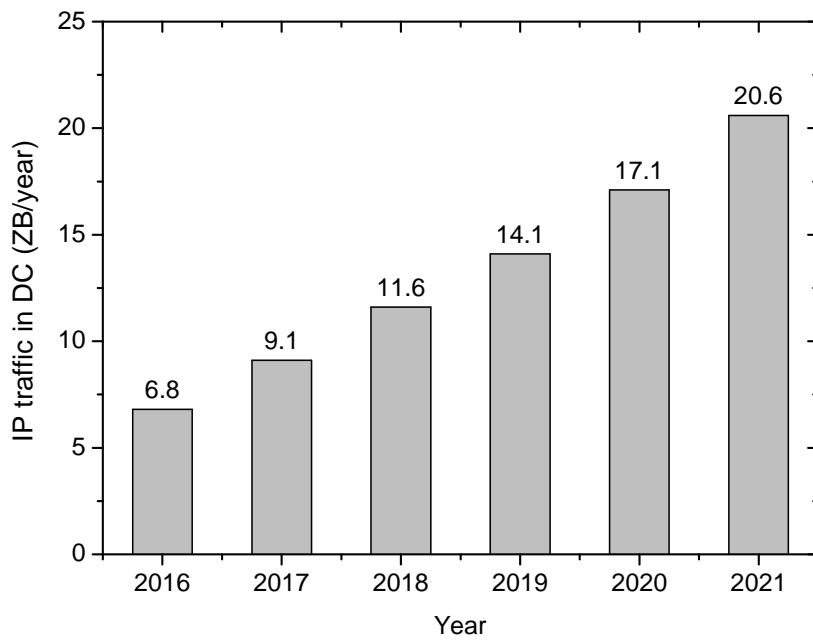


図 1.1 世界のデータセンタ IP トラフィック [1]

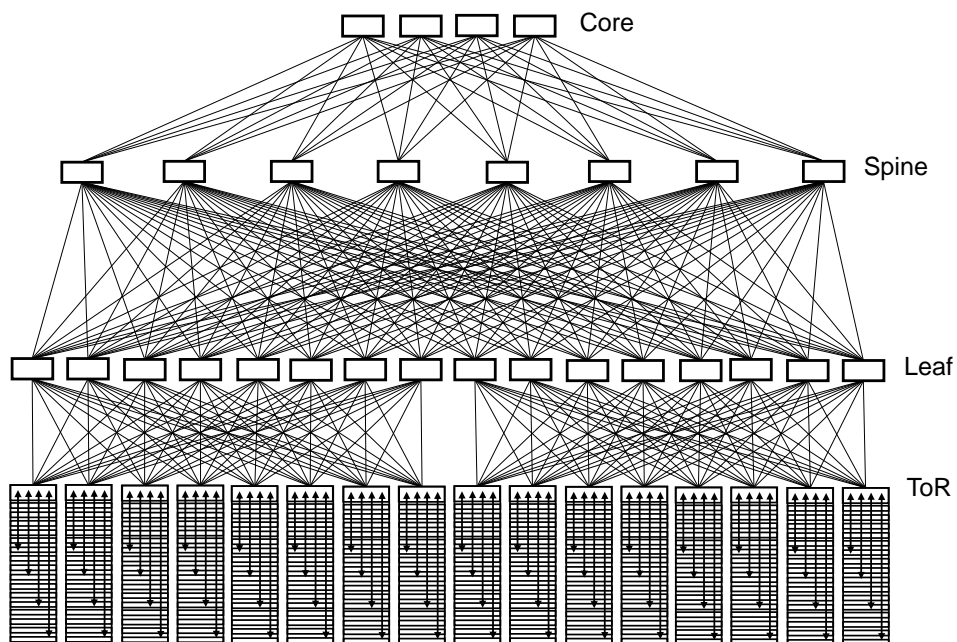


図 1.2 データセンタのネットワーク構造

ビッグデータ分析などの多数サーバを用いた並列分散処理を必要とするアプリケーションが増加し、データセンタのトラフィックは、データセンタ間やデータセンタとユーザ間よりも、データセンタ内におけるサーバ間のトラフィックが支配的となっている（全体の71.5%をデータセンタ内トラフィックが占める）。データセンタは図 1.2 のようにサーバ

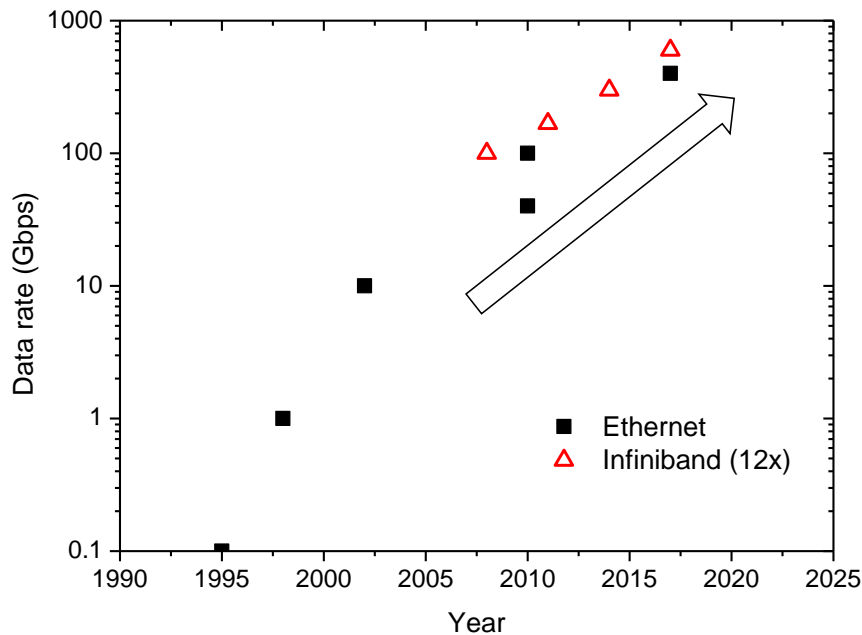


図 1.3 Ethernet, Infiniband のデータレートの推移 [3,4]

を多階層のスイッチ網で接続したネットワーク構造を持ち、サーバラックとスイッチを結んでいる。代表的な構造では Top-of-Rack (ToR), Leaf, Spine, Core の階層構造を持ち、サーバ間のトラフィック増加に対応するため、各階層間のリンクをフルメッシュに近い形にすることが多い。このデータセンタ内のトラフィックを支えるために、図 1.3 に示すように代表的な通信規格である Ethernet, Infiniband の広帯域化が進行しており、2020 年代には 1 Tbit/s (Tbps) 以上の帯域が必要になると考えられる [3,4]。現在これらの光トランシーバは、アクティブ光ケーブル (AOC: Active Optical Cable) 形態のモジュールをボードエッジに挿入して用いられている。しかし、このような比較的大きなモジュールを用いる形態では、実装密度の観点から更なる広帯域化が困難となってくる。また、データレートが高速化するにつれて、ボード上電気配線の信号損失が大きくなる。そのため、より LSI チップ近傍に高密度に集積することが可能な光トランシーバが求められる。

### 1.1.2 人工知能応用に向けた光インターコネクション

従来、スーパーコンピュータやハイパフォーマンスコンピュータ (HPC: High Performance Computer) は気象、災害、創薬等の大規模シミュレーションや科学技術計算の分野で主に用いられてきた。近年では、AI の進化に伴い機械学習等で要求される計算量が増

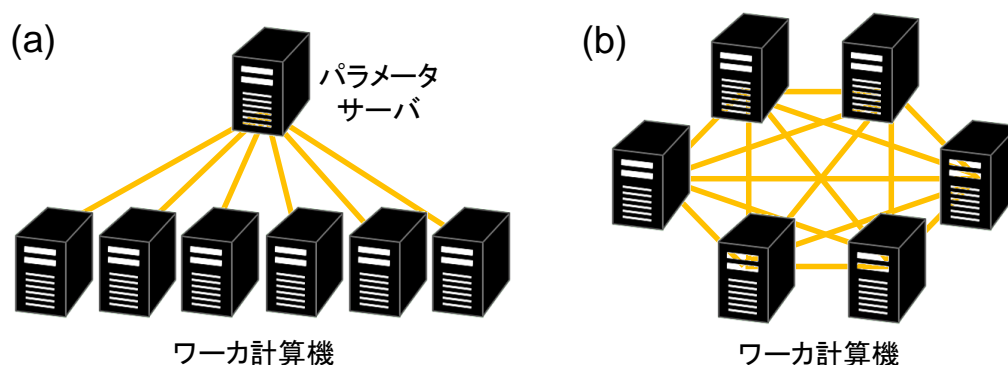


図 1.4 (a) パラメータサーバを用いた 1 対 1 通信による並列学習, (b) 集団通信による並列学習

大し, AI 計算向けスーパーコンピュータの開発が進むなど, HPC の用途として AI 関連アプリケーションの重要性が大きくなっている. 一般的に, 大量のデータに基づいて膨大な機械学習を行うほど AI 性能が向上していくためである. このような背景の中, AI・機械学習向けプロセッサの開発競争が激化し, 性能が大幅に向上している. プロセッサの計算性能が向上すると同時に, 並列計算においてプロセッサ間/サーバ間を広帯域・低遅延で接続する光インターコネクションへの要求も高まっている.

機械学習の中でも特に深層学習が画像認識や音声認識の分野で近年著しい成果を挙げ, 産業界における利用が進展するなど大きな注目を集めている. これらの認識精度を大きく高め, 特定のタスクで人間に匹敵する性能を実現できるようになった要因の一つが, 大規模な深層学習を実現する技術である [5, 6]. 深層学習で用いられるニューラルネットワークの大規模なものでは, パラメータ数が数百億にもなる [7]. このような大規模なニューラルネットワークと大量のデータを用いる学習では 1 週間以上の時間を要する場合もあるため, 複数のプロセッサ/サーバを用いた分散並列学習による高速化が行われる. 並列学習には, 図 1.4(a) のように学習パラメータを管理するパラメータサーバが各ワーカ計算機で更新されたパラメータを集約・再分配する機能を担う 1 対 1 通信に基づく方式と, 図 1.4(b) のようにワーカ計算機同士の集団通信によりパラメータを更新していく方式がある. いずれの方式においても, 通信によりパラメータを交換・更新しながら学習を進める必要があるため, 単純に並列数を増やしても処理能力はスケールしない. 大規模ニューラルネットワークの分散並列学習の端緒を開いた Google の DistBelief の例では, 8 台のサーバを並列化しても高速化は 2.2 倍止まりであった [8]. これは, サーバ間通信がボト



ルネックになってしまったことが原因である。このように分散並列学習においては、プロセッサ間／サーバ間のインターコネクションが重要となる。

機械学習を高速化するアクセラレータとして、近年では多数コアによる並列計算が可能な GPU (Graphics Processing Unit) が用いられることが多い。GPU による計算高速化と共に、通信性能がボトルネックにならないように Infiniband FDR (56 Gbps) を用いて GPU 間を接続し、CPU やメモリを中継しないでデータ伝送することで学習処理全体を高速化することが行なわれており [5, 7], 144 個の GPU を用いて分散並列学習したシステムが当時最高の画像認識精度を達成した [9]。最先端の GPU では計算性能向上に伴い、メモリ帯域も含めて合計 9.6 Tbps の I/O 帯域を有している [10]。GPU 以外にも FPGA (Field Programmable Gate Array) の利用 [11] や AI 専用チップの開発も盛んであり、高速化が目覚ましい。

世界のデータ爆発に対処するために、新しいコンピューティング・アーキテクチャも提案されている。例えば、光インターコネクションによる通信性能の飛躍的向上を活用して、フローセントリックコンピューティングと呼ばれる、データの流れを優先したアーキテクチャが提案されている [12]。また、巨大な共有メモリと各ノード間を広帯域の光インターコネクションで接続するコンピューティング・システムが提案されており [13], 160 TByte の単一メモリのシステムによる実証実験の成功が報告されている。これらは、従来はサーバ間／チップ間の I/O が遅いという前提に立ってアーキテクチャが設計されていたのに対して、光インターコネクション技術の進化により可能となった高速 I/O を最大限に活用して、コンピューティング・システム全体が最適化されるように設計し直す試みと言える。これらのポスト・ムーア時代の新しいコンピューティングを支えるという観点からも、サーバ間／チップ間光インターコネクションの広帯域化が重要となる。

## 1.2 Si フォトニクスを用いた光デバイスの進展

従来、光インターコネクションには、高効率な光デバイスを作製できる III-V 族化合物半導体が主に用いられてきた。III-V 化合物の面発光レーザ (VCSEL: Vertical Cavity Surface Emitting Laser) は同一ウェハ上にアレイ状に集積することが容易であり、また高速直接変調が可能である [14–16]。この VCSEL と面入射型 PIN-PD を用いた光トランシーバが、

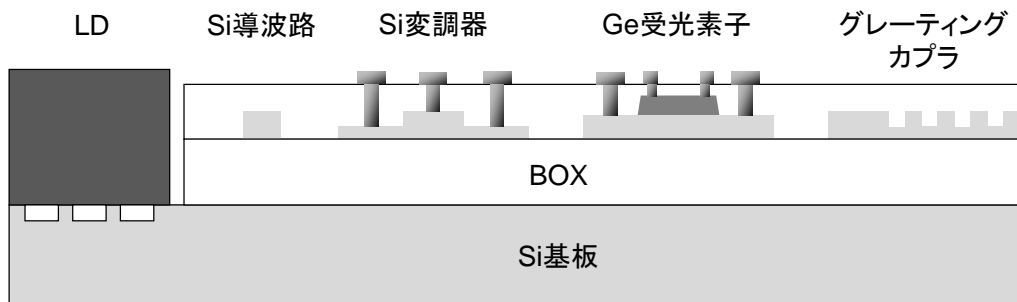


図 1.5 Si フォトニクスを用いた光集積回路の例

Ethernet などで既に実用化されている。一方で課題として、個々のディスクリート部品のアセンブリが必要となること、多数の光デバイスを集積した大規模な光回路の形成が困難なことが挙げられる。

これらの課題を解決し、今後さらに大規模化していくデータセンタにおける広帯域光インターコネクションへのニーズに応えるために、Si フォトニクスが高速・高密度かつ低コストな電気光インタフェースを実現する手段として期待されている [17–19]。Si フォトニクスでは CMOS (Complementary Metal Oxide Semiconductor) に代表される Si プロセス技術と光技術を融合させることで、大面積ウェハを用いた大量作製で低コスト化することが可能となる。また、図 1.5 のように BOX (Buried Oxide) を有する SOI (Silicon on Insulator) 基板上に、光源、導波路、変調器、受光素子、光結合器などの多数の光デバイスを高密度集積することによって、モジュール化のアセンブリ工数を削減することができる。本節では、Si フォトニクスを用いた光デバイスの進展について概観する。

Si フォトニクスを用いた光集積回路では、Si を導波路コアとし  $\text{SiO}_2$  をクラッドとする Si 光導波路が用いられる。波長としては一般的に  $1.55 \mu\text{m}$  または  $1.31 \mu\text{m}$  の赤外光が用いられ、この波長において Si は吸収がほとんど無い透明な材料として機能する。また、Si と  $\text{SiO}_2$  の屈折率差は非常に大きく強い光閉じ込めを実現できるため、小さな曲げ導波路が可能であり、光回路を大幅に小型化できる。一方で、導波路損失を十分に小さくするには、導波路側壁のラフネスを数 nm 程度以下に抑える高い加工精度が要求される。近年ではエッチング技術の進歩により、1 dB/cm 程度の低い伝搬損失が報告されており、実用に十分耐えうる特性を満たしつつある [20]。また、より高い配線自由度を目指して、アモル

ファスシリコン (a-Si) 導波路を用いた多層光配線が提案されており, 2–4 dB/cm 程度の比較的低い導波路損失が報告されている [21, 22].

一方, Si は間接遷移型の半導体であるため, 直接遷移型の III-V 半導体と比較して高効率の発光素子を作製することが難しい. そこで, 貼り合わせ技術などにより III-V 半導体デバイスを Si プラットフォーム上に集積するハイブリッド集積技術が開発されている [23–31]. 例えば, III-V 半導体の活性層と Si 導波路の共振器より構成されるハイブリッド Si レーザなどが提案されている [23–25]. III-V 半導体貼り合わせを行った後にエッチングする方式では, 実装の際に高精度のアライメントが不要になるという利点がある. また, Si 導波路を用いたリング共振器に波長選択機能を持たせたハイブリッドレーザも報告されている [26, 31]. 金属を介したウェハ融着による Si 基板上 InAs/GaAs 1.3  $\mu\text{m}$  量子ドットレーザは, しきい値電流密度 205 A/cm<sup>2</sup> と優れた特性を示している [27, 28]. 高密度集積された光回路においては温度制御も重要な課題となるため, 温度変化に対して安定な光源としても量子ドットレーザの活用が期待される [32, 33]. また, 狭ピッチ LD (Laser Diode) アレイを Si プラットフォームにハイブリッド一括実装した集積光源が開発されている [29]. この 13-ch の集積光源においては, 出力ばらつき 1.3 dB (LD ばらつき 0.7 dB) の均一な光出力が観測されている. Si 基板上に III-V をエピタキシャル成長させてデバイスを形成する III-V on Si 技術の研究も進められている [34, 35].

将来的には集積密度やプロセス整合性などの観点から, CMOS コンパチブルな材料で発光素子を形成することが望ましい. Si やゲルマニウム (Ge) を超薄膜やフィン構造にすることで, 量子効果により発光増強が得られることが報告されている [36–38]. また, 歪みを印加し高濃度 n ドープした Ge の光励起による室温発振が報告されている [39]. 高い Q 値を持つフォトニック結晶共振器を用いることで発光増強が得られることも報告されている [40].

光変調器としては, キャリア・プラズマ効果を用いた Si 変調器が広く用いられている. Si 導波路内のキャリア密度を変調することで, 屈折率変化が得られる. そのため, MOS 構造や PIN 構造といった従来の電子デバイスでも一般的なデバイス構造を用いて, 光変調器を作製することができ, CMOS プロセスとの整合性が高い. マッハ・ツェンダ干渉計を用いた Si 変調器は, 波長帯域が広く温度変化にもロバストである. 例えば MOS 構造の Si 変調器においては, 位相シフト長が 60  $\mu\text{m}$  で 25 Gbps 動作が報告されている [41]. Si

基板上に III-V 半導体を積層した III-V/Si ハイブリッド MOS 構造により、高い変調効率が得られることも報告されている [42]. PIN 構造の Si 変調器においては、駆動信号のプリエンファシスによって、 $V_{\pi}L = 0.29 \text{ V} \cdot \text{cm}$  の高い変調効率が実現されている [43]. また、フォトニック結晶導波路のスローライト効果やリング共振器を用いて、変調器の小型化・低電圧化を目指す研究も盛んである [44]. リング共振器を用いた変調器においては 50 Gbps の高速動作 [45] や、ヒータによる共振波長制御が実現されている [46]. Si 導波路と結合したプラズモニック導波路リング共振器を用いた変調器では、12 fJ/bit の超低消費電力動作が報告されている [47]. その他に、Ge または SiGe を吸収層に用いた電界吸収型 (Electro Absorption: EA) 変調器も提案されている [48–50]. フランツ・ケルディッシュ効果または多重量子井戸の量子閉じ込めシュタルク効果により、比較的小型の光変調器が可能である. Si 導波路と集積した Ge-EA 変調器では、10 dB の消光比および 50 fJ/bit の低電力動作が報告されている [48]. また、近年では Si プラットフォーム上に電気光学 (EO) ポリマーやグラフェンなどの異種材料を集積した光デバイスの研究が盛んになっている. 大きな EO 効果を持つ EO ポリマーを用いて光変調器を作製し、低電気容量性を活かして 56 Gbaud PAM-4 の高速動作が達成されている [51]. ポリマー材料の課題とされてきた信頼性についても、テルコーディア規格の高温試験  $85^{\circ}\text{C} \times 2000$  時間を行なった後でも、変調効率に変化が見られなかったことを報告している. Si 導波路とグラフェンを組み合わせた EA 変調器では、20 Gbps 動作が報告されている [52].

受光素子の吸収層には CMOS コンパチブルな材料として Ge が用いられることが多い. Si 上にエピタキシャル成長した Ge 中には格子定数のミスフィットに起因した貫通転位が入りやすく、暗電流増大の原因となる. しかしながら、近年では下地層およびコンタクト層の工夫やプロセスの進歩により、この問題は解消されつつある [53,54]. Si 導波路の終端に選択成長された Ge 層を吸収層とするラテラル PIN 構造の Ge 受光素子においては、吸収長  $10 \mu\text{m}$  で  $0.8 \text{ A/W}$  の受信感度とゼロバイアス条件下での 40 Gbps 動作が実証されている [55]. また、回折限界以下の光閉じ込めが可能なプラズモニクスによるダイポールアンテナを用いた微小 Ge 受光素子では 5 aF と極めて小さな電気容量が得られ、光受信器の超低消費電力化が可能になると見積もられている [56]. プラズモニクスロット導波路を用いた Ge 受光素子では、100 GHz 以上の周波数応答が達成されている [57]. 表面プラズモンアンテナを Si-PD に設けることによって、SiON 導波路との光結合効率を高める

ことができることも報告されている [58]. グラフェンの受光素子への応用も研究されており, プラズモニクスと組み合わせることによる小型化・高速化が報告されている [59]. より高感度の受光素子を目指して, 信号増幅を行うことができる Si/Ge ベースの APD (Avalanche PhotoDiode) の研究も行われており [60], III-V 族系化合物と比べてイオン化率比が低く増倍雑音の小さい Si を増倍層とした SiGe-APD では, 850 GHz の GB 積 (利得・帯域幅積) が報告されている [61]. また, 電極スペーシングを小さくして吸収層の下に絶縁膜を設けた MSM (Metal-Semiconductor-Metal) 型 Ge-APD では, 比較的 low バイアスでも高い電界強度が得られ, アバランシェ増幅が起きることが報告されている [62].

### 1.3 光・電子融合システムのロードマップと本研究の目的

光トランシーバの次世代技術として 2000 年代から活発に開発が進められてきた Si フォトニクスにおいて, 前節で述べたように光集積回路を構成する各光デバイスの完成度は高くなっており, 実用化に向けてそれらをいかに集積化あるいはモジュール化するかという点が重要となってきた。従来は, 光デバイスと電子回路とでは材料・サイズ・設計製造プロセスなどが異なるため, フォトニクスとエレクトロニクスの融合が困難であることが課題であった。しかし, Si フォトニクスでは共通のプラットフォームや製造技術を用いることができるため, この融合が可能となる。本研究の意義は, Si フォトニクスを用いて多数の光デバイスを集積した光集積回路と電子回路を融合させることにより, LSI チップ間の広帯域・高密度の光インターコネクションを実現することにある。さらに, プロセッサだけではなくメモリやストレージなどの機能も集積することにより, 従来の数十 cm 角のサーバボードの機能を数 cm 角のワンチップ上で実現する「オンチップサーバ」を目指す。このようなフォトニクスとエレクトロニクスとの融合を, ここでは「光・電子融合システム」と呼ぶ。

図 1.6 は光・電子融合システムのロードマップを示したもので, 段階的に光インターコネクションの高密度化・大容量化を目指している。第 1 ステップは, Si フォトニクスを用いた小型・低消費電力のチップ型光トランシーバであり, これを「光 I/O コア」と呼んでいる [19,63,64]。この光 I/O コアを用いて, サーバ間を高速光配線で接続する。次の第 2 ステップでは, 光集積回路が形成された Si 光インタポーザ上に LSI チップや積層メモリ

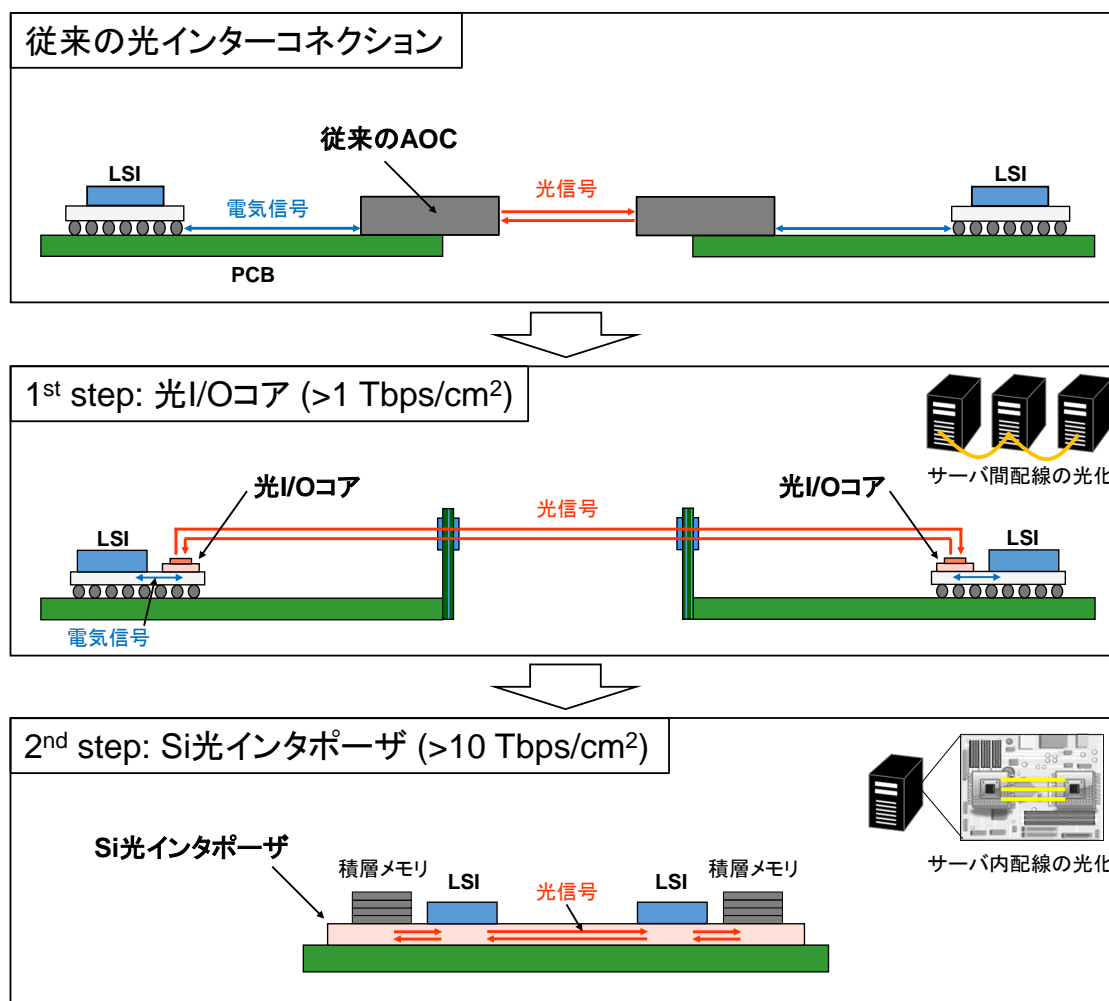


図 1.6 光・電子融合システムのロードマップ

を集積することによって、電気配線のピンボトルネックを解消し、さらなる高密度化と高機能化を実現することを目指している。つまり、現在のサーバ内配線を光化する取り組みである。これらの光・電子融合システムにおいて広帯域・高密度のインターコネクションを実現するためには、伝送密度（単位面積当たりの帯域幅）が重要な指標であり、光 I/O コアで  $1 \text{ Tbps/cm}^2$  以上、Si 光インタポーザで  $10 \text{ Tbps/cm}^2$  以上を目標としている。

従来光インターコネクションでは、光トランシーバをコネクタに内蔵した AOC がデータセンタのラック間接続などに導入されている。ボードエッジに挿入する AOC の場合、プリント基板 (PCB: Printed Circuit Board) の設計が電気ケーブルと共通になるため、比較的容易に光インターコネクションを導入できるメリットがある。一方で、基板上的電

気配線長が長くなってしまい、伝送信号のレートが増加するにつれて電気信号の損失が大きくなる課題がある。また、例えば QSFP (Quad Small Form-factor Pluggable) モジュールの場合では、長さ 72.4 mm × 幅 18.4 mm の面積が必要である。加えて、PCB 上の電気パッドピッチや配線ピッチの制約があるため、そこが I/O ボトルネックとなってしまう。

これらの課題に対して、第 1 ステップの光 I/O コアは 5 mm × 5 mm のチップサイズであるため LSI パッケージ内に搭載することが可能であり、LSI チップと光トランシーバ間の電気配線長を短くすることができる。光 I/O コアは、25 Gbps × 最大 12 ch の広帯域・高密度の伝送性能と 5 mW/Gbps の低消費電力を特長としている。パッケージ内でこの光 I/O コアを LSI チップの周辺に複数個配置することによって、さらに広帯域の I/O を実現することが可能である。

第 2 ステップでは、LSI チップに加えて HBM (High Bandwidth Memory) ・HMC (Hybrid Memory Cube) 等の積層メモリや積層 SSD (Solid State Drive) を Si 光インタポーザ上に集積して、広帯域の光配線で接続することによって、従来は PCB 上で実現されてきたサーバの機能をオンチップで実現することが可能となる。近年では HBM や HMC の大容量化・高速化に伴い、LSI チップとの間の通信の広帯域化が重要となっており、10 Tbps 近くの帯域が必要とされている [10]。しかし、このような広帯域通信を従来の PCB 上で実現するためには、電気パッドピッチや配線ピッチがボトルネックになるという課題が顕在化してしまう。これに対して Si 光インタポーザでは、Si 配線プロセスを用いることができるため微細なパッドピッチや配線ピッチが可能であるのと同時に、Si 光導波路をベースとした高密度の光集積回路による広帯域の光インターコネクションを実現できるため、このボトルネックを解消することが可能となる。Si 光インタポーザでは一つの Si 基板上に光送信器および光受信器が集積されており、水平方向の信号伝送は光配線が担い、積層されたチップ間の垂直方向の信号伝送は TSV (Through Silicon Via) を介した電気配線が担うという「良いとこ取り」の構造によって、多様な機能が集積された光・電子融合システムを実現する。

光インターコネクションにおいて、光受信器は必須のコンポーネントであり、(1) 高速、(2) 高感度、(3) 小型、(4) 低消費電力といった特性が要求される。エラーのない光信号伝送が可能かどうかは、光受信器の性能に大きく依存する。そのため、高速な光信号を電気信号に変換するために光受信器の高速性が重要であり、微弱な光信号を受信する必要があ

るため優れた最小受信感度を有することが求められる。また、高密度集積に向けては、小型であると同時に低消費電力性が求められる。その理由は、高温になると光デバイスや電子回路の性能が劣化するため、多数のチャンネルを高密度に集積した際の温度上昇を抑制することが、光受信器の特性を維持するために重要だからである。

本研究の目的は、前述の光・電子融合システムにおいて、Si フォトニクスを用いて高速・高感度かつ小型・低消費電力の光受信器を実現し、それを用いた LSI チップ間光インターコネクションを実証することである。第 1 ステップの光 I/O コアと第 2 ステップの Si 光インタポーザでは、集積構造や光デバイス構造が異なるため、それぞれに適した光受信器を実現する。光 I/O コアでは、光ファイバからの信号光を受光する面入射型 PD を用いて光受信器を形成する。Si 光インタポーザでは、同一の Si 基板上に形成された光変調器からの信号光を受光する導波路型 PD を用いて光受信器を形成する。

## 1.4 本論文の構成

本論文は、全部で 8 章から成る。第 1 章（本章）では、序論として本研究の背景にある世界のデータ爆発と Si フォトニクスの進展について述べ、光・電子融合システムのロードマップと本研究の目的について説明した。第 2 章では、光受信器の理論について述べ、光受信器の主要な構成要素である PD と TIA 回路の集積構造について議論する。

第 3 章では、光 I/O コアにおける光受信器の光・電子統合設計について議論する。小型のチップ上に光デバイスと電子回路を集積するために各種のトレードオフがあるなど特有の課題があり、それらを考慮して全体設計を行なう必要がある。また、用途に合わせて設計を行った 3 種類の TIA 回路について述べる。第 4 章では、第 3 章で議論した設計に基づき実際に作製した光 I/O コアの特性評価結果について議論する。実用上で重要となる高温環境下における特性も含め、高速・高感度動作実証について述べる。

第 5 章では、等価回路を用いた光・電子統合シミュレーションによる Si 光インタポーザの設計について議論する。Si 光インタポーザでは、光送信器と光受信器が同一の Si 基板上に集積されているため、光信号のロスバジェットを考慮した光リンク全体の設計が重要である。その中で、光受信器に要求される特性について解析を行ない、高密度に集積されたチャンネル間のクロストークの影響についても議論する。第 6 章では、第 5 章で議論し



た設計に基づき実際に作製した Si 光インタポーザの特性評価結果について議論する。この Si 光インタポーザを用いて FPGA 間の信号伝送を行った結果について述べ、実用的な性能を有していることを示す。第 7 章では、さらなる高性能化に向けて、Si 光インタポーザ上の差動光伝送に向けた新しい高感度光受信器を提案する。PD の温度依存性を組み込んだ等価回路モデルを用いて特性の解析を行ない、従来よりも高感度の光受信器を可能であることを示す。最後に、第 8 章で本論文の結論を述べる。

## 第 2 章

# Si フォトニクスを用いた光受信器 の理論

本章では、高速・高感度の光受信器 (optical receiver) を設計するための理論について概説する。光受信器の主要な構成要素である受光素子の理論、および受光素子から出力される電流信号を増幅して電圧信号として出力する transimpedance amplifier (TIA) 回路の理論について述べる。加えて、Si フォトニクスを用いた受光素子と TIA 回路の集積形態にはいくつかの方式が提案されており、それらのメリット・デメリットについて整理して議論する。

### 2.1 光受信器の全体構成

光インターコネクションにおいて、光受信器の性能は極めて重要である。高感度の光受信器を用いることにより光インターコネクションの動作マージンが大きくなり、システムの安定性や信頼性を高めることができる。また、十分な動作マージンが得られる場合には、光信号の強度を下げて光送信器の消費電力を下げることもできる。光送信器から出力された光信号は光導波路や光ファイバ中を伝搬して光受信器に入力されるが、この際に各種の光損失、分散、雑音により信号が劣化する。光受信器はこの劣化した高速光信号を受信して、誤りなく電気信号に変換することが求められる。

本論文で議論する光受信器の全体モデルを、図 2.1 に示す。光受信器の主要な構成要

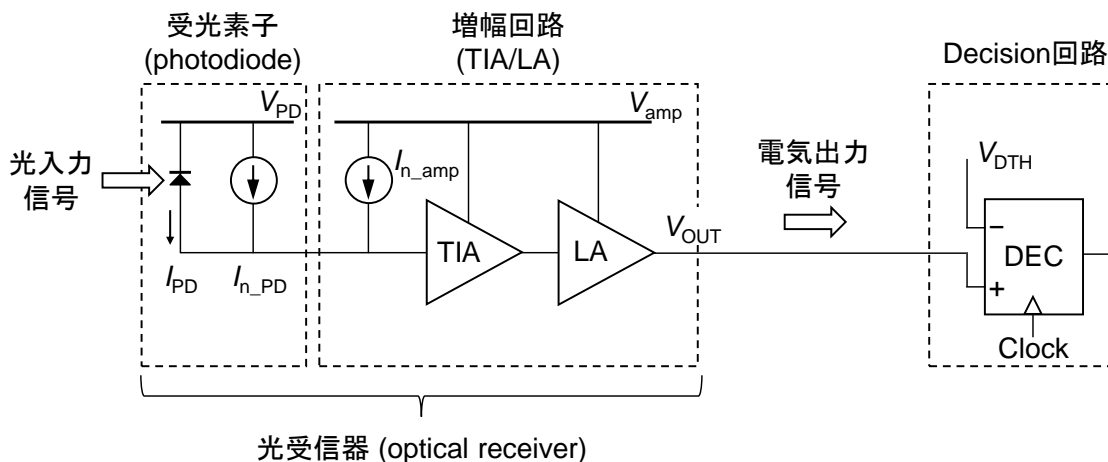


図 2.1 光受信器のモデル

素は受光素子と、TIA 回路および limiting amplifier (LA) 回路から構成される増幅回路である [65]. 本論文では、光デバイス単体を「受光素子」と表記し、これに電子回路である TIA/LA を組み合わせたものを「光受信器」と表記して区別する. 高速性が要求される光インターコネクションにおいては、一般的に受光素子として半導体材料を用いた photodiode (PD) が用いられる. PD が受信した光信号は電流信号に変換されて次段の TIA 回路に入力される. TIA 回路はこの電流信号を増幅して、電圧信号として出力する. LA 回路は、この電圧信号を次段の Decision 回路が“0”, “1”のビット判定を行なえる信号強度までさらに増幅し、一定振幅の電圧信号 ( $V_{OUT}$ ) として出力する. 本論文では主に non-return-to-zero (NRZ) on-off-keying (OOK) 変調方式に基づく光インターコネクションを取り扱うためにここで述べた LA 回路を用いるが、pulse-amplitude modulation (PAM) 等の多値変調方式を用いる場合には、受信した光信号レベルに応じた電圧信号を出力することが要求されるため、線形性を有する増幅回路が必要となる. 光受信器の最小受信感度は、後述するように PD から出力される信号電流 ( $I_{PD}$ ) と、PD の雑音電流 ( $I_{n,PD}$ ) および増幅回路の雑音電流 ( $I_{n,amp}$ ) との比率によって決定される. したがって、高速・高効率であるとともに雑音の小さい PD および TIA/LA 回路が重要であり、これらの関係を定量的に理解することが高感度の光受信器を実現するために必要である.

光デバイスである受光素子と電子回路である TIA 回路は、従来はワイヤボンディング等の実装手法を用いて、モジュールレベルのアセンブリにより集積されることが一般的であった [66]. しかし、この実装形態では光インターコネクションの広帯域化に向けて、多

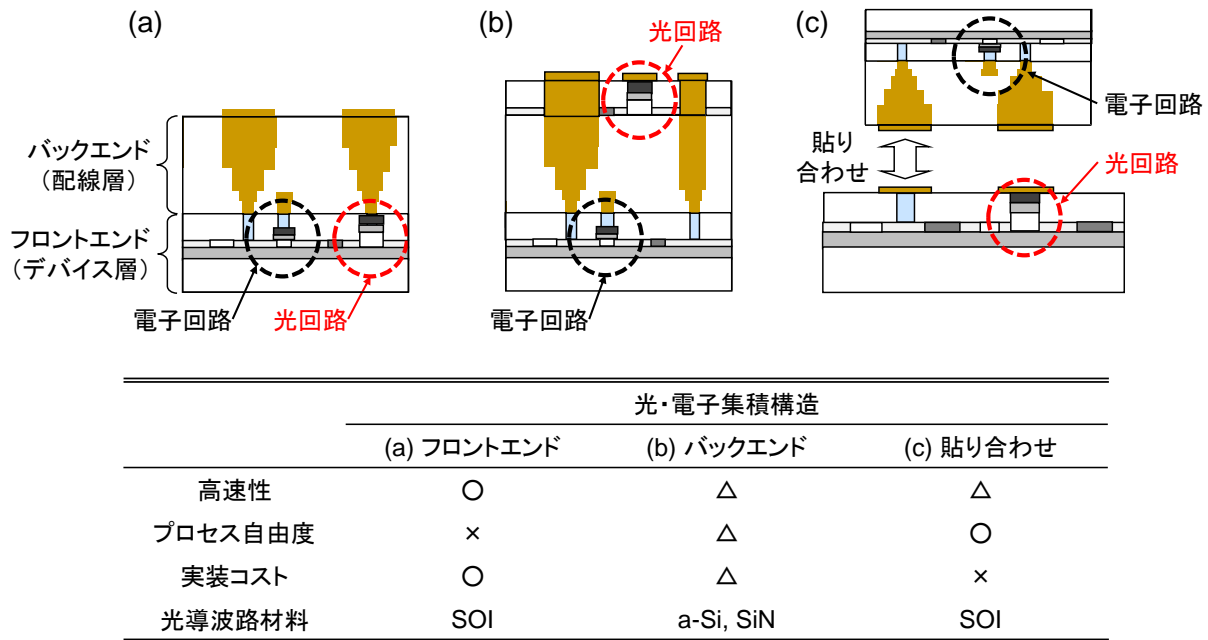


図 2.2 光回路と電子回路の集積形態 [67]

チャンネル化・高密度集積化が困難であることが課題であった。Si フォトニクスを用いることで、比較的容易に一つのチップ上に多チャンネルの光デバイスを集積することができる。同時に、CMOS プロセスを用いることで高密度の電気配線形成も可能となり、電子回路との集積性を高めることができる。

Si フォトニクス光回路と電子回路の融合・集積形態として、図 2.2 に示すように主に (a) フロントエンド集積、(b) バックエンド集積、(c) 貼り合わせを用いたハイブリッド集積、の 3 つの方式が提案されており、それぞれにメリット・デメリットがある [18,67,68]。 (a) フロントエンド集積は、CMOS-FEOL (Front-End-of-Line) プロセスを用いて SOI 基板上に光回路と電気回路をモノリシック集積する形態であり、Si フォトニクスの根本思想に最も近い。光回路と電子回路を近接して形成することができ、寄生容量や寄生抵抗などを低減できるため、高速化に有利である。一方で、モノリシック集積することで高密度化が可能であるものの、性能とコストの観点で光回路と電子回路のそれぞれに最適なプロセステクノロジー世代が必ずしも一致するとは限らない。そのため、選択できるプロセス自由度の点では、制約を受けることになる。また、Si フォトニクスでは数  $\mu\text{m}$  程度の埋め込み酸化層を有する SOI 基板上に光回路を形成するのが一般的であるが、基板コストが高くなるため、通常バルク Si 基板上に光回路を形成することも提案されている [69]。 (b)

バックエンド集積は、CMOS-BEOL (Back-End-of-Line) プロセスを用いて、電子回路の上部に光回路を形成する形態である。この場合、光回路の制約を受けずに電子回路を自由に設計することができ、それぞれ別の階層に作製されるため集積密度を高めることができるという利点がある。一方で、BEOL プロセスではプロセス温度に上限があるため、結晶 Ge を用いた光デバイスの形成は困難である。また、他の集積形態のように結晶 Si を用いることができないため、光導波路材料としてアモルファス Si (a-Si) や SiN を使用することになるが、低損失かつ高屈折率差の光導波路が可能な結晶 Si に対して、a-Si では光損失が大きくなること、SiN では光デバイスのサイズが大きくなることが課題となる。(c) 貼り合わせは、光回路チップと電子回路チップを別々に形成して、フリップチップ実装により貼り合わせるというハイブリッド集積構造である。コストと性能の観点からそれぞれのチップに適したプロセスを選択することができ、良品選別を行なった上で貼り合わせることで歩留まり向上が期待できるため、現時点においては比較的に実用的なアプローチである。また、TSV (Through Silicon Via) 技術を用いて 3 次元的に複数のチップを積層し、光回路チップを CPU チップやメモリチップと集積することも提案されている。一方で、貼り合わせ工程による実装コストの増加、フリップチップ実装に付随する寄生成分増加による高速特性の劣化などが課題である。

これらの各実装形態の特徴と実現時期を踏まえて、第 1 ステップである小型光トランシーバ (光 I/O コア) では貼り合わせによるハイブリッド集積方式で早期の実用化を目指した上で、第 2 ステップである Si 光インタポーザではさらなる高速化・高密度化を実現するために、FEOL プロセスによるモノリシック集積に将来的に移行していくことが良いと考えられる。

## 2.2 Si フォトニクスを用いた受光素子

光受信器において光信号を電流信号に変換する機能を担う受光素子には、高速・高効率であることが要求される。受光素子に用いる半導体材料は、使用波長を考慮して適切に選択することが重要である。半導体材料の光吸収係数の波長依存性を、図 2.3 に示す [70–72]。波長  $0.85 \mu\text{m}$  帯では、一般的に Si や GaAs が使用される。長距離光通信で用いられる  $1.3 \mu\text{m}$  帯や  $1.5 \mu\text{m}$  帯では、良好な結晶品質に起因して高い吸収効率および高い

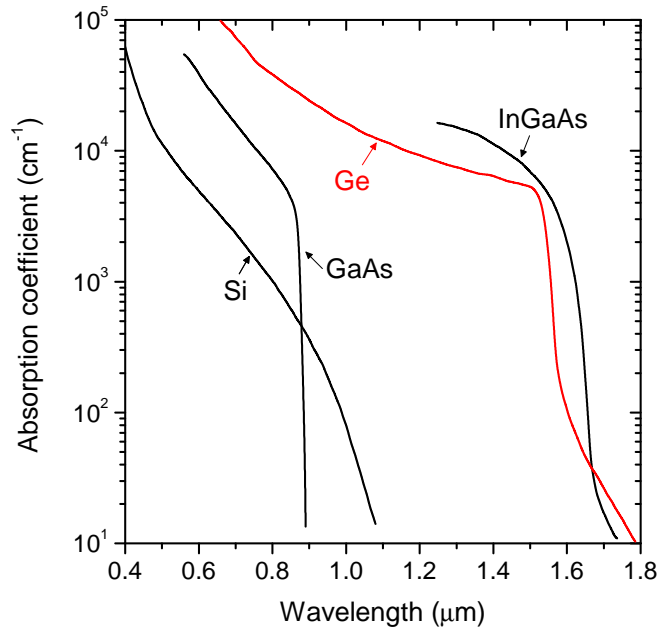


図 2.3 半導体材料の光吸収係数の波長依存性 [70–72]

キャリアドリフト速度が得られる InGaAs が従来使用されてきた。

Si フォトニクスにおいても 1.3  $\mu\text{m}$  帯または 1.5  $\mu\text{m}$  帯の波長が使用され、これらの波長帯で透明となる Si が光導波路材料として用いられる。Si フォトニクスにより多数の光デバイスを集積した光回路を形成するために、受光素子は他の光デバイスと高いプロセス親和性を持つ必要がある。このような理由から、Ge が最適な受光素子材料として用いられる。Ge は Si と同じ IV 属半導体であり、Si 上にエピタキシャル成長することが可能であるため、Si プロセスと高い互換性が得られる。また、電子回路においても SiGe 混晶がトランジスタ材料として用いられており、成熟した製造技術を適用できる。受光素子以外の光変調器や発光素子へも Ge を適用する研究が進展しており、これらを一括してモノリシック集積する上でも有利な材料である。

図 2.4(a) に、代表的な Ge を用いた面入射型 p-i-n PD の断面図を示す。光吸収層となる Ge 層の形成には、選択エピタキシャル成長が広く用いられている [41]。Si 表面を  $\text{SiO}_2$  で被覆し、成長させたい部分の  $\text{SiO}_2$  を除去することで、Si 表面が露出した部分に選択的に Ge を形成できる。受光素子の重要な性能指標の一つは、入力光パワーに対する出力電流値で定義される受光感度  $S(\text{A/W})$  である。この指標は TIA に入力される信号電流値を与えるため、光受信器全体の最小受信感度に直接的に影響する。この光電変換過程の効率

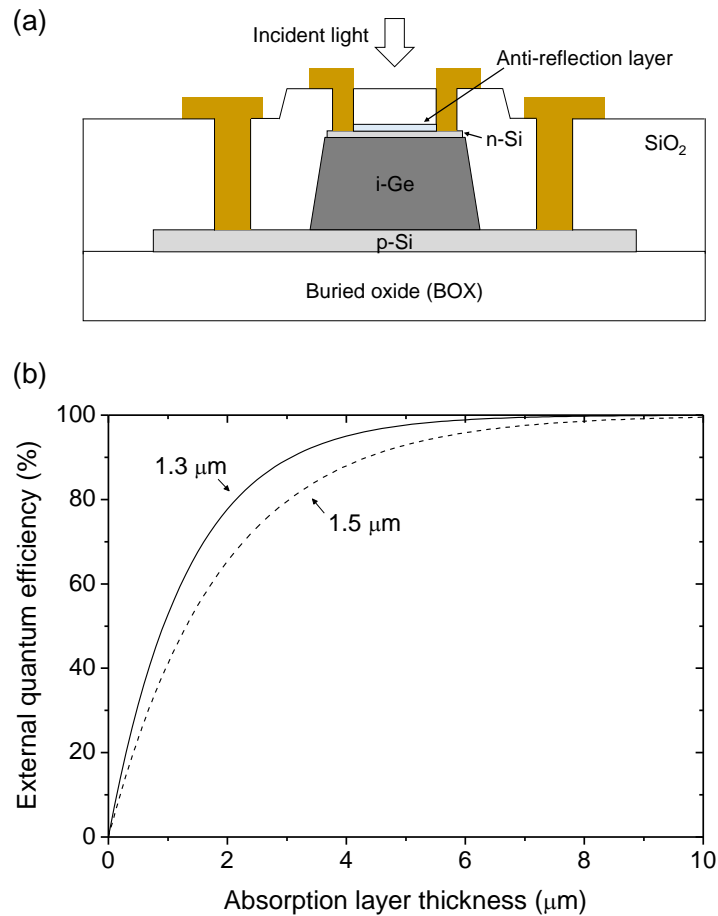


図 2.4 (a) 面入射型 Ge-PD の断面構造 (b) 外部量子効率の吸収層厚さ依存性

を、光電流として取り出された電子数を入射光子数で割った値として表したものが、外部量子効率  $\eta$  である。この外部量子効率  $\eta$  は、Ge の光吸収係数  $\beta$  と光吸収層厚さ  $d$  から、以下の式で与えられる [73].

$$\eta = (1 - R) \{1 - \exp(-\beta d)\}. \quad (2.1)$$

ここで  $R$  は受光素子表面における反射率であり、小さいほど高い量子効率を実現できる。そのため、 $\text{SiO}_2$  と Si または Ge との間の屈折率差による反射を低減するために、受光素子表面に反射防止膜が形成される [41]. 受光感度  $S$  と外部量子効率  $\eta$  との間には、以下の関係がある。

$$S = \eta \frac{q\lambda}{hc}. \quad (2.2)$$

ここで、素電荷  $q = 1.602 \times 10^{-19} \text{ C}$ 、プランク定数  $h = 6.626 \times 10^{-34} \text{ J} \cdot \text{s}$ 、真空中の光速  $c = 2.998 \times 10^8 \text{ m/s}$  であり、 $\lambda$  は信号光の波長である。図 2.3 に示されるように、ゼロ波

長分散分散となる  $1.3 \mu\text{m}$  帯および光ファイバの伝送損失が最小となる  $1.5 \mu\text{m}$  帯における Ge の光吸収係数は、それぞれ  $7500 \text{ cm}^{-1}$ ,  $5300 \text{ cm}^{-1}$  であり、十分な光吸収係数が得られる [70]. 図 2.4(b) は、それぞれの波長における外部量子効率の吸収層厚さ依存性を示したものである. ここでは表面に理想的な無反射膜が設けられ、 $R = 0$  であると仮定した. 例えば外部量子効率 80% 以上を得るためには、波長  $1.31 \mu\text{m}$ ,  $1.55 \mu\text{m}$  において、それぞれ  $2.1 \mu\text{m}$ ,  $3.0 \mu\text{m}$  の吸収層厚さが必要となる. 実際には Ge 吸収層に歪みを印加することで吸収係数が増加し、より薄い光吸収層でも同等の量子効率を得ることが可能である [41]. また、垂直方向に光が伝搬する面入射型に対して、水平方向に光が伝搬する導波路型では薄い光吸収層でも十分な量子効率を得ることができる.

次に受光素子の応答速度について議論する. 受光素子の応答速度は主にキャリア走行時間と回路時定数の二つの要素によって制限され、3dB 帯域は以下の式で与えられる [74].

$$f_{3\text{dB-PD}} = \frac{1}{\sqrt{\left(\frac{1}{f_{\text{tr}}}\right)^2 + \left(\frac{1}{f_{\text{RC}}}\right)^2}}. \quad (2.3)$$

ここで、 $f_{\text{tr}}$  はキャリア走行時間制限による遮断周波数であり、吸収層厚さ  $d$  に対して以下の式で近似できる.

$$f_{\text{tr}} = \frac{3.5 \bar{v}}{2\pi d}, \quad (2.4)$$

$$\frac{1}{\bar{v}^4} = \frac{1}{2} \left( \frac{1}{v_e^4} + \frac{1}{v_h^4} \right). \quad (2.5)$$

$\bar{v}$  は実効的なキャリアドリフト速度であり、式 (2.5) のように電子のドリフト速度  $v_e$  と正孔のドリフト速度  $v_h$  から求めることができる.  $f_{\text{RC}}$  は回路時定数によって制限される遮断周波数であり、受光素子の負荷抵抗  $R_L$  と素子容量  $C_{\text{PD}}$  から、

$$f_{\text{RC}} = \frac{1}{2\pi R_L C_{\text{PD}}}, \quad (2.6)$$

と求めることができる. ここでは、簡単化のため受光素子の直列抵抗  $R_S$  は  $R_L$  よりも十分に小さく、影響を与えないものとした. 式 (2.3) から受光素子の 3dB 帯域  $f_{3\text{dB-PD}}$  は、 $f_{\text{tr}}$  と  $f_{\text{RC}}$  の小さい方によって律速されるため、これらの両面を考慮して受光素子の構造設計を行なう必要がある.



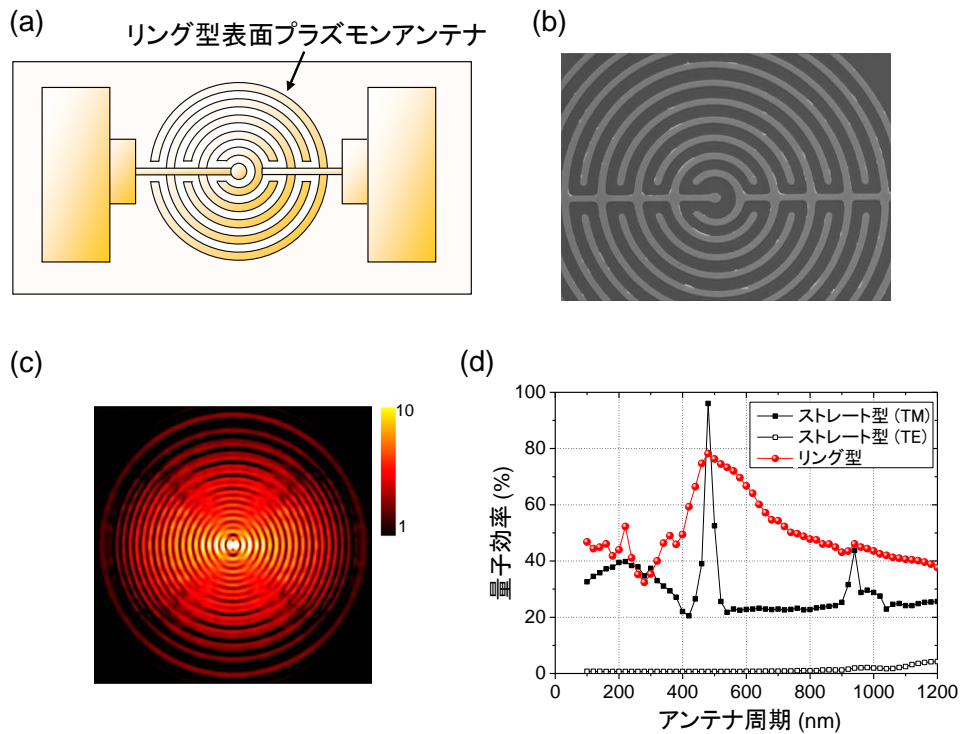


図 2.5 (a) リング型表面プラズモンアンテナの構造, (b) 試作したリング型表面プラズモンアンテナの SEM 写真, (c) 電界強度分布のシミュレーション結果, (d) 表面プラズモンアンテナを用いた受光素子の量子効率 [75]

面入射型の受光素子において、量子効率と帯域はトレードオフの関係になる。すなわち、光吸収層を厚くすれば量子効率は高くなるが、一方でキャリア走行時間が大きくなるために帯域が劣化する。このトレードオフを低減するために、表面プラズモン共鳴を利用して薄い光吸収層でも高い量子効率を得られる受光素子を提案している [75, 76]。図 2.5 に示すように、リング型の表面プラズモンアンテナを受光素子表面に設置することで、光吸収層中の電界強度が高められ、高効率化が実現される。今後は、このようなプラズモニクスと Si フォトニクスの融合も進展していくと考えられる。

## 2.3 CMOS トランスインピーダンスアンプ回路

光受信器において電流信号を増幅しながら電圧信号へ変換する機能を担う TIA 回路は、広帯域・高利得であるとともに低雑音であることが要求される。光伝送路における損失や分散による劣化を経て TIA 回路に入力される信号は一般的に微弱であり、雑音の影響を

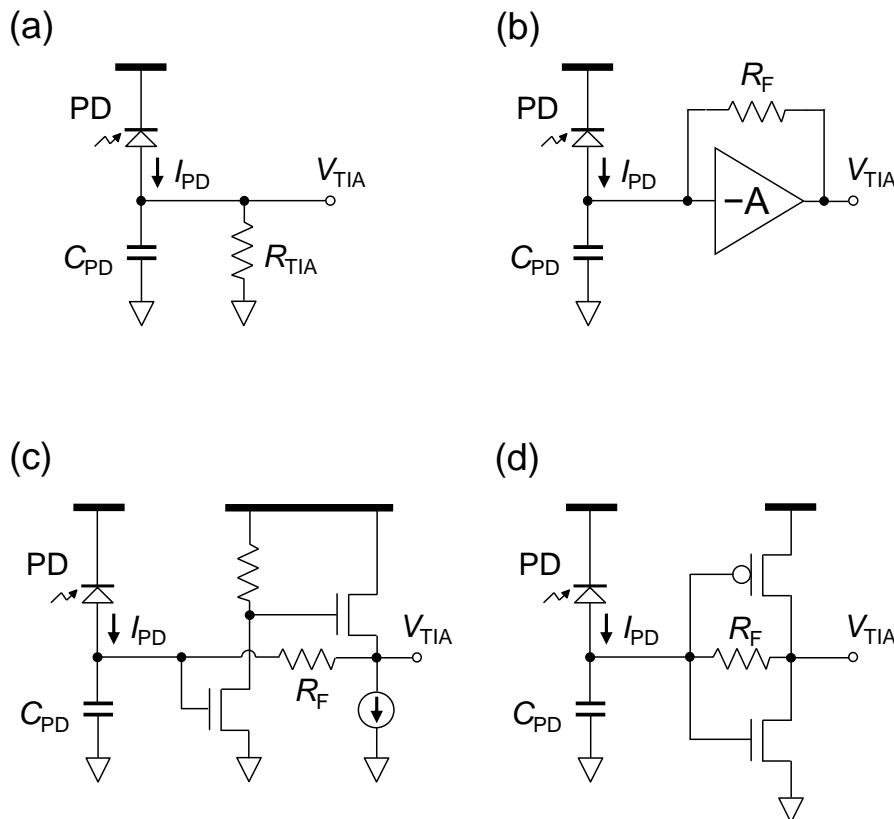


図 2.6 TIA 回路の各種方式 (a) 抵抗ベース TIA, (b) フィードバック TIA, (c) コモンソース型 TIA, (d) CMOS インバータ型 TIA

大きく受けるためである。本節では、CMOS プロセス・テクノロジーを用いた TIA 回路の設計について議論する。

光通信で用いられるアナログ電子回路は高速動作が強く求められるため、CMOS よりも高速性に優れた GaAs や InP 等の化合物半導体に基づく IC が広く用いられてきた。しかし、CMOS テクノロジーの微細化が近年進展し、高速性および電力特性などが大幅に向上することにより、これらのギャップが縮小されている。また、CMOS にはスケラビリティがあり大規模集積が可能でデジタル回路との混載が容易であること、動作電圧が低く低消費電力であること、などの利点がある。加えて、CMOS 互換のプロセスで光回路を集積回路を作製する Si フォトニクスとの相性が良く、電子回路と光回路のモノリシック集積が可能である。モノリシック集積はハイブリッド集積化と比較して、電子回路的な寄生成分を低減できるため高速特性に優れ、パッケージングコストを削減できるというメリットがある。

TIA 回路は図 2.6 に示すように、様々な回路方式が提案されている [77, 78]. 最もシンプルな TIA 回路は、図 2.6(a) に示すように単一の抵抗  $R_{\text{TIA}}$  を用いて電流信号  $I_{\text{PD}}$  を電圧信号  $V_{\text{TIA}}$  に変換する回路形式である [79]. トランスインピーダンス利得  $Z_t$  は、 $Z_t = \Delta V_{\text{TIA}} / \Delta I_{\text{PD}}$  のように入力電流に対する出力電圧の比で定義され、DC (direct current) では  $Z_t = R_{\text{TIA}}$  となる. このとき TIA 回路の 3dB 帯域  $f_{3\text{dB.TIA}}$  は、

$$f_{3\text{dB.TIA}} = \frac{1}{2\pi R_{\text{TIA}} C_{\text{PD}}}, \quad (2.7)$$

と記述できる. これらの式から、 $R_{\text{TIA}}$  を大きくすると利得が増加する一方で帯域は減少するため、トレードオフの関係にあることがわかる. 電力消費する増幅回路を必要としない利点があるものの、十分な帯域を得るためには受光素子の素子容量  $C_{\text{PD}}$  が小さくなければならないという制約がある.

このトレードオフを緩和するために、図 2.6(b) に示すフィードバック TIA 回路が良く用いられる. 基本構成として、受光素子に接続される  $-A$  の利得を持つ増幅回路（ここで利得にマイナス符号が付いているのは位相が反転することを意味する）の出力から入力へ帰還抵抗  $R_F$  を介して負帰還がかかるようになっている. フィードバック TIA における増幅回路 ( $-A$ ) には、様々な形式のものを適用できる. 例えば、図 2.6(c) に示すコモンソース型アンプとソースフォロワを用いたものや [80–82], 図 2.6(d) に示す CMOS インバータを用いたものがある [66, 83–94]. CMOS インバータを用いた増幅回路は利得が大きく、消費電力が小さいという特長がある. これらの特長を踏まえて、本論文の第 3 章および第 4 章で議論する光 I/O コアにおいても、CMOS インバータ型 TIA 回路を採用している. フィードバック TIA 回路の DC におけるトランスインピーダンス利得は  $Z_t = -R_F A / (A + 1)$  となり、3dB 帯域は以下ようになる.

$$f_{3\text{dB.TIA}} = \frac{A + 1}{2\pi R_F C_{\text{PD}}}. \quad (2.8)$$

これと式 (2.7) とを比較すると、分子に  $(A + 1)$  の係数がかかるため帯域が優れ、利得と帯域の両方を踏まえて帰還抵抗  $R_F$  を決定する自由度が高くなることが分かる.

次に、TIA 回路の出力信号を、図 2.1 で示したように LA 回路を用いて decision 回路でビット判定できる信号強度までさらに増幅する. LA 回路としては、ある程度小さい入力信号に対しても飽和した出力電圧が得られるように、図 2.7(a) に示すように多段の増幅回路を用いるのが一般的である. また、光トランシーバで用いられる光インターコネクショ

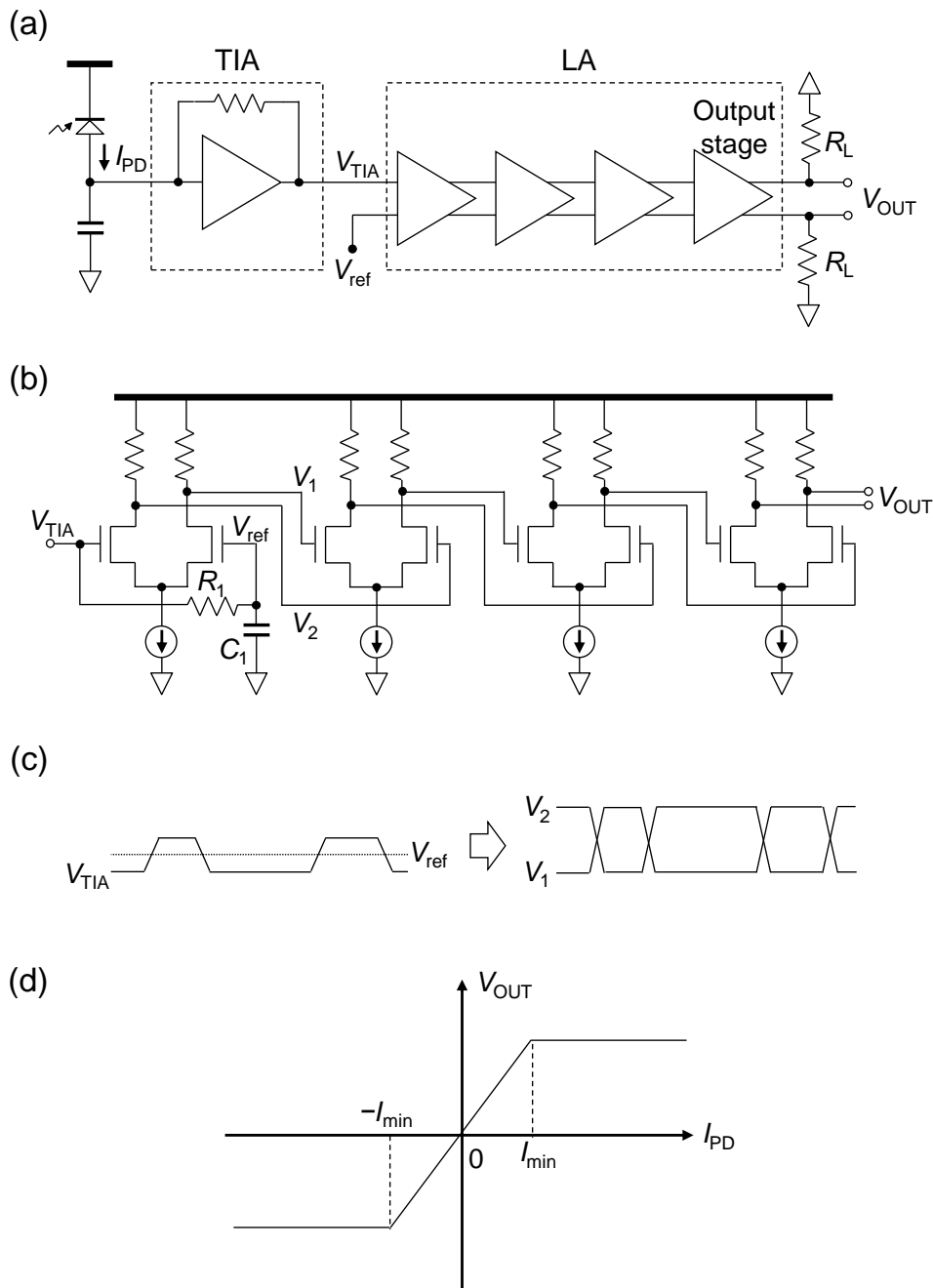


図 2.7 (a) LA 回路ブロック図, (b) CML アンプを用いた LA 回路, (c) シングルー差動信号変換の概念図, (d) LA 回路における信号振幅の飽和

ンの標準的な規格に適用するために、光受信器の出力を差動電気信号にする必要がある。差動信号に変換することによって、雑音の影響を受けにくく、また雑音を出しづらくなる。差動増幅回路として、図 2.7(b) に示す current mode logic (CML) 回路を用いることができる。TIA の出力  $V_{TIA}$  はシングル信号であるため、LA 回路の最初の CML 回路におい

でシングル−差動変換を行なう．そのために， $R_1$  と  $C_1$  から成るローパスフィルタで入力信号の平均値検出を行ない，参照電圧  $V_{ref}$  として CML 回路の一方に入力する．これにより初段 CML 回路の出力  $V_1, V_2$  は，図 2.7(c) に示すように差動信号として得られる．多段構成の CML 回路において，負荷抵抗や定電流源を段階的に変化させることで徐々に大きな信号へと増幅していき，最終的に所望の信号電圧振幅が得られるように設計する．図 2.7(d) のように，ある信号電流  $I_{min}$  以上の入力電流に対して一定の出力電圧が得られるようになり，OOK 方式の信号伝送に適用できる．

TIA 回路および LA 回路の広帯域化手法として，インダクティブピーキングが用いられ [65, 77]，CMOS プロセスにおいては小型のスパイラルインダクタを集積することによって実現できる．CMOS インバータ型 TIA 回路において，帰還抵抗と直列に 800 pH 程度のインダクタを用いることで，40 Gbps 動作が可能である [95]．

## 2.4 光受信器の符号誤り率

光受信器は受信した高速の光信号を誤りなく電気信号に変換することが求められるため，受信した信号の符号誤り率 (bit-error rate: BER) が重要な性能指標となる．“0”と“1”から成るビット列を伝送した時に，図 2.1 の Decision 回路において，雑音などの影響で送信時に“0”だったものが“1”として，あるいは“1”だったものが“0”として受信される誤りが発生することがある．この誤りがどれぐらいの頻度で発生するかを示すものが BER であり， $BER = \text{エラービット数} / \text{全受信ビット数}$  で定義される．図 2.8 に示すように

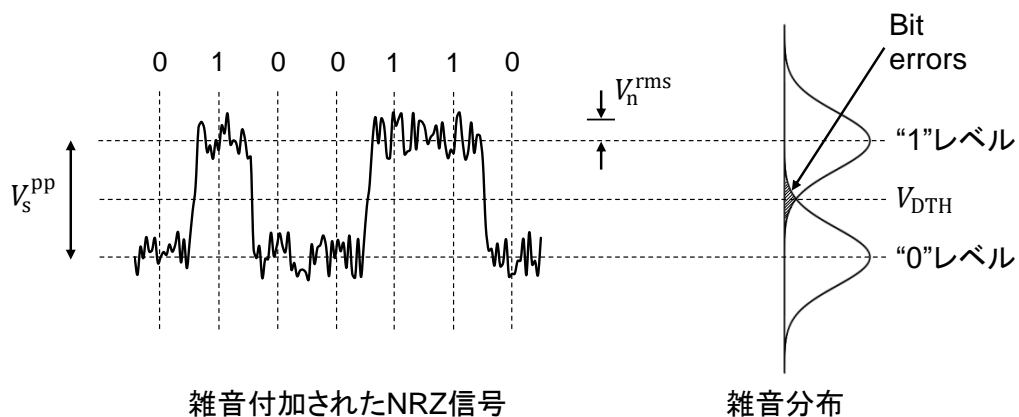


図 2.8 信号振幅  $V_s^{pp}$ ，雑音  $V_n^{rms}$ ，BER の関係 [65]

$V_s^{pp}$  の振幅を持つ信号に、 $V_n^{rms}$  の root mean square (RMS) 値を持つ雑音を重ねられて、Decision 回路に入力されることになる [65]. この入力電圧に対して、“0”レベルと“1”レベルとの中間に位置するしきい値電圧  $V_{DTH}$  と比較することによって、ビットが“0”であるか“1”であるかを決定する.

BER を増加させる要因である雑音には、受光素子由来の  $v_{n,PD}$  と増幅回路由来の  $v_{n,amp}$  の主に二種類があり、それぞれの雑音電流である  $I_{n,PD}$ ,  $I_{n,amp}$  を用いて以下のように表現できる.

$$\bar{v}_{n,PD}^2 = \int_0^{BW_D} |H(f)|^2 \cdot I_{n,PD}^2 df, \quad (2.9)$$

$$\bar{v}_{n,amp}^2 = \int_0^{BW_D} |H(f)|^2 \cdot I_{n,amp}^2 df. \quad (2.10)$$

ここで、 $H(f)$  は周波数依存性を持った増幅回路の伝達関数であり、 $BW_D$  は decision 回路の帯域である. 増幅回路の出力信号には、以下の式で表されるように合計された雑音  $v_n^{rms}$  が付加される.

$$v_n^{rms} = \sqrt{\bar{v}_{n,PD}^2 + \bar{v}_{n,amp}^2}. \quad (2.11)$$

一般に雑音の分布は正規分布で扱うことができるため、BER を下記の式から求めることができる.

$$BER = \frac{1}{\sqrt{2\pi}} \int_Q^\infty \exp\left(-\frac{x^2}{2}\right) dx \quad (2.12)$$

$$= \frac{1}{2} \operatorname{erfc}\left(\frac{Q}{\sqrt{2}}\right) \approx \frac{1}{\sqrt{2\pi}} \cdot \frac{\exp(-Q^2/2)}{Q}. \quad (2.13)$$

ここで、 $Q$  は Personick's Q factor と呼ばれ、

$$Q = \frac{v_s^{pp}}{2v_n^{rms}}, \quad (2.14)$$

のように、信号振幅  $V_s^{pp}$  と雑音  $V_n^{rms}$  から求めることができる値である. 厳密にはショット雑音加わるために“1”レベルの信号の雑音は“0”レベルの信号よりも大きいですが、ここではこれらが等しいと仮定している.  $Q$  から式 (2.13) を用いて BER を計算することができ、この関係をまとめたものが表 2.1 である [65]. この表を参照することで簡便に BER を求めることができ、例えば  $BER < 10^{-12}$  を得るには、 $Q \sim 7$  以上が必要になることが分かる. このとき、 $V_s^{pp} > 14V_n^{rms}$  が必要ということになる.

表 2.1 Q 値と BER の関係

$Q$	BER	$Q$	BER
0	0.5	5.998	$10^{-9}$
3.090	$10^{-3}$	6.361	$10^{-10}$
3.719	$10^{-4}$	6.706	$10^{-11}$
4.265	$10^{-5}$	7.035	$10^{-12}$
4.753	$10^{-6}$	7.349	$10^{-13}$
5.199	$10^{-7}$	7.651	$10^{-14}$
5.612	$10^{-8}$	7.942	$10^{-15}$

## 2.5 受光素子とトランスインピーダンスアンプ回路の集積方式

受光素子と TIA の電子回路的な集積方式は、図 2.9 に示すように主に (a) Single-PD, (b) Balanced-PD, (c) Differential-PD の 3 つの方式が提案されている [95–97]. これらは、信号伝送方式や光回路の集積形態に合わせて、適切な方式を選択する必要がある。チップ型の光トランシーバ（光 I/O コア）では、光ファイバを介して伝送された OOK 光信号を受信するため、これを 1 個の PD で受信する (a) Single-PD 方式が適している。

一方で Si 光インタポーザでは、同一のシリコン基板上に Si 光変調器と Ge-PD が集積され、Si 光導波路で接続されているため、差動光伝送が比較的容易に可能というメリットがある [98–100]. その理由は、2 つの出力ポートを有するマッハ・ツェンダ干渉計を用いた Si 光変調器の出力が差動光信号になっており、導波路型の Ge-PD は面積が小さいため 2 個の差動 PD を集積することが容易だからである。2 個の PD を用いる差動光伝送により、シングル伝送と比較して 2 倍の信号振幅が得られる。また、多数の光変調器および受光素子を高密度集積した際と同相クロストークノイズを低減できる [98]. 高精度の CMOS プロセスを用いて 2 個の PD を作製することによって、PD 間バラツキによる特性劣化の抑制が可能である。

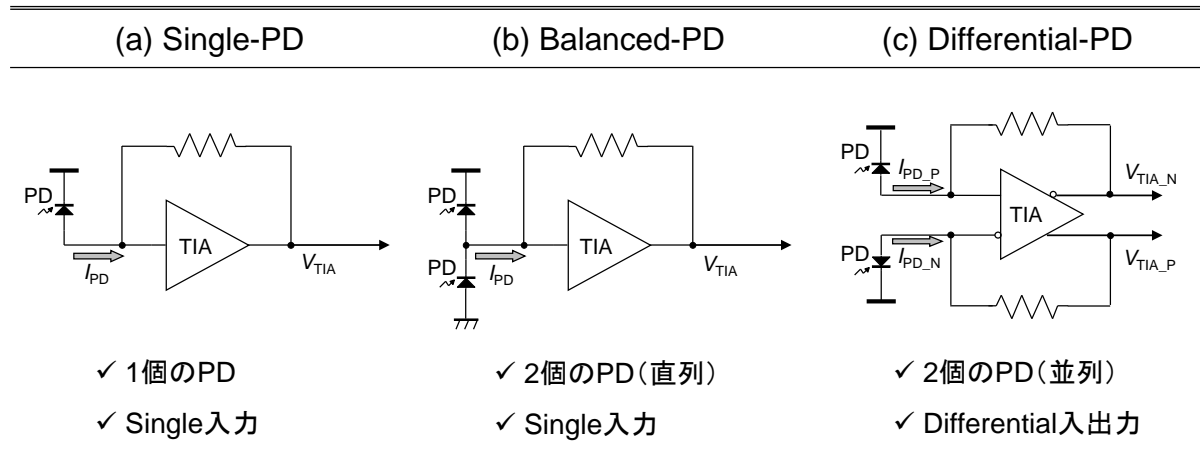


図 2.9 PD-TIA 回路方式の比較

Single-PD の場合、TIA 次段の CML アンプ回路においてシングル-差動変換を行なうための基準電圧を生成する必要がある。TIA の出力  $V_{TIA}$  の平均値を検出して基準電圧を生成するために数 pF~10 pF 程度のキャパシタが必要となるため、回路フットプリントが比較的大きくなる。一方、Differential-PD 方式ではシングル-差動変換が不要で、differential 入出力の回路形式のためノイズ耐性が高くなる。また、Balanced-PD 方式では、Single-PD 方式や Differential-PD 方式と比較して PD の電気容量が 2 倍負荷されるため、その分帯域が劣化してしまうという課題があるが、正負対称の入力電流になるためにオフセット調整が不要になるという利点も存在する。これらの得失を踏まえて、Si 光インタポーザ上の差動光信号の受信においては、TIA 回路方式に応じて Balanced-PD または Differential-PD を選択することが可能であり、本研究では第 6 章で述べるように PD-TIA 間配線部分に発生するノイズを差動動作でキャンセルできる Differential-PD 方式を採用した。

## 2.6 結言

本章では、高速・高感度の光受信器を設計するための理論について述べ、光受信器の全体構成を整理した。光・電子集積方式の違いによるメリット・デメリットについて議論して、第 1 ステップである小型光トランシーバ（光 I/O コア）では貼り合わせによるハイブリッド集積方式で早期の実用化を目指し、第 2 ステップである Si 光インタポーザではさ



らなる高速化・高密度化に向けて将来的にはモノリシック集積への移行を目指すことを述べた。

加えて、光受信器の主要な構成要素である PD の理論，PD から出力される電流信号を増幅して電圧信号として出力する TIA 回路の理論について述べ、光受信器の符号誤り率について議論した。PD と TIA 回路の接続方式のメリット・デメリットについて整理して、光 I/O コアでは 1 個の PD を用いる Single-PD 方式を、Si 光インタポーザでは差動伝送が容易であるため 2 個の PD を用いる Differential-PD 方式を用いることが望ましいことを述べた。

本章で述べた理論を基にして、本研究では Si フォトニクスを用いた光受信器の設計作製および高速・高感度動作実証を行った。それらについては、次章以降で詳細な議論を行なっていく。

## 第 3 章

# Si フォトニクスを用いた小型・高速 光受信器の設計

本章では、本研究テーマの Si フォトニクスを用いた小型・高速光受信器である光 I/O コア・レシーバ (receiver: RX) の設計の詳細について述べる。この光 I/O コア RX では、5 mm × 5 mm という小型のシリコンチップ上において高速の光信号と電気信号の両方を考慮して設計を行なう必要があり、それらのトレードオフを踏まえた光受信器チップの光・電子統合設計について議論する。

### 3.1 チップスケール小型光受信器の全体設計

今日の情報インフラの中心的な役割を担っているデータセンタにおいて、インターコネクションに要求される伝送容量は増加し続けている。サーバラック間以上の伝送距離では既に銅線を用いた電気ケーブルの代わりに光ファイバの低損失性を活かした高速・高効率な光トランシーバが用いられており、近年ではラック内などの短距離のリンクにおいても光インターコネクションが採用されるようになりつつある。さらに、従来のアクティブ光ケーブル形態だけではなく、光トランシーバモジュールを LSI チップ近傍の基板上に実装するオンボードオプティクス [101] やパッケージ内への光集積化が注目されている。今後さらに大規模化するデータセンタのニーズを満たす上で、Si フォトニクスが小型、高速、低消費電力かつ低コストな電気光インタフェースを実現する新しい手段として期待されて

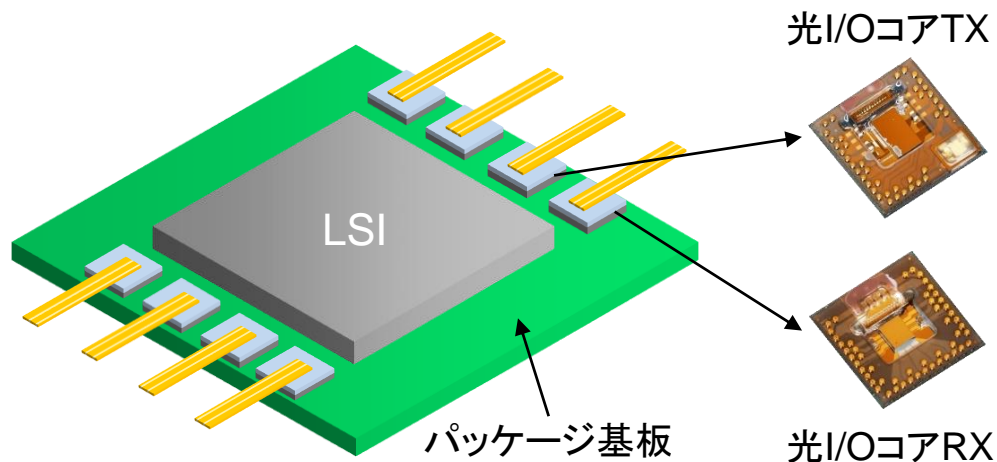


図 3.1 光 I/O コアを搭載した LSI パッケージ基板

いる [17–19, 64, 84, 94, 102–112].

LSI チップの近傍に光トランシーバモジュールを実装することによって、高密度・広帯域インターコネクションを実現するという光・電子集積のトレンドを背景として、Si フォトニクスを用いて小型の光トランシーバチップを開発した。この光トランシーバチップは、実装が容易になるように光・電子の入出力インターフェース (input/output: I/O) を作製することで様々な光インターコネクションに適用可能な光-電気変換の中核デバイスとして、「光 I/O コア」と呼んでいる [19, 63, 64]。この光 I/O コアを図 3.1 に示すようにパッケージ基板上に集積することによって、高密度・広帯域の I/O を備えた LSI パッケージを実現することができる。光 I/O コアは、LSI からの電気信号を光信号に変換して伝送するための光送信器チップ (光 I/O コア TX) と、この光信号を受信して電気信号に変換して LSI チップへ伝送するための光受信器チップ (光 I/O コア RX) から構成される。LSI チップとして CPU, GPU, FPGA など様々なプロセッサのデータ入出力に対してこの光 I/O コアを適用することができ、序論で述べた機械学習や AI 向け並列計算など高速データ伝送が必要とされるアプリケーションにおいて特に有効である。

光 I/O コアの性能仕様を表 3.1 に示す。伝送データレートは 1 チャンネル当たり 25 Gbps, チップサイズは 5 mm × 5 mm, チャンネル数は 4–12 ch で同様の設計が可能でアプリケーションに応じて選択することをコンセプトとしている。消費電力設計値は 5 mW/Gbps 以下であり、電源電圧としては IC 電源に 0.9 V, Ge-PD のバイアス電源および制御回路電源に 3.3 V を用いている。Si フォトニクスを用いた光集積回路では光導波路が通常シング

表 3.1 光 I/O コアの性能仕様

仕様	
データレート	25 Gbps/ch
チップサイズ	5 × 5 mm <sup>2</sup>
チャンネル数	4–12 ch
消費電力	5 mW/Gbps
電源電圧	0.9 V / 3.3 V
伝送媒体	MMF
波長	1.3 μm

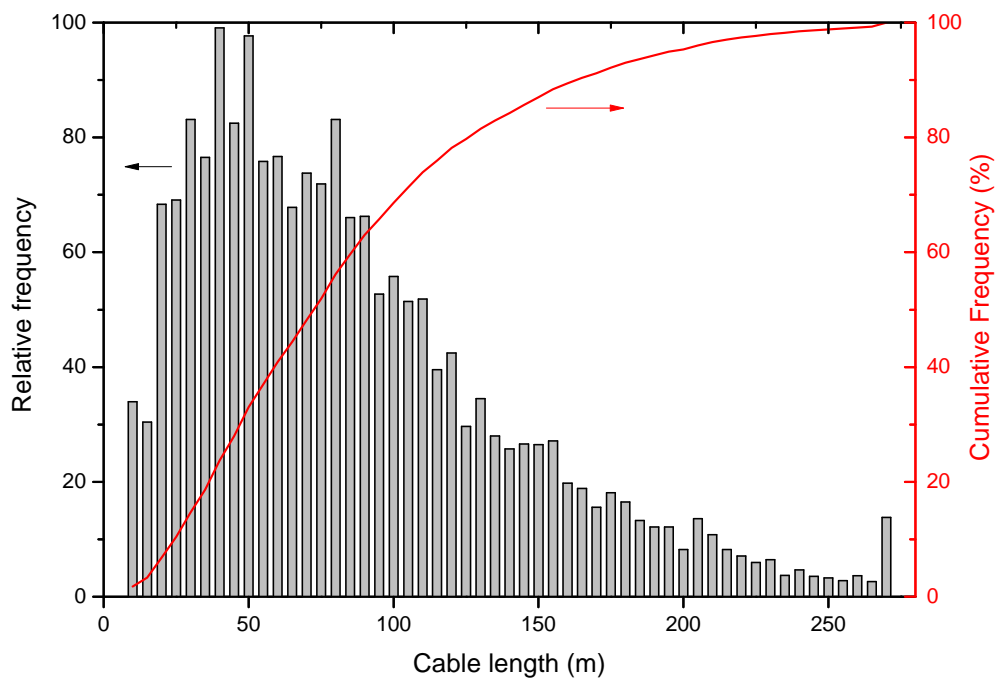


図 3.2 データセンタ内における光ファイバ長の分布 [113]

ルモードであり，長波長帯を用いることからシングルモードファイバ (single-mode fiber: SMF) 適用が一般的であるが，光 I/O コアでは光結合実装を容易にする観点からマルチモードファイバ (multi-mode fiber: MMF) を採用している．SMF 実装では 1 μm 以下の精度が要求されるのに対して，MMF 実装では要求精度を緩和することによって高速搭載が可能な実装装置を利用できるため，生産性の向上および低コスト化が容易となる．一

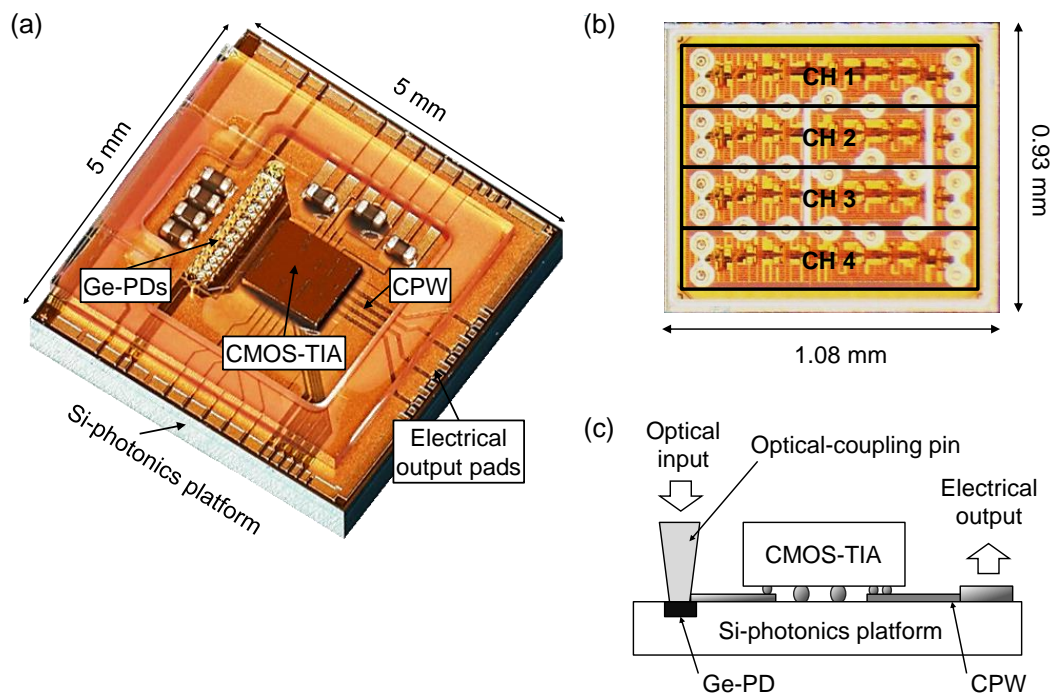


図3.3 (a) 光 I/O コア 4ch-RX のチップ写真, (b) 光 I/O コア RX に搭載した CMOS-TIA チップ写真, (c) 光 I/O コア RX の概略断面図

方で、MMF ではモード分散の影響によって信号波形が劣化するために伝送可能距離が SMF と比較して短くなるというデメリットがある。しかし、波長  $1.3 \mu\text{m}$  に最適化された MMF [106] を用いて、最長 300 m まで光 I/O コアの光信号伝送が可能である [19]。図 3.2 に示すようにデータセンタ内のリンク長の割合としては 50 m 前後が最も多く、300 m の伝送距離があれば ToR-leaf 間の接続程度まではカバーでき、データセンタ内の 95% 以上のリンクに適用できる。したがって、この伝送距離帯をターゲットとして、MMF を用いて小型・高性能の光トランシーバを実現することには大きな意義がある。使用波長については、Si フォトニクスでは光導波路を低損失化しやすい  $1.5 \mu\text{m}$  が適用されるケースが多いが、光 I/O コアチップ上の導波路長は数 mm 以下と短く、導波損失は光接続損失よりも小さくなり支配的要因にはならない。光 I/O コアには伝送媒体の選択肢の多さから、 $1.3 \mu\text{m}$  帯の波長を適用した。  $1.3 \mu\text{m}$  帯では、Si 光導波路、基板上の短い光配線として用いるポリマー光導波路、プラスチックファイバ、既存の MMF など様々な伝送媒体を適用できる。これにより、数 mm から数百 m の距離をシームレスに接続することが可能である。

Si フォトニクスを用いて実際に作製した  $5 \text{ mm} \times 5 \text{ mm}$  サイズの光 I/O コア RX のチッ

写真を図 3.3(a) に示す。300 mm 径の SOI ウェハを用いて作製しているため、一度に多数のチップを得ることができる。ここに示したものは 4 チャンルの光入力／電気出力を有する光受信器チップ (4ch-RX) であり、パラレル伝送された 25 Gbps × 4 ch の光信号を受信することができる。図 3.3(b) は光 I/O コア RX に搭載した CMOS-TIA チップの写真を示しており、約 1 mm × 1 mm サイズで、4 チャンネル分の TIA 回路が 1 チップに集積されている。また、主要な構成要素を記載した 4ch-RX の概略断面図を、図 3.3(c) に示す。光 I/O コアは、光集積回路チップと電気 IC チップを別々に作製して貼り合わせるハイブリッド集積構造を採用しており、Si フォトニクスプラットフォームチップ上に、CMOS-TIA チップがフリップチップ実装されている。SOI ウェハから形成される Si フォトニクスプラットフォームチップには、Ge フォトダイオード (Ge-PD) [41]、光結合ピン [114]、CMOS-TIA チップへ電源／GND を供給する配線および電気パッド、デカップリングコンデンサ、TIA の出力信号を伝送する差動コプレーナ線路および電気信号出力パッドが集積されている。CMOS-TIA チップは、はんだバンプを用いてフリップチップ実装されており、アンダーフィル材が注入されている。バンプのサイズは 80  $\mu\text{m}$ 、最小ピッチは 110  $\mu\text{m}$  である。このような形態にすることによって、IC チップを横置きにする形態と比較して小型にすることができる。図 3.3(c) のように、MMF から出力される光信号は、垂直方向の光導波路である光結合ピンを介して Ge-PD に入力される。Ge-PD において光信号が電流信号に変換され、Al ストリップラインを通して TIA に入力される。TIA から出力される差動電気信号は、100  $\Omega$  の差動特性インピーダンスを有する約 2 mm の coplanar waveguide (CPW) を介して伝送され、150  $\mu\text{m}$  ピッチの電気パッドから外部に出力される。12 チャンネル RX も同様の設計で可能であり、このとき 1.2 Tbps/cm<sup>2</sup> の帯域密度を実現できる。

光 I/O コアを基板に実装する方法として、チップ表面を上にして (フェイスアップ) ワイヤボンディング実装する方法と、チップ表面を下にして (フェイスダウン) フリップチップ実装する方法の 2 通りがある。アプリケーションに応じて選択可能であり、実装方法に合わせて光 I/O コアチップ周辺の電気入出力パッドの形態を変えている。フェイスダウン実装の場合、貫通ビア (Through Glass Via: TGV) を有するガラス基板を採用することで、IC チップよりも高い位置で光結合ピンと TGV の高さを合わせているため、光力面と電気出力面はフラットになっている。つまり、光結合ピンを用いることにより、電気パッ

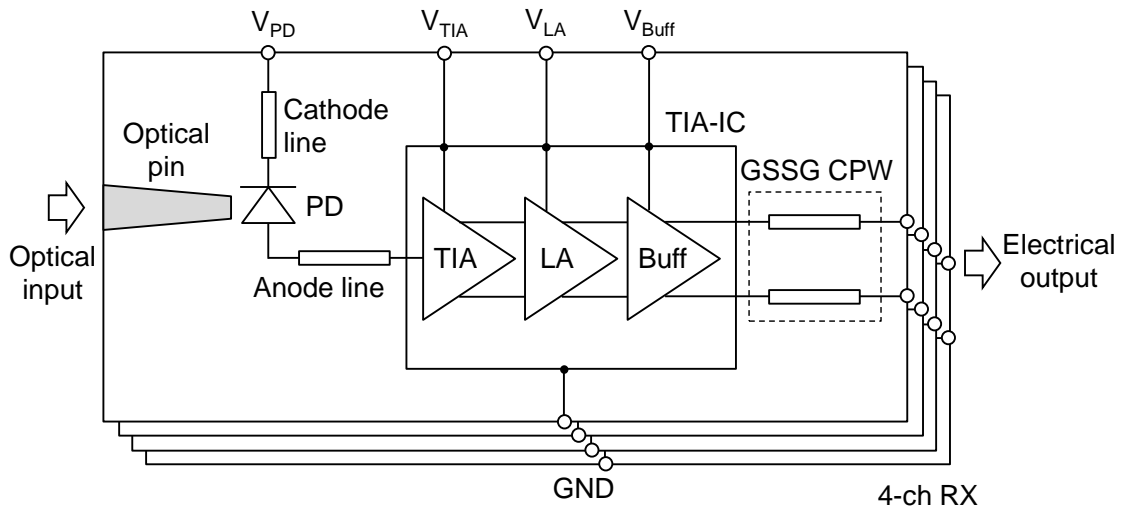


図 3.4 光 I/O コア RX のブロック図

ドと同様の光パッドがチップ上部の同一面に形成されることになる。そのため、光 I/O コアチップの実装を容易に行なえる。

図 3.4 は、光 I/O コア RX の特性に与える主要な構成要素を模式的に示した 1 チャンネル分のブロック図である。光デバイスと電子回路の単体特性だけではなく、それらのインタフェース部分も光受信器全体の特性に影響を与える。加えて、レイアウト設計においては互いに制約を及ぼすため、光学特性と電気特性を両立させる光・電子統合設計が重要となる。この光・電子統合設計においては、これらのレイアウト制約やトレードオフを考慮して高速・高効率動作を実現するために、いくつかの課題がある。第 1 に、MMF と Ge-PD との効率的な光結合である。第 2 に、光結合ピンを用いる場合は TIA チップと干渉するため、PD と TIA の間の間隔を  $500 \mu\text{m}$  程度以上に長くする必要がある。高速動作を実現するためには、その比較的長い PD-TIA 間を接続する PD アノード配線の特徴インピーダンスを適切に設計しなければならない。第 3 に、TIA の出力信号を光 I/O コア周辺の電気出力パッドまで低損失で伝送するために、CPW のインピーダンス整合および低損失設計が重要である。最後に、光受信器の高性能化に向けては、小型・高速・高感度・低消費電力の CMOS-TIA チップの設計が極めて重要である。これらの課題を解決するための各構成要素の設計について、以下で詳細に議論する。

## 3.2 Ge 受光素子と光結合ピン

Si 光導波路のフィールド径はスポットサイズ変換器を用いても通常  $10\ \mu\text{m}$  以下であり、MMF コア径の  $50\ \mu\text{m}$  よりも小さいため、MMF から出射される光を Si 光導波路に高効率で結合するのは困難である。そのため、導波路型よりも MMF との光結合に適している表面入射型の受光素子を、光 I/O コア RX では採用した。プラットフォームチップ上に、次の方法で表面入射型の  $25\text{--}30\ \mu\text{m}$  径の Ge-PD を作製した。SOI 層をエッチングして台座となる Si 層を形成し、 $\text{SiO}_2$  開口部に Ge 光吸収層を化学気相成長法を用いて選択エピタキシャル成長させて Ge-PD を作製した [41]。また、帯域と量子効率とのトレードオフを考慮して、Ge 光吸収層は  $1.6\text{--}1.8\ \mu\text{m}$  の厚さに設定している。第 2 章で議論したように、Ge は  $1.3\ \mu\text{m}$  波長に対して十分な光吸収係数が得られる。Ge-PD 単体の受光感度は  $0.8\text{--}0.9\ \text{A/W}$ 、暗電流は  $0.03\text{--}0.4\ \mu\text{A}$ 、3dB 帯域は  $13\text{--}15\ \text{GHz}$  であった [41, 64, 115, 116]。

PD の受光径を大きくすれば MMF との光結合効率を高めることができるが、電気容量が増加して帯域が劣化するトレードオフが存在する。そのため、25-Gbps の高速動作に必要な帯域を維持するためには、その受光径は  $30\ \mu\text{m}$  以下と MMF コア径よりも小さくしなければならない。そこで、受光素子と MMF を接続するために、光 I/O コア RX の光入力部において、図 3.5(a) に示すように光結合ピン (optical-coupling pin) と呼ぶ縦型の光導波路を用いた。光結合ピンのコアおよびクラッドは紫外線硬化性樹脂で構成されている。コア用樹脂を塗布した後、コア断面形状のパターンを有するフォトマスク上から紫外光を照射して基板に垂直方向のコアを形成する。その後、コアの周囲にクラッド用樹脂を充填することで光ピンが作製される [114]。フォトリソグラフィ技術を用いているため微細ピッチで多数チャネルの光結合ピンを作製可能で、光 I/O コアチップをウェハから個片に切り出す前にウェハスケールで一括形成できる。マスクパターンの径および紫外光源の照射パラメータを変化させることによって、光結合ピンのコア径および光軸方向の形状の制御が可能で、テーパ状の形状を作製することができる。テーパ形状にして集光効果を持たせることによって、PD への高効率の光結合が可能となる。また、光結合ピンを用いて光接続面をチップ上部に配置することにより、チップサイズを犠牲にすることなく光接続のための面積を確保できる。



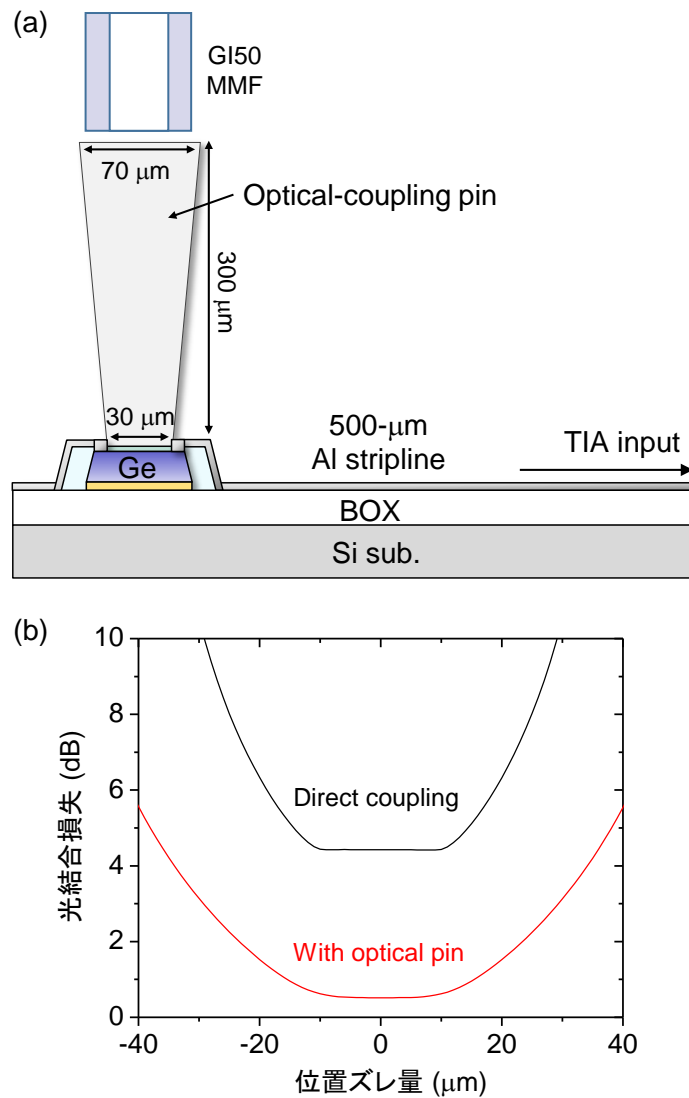


図 3.5 (a) 光結合ピンと Ge 受光素子の集積構造, (b) 光結合損失の位置ズレ依存性

光結合ピンは高さ約 300  $\mu\text{m}$  で、光入力部のコア径 70  $\mu\text{m}$  から PD 結合部のコア径 30  $\mu\text{m}$  まで縮小されるようにテーパ形状が制御されている。この光結合ピンを用いた場合において、コア径 50  $\mu\text{m}$  の graded-index MMF (GI50 MMF) と受光径 30  $\mu\text{m}$  PD の光結合損失をシミュレーションした結果を、図 3.5(b) に示す。ここでは、全モード励振状態の光が MMF から光結合ピンに入力され、MMF と光結合ピンの間隙 10  $\mu\text{m}$  には屈折率を整合するマッチングオイルが充填されていると仮定してシミュレーションを行なった。光結合トランスを評価するために、MMF の中心と光結合ピンの中心との位置ズレに対する光結合損失をプロットしている。光結合ピンを用いた場合 (with optical pin), 最小結合損失は約 0.5 dB であり、1 dB 以下の結合損失が得られるトランスは約 34  $\mu\text{m}$  であった。この

結合トレランスは、 $10\ \mu\text{m}$  程度の位置精度を持つ市販の実装機を用いて光ファイバ接合を行なうのに十分なマージンを有している。一方で光結合ピンを用いないで MMF から直接 PD に光を入力した場合 (direct coupling), PD の受光径が GI50 MMF から出力される光のモード径よりも小さいため、光結合損失は 4.4 dB 以上になる。これらの結果から、大きなトレランスで高効率に MMF の出力光を PD に結合させることができる光結合ピンの利点を理解できる。

### 3.3 高速光受信器における信号配線および電源配線

#### 3.3.1 PD-TIA 間信号配線の特性インピーダンス設計

光 I/O コアチップ上において光結合ピンと TIA チップを近い位置に配置すると、光結合ピンの作製精度に影響を与えてしまうため、光結合ピンと TIA チップは  $500\ \mu\text{m}$  以上離して配置しなければならない。そのレイアウト上の制約から、光結合ピン下部にある PD と TIA との間の配線は長くなるため、この配線の特性インピーダンスが光受信器全体に大きな影響を及ぼす。PD と TIA が別チップのディスクリート部品である場合、それらの間をワイヤボンディングで接続することが一般的である。この場合はインダクタンスの精密制御は困難であり、特性がバラついてしまう。それに対して、シリコンチップ上の配線であれば厚さや幅を精密に制御できるため、再現性良く設計通りの特性が得られる。本項では、光受信器の周波数特性に PD-TIA 間配線が与える影響を解析し、その設計について議論する。

PD のアノードと TIA 入力端子は  $500\ \mu\text{m}$  長の Al ストリップラインにより接続されており、PD から出力される光電流はこのストリップラインを介して TIA に入力される。ストリップラインの特性インピーダンスは配線幅によって制御でき、適切なインピーダンス設計を行なうことで、配線のインダクタンス成分に起因するピーキング効果によって帯域拡大効果が得られる [117]。図 3.6 に、配線幅を 1, 10,  $100\ \mu\text{m}$  と変化させた際の、初段 TIA 出力におけるトランスインピーダンス利得  $Z_{\text{TIA}}$  の周波数応答をシミュレーションした結果を示す。比較のために、直接 PD と TIA を接続し、ストリップラインが無い場合の特性 (w/o stripline) もプロットしている。ここでは、電磁界解析により算出した Al ストリップラインの S パラメータ (scattering parameters) を用いて、後述する CMOS インバー

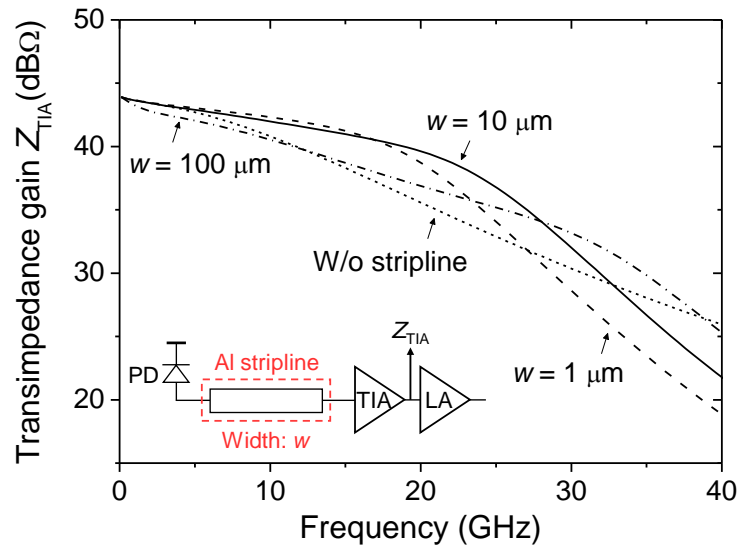


図 3.6 トランスインピーダンス周波数特性のストリップ線路幅依存性

タ型 TIA について回路シミュレーションを行なった。1, 10, 100  $\mu\text{m}$  幅のストリップラインの特性インピーダンスは、それぞれ 180, 120, 56  $\Omega$  であった。1  $\mu\text{m}$  幅では極端なピーキングのために高周波領域におけるロールオフが顕著になり、100  $\mu\text{m}$  幅では大きなキャパシタンスのために帯域が低下している。それらに対して、10  $\mu\text{m}$  幅のストリップラインでは過剰なピーキング効果を伴うことなく、最も良好な 15.3 GHz の 3dB 帯域が得られた。配線の特性インピーダンス 120  $\Omega$  が TIA 入力インピーダンス 40  $\Omega$  より大きく、最適なピーキング効果が得られることで、配線が無い場合の 3dB 帯域 9.8 GHz と比較して改善効果が得られている。以上の解析結果に基づき、光 I/O コア RX チップでは PD-TIA 間配線として 10  $\mu\text{m}$  幅のストリップラインを採用した。

### 3.3.2 PD および TIA の電源配線設計

高速信号を伝送する信号配線とともに、PD および TIA の電源配線も重要である。バイアス電源と接続される PD のカソード側配線は、逆バイアス電圧を安定化させるために、インピーダンスを低くしてノイズの影響を低減するように設計する必要がある。そのため PD 電源配線幅を広くして、バイパスコンデンサとして 0.1  $\mu\text{F}$  容量の 0.4 mm  $\times$  0.2 mm サイズの積層セラミックチップコンデンサを、シリコンプラットフォームチップ上に実装した。

TIA の各電源配線も同様に、インピーダンスが低くなるように配線幅を広くし、バイパスコンデンサを搭載している。また、多チャンネル同時動作においては消費電流が増加するために、配線抵抗に起因する電圧降下に注意しなければならない。電源電圧が低下することによる TIA 特性の劣化を防ぐために、プラットフォームチップの上辺と下辺の両側に電源配線を配置して給電することによって、電圧降下を最小限に抑制している。

### 3.3.3 TIA 出力電気信号の差動伝送線路の低損失設計

TIA 回路の出力端子からレーザチップ周辺部の電気信号出力パッドまでは、高速の差動電気信号を伝送する必要があるため、信号線の伝送損失および特性インピーダンスに注意して設計する必要がある。高速信号配線への要求として、(1) 低損失であること、(2) 差動特性インピーダンスが  $100\ \Omega$  にマッチングしていること、(3) 低スキューであること、が挙げられる。半導体基板上の伝送線路としてマイクロストリップ線路が比較的良く用いられるが、光 I/O コア RX では受光素子の厚い Ge 膜の影響で積層構造の制約があるため、特性インピーダンスの制御が難しく不向きである。そこで、差動電気信号を伝送する線路として、図 3.7 に示すように GSSG (ground-signal-signal-ground) 構造を持つコプレーナ線路 (coplanar waveguide: CPW) を用いた。Si 基板上に層間絶縁膜として  $\text{SiO}_2$  層を形成し、Al を用いて伝送線路を作製した。CPW は伝送損失が比較的少ない線路として半導体デバイスで用いられ、signal 線および ground が同一面上に配置されており、signal 線の幅および signal-ground 間スペーシングを主要パラメータとして平面内の構造設計で特性インピーダンスを制御することが可能である。

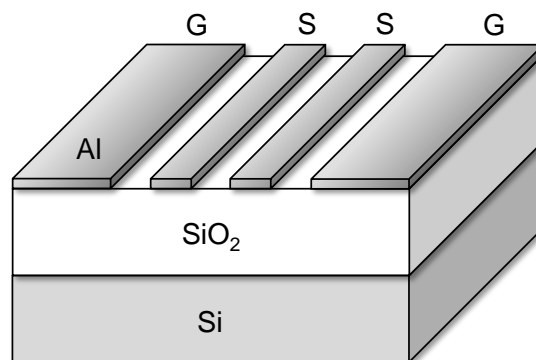
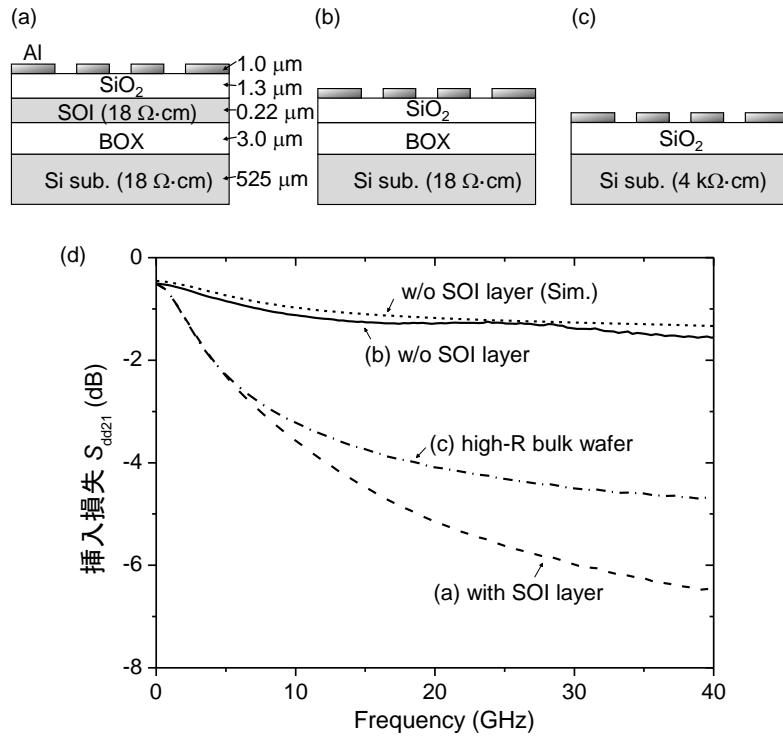
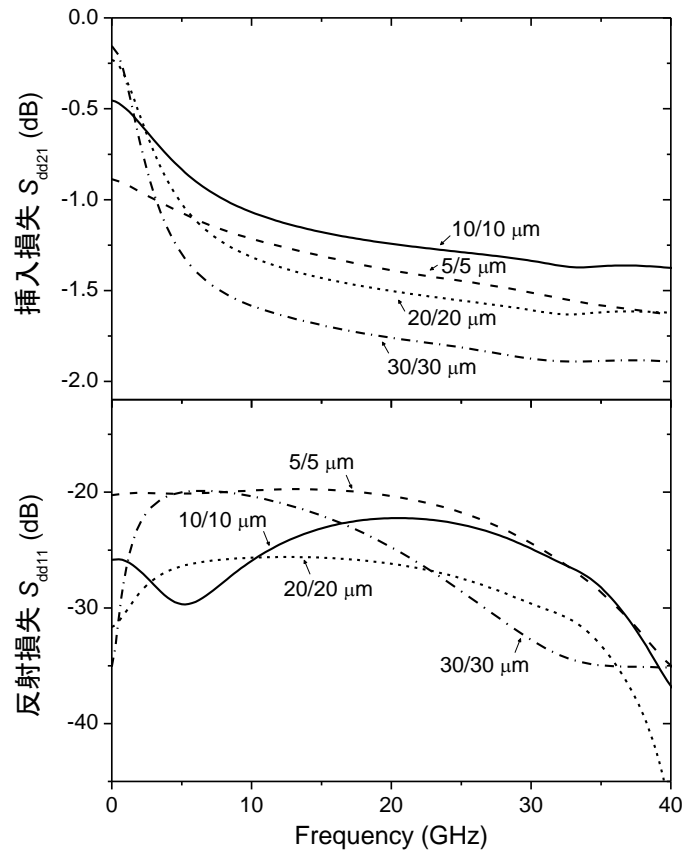


図 3.7 GSSG コプレーナ線路の構造

図 3.8 CPW 挿入損失  $S_{dd21}$  の断面構造依存性図 3.9 CPW の挿入損失  $S_{dd21}$  および反射損失  $S_{dd11}$  の L/S 依存性

伝送線路の損失の成分として、主に導体損失と誘電損失の2つがある。導体損失は、表皮効果を含む配線の導体抵抗に起因するものである。誘電損失は、誘電体材料の特性によって信号周波数が高くなるほどコンダクタンスが増加することによって発生するもので、図 3.7 の CPW 構造では主に Si 層の抵抗率と SiO<sub>2</sub> 層の厚さに大きく依存する。したがって、CPW の設計においては、Al 配線層の平面構造だけではなく垂直方向の積層構造も考慮すべきである。そこで、CPW の損失要因および基板構造の影響について解析するために、図 3.8(a)–(c) に示す3種類の基板構造上に作製した CPW の挿入損失を測定した。CPW の signal 線幅および signal-ground 間隔 (line and space: L/S) は 10/10 μm とし、Al 層の厚さを 1 μm、配線層上の SiO<sub>2</sub> カバー層の厚さを 0.5 μm とし、各基板構造上に作製した。SOI 層の影響を分析するために、SOI 層を有する図 3.8(a) と、SOI 層をエッチングして除去した図 3.8(b) を比較した。図 3.8(a) の基板構造では、抵抗率 18 Ω·cm で 525 μm 厚さの Si 基板上に、3.0 μm 厚さの BOX 層、抵抗率 18 Ω·cm で 0.22 μm 厚さの SOI 層、1.3 μm 厚さの SiO<sub>2</sub> 層上に Al 層で CPW が形成されている。これに対して、図 3.8(b) の基板構造では、SOI 層がドライエッチングにより除去されている。また、Si 層の抵抗率の影響を調べるため、図 3.8(c) に示すように抵抗率 4 kΩ·cm の高抵抗 (high-resistivity: HR) バルク Si 基板上に作製した CPW についても測定を行なった。

図 3.8(d) に、各基板構造上に作製した長さ 2 mm の CPW の差動モード挿入損失  $S_{dd21}$  を測定した結果を示す。SOI 層が無い (b) の基板構造では SOI 層が有る (a) の構造と比較して、25 Gbps NRZ 信号の中心周波数である 12.5 GHz における挿入損失が 4.0 dB から 1.2 dB に改善された。これは、CPW 下部の SOI 層をエッチングすることによって、CPW の伝送モードの電磁界分布と Si 層がオーバーラップすることにより生じる誘電損失の影響を低減できるためである。高抵抗 Si 基板を用いた (c) の基板構造ではバルク Si の誘電損失は小さいため、(a) の基板構造よりも挿入損失は小さい。しかし、高周波領域において Si/SiO<sub>2</sub> 界面に低抵抗層が誘起されることが知られており [118,119]、その界面の影響により (b) よりも CPW の挿入損失が大きかった。これらの結果は、CPW と誘電損失の原因となる Si 層との間の距離を増加させることが、低損失化のために重要であることを示している。図 3.8(d) には、SOI 層を除去した (b) の基板構造における電磁界シミュレーション結果を併せてプロットしており、測定結果と良く一致していることが分かる。抵抗率などの物性値を含めて基板の積層構造を正確に設定することによって、電磁界シミュレーショ

ンを用いて高精度の CPW 設計が可能である。

次に、図 3.9 に示すように 2 mm 長の CPW の L/S を変化させて、挿入損失  $S_{dd21}$  および反射損失  $S_{dd11}$  を算出した。信号線幅が狭すぎる場合は抵抗が大きくなり、広すぎる場合は容量が大きくなり、それらが挿入損失  $S_{dd21}$  の要因となるため、このトレードオフを踏まえて最適な L/S を設計する必要がある。また、反射損失  $S_{dd11}$  は CPW の特性インピーダンスが差動  $100 \Omega$  にマッチングしているほど小さくなる。つまり、 $|S_{dd21}|$  が小さく、 $|S_{dd11}|$  が大きい方が、良好な特性であることを示す。DC 領域では単純な配線抵抗で損失が決定されるため配線幅が広い方が有利であるが、12.5 GHz においては  $L/S = 10/10 \mu\text{m}$  が最も  $|S_{dd21}|$  が小さく、優れた特性であった。反射損失についても、 $|S_{dd11}| > 20 \text{ dB}$  の十分な値が得られている。これらの解析結果から、光 I/O コア RX においては Ge-PD 部分を除いて SOI 層をエッチングし、 $L/S = 10/10 \mu\text{m}$  の CPW を作製した。

伝送線路には、差動スキューおよびチャンネル間スキューが十分に小さいことも求められる。配線長  $L$  の伝送線路における伝搬遅延  $T_{\text{delay}}$  は、 $T_{\text{delay}} = (L/c) \sqrt{\epsilon_s \mu_s}$  と求めることができる。ここで、 $c$  は真空中の光速、 $\epsilon_s, \mu_s$  は伝送モードに依存する実効比誘電率と実効比透磁率である。同一チャンネルの差動配線は等長配線として、異なるチャンネルの配線長についても等長配線に近くなるように設計している。

## 3.4 高速トランスインピーダンスアンプ回路の設計

### 3.4.1 25 Gbps 動作に向けた CMOS-TIA 回路の設計

光受信器において、TIA 回路は帯域や最小受信感度などの特性を大きく左右する重要なコンポーネントである。本研究では、表 3.2 に示す 3 種類の異なるタイプの TIA チップを、28-nm CMOS プロセスを用いて設計・作製した。いずれも 25 Gbps 動作が可能で、アプリケーションに応じて使い分けることができる。それぞれ特徴が異なっており、Type-1 は高利得版、Type-2A は小型・低消費電力版、Type-2B は小型・高速版の TIA 回路である。Type-2A と Type-2B は回路方式などの基本設計は共通しており、消費電流やアンプ段間のインダクタンスを変えて、それぞれの特徴を出している。PD-TIA 間の配線長が等しくなるように、光ファイバアレイのピッチと TIA チャンネル間ピッチはできるだけ一致することが望ましい。Type-1 は光ファイバアレイのノーマルピッチ ( $250 \mu\text{m}$ ) に対応し、

表 3.2 TIA 回路の設計仕様一覧

	Type-1	Type-2A	Type-2B
面積 $A$ (mm <sup>2</sup> )	0.215 × 0.980	0.125 × 1.018	0.125 × 1.018
利得 $Z_t$ (dBΩ)	82.0	76.4	77.6
帯域 $B_w$ (GHz)	10.1	11.2	18.5
消費電力 $P$ (mW)	57.3–75.1	50.8–63.2	70.2–87.7
電源電圧 (V)	0.9 / 0.9 / 1.1	0.9 / 0.9 / 1.0	0.9 / 0.9 / 1.0
特徴	高利得	小型・低電力	小型・高速

Type-2 はより高密度化が可能なハーフピッチ (125 μm) に対応している。

Type-1 TIA 回路のブロック図を図 3.10(a) に示す。1 チャンネルあたりの面積は、0.215 × 0.980 mm<sup>2</sup> である。TIA 回路全体は、200 Ω の帰還抵抗を有する CMOS インバータ型 TIA、合計 7 段の current mode logic (CML) アンプから構成される LA、および出力バッファ (output buffer)、により構成されている。レプリカ TIA を用いて、最初の CML 回路においてシングル—差動信号変換を行なっている。また、レプリカ TIA を接続して CML への負荷を対称にすることにより、波形のジッタを低減することができる。インダクティブピーキングによる帯域拡大を行なうために、25 × 25 μm<sup>2</sup> サイズの小型スパイラルインダクタを用いた。TIA および LA の電源電圧は 0.9 V、出力バッファの電源電圧は 1.1 V である。出力バッファの最終段の電流を制御することによって、出力信号振幅を調整することができる。

Type-2 TIA 回路のブロック図を図 3.10(b) に示す。1 チャンネルあたりの面積は 0.125 × 1.018 mm<sup>2</sup> で Type-1 の約半分であり、多数チャンネルの集積に有利である。帰還抵抗 200 Ω を有する CMOS インバータ型 TIA と出力バッファは Type-1 と同様であるのに対して、合計 4 段の LA はそれぞれ CML アンプと CMOS インバータアンプの組み合わせにより構成されている。TIA および LA の電源電圧は 0.9 V、出力バッファの電源電圧は 1.0 V である。特に初段 TIA は雑音の影響を受けやすいため電源を分離し、TIA チップ内部に 12 pF のデカップリングコンデンサを内蔵して電源ノイズの影響を最小限に抑制している。入力換算雑音電流は約 3.6 μA で、高感度動作が可能である。加えて、Type-2 TIA



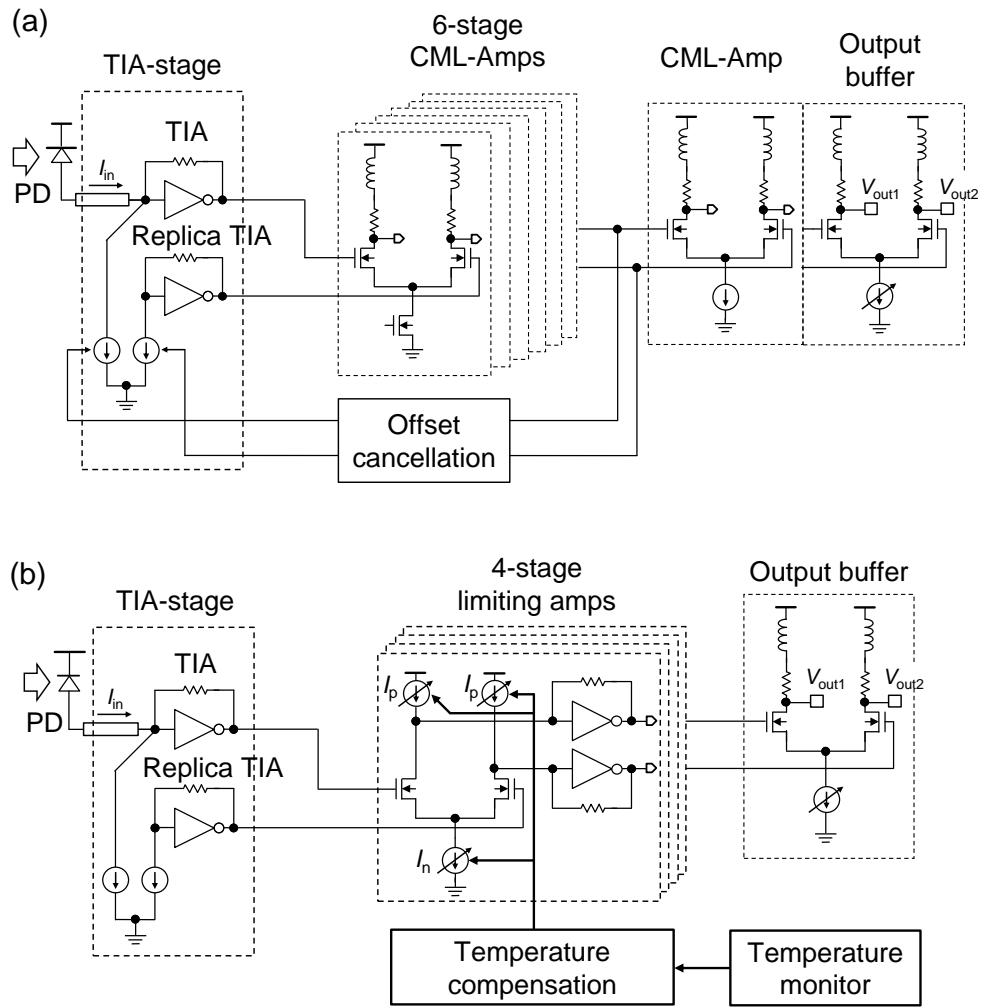


図 3.10 (a) Type-1 TIA 回路のブロック図, (b) Type-2 TIA 回路のブロック図

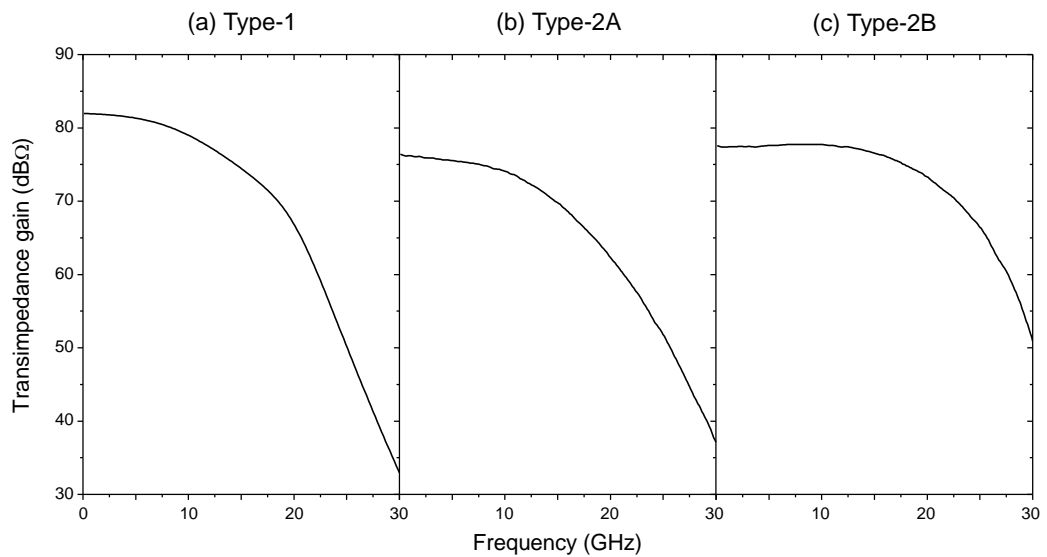


図 3.11 (a) Type-1, (b) Type-2A, (c) Type-2B TIA 回路のトランスインピーダンス周波数特性

回路には後述するように高温環境下における利得低下を補償する温度補償 (temperature compensation) 回路が組み込まれている。

各タイプの TIA 回路のトランスインピーダンス周波数特性を図 3.11 に示す。Type-1 は  $82.0 \text{ dB}\Omega$  と利得が大きいのが特徴で、3dB 帯域は  $10.1 \text{ GHz}$  である。消費電力は動作条件によって異なり、 $57.3\text{--}75.1 \text{ mW}$  である。Type-2 は LA 段数が少なく面積が小さい一方で、利得がやや小さい。Type-2A は利得は  $76.4 \text{ dB}\Omega$ 、3dB 帯域は  $11.2 \text{ GHz}$  であり、消費電力が  $50.8\text{--}63.2 \text{ mW}$  と低消費電力が特徴である。Type-2B は利得は  $77.6 \text{ dB}\Omega$  であり、3dB 帯域が  $18.5 \text{ GHz}$  と高速であるのが特徴である。消費電力はやや大きく、 $70.2\text{--}87.7 \text{ mW}$  である。

### 3.4.2 DC フィードバック回路によるオフセット調整

TIA 回路の最終段出力が差動信号となるように、2つのシングルエンド信号は DC レベルが一致している必要があり、これを実現するために図 3.12 に示すように DC フィードバック回路によるオフセット調整を行なった。LA 出力の  $V_P$  と  $V_N$  の DC レベルが一致するように、DC レベルの平均電圧差  $\overline{(V_P - V_N)}$  が小さくなるように TIA 入力にフィードバックをかけている。 $V_P$  と  $V_N$  の差分について low pass filter (LPF) を介して平均値検出

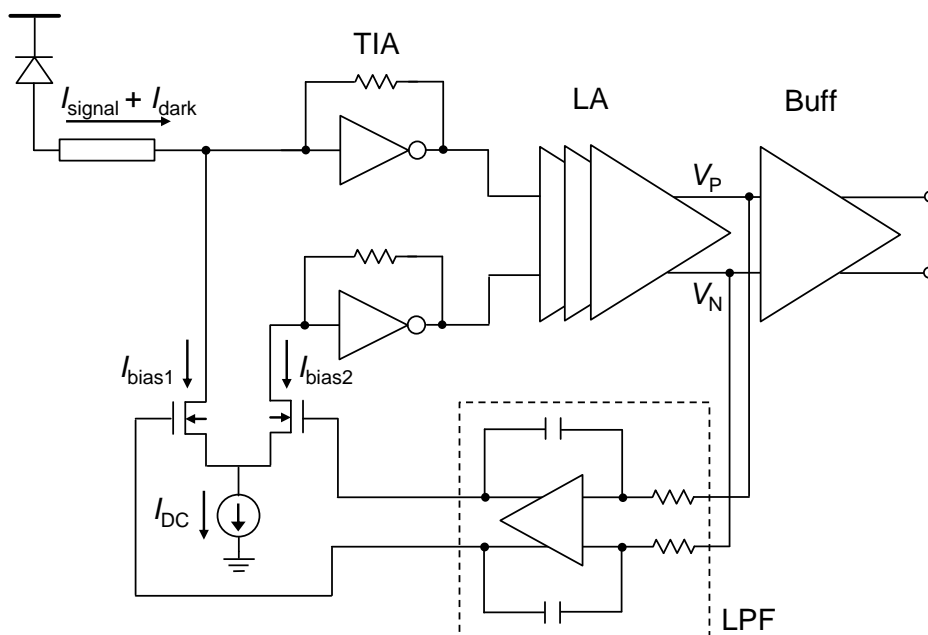


図 3.12 DC フィードバック回路によるオフセット調整

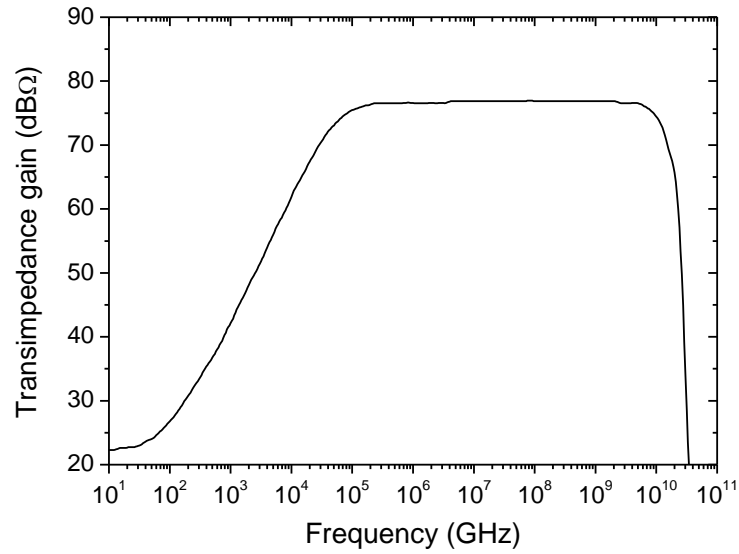
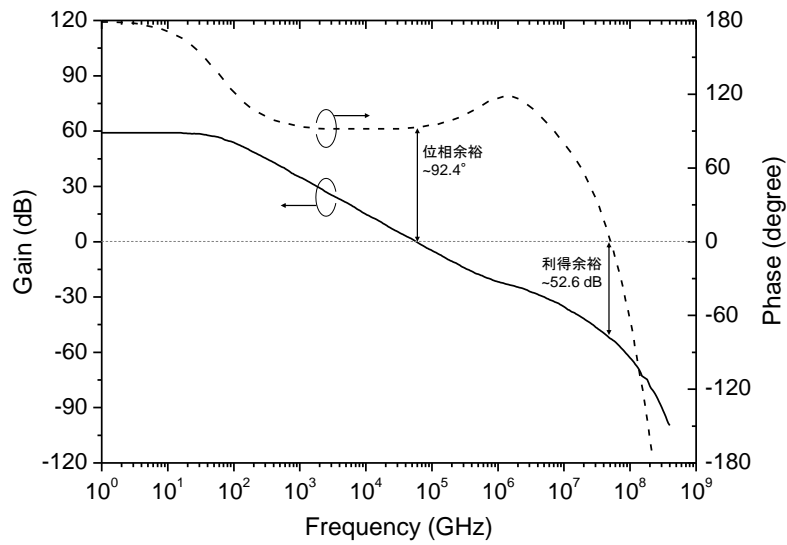


図 3.13 DC フィードバック回路を備えた TIA の低域カットオフ

図 3.14 DC フィードバック回路の  $\mu\beta$  特性

を行ない、さらにアンプにより増幅して、TIA 入力のバイアス電流  $I_{\text{bias1}}$  およびレプリカ TIA 入力のバイアス電流  $I_{\text{bias2}}$  にフィードバックする。この DC フィードバック回路は、 $I_{\text{bias1}}$ 、 $I_{\text{bias2}}$  が下記の関係を満たして  $V_P$  と  $V_N$  の DC レベルが一致するように、収束する。

$$I_{\text{bias1}} + I_{\text{bias2}} = I_{\text{DC}}, \quad (3.1)$$

$$I_{\text{bias1}} - I_{\text{bias2}} = \overline{I_{\text{signal}} + I_{\text{dark}}}. \quad (3.2)$$

ここで  $I_{\text{signal}}$  は PD に流れる信号電流,  $I_{\text{dark}}$  は PD 暗電流であり, TIA 入力電流の平均値  $\overline{(I_{\text{signal}} + I_{\text{dark}})}$  が 1 mA 以下の範囲で正常に動作するように設計した.

TIA 回路全体の低域カットオフ周波数  $f_{\text{low}}$  は DC フィードバック回路によって決定され, 図 3.13 に示すように  $f_{\text{low}} = 60 \text{ kHz}$  であった. Pseudo-random bit sequence (PRBS)  $2^{31} - 1$  などの低周波領域の成分を含む信号を受信するためには, 十分に低いカットオフ周波数を有している必要がある. ここで, 最小受信感度ペナルティ  $\Delta S$  と  $f_{\text{low}}$  との関係は, 次のように表すことができる [120].

$$\Delta S (\text{dB}) = 20\pi \frac{N_{\text{max}} f_{\text{low}}}{R_b} \log_{10} e. \quad (3.3)$$

ここで,  $N_{\text{max}}$  は連続する同一ビットの連続個数,  $R_b$  は受信する信号のデータレートを表している.  $N_{\text{max}} = 31$ ,  $f_{\text{low}} = 60 \text{ kHz}$ ,  $R_b = 25 \text{ Gbps}$  の場合,  $\Delta S < 0.01 \text{ dB}$  となり, 無視できる程度のペナルティで 25 Gbps の PRBS  $2^{31} - 1$  信号を受信できることが分かる.

また, DC フィードバック回路はループ回路になっているため, 安定した動作を実現するためにはマージン設計が重要である. そこで, 図 3.14 に示すように  $\mu$ - $\beta$  特性の解析を行なった. 発振に対してどの程度の余裕があるかを示す利得余裕は 52.6 dB, 位相余裕は  $92.4^\circ$  であり, 十分なマージンを有している. これは, 設計した DC フィードバックループによって, 発振等の不安定動作が起らないことを示している.

### 3.4.3 高温環境下動作に向けた温度補償回路の設計

近年の光トランシーバの高速化や小型化による温度上昇への対応, 厳しい温度環境への設置の要求から, 動作保証温度範囲の拡大が求められている. 特に光 I/O コア RX を図 3.1 のように LSI チップ近傍に実装して使用する場合, 消費電力の大きい LSI の発熱の影響を大きく受ける. このような背景から, 光 I/O コア RX は  $85^\circ\text{C}$  の高温環境下においても高速動作することが求められる.

表 3.3 温度補償パラメータ  $\alpha$  の設定値

$T$ ( $^\circ\text{C}$ )	25	35	45	55	65	75	85
$\alpha$	0	1	2	3	4	5	7

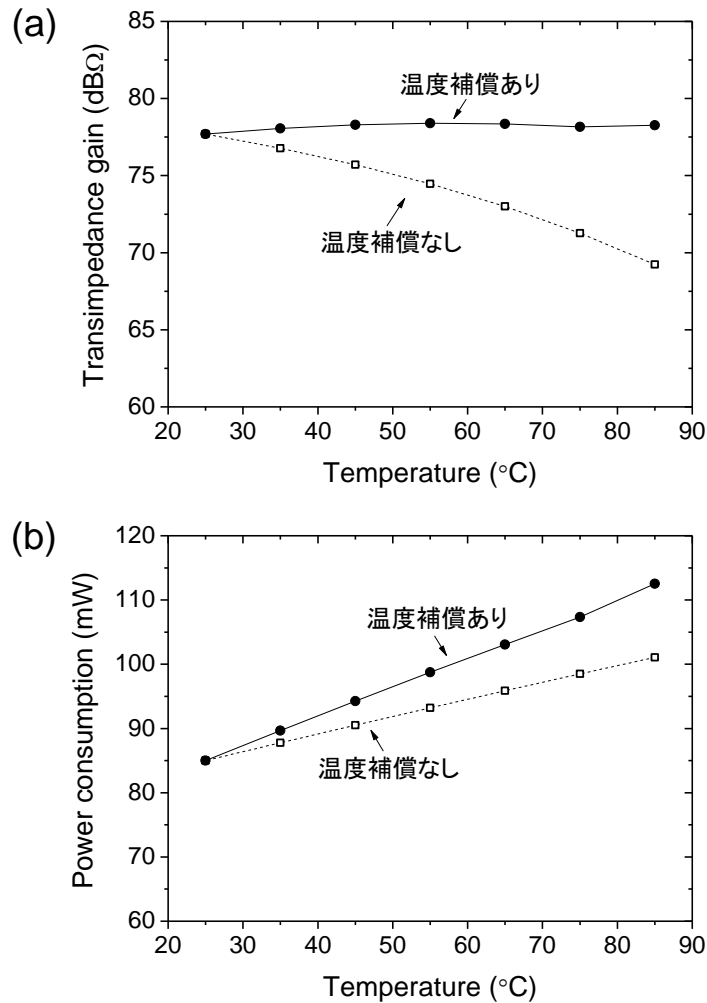


図 3.15 (a) トランスインピーダンス利得の温度依存性, (b) 消費電力の温度依存性のシミュレーション結果

高温環境においては TIA 回路の特性が劣化し、利得が低下する。環境温度が 25 °C から 85 °C に上昇した場合、Type-1 では 82.0 dBΩ から 76.8 dBΩ への 5.2 dB の利得低下であるのに対して、Type-2 では劣化が大きく 8.5 dB 低下して 70 dBΩ 以下の利得になってしまう。これは、Type-2 の LA 回路において、温度上昇によって CML アンプと CMOS インバータアンプの最適バイアス点がズれるためである。そこで、高温での利得低下を補償するために、Type-2A/B の TIA 回路に温度補償回路を組み込んだ。

温度補償回路は、高温で低下した利得を回復するために、図 3.10(b) に示す CML の n-MOS 電流  $I_n$  を増加させる。この  $I_n$  の増加により CML 出力電圧が変化して、次段の CMOS インバータの最適入力バイアス点とズれるため、このミスマッチを解消するために

p-MOS 電流  $I_p$  を同時に増加させる。これらの電流の増加量は温度補償パラメータ  $\alpha$  により制御され、温度に応じて表 3.3 に示す設定値にすることで、最適な温度補償を行なうことができる。TIA チップには温度モニタ (temperature monitor) 回路が内蔵されており、その出力信号を読み込んで I<sup>2</sup>C インタフェースを介して温度補償パラメータ  $\alpha$  の制御が可能である。 $\alpha$  は整数値であり、温度補償による電流  $I_p, I_n$  の増加分が  $\alpha$  に比例するように設計した。例えば Type-2B の TIA 回路においては、4 段構成の各 LA 段 (LA1–LA4) について次式のように電流を増やすことで利得を補償することができる。

$$\Delta I_p = \begin{cases} 0.36\alpha \text{ (mA)} & \text{for LA1} \\ 0.45\alpha \text{ (mA)} & \text{for LA2} \\ 0.40\alpha \text{ (mA)} & \text{for LA3} \\ 0.63\alpha \text{ (mA)} & \text{for LA4} \end{cases}, \quad \Delta I_n = \begin{cases} 0.50\alpha \text{ (mA)} & \text{for LA1} \\ 0.71\alpha \text{ (mA)} & \text{for LA2} \\ 0.81\alpha \text{ (mA)} & \text{for LA3} \\ 1.11\alpha \text{ (mA)} & \text{for LA4} \end{cases}. \quad (3.4)$$

図 3.15(a) に Type-2B の TIA 回路のトランスインピーダンス利得の温度依存性をプロットし、温度補償の有無による特性の比較を行なった。温度補償が無い場合は温度上昇に伴って利得が低下していき、85 °C で 69.1 dB $\Omega$  になるのに対して、温度補償を行なう場合には、77–78 dB $\Omega$  のほぼ一定値を維持することができる。図 3.15(b) に Type-2B の TIA 回路の消費電力の温度依存性を示す。TIA 回路全体の消費電力  $P$  の温度  $T$  依存性は、TIA, LA, 出力バッファ (Buff) の各ステージの電源電圧と消費電流から次式のように求めることができる。

$$P(\alpha, T) = I_{\text{TIA}}(T)V_{\text{TIA}} + I_{\text{LA}}(\alpha, T)V_{\text{LA}} + I_{\text{Buff}}(\alpha, T)V_{\text{Buff}}. \quad (3.5)$$

温度補償を行わない場合でも温度上昇に伴って各回路電流は増加し、それに温度補償による電流増加が加わる。温度補償を行なった場合、25 °C の 85 mW ( $\alpha = 0$ ) から 85 °C の 113 mW ( $\alpha = 7$ ) まで消費電力が増加する。

### 3.5 結言

本章では、Si フォトニクスを用いた小型・高速の光 I/O コア RX の光・電子統合設計について議論した。5 mm × 5 mm という小型のチップ上に光デバイスと電子回路を集積するために各種のトレードオフがあるなど特有の課題が存在し、それらを考慮した全体設計について詳しく議論した。

光結合ピンを用いることによって、 $30\ \mu\text{m}$  径の PD と MMF の高効率光結合が可能となり、 $0.5\ \text{dB}$  の結合損失が可能であることを示した。PD-TIA 間配線の特性インピーダンスが光受信器の周波数特性に影響を与えることを示し、 $10\ \mu\text{m}$  幅のストリップラインにすることで最適な特性が得られることが分かった。TIA 出力の電気信号を伝送する  $2\ \text{mm}$  長の GSSG CPW において、伝送線路下部の SOI 層をエッチングすることによって挿入損失を低減でき、 $L/S = 10/10\ \mu\text{m}$  とすることで  $1.2\ \text{dB}$  の良好な挿入損失が得られた。また、 $28\text{-nm}$  CMOS プロセスを用いて、高利得版、小型・低電力版、小型・高速版の3種類の TIA 回路を設計した。これらはいずれも  $25\ \text{Gbps}$  動作可能であり、アプリケーションに応じて使い分けることができる。DC フィードバック回路および温度補償回路について議論し、 $85\ ^\circ\text{C}$  の高温環境下においても  $25\ ^\circ\text{C}$  と同程度の利得が得られるように回路設計を行った。次章において、これらの設計に基づいて実際に試作した光 I/O コア RX の諸特性について述べる。

## 第 4 章

# Si フォトニクスを用いた小型光受信器の高速動作実証

本章では、Si フォトニクスを用いたチップスケールの小型光受信器である光 I/O コア RX の 25 Gbps 高速動作実証について議論する。第 3 章で議論した 3 種類の TIA 回路を搭載した光 I/O コア RX の評価結果を解析し、各 TIA 回路の特長について比較を行なう。光 I/O コア RX チップを LSI チップの近傍に実装して高密度集積を実現するために、高温環境下における特性についても解析する。100 Gbps (25 Gbps × 4 チャンネル) 動作に向けて、光 I/O コア RX の 4 チャンネル均一性について議論する。加えて、本研究の光 I/O コア RX と、CMOS-TIA および面受光型 PD を集積した従来研究の光受信器の特性を比較してベンチマークを行なう。

### 4.1 光受信器特性の測定系

第 3 章で議論した設計に基づいて光 I/O コア RX チップを作製し、その特性について詳細評価を行なった。図 4.1(a) に示すような配置で光 I/O コア RX チップにプロービングし、チップ単体での評価を行なった。また、図 4.1(b) のチップ拡大図のように、チップの上辺および下辺から電源/GND 供給用の DC プローブをコンタクトし、RX の出力電気信号を評価するために右辺から高周波プローブをコンタクトした。DC プローブには、測定系に起因したノイズを除去するためにバイパスコンデンサを実装した。チップ左辺からレ



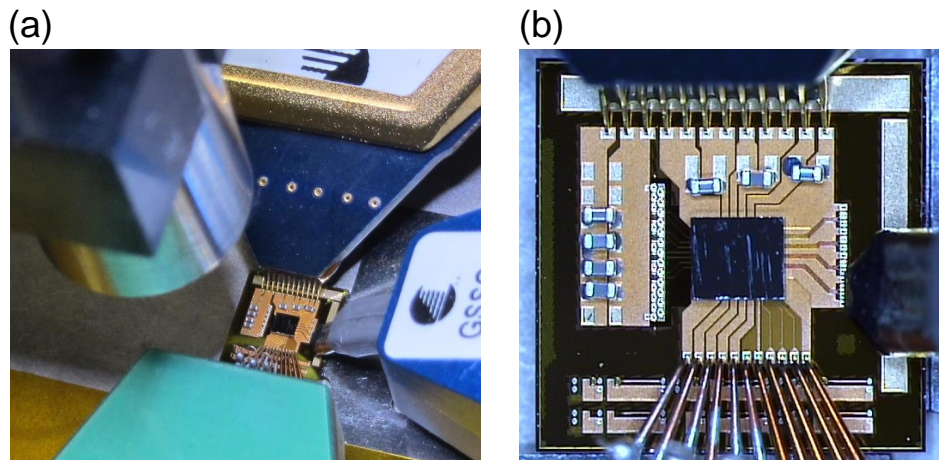


図 4.1 光 I/O コア RX 測定時の (a) プロービング配置, (b) チップ拡大図

レンズ付き光ファイバを近づけて、Ge-PD に信号光が入力されるように調芯して測定を行った。

図 4.2(a) に、光 I/O コア RX 周波数特性の測定系概要を示す。ネットワークアナライザと光コンポーネントアナライザを用いて、光—電気変換の周波数特性評価を行った。光 I/O コア RX に搭載されている TIA 回路には、あるレベル以上の入力信号に対して出力信号振幅が一定になるリミティングアンプが入っている。そのため、飽和しない信号レベルにおける小信号特性を評価するために、光 I/O コア RX に入力される信号光の平均パワーを可変光アッテネータを用いて  $-12$  dBm に設定した。また、光 I/O コア RX を設置している評価ステージの温度を温度調節器 (temperature controller) を用いて制御し、環境温度上昇による特性変化を調べた。図 4.2(b) に、光 I/O コア RX の波形 (アイダイアグラム) および BER の測定系を示す。Continuous wave (CW) 光源として波長を  $1310$  nm に設定した波長可変光源を用い、パルスパターン発生器から出力される  $25$  Gbps 電気信号を  $\text{LiNbO}_3$  (LN) 変調器に入力し、NRZ 光信号を生成した。生成した  $25$  Gbps PRBS  $2^{31} - 1$  の光信号は、挿入図に示すように消光比 (extinction ratio:  $r_e$ )  $15$  dB,  $20\% - 80\%$  立ち上がり/立ち下がり時間  $10$  ps, root mean square (RMS) ジッタ  $1.0$  ps という特性であった。生成した光信号を可変光アッテネータを介して光 I/O コア RX に入力し、出力される電気信号をサンプリングオシロスコープを用いて観測し、アイダイアグラム測定およびジッタ分析を行った。加えて、error detector を用いて BER 特性およびバスタブカーブの評価を行った。

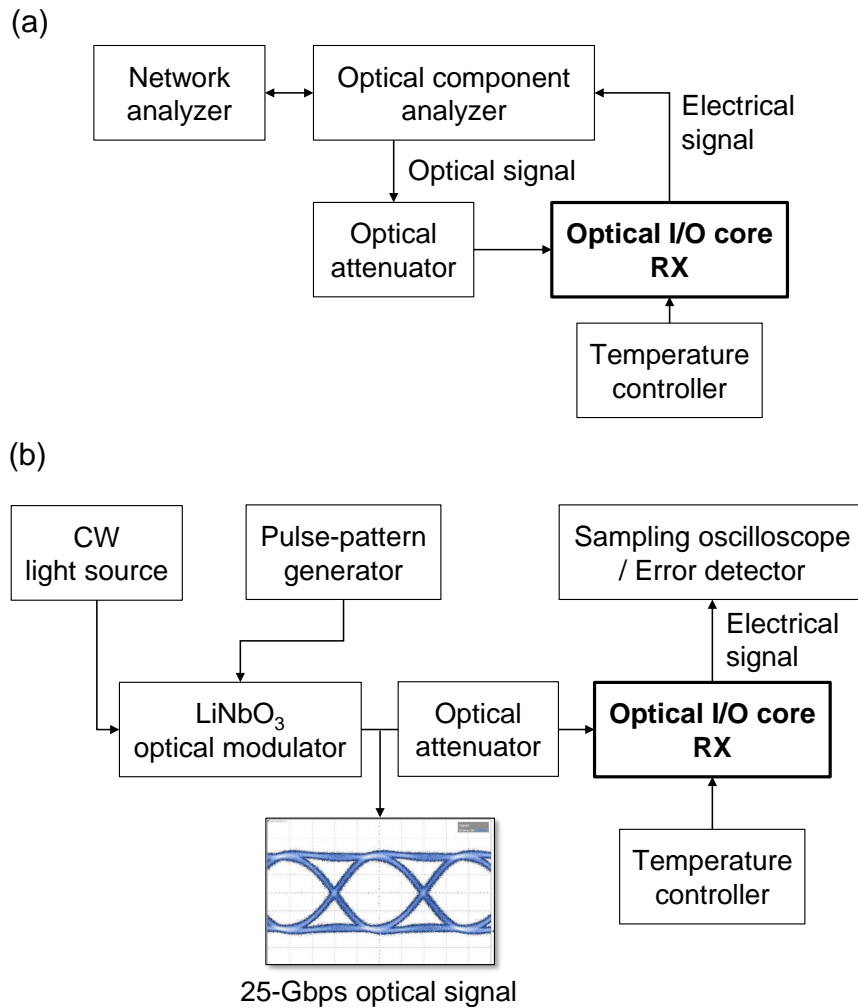


図 4.2 光 I/O コア RX の (a) 周波数特性測定系, (b) 波形および BER の測定系

入力光信号における平均光パワー  $P_{\text{ave}}$  と消光比  $r_e$  は, “0” レベルの光パワー  $P_0$  と “1” レベルの光パワー  $P_1$  を用いてそれぞれ以下のように表される.

$$P_{\text{ave}} = \frac{P_1 + P_0}{2}, \quad (4.1)$$

$$r_e = \frac{P_1}{P_0}. \quad (4.2)$$

このとき, 光信号の振幅を表す OMA (optical modulation amplitude) は,

$$\text{OMA} = P_1 - P_0 \quad (4.3)$$

$$= \frac{2(r_e - 1)}{(r_e + 1)} P_{\text{ave}}, \quad (4.4)$$

と求めることができる. 消光比  $r_e = 15 \text{ dB}$  のとき, デシベル表記にすると  $\text{OMA} \approx P_{\text{ave}} + 2.7 \text{ (dBm)}$  という関係になる. 光 I/O コア RX に実装されている TIA 回路の入力部

には、第3章で述べたように DC フィードバック回路が内蔵されているため、“0”レベルの光入力  $P_0$  により生じるオフセット電流はキャンセルされ、最小受信感度は  $P_{ave}$  ではなく OMA と直接的な依存関係を有する。

## 4.2 Type-1 (高利得版) TIA 回路を搭載した光受信器の特性

本節では、高利得版である type-1 TIA 回路を搭載した光 I/O コア RX 特性の測定結果について議論する。25 °C および 85 °C における、トランスインピーダンス利得の周波数特性の測定結果を図 4.3 に示す。25 °C において、82.0 dBΩ と設計通りの利得が得られている。85 °C においても 79.0 dBΩ と、利得低下は見られるものの、高温環境下でも十分な利得が維持されていることが分かる。3dB 帯域は 25 °C で 12.1 GHz, 85 °C で 11.7 GHz であり、温度上昇による帯域劣化は軽微であった。

図 4.4 は、25 °C および 85 °C において、平均光パワー  $P_{ave} = -5, -8, -10.5$  dBm として測定した 25 Gbps PRBS  $2^{31} - 1$  信号に対するアイダイアグラムである。これらの波形は、光 I/O コア RX の差動電気信号のシングルエンド出力を示したものであり、オシロスコープ入力部において AC 結合して測定したため、“0”レベルは波形の中心に位置する。いずれの温度においても 25 Gbps 動作が実現されており、85 °C への温度上昇による極端な波形劣化は見られず、十分なアイ開口が得られた。25 °C における差動信号振幅は 840

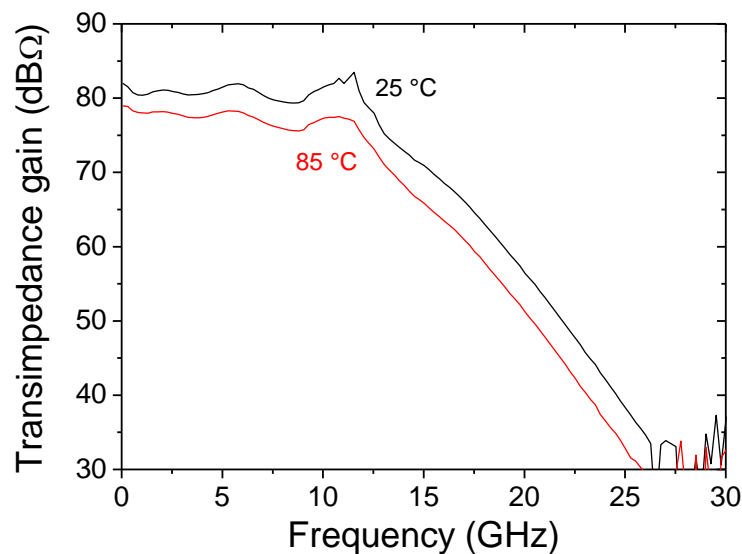


図 4.3 光 I/O コア RX トランスインピーダンス利得の周波数特性

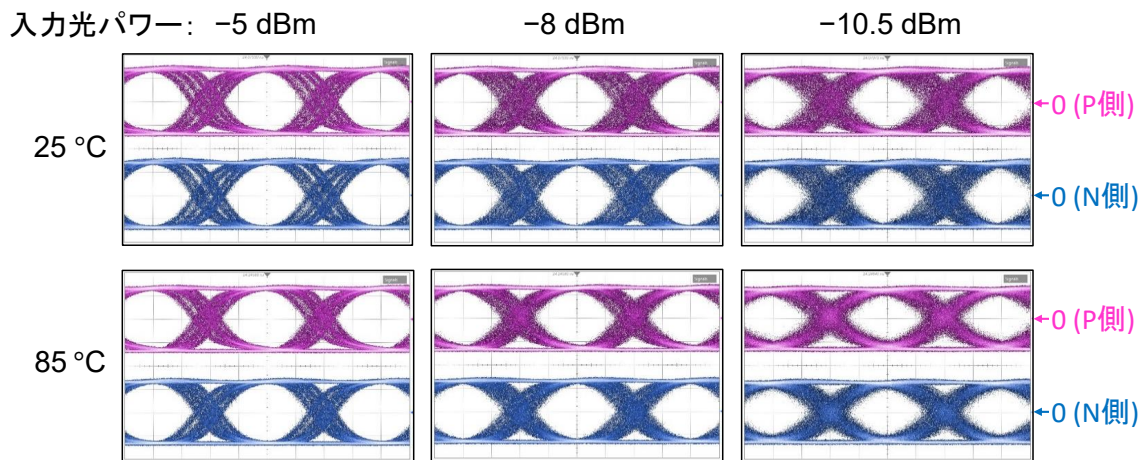


図 4.4 光 I/O コア RX 出力信号の 25 Gbps アイダイアグラム。差動電気信号のシングルエンド波形（P 側出力および N 側出力）を示している。

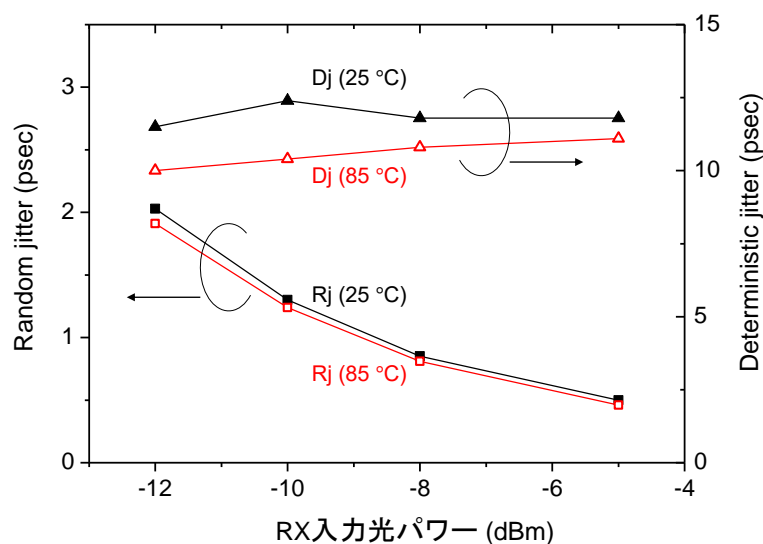


図 4.5 25 Gbps 波形における確定的ジッタ (Dj) およびランダムジッタ (Rj)

mV であり、85 °C では利得低下に伴って信号振幅も 800 mV へとやや減少した。消費電力は 25 °C で 58 mW、85 °C で 62 mW であり、これはデータレートあたりの消費電力に換算するとそれぞれ 2.3、2.5 mW/Gbps であった [64, 121]。

25 Gbps 波形における各種ジッタの入力光パワー依存性を図 4.5 に示す。25 °C で -5 dBm の光パワー入力条件において、確定的ジッタ (deterministic jitter: Dj) およびランダムジッタ (random jitter: Rj) はそれぞれ 11.8、0.50 ps であった。入力光パワーが小さくなるにつれて、ランダムジッタが増加して S/N 比が劣化していく。一方で、確定的ジッタ

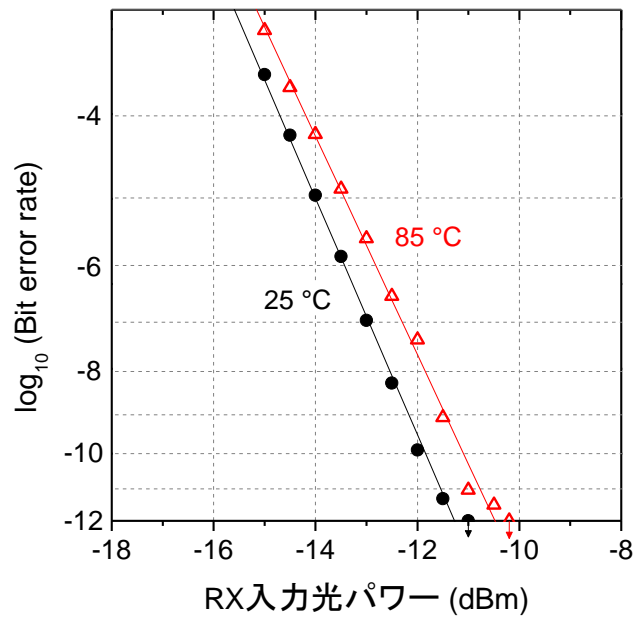


図 4.6 25 Gbps 信号に対する BER 特性

タが比較的大きいことが波形に現れており、これは周波数特性における 11 GHz 近辺にピークがあることと関係している。このジッタは、プラットフォームチップ上の TIA 電源配線 (VDD/GND) の寄生インダクタンスと TIA チップ中の寄生キャパシタンスとの間の LC 共振に起因していると考えられる。したがって、電源配線のインダクタンスを減少させ、適切なデカップリング容量を付加することによって改善可能である。

次に、25 °C および 85 °C における 25 Gbps PRBS  $2^{31} - 1$  信号に対する BER 特性を図 4.6 に示す。これは、アイ開口の中心においてビット判定をした場合の BER をプロットしたものである。いずれの温度においてもエラーフリー動作 ( $\text{BER} < 10^{-12}$ ) が達成され、 $\text{BER} < 10^{-12}$  で定義される最小受信感度は 25 °C で -11.0 dBm、85 °C で -10.2 dBm であり、温度上昇によるペナルティは 0.8 dB であった。これらの最小受信感度は光平均パワー  $P_{\text{ave}}$  で表したものであり、OMA に換算すると、それぞれ -8.3 dBm (25 °C)、-7.5 dBm (85 °C) に対応する。

光 I/O コア RX の動作マージンを解析するために、ビット判定点を時間軸および電圧軸の二次元的にスキャンして BER の評価を行なった。図 4.7 は横軸に時間を、縦軸に電圧を取り、BER を二次元的な等高線としてプロットしたものである。波形のアイダイアグラムに対応しており、例えば  $1\text{E-}3$  の曲線の内側では  $\text{BER} < 10^{-3}$  であることを意味して

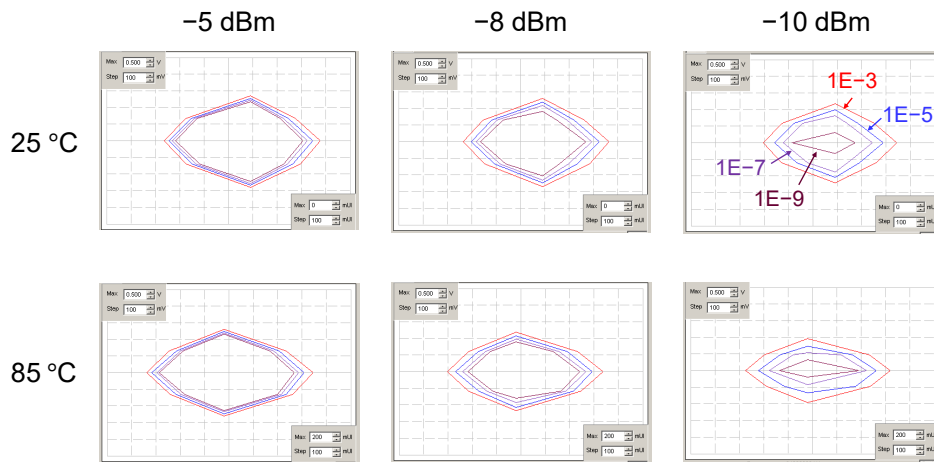


図 4.7 BER 二次元プロットの温度および入力光パワー依存性

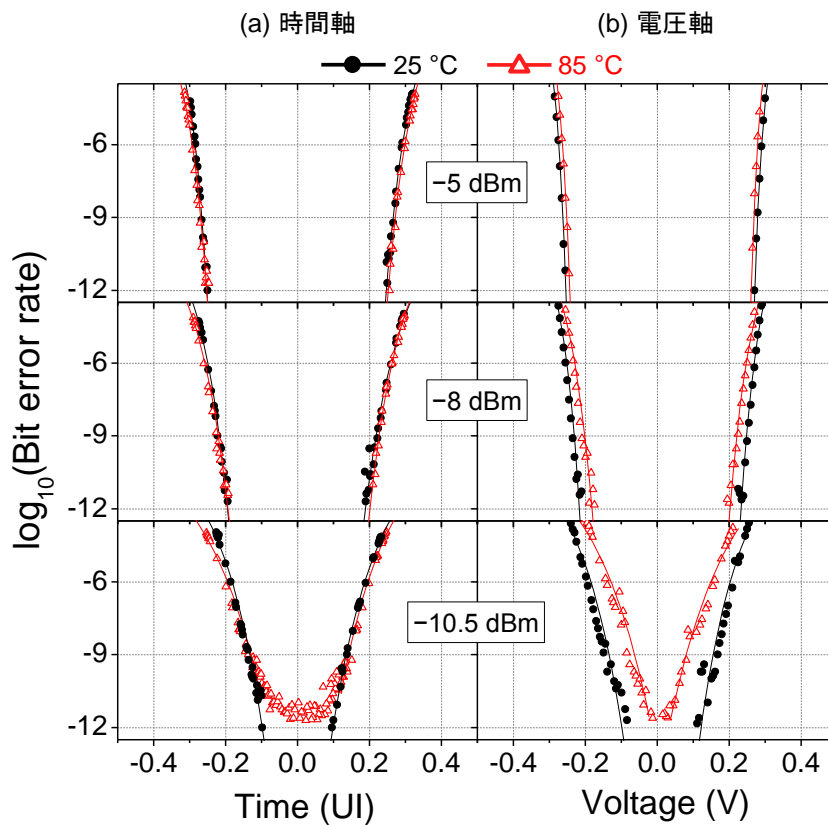


図 4.8 (a) 時間軸, (b) 電圧軸における 25 Gbps 信号に対する BER バスタブカーブの温度および入力光パワー依存性

いる。この曲線の内側の領域が広いほど動作マージンが大きく、優れた特性である。入力光パワーが減少するにつれて S/N 比が低下することによって BER が増加し、徐々に開口が縮小していく。このとき、時間軸よりも電圧軸方向のマージン減少の方が大きいことが

表 4.1 時間軸および電圧軸アイ開口  $T_{\text{eye}}$ ,  $V_{\text{eye}}$  の温度依存性

	平均入力光パワー		
	-5 dBm	-8 dBm	-10.5 dBm
時間軸アイ開口 $T_{\text{eye}}$ (25 °C)	0.50 UI	0.38 UI	0.20 UI
時間軸アイ開口 $T_{\text{eye}}$ (85 °C)	0.51 UI	0.40 UI	NA
電圧軸アイ開口 $V_{\text{eye}}$ (25 °C)	0.52 V	0.45 V	0.21 V
電圧軸アイ開口 $V_{\text{eye}}$ (85 °C)	0.50 V	0.38 V	NA

分かる。この傾向は、25 °C および 85 °C のいずれの温度においても見られた。

さらに、動作マージンについて定量的に解析するために、25 Gbps 信号に対する BER バスタブカーブの測定した結果を図 4.8 に示す。25 °C および 85 °C において、入力光パワー -5, -8, -10.5 dBm の各条件で測定を行なった。これらのバスタブカーブは、図 4.7 の二次元プロットの BER が最小になる最適点における時間軸方向の断面、および電圧軸方向における断面の BER をプロットしたものである。バスタブカーブから求められる  $\text{BER} = 10^{-12}$  における時間軸および電圧軸のアイ開口 ( $T_{\text{eye}}$ ,  $V_{\text{eye}}$ ) を、各条件について表 4.1 に示す。これらのアイ開口が大きいほど動作マージンが広く、優れた特性であることを意味する。ここで、unit interval (UI) は 1 ビットの長さに対応する時間であり、25 Gbps の場合は  $1 \text{ UI} = 40 \text{ ps}$  である。

-5 dBm の入力光パワーに対しては、25 °C および 85 °C のいずれの温度条件においてもほぼ同等の良好な特性が得られており、 $T_{\text{eye}} \approx 0.5 \text{ UI}$ ,  $V_{\text{eye}} \approx 0.5 \text{ V}$  であった。-8 dBm の入力光パワーではアイ開口が小さくなり、 $V_{\text{eye}} = 0.45 \text{ V}$  (25 °C),  $V_{\text{eye}} = 0.38 \text{ V}$  (85 °C) と電圧軸方向において温度条件の差が見られた。85 °C における最小受信感度の -10.2 dBm よりもやや小さい -10.5 dBm の入力光パワーでは、25 °C で  $\text{BER} < 10^{-12}$  のエラーフリー動作が得られる一方で、85 °C では  $\text{BER} > 10^{-12}$  となる。85 °C の時間軸バスタブカーブを見ると、 $\text{BER} = 10^{-11}$  付近にフロアがあり、いずれの点においても  $\text{BER} > 10^{-12}$  となっていることが分かる。これは、85 °C の電圧軸バスタブカーブにおいて十分なアイ開口が得られないことで BER が一定以上に制限されているためであり、上述した図 4.7 の二次元プロットで電圧軸方向にアイが閉じていることに対応している。

以上の測定結果から、高利得版である type-1 TIA 回路を搭載した光 I/O コア RX は 82.0 dB $\Omega$  の高利得、および 25 Gbps の高速動作が可能であり、85 °C の高温環境下においてもエラーフリー動作可能であることを実証できた。

### 4.3 Type-2（小型版）TIA 回路を搭載した光受信器の特性

本節では、Type-2A/2B TIA 回路を搭載した光 I/O コア RX 特性の測定結果について議論する。第 3 章で述べたように Type-2A と Type-2B の 2 種類はいずれも小型版の TIA 回路として基本設計は共通しており、電源電流値やアンプ段間インダクタンス値を変えることによって、Type-2A は低消費電力版 [122]、Type-2B は高速版 [115, 123] として設計したものである。Type-2A/2B TIA 回路では、高温環境下での動作を実現するために第 3 章で述べた温度補償機能が重要である。温度補償パラメータ  $\alpha$  の規定値は環境温度ごとに決められており、25 °C で  $\alpha = 0$ 、85 °C で  $\alpha = 7$  である。この温度補償機能の有効性を議論するために、85 °C において温度補償機能を用いない場合 ( $\alpha = 0$ ) と用いる場合 ( $\alpha = 7$ ) の測定結果について以下で比較しながら議論を行なう。

図 4.9 は、(a) Type-2A と (b) Type-2B の TIA 回路を搭載した光 I/O コア RX のトラン

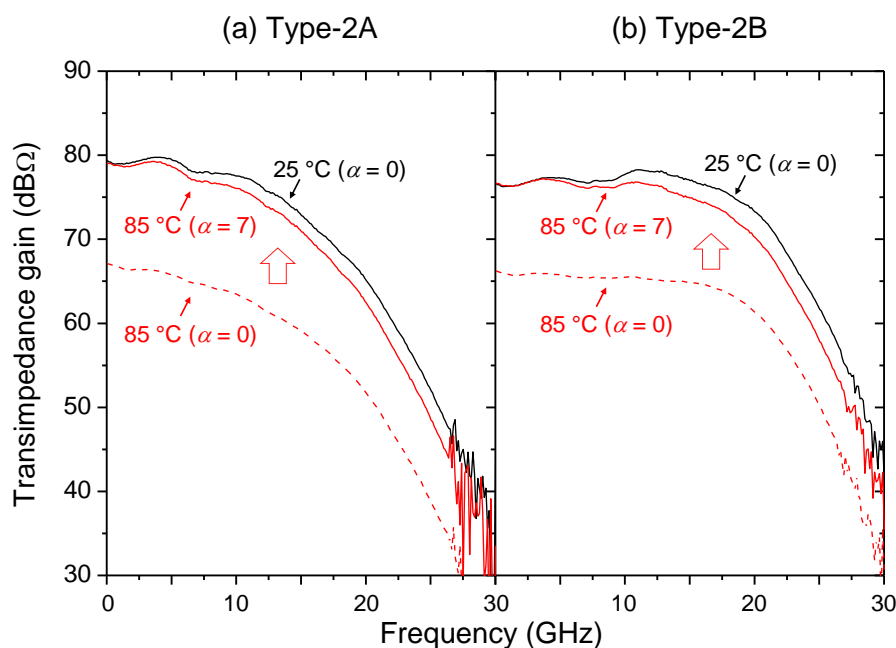


図 4.9 (a) Type-2A, (b) Type-2B TIA 回路を搭載した光 I/O コア RX のトランスインピーダンス利得の周波数特性



スインピーダンス利得の周波数特性を比較したものである。Type-2A では、25 °C で 79.4 dBΩ の利得が、85 °C で温度補償機能を用いない場合 ( $\alpha = 0$ ) には 67.1 dBΩ に減少したが、温度補償機能を用いた場合 ( $\alpha = 7$ ) には 79.1 dBΩ の利得まで回復した。25 °C における 11.8 GHz の 3dB 帯域は、85 °C では 8.5 GHz ( $\alpha = 0$ ) に減少したが、温度補償 ( $\alpha = 7$ ) を行なうことで 10.0 GHz に改善された。一方、Type-2B では、25 °C で 76.6 dBΩ の利得が、85 °C で温度補償無しの場合 ( $\alpha = 0$ ) には 66.2 dBΩ に減少したが、温度補償有りの場合 ( $\alpha = 7$ ) には 76.7 dBΩ の利得が得られた。Type-2A では設計値よりもやや利得が大きかったが、2 dB 程度のチャンネル間バラツキや 3 dB 程度のチップ間バラツキがあったため、これらは製造バラツキや測定誤差に起因するものと考えられる。25 °C における 19.8 GHz の 3dB 帯域は、85 °C では 18.4 GHz ( $\alpha = 0$ )、17.3 GHz ( $\alpha = 7$ ) に減少したものの、Type-2A よりも広帯域の特性が得られた。また、周波数特性はほぼフラットであり、望ましくないピーキングやディップは見られず、良好な特性が得られた。Type-2A の消費電力は、25 °C で 63.2 mW、85 °C ( $\alpha = 7$ ) で 83.5 mW であった。Type-2B の消費電力は、25 °C で 91.6 mW、85 °C ( $\alpha = 7$ ) で 120.8 mW であった。これらの周波数特性の測定結果から、Type-2A の低消費電力動作および Type-2B の高速動作がそれぞれ設計通りに実現され、いずれの TIA 回路においても、温度補償回路が正常に動作して高温環境下における利得補償が行われることを実証できた。

図 4.10 は、(a) Type-2A と (b) Type-2B の TIA 回路を搭載した光 I/O コア RX の 25 Gbps PRBS  $2^{31} - 1$  信号に対するアイダイアグラムを比較したものである。入力平均光パワー  $P_{ave} = -10$  dBm として、25, 55, 85 °C の各温度条件において測定した。Type-2A と 2B のいずれの TIA 回路においても、25 °C で明瞭なアイ開口が得られた。Type-2A では、25 °C で 630 mV の差動出力振幅が得られたのに対して、温度上昇により利得が低下するのに伴って振幅も減少し、85 °C で温度補償機能を用いない場合 ( $\alpha = 0$ ) には振幅は 340 mV に小さくなった。これに対して温度補償 ( $\alpha = 7$ ) を行なうことで振幅は 640 mV に増加し、85 °C でも室温と同等の波形を実現できた。Type-2A は先述したように Type-2B よりも帯域幅は狭いものの、いずれの温度においても十分良好なアイ開口が得られていることが分かる。一方、Type-2B においても、25 °C における出力振幅 630 mV が 85 °C で 380 mV ( $\alpha = 0$ ) に低下したが、温度補償を用いることにより出力振幅は 640 mV に改善された。アイダイアグラムの 20%–80% 立ち上がり／立ち下がり時間は、25 °C の 10.2

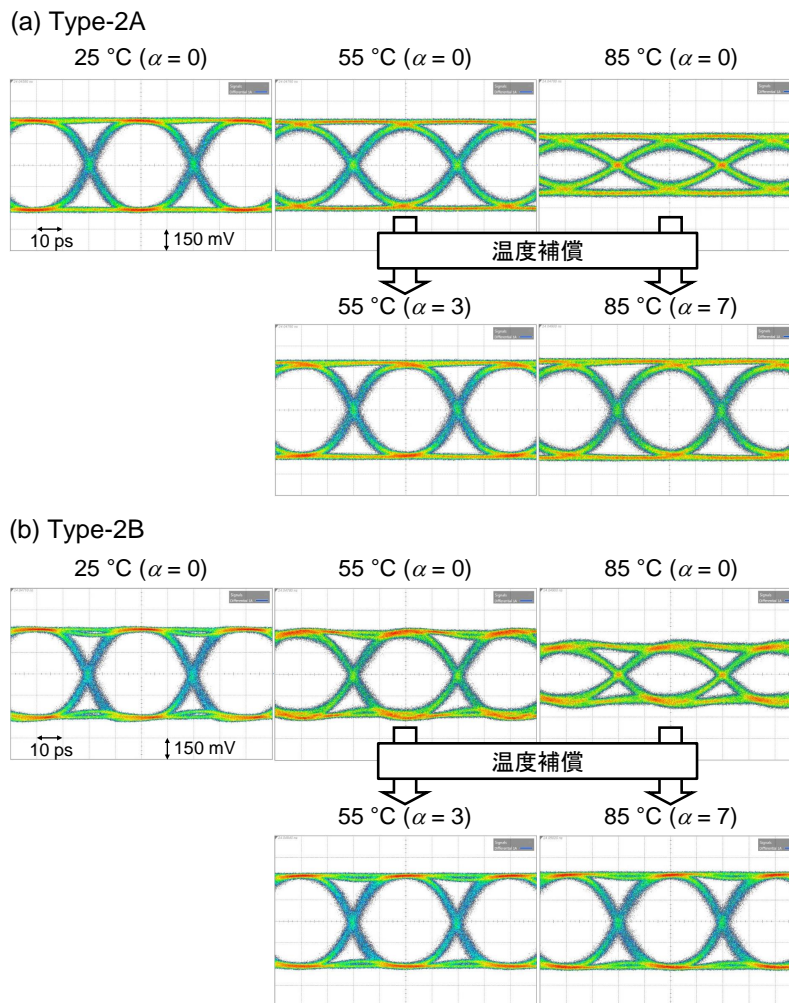


図 4.10 (a) Type-2A, (b) Type-2B TIA 回路を搭載した光 I/O コア RX の 25 Gbps アイダイアグラム

ps から 85 °C で 15.7 ps に増加したが、温度補償により 12.0 ps に改善された。これらの測定結果は、Type-2A/2B TIA を集積した光 I/O コア RX が、温度補償機能を用いることで 85 °C まで同等のアイ開口を維持できることを示している。

次に、最小受信感度に対する温度補償機能の効果を検証するために、BER の測定を行った。図 4.11 は、Type-2B を搭載した光 I/O コア RX の 25 °C および 85 °C における 25 Gbps PRBS  $2^{31} - 1$  信号に対する BER 測定結果を示している。いずれの温度においてもエラーフリー動作が達成され、BER <  $10^{-12}$  で定義される最小受信感度は、25 °C で -12.2 dBm, 85 °C ( $\alpha = 0$ ) で -11.2 dBm, 85 °C ( $\alpha = 7$ ) で -11.6 dBm であった。これらの最小受信感度を OMA に換算すると、それぞれ -9.5 dBm, -8.5 dBm, -8.9 dBm

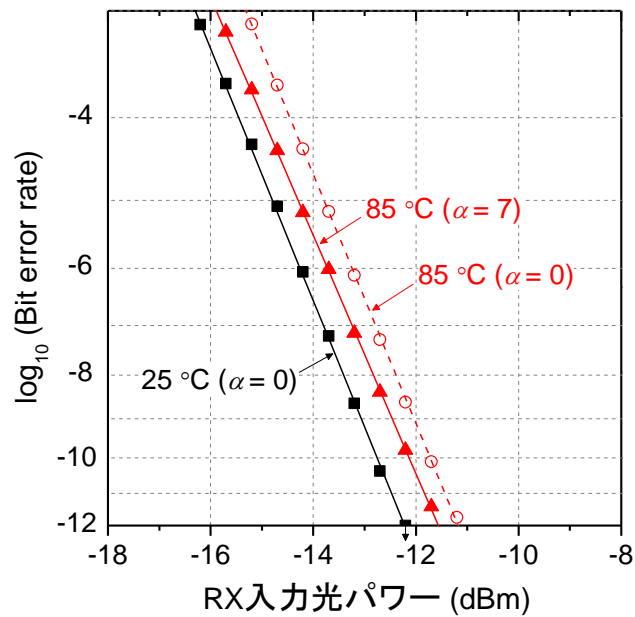


図 4.11 Type-2B TIA 回路を搭載した光 I/O コア RX の 25 Gbps における BER 特性

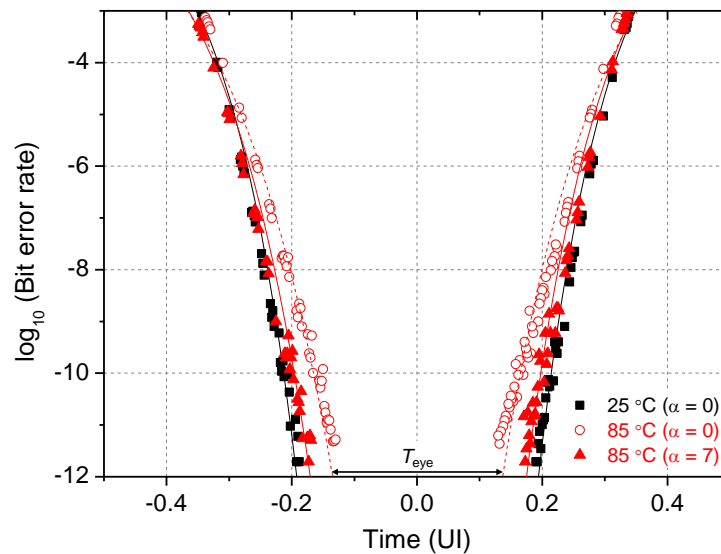


図 4.12 25 Gbps における BER バスタブカーブ

に対応し、高感度の受信特性を達成できた。また、温度補償回路を用いることによって、85 °C への温度上昇による最小受信感度ペナルティを 0.6 dB に抑制することができた。本研究では面受光型 PD を用いているが、導波路型 PD を用いた光受信器では -12.5 dBm (OMA) の最小受信感度が報告されている [110]。ただし、導波路型 PD は一般に小型で電気容量が小さいため高速化に有利であるが、光受信器全体またはレシーバモジュールとし

て議論する際には、光ファイバから Si 光導波路への光結合損失約 3 dB も考慮する必要がある。この結合効率損失も含めると、光受信器チップ入力における最小受信感度としては約  $-9.5$  dBm となる。これに対して、本研究で作製した RX チップはこの光結合損失も含めた最小受信感度として  $-9.5$  dBm と同等の特性が得られており、光結合トレランスの大きい面入射型 PD を用いているため光ファイバとの結合が容易で使い勝手が良いというメリットがある。

Type-2B を搭載した光 I/O コア RX の 25 Gbps における BER バスタブカーブを図 4.12 に示す。入力平均光パワー  $P_{\text{ave}} = -10$  dBm における時間軸バスタブカーブを測定し、エラーフリー動作のマージンを評価した。25 °C において  $\text{BER} = 10^{-12}$  となる時間軸アイ開口  $T_{\text{eye}}$  は 0.39 UI であり、85 °C で 0.27 UI ( $\alpha = 0$ ) に減少したものが、温度補償により 0.35 UI ( $\alpha = 7$ ) に回復した。このバスタブカーブは、温度補償機能が電圧軸方向の信号振幅だけではなく、時間軸方向のアイ開口も改善できることを示している。

以上の測定結果から、周波数特性、アイダイアグラム、BER の各特性について温度補償機能が有効であり、85 °C の高温環境下でも高速動作可能で実用的な特性であることを実証できた。

## 4.4 チャネル間均一性

4ch-光 I/O コア RX では 1 チップ上に 4 チャネルが集積されており、100 Gbps (25 Gbps  $\times$  4 チャネル) の動作を実現するには、光受信器の 4 つのチャネルの特性が均一であることが重要である。25 °C および 85 °C での 25 Gbps PRBS  $2^{31} - 1$  信号の 4 つのチャネルのアイダイアグラムを図 4.13 に示す。いずれの温度でも全てのチャネルで不良が無く、良好で均一なアイ開口が得られた。25 °C における各チャネル信号振幅は 620–670 mV の範囲であり、立ち上がり/立ち下がり時間やジッタ特性についてもほぼ同程度の特性が得られた。

次に、図 4.14 に示すように、25 °C と 85 °C における 4 チャネルの BER を測定した。いずれの温度においても、4 つのチャネルに対して均一な最小受信感度が得られた。これらの測定においては各チャネルに対して、第 3 章で議論した温度補償パラメータの規定値 (25 °C で  $\alpha = 0$ , 85 °C で  $\alpha = 7$ ) に従って同一パラメータを使用した。これは、温度

表 4.2 25 °C における 4 チャンネル諸特性

	利得 (dBΩ)	帯域 (GHz)	信号振幅 (mV)	最小受信感度 (OMA) (dBm)	受光感度 (A/W)
CH1	76.6	19.8	630	-9.5	0.84
CH2	75.4	19.1	670	-9.6	0.84
CH3	75.5	20.7	630	-9.4	0.82
CH4	74.8	19.9	620	-9.4	0.83

表 4.3 85 °C における 4 チャンネル諸特性

	利得 (dBΩ)	帯域 (GHz)	信号振幅 (mV)	最小受信感度 (OMA) (dBm)	受光感度 (A/W)
CH1	76.7	17.3	640	-8.9	0.83
CH2	76.1	16.2	650	-8.9	0.83
CH3	75.8	17.9	630	-8.8	0.82
CH4	74.4	18.0	610	-8.8	0.82

補償回路が各チャンネルに対する個別の最適化が不要であり、予め決定された規定値で動作することを示しており、実際のアプリケーションにおいて簡便な運用が可能である。従来のディスクリット部品で構成されるよりも小型な光トランシーバチップである光 I/O コアは、LSI パッケージへの集積に適している。高温環境下で安定動作が得られることは、光 I/O コアを CPU や FPGA などの発熱源の近傍に実装して使用する光・電子集積パッケージへの応用に適していることを示している。加えて、波形補償のような付属回路がなくても良好なアイパターンが得られることは低消費電力化や低遅延化に対しても有利となる。

測定した 4 チャンネル特性を、表 4.2 および表 4.3 に要約する。Ge-PD の受光感度は、25 °C で 0.82~0.84 A/W, 85 °C で 0.82~0.83 A/W であった。高品質のエピタキシャル成長プロセス用いた Ge 吸収層の均一な厚さ [116, 124] により、均一な特性を得ることができた。4 チャンネルの最小受信感度 (OMA) は、25 °C で -9.6~-9.4 dBm, 85 °C で -8.9~-8.8 dBm であり、チャンネル間バラツキは約 0.2 dB と良好な特性であった。これらの測定結果から、85 °C の高温環境下においても、100 Gbps (25 Gbps × 4 チャンネル) 動作可能であることを実証できた。

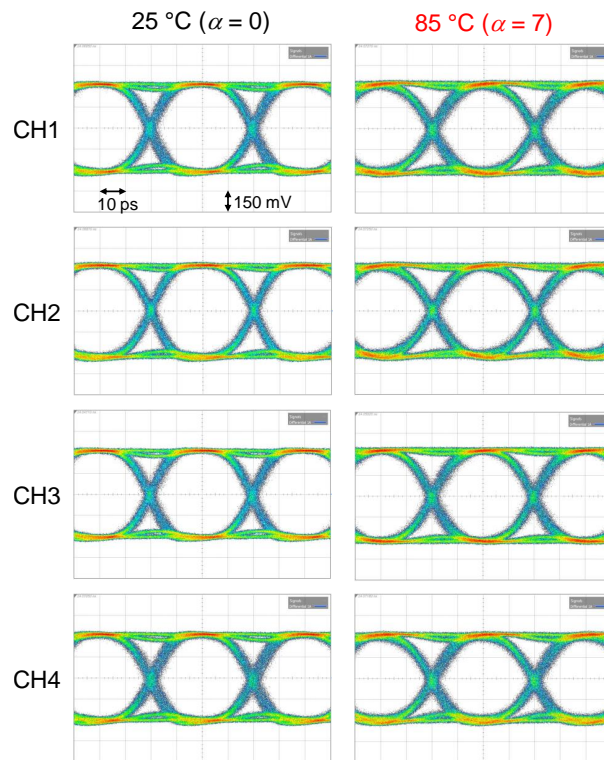


図 4.13 光 I/O コア RX の 25 Gbps アイダイアグラムの 4 チャンネル特性

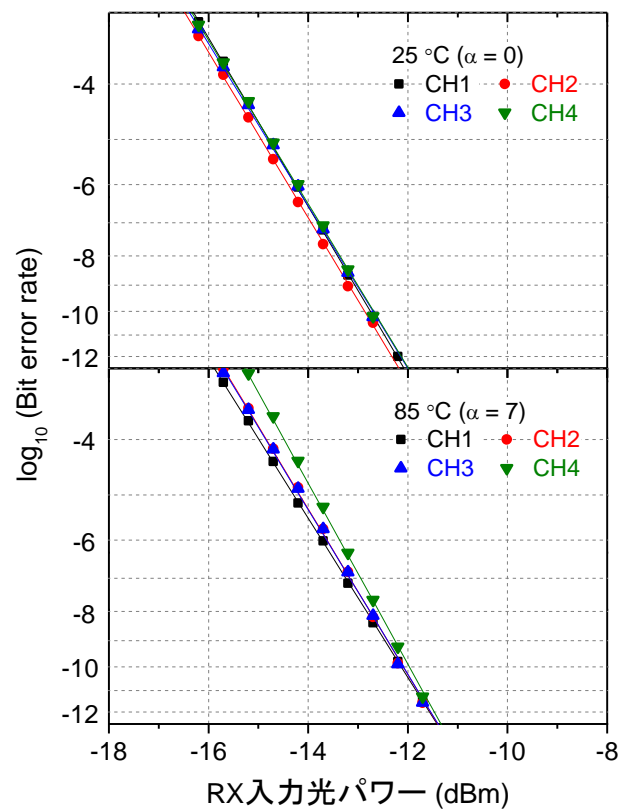


図 4.14 光 I/O コア RX の 25 Gbps における BER の 4 チャンネル特性

## 4.5 光受信器の特性ベンチマーク

本研究で試作した3種類のTIA回路を搭載した光I/OコアRXと、CMOS-TIAおよび面受光型PDを集積した従来研究の光受信器の特性を比較した結果を表4.4に示す。Siフォトニクスの適用範囲となる通信波長帯（1.3–1.55  $\mu\text{m}$  帯）で動作する光受信器 [112, 125, 126] について比較しているが、CMOSプロセス世代の影響を調べるために40-nm CMOSを用いて動作波長が異なる（0.85  $\mu\text{m}$  波長）光受信器 [127] も参考として記載している。利得  $Z_t$ 、帯域  $B_w$ 、消費電力  $P$  などの特性とともに、電極パッドを含めた1チャンネル当たりのTIA面積  $A$  も示している。集積密度を高めるためには、回路面積を縮小するとともにパッド面積およびパッドピッチも小さくすることが重要である。本研究の光I/OコアRXでは、光回路チップ上に電子回路チップをフリップチップ実装する構造の

表 4.4 CMOS-TIA と面受光型 PD を用いた光受信器の特性ベンチマーク

	従来研究				本研究		
	[112]	[125]	[126]	[127]	Type-1	Type-2A	Type-2B
CMOS プロセス	65 nm	65 nm	65 nm	40 nm		28 nm	
波長 ( $\mu\text{m}$ )	1.55	1.3	1.3	0.85		1.3	
動作速度 (Gbps)	25–36	25–28	25	25		25	
利得 $Z_t$ (dB $\Omega$ )	78	76.8	83	NA	82.0	79.4	76.6
帯域 $B_w$ (GHz)	13.5	21.4	13.6	NA	12.1	11.8	19.8
消費電力 $P$ (mW)	65 <sup>*1</sup>	137.5 <sup>*2</sup>	93	28.25	58.0	63.2	91.6
面積 $A$ (mm <sup>2</sup> )	0.752	0.320	0.422	0.584 <sup>*3</sup>	0.211	0.127	0.127
FoM1 <sup>*4</sup>	1650	1077	2066	NA	<b>2626</b>	1742	1461
FoM2 <sup>*5</sup>	163	157	360	NA	1029	<b>1163</b>	581
FoM3 <sup>*6</sup>	276	486	346	NA	989	1470	<b>1702</b>

\*1: 25 Gbps の消費電力 \*2: 28 Gbps の消費電力 \*3: チップ写真に基づく推定

\*4:  $\text{FoM1} = Z_t B_w / P$  (GHz $\Omega$ /mW) \*5:  $\text{FoM2} = Z_t / PA$  ( $\Omega$ /(mW  $\cdot$  mm<sup>2</sup>))

\*6:  $\text{FoM3} = B_w / PA$  (GHz/( $\mu\text{W} \cdot \text{mm}^2$ ))

ため、パッド面積およびピッチが小さく、小型化が実現されている。

これらの光受信器について、利得、帯域、消費電力、面積を考慮して、以下の3種類の評価指標 (Figure of Merit: FoM) を用いてベンチマークを行なった。いずれも、数字が大きい方が優れた特性であることを示す指標である。

$$\text{FoM1} = \frac{Z_t B_w}{P}, \quad (4.5)$$

$$\text{FoM2} = \frac{Z_t}{PA}, \quad (4.6)$$

$$\text{FoM3} = \frac{B_w}{PA}. \quad (4.7)$$

Type-1 では利得が大きいため、FoM1 で最も優れた特性を示した。Type-2A では小型で消費電力が比較的小さいため FoM2 で最高性能を示し、Type-2B では小型で広帯域な特性のため FoM3 で最高性能を示した。これらの利得、帯域、電力、面積を考慮した各指標において、本研究の光 I/O コア RX は従来研究の光受信器よりも優れた特性を実現することができた。これらの特性を踏まえて使い分け、高利得と大きな信号振幅が必要な場合には Type-1 を、高集積密度と省電力性が重要なアプリケーションにおいては小型・低消費電力版の Type-2A を、高集積密度と高速性が重要である場合やプリント基板等による帯域劣化が大きい場合には小型・高速版の Type-2B を使用することが望ましいと考えられる。

## 4.6 結言

本章では、Si フォトニクスを用いたチップスケールの小型光受信器である光 I/O コア RX の特性評価結果について議論し、25 Gbps の高速動作を実証した。設計コンセプトの異なる Type-1, Type-2A/2B の3種類の TIA 回路を搭載した光 I/O コア RX について、設計通りに各回路の特長が異なる特性が得られた。いずれも 25 Gbps 動作が可能であり、高利得 (Type-1)、小型・低電力 (Type-2A)、小型・高速 (Type-2B) という特長に合わせてアプリケーションに応じて使い分けられることができる結果であった。光 I/O コア RX チップを LSI チップの近傍に実装して高密度集積を実現するためには、高温環境で動作することが重要である。Type-2B の TIA 回路では温度補償機能を用いることによって 85 °C でも 25 °C と同程度の周波数特性が得られるとともに、最小受信感度 (OMA) が 25 °C で -9.5 dBm、85 °C で -8.9 dBm という高感度の受信特性を実証できた。



光 I/O コア RX の 4 チャンネルが均一な特性を有しており、100 Gbps アプリケーションに適用できることを示した。本章では 4 チャンネル版の光 I/O コア RX の特性について議論したが、12 チャンネル版では  $5 \times 5 \text{ mm}^2$  の面積で 300 Gbps 伝送が可能で、 $1.2 \text{ Tbps/cm}^2$  の伝送密度を実現できる。この 12 チャンネル版を用いて LSI チップ周辺に光 I/O コアの TX/RX チップを各 8 個ずつ実装することで、最大で  $300 \text{ Gbps} \times 8 \text{ chip} = 2.4 \text{ Tbps}$  伝送も可能である。光インターコネクションへの増大するニーズに応え、LSI チップ間を広帯域で接続する技術として、本研究で実証した光 I/O コアの適用が有望である。

加えて、光 I/O コア RX と CMOS-TIA および面受光型 PD を集積した従来研究の光受信器の特性を比較してベンチマークを行なった。その結果、利得、帯域、電力、面積を考慮した 3 つの評価指標において、本研究の光 I/O コア RX は従来研究の光受信器よりも優れた特性を実現することができた。

## 第 5 章

# 光・電子統合シミュレーションを用いた Si 光インタポーザの設計

LSI チップ間インターコネクションの帯域幅がコンピューティング・システム全体の性能を律速するボトルネックとなりつつある。このボトルネックを解消するため、Si フォトニクスを用いて光・電子融合システムを実現する Si 光インタポーザが提案されている。本章では、Si 光インタポーザの等価回路モデルを構築し、混在する光信号と電気信号を同時に扱う光・電子統合シミュレーション手法を用いて、光インタポーザの高性能設計の指針を明らかにする。

### 5.1 Si 光インタポーザの概要

世界で爆発的に増加する大量のデータを分析するために、計算処理能力の向上が求められている。消費電力の制約から CPU チップのクロック周波数は数 GHz で飽和傾向にあり、コア数を増やすことによって高速化が実現されている。大規模計算を高速に実行するためには、さらに複数のチップを用いた並列処理によって性能を高める必要があり、複数チップを一つのパッケージ内に集積する SiP (System in Package) の重要性が増している。SiP ではインタポーザ上に、TSV (Through Silicon Via) を用いた積層チップを含めた 2.5 次元実装によって複数チップを集積することが可能である。特に TSV を用いて複数のメモリを積層する HBM (High Bandwidth Memory) などでは、インタポーザ上のチップ間イ

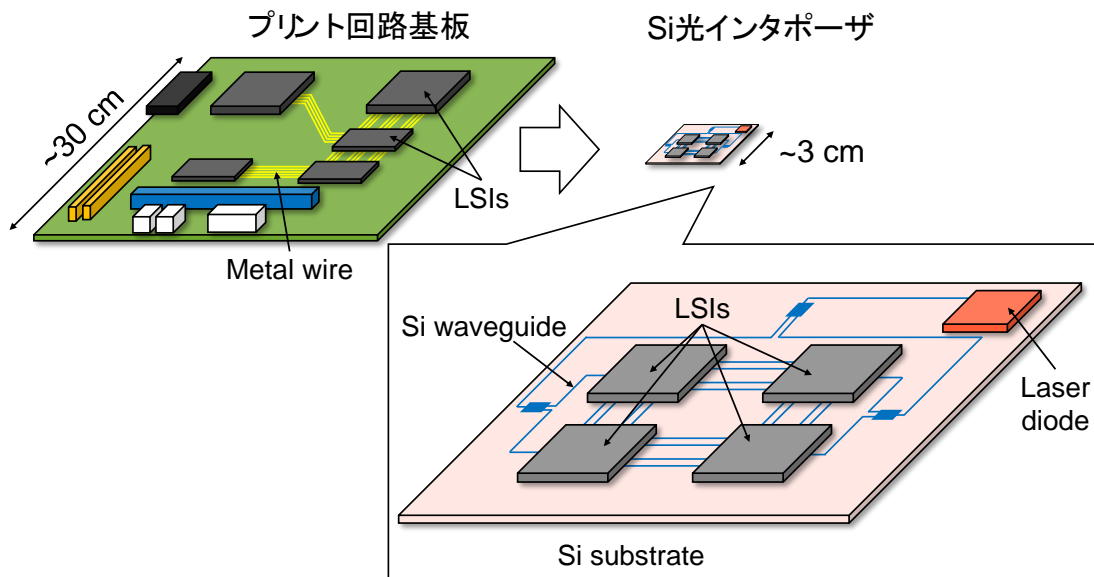


図 5.1 Si 光インタポーザの概念図

インターコネクションに広い帯域幅を必要とする。

このような背景の中、LSI チップ間（CPU-CPU 間、CPU-メモリ間）の帯域幅は約 2 年毎に 2 倍になる増加を続けている [128]。最先端の LSI ではメモリ帯域も含めて合計 9.6 Tbps の I/O 帯域を有しており [10]、2020 年代前半には数十 Tbps の帯域が必要になると予測される。LSI 内部のロジック回路の配線ピッチの縮小ペースと比較して、フリップチップパッド等の LSI 間を繋ぐ入出力パッドのピッチの縮小ペースは非常に遅いと予測されている [129]。そのため、LSI チップ間インターコネクションの帯域幅がコンピューティング・システム全体の性能を律速するボトルネックとなることが懸念されている。

この LSI チップ間の帯域幅ボトルネックを解決するために、Si フォトニクスを用いた Si 光インタポーザが提案されている [130, 131]。Si 光インタポーザは、光源、光変調器、光導波路、受光素子を単一 Si 基板上に集積することにより、LSI チップ間の広帯域・高密度光インターコネクションを実現するものである。図 5.1 に示すように LSI チップはこの Si 基板にフリップチップ実装され、光変調器および受光素子と電気的に接続される。高速かつ小型の光デバイスが高密度集積された Si 光インタポーザ上に LSI チップや積層メモリを実装することによって、電気配線のピンボトルネックを解消し、30 cm サイズの従来プリント回路基板の機能を 3 cm サイズに縮小することを目指す。この Si 光インタポー

は、序論で述べた光・電子融合システムの第2ステップであり、光 I/O コア（光トランシーバチップ）よりも短距離の信号伝送にも光配線を導入し、 $10 \text{ Tbps/cm}^2$  以上の伝送密度（単位面積当たりの帯域幅）を実現することを目標としている。

本章では、広帯域・高密度の光インターコネクションを実現する Si 光インタポーザの設計について議論する。Si 光インタポーザ上には光送信器と光受信器の両方が集積されており、この光送受信リンクにおいては電気-光/光-電気の信号変換が行われ、光信号と電気信号が混在する。そこで、Si 光インタポーザの等価回路モデルを構築し、光信号と電気信号を同時に扱う光・電子統合シミュレーション手法を用いて、光リンクの特性を解析する。光リンクを設計するにあたって光送受信器を含めた詳細な解析が必要であるが、周波数特性やビットエラーレートなどのリンク性能に影響を与えるパラメータが多く存在するため、実際に試作して、それらの組み合わせを全て網羅的に探索することは現実的ではない。そこで、シミュレーションによってその性能を予測することができ、さらに各パラメータが全体にどの程度の影響を与えるかを解析することができれば、光リンク全体の観点で最適化することが容易となり、高性能化の指針を得ることができる。このように光リンク全体の特性をシミュレーションすることによって、光受信器に求められる要件を明らかにできる。加えて、Si 光インタポーザ上には光デバイスが高密度に集積されているため、クロストークの解析も重要である。クロストークがどの程度以下であれば許容できるかを定量的に解析し、クロストークを低減するシールド構造について議論する。

## 5.2 光送受信リンクの等価回路モデル

本節では、実際に試作した光インタポーザの中で個別の光デバイスについて詳細な測定結果が得られているものについて等価回路モデルを作成し、光・電子統合シミュレーションの妥当性を検証するとともに、高性能化に向けた設計指針を得る。光送受信リンクのブロック図を図 5.2(a) に示す。変調器ドライバ (DRV: Driver) からの電気信号は、後述する微分器 (Diff: Differentiator) を介して、Si 光変調器 (Mod: Modulator) に入力される。また、III-V 族化合物半導体の光源 (LD: Laser diode) から出力される CW (Continuous wave) 光が、スポットサイズ変換器 (SSC: Spot size converter) を通して光変調器に入力され、光信号に変換される。変調器から出力された光信号は、Si 光導波路 (WG: Waveguide) 中を

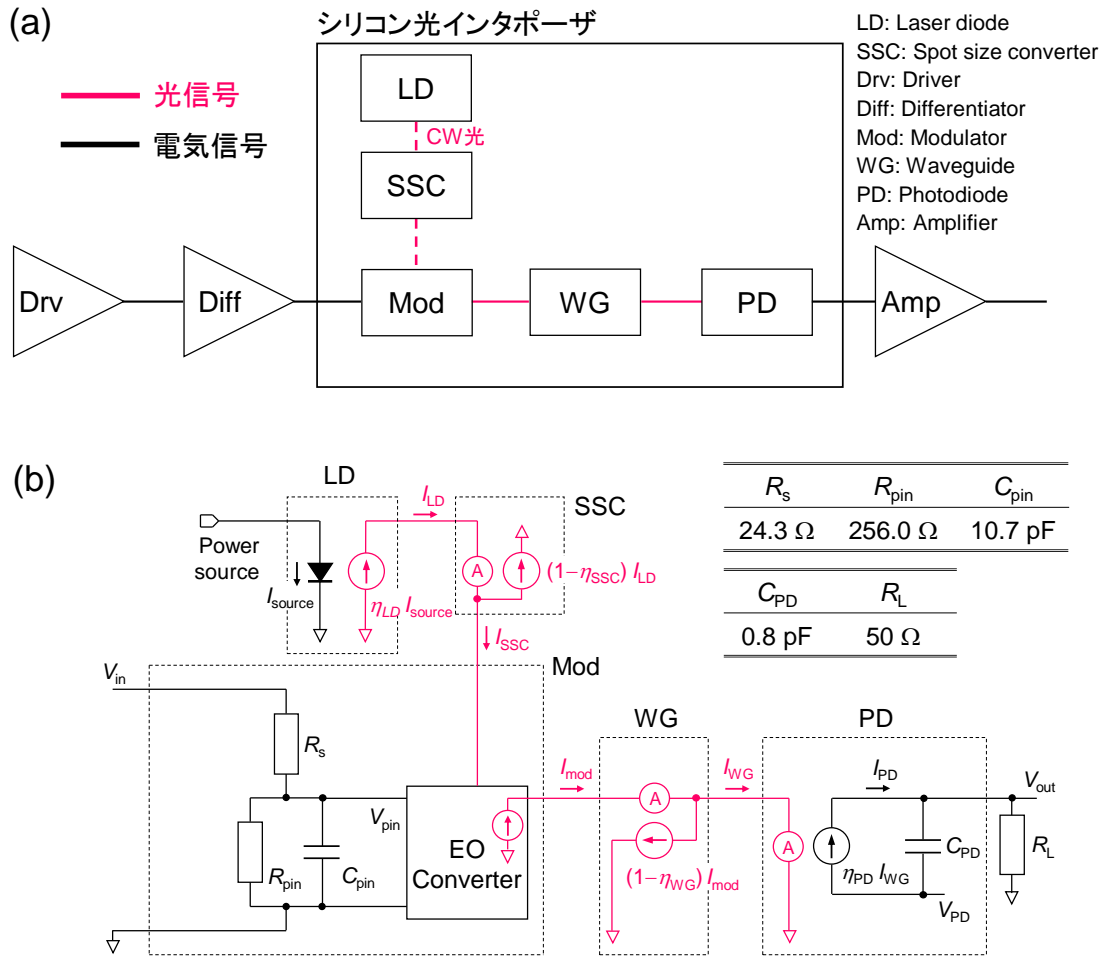


図 5.2 (a) 光リンクブロック図, (b) 光リンク等価回路モデル

伝搬して、Ge 受光素子 (PD: Photodiode) に入力される。これらのデバイスが単一 Si 基板上に集積されており、波長は導波路損失を小さくしやすい  $1.55 \mu\text{m}$  帯を用いた。伝送波形の観測や BER の評価では、PD 出力を RF アンプ (Amp: Amplifier) で増幅した信号を測定した。

次に、Si 光インタポーザの等価回路モデルを図 5.2(b) に示す。ここでは光信号を等価的に電流信号として取り扱い、光伝送システムの等価回路を表現している。この等価回路モデルにおいては、光信号と電気信号を同時に扱うために、光信号  $P_{ph}$  を等価的に電流信号  $I_{ph}$  として表現する。以下の数式で定義される適当な係数を用いて電流信号  $I_{ph}$  に変換することによって、矛盾なく、光信号と電気信号を一つのシミュレーションプラットフォーム

ム上に表現することができる.

$$I_{\text{ph}} := \frac{eP_{\text{ph}}}{\hbar\omega} = \frac{eP_{\text{ph}}}{hf}. \quad (5.1)$$

ここで,  $e$  は電気素量,  $\hbar$  は換算プランク定数,  $\omega$  は光の角周波数である. この変換は, 量子効率が 100% の理想的な光-電気変換素子を仮想的に導入することで, 電気回路シミュレーション上に光信号を表現していると考えられる. 例えば,  $P_{\text{LD}} = 1 \text{ mW} = 0 \text{ dBm}$  の場合, 等価的に  $I_{\text{LD}} = 1.25 \text{ mA}$  (波長  $1.55 \mu\text{m}$ ) として表現される.

Si 光インタポーザでは, 光源として複数チャンネルのレーザ素子が集積されたアレイ LD を用いて, 出力光を光導波路に結合するためにトライデント型と呼ばれる構造の SSC を用いている [29, 132, 133]. 等価回路において, LD は電流制御電流源 (Current-Controlled Current Source) を用いて, 入力電流  $I_{\text{source}}$  に比例して出力電流  $I_{\text{LD}}$  が増加する素子として表現できる. これはつまり, 注入電流に応じて出力光パワーが変化する LD の発光過程を表現したものであり, 比例係数  $\eta_{\text{LD}} = I_{\text{LD}}/I_{\text{source}}$  は量子効率を意味する. ここでは,  $\sim 0.26 \text{ mW/mA}$  の効率 [133] に相当する係数  $\eta_{\text{LD}} = 0.33$  を用いた. また, SSC における光結合損失は等価回路において GND への散逸電流として表現することができ, SSC を通過して光変調器に入力される電流  $I_{\text{SSC}}$  は, SSC 結合効率  $\eta_{\text{SSC}}$  を用いて,  $I_{\text{SSC}} = \eta_{\text{SSC}}I_{\text{LD}}$  となる. 測定結果から, 2.3 dB の損失に相当する係数  $\eta_{\text{WG}} = 0.59$  を用いた.

Si 光変調器は, マツハ・ツェンダ干渉計と順バイアス駆動の PIN 型位相シフタを用いている. 等価回路としては, 図 5.2(b) に示すように PIN ダイオードの電気容量  $C_{\text{pin}}$  と, 直列抵抗  $R_s$ , 並列抵抗  $R_{\text{pin}}$  から構成される RC 回路として表現でき,  $C_{\text{pin}} = 10.7 \text{ pF}$ ,  $R_s = 24.3 \Omega$ ,  $R_{\text{pin}} = 256.0 \Omega$  とした [134]. PIN ダイオードのキャリア密度を変調することで, キャリア・プラズマ効果により位相変調量が変化する [135]. 次の式を用いて, PIN ダイオードの容量  $C_{\text{pin}}$  に蓄積される電荷量 ( $= C_{\text{pin}}V_{\text{pin}}$ ), 位相を  $\pi$  シフトさせるのに必要な電荷量  $Q_\pi$  と, 変調器の透過率  $\eta_{\text{mod}}$  から, 光変調器から出力される光信号に対応する電流  $I_{\text{mod}}$  を算出できる [100, 134].

$$\begin{aligned} I_{\text{mod}} &= \frac{\eta_{\text{mod}}I_{\text{SSC}}}{2} \left( 1 + \sin\left(\frac{\pi C_{\text{pin}}V_{\text{pin}}}{Q_\pi}\right) \right) \\ &\simeq \frac{\eta_{\text{mod}}I_{\text{SSC}}}{2} \left( 1 + \left(\frac{\pi C_{\text{pin}}V_{\text{pin}}}{Q_\pi}\right) \right). \end{aligned} \quad (5.2)$$

ここでは,  $Q_\pi = 5 \text{ pC}$ ,  $\eta_{\text{mod}} = 0.52$  とした [131]. 光変調器は抵抗と容量で決まる RC 遮

表 5.1 等価回路モデルで用いる変換係数の一覧

LD 効率 $\eta_{LD}$	SSC 結合効率 $\eta_{SSC}$	変調器透過率 $\eta_{mod}$	導波路透過率 $\eta_{WG}$	PD 効率 $\eta_{PD}$
0.33	0.59	0.52	0.60	0.80

断周波数までは比較的フラットな応答を示し、それより大きな周波数では周波数に逆比例した応答が得られ、およそ  $-20$  dB/decade の傾きを示す [43]. PIN 型変調器は  $C_{pin}$  が大きいいため、逆バイアス駆動型の PN 変調器と比較して遮断周波数は低く、一見不利なようであるが、順バイアス駆動においては DC での変調効率が非常に大きいため、高周波では比較的大きな変調効率を維持している [136, 137]. 変調器の帯域補償を行なうプリエンファシスの手法が一般に広く用いられており [134, 138, 139], 本研究では PIN 型変調器を広帯域動作させるために微分器を用いた帯域補償 [43] を行なった. 時間軸で見ると微分器の出力波形は、入力波形の立ち上がり／立ち下がり部分を強調した波形になる. したがって、微分器は低周波成分を抑制して高周波成分を透過する特性を持ち、周波数特性において約  $20$  dB/decade の傾きを持つ素子である. このように高周波成分を強調することによって、光変調器の帯域劣化を補償することができる.

光変調器 - PD 間の光導波路の損失も、SSC と同様に GND への散逸電流として表現できる. 光導波路を伝搬して PD に入力される電流  $I_{WG}$  は、導波路の透過率  $\eta_{WG}$  を用いて  $I_{WG} = \eta_{WG} I_{Mod}$  となり、 $2.2$  dB の損失に相当する係数  $\eta_{WG} = 0.60$  を用いた. PD における光 - 電流変換過程は、 $\eta_{PD}$  の変換係数を有する電流制御電流源で表現できて、 $1$  A/W の受光感度に相当する係数  $\eta_{PD} = 0.80$  を用いた. MSM (Metal-Semiconductor-Metal) 型 Ge-PD [54] の周波数特性に基づき、 $C_{PD} = 0.8$  pF, 負荷抵抗  $R_L = 50 \Omega$  とした. ここでは、キャリア走行時間や電極パッド寄生容量の寄与も含めて、PD を一次 RC フィルタで表している. また、PD 後段に接続される RF アンプの電圧利得  $A_{amp} = 8.9$ , 入力換算雑音 (input referred noise)  $\sigma_{noise} = 0.33$  mV とした. この RF アンプからの出力 ( $V_{RF}$ ) が、実験的に観測される時間波形に相当する. この等価回路モデルで用いた変換係数をまとめたものを、表 5.1 に示す.

### 5.3 等価回路モデルを用いた光伝送シミュレーション

作成した光リンク等価回路モデルを用いて小信号解析を行い、変調器入力-受光素子出力間の信号伝達特性をシミュレーションした結果を図 5.3(a) に示す。ここで伝達係数  $S_{21}$  は、変調器に入力される電圧  $V_{in}$  と PD から出力される電圧  $V_{out}$  から、 $S_{21} = \Delta V_{out} / \Delta V_{in}$  で定義される。伝達係数の絶対値は変調器に入力される光入力パワー ( $P_{LD}$ ) に依存するため、 $P_{LD} = -10, 0, 10 \text{ dBm}$  の各場合についてプロットしている。また、理想的な 20 dB/decade の傾きを持つ微分器の周波数特性も併せて示している。図 5.3(b) は、この微分器による帯域補償がされた信号伝達特性を示したものであり、補償を行なうことで数百 MHz 程度であった帯域を伸ばすことができ、1 GHz 以上の高周波信号の伝送が可能となることが分かる。

周波数特性と同様に、時間軸波形も同じ等価回路モデルを用いてシミュレーションできる。Si 光インタポーザに、微分器を用いてプリエンファシスされた 12.5 Gbps PRBS  $2^7 - 1$  信号 ( $V_{pp} = 3.4 \text{ V}$ ) を入力した際のシミュレーション波形を図 5.4(a) に示す。これと、図 5.4(b) に示す実際に試作した Si 光インタポーザの測定結果 [130] とを比較すると、シミュレーションにより得られたアイダイアグラムが測定結果を良く再現できていることが分かる。次に、シミュレーションで得られたアイダイアグラムの eye height ( $V_{eye}$ ) と、

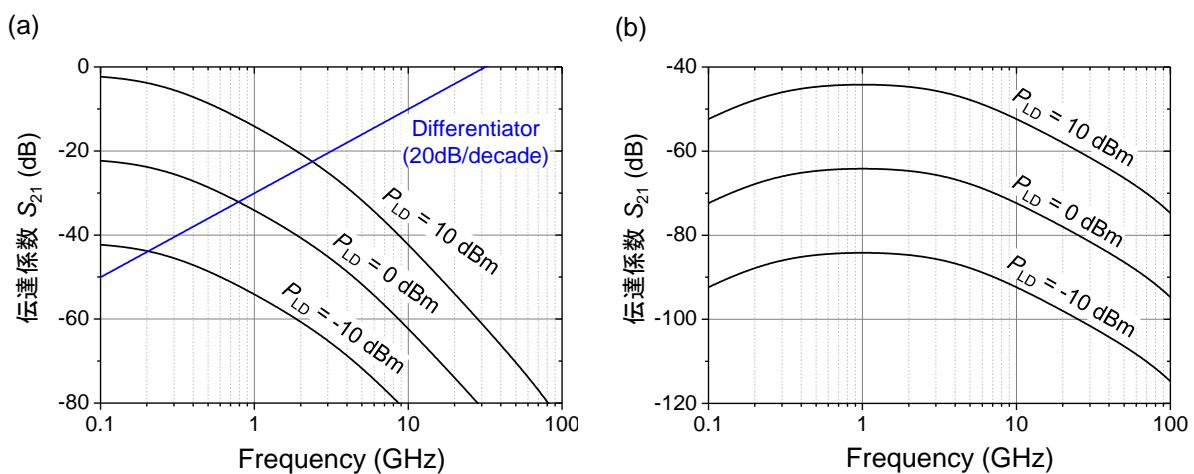


図 5.3 (a) 光リンクの信号伝達特性および微分器の周波数特性, (b) 微分器を用いて帯域補償を行なった伝達特性のシミュレーション結果



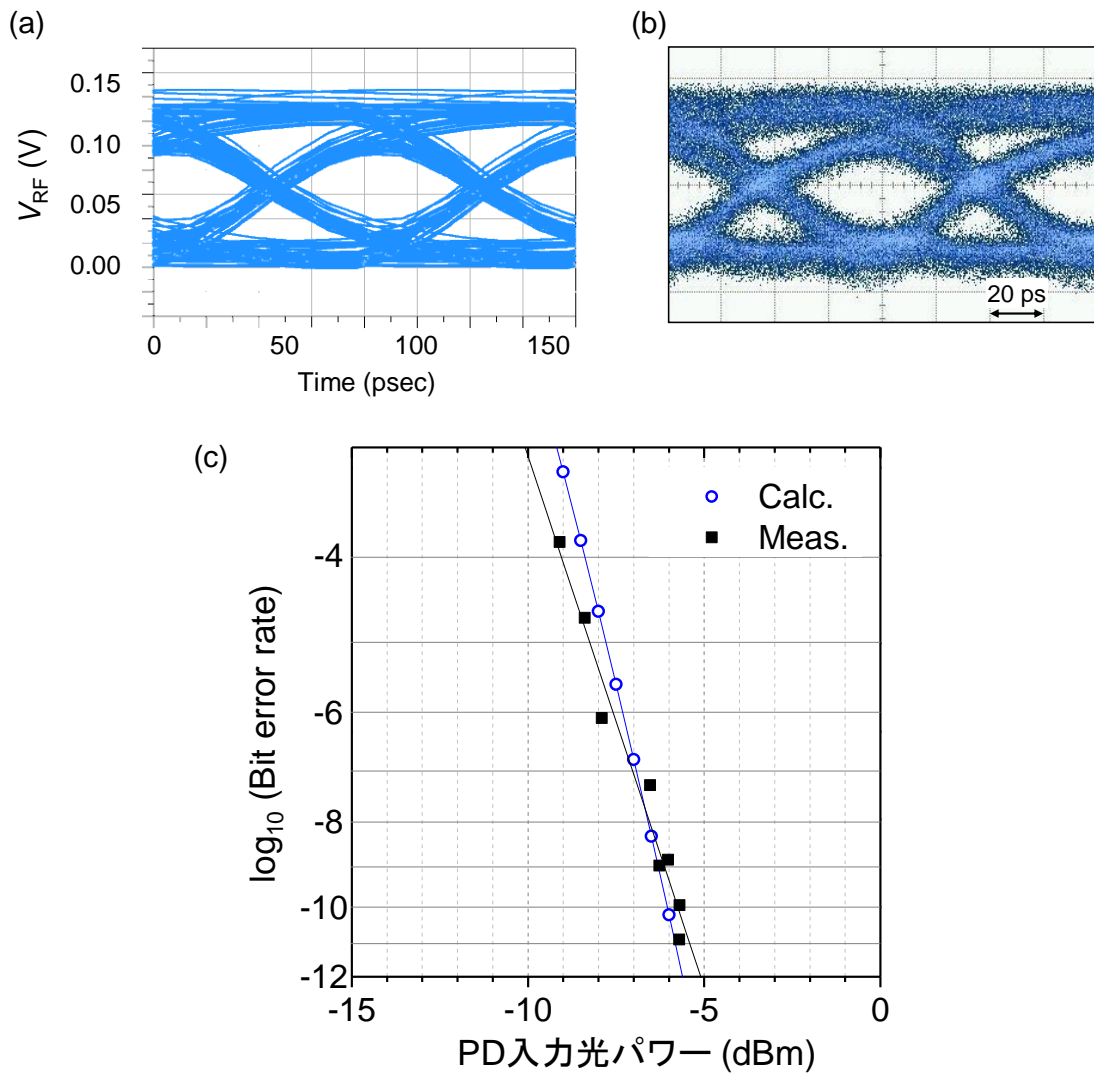


図 5.4 12.5 Gbps  $2^7 - 1$  PRBS 信号伝送における (a) アイダイアグラムのシミュレーション結果, (b) アイダイアグラムの測定結果, (c) BER のシミュレーション結果と測定結果の比較

主に RF アンプ雑音で決まる雑音成分  $\sigma_{\text{noise}}$  から,

$$\text{BER} = \frac{1}{2} \text{erfc} \left( \frac{V_{\text{eye}}}{2\sqrt{2}\sigma_{\text{noise}}} \right), \quad (5.3)$$

と BER を求めることができる。等価回路モデルを用いた計算から得られた BER と、実際の Si 光インタポーザの BER 測定結果を比較してプロットしたものが、図 5.4(c) である。BER =  $10^{-12}$  となる最小受信感度は、実験値が  $-5.0$  dBm であるのに対して、本計算の結果は  $-5.6$  dBm と良い一致を得た。これらの解析から本シミュレーションの妥当性が示され、ここで用いたものと異なるパラメータを有する光デバイスを組み合わせた光リン

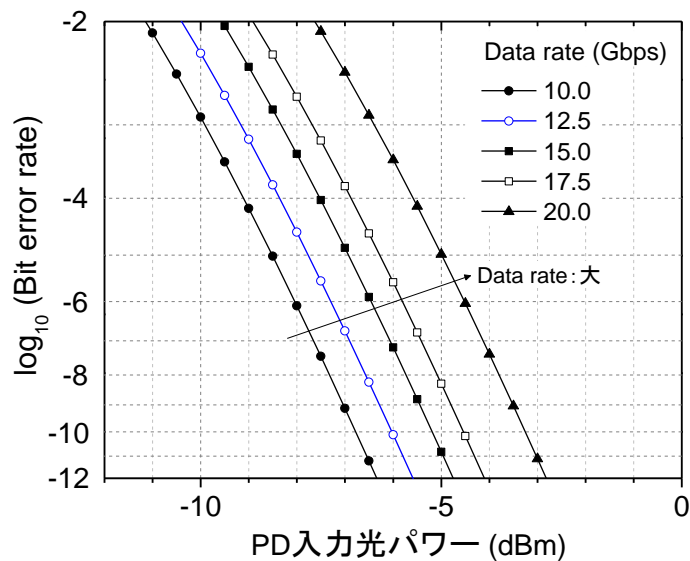
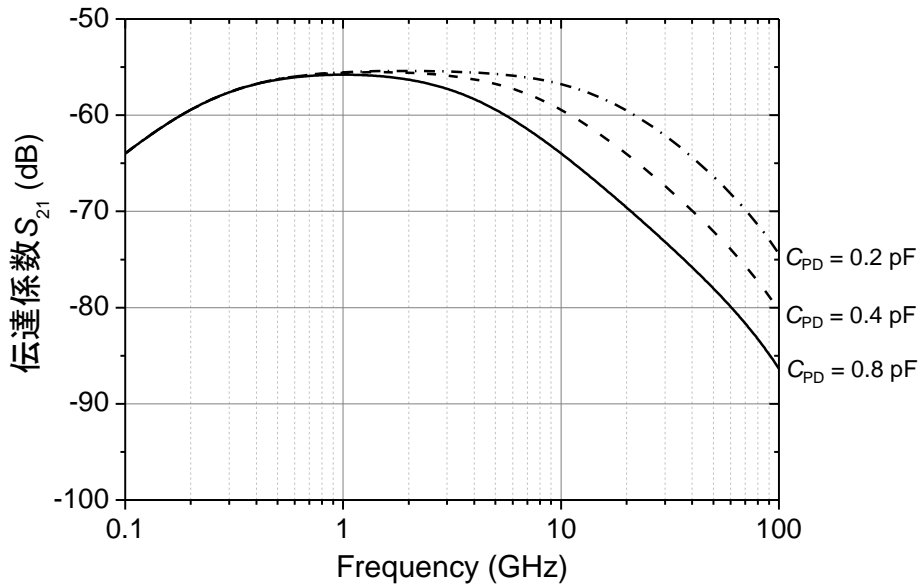
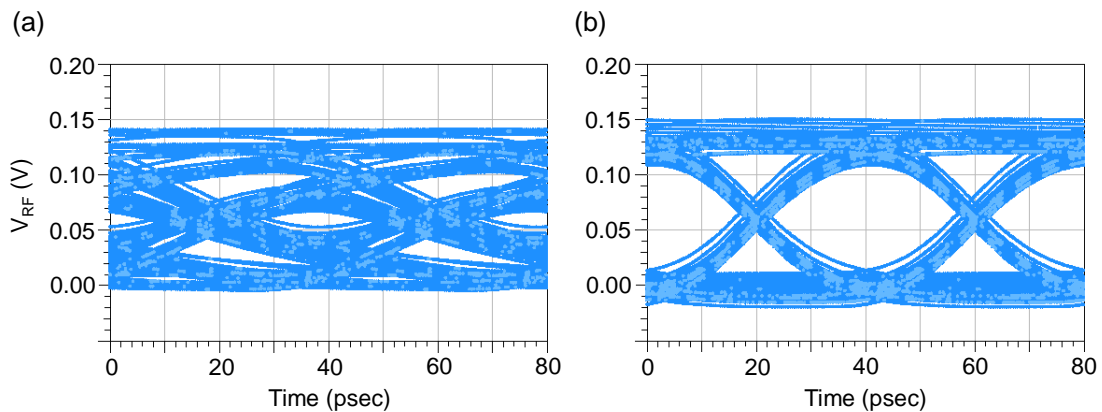


図 5.5 光リンク BER 特性のデータレート依存性シミュレーション結果

クについても伝送特性を予測できると考えられる。

ここまでは測定結果と比較するために、12.5 Gbps 伝送用に設計して個別デバイスの詳細なパラメータ抽出を行なった光インタポータチップについて、伝送特性を議論してきた。データレートを 12.5 Gbps から増加させていくと、シンボル間干渉によってアイ開口が劣化し、図 5.5 に示すように BER が大きくなる。この Si 光インタポータを 25 Gbps 伝送に対応させるために、受光素子をどの程度高速化させる必要があるかについて解析を行なった。図 5.6 は信号伝達特性の  $C_{PD}$  依存性を示しており、PD の高速化（低電気容量化）によって光リンクのさらなる広帯域化が可能である。図 5.7 に、PD 高速化前後の 25 Gbps アイダイアグラムの比較を示す。PD を高速化（ $C_{PD} = 0.2 \text{ pF}$ ）することによって、明瞭な 25 Gbps アイ開口が得られることが分かる。PIN 型の Ge-PD を用いることによって、実際にこのような高速化が実現可能である [54]。微分器を用いた帯域補償が低周波数領域では最適ではないため、図 5.4 では  $2^7 - 1$  PRBS 信号に対して評価を行なった。しかし、これは Si 光インタポータの本質的な制限ではなく、光変調器の帯域補償に FIR (Finite Impulse Response) フィルタを用いて低周波数領域をフラットにすることで [43]、 $2^{31} - 1$  PRBS 信号伝送も可能である。このように等価回路モデルを用いたシミュレーションにより、測定と良く一致した特性が得られたとともに、Si 光インタポータの高速化設計を行なうことができた。

図 5.6 光リンク信号伝達特性の  $C_{PD}$  依存性図 5.7 (a)  $C_{PD} = 0.8 \text{ pF}$ , (b)  $C_{PD} = 0.2 \text{ pF}$  における 25 Gbps アイダイアグラムのシミュレーション結果

## 5.4 Si 光インタポーザにおける電氣的クロストークの解析

Si 光インタポーザの高速光伝送における最小受信感度を改善するためには、信号電力と雑音電力の比で定義される SNR (Signal-to-Noise Ratio) を向上させる必要がある。そのため、信号強度を向上させることが重要であると同時に、ノイズ低減も重要である。光変調器-受光素子間の電氣的クロストークがノイズ要因の一つであることが分かっており、特に高密度化・多チャンネル化を実現するためには、電氣的クロストーク低減の重要性が増す

ことになる。したがって、受光素子が受信する信号強度が電氣的クロストーク成分よりも十分に大きくなるように、設計しなければならない。

光変調器－受光素子間の電氣的クロストークを、どの程度に抑える必要があるかを解析する。まず光変調器に入力される正弦波（交流）の電氣信号の電力  $P_1$  は、変調器ドライバの出力インピーダンス  $R_{\text{drv}}$  と注入電流の peak-to-peak 振幅  $I_{\text{drv}}^{\text{pp}}$  を用いて、次のように計算できる [100].

$$P_1 = \frac{1}{2} \left( \frac{I_{\text{drv}}^{\text{pp}}}{2} \right)^2 R_{\text{drv}}. \quad (5.4)$$

次に、受光素子が受信する信号電力  $P_2$  は、等価回路モデルから

$$\begin{aligned} P_2 &= \frac{1}{2} \left( \frac{I_{\text{PD}}^{\text{pp}}}{2} \right)^2 R_L \\ &= \frac{1}{2} \left( \frac{\eta_{\text{WG}} \eta_{\text{PD}} I_{\text{mod}}^{\text{pp}}}{2} \right)^2 R_L, \end{aligned} \quad (5.5)$$

と求めることができる。光変調器－受光素子間の電氣的クロストークの係数（電圧比）を  $S_{\text{mod-PD}}$  とすると、クロストーク成分の電力  $P_{\text{crosstalk}}$  は、

$$P_{\text{crosstalk}} = |S_{\text{mod-PD}}|^2 P_1, \quad (5.6)$$

と計算できる。SNR を確保するためには、この  $P_{\text{crosstalk}}$  が、受光素子が受信する信号電力  $P_2$  よりも十分に小さくなければならない。ドライバの出力インピーダンス  $R_{\text{drv}} = 50 \Omega$ 、信号周波数  $f = 6.25 \text{ GHz}$  (12.5 Gbps NRZ 信号の繰り返し周波数)、光信号の消光比  $r_e = 5.0 \text{ dB}$  のとき、 $P_1 \approx 29 \text{ mW}$  となる。また、 $P_{\text{LD}} = 1 \text{ mW}$  のとき、受光素子が受信する信号電力は  $P_2 \approx 0.16 \mu\text{W}$  となり、変調器に入力される信号電力に対する相対値を計算すると  $P_2/P_1 \approx -53 \text{ dB}$  となる。 $P_1$  はドライバ回路で増幅後の信号であり、かつ  $P_2$  は TIA 回路で増幅前の信号であるため、比率  $P_2/P_1$  が小さくなっている。したがって、クロストーク成分が信号電力  $P_2$  よりも十分に小さくなり、変調器－受光素子間クロストークをノイズ源としたときに  $\text{SNR} > 20 \text{ dB}$  を得るためには、 $S_{\text{mod-PD}} < -73 \text{ dB}$  まで抑制することが求められる。

光変調器－受光素子間の電氣的クロストークは、変調器で発生するノイズの影響を受光素子が受けてしまうことで発生し、各デバイスの配置や電極構造に大きく依存する。そこで、Si 光インタポーザ上に集積した変調器－受光素子間の電氣的クロストークの測定を

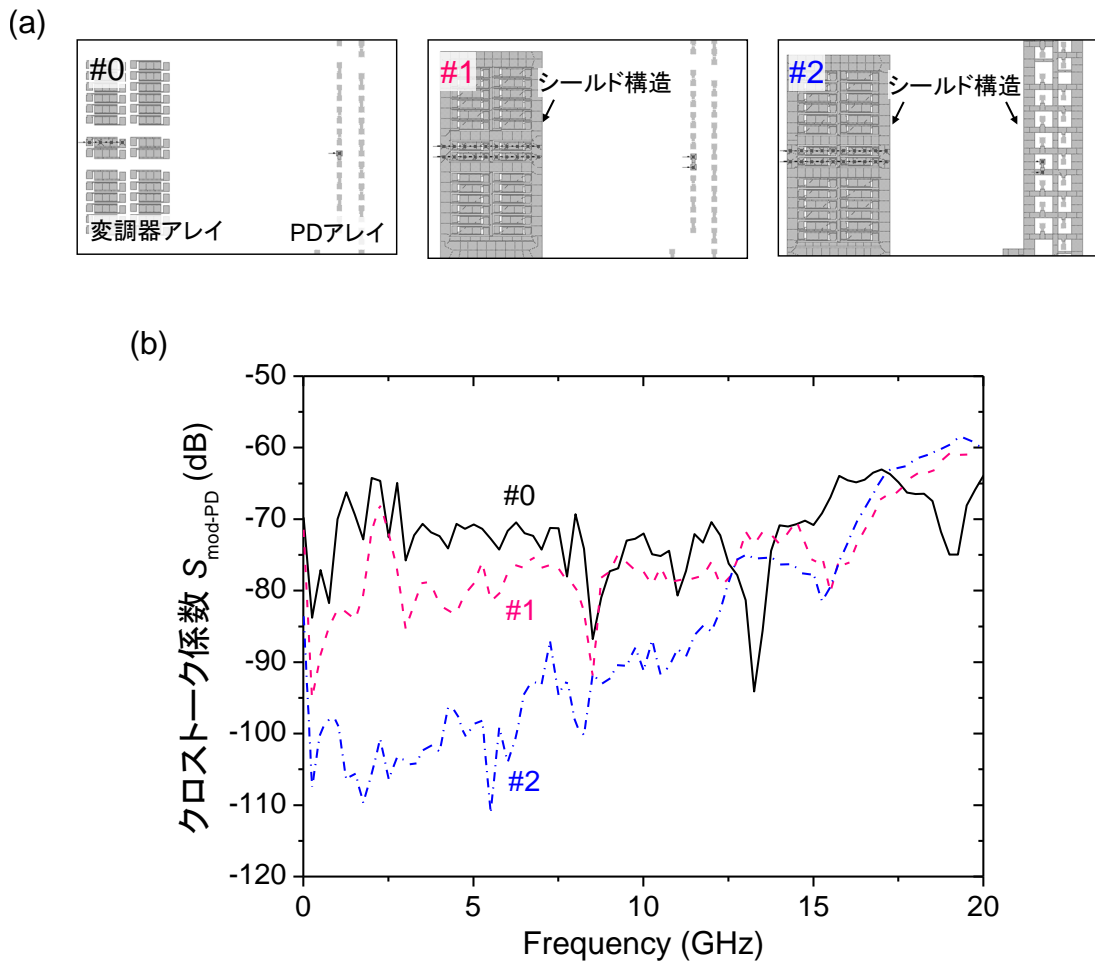


図 5.8 (a) 光変調器－受光素子間の電氣的クロストーク測定を行った金属パターン，  
(b) クロストーク係数  $S_{\text{mod-PD}}$  金属パターン依存性測定結果

行ない、クロストークを低減する電極構造について解析を行なった。図 5.8(a) に示すように、ノイズを遮蔽する構造を設けない基本パターン#0、変調器アレイの周囲のみに金属シールド構造を設けたパターン#1、変調器アレイと受光素子アレイの両方の周囲に金属シールド構造を設けたパターン#2 について測定を行い、電氣的クロストークのパターン依存性を確認した。測定は高周波プローブを用いて行なわれ、金属シールド構造はプローブの GND を介して一定電位に接地された。図 5.8(b) に示す測定結果から、シールド構造を設けない基本パターン#0 では最大で  $S_{\text{mod-PD}} \approx -65$  dB 程度であり、#0 > #1 > #2 の順にクロストークが小さくなっていることが分かる。つまり、変調器アレイと受光素子アレイの両方の周囲に金属シールド構造を設けたパターン#2 が最もクロストークが小さく、シールド構造を設けない基本パターン#0 と比較して最大で 30 dB 以上の低減効果が得ら

れた。これは、デバイス周囲の金属パターンがプローブを介して一定電位に接地されることによるノイズ遮蔽効果によるものと考えられる。金属シールド構造を設けたパターン#2では、クロストークは 6.25 GHz で  $-90$  dB 以下、12.5 GHz で  $-80$  dB 以下と十分に低い値であり、上記で議論した十分な SNR が得られる基準である  $-73$  dB を満たせることが分かった。

高周波プローブを用いた周波数特性評価では、通常は予め校正基板を用いてプローブの影響を除去する。しかし、今回は電極パッド配置が特殊であるため、プローブに接続される同軸ケーブル端までの校正を行なった。したがって、測定結果には、プローブ自体の高周波特性やプローブ間クロストークの寄与が含まれている。この影響を解析するために、図 5.9 に示すように高周波プローブを含めた三次元電磁界シミュレーションモデルを作成した。作成したモデルを用いて高周波プローブ同士のクロストークを計算した結果、10 GHz で約  $-125$  dB と十分に小さい値であった。また、図 5.10 に#0 および#2 パターンにおける電界強度分布のシミュレーション結果を示す。#2 パターンにおいて、金属シールド構造で囲まれた受光素子周辺の電界強度は小さくなっていることが確認できる。この遮蔽効果によって、クロストーク低減効果が得られていることが分かる。

上述の変調器-受光素子間クロストークに加えて、変調器-変調器間クロストークについても議論する。変調器-受光素子間クロストークの場合には、影響を与える側 (aggressor) の光変調器の信号レベルよりも、影響を受ける側 (victim) の受光素子の信号レベルが小さかった。それに対して変調器-変調器間クロストークの場合には、aggressor と victim の信号レベルが等しいため、クロストークに対する許容範囲は大きくなる。図 5.11 に、 $100\ \mu\text{m}$  ピッチ変調器アレイにおける変調器間クロストーク  $S_{\text{mod-mod}}$  の距離  $D$  依存性を示す。隣接 ( $D = 100\ \mu\text{m}$ ) 変調器間のクロストークが最も大きいですが、最大で  $-35 \sim -30$  dB 程度である。したがって、変調器間クロストークをノイズ源としたときに  $\text{SNR} > 30$  dB となり、このクロストークの影響は無視できる程度であることが分かった。

本節では、変調器-受光素子間および変調器-変調器間の電氣的クロストークの測定結果と、等価回路モデルから算出した信号レベルとを比較しながら、クロストークの影響について定量的に議論した。これらの解析結果から、金属シールド構造などを用いて適切な光デバイス集積設計を行なうことで、クロストークの影響を十分に抑制できることが分かった。

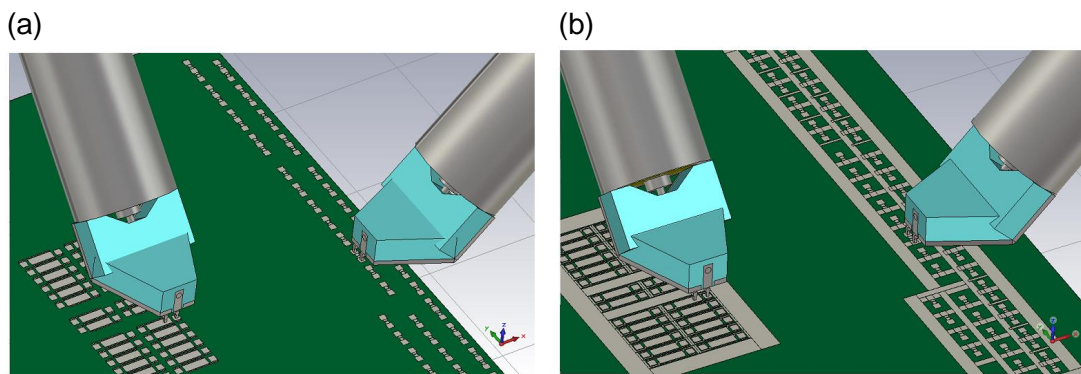


図 5.9 高周波プローブを含めた電磁界シミュレーションモデル

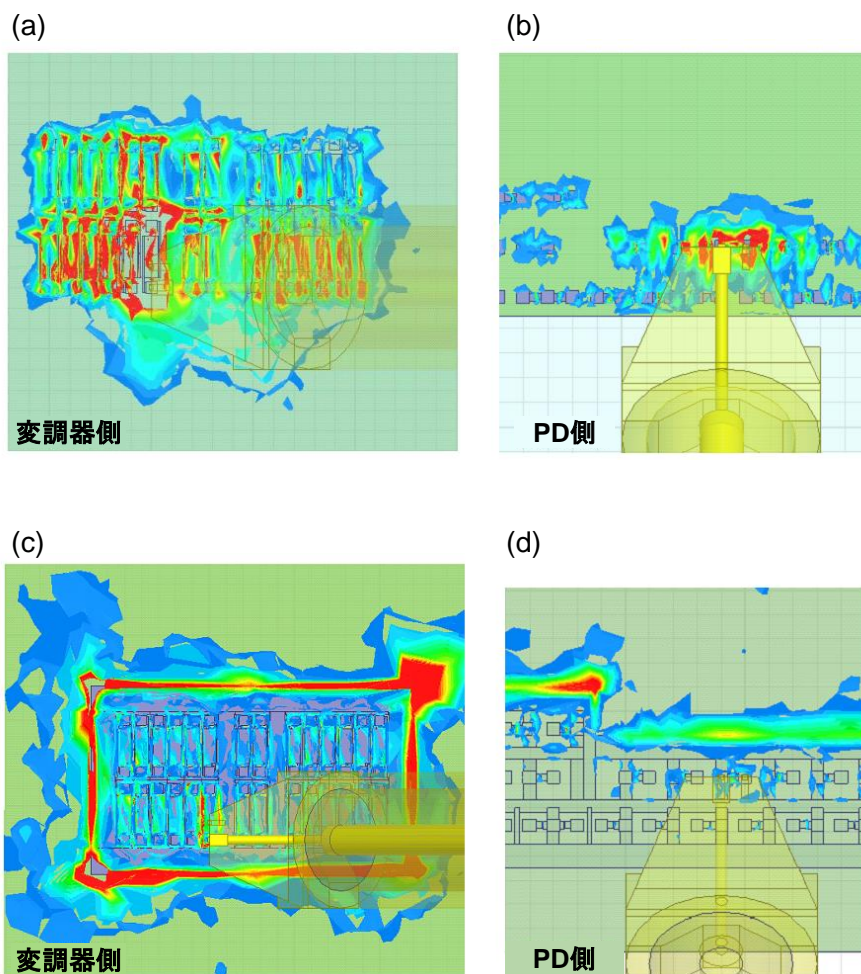


図 5.10 (a) #0 パターンの変調器側, (b) #0 パターンの受光素子 (PD) 側, (c) #2 パターンの変調器側, (d) #2 パターンの PD 側における電界強度分布

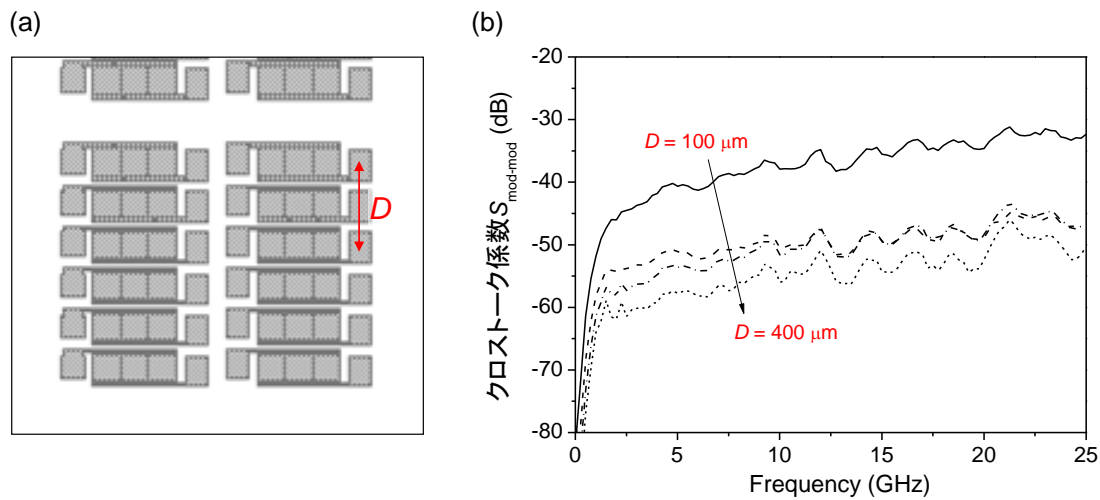


図 5.11 (a) 変調器アレイのデバイス配置, (b) 変調器-変調器間クロストーク測定結果

## 5.5 結言

本章においては、光・電子統合シミュレーションに基づいて、Si フォトニクスを用いた Si 光インタポーザの設計について議論した。Si 光インタポーザの等価回路モデルを構築して、光信号を等価的に電流信号として換算することによって、光信号と電気信号を同時に扱い、その光リンクの性能について解析を行なった。12.5 Gbps 信号に対して、等価回路モデルを用いたシミュレーションにより得られたアイダイアグラムが、実際の Si 光インタポーザの測定結果を良く再現できることを示した。また、BER 測定結果とシミュレーション結果とを比較して、BER =  $10^{-12}$  となる最小受信感度は測定結果が  $-5.0$  dBm であるのに対して、計算結果では  $-5.6$  dBm と良い一致を得ることができた。加えて、この Si 光インタポーザを 25 Gbps 伝送に対応させるために、受光素子に求められる特性を明らかにした。

Si 光インタポーザでは、光変調器と受光素子が同一の Si 基板上に高密度集積されているため、クロストークの解析が重要である。作成した等価回路モデルから受光素子が受信する光信号レベルを算出して、十分な SNR を確保するためには、変調器-受光素子間クロストークを  $-73$  dB 以下に抑制することが求められることを示した。Si 光インタポーザ上の変調器-受光素子間の電氣的クロストークの測定を行った結果、シールド構造を設けない基本パターンでは最大で  $S_{\text{mod-PD}} \approx -65$  dB 程度であった。変調器アレイと受光素子



アレイの両方の周囲に金属シールド構造を設けることにより、基本パターンと比較して最大で 30 dB 以上のクロストーク低減効果が得られ、-73 dB 以下の基準を満たせることが分かった。また、高周波プローブを含めた三次元電磁界シミュレーションを行なった結果、金属シールド構造周辺部と比較して内部の電界強度が小さくなっており、ノイズ遮蔽効果が得られていることを確認した。さらに変調器-変調器間クロストークについても測定したところ、最大で -35 ~ -30 dB 程度であり、このクロストークの影響は無視できる程度であることが分かった。

以上の議論から、Si 光インタポータの高精度な特性予測が可能な光・電子統合シミュレーション手法を確立し、高性能化設計の指針を得る上で有用であることを示すことができた。

## 第 6 章

# Si 光インタポーザを用いた高密度 チップ間光インターコネクションの 実証

本章では、光・電子融合システムの第 2 ステップである Si 光インタポーザの高密度集積設計について議論する。詳細な信号配線設計に基づいて作製した評価基板上に Si 光インタポーザを実装し、高速信号の伝送実験およびチャンネル間クロストークの解析を行なう。FPGA トランシーバに搭載のプリエンファシス/イコライザ機能を用いて、FPGA 間光インターコネクションにおける 25 Gbps 信号エラーフリー伝送を実証する。

### 6.1 Si 光インタポーザを用いた FPGA 間光インターコネクション

近年、人工知能や機械学習、科学計算の分野において、ハードウェア処理で遅延時間を短縮できる FPGA をアクセラレータとして用いて計算を高速化する手法が注目されている。FPGA はいつでも回路を書き換えることができるため、特定用途向けの ASIC (application specific integrated circuit) と比較して開発コストや開発期間を少なくできるという利点がある。また、データセンタ応用において多数の FPGA チップを導入した場合でも、様々なアプリケーションに対応して柔軟に構成を組み替えることができるため、リソースを有効

表 6.1 広帯域インターコネクションを用いて構成された FPGA クラスタの例

	Microsoft [140]	フロリダ大学 [141]	UCLA [142]	東北大学 [143]
FPGA 種 × 個数	Stratix-V × 48 個	Stratix-V × 64 個	Virtex-7 × 6 個	Stratix-V × 16 個
FPGA 間帯域	40 Gbps	10 Gbps	10 Gbps	10 Gbps
ネットワーク構造	2-D torus	3-D torus	Ring	Ethernet switch
用途例	DC applications	MD, 3D-FFT	CNN kernel	Fluid Dynamics

活用できる。ハイエンドの FPGA は、データセンタ (DC) 向けアプリケーションや畳み込みニューラルネットワーク (CNN: Convolutional Neural Network: CNN) などに適用できる高い計算処理能力を備えており、実際に表 6.1 に示すように FPGA チップをクラスタ化して並列計算を行なった応用例が報告されている [11, 140–145]。クラスタにおいてチップ数にスケーリングした性能を引き出すためには、FPGA チップ間インターコネクションをボトルネックにしないためのデータ伝送帯域が必要となる [146, 147]。最先端の FPGA では 1 チャンネル当たり 25 Gbps レベルの高速 I/O を 100 チャンネル以上備えており [148]、クラスタ化するために計算リソースを犠牲にすることはない。Si 光インタポーザを用いてこれらの FPGA 間を接続する高速・多数チャンネルの光インターコネクションを実現できれば、実用上大きなインパクトを与えることができる。

図 6.1(a) に、Si 光インタポーザを用いた FPGA クラスタの概念図を示す。FPGA ベアチップが Si 光インタポーザ上にフリップチップ実装され、光配線によって互いに接続される。Si 光インタポーザには小型の光変調器および PD を多数集積できるため、FPGA チップが持つ多数の高速 I/O を用いて高密度信号伝送が可能となる。本章では FPGA チップ間光インターコネクションについて議論するが、FPGA だけではなく CPU や GPU 等の他の LSI にも適用可能である。図 6.1(b) は、チップ間光インターコネクション実証用に試作した Si 光インタポーザの写真である。ここで試作した光インタポーザは、図 6.1(a) 中に破線で示した FPGA チップ間の部分を抜き出したものに相当する。したがって、FPGA の高速 I/O と光インタポーザの信号送受信部分とが接続されて、Si 光導波路を介して 2 つの FPGA チップ間の光信号伝送が行われることを想定している。

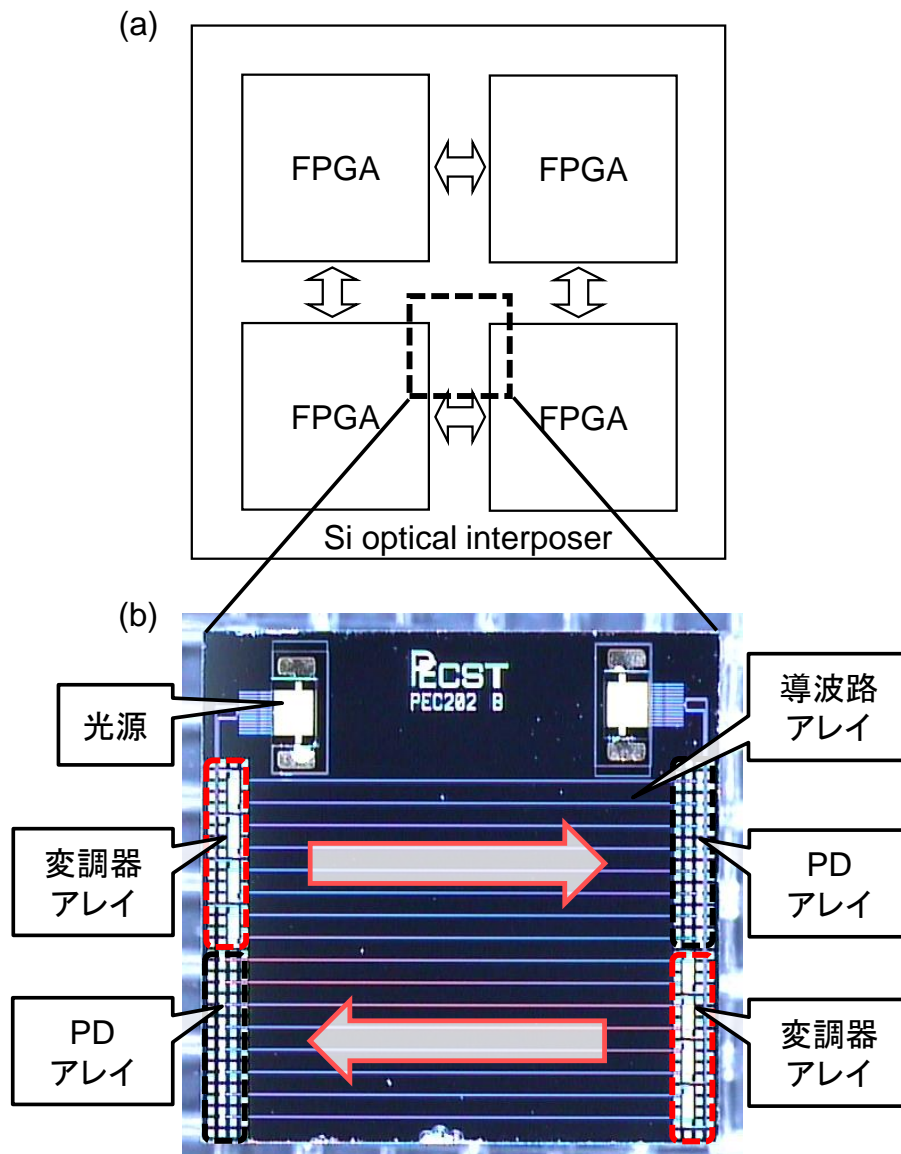


図 6.1 (a) Si 光インタポータを用いた FPGA クラスタの概念図, (b) 作製した Si 光インタポータチップの写真

Si フォトニクスを用いて作製した光インタポータのチップサイズは  $4.7 \times 4.6 \text{ mm}^2$  であり, 2 個の光源 (InGaAsP-LD) チップ, 双方向 4 チャンネル分の Si 光変調器と Ge-PD, それらを繋ぐ Si 光導波路が集積されている [18]. チップ左辺に配置された変調器からの光信号は導波路を介してチップ右辺の PD に伝送され, 逆方向の信号伝送も同様である. LD チップはハイブリッド集積され, それ以外の光デバイスは Si 基板上にモノリシック集積されている.

InGaAsP-LD の波長は  $1530 \text{ nm}$  であり, パッシブアライメント技術 [132, 149] を用い

表 6.2 1 チャンネル当たりの各光デバイスの面積

	面積 (mm <sup>2</sup> )
光源 (LD)	0.0077
光変調器	0.0400
受光素子 (PD)	0.0400
合計	0.0877

て Si チップ上に形成された台座上に実装した。LD からの出力光を効率的に導波路に結合させるための SSC は、3 つの導波路から構成されるトライデント構造 [133] をしており、LD と導波路間の最小結合損失は 2.3 dB であった。1 個の LD チップには 13 チャンネルの LD がアレイ状に形成されており、1 チャンネルの LD から出力される CW 光を  $1 \times 4$  光スプリッタにより 4 分岐して、4 チャンネルの変調器に光分配した。厚さ 220 nm の SOI 層を用いた光導波路の伝搬損失は、幅 440 nm の曲げ導波路で 2.0 dB/cm、損失を低減するために幅を広くしている幅  $3 \mu\text{m}$  の直線導波路で 0.5 dB/cm であった [150]。Si 光変調器は、側壁部分にグレーティング構造を有する長さ  $200 \mu\text{m}$  の横方向 PIN 型位相シフタ、およびマッハ・ツェンダ干渉計から構成されている [43]。導波路型 Ge-PD は、選択エピタキシャル成長により形成した縦型 PIN 構造を有しており [54]、一対の PD で 1 チャンネルの差動 PD [98] が構成されている。差動 PD の構造は、Differential-PD 方式を採用した。光変調器のマッハ・ツェンダ干渉計の 2 つの出力ポートからの差動光信号を伝送して差動 PD で受信する伝送方式のため、シングル伝送の場合と比較して受信感度において 3 dB 分のメリットが得られる。

光変調器および受光素子のサイズはそれぞれ  $400 \times 100 \mu\text{m}^2$ 、 $200 \times 100 \mu\text{m}^2$  であり、いずれもパッドピッチが  $100 \mu\text{m}$  でタイル状に配列されて FPGA ベアチップをフリップチップ実装するのに適したパッド配置とした。光導波路のフットプリントは非常に小さく、曲げ半径も小さくできるため、Si 光インタポータに搭載するチップに合わせて柔軟にレイアウトできる。したがって、伝送密度を面積的に律速するのは、LD、光変調器、PD である。1 チャンネル当たりの各光デバイスの面積をまとめたものを、表 6.2 に示す。LD が  $0.0077 \text{ mm}^2$ 、光変調器が  $0.0400 \text{ mm}^2$ 、PD が  $0.0400 \text{ mm}^2$  であり、合計で 1 チャンネル当た

り  $0.0877 \text{ mm}^2$  となる。光差動伝送では 2 個の PD を用いるため面積がその分大きくなるが、受信感度向上とクロストーク低減の効果が得られるため、この伝送方式を採用した。

## 6.2 伝送評価基板の設計

### 6.2.1 伝送評価基板の概要

本研究では、試作した Si 光インタポーザと FPGA デモボード (Altera Stratix V GT) を用いて、図 6.2(a) に示すブロック図の構成で back to back の伝送実証を行なう。FPGA デ

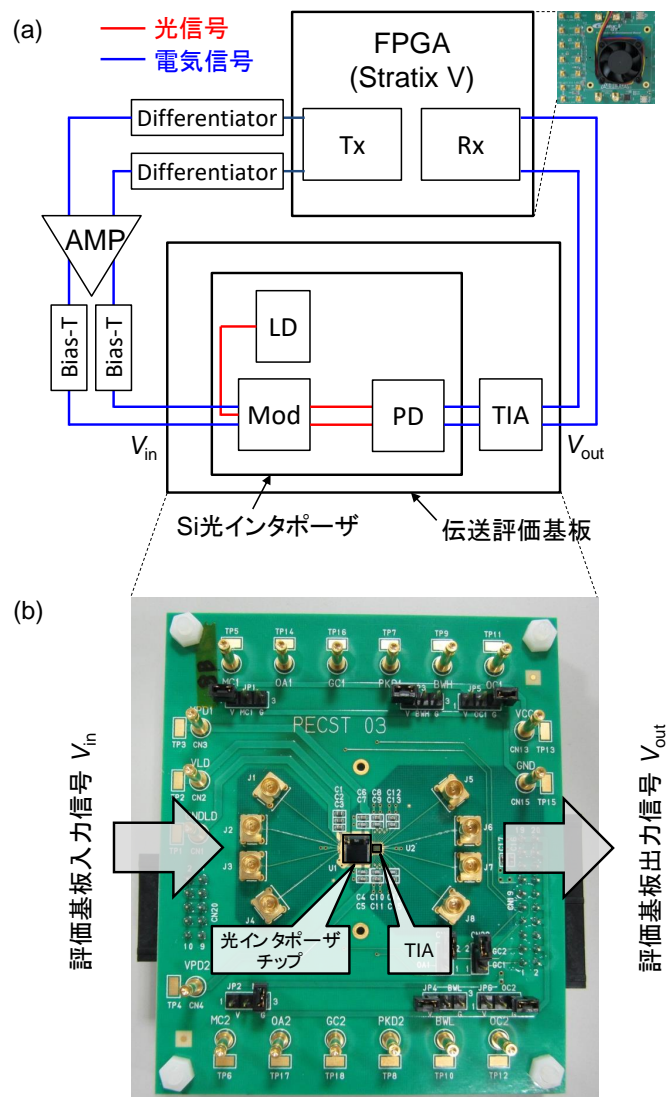


図 6.2 (a) FPGA と Si 光インタポーザを用いた光伝送評価のブロック図, (b) Si 光インタポーザチップを搭載した伝送評価基板

モボードとの電氣的接続が容易になるように，図 6.2(b) に示す伝送評価基板を作製し，その上に Si 光インタポーザチップを搭載して光伝送評価を行なった [18].

評価基板は差動 2 チャンネルの同時評価が可能ないように設計され，入出力それぞれ 4 個ずつの同軸コネクタが基板左辺および右辺に実装されている．この評価基板に Si 光インタポーザチップを実装することによって，2 チャンネル同時の伝送評価およびチャンネル間クロストークの解析を行なうことができる．図 6.2(b) に示すように，光インタポーザチップおよび TIA チップを長さ約 1 mm のワイヤボンディングにより実装した．チップ実装部には，放熱効率を向上させるためのメタルパターンを配置した．伝送評価基板に入力された差動電気信号は基板上配線とワイヤを介して変調器に入力され，プッシュ・プル動作により変調器を駆動する．また，光インタポーザ上の差動 PD と差動入力 TIA チップとがワイヤボンディングにより接続されており，TIA チップで増幅された差動電気信号を基板外部に出力して観測を行う．TIA は 25 Gbps の高速動作が可能で，自動利得調整機能を備えたものを用いた．電源設計も重要であり，電源ノイズ等を除去するバイパスコンデンサとして，3 種類の容量のチップコンデンサ (4.7  $\mu$ F, 0.1  $\mu$ F, 1 nF) を評価基板上に実装した．評価基板上辺および下辺に配置した外部端子から，PD のバイアス電源，TIA の電源，および各種制御信号を供給する．また，LD への電源供給は，他回路への電源ノイズの影響を避けるために GND も分離させて独立した電源端子から行なう．

### 6.2.2 高速信号配線の設計

高速信号の伝送実証を行なうためには，評価基板上の電気信号配線の低損失設計およびインピーダンス設計が重要である．高周波信号の誘電損失を低減するために，比誘電率および誘電正接が比較的小さい基板材料として Megtron6 (比誘電率  $\epsilon \approx 3.6$ , 誘電正接  $\tan \delta \approx 0.004$  (10 GHz)) [151] を用いた．評価基板の層構造は 4 層配線 (L1~L4) であり，L1 および L4 が信号配線レイヤ，L2 および L3 が GND レイヤである．変調器への入力信号および TIA からの出力信号は，特性インピーダンスが 50  $\Omega$  になるように設計したマイクロストリップ線路により伝送される．また，差動ペア間およびチャンネル間において等長配線 (入出力各 15 mm) になるように，配線レイアウトを行なった．チップ近傍においては，ワイヤボンディング長を極力小さくするように配線レイアウトした．

レイアウトされた基板上信号配線の特性を解析するために電磁界シミュレーションを

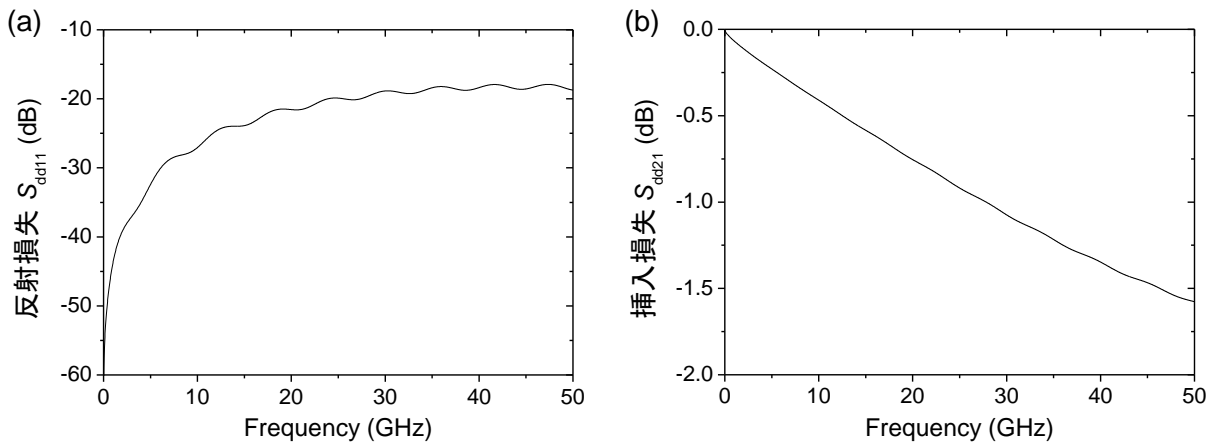


図 6.3 評価基板上信号配線の伝送特性シミュレーション結果, (a) 反射損失  $S_{dd11}$ , (b) 挿入損失  $S_{dd21}$

行った結果を, 図 6.3 に示す. 差動信号配線の differential モードの反射損失  $S_{dd11}$  が図 6.3(a), 挿入損失  $S_{dd21}$  が図 6.3(b) である. 周波数 12.5 GHz において,  $S_{dd11} \approx -24$  dB,  $S_{dd21} \approx -0.5$  dB と良好な特性を示している.  $S_{dd11}$  においてややリップルが見られるが, これはワイヤボンディング距離が短くなるように設計したチップ近傍部分においてインピーダンスの不整合が生じているためである. しかしながら, 大きな波形劣化を招かない程度に抑制されており, 実用上問題ない特性であることが分かった.

### 6.2.3 同軸コネクタ実装の設計

高周波信号の入出力を行う同軸ケーブルを接続するための同軸コネクタとして, 面実装タイプで高密度多チャンネル実装が可能な Micro Miniature Precision Connector (MMPX) コネクタを用いた. MMPX コネクタは小型で, 最大 65 GHz の帯域を有している. MMPX コネクタ部分においてインピーダンス不整合が生じると, 他の反射点との間の共振等により波形劣化を招くため, コネクタ実装用パッド部分は基板設計上の注意が必要な箇所である. MMPX コネクタ実装用パッドのインピーダンス設計を行なうために, まず図 6.4(a) に示すように実際のコネクタ形状を反映したモデルを作成して, 電磁界シミュレーションを行なった. コネクタ自体の特性インピーダンス  $Z_0$  はおよそ  $50 \Omega$  になっており, 反射および透過特性も良好であった.

次に, 図 6.4(b) に示すように MMPX コネクタを実装するパッドを基本的なパターンで



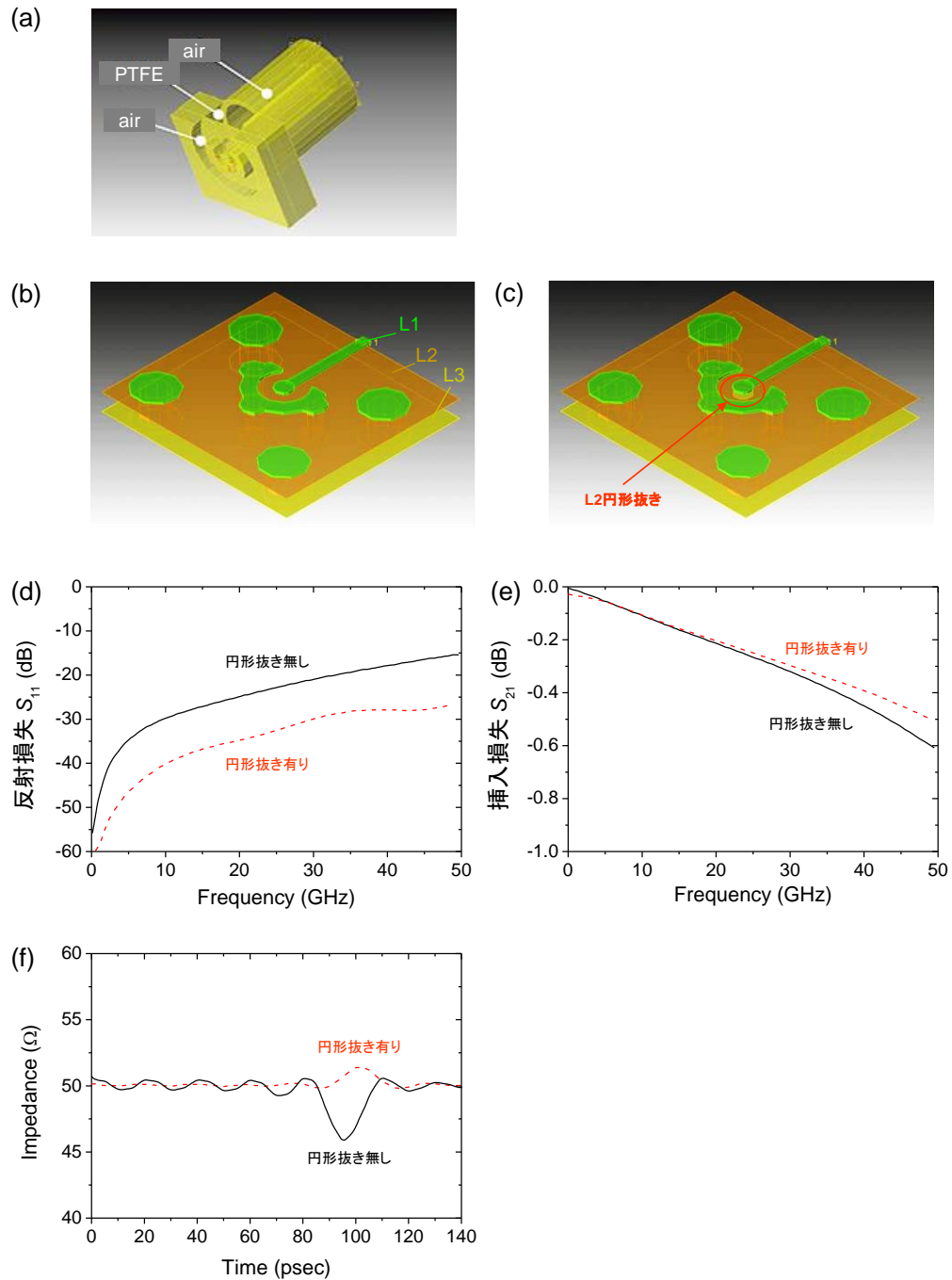


図 6.4 (a) MMPX コネクタの電磁界シミュレーションモデル, (b) MMPX 実装用パッドの基本パターン, (c) L2 層に円形抜きを設けたパターン, (d) コネクタ実装部分の反射損失  $S_{dd11}$ , (e) 挿入損失  $S_{dd21}$ , (f) TDR 特性

設計すると、パッド部分の寄生容量によりインピーダンス不整合が生じてしまうことが分かった。そこで、図 6.4(c) に示すパッド直下の L2 層にパッドと同じ円形抜きを設けるパターンと、基本パターン（円形抜き無し）とを比較して、電磁界シミュレーションにより特性を解析した。その結果、円形抜きを設けることによって、図 6.4(d), (e) に示すように反射損失  $S_{dd11}$  と挿入損失  $S_{dd21}$  の両方が改善された。図 6.4(f) に、TDR (Time Domain Reflectometry) 特性を示す。パッド直下の L2 層に円形抜きを設けることで寄生容量が低減され、 $50 \Omega$  に近い特性インピーダンス  $Z_0$  が得られ、優れた特性を実現できることが分かった。

## 6.3 Si 光インタポーザの伝送特性評価

### 6.3.1 25 Gbps 伝送実証

前節の設計に基づいて作製した評価基板に Si 光インタポーザを実装して、伝送評価実験を行なった。光リンクにおいて LD から出力された光が PD で受信されるまでに、全体でどの程度の光損失が発生するかが重要な性能指標の一つである。これを解析するために、図 6.5 に示すように PD 光電流の LD 注入電流依存性を測定した。光受信器 1 チャンネルは 2 個の PD から成る差動 PD で構成されているため、この PD 2 個の光電流値の合計を縦軸にプロットしている。LD の電流しきい値が 12 mA に見られ、注入電流増加に伴っ

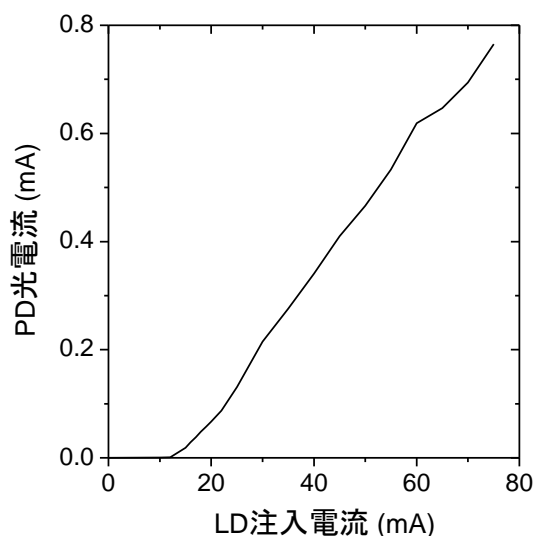


図 6.5 PD 光電流の LD 注入電流依存性

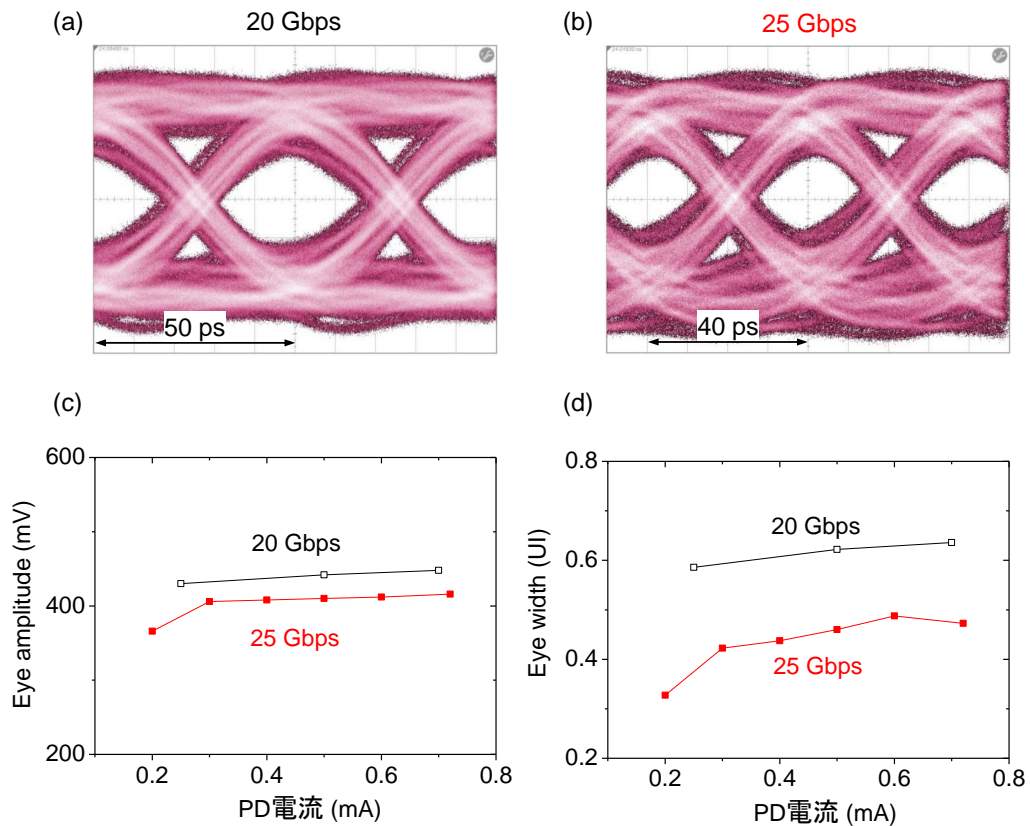


図 6.6 (a),(b) 20 Gbps および 25 Gbps の PRBS  $2^7 - 1$  信号伝送におけるアイダイアグラムの測定結果, (c),(d) eye amplitude, eye width の PD 電流依存性

て出力される光パワーが増えて、それを受信する PD の光電流も増加する。ここで、LD のスロープ効率は  $0.26 \text{ W/A}$  [133], PD の変換効率は  $1.0 \text{ A/W}$  であった。例えば LD 電流が  $50 \text{ mA}$  の場合において、差動 PD2 個の合計電流値は  $0.47 \text{ mA}$  となった。これらの結果から、Si 光インタポータ上の光リンク全体の挿入損失を計算すると、光スプリッタ 4 分岐の原理損失  $6 \text{ dB}$  を含めて  $13.3 \text{ dB}$  であった。

次に、FPGA 搭載トランシーバを用いた伝送実証の前に、作製した Si 光インタポータの特性を正確に測定するために、市販測定器の PPG (Pulse Pattern Generator) および ED (Error Detector) を用いて評価を行った。図 6.2(a) のブロック図と同様に、PPG 出力の信号を微分器 (differentiator) を用いてエンファシス処理を行なった後に、RF アンプによって増幅 ( $V_{in} = 2.2 \text{ V}$ ) して、評価基板に入力した。変調器のマッハ・ツェンダ干渉計の両アームには Bias-T を介してバイアス電圧を印加して、出力光信号の振幅が最大になるよ

うに調整を行なった。20 Gbps および 25 Gbps の PRBS  $2^7 - 1$  信号伝送におけるアイダイアグラムを、それぞれ図 6.6(a), (b) に示す。これらは、評価基板から出力される TIA の差動電気信号 ( $V_{out}$ ) をサンプリング・オシロスコープで観測したものである。20 Gbps において明瞭なアイ開口が得られており、やや波形劣化が見られるものの 25 Gbps 信号の伝送にも成功した。

また、図 6.6(c),(d) に 20 Gbps および 25 Gbps における eye amplitude と eye width の PD 電流依存性を示す。TIA にリミッティング・アンプ回路が入っているため、PD 電流が減少しても eye amplitude は 400 mV 程度でそれほど変化しなかった。20 Gbps の場合と比較して 25 Gbps の場合には eye width が小さくなっており、0.5 mA の PD 電流では 0.62 UI (20 Gbps), 0.46 UI (25 Gbps) であった。ここで、1 UI = 50 ps (20 Gbps), 40 ps (25 Gbps) である。これらの測定結果から、後述するように 25 Gbps でエラーフリー伝送可能な特性であることが分かった。

### 6.3.2 チャンネル間クロストーク評価

Si 光インタポーザを用いた 25 Gbps 伝送における BER 測定を行なうとともに、高密度にチャンネルが集積されているため、チャンネル間クロストークの評価を行なった。図 6.7 に示すセットアップを用いて、最も影響が大きい隣接チャンネル間のクロストークを測定した。主チャンネルとなる ch1 に伝送信号  $V_1 = 2.2$  V を入力し、これと同じ大きさの aggressor 信

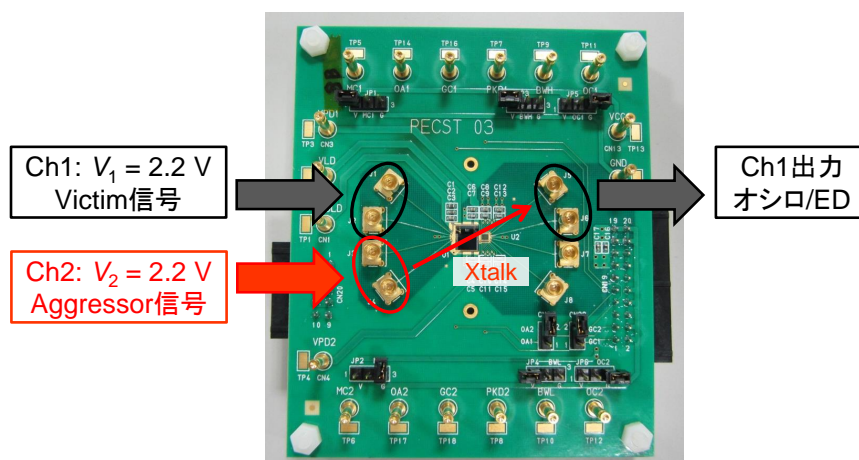


図 6.7 チャンネル間クロストーク評価の概要

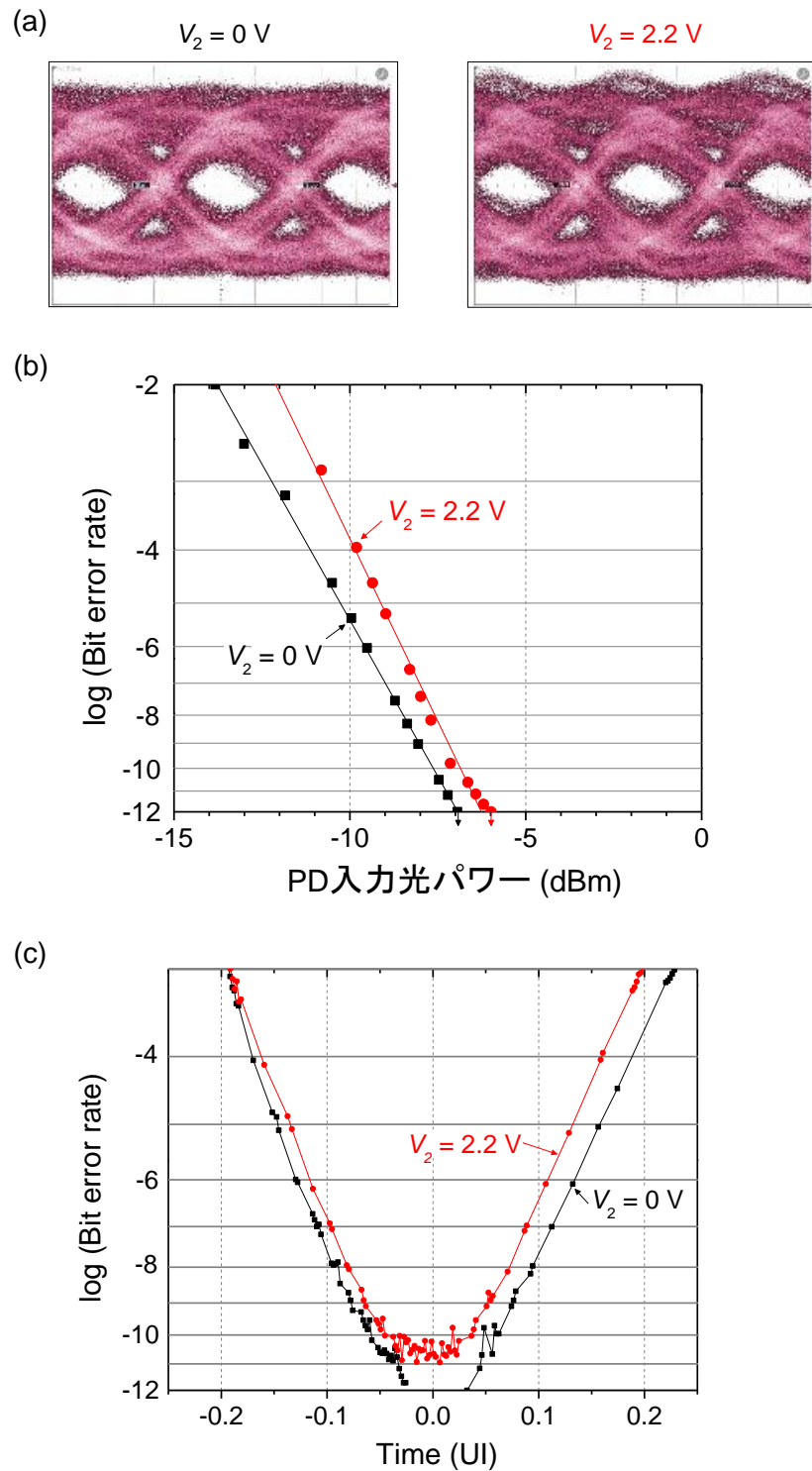


図 6.8 チャンネル間クロストーク評価の結果, (a) 25 Gbps 波形, (b) BER 特性, (c) パスタブカーブ特性

号  $V_2 = 2.2\text{ V}$  を隣の ch2 に入力した。このとき、ch1 がクロストークを受ける victim 信号となり、ch1 の出力信号をサンプリング・オシロスコープおよび ED で測定して、クロストークの影響を評価した。

25 Gbps 伝送波形の測定結果を図 6.8(a) に示す。これらは PD 電流が  $0.20\text{ mA}$  となるように光入力を小さくした条件における波形で、aggressor 信号を加えていない場合 ( $V_2 = 0\text{ V}$ ) と、加えた場合 ( $V_2 = 2.2\text{ V}$ ) を比較している。隣接チャンネル間クロストークが生じることによって、ややジッタが増加して波形が劣化したことが分かる。ここで重要な点が、先述したように差動光伝送を用いていることである。実際に、差動 PD の片側の PD だけを用いたシングル伝送の波形も測定したところ、チップ実装部のボンディングワイヤにおけるクロストークにより波形が大きく劣化し、差動伝送の効果が確認できた。

加えて、クロストークの影響をより定量的に解析するために、BER 測定を行なった結果を図 6.8(b) に示す。ここでは、精密な測定を行なうために高感度 ED (信号振幅の最小感度:  $15\text{ mV}_{pp}$ ) を用いた。いずれの場合にも 25 Gbps エラーフリー伝送が実現され、 $\text{BER} < 10^{-12}$  となる最小受信感度は、クロストーク無しで  $-6.9\text{ dBm}$ 、クロストーク有りでは  $-6.0\text{ dBm}$  であった。したがって、チャンネル間クロストークによるペナルティは  $0.9\text{ dB}$  程度である。ここで、最小受信感度  $-6.9\text{ dBm}$  および  $-6.0\text{ dBm}$  は、それぞれ約  $0.20\text{ mA}$  および約  $0.25\text{ mA}$  の PD 電流に相当する。また、PD 電流が  $0.20\text{ mA}$  の条件におけるバスタブカーブの測定結果を図 6.8(c) に示す。クロストークによって時間軸方向のマージンが  $0.04\text{ UI}$  程度狭くなり、 $\text{BER} = 10^{-11}$  前後にフロアが出ていることが分かる。しかし、これは最小受信感度のレベルまで光パワーを小さくした条件において初めて明らかになる差分であり、通常使用の  $0.5\text{ mA}$  程度の条件では大きな問題とはならない。これらの測定結果から、クロストークによる劣化は実用的な範囲内であり、作製した Si 光インタポーザは 25 Gbps 伝送可能な特性であることが分かった。

### 6.3.3 Si 光インタポーザの伝送密度

ここまで議論した測定結果から、Si 光インタポーザが 1 チャンネル当たり 25 Gbps の伝送レートの性能を有していることを実証できた。表 6.2 で示したように 1 チャンネル当たりの面積が  $0.0877\text{ mm}^2$  であるから、伝送密度として  $28.5\text{ Tbps/cm}^2$  を達成することができた。

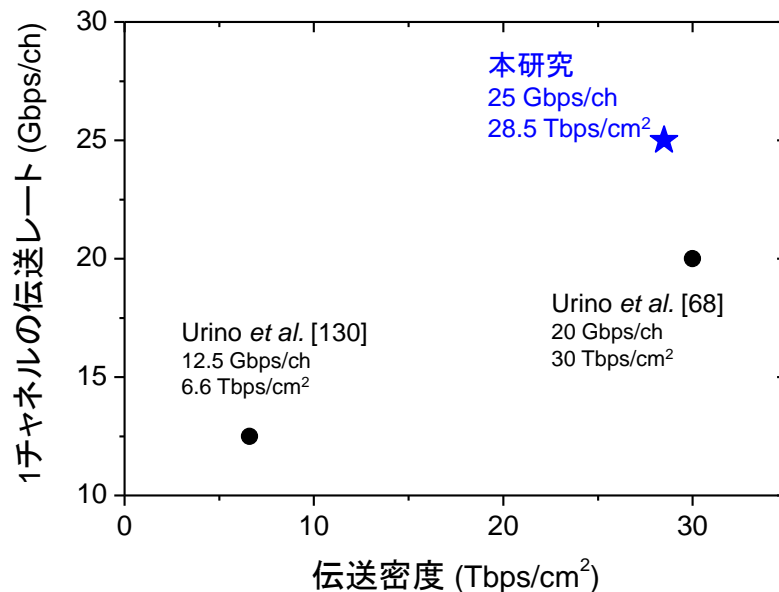


図 6.9 Si フォトニクスを用いたオンチップ光伝送の 1 チャンネル当たりの伝送レートおよび伝送密度

これらの 1 チャンネル当たりの伝送レートおよび伝送密度について、Si フォトニクスを用いたオンチップ光伝送の従来報告例と比較したものを、図 6.9 に示す。これまでに、1 チャンネル当たりの伝送レートで 12.5 Gbps [130]~20 Gbps [68] が、伝送密度で 6.6 Tbps/cm<sup>2</sup> [130]~30 Tbps/cm<sup>2</sup> [68] が報告されている。Si 光インタポーザを用いた光リンクにおいて 25 Gbps エラーフリー伝送を実証したのは、本研究が初めてである [18]。文献 [68] と比較して伝送密度はやや低くなっているが、これはクロストーク抑制のために 2 個の PD から成る差動 PD を採用したことによって、その分面積が大きくなったためである。一方、高速インターコネクション向けの OIF CEI-25G などの標準的な規格にも適用可能となる 25 Gbps/ch を達成できたことは、実用上の観点で大きな意義がある。

## 6.4 FPGA 間光インターコネクションの 25 Gbps エラーフリー伝送実証

最後に、Si 光インタポーザを用いた FPGA 間光インターコネクションを実証するために、25 Gbps トランシーバを内蔵した FPGA (Altera Stratix V GT) のデモボードを用いて伝送評価実験を行なった。波形品質の点においては測定器 PPG より優れているわけでは

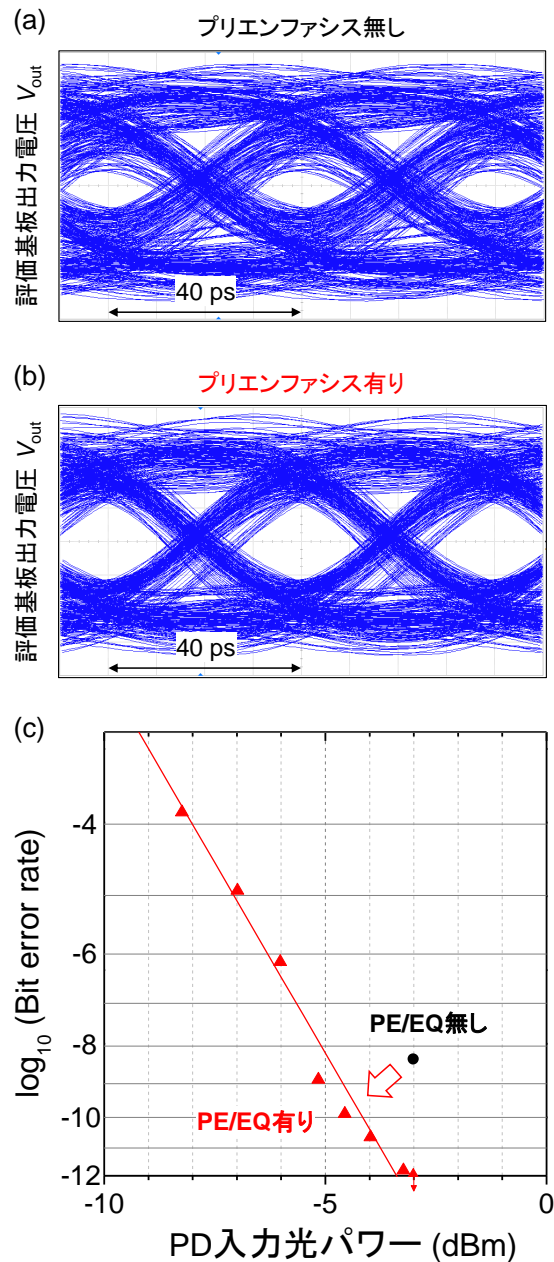


図 6.10 FPGA 内蔵トランシーバを用いた 25 Gbps PRBS  $2^7-1$  信号伝送における, (a) プリエンファシス無しおよび (b) プリエンファシス有りの評価基板出力の電気波形測定結果, (c) BER 測定結果

ないが, 一般に用いられる FPGA に内蔵されているトランシーバを用いて光信号伝送を実証することによって, 試作した Si 光インタポータの実用性を示すことができる. この FPGA ボードは各種の通信規格に準拠した伝送評価が可能であり, トランスミッタ側には 3-tap FIR によるプリエンファシス (PE: pre-emphasis) 機能が搭載され, レシーバ側には



CTLE(Continuous Time Linear Equalizer) を用いたイコライザ (EQ: equalizer) が搭載されている。CTLE を用いることで、評価基板上の伝送線路の損失を補償することができる。制御プログラムからプリエンファシスおよびイコライザのパラメータ設定が可能であるとともに、FPGA 内蔵トランシーバに BER 測定機能が搭載されており、これらを用いて伝送評価を行なった。

測定器 PPG を用いた評価と同様に微分器および RF アンプを用いて評価基板への入力信号 ( $V_{in}$ ) を生成し (図 6.2(a)), 高速リアルタイム・オシロスコープを用いて直接的に評価基板の出力電圧 ( $V_{out}$ ) の波形観測を行なった。25 Gbps の PRBS  $2^7 - 1$  信号伝送において、FPGA 機能のプリエンファシス無しとプリエンファシス有りの場合のアイダイアグラムを、それぞれ図 6.10(a), (b) に示す。プリエンファシス機能を用いることで、FPGA デモボード上伝送線路等における電気信号の劣化を補償することが可能であり、図 6.10(b) に示されるようにアイ開口が改善された。

また、BER 測定の結果を図 6.10(c) に示す。FPGA のプリエンファシス/イコライザ (PE/EQ) を用いない場合は  $BER = 4.7 \times 10^{-9}$  程度であり、これ以上光パワーを上げられずエラーフリーとならなかった。これは、FPGA デモボード上伝送線路で電気波形劣化があること、高感度の測定器 ED と比較すると FPGA 内蔵レシーバは高感度ではないこと、などが原因と考えられる。しかし、プリエンファシス/イコライザを用いることにより BER 特性は大きく改善され、25 Gbps エラーフリー伝送を実現できた。このとき、 $BER < 10^{-12}$  となる最小受信感度は  $-3.0$  dBm であった。

以上のように Si 光インタポーザを用いて、FPGA 等の LSI チップ間インターコネクションの 25 Gbps エラーフリー伝送を実証したのは、本研究が初めてである。単に測定器を用いた伝送実証ではなく、実際のアプリケーションで広く用いられている FPGA を用いて、より実用に近い形態で実証したところに大きな意義がある。

## 6.5 結言

本章では、Si 光インタポーザを用いた高密度チップ間光インターコネクションの実証を行なった。Si 光インタポーザの高密度集積設計について述べ、伝送実証に必要な評価基板設計について議論して、高速の電気信号を伝送するために重要となる基板上信号配線や同

軸コネクタ実装部の特性について解析を行なった。

作製した評価基板を用いて伝送評価実験を行ない、Si 光インタポーザにおける最高の伝送レートとなる 25 Gbps/ch のエラーフリー伝送を達成した。加えて、28.5 Tbps/cm<sup>2</sup> の伝送密度を達成することができた。測定器 PPG/ED を用いた場合の最小受信感度は -6.9 dBm であり、チャンネル間クロストークによるペナルティは 0.9 dB であった。

FPGA 内蔵トランシーバに搭載されているプリエンファシス/イコライザ機能を用いることで最小受信感度が改善することを示し、Si 光インタポーザを用いた FPGA 間インターコネクションの 25 Gbps エラーフリー伝送を、本研究で初めて実証した。これにより、序論で述べた光・電子融合システムのロードマップにおける第 2 ステップである Si 光インタポーザを用いて、実用に近い形態で高密度チップ間光インターコネクションを実証することに成功した。



## 第 7 章

# Si 光インタポーザにおける高感度 光受信器の提案と解析

本章では，Si 光インタポーザ上の差動光伝送に向けた新しい高感度光受信器を提案する．等価回路を用いて光受信器の周波数特性の解析を行ない，提案受信器においては従来の差動光受信器よりも 2 倍の電流信号振幅が得られることを示す．さらに，等価回路モデルに受光素子の温度依存性を組み込み，高温環境下における高速動作について解析を行なう．

### 7.1 Si 光インタポーザ上の差動光伝送

最先端の LSI ではメモリ帯域も含めると約 10 Tbps の I/O 帯域を有しており [10]，2020 年代前半には数十 Tbps の帯域が必要になると予測され [128]，LSI チップ間インターコネクションのバンド幅がボトルネックとなることが懸念されている．このバンド幅ボトルネックを解決するために，Si フォトニクスを用いた Si 光インタポーザの実現を目指している [130,131]．Si 光インタポーザは，光源・光変調器・受光素子を単一シリコン基板上に集積することにより，図 7.1(a) に示すように LSI チップ間の広帯域・高密度光インターコネクションを実現する．III-V 族化合物ベースの LD，Si 光変調器，Ge-PD が単一 Si 基板上に集積され，それらは相互に Si 光導波路で光学的に接続されている．LSI ベアチップはこの Si 基板にフリップチップ実装され，フリップチップパッドを介して光送信

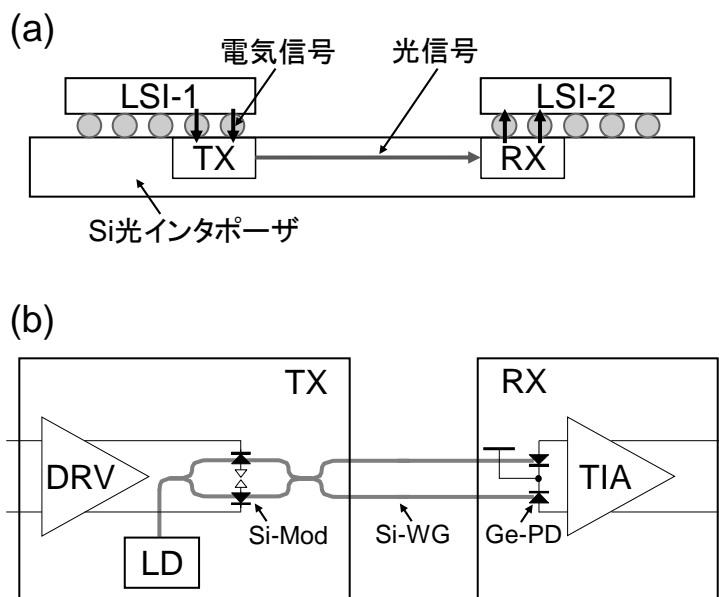


図 7.1 (a)Si 光インタポーザ上の LSI チップ間通信, (b) TX/RX のブロック図

器 (TX) および光受信器 (RX) と電気的に接続されている。

Si 光変調器と Ge-PD を同一のシリコン基板上に集積することのメリットとして、差動光伝送が比較的容易に可能という点が挙げられる [98–100]。その理由は図 7.1(b) に示すように、2 つの出力ポートを有するマッハ・ツェンダ干渉計を用いた Si 光変調器の出力が差動光信号になっており、導波路型の Ge-PD は面積が小さいため 2 個の差動 PD を集積することが容易だからである。シングル伝送の場合は変調器出力の一方だけを用いるため、もう一方のポートから出力される光信号は無駄になってしまう。それに対して、両ポートから出力される差動光信号を 2 個の PD で受信する差動光伝送では、シングル伝送と比較して 2 倍の信号振幅が得られ、同相のクロストークノイズを低減できる [98]。

この Si 光インタポーザにおいては多数の光デバイスを高密度に集積するため、熱的な観点からも低消費電力化が必須である。特に消費電力の大きい LD のパワーを下げるためには、光受信器の高感度化が重要である。また、多量の発熱が生じる LSI の近傍にあるため、Si 光インタポーザは高温環境下において動作することが求められる。そこで本章では、Si 光インタポーザ上の差動光伝送に向けて、従来受信器よりも高感度な新しい光受信器を提案する。加えて、PD の温度依存性も組み込んだ等価回路モデルを作成し、高温環境下における動作特性について解析する。

## 7.2 差動 AC 結合を用いた高感度光受信器の提案

これまでに図 7.2(a) に示されるように，差動光信号を受信する 2 個の差動 PD (PD1, PD2) にそれぞれキャパシタを介して AC (交流) 結合させた 2 本の信号線に 1 組の差動電流信号 ( $I_1, I_2$ ) を発生させ，後段の TIA 回路に入力する光受信器が提案されている [100, 152]. AC 結合を用いることにより，TIA 入力のオフセット調整が不要になり，TIA 回路とは独立に PD のバイアス電圧を決定することができるという利点がある．これに対して本章で提案する光受信器では，図 7.2(b) に示されるように PD1 と PD2 の逆極

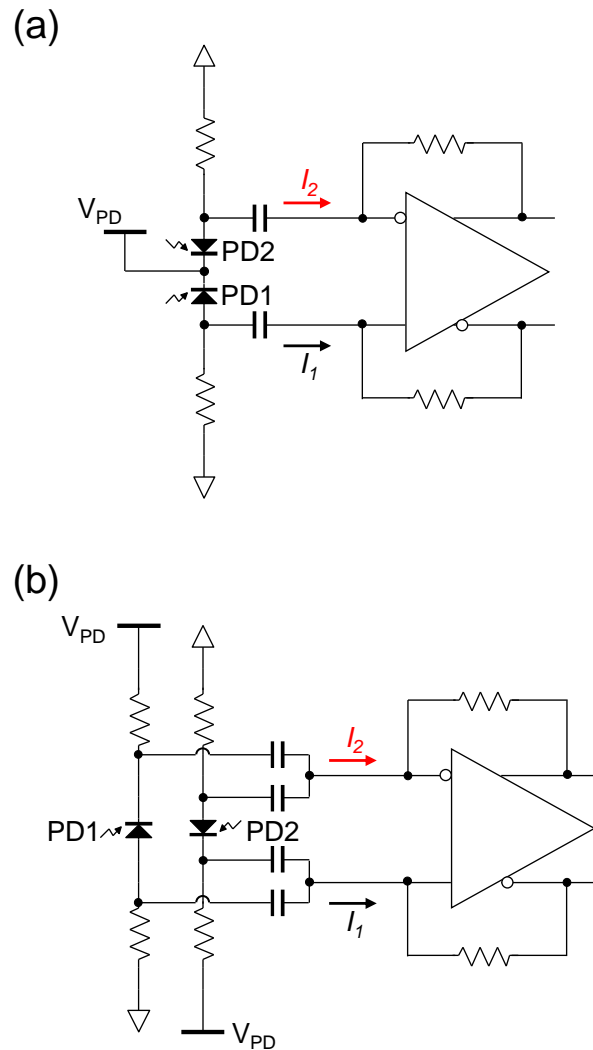


図 7.2 (a) 従来の AC 結合を用いた光受信器，(b) 本章で提案する AC 結合を用いた光受信器

性の端子同士がキャパシタを介して結合されており，合計4個のキャパシタを用いる．このような回路構成は，三層キャパシタ構成 [153] を用いることでコンパクトに集積することが可能である．差動 PD はそれぞれ負荷抵抗を介して逆方向バイアス電圧が印加されており，TIA に接続される信号線には DC 成分が除去された差動信号電流が流れることになる．

それぞれの光受信器方式において得られる電流信号波形を，図 7.3 に示す．従来の光受信器方式においては，差動光信号入力により PD1 および PD2 にそれぞれ電流振幅が  $I_0$  の光電流が発生するとき，TIA に入力される電流信号  $I_1, I_2$  の振幅はそれぞれ  $I_0$  となる（図 7.3(a)）．これに対して提案の光受信器方式においては，PD1 に光電流  $I_0$  が発生したとき

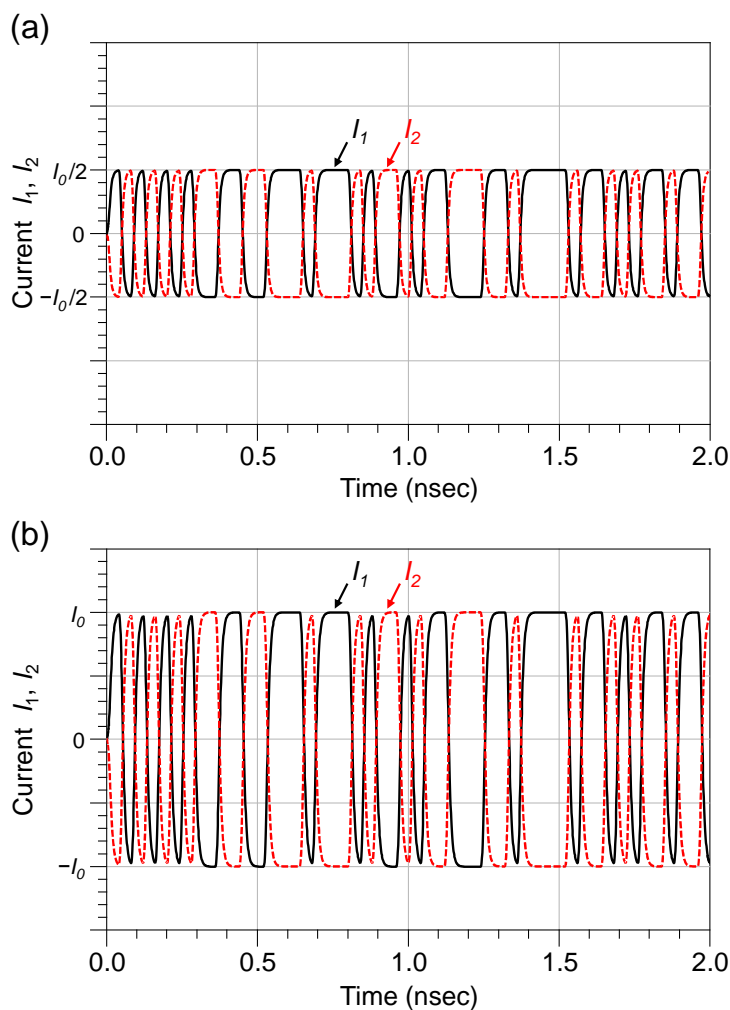


図 7.3 (a) 従来の光受信器の電流信号波形，(b) 本章で提案する光受信器の電流信号波形

には  $I_1 = I_0$ ,  $I_2 = -I_0$  となり, PD2 に光電流  $I_0$  が発生したときには  $I_1 = -I_0$ ,  $I_2 = I_0$  となるため, 差動光信号入力により得られる電流信号  $I_1, I_2$  の振幅はそれぞれ  $2I_0$  となる (図 7.3(b)). つまり, 従来の差動光受信器方式と比較して 2 倍の電流信号振幅が得られ (シングル伝送と比較すると 4 倍の信号振幅が得られ), 高感度の光受信器が実現される [154].

### 7.3 差動 AC 結合光受信器の等価回路モデル

図 7.4(a) に本章で提案する差動 AC 結合光受信器の等価回路モデルを示す.  $I_{ph}$ ,  $I_d$ ,  $C_{PD}$ ,  $R_S$  は PD の特性によって決まるパラメータである.  $I_{ph}(\omega, T)$  は光電流で周波数と温度の関数,  $I_d(T)$  は暗電流で温度の関数である.  $C_{PD}$  は PD の素子容量であり,  $R_S$  は PD 電極のコンタクト抵抗等による直列抵抗である. 導波路型 PD は低電気容量にできることが特長の一つであり, Si 導波路と接続される導波路型 Ge-PD の典型的な構造として幅  $5\mu\text{m}$ , 長さ  $30\mu\text{m}$ , 厚さ  $1\mu\text{m}$  とした場合 [41],  $C_{PD} \approx 20\text{fF}$  となる. また,  $R_S = 10\Omega$  とした. PD は陽極側と陰極側で等しい負荷抵抗  $R_L$  が接続され, バイアス電圧  $V_{PD}$  が印加されている. CMOS ベースの TIA 回路と集積するためには電源種が統一されていることが望ましいため, ここでは  $V_{PD} = 3.3\text{V}$  とした [64]. また, PD1 および PD2 の逆極性の端子同士がキャパシタ  $C_{AC}$  を介して AC 結合され, 後段の TIA 回路に接続されている.

本提案の差動 AC 結合光受信器は PD と TIA の接続方法に大きな特徴があり, 様々な回路形式の TIA を適用できる. CMOS インバータを用いた TIA 回路は, 第 2 章で述べたように低消費電力かつ高速というメリットがある [64, 109]. また, シンプルな回路構成で, バイアス回路が不要である [78]. 図 7.4(b) に示すように, 32-nm CMOS テクノロジー [155] を用いてインバータ型 TIA 回路を設計し,  $V_{dd} = 1.0\text{V}$ ,  $R_F = 100\Omega$  として光受信器特性の解析を行なった. 実際には電気配線や電気パッドに起因する寄生容量  $C_{para}$  が存在し, これが光受信器特性の高速特性を劣化させる. 特に PD と TIA 回路が別チップで, ワイヤボンディング実装あるいはフリップチップ実装する場合は, この寄生容量が比較的大きくなる. しかし, Si 光インタポータにおいて PD と TIA を同一チップ上にモノリシック集積することによって, PD の素子容量と同程度の  $C_{para} = 20\text{fF}$  に抑制することが可能である. TIA に入力される電流信号  $I_1, I_2$  は, 電圧信号  $V_{out1}, V_{out2}$  へ増幅されて出力される. このとき, TIA のトランスインピーダンス利得  $Z_t$  は,  $Z_t = \Delta V_{out1} / \Delta I_1 = \Delta V_{out2} / \Delta I_2$



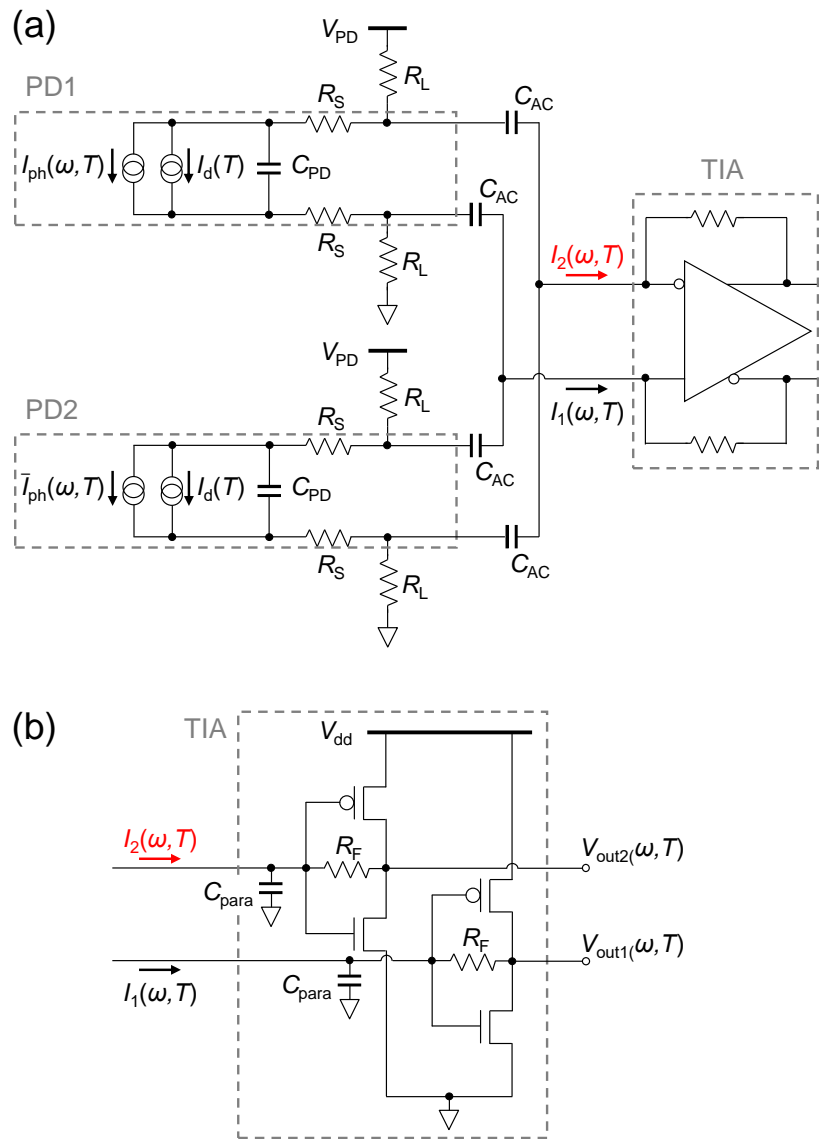


図 7.4 (a) 本章で提案する差動 AC 結合光受信器の等価回路モデル, (b) CMOS インバータ型 TIA 回路.

と定義される.

ここで, PD1 および PD2 による光電流  $I_{ph}$  の周波数応答は, キャリア走行時間で決定される時定数  $\tau$  を用いて,

$$I_{ph}(\omega, T) = \frac{I_0}{1 + i\omega\tau(T)}, \quad (7.1)$$

と書ける. 時定数  $\tau$  は電子のドリフト速度  $v_e$  と正孔のドリフト速度  $v_h$  から, 以下のよう

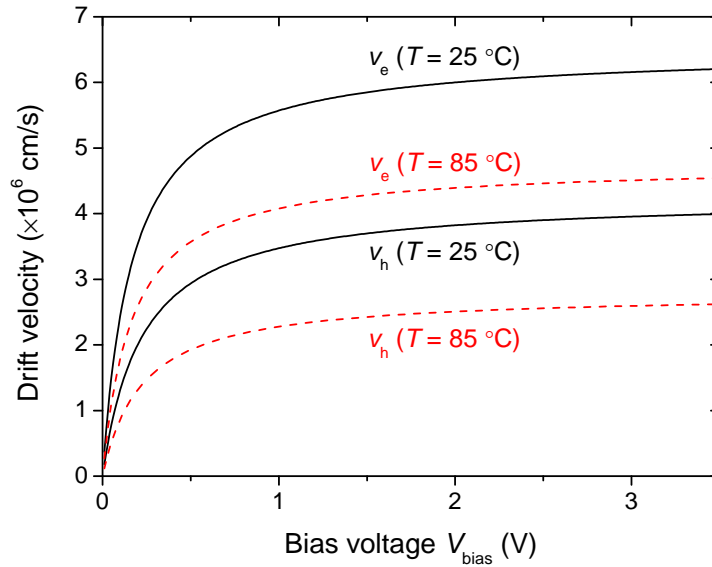


図 7.5 ドリフト速度の電圧および温度依存性

に求められる [74].

$$\tau(T) = \frac{d}{3.5 \bar{v}(T)}, \quad (7.2)$$

$$\frac{1}{\bar{v}(T)^4} = \frac{1}{2} \left( \frac{1}{v_e(T)^4} + \frac{1}{v_h(T)^4} \right). \quad (7.3)$$

ここで  $d$  は PD の吸収層の厚さであり、先述のように典型的な値として  $d = 1 \mu\text{m}$  とした。電子と正孔のドリフト速度  $v_e, v_h$  は移動度  $\mu_e, \mu_h$  と電界強度によって決まるが、印加される電界強度が大きくなるとフォノンとの相互作用により電界強度とドリフト速度の線形性が崩れる。この非線形性を踏まえて、ドリフト速度  $v_e, v_h$  は電子および正孔の飽和速度  $v_e^{\text{sat}}, v_h^{\text{sat}}$  を用いて、

$$v_e(T) = \frac{\mu_e(T)E}{1 + \mu_e(T)E/v_e^{\text{sat}}(T)}, \quad (7.4)$$

$$v_h(T) = \frac{\mu_h(T)E}{1 + \mu_h(T)E/v_h^{\text{sat}}(T)}, \quad (7.5)$$

のように書ける [156].

ここで  $\mu_e, \mu_h$  は温度  $T$  の関数であり、 $\mu_e(T) \propto T^{-1.7}$ ,  $\mu_h(T) \propto T^{-2.3}$  のように電子と正孔で異なる温度依存性を持つ。また、電界強度  $E$  は、PD に印加されるバイアス電圧  $V_{\text{bias}}$  と吸

取層厚さ  $d$  から,  $E = V_{\text{bias}}/d$  の関係式で求まる. 室温における移動度および飽和速度をそれぞれ  $\mu_e = 3900 \text{ cm}^2/\text{Vs}$ ,  $\mu_h = 1900 \text{ cm}^2/\text{Vs}$ ,  $v_e^{\text{sat}} = 6.50 \times 10^6 \text{ cm/s}$ ,  $v_h^{\text{sat}} = 4.25 \times 10^6 \text{ cm/s}$  としたとき [157,158], 式 (7.4) からドリフト速度の電圧および温度依存性は図 7.5 のようになる.

光受信器の応答速度はキャリア走行時間と回路時定数の二つの要素によって制限され, 3dB 帯域は以下の式で与えられる.

$$f_{3\text{dB}} = \frac{1}{\sqrt{\left(\frac{1}{f_{\text{tr}}}\right)^2 + \left(\frac{1}{f_{\text{RC}}}\right)^2}}. \quad (7.6)$$

ここで,  $f_{\text{tr}} = 1/(2\pi\tau)$  は PD のキャリア走行時間制限による遮断周波数であり,  $f_{\text{RC}}$  は  $C_{\text{PD}}$ ,  $R_{\text{S}}$ ,  $R_{\text{L}}$  と後段の TIA の入力インピーダンス  $Z_{\text{in}}$  で決まる回路時定数によって制限される遮断周波数である. この式から光受信器の 3dB 帯域  $f_{3\text{dB}}$  は,  $f_{\text{tr}}$  と  $f_{\text{RC}}$  の小さい方によって律速されることが分かる. 一般に直径が数十  $\mu\text{m}$  の受光面積を持つ面受光型 PD では比較的容量が大きく  $f_{\text{RC}}$  が律速要因となるが, 導波路型 PD では比較的容量が小さいため  $f_{\text{tr}}$  と  $f_{\text{RC}}$  が同程度になる [102].

ここでは PD1 と PD2 が等しい特性を持つと仮定しているが, 実際には PD 間バラツキがあり PD1 と PD2 の効率は必ずしも一致するわけではない. しかし, PD1 と PD2 の光電流の差分が得られる信号電流となるため, 大きな問題とはならない. また, 差動光信号を伝送するシリコン基板上の光導波路は等長になるように設計されており, 導波路間スキューは 1 cm 当たり数十 fs 以下であるため, その影響は無視できる程度である.

## 7.4 周波数特性の解析

ここで提案する光受信器は, 従来受信器と比較して 2 倍の信号振幅が得られる利点がある一方で, TIA 入力に負荷される 2 倍の PD 素子容量が帯域劣化の要因となり得る. したがって, このトレードオフを考慮した上で, 25 Gbps 動作に必要な帯域を維持できるように, 注意深く光受信器の設計を行なう必要がある. そこで, 本節では周波数特性について議論する.

等価回路における  $C_{\text{AC}}$  と  $R_{\text{L}}$  は PD とは独立したパラメータであり, 光受信器全体の特性を考慮して決定する必要がある.  $C_{\text{AC}}$  と  $R_{\text{L}}$  が大きく,  $|1/(i\omega C_{\text{AC}}) + Z_{\text{in}}|$  が  $R_{\text{L}}$  と比較し

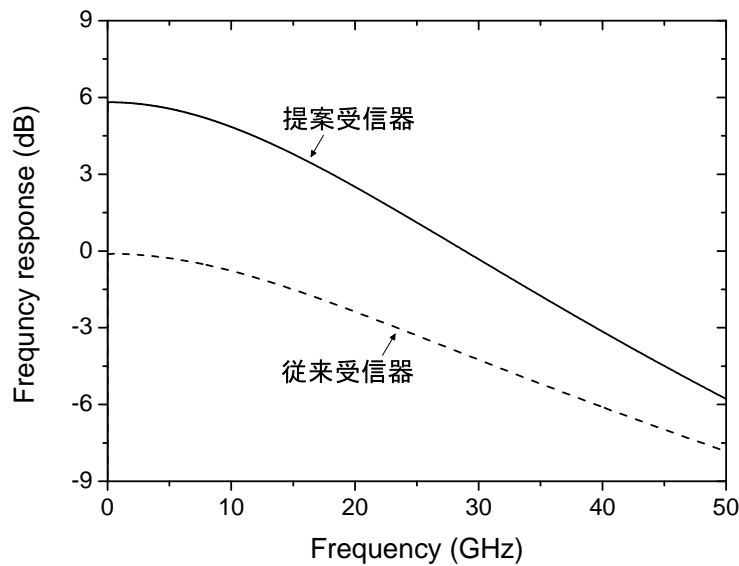


図 7.6 従来受信器と提案受信器における周波数特性の比較

て十分に小さい場合，電流信号の AC 成分はほぼ全て TIA に入力されることになる．一般的な TIA 回路の入力インピーダンスは  $50\ \Omega$  程度であり [100]，このとき従来受信器と提案受信器における  $I_1, I_2$  の周波数特性を比較すると図 7.6 のようになる．低周波数領域において従来受信器よりも提案受信器の周波数特性が  $6\ \text{dB}$  大きくなっているのは，図 7.3 で示したように電流振幅が 2 倍になっていることを意味している．また， $3\ \text{dB}$  帯域  $f_{3\text{dB}}$  は従来受信器が  $23.9\ \text{GHz}$  であるのに対して，提案受信器は  $18.9\ \text{GHz}$  である．これは，従来受信器では回路時定数が小さく，ほぼキャリア走行時間のみによって律速されているのに対して，提案受信器では回路時定数が大きくなるため， $f_{\text{tr}}$  と  $f_{\text{RC}}$  が同程度となり両方の影響によって光受信器全体の帯域  $f_{3\text{dB}}$  が制限されていることに起因している．

AC 結合用キャパシタは Si 光インタポーザ内に集積できるが，実際には面積の制限から  $C_{\text{AC}} = 10\ \text{pF}$  程度より大きな容量を作製することは困難である [159, 160]．光受信器としては信号パターンに含まれる低周波成分も受信できることが求められるが，低周波側の遮断周波数は  $C_{\text{AC}}$  と  $R_{\text{L}}$  で決まるため， $R_{\text{L}}$  を注意深く設計しなければならない．電流信号の AC 成分を効率良く TIA 回路に入力するために負荷抵抗  $R_{\text{L}}$  はキャパシタ  $C_{\text{AC}}$  のインピーダンスよりも十分に大きくする必要がある一方で， $R_{\text{L}}$  を大きくし過ぎると次節で述べるように暗電流による電圧降下  $V_{\text{drop}} = -I_{\text{d}}R_{\text{L}}$  が大きくなってしまいうトレードオフの関係にある [102, 161, 162]．そこで， $C_{\text{AC}} = 10\ \text{pF}$  として， $R_{\text{L}}$  を変化させたときの  $I_1, I_2$  の

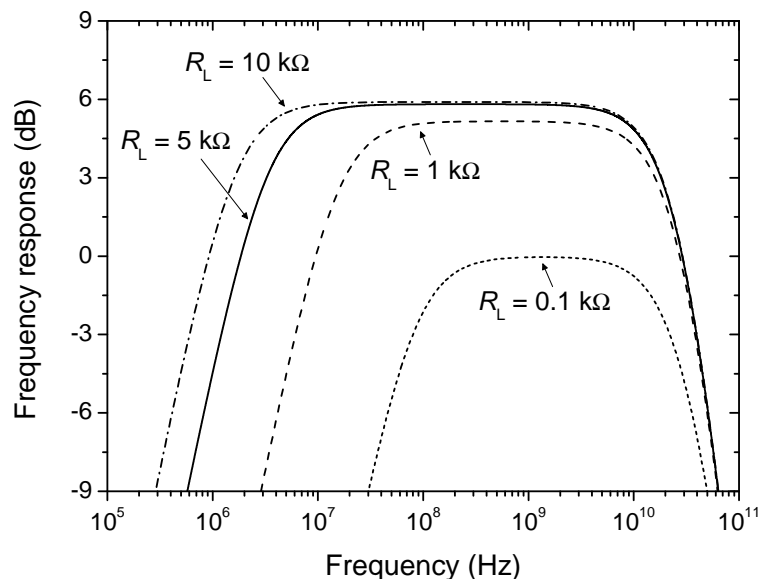


図 7.7 提案受信器における  $I_1, I_2$  の周波数特性の  $R_L$  依存性

周波数特性を図 7.7 に示す.  $R_L = 1 \text{ k}\Omega$  以下の場合, 信号の AC 成分が  $V_{PD}$ , GND 側に逃げってしまうために  $I_1, I_2$  の周波数特性の最大値が下がってしまう. この図から  $R_L = 5 \text{ k}\Omega$  以上にすることで効率良く AC 成分を TIA に入力できることが分かるため, ここでは最適値として  $R_L = 5 \text{ k}\Omega$  とした. 例えば 25 Gbps の PRBS  $2^7 - 1$  信号を受信する場合, 低周波成分は 196.85 MHz になるので, 十分にこの低周波成分も受信することが可能である. 高速シリアル通信で用いられる 8b/10b, 64b/66b エンコーディングを行うアプリケーションにも適用することができる.

## 7.5 光受信器特性の温度依存性の解析

PD の暗電流  $I_d$  は高温になると増加するが, それに伴い負荷抵抗  $R_L$  と直列抵抗  $R_S$  による電圧降下が大きくなり, PD に印加されるバイアス電圧  $V_{bias}$  は小さくなる. 暗電流は PD のデバイス構造や作製プロセスによって大きく依存し,  $I_d = 0.01 - 1 \mu\text{A}$  と幅広い範囲の値を取る [98, 163, 164]. そこで, 前述の光受信器の等価回路モデルを用いて, PD の暗電流がどの程度以下である必要があるかを求める.

ここで, 暗電流 (逆方向飽和電流)  $I_d$  の温度依存性は  $I_d \propto \exp(-E_g/kT)$  のように書けるから, 室温 ( $T = 25^\circ\text{C} \approx 298 \text{ K}$ ) での暗電流  $I_{298\text{K}}$  を用いて任意の温度  $T$  における暗電

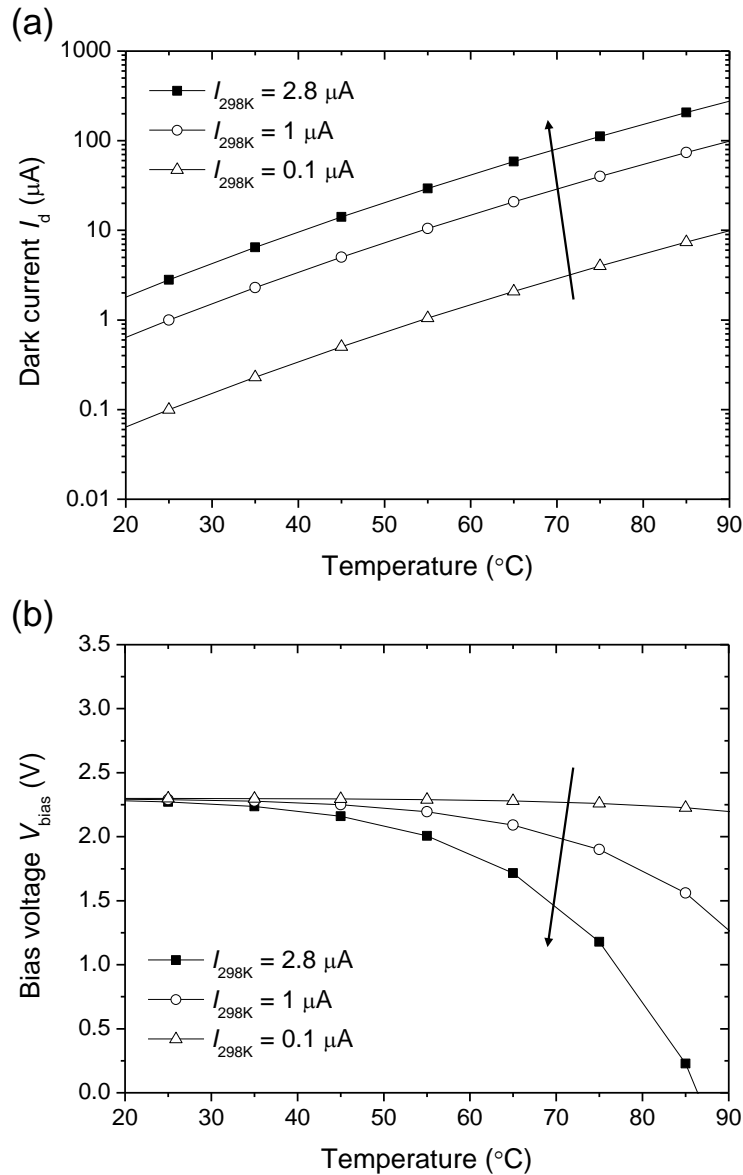


図 7.8 (a) 暗電流  $I_d$ , (b) バイアス電圧  $V_{\text{bias}}$  の温度依存性

流  $I_d(T)$  は次の式 (7.7) から求められる.

$$I_d(T) = I_{298\text{K}} \exp\left(-\frac{E_g}{k} \left(\frac{1}{T} - \frac{1}{298}\right)\right). \quad (7.7)$$

ここで,  $E_g = 0.66 \text{ eV}$  [71] は Ge のバンドギャップエネルギーである.  $I_{298\text{K}} = 0.1, 1.0, 2.8 \mu\text{A}$  のそれぞれの場合について, 暗電流の温度依存性を求めると図 7.8(a) のようになる.  $I_{298\text{K}} = 2.8 \mu\text{A}$  の場合,  $T = 85^{\circ}\text{C}$  で  $I_d = 207 \mu\text{A}$  まで増加する. ここで, この暗電流増加による電圧降下を考慮して  $V_{\text{bias}}$  を求めると, 光電流  $I_{\text{ph}}$  の 0 レベルを  $I_{\text{low}, 1}$

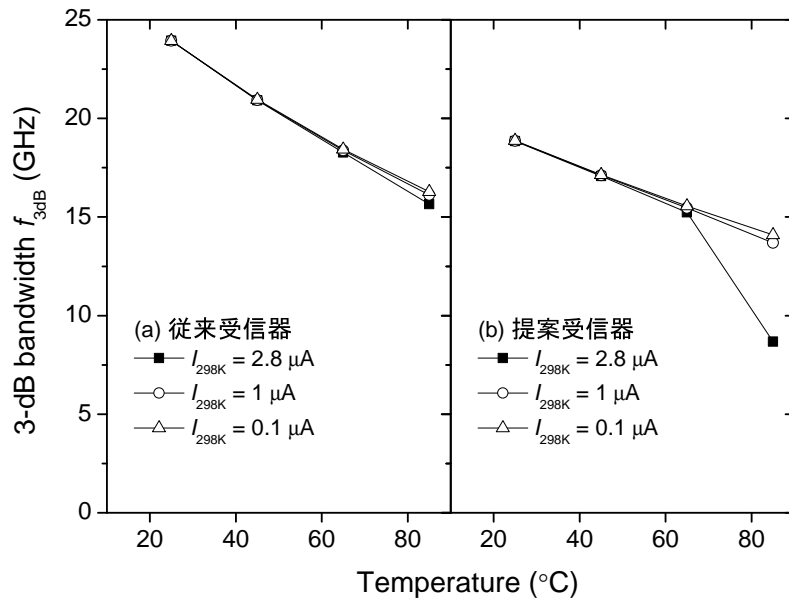


図 7.9 (a) 従来受信器および (b) 提案受信器における 3dB 帯域の温度依存性

レベルを  $I_{\text{high}}$  として,

$$V_{\text{bias}}(T) = V_{\text{PD}} - 2 \left( I_{\text{d}}(T) + \frac{I_{\text{low}} + I_{\text{high}}}{2} \right) (R_{\text{L}} + R_{\text{S}}), \quad (7.8)$$

と書ける. 例えば PD に入力される光信号の消光比が 5 dB であり, 0 レベルの入力パワー  $P_{\text{low}} = 50 \mu\text{W}$ , 1 レベルの入力パワー  $P_{\text{high}} = 150 \mu\text{W}$  であるとき, 受光感度を  $1 \text{ A/W}$  とすると  $I_{\text{low}} = 50 \mu\text{A}$ , 1 レベルの入力パワー  $I_{\text{high}} = 150 \mu\text{A}$  となる. このとき, 式 (7.8) を用いて  $V_{\text{bias}}$  の温度依存性をプロットすると, 図 7.8(b) のようになる.  $25^\circ\text{C}$  ではいずれの場合も  $V_{\text{bias}} \approx 2.3 \text{ V}$  であるが,  $T = 85^\circ\text{C}$  では  $I_{298\text{K}} = 2.8 \mu\text{A}$  の場合,  $V_{\text{bias}} = 0.23 \text{ V}$  まで低下することになる. 一方, 図 7.2(a) の従来受信器においても同様に暗電流増加によるバイアス電圧低下が発生するが, 負荷抵抗が提案受信器の半分であるためバイアス電圧低下も半分に抑制される.

次に, 温度上昇により式 (7.6) において  $f_{\text{tr}}$  が低下する影響で, 3dB 帯域  $f_{3\text{dB}}$  が劣化することについて議論する. 図 7.9(a) にあるように, 従来受信器においては  $25^\circ\text{C}$  で 23.9 GHz の 3dB 帯域であり,  $85^\circ\text{C}$  でも暗電流条件による差は小さく, いずれも 16 GHz 程度であった. これは, 暗電流増加によるバイアス電圧低下の影響よりも, 図 7.5 にあるように温度上昇による電子と正孔のドリフト速度の低下が主要因であることを示している. 一方で, 図 7.9(b) に示すように提案受信器においては, 従来受信器よりもバイアス電圧低下

の影響が大きいいため、暗電流条件による帯域劣化の程度が異なる。 $I_{298K} = 1.0\mu\text{A}$  以下の場合においては、 $85^\circ\text{C}$  でもほぼ飽和速度領域にあるため暗電流増加によるバイアス電圧低下の影響は小さく、 $25^\circ\text{C}$  で  $18.9\text{ GHz}$  の  $3\text{dB}$  帯域は、 $85^\circ\text{C}$  でも  $13.7\text{ GHz}$  までしか低下しない。しかし、 $I_{298K} = 2.8\mu\text{A}$  の場合は、バイアス電圧低下によるドリフト速度低下の影響が著しく、 $85^\circ\text{C}$  における  $3\text{dB}$  帯域は  $8.7\text{ GHz}$  まで低下してしまう。これらの結果から、提案受信器において  $85^\circ\text{C}$  の高温環境においても高速動作を実現するためには、 $I_{298K} = 1.0\mu\text{A}$  程度以下である必要があることが分かる。

次に、 $25\text{ Gbps PRBS } 2^7 - 1$  信号受信波形における温度上昇の影響をシミュレーションした結果を図 7.10 に示す。ここでは、 $I_{298K} = 1.0\mu\text{A}$  としている。図 7.10(a) に示される光信号が入力されたときの、従来受信器における  $25^\circ\text{C}$  および  $85^\circ\text{C}$  の TIA 出力波形がそれぞれ図 7.10(b), (c) であり、提案受信器における  $25^\circ\text{C}$  および  $85^\circ\text{C}$  の TIA 出力波形がそれぞれ図 7.10(d), (e) である。先述したように、提案受信器では従来受信器の 2 倍の振幅が得られている。図 7.9 で示したように提案受信器は従来受信器よりもやや  $3\text{dB}$  帯域が小さく、 $85^\circ\text{C}$  では温度上昇による帯域低下に起因する波形劣化が見られるものの、 $25\text{ Gbps}$  動作可能なアイ開口が得られることが分かる。したがって、本提案受信器では暗電流を  $I_{298K} = 1.0\mu\text{A}$  以下とすることで  $85^\circ\text{C}$  の高温環境下でも  $25\text{ Gbps}$  動作可能であり、信号振幅が 2 倍になることによる受信感度向上のメリットを得ることができる。

## 7.6 結言

本章では Si 光インタポータ上の差動光伝送に向けた新しい光受信器を提案し、従来の差動光受信器よりも 2 倍の電流信号振幅が得られることを示した。等価回路を用いて光受信器の周波数特性の解析を行ない、PD にバイアス電圧を印加するための負荷抵抗の最適値は  $5\text{ k}\Omega$  程度であることを示した。また、等価回路モデルに PD の温度依存性を組み込んで高温環境下における特性について解析を行なった結果、室温 ( $25^\circ\text{C}$ ) での暗電流が  $1\mu\text{A}$  以下であれば帯域劣化が軽微であることが分かった。 $25^\circ\text{C}$  および  $85^\circ\text{C}$  における  $3\text{dB}$  帯域はそれぞれ  $18.9\text{ GHz}$ ,  $13.7\text{ GHz}$  であり、いずれの温度条件においても  $25\text{ Gbps}$  波形のアイ開口が得られることを示した。これらの結果から、本章で提案した光受信器は高感度であり、高温環境下でも高速動作可能であることを示すことができた。



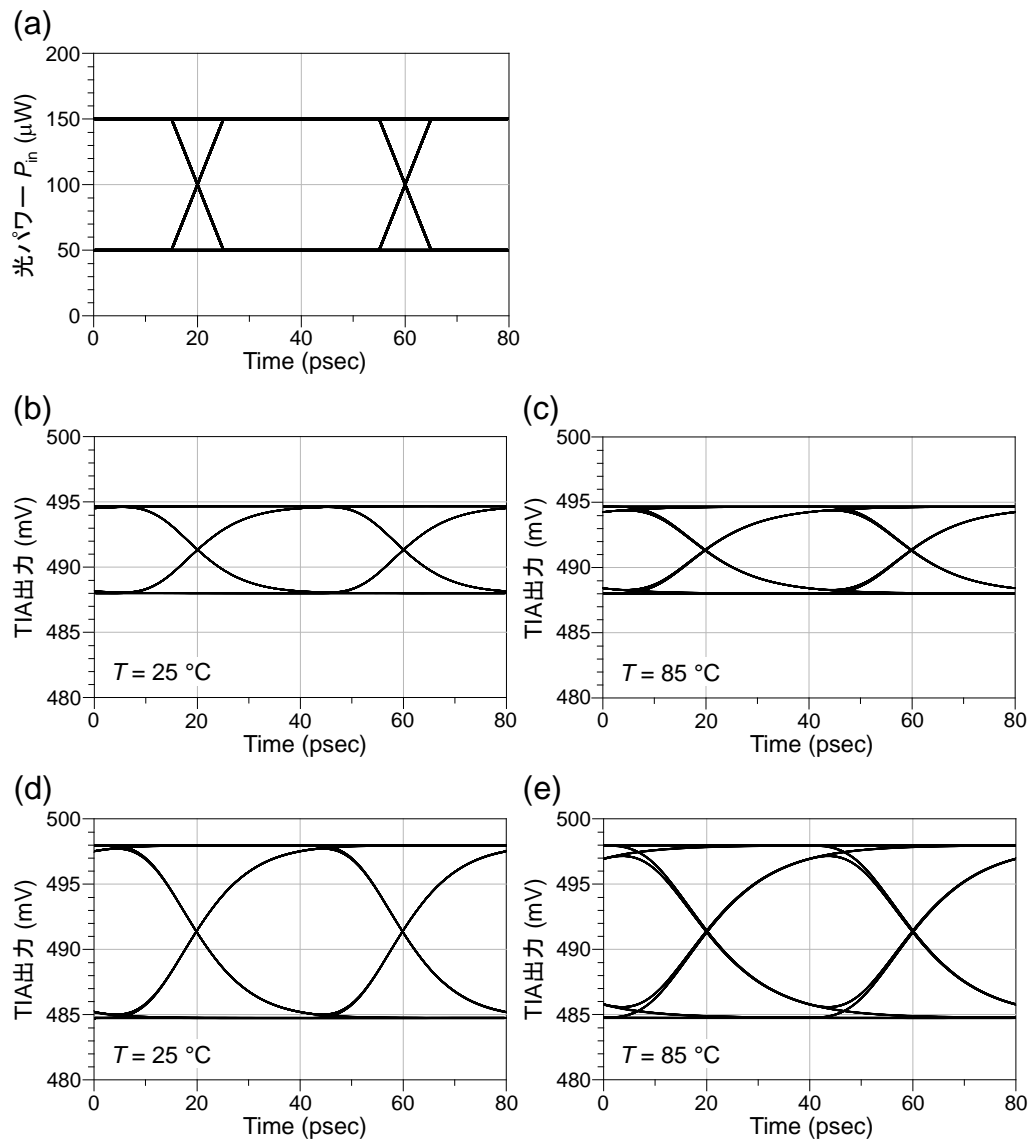


図 7.10 25 Gbps 動作シミュレーションにおける (a) 入力光信号波形, (b), (c) 従来受信器の  $25^\circ\text{C}$  および  $85^\circ\text{C}$  の TIA 出力波形  $V_{\text{out1}}$ ,  $V_{\text{out2}}$ , (d), (e) 提案受信器の  $25^\circ\text{C}$  および  $85^\circ\text{C}$  の TIA 出力波形  $V_{\text{out1}}$ ,  $V_{\text{out2}}$

## 第 8 章

# 結論

本論文では、Si フォトニクスを用いた高速・高感度光受信器、およびそれを用いた LSI チップ間光インターコネクションの研究成果について述べた。

第 1 章では、研究背景として爆発的に増加している世界のデータ処理における光インターコネクションの重要性について述べ、Si フォトニクスを用いた光集積回路の近年の進展について概説した。さらに、研究指針となる光・電子融合システムのロードマップを示し、その中における本研究の位置付けについて述べた。ロードマップにおける第 1 ステップの光 I/O コアと第 2 ステップの Si 光インタポーザでは、集積構造や光デバイス構造が異なるため、それぞれに適した光受信器を作製することを述べた。

第 2 章では、高速・高感度の光受信器を設計するための理論について詳述し、光受信器の全体構成を整理した。光受信器の主要な構成要素である PD と TIA 回路の理論について述べ、光受信器の符号誤り率について議論した。PD と TIA 回路の集積構造についても議論を行ない、各方式のメリット・デメリットを整理した。ここで述べた理論を基にして、本研究では Si フォトニクスを用いた光受信器の設計作製および高速・高感度動作実証を行った。

第 3 章では、Si フォトニクスを用いた小型のチップ型光トランシーバである光 I/O コアにおける光受信器の光・電子統合設計について議論した。5 mm × 5 mm という小型のチップ上に光デバイスと電子回路を集積するために各種のトレードオフがあるなど特有の課題が存在するため、それらを考慮した全体設計について詳しく議論した。光結合ピンを用いることによって、PD と MMF の高効率光結合が可能となり、0.5 dB の結合損失が可

能であることを示した。TIA 出力の電気信号を伝送する 2 mm 長のコプレーナ線路において、伝送線路下部の SOI 層をエッチングすることによって挿入損失を低減でき、 $L/S = 10/10 \mu\text{m}$  とすることで 1.2 dB の良好な挿入損失が得られた。また、28-nm CMOS プロセスを用いて、高利得版 (Type-1)、小型・低電力版 (Type-2A)、小型・高速版 (Type-2B) の 3 種類の TIA 回路を設計した。これらはいずれも 25 Gbps 動作可能であり、アプリケーションに応じて使い分けることができる。DC フィードバック回路および温度補償回路について議論し、85 °C の高温環境下においても 25 °C と同程度の利得が得られるように回路設計を行なった。

第 4 章では、第 3 章で議論した設計に基づき実際に作製した光 I/O コアの特性評価結果について議論し、25 Gbps の高速動作を実証した。目的の異なる 3 種類の TIA 回路を搭載した光 I/O コア RX について、設計通りに各回路の特長が異なる特性が得られた。いずれも 25 Gbps 動作が可能であり、高利得 (Type-1)、小型・低電力 (Type-2A)、小型・高速 (Type-2B) という特長に合わせて目的に応じて使い分けることができる結果であった。温度補償機能を用いることによって 85 °C でも 25 °C と同程度の周波数特性が得られるとともに、最小受信感度が 25 °C で  $-12.2 \text{ dBm}$ 、85 °C で  $-11.6 \text{ dBm}$  という高感度の受信特性を実証できた。これらの最小受信感度を OMA に換算すると、それぞれ  $-9.5 \text{ dBm}$ 、 $-8.9 \text{ dBm}$  であった。また、12 チャンネル版光 I/O コア RX を用いることで、 $1.2 \text{ Tbps/cm}^2$  の伝送密度が可能であることを示した。加えて、光 I/O コア RX の特性と、CMOS-TIA および面受光型 PD を集積した従来研究の光受信器の特性とを比較してベンチマークを行なった。その結果、利得、帯域、電力、面積を考慮した 3 つの評価指標において、本研究の光 I/O コア RX は従来研究の光受信器よりも優れた特性を実現することができた。

第 5 章では、等価回路を用いた光・電子統合シミュレーションによる Si 光インタポーザの設計について議論した。Si 光インタポーザでは光送信器と光受信器が同一の Si 基板上に集積されており、光信号を等価的に電流信号として表現することによって、光信号と電気信号を同時に扱い、その光リンクの性能について解析を行なった。等価回路モデルを用いたシミュレーションにより得られたアイダイアグラムが、実際の Si 光インタポーザの測定結果を良く再現できることを示した。BER 測定結果とシミュレーション結果とを比較して、 $\text{BER} = 10^{-12}$  となる最小受信感度は測定結果が  $-5.0 \text{ dBm}$  であるのに対して、シミュレーション結果では  $-5.6 \text{ dBm}$  と良い一致を得ることができた。また、高密度に集

積されたチャンネル間のクロストークの影響についても議論し、変調器アレイと受光素子アレイの両方の周囲に金属シールド構造を設けることにより十分なクロストーク低減効果が得られることを示した。

第6章では、第5章で議論した設計に基づいて Si 光インタポーザを実際に作製し、高密度チップ間光インターコネクションの実証を行なった。また、伝送実証に必要な評価基板設計について議論して、高速の電気信号を伝送するために重要となる基板上信号配線や同軸コネクタ実装部の特性について詳細な解析を行なった。この評価基板を用いて実用に近い形態で、FPGA 間インターコネクションの伝送評価実験を行なった。FPGA 内蔵トランシーバに搭載されているプリエンファシス/イコライザ機能を用いることで最小受信感度が改善することを示し、25 Gbps エラーフリー光信号伝送と 28.5 Tbps/cm<sup>2</sup> の伝送密度を達成した。また、チャンネル間クロストークによる最小受信感度劣化のペナルティは 0.9 dB と小さく、実用上問題無いレベルであることを示した。これらの実証は世界初であり、Si 光インタポーザを用いた高密度インターコネクションによる FPGA クラスタの実現に向けた研究成果を得た。

第7章では、光受信器のさらなる高性能化に向けて、Si 光インタポーザ上の差動光伝送を用いた新しい光受信器を提案した。Si 光変調器と Ge-PD が Si 光インタポーザ上にモノリシック集積されているため差動光伝送が容易であるという特徴を利用しており、従来の差動光受信器よりも2倍の電流信号振幅が得られることを示した。等価回路モデルに PD の温度依存性を組み込んで高温環境下における特性について解析を行なった結果、室温 (25°C) での暗電流が 1 μA 以下であれば帯域劣化が軽微であることが分かった。25°C および 85°C における 3dB 帯域はそれぞれ 18.9 GHz, 13.7 GHz であり、いずれの温度条件においても 25 Gbps 波形の明瞭なアイ開口が得られることを示した。これらの結果から、提案した光受信器は従来受信器よりも高感度であり、高温環境下でも高速動作可能であることを示すことができた。

以上の研究成果から、Si フォトニクスを用いた高速、高感度、小型、低消費電力の光受信器を実現することができた。加えて、Si フォトニクスを用いた光・電子融合システムのロードマップにおいて、第1ステップの光 I/O コアで 1 Tbps/cm<sup>2</sup> 以上、第2ステップである Si 光インタポーザで 10 Tbps/cm<sup>2</sup> 以上という伝送密度の目標値を達成した。

本論文では主に 1 チャンネル当たり 25 Gbps の光信号伝送について議論したが、今後

世界中で生成されるデータ量は増加し続け、データセンタ向けを中心として光インターコネクション高速化の技術はますます重要になっていくと考えられる。データレートを 50 Gbps や 100 Gbps へとさらに高速化するためには、PAM-4 などの多値伝送の実現が求められる。多値伝送においては、光デバイスの線形応答特性が要求されるとともに、電子回路では線形性に優れた高速リニアアンプが求められ、今後の研究課題である。このような多値化の発展として位相情報の利用も想定され、従来は長距離通信を中心に用いられてきたデジタルコヒーレント通信技術との融合も進むと考えられる。Si フォトニクスは、異種材料を組み合わせたハイブリッド光デバイスなど様々な関連技術を取り込むことができるプラットフォーム技術であり、今後もさらなる発展を続けていくことが期待される。

近年では、Si フォトニクスによる光集積回路チップを作製することができる商用のファウンダリ・サービスが、世界的に展開されている。設計環境においても PDK (Process Design Kit) が整備され、光デバイスと電子回路の両方を扱えるシミュレーション・ツールも充実するなど、CMOS LSI の設計・製造と同様のスキームで光集積回路チップを作製することが可能となってきた。しかし、これらの PDK や設計ツールをただ用いるだけで、高速・高密度の集積回路を簡単に作製できるというものではない。本論文で述べたように、信号配線や電源配線のインピーダンス設計も重要であり、寄生抵抗や寄生容量に留意してレイアウト設計する必要がある。こういった観点において、本研究で得られた小型光トランシーバ設計の知見や光・電子統合シミュレーションの議論が役立つと考えられる。今後は光回路と電子回路との融合が進展して性能向上が進むとともに、このような光集積回路チップをどう作るかだけでなく、どのように使いこなしてコンピューティング・システムの性能向上を実現していくかという視点の重要性が増していくと考えられる。

Si フォトニクスは将来技術として長く研究段階にあったが、今はまさに実用技術として結実しようとしている段階であり、情報社会の発展を支える技術として本研究が貢献していくことを期待したい。

## 参考文献

- [1] “Cisco Global Cloud Index: Forecast and Methodology, 2016-2021,” Cisco White paper, 2018.
- [2] “ISSCC 2016 Trends,” The International Solid-State Circuits Conference, 2016.
- [3] “Ethernet Alliance Technology Roadmap,” Ethernet Alliance, 2014.
- [4] “InfiniBand Roadmap,” Infiniband Trade Association, 2015.
- [5] 麻生英樹, 安田宗樹, 前田新一, 岡野原大輔, 岡谷貴之, 久保陽太郎, “深層学習-Deep Learning”, 近代科学社, 2015.
- [6] Q.V. Le, M. Ranzato, R. Monga, M. Devin, K. Chen, G.S. Corrado, J. Dean, and A.Y. Ng, “Building high-level features using large scale unsupervised learning,” International Conference on Machine Learning, pp.507–514, 2012.
- [7] A. Coates, B. Huval, T. Wang, D. Wu, B. Catanzaro, and N. Andrew, “Deep learning with COTS HPC systems,” International Conference on Machine Learning, pp.1337–1345, 2013.
- [8] J. Dean, G. Corrado, R. Monga, K. Chen, M. Devin, M. Mao, A. Senior, P. Tucker, K. Yang, Q.V. Le, and A.Y. Ng, “Large scale distributed deep networks,” Advances in neural information processing systems, pp.1223–1231, 2012.
- [9] R. Wu, S. Yan, Y. Shan, Q. Dang, and G. Sun, “Deep image: Scaling up image recognition,” arXiv preprint arXiv:1501.02876, vol.7, no.8, 2015.
- [10] “NVIDIA TESLA V100 GPU ARCHITECTURE,” Nvidia White paper, 2017.
- [11] A.M. Caulfield, E.S. Chung, A. Putnam, H. Angepat, J. Fowers, M. Haselman, S. Heil, M. Humphrey, P. Kaur, J.Y. Kim, D. Lo, T. Massengill, K. Ovtcharov, M. Papamichael, L. Woods, S. Lanka, D. Chiou, and D. Burger, “A cloud-scale acceleration architec-

- ture,” IEEE/ACM International Symposium on Microarchitecture (MICRO), 2016.
- [12] 工藤知宏, “通信性能の飛躍的的向上を活用したポストムーア時代の新しいアーキテクチャ,” 「ポストムーアに向けた計算機科学・計算科学の新展開」シンポジウム, 2015.
- [13] K. Keeton, “The machine: An architecture for memory-centric computing,” Workshop on Runtime and Operating Systems for Supercomputers (ROSS), 2015.
- [14] N. Ledentsov and J. Lott, “Novel concepts for high speed VCSELs,” Optical Fiber Communication Conference and the National Fiber Optic Engineers Conference (OFC/NFOEC), OTuK6, 2009.
- [15] M. Muller, W. Hofmann, G. Bohm, J. Roskopf, E. Ronneberg, M. Ortsiefer, and M.C. Amann, “1.55  $\mu\text{m}$  InP-based short-cavity-VCSELs with enhanced modulation-bandwidth of 15 GHz,” European Conference on Optical Communication (ECOC), pp.1–2, 2009.
- [16] W.H. Hofmann, P. Moser, P. Wolf, A. Mutig, M. Kroh, and D. Bimberg, “44 Gb/s VCSEL for optical interconnects,” Optical Fiber Communication Conference and the National Fiber Optic Engineers Conference (OFC/NFOEC), PDPC5, 2011.
- [17] P. De Dobbelaere, S. Abdalla, S. Gloeckner, M. Mack, G. Masini, A. Mekis, T. Pinguet, S. Sahni, A. Narasimha, D. Guckenberger, M. Harrison, and A. Narasimha, “Si photonics based high-speed optical transceivers,” European Conference on Optical Communication (ECOC), We.1.E.5, 2012.
- [18] D. Okamoto, Y. Urino, T. Akagawa, S. Akiyama, T. Baba, T. Usuki, M. Miura, J. Fujikata, T. Shimizu, M. Okano, N. Hatori, M. Ishizaka, T. Yamamoto, H. Takahashi, Y. Noguchi, M. Noguchi, M. Imai, M. Yamagishi, S. Saitou, N. Hirayama, M. Takahashi, E. Saito, D. Shimura, H. Okayama, Y. Onawa, H. Yaegashi, H. Nishi, H. Fukuda, K. Yamada, M. Mori, T. Horikawa, T. Nakamura, and Y. Arakawa, “Demonstration of 25-Gbps optical data links on silicon optical interposer using FPGA transceiver,” European Conference on Optical Communication (ECOC), P.2.11, 2014.
- [19] K. Yashiki, Y. Suzuki, Y. Hagihara, M. Kurihara, M. Tokushima, J. Fujikata, A. Ukita, K. Takemura, T. Shimizu, D. Okamoto, J. Ushida, S. Takahashi, T. Uemura, M. Okano,

- J. Tsuchida, T. Nedachi, M. Fushimi, I. Ogura, J. Inasaka, and K. Kurata, "5 mW/Gbps hybrid-integrated Si-photonics-based optical I/O cores and their 25-Gbps/ch error-free operation with over 300-m MMF," Optical Fiber Communications Conference and Exhibition (OFC), Th1G.1, 2015.
- [20] T. Tsuchizawa, K. Yamada, T. Watanabe, S. Park, H. Nishi, R. Kou, H. Shinojima, and S. Itabashi, "Monolithic integration of silicon-, germanium-, and silica-based optical devices for telecommunications applications," IEEE Journal of Selected Topics in Quantum Electronics, vol.17, no.3, pp.516–525, 2011.
- [21] R. Sun, K. McComber, J. Cheng, D.K. Sparacin, M. Beals, J. Michel, and L.C. Kimerling, "Transparent amorphous silicon channel waveguides with silicon nitride intercladding layer," Applied Physics Letters, vol.94, no.14, p.141108, 2009.
- [22] J. Kang, Y. Atsumi, M. Oda, T. Amemiya, N. Nishiyama, and S. Arai, "Low-loss amorphous silicon multilayer waveguides vertically stacked on silicon-on-insulator substrate," Japanese Journal of Applied Physics, vol.50, no.12R, p.120208, 2011.
- [23] A.W. Fang, H. Park, O. Cohen, R. Jones, M.J. Paniccia, and J.E. Bowers, "Electrically pumped hybrid AlGaInAs-silicon evanescent laser," Optics express, vol.14, no.20, pp.9203–9210, 2006.
- [24] A.W. Fang, R. Jones, H. Park, O. Cohen, O. Raday, M.J. Paniccia, and J.E. Bowers, "Integrated AlGaInAs-silicon evanescent racetrack laser and photodetector," Optics express, vol.15, no.5, pp.2315–2322, 2007.
- [25] Y. Hayashi, R. Osabe, K. Fukuda, Y. Atsumi, J. Kang, N. Nishiyama, and S. Arai, "Low threshold current density operation of a GaInAsP/Si hybrid laser prepared by low-temperature N<sub>2</sub> plasma activated bonding," Japanese Journal of Applied Physics, vol.52, no.6R, p.60202, 2013.
- [26] Y. Hayashi, J. Suzuki, S. Inoue, S.M.T. Hasan, Y. Kuno, K. Itoh, T. Amemiya, N. Nishiyama, and S. Arai, "GaInAsP/silicon-on-insulator hybrid laser with ring-resonator-type reflector fabricated by N<sub>2</sub> plasma-activated bonding," Japanese Journal of Applied Physics, vol.55, no.8, p.82701, 2016.
- [27] K. Tanabe, S. Iwamoto, and Y. Arakawa, "Novel III-V/Si hybrid laser structures with



- current injection across conductive wafer-bonded heterointerfaces: A proposal and analysis,” *IEICE Electronics Express*, vol.8, no.8, pp.596–603, 2011.
- [28] K. Tanabe, K. Watanabe, and Y. Arakawa, “1.3  $\mu\text{m}$  InAs/GaAs quantum dot lasers on Si rib structures with current injection across direct-bonded GaAs/Si heterointerfaces,” *Optics express*, vol.20, no.26, pp.B315–B321, 2012.
- [29] T. Shimizu, N. Hatori, M. Okano, M. Ishizaka, Y. Urino, T. Yamamoto, M. Mori, T. Nakamura, and Y. Arakawa, “High density hybrid integrated light source with a laser diode array on a silicon optical waveguide platform for inter-chip optical interconnection,” *IEEE International Conference on Group IV Photonics (GFP)*, pp.181–183, 2011.
- [30] T. Shindo, T. Okumura, H. Ito, T. Koguchi, D. Takahashi, Y. Atsumi, J. Kang, R. Osabe, T. Amemiya, N. Nishiyama, and S. Arai, “GaInAsP/InP lateral-current-injection distributed feedback laser with a-Si surface grating,” *Optics express*, vol.19, no.3, pp.1884–1891, 2011.
- [31] T. Kita, R. Tang, and H. Yamada, “Compact silicon photonic wavelength-tunable laser diode with ultra-wide wavelength tuning range,” *Applied Physics Letters*, vol.106, no.11, p.111104, 2015.
- [32] K. Mizutani, K. Yashiki, M. Kurihara, Y. Suzuki, Y. Hagihara, N. Hatori, T. Shimizu, Y. Urino, T. Nakamura, and K. Kurata, “Optical I/O Core Transmitter with High Tolerance to Optical Feedback using Quantum Dot Laser,” *European Conference on Optical Communication (ECOC)*, P.4.7, 2015.
- [33] K. Yashiki, K. Mizutani, J. Ushida, Y. Suzuki, M. Kurihara, M. Tokushima, J. Fujikata, Y. Hagihara, and K. Kurata, “25-Gbps error-free operation of chip-scale Si-photonics optical transmitter over 70°C with integrated quantum dot laser,” *Optical Fiber Communications Conference and Exhibition (OFC)*, Th1F.7, 2016.
- [34] A.Y. Liu, C. Zhang, J. Norman, A. Snyder, D. Lubyshev, J.M. Fastenau, A.W.K. Liu, A.C. Gossard, and J.E. Bowers, “High performance continuous wave 1.3  $\mu\text{m}$  quantum dot lasers on silicon,” *Applied Physics Letters*, vol.104, no.4, p.41104, 2014.
- [35] S. Chen, W. Li, J. Wu, Q. Jiang, M. Tang, S. Shutts, S.N. Elliott, A. Sobiesierski, A.J.

- Seeds, I. Ross, P.M. Snowton, and H. Liu, “Electrically pumped continuous-wave III–V quantum dot lasers on silicon,” *Nature Photonics*, vol.10, no.5, p.307, 2016.
- [36] S. Saito, D. Hisamoto, H. Shimizu, H. Hamamura, R. Tsuchiya, Y. Matsui, T. Mine, T. Arai, N. Sugii, K. Torii, S. Kimura, and T. Onai, “Electro-luminescence from ultra-thin silicon,” *Japanese Journal of Applied Physics*, vol.45, no.7L, p.L679, 2006.
- [37] S. Saito, T. Takahama, K. Tani, M. Takahashi, T. Mine, Y. Suwa, and D. Hisamoto, “Stimulated emission of near-infrared radiation in silicon fin light-emitting diode,” *Applied Physics Letters*, vol.98, no.26, p.261104, 2011.
- [38] S. Saito, K. Oda, T. Takahama, K. Tani, and T. Mine, “Germanium fin light-emitting diode,” *Applied Physics Letters*, vol.99, no.24, p.241105, 2011.
- [39] J. Liu, X. Sun, R. Camacho-Aguilera, L.C. Kimerling, and J. Michel, “Ge-on-Si laser operating at room temperature,” *Optics letters*, vol.35, no.5, pp.679–681, 2010.
- [40] S. Nakayama, S. Iwamoto, S. Ishida, D. Bordel, E. Augendre, L. Clavelier, and Y. Arakawa, “Enhancement of photoluminescence from germanium by utilizing air-bridge-type photonic crystal slab,” *Physica E: Low-dimensional Systems and Nanostructures*, vol.42, no.10, pp.2556–2559, 2010.
- [41] J. Fujikata, S. Takahashi, M. Takahashi, M. Noguchi, T. Nakamura, and Y. Arakawa, “High-performance MOS-capacitor-type Si optical modulator and surface-illumination-type Ge photodetector for optical interconnection,” *Japanese Journal of Applied Physics*, vol.55, no.4, p.04EC01, 2016.
- [42] M. Takenaka, J.H. Han, F. Boeuf, J.K. Park, Q. Li, C.P. Ho, D. Lyu, S. Ohno, J. Fujikata, S. Takahashi, and S. Takagi, “III-V/Si Hybrid MOS Optical Phase Shifter for Si Photonic Integrated Circuits,” *Journal of Lightwave Technology*, vol.37, pp.1474–1483, 2019.
- [43] S. Akiyama, T. Baba, M. Imai, T. Akagawa, M. Takahashi, N. Hirayama, H. Takahashi, Y. Noguchi, H. Okayama, T. Horikawa, and T. Usuki, “12.5-Gb/s operation with 0.29-V-cm  $V\pi L$  using silicon Mach-Zehnder modulator based-on forward-biased pin diode,” *Optics Express*, vol.20, no.3, pp.2911–2923, 2012.
- [44] T. Baba, H.C. Nguyen, N. Yazawa, Y. Terada, S. Hashimoto, and T. Watanabe, “Slow-

- light Mach–Zehnder modulators based on Si photonic crystals,” *Science and technology of advanced materials*, vol.15, no.2, p.24602, 2014.
- [45] T. Baba, S. Akiyama, M. Imai, N. Hirayama, H. Takahashi, Y. Noguchi, T. Horikawa, and T. Usuki, “50-Gb/s ring-resonator-based silicon modulator,” *Optics Express*, vol.21, no.10, pp.11869–11876, 2013.
- [46] G. Li, X. Zheng, J. Yao, H. Thacker, I. Shubin, Y. Luo, K. Raj, J.E. Cunningham, and A.V. Krishnamoorthy, “25Gb/s 1V-driving CMOS ring modulator with integrated thermal tuning,” *Optics Express*, vol.19, no.21, pp.20435–20443, 2011.
- [47] C. Haffner, D. Chelladurai, Y. Fedoryshyn, A. Josten, B. Baeuerle, W. Heni, T. Watanabe, T. Cui, B. Cheng, S. Saha, D.L. Elder, L.R. Dalton, A. Boltasseva, V.M. Shalaev, N. Kinsey, and J. Leuthold, “Low-loss plasmon-assisted electro-optic modulator,” *Nature*, vol.556, no.7702, p.483, 2018.
- [48] J. Liu, M. Beals, A. Pomerene, S. Bernardis, R. Sun, J. Cheng, L.C. Kimerling, and J. Michel, “Waveguide-integrated, ultralow-energy GeSi electro-absorption modulators,” *Nature Photonics*, vol.2, no.7, p.433, 2008.
- [49] Y.H. Kuo, Y.K. Lee, Y. Ge, S. Ren, J.E. Roth, T.I. Kamins, D.A.B. Miller, and J.S. Harris Jr, “Quantum-confined Stark effect in Ge/SiGe quantum wells on Si for optical modulators,” *IEEE Journal of Selected Topics in Quantum Electronics*, vol.12, no.6, pp.1503–1513, 2006.
- [50] P. Chaisakul, D. Marris-Morini, M.S. Rouifed, G. Isella, D. Chrastina, J. Frigerio, X. Le Roux, S. Edmond, J.R. Coudeville, and L. Vivien, “23 GHz Ge/SiGe multiple quantum well electro-absorption modulator,” *Optics Express*, vol.20, no.3, pp.3219–3224, 2012.
- [51] S. Yokoyama, G.W. Lu, H. Miura, F. Qiu, and A.M. Spring, “High Temperature Resistant 112 Gbit/s PAM4 Modulator Based on Electro-Optic Polymer Modulator,” *European Conference on Optical Communication (ECOC)*, Mo4C, 2018.
- [52] C. Alessandri, I. Asselberghs, Y. Ban, S. Brems, C. Huyghebaert, J. Van Campenhout, D. Van Thourhout, and M. Pantouvaki, “Broadband 20 Gbit/s Graphene-Si Electro-Absorption Modulator,” *European Conference on Optical Communication (ECOC)*,

- We4C, 2018.
- [53] J. Michel, J. Liu, and L.C. Kimerling, “High-performance Ge-on-Si photodetectors,” *Nature Photonics*, vol.4, no.8, p.527, 2010.
- [54] J. Fujikata, M. Miura, M. Noguchi, and D. Okamoto, “Si Waveguide-Integrated Metal-Semiconductor-Metal and p-i-n-Type Ge Photodiodes Using Si-Capping layer,” *Japanese Journal of Applied Physics*, vol.52, p.04CG10, 2013.
- [55] L. Vivien, A. Polzer, D. Marris-Morini, J. Osmond, J.M. Hartmann, P. Crozat, E. Cassan, C. Kopp, H. Zimmermann, and J.M. Fédéli, “Zero-bias 40Gbit/s germanium waveguide photodetector on silicon,” *Optics Express*, vol.20, no.2, pp.1096–1101, 2012.
- [56] L. Tang, S.E. Kocabas, S. Latif, A.K. Okyay, D.S. Ly-Gagnon, K.C. Saraswat, and D.A.B. Miller, “Nanometre-scale germanium photodetector enhanced by a near-infrared dipole antenna,” *Nature Photonics*, vol.2, no.4, p.226, 2008.
- [57] P. Ma, Y. Salamin, B. Baeuerle, A. Emboras, Y. Fedoryshyn, W. Heni, B. Cheng, A. Josten, and J. Leuthold, “100 GHz Photoconductive Plasmonic Germanium Detector,” *Conference on Lasers and Electro-Optics (CLEO), SM2I.3*, 2018.
- [58] J. Fujikata, K. Nose, J. Ushida, K. Nishi, M. Kinoshita, T. Shimizu, T. Ueno, D. Okamoto, A. Gomyo, M. Mizuno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi, “Waveguide-integrated Si nano-photodiode with surface-plasmon antenna and its application to on-chip optical clock distribution,” *Applied Physics Express*, vol.1, no.2, p.022001, 2008.
- [59] P. Ma, Y. Salamin, B. Baeuerle, A. Josten, W. Heni, Y. Fedoryshyn, A. Emboras, and J. Leuthold, “100 GBd Ultra-Compact Plasmonic Graphene Photodetector,” *European Conference on Optical Communication (ECOC), Th3F.4*, 2018.
- [60] Y. Miyasaka, T. Hiraki, K. Okazaki, K. Takeda, T. Tsuchizawa, K. Yamada, K. Wada, and Y. Ishikawa, “Ge/graded-SiGe multiplication layers for low-voltage and low-noise Ge avalanche photodiodes on Si,” *Japanese Journal of Applied Physics*, vol.55, no.4S, p.04EH10, 2016.
- [61] W.S. Zaoui, H.W. Chen, J.E. Bowers, Y. Kang, M. Morse, M.J. Paniccia, A. Pauchard,

- and J.C. Campbell, "Frequency response and bandwidth enhancement in Ge/Si avalanche photodiodes with over 840GHz gain-bandwidth-product," *Optics express*, vol.17, no.15, pp.12641–12649, 2009.
- [62] S. Assefa, F. Xia, and Y.A. Vlasov, "Reinventing germanium avalanche photodetector for nanophotonic on-chip optical interconnects," *Nature*, vol.464, no.7285, p.80, 2010.
- [63] K. Kurata, K. Yashiki, Y. Ibusuki, J. Fujikata, M. Kurihara, Y. Hagihara, I. Ogura, and T. Nakamura, "Chip-scale Si-photonics optical transceiver for a photonics-electronics convergence system," *SPIE OPTO*, p.1013107, International Society for Optics and Photonics, 2017.
- [64] D. Okamoto, Y. Suzuki, K. Yashiki, Y. Hagihara, M. Tokushima, J. Fujikata, M. Kurihara, J. Tsuchida, T. Nedachi, J. Inasaka, and K. Kurata, "A 25-Gb/s  $5 \times 5 \text{ mm}^2$  Chip-Scale Silicon-Photonic Receiver Integrated with 28-nm CMOS Transimpedance Amplifier," *Journal of Lightwave Technology*, vol.34, no.12, pp.2988–2995, 2016.
- [65] E. Säckinger, *Broadband circuits for optical fiber communication*, John Wiley & Sons, 2005.
- [66] J. Proesel, C. Schow, and A. Rylyakov, "25Gb/s 3.6 pJ/b and 15Gb/s 1.37 pJ/b VCSEL-Based Optical Links in 90nm CMOS," *IEEE International Solid State Circuits Conference (ISSCC) Digest of Technical Papers*, pp.418–420, 2012.
- [67] Y. Urino, T. Nakamura, and Y. Arakawa, "Silicon optical interposers for high-density optical interconnects," in *Silicon Photonics III*, pp.1–39, Springer, 2016.
- [68] Y. Urino, S. Akiyama, T. Akagawa, T. Baba, T. Usuki, D. Okamoto, M. Miura, J. Fujikata, T. Shimizu, M. Okano, N. Hatori, M. Ishizaka, T. Yamamoto, H. Takahashi, Y. Noguchi, M. Noguchi, M. Imai, M. Yamagishi, S. Saitou, N. Hirayama, M. Takahashi, E. Saito, D. Shimura, H. Okayama, Y. Onawa, H. Yaegashi, H. Nishi, H. Fukuda, K. Yamada, M. Mori, T. Horikawa, T. Nakamura, and Y. Arakawa, "Demonstration of 30-Tbps/cm<sup>2</sup> bandwidth density by silicon optical interposers fully integrated with optical components," *European Conference on Optical Communication (ECOC)*, Mo.4.B.2, 2013.
- [69] C.W. Holzwarth, J.S. Orcutt, H. Li, M.A. Popovic, V. Stojanovic, J.L. Hoyt, R.J. Ram,

- and H.I. Smith, "Localized substrate removal technique enabling strong-confinement microphotonics in bulk Si CMOS processes," Conference on Lasers and Electro-Optics (CLEO), CThKK5, 2008.
- [70] 石川靖彦, "シリコンフォトニクス用ゲルマニウムアクティブ光デバイス," 月刊 Optronics, vol.35, no.9, pp.92–98, 2016.
- [71] S.M. Sze and K.K. Ng, Physics of semiconductor devices, John Wiley & sons, 2006.
- [72] V. Houtsma and D.V. Veen, "Measurement Results of 25G NRZ and EDB in C and O-band," IEEE P802.3ca 50G-EPON Task Force, pp.1–7, 2016.
- [73] 芝和宏, "任意多層構造受光素子に適用可能な転送行列設計手法とそれを用いた高速受光素子の開発・実用化に関する研究", Ph.D. thesis, 立命館大学, 2011.
- [74] K. Kato, "Ultrawide-band/high-frequency photodetectors," IEEE Transactions on Microwave Theory and Techniques, vol.47, no.7, pp.1265–1281, 1999.
- [75] D. Okamoto, J. Fujikata, and K. Ohashi, "InGaAs Nano-Photodiode Enhanced Using Polarization-Insensitive Surface-Plasmon Antennas," Japanese Journal of Applied Physics, vol.50, p.120201, 2011.
- [76] D. Okamoto, J. Fujikata, K. Nishi, and K. Ohashi, "Numerical study of near-infrared photodetectors with surface-plasmon antenna for optical communication," Japanese Journal of Applied Physics, vol.47, no.4, pp.2921–2923, 2008.
- [77] B. Razavi, Design of integrated circuits for optical communications, John Wiley & Sons, 2012.
- [78] G.S. Jeong, W. Bae, and D.K. Jeong, "Review of CMOS integrated circuit technologies for High-Speed photo-detection," Sensors, vol.17, no.9, p.1962, 2017.
- [79] J. Proesel, A. Rylyakov, and C. Schow, "Optical receivers using DFE-IIR equalization," IEEE International Solid State Circuits Conference (ISSCC) Digest of Technical Papers, vol.56, pp.130–131, 2013.
- [80] P.W. Lim, A.Y.C. Tzeng, H.L. Chuang, and S.A.S. Onge, "A 3.3-V monolithic photodetector/CMOS-preamplifier for 531 Mb/s optical data link applications," IEEE International Solid State Circuits Conference (ISSCC) Digest of Technical Papers, p.96, 1993.

- [81] T.K. Woodward, A.V. Krishnamoorthy, R.G. Rozier, and A.L. Lentine, “Low-power, small-footprint gigabit Ethernet-compatible optical receiver circuit in 0.25  $\mu\text{m}$  CMOS,” *Electronics Letters*, vol.36, no.17, pp.1489–1491, 2000.
- [82] B. Analui and A. Hajimiri, “Bandwidth enhancement for transimpedance amplifiers,” *IEEE Journal of Solid-State Circuits*, vol.39, no.8, pp.1263–1270, 2004.
- [83] T.K. Woodward and A.V. Krishnamoorthy, “1 Gbit/s CMOS photoreceiver with integrated detector operating at 850 nm,” *Electronics Letters*, vol.34, no.12, pp.1252–1253, 1998.
- [84] F.Y. Liu, D. Patil, J. Lexau, P. Amberg, M. Dayringer, J. Gainsley, H.F. Moghadam, X. Zheng, J.E. Cunningham, A.V. Krishnamoorthy, E. Alon, and R. Ho, “10-Gbps, 5.3-mW optical transmitter and receiver circuits in 40-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol.47, no.9, pp.2049–2067, 2012.
- [85] M. Rakowski, M. Pantouvaki, P. De Heyn, P. Verheyen, M. Ingels, H. Chen, J. De Coster, G. Lepage, B. Snyder, K. De Meyer, M. Steyaert, N. Pavarelli, J.S. Lee, P. O’Brien, P. Absil, and J. Van Campenhout, “A 4  $\times$  20Gb/s WDM ring-based hybrid CMOS silicon photonics transceiver,” *IEEE International Solid State Circuits Conference (ISSCC) Digest of Technical Papers*, pp.408–410, 2015.
- [86] C. Sun, M. Georgas, J. Orcutt, B. Moss, Y.H. Chen, J. Shainline, M. Wade, K. Mehta, K. Nammari, E. Timurdogan, D. Miller, O. Tehar-Zahav, Z. Sternberg, J. Leu, J. Chong, R. Bafrafi, G. Sandhu, M. Watts, R. Meade, M.A. Popovic, R. Ram, and V. Stojanovic, “A monolithically-integrated chip-to-chip optical link in bulk CMOS,” *IEEE Journal of Solid-State Circuits*, vol.50, no.4, pp.828–844, 2015.
- [87] I. Ozkaya, A. Cevrero, P.A. Francese, C. Menolfi, T. Morf, M. Brändli, D.M. Kuchta, L. Kull, C.W. Baks, J.E. Proesel, M. Kossel, D. Luu, B.G. Lee, F.E. Doany, M. Meghelli, Y. Leblebici, and T. Toifl, “A 64-Gb/s 1.4-pJ/b NRZ optical receiver datapath in 14-nm CMOS FinFET,” *IEEE Journal of Solid-State Circuits*, vol.52, no.12, pp.3458–3473, 2017.
- [88] H. Morita, K. Uchino, E. Otani, H. Ohtorii, T. Ogura, K. Oniki, S. Oka, S. Yanagawa, and H. Suzuki, “A 12 $\times$  5 two-dimensional optical I/O array for 600Gb/s chip-to-

- chip interconnect in 65nm CMOS,” IEEE International Solid State Circuits Conference (ISSCC) Digest of Technical Papers, pp.140–141, 2014.
- [89] J. Kim and J.F. Buckwalter, “A 40-Gb/s optical transceiver front-end in 45 nm SOI CMOS,” IEEE Journal of Solid-State Circuits, vol.47, no.3, pp.615–626, 2012.
- [90] C. Li, R. Bai, A. Shafik, E.Z. Tabasy, B. Wang, G. Tang, C. Ma, C.H. Chen, Z. Peng, M. Fiorentino, R.G. Beausoleil, P. Chiang, and S. Palermo, “Silicon photonic transceiver circuits with microring resonator bias-based wavelength stabilization in 65 nm CMOS,” IEEE Journal of Solid-State Circuits, vol.49, no.6, pp.1419–1436, 2014.
- [91] D. Li, G. Minoia, M. Repposi, D. Baldi, E. Temporiti, A. Mazzanti, and F. Svelto, “A Low-Noise Design Technique for High-Speed CMOS Optical Receivers.,” IEEE Journal of Solid-State Circuits, vol.49, no.6, pp.1437–1447, 2014.
- [92] S.H. Chu, W. Bae, G.S. Jeong, S. Jang, S. Kim, J. Joo, G. Kim, and D.K. Jeong, “A 22 to 26.5 Gb/s optical receiver with all-digital clock and data recovery in a 65 nm CMOS process,” IEEE Journal of Solid-State Circuits, vol.50, no.11, pp.2603–2612, 2015.
- [93] C. Sun, M. Wade, M. Georgas, S. Lin, L. Alloatti, B. Moss, R. Kumar, A.H. Atabaki, F. Pavanello, J.M. Shainline, J.S. Orcutt, R.J. Ram, M. Popovic, and V. Stojanovic, “A 45 nm CMOS-SOI monolithic photonics platform with bit-statistics-based resonant microring thermal tuning,” IEEE Journal of Solid-State Circuits, vol.51, no.4, pp.893–907, 2016.
- [94] K. Yu, C.h. Chen, C. Li, H. Li, A. Titriku, B. Wang, A. Shafik, M. Fiorentino, P.Y. Chiang, and S. Palermo, “25Gb/s Hybrid-Integrated Silicon Photonic Receiver with Microring Wavelength Stabilization,” Optical Fiber Communications Conference and Exhibition (OFC), W3A.6, 2015.
- [95] 岡本大典, 藤方潤一, 荒川泰彦, “光電子集積回路に向けた Ge 受光器用 TIA 回路の検討 III,” 電子情報通信学会総合大会講演論文集, p.186, 2012.
- [96] 岡本大典, 藤方潤一, 荒川泰彦, “光電子集積回路に向けた Ge 受光器用 TIA 回路の検討,” 電子情報通信学会総合大会講演論文集, p.238, 2011.
- [97] 岡本大典, 藤方潤一, 荒川泰彦, “光電子集積回路に向けた Ge 受光器用 TIA 回路の



- 検討 II,” 電子情報通信学会ソサイエティ大会講演論文集, p.156, 2011.
- [98] J. Fujikata, Y. Urino, S. Akiyama, T. Shimizu, N. Hatori, M. Okano, M. Ishizaka, T. Yamamoto, T. Baba, T. Akagawa, T. Usuki, D. Okamoto, M. Miura, M. Noguchi, D. Shimura, H. Okayama, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, E. Saito, K. Wada, T. Nakamura, and Y. Arakawa, “Differential signal transmission in silicon-photonics integrated circuit for high density optical interconnects,” IEEE International Conference on Group IV Photonics (GFP), pp.365–367, 2011.
- [99] M. Miura, J. Fujikata, M. Noguchi, D. Okamoto, T. Horikawa, and Y. Arakawa, “Differential receivers with highly-uniform MSM Germanium photodetectors capped by SiGe layer,” Optics Express, vol.21, no.20, pp.23295–23306, 2013.
- [100] T. Usuki, “Robust optical data transfer on silicon photonic chip,” Journal of Lightwave Technology, vol.30, no.18, pp.2933–2940, 2012.
- [101] “Using On-Board Optics for Networking Technology Innovation,” The Consortium for On-Board Optics white paper, 2018.
- [102] D. Kucharski, D. Guckenberger, G. Masini, S. Abdalla, J. Witzens, and S. Sahni, “10Gb/s 15mW optical receiver with integrated Germanium photodetector and hybrid inductor peaking in 0.13  $\mu\text{m}$  SOI CMOS technology,” IEEE International Solid State Circuits Conference (ISSCC) Digest of Technical Papers, pp.360–361, 2010.
- [103] T. Pinguet, P.M. De Dobbelaere, D. Foltz, S. Gloeckner, S. Hovey, Y. Liang, M. Mack, G. Masini, A. Mekis, M. Peterson, T. Pinguet, S. Sahni, J. Schramm, M. Sharp, L. Verslegers, B.P. Welch, K. Yokoyama, and S. Yu, “25 Gb/s silicon photonic transceivers,” IEEE International Conference on Group IV Photonics (GFP), pp.189–191, 2012.
- [104] S. Assefa, H. Pan, S. Shank, W.M.J. Green, A. Rylyakov, C. Schow, M. Khater, S. Kamlapurkar, E. Kiewra, C. Reinholm, T. Topuria, P. Rice, C. Baks, and Y. Vlasov, “Monolithically Integrated Silicon Nanophotonics Receiver in 90nm CMOS Technology Node,” Optical Fiber Communication Conference and the National Fiber Optic Engineers Conference (OFC/NFOEC), OM2H.4, 2013.
- [105] J.F. Buckwalter, X. Zheng, G. Li, K. Raj, and A.V. Krishnamoorthy, “A monolithic 25-Gb/s transceiver with photonic ring modulators and ge detectors in a 130-nm CMOS

- 
- SOI process,” *IEEE Journal of Solid-State Circuits*, vol.47, no.6, pp.1309–1322, 2012.
- [106] X. Chen, S.R. Bickham, H.F. Liu, O.I. Dosunmu, J.E. Hurley, and M.J. Li, “25 Gb/s transmission over 820 m of MMF using a multimode launch from an integrated silicon photonics transceiver,” *Optics Express*, vol.22, no.2, p.2070, 2014.
- [107] Y. Urino, N. Hatori, K. Mizutani, T. Usuki, J. Fujikata, K. Yamada, T. Horikawa, T. Nakamura, and Y. Arakawa, “First demonstration of athermal silicon optical interposers with quantum dot lasers operating up to 125 °C,” *Journal of Lightwave Technology*, vol.33, no.6, pp.1223–1229, 2015.
- [108] E. Temporiti, G. Minoia, M. Repossi, D. Baldi, A. Ghilioni, and F. Svelto, “A 3D-Integrated 25Gbps Silicon Photonics Receiver in PIC25G and 65nm CMOS technologies,” *European Solid State Circuits Conference (ESSCIRC)*, pp.131–134, 2014.
- [109] K. Yu, H. Li, C. Li, A. Titriku, A. Shafik, B. Wang, Z. Wang, R. Bai, C.H. Chen, M. Fiorentino, P.Y. Chiang, and S. Palermo, “A 24 Gb/s 0.71 pJ/b Si-photonics source-synchronous receiver with adaptive equalization and microring wavelength stabilization,” *IEEE International Solid State Circuits Conference (ISSCC) Digest of Technical Papers*, pp.406–407, 2015.
- [110] F. Boeuf, S. Cremer, E. Temporiti, M. Shaw, N. Vulliet, D. Ristoiu, A. Farcy, T. Pinguet, A. Mekis, G. Masini, P. Sun, Y. Chi, H. Petiton, S. Jan, J.R. Manouvrier, C. Baudot, P.L. Maitre, J.F. Carpentier, L. Salager, M. Traldi, L. Maggi, D. Rigamonti, C. Zaccherini, C. Elemi, B. Sautreuil, and L. Verga, “Recent progress in silicon photonics R&D and manufacturing on 300mm wafer platform,” *Optical Fiber Communications Conference and Exhibition (OFC)*, W3A-1, 2015.
- [111] T. Horikawa, D. Shimura, H. Okayama, S.H. Jeong, H. Takahashi, J. Ushida, Y. Sobu, A. Shiina, M. Tokushima, K. Kinoshita, and T. Mogami, “A 300-mm Silicon Photonics Platform for Large-Scale Device Integration,” *IEEE Journal of Selected Topics in Quantum Electronics*, vol.24, no.4, pp.1–15, 2018.
- [112] J. Joo, K.S. Jang, S.H. Kim, I.G. Kim, J.H. Oh, S.A. Kim, G.S. Jeong, Y. Kim, J.E. Park, S. Kim, H. Chi, D.K. Jeong, and G. Kim, “Silicon photonic receiver and transmitter operating up to 36 Gb/s for  $\lambda \sim 1550$  nm,” *Optics Express*, vol.23, no.9, p.12232,

- 2015.
- [113] “Bend, bandwidth or both: making the right choice for enterprise network,” Corning white paper, 2010.
- [114] T. Uemura, A. Ukita, K. Takemura, M. Kurihara, D. Okamoto, J. Ushida, K. Yashiki, and K. Kurata, “125- $\mu\text{m}$ -pitch  $\times$  12-channel ‘optical pin’ array as I/O structure for novel miniaturized optical transceiver chips,” IEEE Electronic Components and Technology Conference (ECTC), pp.1305–1309, 2015.
- [115] D. Okamoto, Y. Suzuki, Y. Hagihara, M. Kurihara, T. Nakamura, and K. Kurata, “25 Gbps  $\times$  four-channel chip-scale optical receiver operating at up to 85 °C with a temperature-compensation function,” Japanese Journal of Applied Physics, vol.58, p.SBBE04, 2019.
- [116] J. Fujikata, K. Kinoshita, S. Takahashi, T. Horikawa, M. Noguchi, K. Takemura, D. Okamoto, Y. Suzuki, M. Kurihara, Y. Hagihara, T. Nakamura, K. Kurata, and T. Mogami, “High-Performance Surface Illumination-type Ge Photodetector for Optical Inter-connection on 300mm-diameter of SOI substrate,” Extended Abstracts Solid State Devices and Materials (SSDM), pp.145–146, 2017.
- [117] C. Li and S. Palermo, “A low-power 26-GHz transformer-based regulated cascode SiGe BiCMOS transimpedance amplifier,” IEEE Journal of Solid-State Circuits, vol.48, no.5, pp.1264–1275, 2013.
- [118] Y. Wu, S. Gamble, B. Armstrong, V. Fusco, and J. Stewart, “SiO<sub>2</sub> interface layer effects on microwave loss of high-resistivity CPW line,” IEEE Microwave and Guided Wave Letters, vol.9, no.1, pp.10–12, 1999.
- [119] D. Lederer and J.P. Raskin, “Substrate loss mechanisms for microstrip and CPW transmission lines on lossy silicon wafers,” Solid-State Electronics, vol.47, no.11, pp.1927–1936, 2003.
- [120] F. Aznar, S.C. Pueyo, and B.C. Lopez, CMOS receiver front-ends for gigabit short-range optical communications, Springer Science & Business Media, 2012.
- [121] D. Okamoto, Y. Suzuki, K. Yashiki, Y. Hagihara, M. Tokushima, J. Fujikata, M. Kurihara, J. Tsuchida, T. Nedachi, J. Inasaka, and K. Kurata, “A Chip-Scale 25-Gbps Opti-

- 
- cal Receiver Integrated with 28-nm CMOS Transimpedance Amplifier,” International Symposium on Photonics and Electronics Convergence (ISPEC), P-9, 2015.
- [122] D. Okamoto, Y. Suzuki, K. Yashiki, Y. Hagihara, M. Tokushima, J. Fujikata, M. Kurihara, J. Tsuchida, T. Nedachi, J. Inasaka, and K. Kurata, “25 Gb/s Silicon-Photonic Receiver Operating over 85°C with Temperature-Compensated CMOS Transimpedance Amplifier,” International Symposium on Photonics and Electronics Convergence (ISPEC), P-16, 2017.
- [123] D. Okamoto, Y. Suzuki, Y. Hagihara, M. Kurihara, T. Nakamura, and K. Kurata, “A 25-Gb/s  $\times$  Four-Channel Chip-Scale Optical Receiver Operating up to 85 °C with a Temperature-Compensation Function,” Extended Abstracts Solid State Devices and Materials (SSDM), pp.497–498, 2018.
- [124] T. Mogami, T. Horikawa, K. Kinoshita, Y. Hagihara, J. Ushida, M. Tokushima, J. Fujikata, S. Takahashi, T. Shimizu, A. Ukita, K. Takemura, M. Kurihara, K. Yashiki, D. Okamoto, Y. Suzuki, Y. Sobu, S.H. Jeong, Y. Tanaka, T. Nakamura, and K. Kurata, “1.2 Tbps/cm<sup>2</sup> Enabling Silicon Photonics IC Technology Based on 40nm Generation Platform,” Journal of Lightwave Technology, vol.36, no.20, pp.4701–4712, 2018.
- [125] T. Takemoto, H. Yamashita, T. Yazaki, N. Chujo, Y. Lee, and Y. Matsuoka, “A 4  $\times$  25-to-28Gb/s 4.9mW/Gb/s -9.7dBm high-sensitivity optical receiver based on 65nm CMOS for board-to-board interconnects,” IEEE International Solid State Circuits Conference (ISSCC) Digest of Technical Papers, vol.56, pp.118–119, 2013.
- [126] D. Li, G. Minoia, M. Repossi, D. Baldi, E. Temporiti, A. Mazzanti, and F. Svelto, “A low-noise design technique for high-speed CMOS optical receivers,” IEEE Journal of Solid-State Circuits, vol.49, no.6, pp.1437–1447, 2014.
- [127] S.H. Huang and W.Z. Chen, “A 25-Gb/s, -10.8-dBm input sensitivity, PD-bandwidth tolerant CMOS optical receiver,” IEEE Symposium on VLSI Circuits, pp.C120–C121, 2015.
- [128] I.A. Young, E.M. Mohammed, J.T.S. Liao, A.M. Kern, S. Palermo, B.A. Block, M.R. Reshotko, and P.L.D. Chang, “Optical technology for energy efficient I/O in high performance computing,” IEEE Communications Magazine, vol.48, no.10, pp.184–191,

- 2010.
- [129] “Overall Roadmap Technology Characteristics (ORTC) Tables, and Assembly and Packaging Tables,” International Technology Roadmap for Semiconductors (ITRS) 2012 Update.
- [130] Y. Urino, Y. Noguchi, M. Noguchi, M. Imai, M. Yamagishi, H. Saitou, N. Hirayama, M. Takahashi, H. Takahashi, E. Saito, M. Okano, T. Shimizu, N. Hatori, M. Ishizaka, T. Yamamoto, T. Baba, T. Akagawa, S. Akiyama, T. Usuki, D. Okamoto, M. Miura, J. Fujikata, D. Shimura, H. Okayama, H. Yaegashi, T. Tsuchizawa, K. Yamada, M. Mori, T. Horikawa, T. Nakamura, and Y. Arakawa, “Demonstration of 12.5-Gbps optical interconnects integrated with lasers, optical splitters, optical modulators and photodetectors on a single silicon substrate,” *Optics Express*, vol.20, no.26, pp.B256–B263, 2012.
- [131] D. Okamoto, T. Akagawa, T. Usuki, J. Fujikata, S. Akiyama, Y. Urino, and T. Nakamura, “Bit error rate analysis of a silicon optical interposer using its equivalent circuit,” *IEICE Electronics Express*, vol.12, no.1, p.20141084, 2015.
- [132] T. Shimizu, N. Hatori, M. Okano, M. Ishizaka, Y. Urino, T. Yamamoto, M. Mori, T. Nakamura, and Y. Arakawa, “Multichannel and high-density hybrid integrated light source with a laser diode array on a silicon optical waveguide platform for interchip optical interconnection,” *Photonics Research*, vol.2, no.3, pp.A19–A24, 2014.
- [133] N. Hatori, T. Shimizu, M. Okano, M. Ishizaka, T. Yamamoto, Y. Urino, M. Mori, T. Nakamura, and Y. Arakawa, “A hybrid integrated light source on a silicon platform using a trident spot-size converter,” *Journal of Lightwave Technology*, vol.32, no.7, pp.1329–1336, 2014.
- [134] T. Akagawa, S. Akiyama, T. Baba, M. Imai, and T. Usuki, “Electrical and Optical Characteristic Modeling of Silicon Modulator,” *Extended Abstracts Solid State Devices and Materials (SSDM)*, pp.520–521, 2012.
- [135] R. Soref and B. Bennett, “Electrooptical effects in silicon,” *IEEE Journal of Quantum Electronics*, vol.23, no.1, pp.123–129, 1987.
- [136] S. Tanaka, T. Simoyama, T. Aoki, T. Mori, S. Sekiguchi, S.H. Jeong, T. Usuki,

- 
- Y. Tanaka, and K. Morito, "Ultralow-Power (1.59 mW/Gbps), 56-Gbps PAM4 Operation of Si Photonic Transmitter Integrating Segmented PIN Mach-Zehnder Modulator and 28-nm CMOS Driver," *Journal of Lightwave Technology*, vol.36, no.5, pp.1275–1280, 2018.
- [137] S. Tanaka, T. Usuki, M. Ieee, and Y. Tanaka, "Accurate SPICE Model of Forward-biased Silicon PIN Mach-Zehnder Modulator for an Energy-Efficient Multilevel Transmitter," *Journal of Lightwave Technology*, vol.36, no.10, pp.1959–1969, 2018.
- [138] W.M. Green, M.J. Rooks, L. Sekaric, and Y.A. Vlasov, "Ultra-compact, low RF power, 10 Gb/s silicon Mach-Zehnder modulator," *Optics Express*, vol.15, no.25, p.17106, 2007.
- [139] Q. Xu, S. Manipatruni, B. Schmidt, J. Shakya, and M. Lipson, "12.5 Gbit/s carrier-injection-based silicon micro-ring silicon modulators," *Optics Express*, vol.15, no.2, pp.430–436, 2007.
- [140] A. Putnam, A.M. Caulfield, E.S. Chung, D. Chiou, K. Constantinides, J. Demme, H. Esmaeilzadeh, J. Fowers, G.P. Gopal, J. Gray, M. Haselman, S. Hauck, S. Heil, A. Hormati, J.Y. Kim, S. Lanka, J. Larus, E. Peterson, S. Pope, A. Smith, J. Thong, P.Y. Xiao, and D. Burger, "A Reconfigurable Fabric for Accelerating Large-Scale Datacenter Services," *IEEE Micro*, vol.35, no.3, pp.10–22, 2015.
- [141] A.D. George, M.C. Herbordt, H. Lam, A.G. Lawande, J. Sheng, and C. Yang, "Novo-G#: Large-scale reconfigurable computing with direct and programmable interconnects," *IEEE High Performance Extreme Computing Conference (HPEC)*, pp.1–7, 2016.
- [142] J. Cong, "Machine Learning on FPGAs," *The First Workshop on Hardware and Algorithms for Learning On-a-Chip (HALO)*, 2015.
- [143] K. Sano, R. Chiba, T. Ueno, H. Suzuki, R. Ito, and S. Yamamoto, "FPGA-based Custom Computing Architecture for Large-Scale Fluid Simulation with Building Cube Method," *ACM SIGARCH Computer Architecture News*, vol.42, no.4, pp.45–50, 2014.
- [144] R. Sanchez Correa and J.P. David, "Ultra-low latency communication channels for

- FPGA-based HPC cluster,” *Integration*, vol.63, pp.41–55, 2018.
- [145] T. Geng, T. Wang, A. Sanallah, C. Yang, R. Xu, R. Patel, and M. Herbordt, “FPDeep: Acceleration and Load Balancing of CNN Training on FPGA Clusters,” *IEEE International Symposium on Field-Programmable Custom Computing Machines (FCCM)*, pp.81–84, 2018.
- [146] “Overcome Copper Limits with Limits of Copper Interconnect,” *Altera Corporation White Paper*, 2011.
- [147] Y. Ro, E. Lee, and J.H. Ahn, “Evaluating the Impact of Optical Interconnects on a Multi-Chip Machine-Learning Architecture,” *Electronics*, vol.7, no.8, p.130, 2018.
- [148] “Intel Stratix 10 L- and H-Tile Transceiver PHY User Guide,” *Intel Corporation User Guide*, 2019.
- [149] T. Shimizu, N. Hatori, M. Okano, M. Ishizaka, Y. Urino, T. Yamamoto, M. Mori, T. Nakamura, and Y. Arakawa, “High density hybridly integrated light source with a laser diode array on a silicon optical waveguide platform,” *Integrated Photonics Research, Silicon and Nanophotonics, ITu4B.5*, 2012.
- [150] N. Hirayama, H. Takahashi, Y. Noguchi, M. Yamagishi, and T. Horikawa, “Low-loss Si waveguides with variable-shaped-beam EB lithography for large-scaled photonic circuits,” *Extended Abstracts Solid State Devices and Materials (SSDM)*, pp.530–531, 2012.
- [151] K. Komori, T. Watanabe, S. Hashimoto, H. Inoue, and H. Fujiwara, “Low transmission loss and low CTE materials for multi-layer printed circuit boards,” *Proceedings of the 18th JIEP annual meeting*, pp.93–94, 2004.
- [152] F. Tavernier and M. Steyaert, “A 5.5 Gbit/s optical receiver in 130 nm CMOS with speed-enhanced integrated photodiode,” *European Solid State Circuits Conference (ESSCIRC)*, pp.542–545, 2010.
- [153] D. Okamoto, J. Fujikata, and T. Usuki, “Optical receiver circuit. U.S. Patent No 9,621,279,” 2017.
- [154] D. Okamoto and H. Yamada, “High-Sensitivity Optical Receiver Using Differential Photodiodes AC-Coupled with a Transimpedance Amplifier,” *IEICE Transactions on*

- 
- Electronics, vol.E102.C, no.4, pp.380–387, 2019.
- [155] W. Zhao and Y. Cao, “New generation of predictive technology model for sub-45nm design exploration,” IEEE International Symposium on Quality Electronic Design, pp.585–590, 2006.
- [156] B. Van Zeghbroeck, “Principles of semiconductor devices,” Colorado University, 2004.
- [157] C. Jacoboni, F. Nava, C. Canali, and G. Ottaviani, “Electron drift velocity and diffusivity in germanium,” Physical Review B, vol.24, no.2, pp.1014–1026, 1981.
- [158] H. Oyama and K. Hayama, Semiconductor devices, Morikita publishing, 2004.
- [159] A. Matsuzawa, “Analog and RF circuits design and future devices interaction,” IEEE International Electron Devices Meeting (IEDM), pp.331–334, 2012.
- [160] A. Matsuzawa, “Automated design strategy for high performance mixed signal circuits,” IEEE International Conference on ASIC (ASICON), pp.1–4, 2015.
- [161] H. Pan, S. Assefa, W.M.J. Green, D.M. Kuchta, C.L. Schow, A.V. Rylyakov, B.G. Lee, C.W. Baks, S.M. Shank, and Y.a. Vlasov, “High-speed receiver based on waveguide germanium photodetector wire-bonded to 90nm SOI CMOS amplifier,” Optics Express, vol.20, no.16, p.18145, 2012.
- [162] D.M. Kuchta, A.V. Rylyakov, F.E. Doany, C.L. Schow, J.E. Proesel, C.W. Baks, P. Westbergh, J.S. Gustavsson, and A. Larsson, “A 71-Gb/s NRZ modulated 850-nm VCSEL-based optical link,” IEEE Photonics Technology Letters, vol.27, no.6, pp.577–580, 2015.
- [163] S. Liao, N.N. Feng, D. Feng, P. Dong, R. Shafiiha, C.C. Kung, H. Liang, W. Qian, Y. Liu, J. Fong, J.E. Cunningham, Y. Luo, and M. Asghari, “36 GHz submicron silicon waveguide germanium photodetector,” Optics Express, vol.19, no.11, p.10967, 2011.
- [164] G. Kim, J.W. Park, I.G. Kim, S. Kim, S. Kim, J.M. Lee, G.S. Park, J. Joo, K.S. Jang, J.H. Oh, S.A. Kim, J.H. Kim, J.Y. Lee, J.M. Park, D.W. Kim, D.K. Jeong, M.S. Hwang, J.K. Kim, K.S. Park, H.K. Chi, H.C. Kim, D.W. Kim, and M.H. Cho, “Low-voltage high-performance silicon photonic devices and photonic integrated circuits operating up to 30 Gb/s,” Optics Express, vol.19, no.27, p.26936, 2011.





# 研究業績

## 1. 原著論文

- [1] D. Okamoto, Y. Suzuki, Y. Hagihara, M. Kurihara, T. Nakamura, and K. Kurata, “25-Gb/s  $\times$  four-channel chip-scale optical receiver operating at up to 85 °C with a temperature-compensation function,” Japanese Journal of Applied Physics, **58** (2019) SBBE04.
- [2] D. Okamoto and H. Yamada, “High-sensitivity Optical Receiver Using Differential Photodiodes AC-coupled with a Transimpedance Amplifier,” IEICE Transactions on Electronics, **E102-C** (2019) 380.
- [3] D. Okamoto, Y. Suzuki, K. Yashiki, Y. Hagihara, M. Tokushima, J. Fujikata, M. Kurihara, J. Tsuchida, T. Nedachi, J. Inasaka, and K. Kurata, “A 25-Gb/s  $5 \times 5 \text{ mm}^2$  Chip-Scale Silicon-Photonic Receiver Integrated with 28-nm CMOS Transimpedance Amplifier,” IEEE Journal of Lightwave Technology, **34** (2016) 2988.
- [4] D. Okamoto, T. Akagawa, T. Usuki, J. Fujikata, S. Akiyama, Y. Urino, and T. Nakamura, “Bit error rate analysis of a silicon optical interposer using its equivalent circuit,” IEICE Electronics Express, **12** (2015) 20141084.
- [5] D. Okamoto, J. Fujikata, and K. Ohashi, “InGaAs Nano-Photodiode enhanced by Polarization-Insensitive Surface-Plasmon Antenna,” Japanese Journal of Applied Physics **50** (2011) 120201.
- [6] D. Okamoto, J. Fujikata, K. Nishi, and K. Ohashi, “Numerical Study of Near-Infrared Photodetectors with Surface-Plasmon Antenna for Optical Communication,” Japanese Journal of Applied Physics **47** (2008) 2921.

## 2. 国際学会

- [1] D. Okamoto, Y. Suzuki, Y. Hagihara, M. Kurihara, T. Nakamura, and K. Kurata, “A 25-Gb/s  $\times$  Four-Channel Chip-Scale Optical Receiver Operating up to 85 °C with a Temperature-Compensation Function,” International Conference on Solid State Devices and Materials (SSDM), 2018, H-2-04.
- [2] D. Okamoto, Y. Suzuki, Y. Hagihara, M. Kurihara, T. Nakamura, and K. Kurata, “25-Gb/s Silicon-Photonic Receiver Operating over 85 °C with Temperature-Compensated CMOS Transimpedance Amplifier,” International Symposium on Photonics and Electronics Convergence (ISPEC), 2017, P-16.
- [3] D. Okamoto, Y. Suzuki, K. Yashiki, Y. Hagihara, M. Tokushima, J. Fujikata, M. Kurihara, J. Tsuchida, T. Nedachi, J. Inasaka, and K. Kurata, “A Chip-Scale 25-Gbps Optical Receiver Integrated with 28-nm CMOS Transimpedance Amplifier,” International Symposium on Photonics and Electronics Convergence (ISPEC), 2015, P-9.
- [4] D. Okamoto, Y. Suzuki, K. Yashiki, Y. Hagihara, M. Tokushima, J. Fujikata, M. Kurihara, J. Tsuchida, T. Nedachi, J. Inasaka, and K. Kurata, “25-Gbps 5  $\times$  5 mm chip-scale silicon-photonic receiver integrated with 28-nm CMOS transimpedance amplifier,” IEEE Optical Interconnects Conference (OI), 2015, TuD3.
- [5] D. Okamoto, Y. Urino, T. Akagawa, S. Akiyama, T. Baba, T. Usuki, M. Miura, J. Fujikata, T. Shimizu, M. Okano, N. Hatori, M. Ishizaka, T. Yamamoto, H. Takahashi, Y. Noguchi, M. Noguchi, M. Imai, M. Yamagishi, S. Saitou, N. Hirayama, M. Takahashi, E. Saito, D. Shimura, H. Okayama, Y. Onawa, H. Yaegashi, H. Nishi, H. Fukuda, K. Yamada, M. Mori, T. Horikawa, T. Nakamura, and Y. Arakawa, “Demonstration of 25-Gbps Optical Data Links on Silicon Optical Interposer Using FPGA Transceiver,” International Symposium on Photonics and Electronics Convergence (ISPEC), 2014, P-29.
- [6] D. Okamoto, Y. Urino, T. Akagawa, S. Akiyama, T. Baba, T. Usuki, M. Miura, J. Fujikata, T. Shimizu, M. Okano, N. Hatori, M. Ishizaka, T. Yamamoto, H. Takahashi, Y. Noguchi, M. Noguchi, M. Imai, M. Yamagishi, S. Saitou, N. Hirayama, M. Takahashi, E. Saito, D. Shimura, H. Okayama, Y. Onawa, H. Yaegashi, H. Nishi, H. Fukuda, K.

- Yamada, M. Mori, T. Horikawa, T. Nakamura, and Y. Arakawa, "Demonstration of 25-Gbps optical data links on silicon optical interposer using FPGA transceiver," European Conference on Optical Communication (ECOC), 2014, P.2.11.
- [7] D. Okamoto, T. Akagawa, T. Usuki, J. Fujikata, S. Akiyama, Y. Urino, and T. Nakamura, "Bit Error Rate Analysis of a Si Optical Interposer Using its Equivalent Circuit," International Symposium on Photonics and Electronics Convergence (ISPEC), 2013, P-24.
- [8] D. Okamoto, J. Fujikata, and K. Ohashi, "InGaAs Nano-Photodiode enhanced by Polarization-Insensitive Surface-Plasmon Antenna," International Conference on Solid State Devices and Materials (SSDM), 2010, D-7-1.
- [9] D. Okamoto, J. Fujikata, K. Nishi, and K. Ohashi, "Application of Surface-Plasmon Antenna to Near-Infrared Photodetectors for Optical Communication," International Conference on Solid State Devices and Materials (SSDM), 2007, E-5-3.

### 3. 国内学会

- [1] 岡本 大典, 中村 隆宏, 蔵田 和彦, "(特別講演) シリコンフォトニクスを用いた高速・高密度光インターコネクットの現状と将来展望," 2018 年 東北大学 第 600 回記念伝送工学研究会.
- [2] 岡本 大典, "(招待講演) Si フォトニクス技術を用いた「光 I/O コア」の 25Gbps-300m MMF 伝送実証," 2015 年 IEICE 第 1 回 超高速光エレクトロニクス研究会.
- [3] 岡本 大典, 屋敷 健一郎, 鈴木 康之, 小倉 一郎, 蔵田 和彦, "Si フォトニクス技術を応用した共通パッケージ「光 I/O コア」による 5mW/Gbps 動作と 25Gbps-300m MMF 伝送," 2015 年 光通信システム研究会 (OCS).
- [4] 岡本 大典, 赤川 武志, 白杵 達哉, 藤方 潤一, 秋山 傑, 費野 豊, 中村 隆宏, "等価回路を用いた Si 光インタポーザの Bit error rate 解析," 2013 年 電子情報通信学会 シリコン・フォトニクス研究会.
- [5] 岡本 大典, 赤川 武志, 白杵 達哉, 藤方 潤一, 秋山 傑, 費野 豊, 中村 隆宏, "Si 光インタポーザの等価回路を用いた光伝送シミュレーション," 2013 年 電子情報通信学会 総合大会.

- [6] 岡本 大典, 藤方 潤一, 荒川 泰彦, “光電子集積回路に向けた Ge 受光器用 TIA 回路の検討 III,” 2012 年 電子情報通信学会 総合大会.
- [7] 岡本 大典, 藤方 潤一, 荒川 泰彦, “光電子集積回路に向けた Ge 受光器用 TIA 回路の検討 II,” 2011 年 電子情報通信学会 ソサイエティ大会.
- [8] 岡本 大典, 藤方 潤一, 荒川 泰彦, “光電子集積回路に向けた Ge 受光器用 TIA 回路の検討,” 2011 年 電子情報通信学会 総合大会.
- [9] 岡本 大典, 藤方 潤一, 大橋 啓之, “プラズモンアンテナを用いた高効率な光通信波長帯ナノフォトダイオード,” 2008 年 日本光学会 ナノオプティクス研究会 (ナノオプティクス賞受賞) .
- [10] 岡本 大典, 藤方 潤一, 西 研一, 大橋 啓之, “プラズモンアンテナとブラッグミラーを組み合わせた高効率ナノフォトダイオード,” 2007 年秋季 第 68 回応用物理学会学術講演会.
- [11] 岡本 大典, 藤方 潤一, 西 研一, 大橋 啓之, “プラズモンアンテナによる光通信波長帯ナノフォトダイオードの高効率化,” 2007 年春季 第 54 回応用物理学関係連合講演会.
- [12] 岡本 大典, 藤方 潤一, 牧田 紀久夫, 西 研一, “1 次元プラズモンアンテナを用いた光通信波長帯ナノフォトダイオード,” 2006 年秋季 第 67 回応用物理学会学術講演会.
- [13] 岡本 大典, 藤方 潤一, 西 研一, 大橋 啓之, “1 次元プラズモンアンテナを用いた光通信波長帯ナノフォトダイオードの解析,” 2006 年 日本光学会 ナノオプティクス研究会.

#### 4. 国内特許／米国特許

- [1] 岡本 大典, 賣野 豊, 白杵 達哉, 特許第 6448045 号「光電気集積回路及び光インターポーザ」.
- [2] 岡本 大典, 藤方 潤一, 白杵 達哉, 特許第 6425271 号「光受信回路」.
- [3] 岡本 大典, 特許第 6206409 号「光集積回路、および光集積回路における光デバイスの検査方法」.
- [4] 岡本 大典, 藤方 潤一, 特許第 5812002 号「受光素子及びそれを備えた光通信デバイス、並びに受光素子の製造方法及び光通信デバイスの製造方法」.

- 
- [5] 岡本 大典, 藤方 潤一, 特許第 5477148 号「半導体光配線装置」.
- [6] 岡本 大典, 西 研一, 藤方 潤一, 牛田 淳, 特許第 5429160 号「半導体光配線装置及び半導体光配線方法」.
- [7] 岡本 大典, 藤方 潤一, 西 研一, 特許第 5170110 号「半導体受光素子及び光通信デバイス」.
- [8] 岡本 大典, 中田 正文, 藤方 潤一, 特許第 5233983 号「光位相変調素子およびこれを用いた光変調器」.
- [9] 岡本 大典, 特許第 4835837 号「フォトダイオードとその製造方法」.
- [10] D. Okamoto, J. Fujikata, and T. Usuki, US9621279B2 “Optical receiver circuit”.
- [11] D. Okamoto, Y. Urino, and T. Usuki, US9500823B2 “Opto-electric integrated circuit and optical interposer”.
- [12] D. Okamoto and J. Fujikata, US8853812B2 “Photodetector, optical communication device equipped with the same, method for making of photodetector, and method for making of optical communication device”.
- [13] D. Okamoto and J. Fujikata, US8466528B2 “Semiconductor light-receiving element, optical communication device, optical interconnect module, and photoelectric conversion method”.
- [14] D. Okamoto, K. Nishi, J. Fujikata, and J. Ushida, US8363989B2 “Semiconductor optical interconnection device and semiconductor optical interconnection method”.
- [15] D. Okamoto, M. Nakada, and J. Fujikata, US8116600B2 “Optical phase modulation element and optical modulator using the same”.
- [16] D. Okamoto, J. Fujikata, and K. Nishi, US8637951B2 “Semiconductor light receiving element and optical communication device”.
- [17] D. Okamoto, J. Fujikata, K. Nishi, and K. Ohashi, US8183656B2 “Photodiode”.

## 5. その他技術文献

- [1] 一般財団法人光産業技術振興協会 2018 年度光技術動向調査報告書「3.2.2 データセンタのための光インターコネクション」.

- 
- [2] 一般財団法人光産業技術振興協会 2017 年度光技術動向調査報告書「3.3.1 AI・機械学習に向けた光インターコネクション」, 「3.7.2 ボード間インターコネクション」.
- [3] 一般財団法人光産業技術振興協会 2011 年度光テクノロジーロードマップ報告書（情報処理フォトンクス）「5.1 光配線技術」.

# 謝辞

本研究は筆者が日本電気株式会社 (NEC) に在籍中，技術研究組合光電子融合基盤技術研究所 (PETRA) への出向中，および東北大学大学院工学系研究科博士後期課程在籍中に行なったものであり，多くの方々のご支援を頂きましたことに感謝申し上げます。

本論文を執筆するにあたり，ご指導頂きました東北大学 山田博仁教授，八坂洋教授，廣岡俊彦教授に深く感謝いたします。本論文の第7章の内容を full paper として投稿・掲載に至ったことは，博士後期課程に在籍して山田博仁教授にご指導頂かなければ実現できなかったものであり，このような機会を与えて頂いたことに感謝申し上げます。

最先端研究支援プログラムおよび超低消費電力型光エレクトロニクス実装システム開発プロジェクトにおいて，シリコンフォトリソグラフィを用いた光・電子融合システムに関してご指導頂きました東京大学 荒川泰彦教授に感謝申し上げます。また，同プロジェクトにおいて多くのご指導・ご支援頂きました PETRA 田原修一専務理事，中村隆宏研究統括部長，中田正文部長に感謝いたします。PETRA においては様々な企業の研究者が集まって，机を並べて研究に取り組むという貴重な経験をさせて頂きました。

光 I/O コアに関する研究では，蔵田和彦様，藤田友之様（現アイオーコア株式会社）にご指導・ご支援頂きました。光 I/O コア RX については，鈴木康之様から RF 設計・評価について多くのことを教えて頂かなければ本論文の研究成果を挙げることはできませんでした。改めて感謝申し上げます。藤方潤一様には NEC 入社以来多方面でサポートして頂き，受光素子について様々なアドバイスを頂きました。また，博士後期課程へ入学する際にも様々な面でご助力を頂き，深く感謝いたします。CMOS-TIA の試作関係では，萩原靖彦様の多大なご協力を頂きました。屋敷健一郎様からは，光学実験系についてアドバイスを多く頂きました。光 I/O コア RX の実装・試作においては，栗原充様，竹村浩一様，浮田明生様，上村寿憲様，徳島正敏様，小倉一郎様からご支援を頂きました。光 I/O コア



RX の評価においては、稲坂純様、土田純一様、根立貴章様、山口博史様からご支援を頂きました。シリコン光インタポーザに関する研究では、賣野豊様から貴重なアドバイスやご指導を頂きました。赤川武志様、白杵達哉様、秋山傑様からは、等価回路モデルを用いた解析について多くのご協力を頂きました。シリコン光インタポーザチップの試作では、堀川剛様、三浦真様、石坂政茂様、清水隆徳様、羽鳥伸明様、野口将高様、多くの皆様にサポートして頂きました。

大橋啓之研究部長（以下、職位はいずれも当時）には、シリコンフォトニクスの黎明期からその研究に携わる機会を頂き、幅広く興味を持ち新しいことに挑戦することの大切さを教えて頂きました。中村祐一研究所長、福知清研究部長には、企業研究者としての視野を広げることのできる多くのアドバイスを頂きました。西研一様（現株式会社 QD レーザ）には、研究者として高い志を持つことを教えて頂きました。米国留学中にお世話になったマサチューセッツ工科大学の Lionel C. Kimerling 教授はいつも気にかけて下さり、多くの激励の言葉を頂きました。

最後に、本論文を執筆する間、様々な面で協力してくれた家族に感謝いたします。