



UNIVERSIDADE ESTADUAL DE CAMPINAS
Faculdade de Engenharia Elétrica e de Computação

Agord de Matos Pinto Junior

**Oscilador Controlado por Tensão com Estrutura em Anel,
com Critérios de Confiabilidade aos Efeitos da Radiação.**

Campinas-SP

2017



UNIVERSIDADE ESTADUAL DE CAMPINAS
Faculdade de Engenharia Elétrica e de Computação

Agord de Matos Pinto Junior

Oscilador Controlado por Tensão com Estrutura em Anel, com Critérios de Confiabilidade aos Efeitos da Radiação.

Dissertação apresentada à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas como parte dos requisitos exigidos para a obtenção do título de Mestre em Engenharia Elétrica, na Área de Telecomunicações e Telemática.

Orientador: Prof. Dr. Yuzo Iano

Este exemplar corresponde à versão final da tese defendida pelo aluno Agord de Matos Pinto Junior, e orientada pelo Prof. Dr. Yuzo Iano

Campinas-SP

2017

Agência(s) de fomento e nº(s) de processo(s): Não se aplica.

ORCID: <http://orcid.org/http://orcid.org/ht>

Ficha catalográfica
Universidade Estadual de Campinas
Biblioteca da Área de Engenharia e Arquitetura
Luciana Pietrosanto Milla - CRB 8/8129

P658o Pinto Junior, Agord de Matos, 1984-
Oscilador controlado Por tensão com estrutura em anel, com critérios de confiabilidade aos efeitos da radiação / Agord de Matos Pinto Junior. – Campinas, SP : [s.n.], 2017.

Orientador: Yuzo Iano.

Dissertação (mestrado) – Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Osciladores. 2. Efeitos da radiação. 3. Confiabilidade. 4. Aparelhos e materiais eletrônicos - Efeito da radiação. 5. Osciladores não-lineares. I. Iano, Yuzo, 1950-. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Informações para Biblioteca Digital

Título em outro idioma: Voltage controlled oscillator with ring structure, with reliability criteria for the effects of radiation

Palavras-chave em inglês:

Oscillators

Effects of radiation

Reliability

Electronic devices and materials - Effect of radiation

Non-linear oscillators

Área de concentração: Telecomunicações e Telemática

Titulação: Mestre em Engenharia Elétrica

Banca examinadora:

Yuzo Iano [Orientador]

Evaldo Gonçalves Pelaes

Lucas Heitzmann Gabrielli

Data de defesa: 20-02-2017

Programa de Pós-Graduação: Engenharia Elétrica

COMISSÃO JULGADORA - DISSERTAÇÃO DE MESTRADO

Candidato: Agord de Matos Pinto Junior | RA: 0160079

Data da Defesa: 20 de Fevereiro de 2017

Título da Tese: “Oscilador controlado por tensão com estrutura em anel, com critérios de confiabilidade aos efeitos da radiação”.

Prof. Dr. Yuzo Iano (Presidente, FEEC/UNICAMP)

Prof. Dr. Evaldo Gonçalves Pelaes (UFPA)

Prof. Dr. Lucas Heitzmann Gabrielli (FEEC/UNICAMP)

A ata de defesa, com as respectivas assinaturas dos membros da Comissão Julgadora, encontra-se no processo de vida acadêmica do aluno.

Dedicado aos que sonham e almejam a emancipação da microeletrônica brasileira.

Agradecimentos

A Deus, por zelar e me abençoar a todo momento. Não há nada no mundo que compra os sonhos de um cristão justo e temente a Deus.

Aos meus pais, que mesmo distantes nunca deixaram de acreditar e incentivar. À minha amada esposa, pela sua paciência, apoio, ajuda, encorajamento e carinho. Do mesmo modo ao meu amor maior, minha filha, pois todo esforço e suor é pensando na sua beatitude. Estendo também minha gratidão aos meus irmãos pela eterna torcida e estímulo.

Ao entusiasta e orientador Professor Yuzo Iano, o qual depositou sua confiança em minha pessoa. E tem sido uma fonte de inspiração e motivação para a minha pesquisa. Serei eternamente grato pela sua precisa orientação, apoio e boa vontade durante esses anos. Ao longo de disciplinas, reuniões e pesquisas; bem como pelos ensinamentos e filosofias de vida, as quais levarei comigo. Gratifico da mesma forma o Professor Dr. Leandro Tiago Manera pelo seu valioso conhecimento compartilhado, apontamentos e comentários úteis durante a minha pesquisa, que têm sido um fomento vital para o resultado final deste trabalho.

Aos colegas do laboratório de comunicações visuais (LCV), especialmente ao Tenente Leandro Lima Barbosa, ao Paulo Eduardo dos Reis Cardoso e ao Hermes José Loschi pelo suporte sempre que preciso na parte burocrática, e ao meritório Dr. Julio León Ruiz pelo socorro e assessoria em relação ao *LaTeX*, e pelas sugestões como *Mendeley*, que no decorrer desta caminhada foram de enorme serventia.

Ao CTI Renato Archer, o qual me permitiu poder labutar e perscrutar este VCO no tempo em que estive alocado no projeto CITAR, e por conseguinte ao CNPq/CAPES pelo impulso financeiro. Aos colegas do projeto pelo conhecimento, companheirismo e camaradagem compartilhados no decorrer desses anos. E por fim, não menos importante ao Mestre Raphael Ronald Noal Souza, por ser esse tutor incansável de todas horas, ao não medir esforços pra auxiliar e ajudar seja na pesquisa, com a revisão de *papers* ou até mesmo com o *software SPICE*, sem seu auxílio esta caminhada teria sido bem mais árdua.

A todos meus sinceros agradecimentos.

*“Retendo a palavra da vida,
para que no dia de Cristo possa gloriar-me
de não ter corrido nem trabalhado em vão”
(Filipenses 2-4)*

Resumo

Este trabalho apresenta um Oscilador Controlado por Tensão (VCO) com estrutura em anel, usando tecnologia CMOS DARE - UMC 180 nanômetros. O oscilador apresentado será utilizado em um PLL (*Phase Locked Loop*), que tem como finalidade principal gerar o *clock* de um sistema digital (baseado no protocolo SpaceWire, o qual é um padrão baseado, em parte, no padrão IEEE 1355 de comunicações, com emprego em links e redes de alta velocidade para uso espaciais, facilitando a interconexão). Este oscilador é composto por uma arquitetura diferencial com um número ímpar de células de atraso. Utilizou-se técnicas de projetos para “*endurecer*” o circuito, a fim de minimizar os efeitos da radiação ionizante, em especial quanto a ocorrência de efeitos de eventos singulares (SEE) e atingir uma elevada estabilidade no ambiente hostil. A arquitetura apresenta um grau de confiabilidade maior em relação a um oscilador em anel de três estágios (VCO), também apresentado neste trabalho. As simulações realizadas com ambos os osciladores confirmam os resultados.

Palavras-chaves: Osciladores; Efeitos da Radiação; Confiabilidade; Aparelhos e Materiais Eletrônicos - Efeito da Radiação; Osciladores Não-Lineares.

Abstract

This work presents a Voltage Controlled Oscillator (VCO) with ring oscillator structure, using CMOS technology DARE - UMC 180 nanometers. The presented oscillator will be used in a PLL (Phase Locked Loop), whose main purpose is to generate the clock of a digital system (based on the SpaceWire protocol, which is a standard based in part on the IEEE 1355 communications standard, with use in links and high-speed networks for space use, facilitating interconnection). This oscillator consists of a differential architecture with an odd number of delay cells, we used design techniques to harden the circuit in order to minimize the effects of ionizing radiation, in particular the occurrence of single event effects (SEE) and to achieve high stability in the hostile environment. The architecture presents higher reliability than a three-stage ring oscillator, also presented in this work. The simulations performed with both oscillators confirm the results.

Keywords: Oscillators; Effects of radiation; Reliability; Electronic devices and materials - Effect of radiation; Non-linear oscillators.

Lista de ilustrações

Figura 1 – <i>Phase Locked Loop</i>	22
Figura 2 – Representação esquemática da secção transversal de um CMOS	31
Figura 3 – Simbologia para o MOS com 4 terminais acessíveis	33
Figura 4 – Comparação sobre o princípio de funcionamento	34
Figura 5 – Curva característica MOS	37
Figura 6 – Evolução dos Processadores	38
Figura 7 – Lei de Moore	39
Figura 8 – Perspectivas a nível de processo e escala CMOS	40
Figura 9 – Comparação do efeito do comprimento de canal	41
Figura 10 – Principais correntes de fuga em um transistor MOS	43
Figura 11 – Transistor ELT em tecnologia UMC 180nm	46
Figura 12 – Campo magnético da Terra	49
Figura 13 – Partículas de alta energia provenientes do Sol	51
Figura 14 – Raios cósmicos galácticos	52
Figura 15 – Chuveiro de partículas	53
Figura 16 – Cinturão de Van Allen 3D	55
Figura 17 – Anomalia do Atlântico Sul	57
Figura 18 – DD ocorre quando uma partícula de radiação de alta energia colide com um átomo de silício na massa e desloca-o para um estado intersticial. (a) uma rede de silício ideal possui átomos espaçados regularmente; (b) partículas incidentes atravessam a rede; (c) há uma probabilidade de que a partícula ataque e desaloje um átomo; (d) esta interação pode criar defeitos de Frenkel consistindo em uma vacância e um defeito intersticial.	62
Figura 19 – Processo de incidência de TID. (a) partícula carregada passa através de um material semiconductor; (b) a partícula carregada interage com o semiconductor; (c) pares de elétron-lacunas são gerados ao longo do caminho da partícula incidente devido à sua perda de energia; (d) as lacunas criadas permanecem presas (alojadas) nos óxidos do circuito integrado (tais como passivação, óxidos de portão, etc).	65
Figura 20 – Representação do diagrama de bandas de energia em uma estrutura MOS, resumando os principais processos físicos característicos de como a radiação ionizante atua no óxido de porta.	66

Figura 21 – Representação resumando o processo dos efeitos de eventos singulares. (a) uma partícula carregada passa através de um semicondutor e interage; (b) os elétrons são gerados pela partícula enquanto atravessa o material; (c) os elétrons são altamente móveis e fluem através do MOSFET, e são recolhidos na junção polarizada inversamente; (d) esses elétrons criam um pulso de corrente no dreno pouco depois da interação da partícula.	70
Figura 22 – Representação da coleta de pares elétron-lacuna devido à incidência de um íon pesado numa junção <i>p-n</i> reversamente polarizada.	71
Figura 23 – Representação de BJT parasitas (a); Circuito equivalente (b)	75
Figura 24 – Dispositivo semicondutor antes e depois de um SEB	76
Figura 25 – Estrutura de um MOSFET de potência e a movimentação após a colisão de um íon	77
Figura 26 – Mecanismos de SES em uma estrutura nMOS após a colisão de um íon	78
Figura 27 – Comparação entre leiaute aberto (Convencional) e ELT.	83
Figura 28 – Comparação entre formas de transistores ELT.	85
Figura 29 – Representação de anéis de guarda.	87
Figura 30 – Classificação de osciladores.	90
Figura 31 – Sistema de realimentação para estudo de oscilação.	96
Figura 32 – Estrutura em anel diferencial.	98
Figura 33 – Modelo linear de osciladores em anel.	98
Figura 34 – (a) Hipotético oscilador usando um único estágio CS, (b) circuito equivalente de (a).	99
Figura 35 – Representação do <i>jitter</i> no domínio-tempo.	102
Figura 36 – Conceito de <i>jitter</i> como indicador para avaliar a forma de onda de saída de uma fonte de sinal de referência.	103
Figura 37 – Espectro de saída do oscilador com ruído de fase.	105
Figura 38 – Definição do ruído de fase.	106
Figura 39 – Modelo de ruído de fase de <i>Lesson</i>	108
Figura 40 – Esquema da célula de atraso endurecida usada no VCO tomado como base de comparação.	110
Figura 41 – Composição do VCO - Células de atraso.	113
Figura 42 – Arquitetura da Célula de Atraso Proposta na Dissertação.	113
Figura 43 – Arquitetura do sistema VCO.	115
Figura 44 – Formas de Onda da Frequência de Saída com Tensão de controle mínima.	116
Figura 45 – Frequência de saída - Tensão de controle máxima.	116
Figura 46 – Ganho - Sensibilidade (K_{VCO}).	117

Figura 47 – Medição de ruído de fase.	118
Figura 48 – Exemplo de inserção de falhas transientes em um inversor MOS. . .	119
Figura 49 – Inserção de falha transiente.	121
Figura 50 – Resposta sobre a inserção de falha transiente na mínima frequência para o VCO proposto.	121
Figura 51 – Resposta sobre a inserção de falha transiente na máxima frequência para o VCO proposto.	122
Figura 52 – Resposta sobre a inserção de falha transiente na mínima frequência no VCO comparativo.	123
Figura 53 – Resposta sobre a inserção de falha transiente mais intensa na máxima frequência no VCO proposto.	124
Figura 54 – <i>Bit-flip</i> da célula em que houve a ocorrência de SEE.	124
Figura 55 – Resposta sobre a inserção de falha transiente no VCO comparativo na máxima frequência.	125
Figura 56 – Resposta do filtro em razão da inserção de falha transiente no VCO .	126

Lista de tabelas

Tabela 1 – Resumo de algumas topologias de osciladores e suas aplicações . . .	94
Tabela 2 – Comparação de diferentes tipos de osciladores	95
Tabela 3 – Comparação dos Resultados Finais do VCO	127

Lista de Acrônimos e Abreviações

Amp Ops	Amplificadores Operacionais
BJT	<i>Bipolar Junction Transistor</i> - Transistor de Junção Bipolar
Chip	Circuito Integrado
CI	Circuitos Integrados
CME	<i>Coronal Mass Ejection</i> - Ejeção de Massa Coronal
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CP	<i>Charge Pump</i> - Bomba de Carga
DARE	<i>Design Against Radiation Effects</i> - Tecnologia Robusta à Radiação
DCVSL	<i>Differential Cascode Voltage Switch Logic</i>
DD	<i>Displacement Damage</i> - Danos Por Deslocamento
DSP	<i>Digital Signal Processing</i> - Processamento Digital de Sinais
FET	<i>Field Effect Transistor</i> - Transistor de Efeito de Campo
ITAR	<i>International Traffic in Arms Regulations</i>
LF	<i>Loop Filter</i> - Filtro
MOS	<i>Metal Oxide Semiconductor</i> - Metal Óxido Semicondutor
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> - Transistor de Efeito de Campo em Metal Óxido Semicondutor
PFD	<i>Phase Frequency Detector</i> - Detector de Fase e Frequência
PLL	<i>Phase Locked Loop</i> – Malha Travada em Fase
RCG	Raios Cósmicos Galácticos
RHBD	<i>Radiation Hardening by Design</i> - Robustez à radiação através de técnicas de projeto
RHBP	<i>Radiation Hardening by Process</i> - Robustez à radiação através de técnicas de processo de fabricação
SAA	<i>South Atlantic Anomaly</i> - Anomalia do Atlântico Sul

SCE	<i>Short Channel Effect</i> - Efeito de Canal Curto
SEE	<i>Single Event Effects</i> - Efeitos de Eventos Singulares
SILC	<i>Stress-Induced Leakage Current</i> - Corrente de Fuga
TID	<i>Total Ionizing Dose</i> - Efeitos de Dose Total Ionizante
VCO	<i>Voltage Controlled Oscillator</i> - Oscilador Controlado por Tensão
VLSI	<i>Very Large Scale Integrated</i> - Integração de Milhares de Transistores

Sumário

1	Introdução	18
1.1	Considerações Iniciais	18
1.2	Motivação do Trabalho	20
1.3	Objetivo do Trabalho	21
1.4	Principais Contribuições	23
1.5	Organização do Trabalho	24
2	Tecnologia	26
2.1	CMOS - <i>Complementary Metal Oxide Semiconductor</i>	26
2.1.1	Evolução CMOS	26
2.1.2	Semicondutores	32
2.1.3	Transistores de Efeito de Campo (MOSFET)	33
2.1.3.1	Princípio de Funcionamento	35
2.1.3.2	Polarização	36
2.1.4	Nanotecnologia	38
2.1.4.1	Variabilidade de Processo	41
2.2	DARE - <i>Design Against Radiation Effects</i>	43
3	Efeitos da Radiação	47
3.1	Ambiente Espacial	48
3.1.1	Atividade Solar	49
3.1.2	Raios Cósmicos Galácticos - RCGs	51
3.1.3	Cinturão de Van Allen	54
3.1.4	Radiação Terrestre	58
3.2	Efeitos da Radiação em Dispositivos CMOS	59
3.2.1	Eventos Cumulativos	60
3.2.1.1	Efeitos de Danos Por Deslocamento (DD)	60
3.2.1.2	Efeitos de Dose Total Ionizante (TID)	63
3.2.2	Efeitos de Eventos Singulares (SEE)	68
3.2.2.1	Eventos Singulares Não Destrutivos (<i>Soft Errors</i>)	73
3.2.2.2	Eventos Singulares Destrutivos (<i>Hard Errors</i>)	74
4	Confiabilidade	79
4.1	Mitigação em Dispositivos Analógicos	80
4.2	Técnicas de Mitigação	80
4.2.1	RHBP (<i>Radiation Hardening by Process</i>):	80

4.2.2	RHBD (<i>Radiation Hardening by Design</i>):	81
4.2.2.1	Em Nível de Componente (Transistor)	82
4.2.2.2	Em Nível de Circuito	85
4.2.2.3	Em Nível de Sistema	85
4.2.2.4	Em Nível de Leiaute	86
5	Osciladores	89
5.1	Classificação Geral	90
5.1.1	Frequência de Operação	91
5.1.2	Forma de Onda	91
5.1.3	Princípio de Funcionamento	91
5.1.4	Tipos de Osciladores	92
5.2	Fundamentos da Operação do Oscilador	95
5.2.1	Critério de Oscilação	97
5.2.1.1	Critério de Oscilação em Estrutura em Anel	97
5.3	Parâmetros de Desempenho	101
5.3.1	<i>Jitter</i>	101
5.3.2	Ruído de Fase (<i>Phase Noise</i>)	104
5.3.2.1	Definição	104
5.3.2.2	Análise da Estrutura em Anel	106
5.4	Implementações Usuais	109
6	<i>Ring Oscillator</i> - Trabalho Proposto	112
6.1	Célula de Atraso	112
6.2	Simulações	115
6.3	Sistemática de Injeção de Falhas	118
6.3.1	Abordagem sobre Injeção de Falhas	119
7	Conclusão	128
7.1	Sinopse da Dissertação	128
7.2	Trabalhos Futuros	129
7.3	Principais Contribuições	130
	Referências	131

1 Introdução

1.1 Considerações Iniciais

Os sistemas de telecomunicações hodiernamente estão em fase de grande transformação e expansão. A comunicação está presente no cotidiano, apresentando-se em várias frentes, as quais pela comodidade já se tornaram indispensáveis, como rádio, televisores, telefonia móvel, *internet*, entre outras formas.

Dentro desse contexto evolutivo, a microeletrônica passou a ter papel crucial nesse processo. Com o advento dos circuitos integrados (CIs), com destaque principal a estrutura MOS (*Metal Oxide Semiconductor*), a qual tem sido a força motriz mais importante para a evolução de quase todos os tipos de tecnologias nas últimas décadas. Por conseguinte, CIs encontram-se presentes praticamente em quase todos os artefatos produzidos pela indústria eletroeletrônica, assim acontecendo também com a tecnologia da indústria aero-espacial, em que para cada foguete ou satélite lançado ao espaço, um novo aparato tecnológico é adicionado.

Atualmente as comunicações por satélite ganharam uma posição de destaque, devido seu uso em inúmeros serviços como: localização, navegação, radar, sistemas meteorológicos e telecomunicações. O satélite passou a ser também o mais importante meio de transmissão, visto que é pela vasta rede de satélites de comunicação que fluem informações, dados, conhecimentos, mensagens, notícias, imagens que vão de um lado ao outro do mundo em poucos minutos, interligando assim diferentes pontos do planeta [1]. O uso de satélites de comunicação vem demonstrando ser uma alternativa muito útil, que evidencia várias vantagens em relação aos meios alternativos de comunicação terrestre. Uma vantagem significativa é a possibilidade de atender a um elevado número de usuários, independente da distância entres eles [2].

Independente do processo de comunicação que estiver sendo analisado, há nele três elementos básicos: transmissor, canal e receptor. À medida que o sinal transmitido

se propaga ao longo do canal, ele é distorcido devido às suas imperfeições. Ademais ruídos e sinais interferentes (que se originam de outras fontes), são adicionados ao percurso do canal, resultando no sinal recebido, que é uma versão corrompida do sinal transmitido [3]. Além das avarias mencionadas, imperfeições apresentadas pelo transistor, acarretam a sua operação efeitos físicos que alteram seu comportamento e dificultam o projeto de sistemas em *hardware*. A evolução de qualquer proposta na área espacial deve-se considerar os efeitos recorrentes do meio no qual está inserido, do dispositivo (transistor), assim como de outros eventos que a contínua ação da radiação provoca nos materiais e componentes.

Com objetivo de mitigar esses efeitos, investiu-se muito nos últimos anos em processos, tecnologias e técnicas alternativas de projeto, com intuito de melhorar o resultado final. A julgar que a evolução da tecnologia resultou em uma alta escala em termos de níveis de integração, as dimensões dos dispositivos MOS foram reduzidas drasticamente e com a obrigação de diminuir a potência dissipada. Esse feito fez com que os circuitos integrados ficassem mais passíveis de falhas, além de aumentar a variabilidade do processo de produção, o que pode acarretar em circuitos operando fora da sua faixa de especificação [4]. Outros efeitos paralelos ao da miniaturização devem ser considerados, como: o efeito de canal curto (*SCE – Short Channel Effect*), a degradação da mobilidade dos portadores móveis do canal (elétrons ou lacunas) e o estresse induzido por corrente de fuga (*Stress-Induced Leakage Current*) [5], juntamente com uma maior vulnerabilidade a falhas transientes ocasionadas por incidência da radiação [6], em sistemas expostos à radiação.

Destarte, aplicações expostas à radiação devem ter um certo grau de robustez, em nível de dispositivo, topologia de circuito e leiaute. Desta forma, os projetos de circuitos integrados analógicos são uma tarefa extremamente complexa devido ao grande número de variáveis de entrada a serem determinadas simultaneamente com o intuito de atender às inúmeras especificações de um projeto final. Sendo assim, a evolução tecnológica envolve uma busca constante por um processo robusto com centenas de milhares de transistores (*VLSI - Very Large Scale Integrated*) no mesmo *chip*.

1.2 Motivação do Trabalho

A tecnologia de componentes eletrônicos resistentes à radiação é utilizada em diversas áreas, como: em satélites e sondas, na defesa (motores nucleares), na medicina (tratamento oncológico), na pesquisa em Física, entre outras. Porém, por ser considerada estratégica, os países dela detentores não a disponibilizam e normalmente criam embargos quando outros países dela necessitam para seus projetos tecnológicos [7]. Tais tecnologias são consideradas sensíveis no âmbito do ITAR (*International Traffic in Arms Regulations*), departamento de estado responsável pela exportação e importação temporária de artigos e serviços de defesa dos Estados Unidos.

O governo Brasileiro, buscando monitorar seu território, motivou-se a desenvolver equipamentos de sensoriamento remoto via satélite. No entanto, países em desenvolvimento ficam dependentes de informações (dados ou imagens) fornecidas por satélites de outras nações, por não dominarem a tecnologia e pelos altos custos.

Com a necessidade iminente da criação no Brasil de uma infra-estrutura para o ciclo completo no processo de fabricação de circuitos integrados, a fim de se ter uma tecnologia espacial autônoma e, conseqüentemente, um programa de defesa da soberania nacional, os governos do Brasil e da China assinaram em 1988 um acordo de parceria. Esse acordo envolveu o INPE (Instituto Nacional de Pesquisas Espaciais) e a CAST (Academia Chinesa de Tecnologia Espacial) para o desenvolvimento de um programa de construção de satélites para sensoriamento remoto, denominado Programa CBERS (*China-Brazil Earth Resources Satellite*, Satélite Sino-Brasileiro de Recursos Terrestres) [8, 9].

Entretanto, o Brasil continuou encontrando dificuldades em obter tecnologias robustas para integrar seus satélites. A fim de superar este entrave e em busca da independência tecnológica, surge em 2012 o projeto CITAR (Circuitos Integrados Tolerantes a Radiações) [7, 10], o qual conta com financiamento da Financiadora de Estudos e Projetos - FINEP. Esse projeto é executado em um esforço de cooperação entre o CTI Renato Archer e outras instituições de pesquisa e ensino, listadas a seguir: o Instituto

Nacional de Pesquisas Espaciais (INPE), a Agência Espacial Brasileira (AEB), o Instituto de Física da USP (IFUSP) e o Instituto de Estudos Avançados (IEAv). Trata-se da primeira ação multi-institucional brasileira para o desenvolvimento de circuitos integrados tolerantes à radiação, destinados a aplicações em satélites científicos, que visa consolidar no Brasil a competência para a realização do ciclo completo de desenvolvimento de circuitos integrados tolerantes à radiação ionizante para aplicações aeroespaciais e afins. Dentro desse contexto, ainda ressalta-se o objetivo de atividades de pesquisas e capacitação de recursos humanos.

Inserido neste projeto de capacitação de instituições nacionais, este trabalho tem como tema a criação de um VCO (*Voltage Controlled Oscillator* - Oscilador Controlado por Tensão), com configuração em anel (*Ring Oscillator*), que faz uso de técnicas de mitigação para uma maior robustez aos efeitos da radiação ionizante, em particular a incidência de efeitos de eventos singulares (SEE).

1.3 Objetivo do Trabalho

As exigências dentro deste processo evolutivo mudou as características em relação aos projetos analógicos. Esse avanço tecnológico trouxe novas exigências tais como pequenos dispositivos e circuitos muito compactos e com menor custo, como também a redução da tensão de alimentação e consumo de energia em condições normais e condições extremas.

Circuitos analógicos são vulneráveis a problemas de confiabilidade, uma vez que têm diferentes regimes de operação e estruturas diferentes. É muito importante estudar as fontes e os motivos de seus problemas de confiabilidade e variabilidade, principalmente em circuitos essenciais para um funcionamento correto do sistema.

O objetivo deste trabalho está inserido em um *Phase-Locked Loop* (PLL), ou malha travada em fase, o qual é amplamente utilizado como multiplicadores de frequência para a geração de sinais de sincronismo em alta frequência. O PLL sincroniza o sinal de saída de um oscilador com um sinal de referência ou de entrada, tanto em frequên-

cia como em fase. Muitos processadores de sinal digital (DSPs) e micro-controladores de alto desempenho fazem uso de PLLs como seu circuito interno de geração de *clock* em circuitos integrados. Outras aplicações do PLL incluem recuperação de portadora, recuperação de *clock*, modulação de fase, demodulação de fase e frequência, sincronização de *clock*, entre outras dentro de uma gama de opções.

A arquitetura de um PLL para seu perfeito funcionamento depende de estruturas básicas, representadas na figura 1, compostas por:

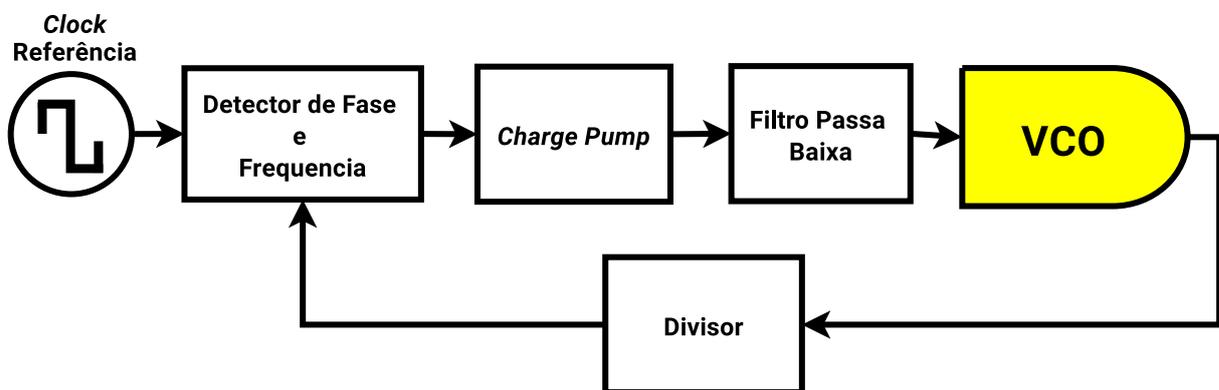


Figura 1 – Phase Locked Loop

- Detector de fase e frequência (*Phase Frequency Detector - PFD*): Compara a diferença de fase e frequência entre ambos os sinais e produz um sinal de saída proporcional a esta diferença;
- *Charge pump*: Manipula a quantidade de carga dos capacitores do filtro, carregando e descarregando rapidamente, assim ajuda a estabilizar uma possível tensão mais alta no filtro. É um conversor da diferença de fase e frequência em corrente, converte o pulso de erro digital em um sinal analógico.
- Filtro (*Loop Filter*): Geralmente é um filtro passa-baixa, suaviza o sinal do PFD para gerar a tensão de estímulo do VCO;
- Oscilador controlado por tensão (*Voltage-Controlled Oscillator - VCO*): É o componente que produz a frequência necessária na saída do PLL. Este oscilador faz uso

de uma topologia em anel, não possui indutores, capacitores ou resistores, sendo somente composto por transistores;

- Divisor de frequência programável (*Loop Divider*): Faz parte do elo de realimentação do PLL, e a sua função básica é reduzir a frequência do VCO dentro de uma faixa de valores que podem ser comparadas com o sinal de referência.

Dentro deste cenário, este trabalho tem como objetivo principal o projeto de um oscilador controlado por tensão, com estabilidade elevada no ambiente de radiação, onde os dispositivos semicondutores apresentam características indesejáveis. A fim de minimizar os efeitos da radiação e atingir uma elevada estabilidade, técnicas especiais de projetos são necessárias para “endurecer” o circuito. Tais técnicas são implementadas em nível de dispositivo (geometria e dimensionamento) fazendo uso da tecnologia robusta à radiação (DARE - *Design Against Radiation Effects*), topologia de bloco, arquitetura de sistema e implementação física (leiaute), incluindo-se no projeto métricas de desempenho e uma descrição mais detalhada linear e não-linear a respeito do VCO.

Esse VCO está inserido dentro de um sistema PLL, que requer uma velocidade de amostragem muito específica e tem como finalidade principal gerar o *clock* de um sistema digital (baseado no protocolo *SpaceWire*) [11, 12]. Dentro do contexto do projeto, esse protocolo será aplicado para a construção de uma rede de comunicação projetada, por exemplo, para conectar sensores com alta taxa de processamento de dados, unidades de processamento, dispositivos de memória e subsistemas de telemetria e telecomando a bordo de naves espaciais ou de satélites.

1.4 Principais Contribuições

Para superar a baixa estabilidade de frequência, ruído de fase, vulnerabilidade ao processo, variações de tensão e temperatura, em conjunto com os efeitos da radiação ionizante, a presente dissertação traz uma abordagem de arquitetura capaz de conseguir uma operação de alta velocidade. A topologia usa inversores com controle de corrente, fazendo uso da técnica de redundância e técnicas de mitigação quanto à

ocorrência de SEE em nível de dispositivo e de circuito, a fim de minimizar efeitos da radiação ionizante, e assim alcançar uma maior frequência de operação e maior fator de qualidade.

1.5 Organização do Trabalho

Esta dissertação está organizada em 6 capítulos a fim de uma melhor compreensão. O primeiro capítulo dispõe desta introdução, que tem como propósito inserir o trabalho num assente contexto e assinalar os assuntos relacionados ao mesmo que serão abordados a posteriori.

Na sequência, no capítulo 2, faz-se breve descrição histórica sobre a evolução do transistor, a importância da lei de Moore na evolução dos circuitos integrados. Descreve-se a tecnologia CMOS, estudando as suas características mais importantes, assim como também dando uma visão geral sobre nano-tecnologia e sobre tecnologia robusta (DARE - *Design Against Radiation Effects*).

O capítulo 3, foi dedicado aos efeitos da radiação em semicondutores e dispositivos CMOS, descrevendo os fatores que influenciam na sua propagação.

No capítulo 4, são apresentadas algumas técnicas de mitigação para uma possível robustez à radiação em níveis de dispositivo, circuito (esquemático) e sistema.

No capítulo 5, é realizada uma explanação detalhada sobre osciladores com o intuito de fornecer subsídios teóricos para o projeto e desenvolvimento do oscilador controlado por tensão com configuração em anel, proposto na presente dissertação.

No capítulo 6, são discutidas inicialmente considerações de projeto de um oscilador controlado por tensão com topologia em anel. Em seguida, trata-se da descrição completa do projeto do protótipo, acompanhada de esquemáticos e diagramas, demonstrando a operação do bloco. São apresentados também neste capítulo as simulações realizadas para verificação do funcionamento do sistema.

Finalmente, são apresentadas as conclusões ostentando se o trabalho obteve

êxito em suas metas estabelecidas, indicando as dificuldades enfrentadas no decorrer do projeto e sinalizando as prospecções de possíveis trabalhos futuros. Posteriormente as referências bibliográficas utilizadas nesta dissertação.

2 Tecnologia

Este capítulo é dedicado a tecnologia, em que o dimensionamento de transistores tem sido o principal desafio aos projetistas de circuitos integrados. Com o avanço tecnológico, o desempenho do transistor melhorou continuamente. No entanto, se por um lado se obteve grandes vantagens como a maior densidade dos circuitos e a maior velocidade das transições lógicas, por outro lado também houve desvantagens devido ao aumento da influência dos efeitos secundários nos circuitos. Esses efeitos aumentam proporcionalmente o nível de dificuldade quando se entra no mérito espacial.

A tecnologia CMOS tornou-se a tecnologia mais utilizada atualmente em circuitos integrados, sendo encontrada em aplicações de comunicação sem fio (*wireless*), microprocessadores, memórias e uma série de outras funcionalidades. O principal motivo desse sucesso é a baixa dissipação de potência, uma vez que ambos os transistores nMOS e pMOS devem ser fabricados no mesmo substrato. Neste trabalho se faz uso da nanotecnologia (180nm), com o processo UMC (*United Microelectronics Corporation*).

2.1 CMOS - *Complementary Metal Oxide Semiconductor*

2.1.1 Evolução CMOS

Em 1833, Michael Faraday observou que a resistência de amostras de sulfeto de prata diminuía quando eram aquecidas. A partir disso, outros cientistas observaram comportamentos conectados a efeitos semicondutores [13].

O princípio do transistor de efeito de campo foi proposto pela primeira vez em meados da década de 1920 no Canadá, baseado nas pioneiras experiências do físico ucraniano nascido em 1882 e que imigrou para os EUA, Julius Edgar Lilienfeld, quem tentou obter uma patente para um amplificador a cristal, tendo como material estrutural o sulfeto de cobre [14]. Sua ideia era controlar a condutividade de um material por um campo elétrico transversal. Em 1935 na Inglaterra, o alemão Oskar Heil conse-

guiu obter uma das primeiras patentes [15] para um amplificador a cristal operando pelo princípio de efeito de campo. No final da década de 1930, experiências baseadas no princípio da foto-eletricidade feitas pelo físico alemão Robert Wichard Pohl deram origem a um triodo semiconductor [16].

Entretanto, a primeira observação experimental da superfície e seu impacto sobre a corrente elétrica foi divulgado no artigo *“The action of light on Selenium”* por William Grylls Adams e Richard Day Evans e na revista *“Proceedings of the Royal Society of London”*, em 1876, em que o experimento demonstrou que iluminar uma junção entre selênio e platina produz um efeito fotovoltaico. Este efeito é a criação de tensão elétrica ou de uma corrente elétrica correspondente num material após a sua exposição à luz.

Porém, a ideia de dispositivos MOSFET ainda não estava bem consolidada. Em 19 de março de 1946 John Bardeen registrou em suas anotações uma explicação para o fracasso da estrutura de efeito de campo. Ele sugeriu que os elétrons atraídos para a superfície do semiconductor poderiam carregá-la negativamente, não sendo elétrons livres. Assim, esses elétrons ficariam presos na superfície. Uma vez que os elétrons são presos na superfície, eles protegem a maior parte do semiconductor da influência de um possível controle. Esta hipótese explicaria no momento não só o fracasso do dispositivo de efeito de campo, mas também os mistérios das características sobre retificação em semicondutores contactados por metal. Com base nos resultados de John Bardeen, a equipe de pesquisa de semicondutores abandonou a atividade no dispositivo de efeito de campo e focou suas atenções em novas condições experimentais e em uma nova observação, o que acaba mais tarde resultando na descoberta do transistor de junção bipolar (BJT) [17].

Em 1956, John Bardeen, Walter Houser Brattain e William Bradford Shockley Jr. receberam o prêmio Nobel de Física pela descoberta do transistor. Os três pesquisadores pretendiam fabricar um transistor de efeito de campo (FET) idealizado por Julius Edgar Lilienfeld em 1925, mas acabaram por descobrir uma amplificação da corrente no ponto de contato do transistor. A chave para esse desenvolvimento foi a compreensão do processo de movimentação dos elétrons no semiconductor. Tomando como base

o diodo, eles entenderam que, se houver a possibilidade de controlar o fluxo de elétrons que passa pelo componente, teriam um efeito similar ao triodo [13]. O objetivo do projeto era criar um dispositivo compacto e barato para substituir as válvulas termoiônicas usadas nos sistemas de telefonia da época. Em junho de 1948 a *Bell Telephone Laboratories* (companhia americana de telecomunicações) realizou uma grande conferência de imprensa para anunciar a descoberta feita em seus laboratórios, evento este que marcou o início da era de semicondutores. Os transistores bipolares passaram, então, a ser incorporados em diversas aplicações, tais como aparelhos auditivos, seguidos rapidamente por rádios transistorizados. Mas a indústria norte-americana não adotou imediatamente o transistor nos equipamentos eletrônicos de consumo, preferindo continuar a usar as válvulas, cuja tecnologia era amplamente dominada [18].

No final de 1950, a produção comercial de semicondutores já tinha atingido um volume considerável. Dessa maneira para se obter dispositivos cada vez mais aperfeiçoados, com alto desempenho e menor custo de fabricação, os pesquisadores novamente concentraram os seus esforços no transistor de efeito de campo (MOSFET), devido principalmente a sua concepção simples e de baixo consumo [16].

Gordon Kidd Teal, engenheiro com doutorado em físico-química, deixou o *Bell Telephone Laboratories* para trabalhar no transistor na *Geophysical Services International*, que posteriormente se tornou a *Texas Instruments*. Gordon Kidd Teal enquanto trabalhava na *Bell Telephone Laboratories* percebeu que a invenção de John Bardeen, Walter Houser Brattain e William Bradford Shockley Jr. poderia apresentar melhorias substanciais no dispositivo, se fosse fabricada usando um cristal único em vez de material policristalino.

Em 1952, a *Texas Instruments*, com sede em *Dallas*, tinha adquirido uma licença para produzir transistores de germânio da *Western Electric*. Em 1 de Janeiro de 1953, Gordon Kidd Teal se juntou ao grupo, trazendo consigo toda a sua experiência no crescimento de cristais de semicondutores. Lá, ele fez os primeiros circuitos com transistores de silício a serem comercializados.

Em seguida com os rádio portáteis feitos com transistores, a empresa *Tokyo*

Tsushin Kogyo, que se tornou a *Sony Company* em 1955, passou a adotar em maior escala.

Em 1959, Jean Amédée Hoerni, da *Fairchild Semiconductor International* (empresa de semicondutores), inventou o processo planar para fabricação de transistores. Em seguida, Jack Clair Kilby, *Texas Instruments*, desenvolveu o primeiro circuito integrado (um transistor, um capacitor e três resistores colocados em uma placa de germânio). Vários aperfeiçoamentos são posteriormente introduzidos com os trabalhos de Robert Norton Noyce, na *Fairchild Semiconductor International*, em 1959, que usa alumínio para realizar interconexões além do processo planar. Ainda em 1959, o engenheiro Martin John M. Atalla e o Físico Dawon Kahng, *Bell Telephone Laboratories* fabricam e conseguem a operação de um transistor MOSFET [18].

Martin John M. Atalla foi parcialmente apoiado pelo exército, através de um programa governamental, com a finalidade melhorar a confiabilidade do transistor. Atalla apresentou o seu trabalho em várias conferências. A primeira foi a conferência de dispositivos de estado sólido (*IRE Solid State Device Research Conference*), realizada na Universidade do Estado de Ohio, entre os dias 18 e 20 de junho de 1958. O seu trabalho conseguinte de relevância foi o "*Silicon-Silicon Dioxide Surface Device*", apresentado na conferência de pesquisa de dispositivos (*IRE Device Research Conference*). Esse segundo trabalho envolveu uma equipe significativa, a qual E. E. Labate e E. I. Povilonis levaram o crédito por fabricarem o dispositivo. M. O. Thurston, L. A. D'Asaro e J. R. Ligenza desenvolveram os processos de difusão e H. K. Gummel e R. Lindner caracterizaram o dispositivo. Martin John M. Atalla mais tarde se juntou a *HP Associates*, parte paralela da *Hewlett-Packard Semicondutores*, sobre o qual nunca publicou outro trabalho relacionado a semicondutores ou dispositivos MOS [17].

Em 1964, a *Fairchild Semiconductor International* e a *RCA - Radio Corporation of America* (empresa de eletrônicos), introduzem no mercado os primeiros transistores MOS, no entanto, problemas com impurezas e estados de interface mantêm restrito o uso destes dispositivos. Entre 1964 e 1969 várias técnicas foram desenvolvidas para redução dos estados de interface e identifica-se o sódio como principal impureza. Assim, a tecnologia nMOS teve uma maior dificuldade tecnológica devido à presença de

cargas positivas no sistema $SiO_2 - Si$, causando a indução de canal tipo n na superfície do Si . Em decorrência, apresenta-se uma dificuldade para isolar os transistores nMOS uns dos outros. Com a evolução de processos mais refinados de oxidação a tecnologia nMOS pôde ser implementada. Com isso, a confiabilidade e a gama de aplicações do MOS aumentaram [19].

A DRAM (*Dynamic Random Access Memory*) foi inventada e patenteada por Robert Dennard em 1968 [20], em seguida a primeira memória em semicondutor com produção em massa é anunciada pela *Intel Corporation* em 1970. DRAM de 1-Kbit com tecnologia pMOS (tecnologia MOS, em que apenas há transistores com canal tipo p , em que os problemas com impurezas são menos graves); o primeiro microprocessador, 4004 da Intel (fim de 1971), e memórias DRAM de 4-Kbit (1972), são posteriormente produzidos com tecnologia nMOS (tecnologia MOS, em que apenas há transistores com canal tipo n ; permitem maiores velocidades e níveis de integração).

Durante os anos 70, a tecnologia nMOS era a tecnologia predominante para CIs digitais, devido às seguintes vantagens: maior mobilidade dos elétrons comparado ao das lacunas no caso pMOS, alta densidade de integração, simplicidade do processo de fabricação e reduzido consumo de potência quando comparado a processos bipolares [19, 21].

Tecnologias nMOS foram dominantes até o fim da década de 70. No entanto, os níveis de energia associados com microprocessadores nMOS atingiu níveis críticos em meados da década de 1980, com dissipações de energia de até 50W por *chip* ou superior. Para resolver o problema de dissipação de energia estática, a indústria de microprocessador moveu-se rapidamente para a tecnologia CMOS (*complementary metal-oxide-semiconductor*), em que transistores com ambos tipos de canais, n e p , são possíveis) [18].

O conceito de circuitos lógicos CMOS foi proposto e demonstrado em 1963 por Frank Marion Wanlass [22] enquanto trabalhava na *Fairchild Semiconductor*. CMOS é uma tecnologia para a construção de circuitos integrados, usada em microprocessadores, microcontroladores, memórias RAM, e outros circuitos lógicos digitais. A tecno-

logia CMOS também é usada para vários circuitos analógicos, tais como sensores de imagem (sensor CMOS), conversores de dados entre outros. Em 1963, Frank Marion Wanlass patenteou [23] a tecnologia CMOS [15].

A tecnologia CMOS é referida assim por apresentar uma simetria complementar ao fazer uso de dois tipos de transistores MOSFET, como mostra a figura 2, o transistor de canal n e de canal p , de tal modo que um deles complementa o outro na necessidade de se produzir funções lógicas. Sua principal lógica é formada por uma porta inversora CMOS, em que a mesma é composta por transistores nMOS e pMOS em série.

A mesma opera sobre o princípio da modulação da condutividade em uma camada semicondutora fina, controlada por um campo elétrico acoplado à superfície da camada para efetuar as funções de comutação entre três terminais elétricos. O terminal de entrada é ligado às duas portas, de forma que uma tensão positiva coloca em condução o transistor nMOS e corta o pMOS, produzindo uma tensão zero na saída. Uma tensão zero aplicada ao terminal de entrada produz um efeito complementar, produzindo uma tensão na saída igual à tensão de alimentação. Para tanto necessita-se de regiões de substrato tipo n e outro tipo p dependendo do tipo de lâmina utilizada. É praticável pela implementação de uma região delimitada com dopagem de tipo oposto ao do substrato, chamado de poço [19, 24, 25].

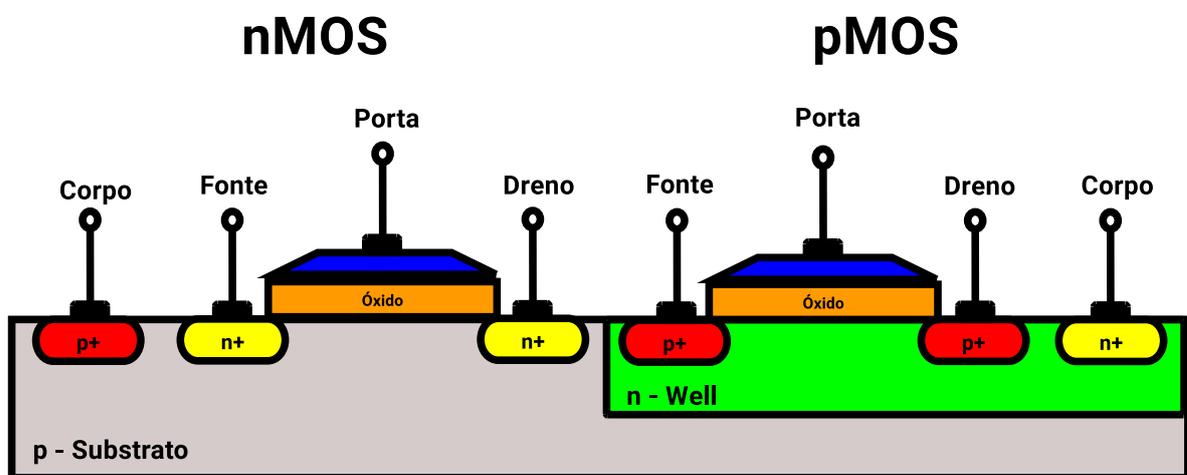


Figura 2 – Representação esquemática da secção transversal de um CMOS

Nos dias atuais, a tecnologia CMOS é, de longe, a tecnologia de circuitos integrados dominante.

2.1.2 Semicondutores

Para compreender-se melhor os transistores, juntamente com a tecnologia CMOS, deve-se primeiramente abordar os semicondutores que os constituem.

Os transistores de efeito de campo constituem uma enorme família com muita importância tecnológica, as quais usam como base para sua construção: metal, óxido e semicondutores. Este último é geralmente silício ou germânio, devido sua robustez mecânica e elétrica e, suas características que ficam no limiar entre condutores e isolantes elétricos. A resistência desses materiais para a condução de elétrons torna esses materiais ideais para transistores [26, 27].

Um cristal semicondutor puro tem um número igual de elétrons e lacunas, pois quando os átomos de silício se combinam para formar um sólido, organizam-se em um padrão cristalino. Em um cristal de silício, podem ocorrer vibrações dos átomos, as quais desalojam elétrons da camada de valência. Quando este fenômeno ocorre, o elétron desvencilhado ganha energia suficiente para entrar em uma órbita superior. Com essa ausência, ocasionalmente, abre-se um espaço vazio, denominado lacuna, a qual é uma carga positiva em virtude da perda do elétron, o que resulta em um íon positivo. A lacuna atrai e conquista algum elétron da imediação, resultando em efeitos positivos na condução de corrente.

O fluxo de corrente no material semicondutor é determinado pelo número e mobilidade das lacunas e elétrons. Quando são iguais, a condutividade é extremamente baixa, quase nula, até que seja aplicada uma tensão externa. O número de pares elétrons-lacunas criado em semicondutores aumenta, provocando uma queda de tensão [26].

Dois tipos de semicondutores, o negativo (tipo *n*) e positivo do (tipo *p*), são criados por injeção de substâncias chamadas de impurezas em material semicondu-

tor. Essas impurezas são também chamadas de agentes de dopagem ou dopantes e o processo de adição de impurezas é chamado de dopagem. Essas impurezas são adicionadas aos semicondutores para alterar sua condutibilidade elétrica.

Os elementos são implantados numa única pastilha de silício através da criação de três camadas da seguinte forma: sobre uma lâmina (substrato) semicondutora é depositada ou produzida (por oxidação térmica) uma camada fina de material isolante (óxido). Utilizando-se material condutor (metal), são formados dois eletrodos: o primeiro sobre a camada de óxido (denominado eletrodo superior) e o segundo sob a lâmina (denominado eletrodo do substrato) [28].

2.1.3 Transistores de Efeito de Campo (MOSFET)

O nome do transistor de efeito de campo (FET) origina-se de seu princípio físico de operação. Os transistores de efeito de campo são os elementos básicos para a concepção de circuitos integrados. Os dispositivos MOSFET são formados pela associação entre condutor, o óxido isolante e o metal. O MOSFET é um dispositivo de quatro terminais: fonte (*source*), porta (*gate*), dreno (*drain*), e corpo (*body*), como mostra a figura 3. O corpo (ou substrato) está muitas vezes ligado à fonte ou o dreno (em curto-circuito), por consequência tornando um dispositivo de três terminais, geralmente representado nos diagramas elétricos.

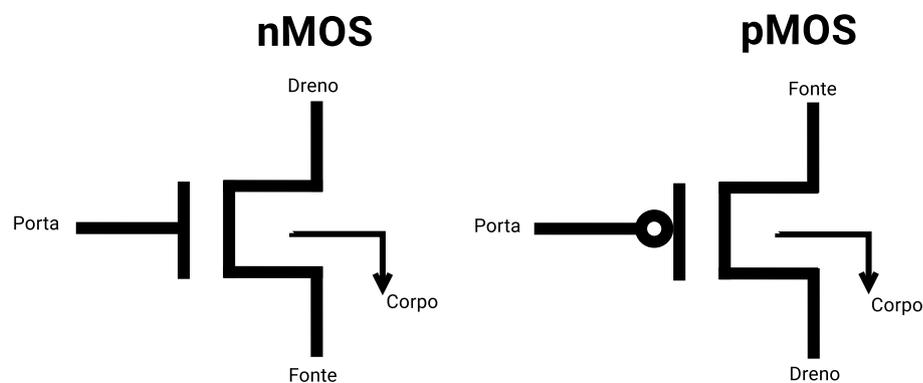


Figura 3 – Simbologia para o MOS com 4 terminais acessíveis

O MOSFET é conhecido como transistor unipolar porque a condução de cor-

rente acontece por apenas um tipo de portador (elétron ou lacuna), dependendo do tipo de canal, n ou p (um deles fortemente dopado). O nome efeito de campo decorre do fato de que o mecanismo de controle do componente é baseado no campo elétrico estabelecido pela tensão aplicada no terminal de controle (*porta*). Analogamente, o MOSFET pode ser usado ora como amplificador (operando na área linear), ora como chave (operando fora da sua linearidade ou em controle de corrente sobre uma carga). No MOSFET normalmente o material semicondutor escolhido é o silício, mas alguns fabricantes, principalmente a IBM, começaram a usar uma mistura de silício e germânio (SiGe), os contatos metálicos são de alumínio e o isolante é o dióxido de silício (SiO_2).

Transistores são os blocos básicos para a construção de circuitos eletrônicos. A principal diferença entre transistores e elementos passivos (resistores, capacitores, indutores, e diodos) é que os transistores atuais possuem características que variam de acordo com a tensão em um terminal de controle. Os transistores de efeito de campo diferentemente dos transistores bipolares comuns são típicos amplificadores de tensão e não de corrente. Contudo, em ambos os casos, a variável a ser controlada é a corrente de saída como mostra a figura 4.

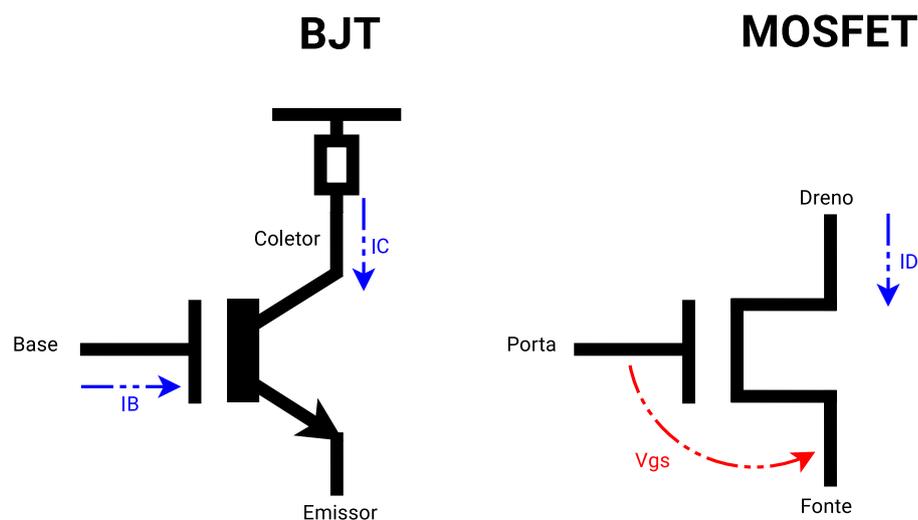


Figura 4 – Comparação sobre o princípio de funcionamento

2.1.3.1 Princípio de Funcionamento

MOSFET são usados como dispositivos discretos e como elementos ativos em circuitos integrados monolíticos digitais e analógicos [29]. Tem como função controlar a corrente elétrica que passa por ele, sendo uma estrutura que permite que a corrente flua através do substrato verticalmente. Em consequência tem a incumbência de amplificar ou efetuar a comutação de sinais eletrônicos.

Aplicando uma tensão de *controle* (V_{GS}) na porta, a qual vai controlar a quantidade de carga que fluirá no semicondutor. Essa região onde irão fluir os portadores de carga (elétrons ou lacunas) é chamada de canal, a qual sofrerá um confinamento, que acarretará na conexão de dreno e fonte. Ao controlar a quantidade de carga no canal, podemos controlar o fluxo de corrente entre os terminais de dreno e fonte. Assim, a tensão de entrada controla a corrente de saída. Isto é também conhecido como um dispositivo de transcondutância, em que a transcondutância (g_m) de um MOSFET é a medida da efetividade do controle da corrente de dreno pela tensão de porta. Determina-se o valor da transcondutância na região de saturação, derivando-se a equação da corrente de dreno (I_{DS}) em relação ao potencial de porta (V_{GS}), de acordo com a equação 2.1 [30–32].

$$g_m = \frac{\Delta I_{DS}}{\Delta V_{GS}} \quad (2.1)$$

Quanto à forma de funcionamento, os dispositivos MOSFET apresentam os seguintes possíveis tipos de operação: depleção e enriquecimento. À exceção de algumas aplicações de caráter especiais, maioritariamente utiliza-se o MOSFET do tipo de enriquecimento, tanto nos circuitos discretos como nos integrados. Além disso, a tecnologia CMOS utiliza transistores complementares operando no modo enriquecimento [33].

Depleção: O dispositivo é construído de forma que um canal de material tipo n - conecte as regiões de fonte e dreno; mesmo sem tensão, aplicada a porta pode-se ter a

passagem de corrente entre dreno e fonte. A aplicação de tensões negativas na porta tem como efeito repelir os elétrons para fora do canal, fazendo com que este fique com uma concentração baixa de elétrons. O canal deixa de existir não pelo processo de região de depleção, mas sim pelo processo de recombinação de elétrons e lacunas do substrato, com o dispositivo entrando em corte devido ao estrangulamento do canal.

Enriquecimento: É composto por duas regiões semicondutoras isoladas entre si pelo material semicondutor do substrato. O canal de condução é levemente dopado ou até mesmo não dopado tornando-o não condutor. Isto resultando em um dispositivo normalmente desligado quando a tensão de polarização de porta (V_{GS}) é igual a zero. O MOSFET de modo de enriquecimento é equivalente a uma chave “normalmente aberta”, devido à sua baixa resistência quando ligado e resistência extremamente elevada quando desligado, bem como a sua ainda mais alta resistência de entrada devido à sua isolação de porta. Para entrar em funcionamento, é necessário estímulo de tensão na porta (V_{GS}) maior que a tensão de limiar (V_{Th}).

2.1.3.2 Polarização

A operação de um dispositivo MOSFET está diretamente relacionada ao estímulo nos seus terminais, que pode ser classificada em 3 regiões de operação: corte, triodo e saturação, como mostra a figura 5. Para tensões entre porta e fonte superiores à tensão de limiar (V_{Th}), o transistor deverá conduzir operando na região triodo ou na região de saturação [34].

Corte Ocorre quando $V_{GS} < V_{Th}$, em que V_{GS} é a tensão entre a porta e a fonte. O transistor permanece desligado e não há condução entre o dreno e a fonte. A densidade de cargas no canal é nula ou muito pequena. Enquanto a corrente entre o dreno e fonte deve idealmente ser zero devido à chave estar desligada, há uma fraca corrente inversa.

Triodo Também chamada de região linear, a temos quando $V_{GS} > V_{Th}$ e $V_{DS} < V_{GS} - V_{Th}$ em que V_{DS} é a tensão entre dreno e a fonte. O transistor é ligado e o canal que é criado permite o fluxo de corrente entre o dreno e fonte. O transistor se comporta

como uma resistência controlada por tensão na porta. A equação que relaciona tensão e corrente num nMOS na região triodo é [30]:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [2(V_{GS} - V_{Th})V_{DS} - V_{DS}^2] \quad (2.2)$$

Saturação Ocorre quando $V_{GS} > V_{Th}$ e $V_{DS} > V_{GS} - V_{Th}$. Na região de saturação pode-se considerar que a equação 2.2 atinge o valor máximo de corrente, então o transistor comporta-se como uma fonte de corrente controlada por V_{GS} . O transistor fica ligado e um canal que é criado permite o fluxo de corrente entre o dreno e a fonte. Como a tensão de dreno é maior do que a tensão na porta, uma parte do canal é desligada. A criação dessa região é chamada de “*pinch-off*”. A corrente de dreno é agora relativamente independente da tensão de dreno (numa primeira aproximação) e nesta aproximação a corrente terá a expressão [30].

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{Th})^2 \quad (2.3)$$

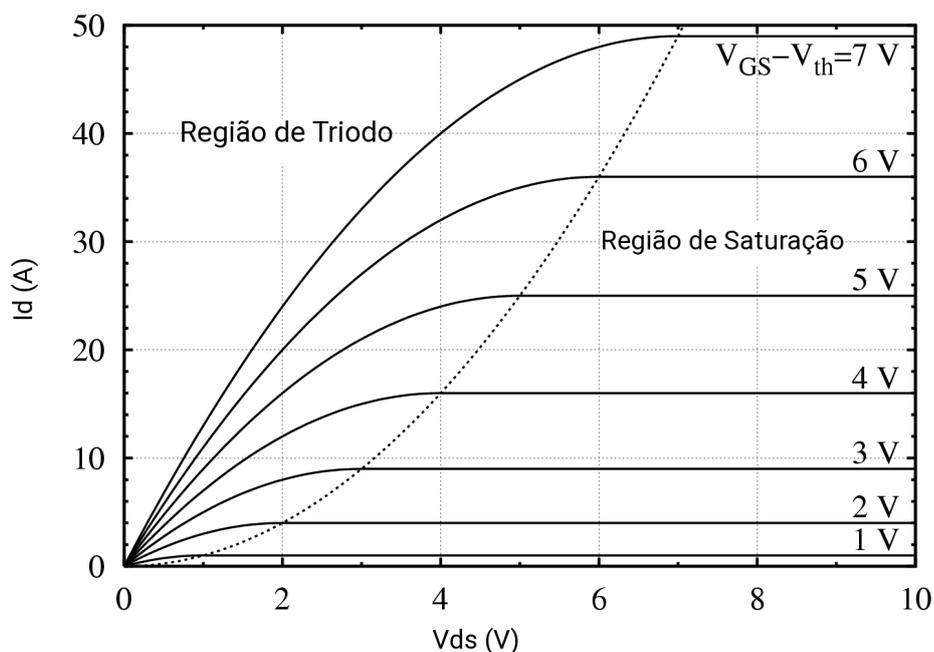


Figura 5 – Curva característica MOS

Em circuitos digitais, os MOSFET são usados somente em modos de corte e de triodo. O modo de saturação é usado em aplicações de circuitos analógicos, pois nesse estado a corrente é praticamente constante para futuros aumentos de V_{DS} . Sendo assim, nessa região de operação, o transistor responde melhor às variações de tensão entre porta-fonte (V_{GS}), propiciando a operação como amplificador.

2.1.4 Nanotecnologia

Escala (*scaling*) refere-se à redução da espessura do óxido de dispositivos e interconexões. Essa evolução nas tecnologias de processo trouxe novos benefícios. No entanto, a melhoria do desempenho e o dimensionando do componente acarretaram em vários desafios aos projetistas de circuitos integrados. Diversos efeitos, como *latch-up*, efeito de corpo e modulação de canal, já eram considerados em tecnologias micro-métricas [35, 36]. A dimensão do nó tecnológico tem sido miniaturizado nas últimas décadas [37–41], como mostra a figura 6.

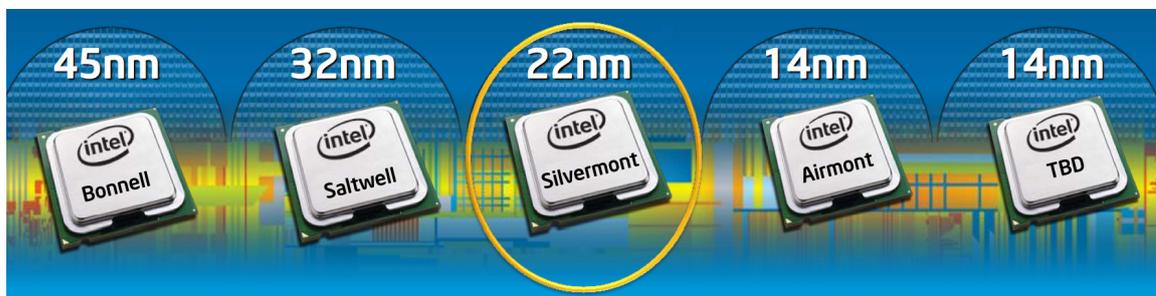


Figura 6 – Evolução dos Processadores

[Disponível em: <<http://www.zdnet.com/article/intel-developer-forum-the-top-9-takeaways/>> Acesso em 21/08/2016]

O fenômeno tem seguido a previsão da Lei de Moore, segundo a qual a complexidade da integração de dispositivos MOS é aproximadamente dobrada a cada dezoito meses [40], como mostra a figura 7, assim obrigando ao projetista a mudar a abordagem tradicional para lidar com o aumento da variação do processo, dificuldades de processamento de interconexão, e outros efeitos físicos recém exacerbados. Se por um lado obtiveram-se grandes vantagens como a maior densidade dos circuitos e a maior

velocidade das transições lógicas, por outro lado, houve perdas devido ao aumento da influência dos efeitos secundários nos circuitos.

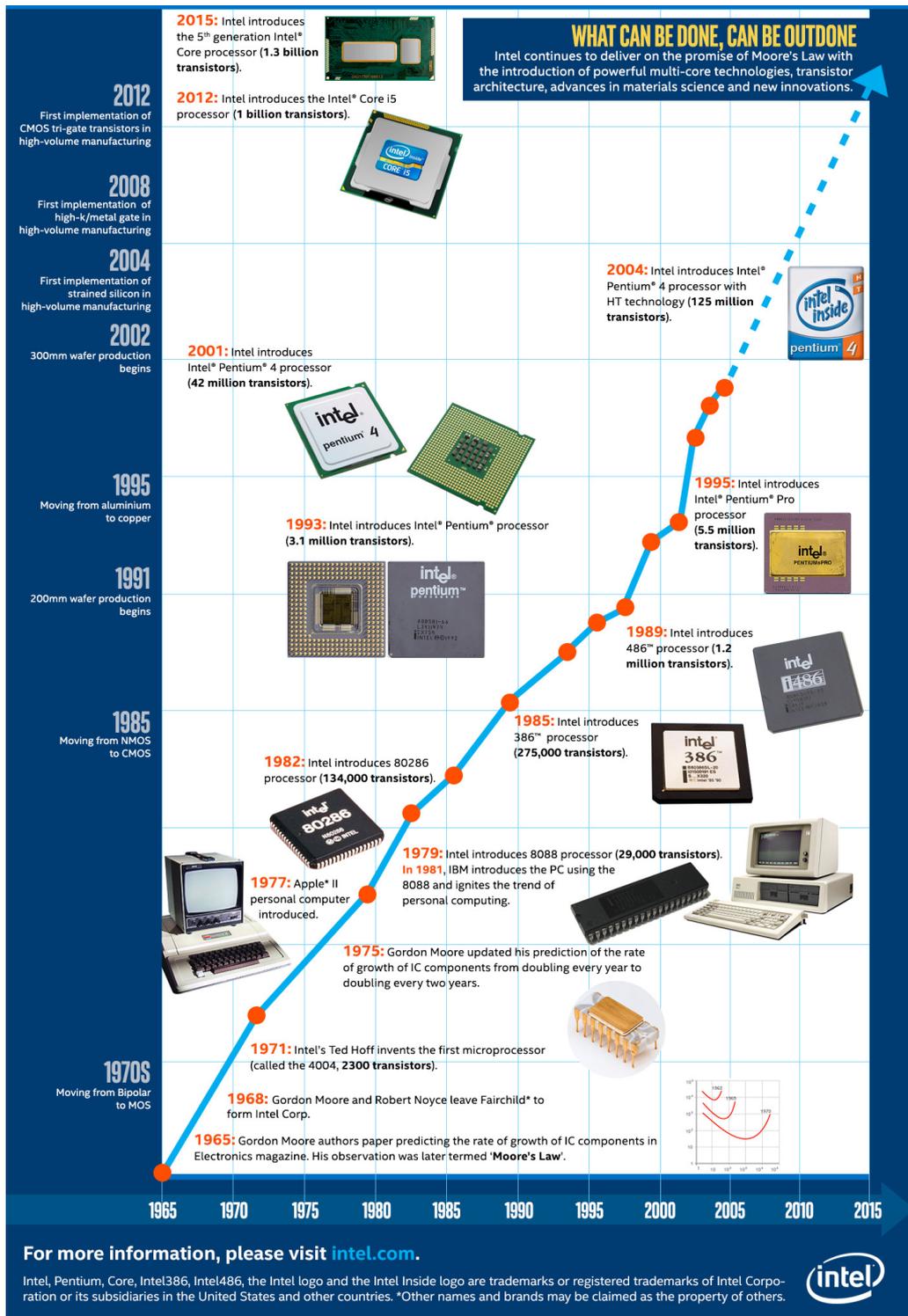


Figura 7 – Lei de Moore

[Disponível em: <<https://iq.intel.com/millennials-marching-to-the-quickenig-metronome-of-moores-law/>> Acesso em

O sucesso extraordinário da miniaturização da dimensão de transistores MOS-FET é atribuída aos seguintes fatores:

- Alto nível de integração de componentes (VLSI), com a perspectiva de fabricar sistemas eletrônicos funcionais completos na mesma pastilha de silício, o que melhora a confiabilidade do sistema, como mostra a figura 8;
- Redução dos custos, pois os componentes estariam menores, resultando em sistemas menores, e sendo fabricados na mesma pastilha, e com um consumo relativamente menor;
- Desempenho, pois o tempo de transição é menor, resultando em um chaveamento de carga e descarga capacitivas mais rápido. A frequência máxima de *clock* é controlada por uma corrente de acionamento, a qual está diretamente ligada a carga capacitiva.

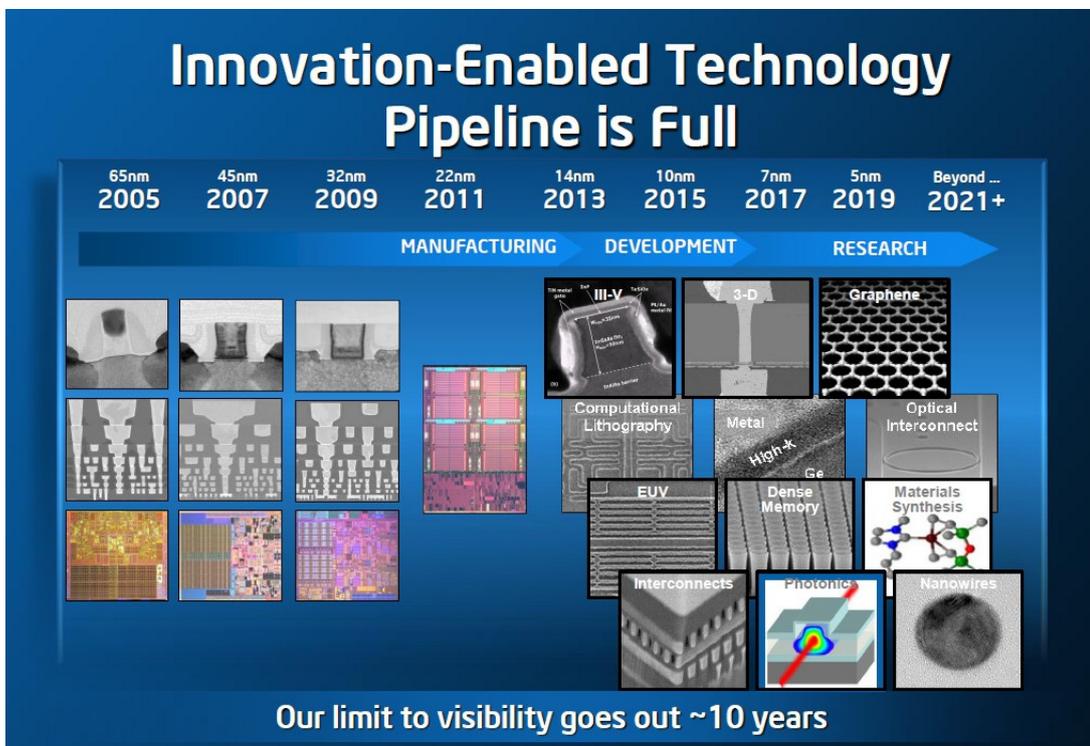


Figura 8 – Perspectivas a nível de processo e escala CMOS

A integração de objetos cada vez menores, acoplado com um aumento em o seu número, leva ao aparecimento de algumas variações nas características elétricas de dispositivos MOS, conseqüentemente afetando o desempenho e rendimento dos dispositivos.

2.1.4.1 Variabilidade de Processo

A escala está rigorosamente ligada à relação do comprimento do canal. São efeitos decorrentes da diminuição do mesmo (L). Em transistores de canal longo praticamente todas as cargas da região do canal são controladas pela porta. A situação de canal curto é configurada quando a quantidade de carga controlada pela porta é da mesma ordem de grandeza que a presente nas regiões de depleção de fonte e dreno. Nessa situação a porta já não controla todas as cargas da região de canal devido a diodos parasitários criados pela proximidade mencionada, como mostra a figura 9. Isso torna o desempenho mais sujeito a variações de processo e ao descasamento, assim tendo influência direta na variação da tensão de limiar (V_{Th}).

Como a tensão de alimentação (V_{DD}) não diminui com a mesma velocidade dos dispositivos, o campo elétrico no canal é relativamente alto, inserindo parasitas indesejados e novos fenômenos físicos, tais como corrente de fuga, efeitos de elétrons quentes, quantização dos níveis de energia e substrato não uniforme. Dessa maneira, afeta adversamente o atraso de propagação, a menos que a tensão de limiar (V_{Th}) seja reduzida. Com a diminuição da tensão de limiar (V_{Th}) fugas subliminares irão aumentar, devido à sua forte dependência da tensão de limiar. Assim uma redução de V_{Th} irá aumentar diretamente a dissipação de energia estática devido às correntes de fuga.

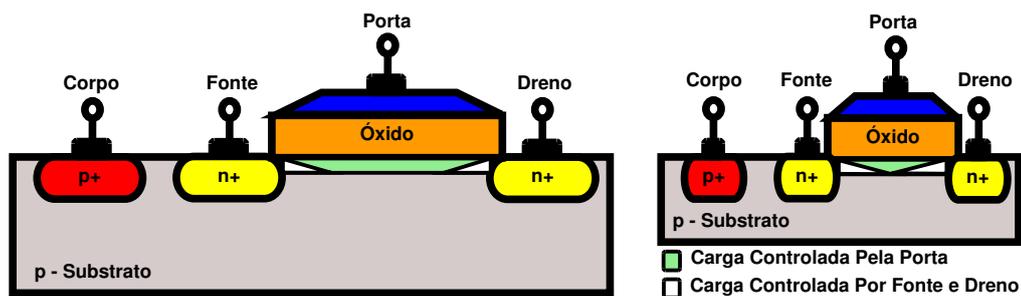


Figura 9 – Comparação do efeito do comprimento de canal

O principal problema associado à variabilidade existente nos dispositivos nanométricos é a incerteza gerada quanto ao correto funcionamento do circuito em termos de desempenho e potência. Isso significa que não existe garantia que um circuito projetado para operar em determinada frequência (ou próximo a ela) irá comportar-se como esperado após a fabricação. A variabilidade tanto pode apresentar melhoras quanto pioras em relação à especificação inicial.

Corrente de Fuga: Idealmente, um circuito CMOS não possui consumo estático de energia, ou seja, quando seus sinais de entrada e saída estão estáveis, não existe corrente fluindo entre os terminais de alimentação do circuito. Na prática, a afirmação acima não é verdadeira visto que existem correntes de baixa magnitude gerando consumo estático. Essas correntes são denominadas de correntes de fuga e sempre estiveram presentes nos circuitos, como mostra a figura 10. Entretanto, em tecnologias micrométricas elas não eram consideradas devido a sua insignificante magnitude. O advento das tecnologias nanométricas elevou a magnitude destas correntes e atualmente elas são parte significativa do consumo total dos sistemas eletrônicos.

A corrente de fuga de sublimiar (*subthreshold*) é a mais dominante em tecnologias nanométricas. Essa é uma corrente entre os terminais de fonte e dreno do transistor quando este não está conduzindo. Isso acontece quando a tensão aplicada em V_{GS} é menor que a tensão V_{Th} do transistor (modo de inversão fraca). Ela teve sua magnitude elevada em virtude da redução da tensão de alimentação que assegura uma redução contínua das tensões de limiar [42]. Entretanto, a tensão de limiar é o parâmetro do dispositivo MOSFET mais importante, e a sua estabilidade é uma premissa básica no projeto de circuitos integrados. Essa redução na tensão de alimentação é explicada pelo alto índice de integração nas recentes tecnologias, gerando assim um elevado consumo de potência. Porém se V_{Th} deriva muito do valor projetado, os circuitos podem deixar de funcionar.

Outra corrente de fugas que se deve atentar em projetos analógicos é a corrente de fuga de porta (*gate leakage*). Essa é uma séria preocupação devido a espessura de

óxido de porta estar na escala nanométrica. Com uma camada de óxido extremamente fina a diferença de potencial é insignificante. Assim, através do óxido de porta pode-se vir a induzir alto campo elétrico, fazendo com que os elétrons penetrem facilmente através do óxido. Para uma atenuação desse fenômeno um procedimento seria aumentar a espessura do óxido, assegurando ao mesmo tempo um bom controle eletrostático do canal. Quanto mais espesso é o óxido de porta, menor é a corrente de fuga.

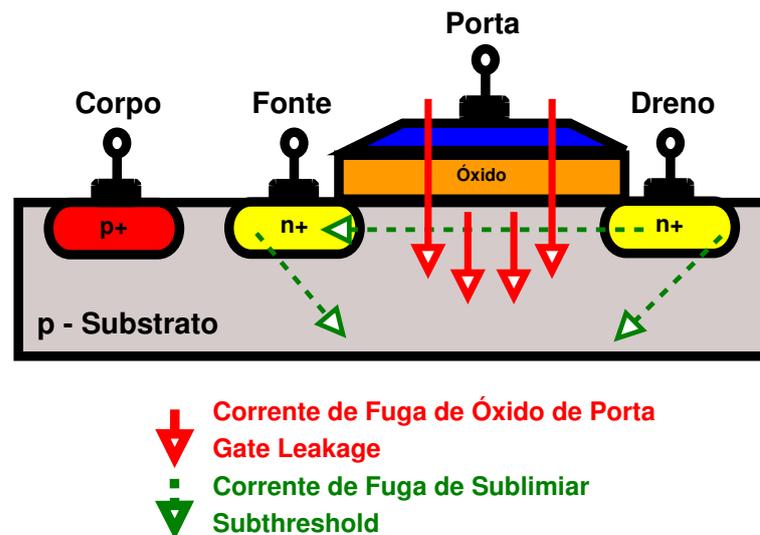


Figura 10 – Principais correntes de fuga em um transistor MOS

Quando a escala e os limites físicos tornam-se os problemas recorrentes, a solução pode estar em novos materiais e estruturas não-convencionais de projeto. Um projetista deve estar ciente do pior caso que possa existir antes do projeto ser implementado no silício. Diante de tais proposições implementam-se técnicas para reduzir o vazamento (corrente de fuga), e essa atenção deve ser redobrada quando usa-se o *chip* em projetos espaciais, quando, além das condições expressas acima, ocorre a variante radiação.

2.2 DARE - Design Against Radiation Effects

Para microeletrônica resistente à radiações, a lei de Moore mostra que a evolução não é a mesma quando comparada a tecnologias comerciais. Nesse processo evolu-

tivo, pelo menos três gerações de tecnologia para trás, a tecnologia “endurecida” e/ou com elevado grau de robustez à radiação ionizante (RHBD - *Radiation-Hardened-by-Design*) está. Tecnologia “endurecida” exige técnicas de processamento especializado e é produzida em volumes muito pequenos para os padrões comerciais. Como resultado, o poder de computação disponível para ativos espaciais está ainda muito aquém das aplicações terrestres [43].

Dispositivos semicondutores de tecnologias micro e nanométricas sofrem com os efeitos da radiação em ambientes hostis como o espaço. Várias abordagens têm sido utilizadas para tornar estes dispositivos imune à radiação.

O IMEC, é um instituto de pesquisa de renome internacional que realiza pesquisas em diferentes campos da micro e nanoeletrônica. Sediado em Leuven, na Bélgica, com escritórios na Holanda, Taiwan, EUA, China, Índia, Nepal e Japão, fez uso de seu conhecimento avançado e, juntamente com o CERN (Organização Européia para a Pesquisa Nuclear) e a ESA (Agência Espacial Européia), iniciou o desenvolvimento de bibliotecas endurecidas à radiação (DARE - *Design Against Radiation Effects*) com tecnologia da UMC (*United Microelectronics Corporation*). A Agência Espacial Européia patrocinou este trabalho devido a *foundrys* européias estarem deixando o mercado motivados pela redução da demanda por parte dos clientes militares e aeroespaciais e de falta de volumes comercialmente interessantes [44].

A biblioteca DARE foi desenvolvida para ser usada em combinação com tecnologias comerciais e procura independência, não limitando-se a *foundrys* específicas, para atuar em ambientes de extrema radiação e ambientes agressivos, tendo como objetivo fornecer uma plataforma de tecnologia analógica e digital em microeletrônica capaz de atuar nesses ambientes. Os elementos da biblioteca DARE (UMC 180nm) estão sendo melhorados constantemente, e novos elementos são adicionados para aumentar a maturidade a um nível adequado. A tecnologia evoluiu de uma oferta inicial apenas de células padrão puramente digital para uma plataforma de tecnologia capaz de fornecer uma proposta robusta em sinal misto e analógico.

Contudo, processos de fabricação estão evoluindo para novas tecnologias que

permitem que os dispositivos a serem produzidos tenham geometricamente tamanhos menores, como já mencionados neste trabalho na seção 2.1.4. Entretanto, juntamente com os efeitos já recorrentes da miniaturização dos dispositivos, a radiação ionizante apresenta alguns outros efeitos como DD (*Displacement Damage* - Danos por deslocamento), TID (*Total Ionizing Dose* - Efeito de dose total ionizante ou ainda efeitos de carga total) e SEE (*Single Event Effects* - ou efeitos de eventos singulares ou ainda efeitos por eventos isolados), os quais serão abordados com mais ênfase no capítulo 3.

Os efeitos de TID sobre os sistemas eletrônicos podem ser naturalmente reduzidos devido ao óxido de isolamento mais fino dos *nós* tecnológicos recentes, o que reduz a retenção de carga induzida por radiação ionizante. Entretanto, com o óxido fino os efeitos de DD e SEE ficam mais evidentes, conseqüentemente, esses efeitos de radiação podem afetar a funcionalidade dos circuitos integrados, mesmo em tecnologias submicrométricas [45].

A principal causa da degradação elétrica em transistores CMOS expostos a radiação ionizante é o acúmulo de cargas na interface SiO_2 , o que desloca os principais parâmetros elétricos dos transistores MOSFET. O mais importante é a tensão limiar. Outros efeitos da radiação ionizante sobre as estruturas MOSFET são [46]:

- aumento do vazamento (corrente de fuga)
- diminuição de transcondutância
- redução de tensão de ruptura dreno-fonte
- deterioração dos parâmetros de ruído
- redução de mobilidade superficial
- aumento da velocidade de recombinação superfície (elétrons - lacunas)

Estes efeitos **não** são um problema negligenciável nos circuitos integrados analógicos, uma vez que o ponto de funcionamento (polarização) e o consumo de energia de tais circuitos podem ser afetados diretamente.

Para diminuir as perdas devido aos efeitos e aumentar a tolerância à radiação, criou-se desenhos típicos de transistores de geometria de gate fechado (ELT - *Enclosed Layout Transistor*), também chamados em outros lugares de transistores sem margens, que serão abordados na seção 4.2.2.1.

Este trabalho fez uso de transistores ELT como mostra a figura 11, pertencentes a tecnologia DARE, através de processo CMOS que faz uso da biblioteca UMC, de nó tecnológico de 180nm, a qual tem densidade de $25 \frac{kgates}{mm^2}$, com 6 camadas de metais em um único substrato, incluindo tensão de limiar múltipla, tensão de alimentação de 1.8V, que foi usada nesta dissertação, bem como de 3.3V.

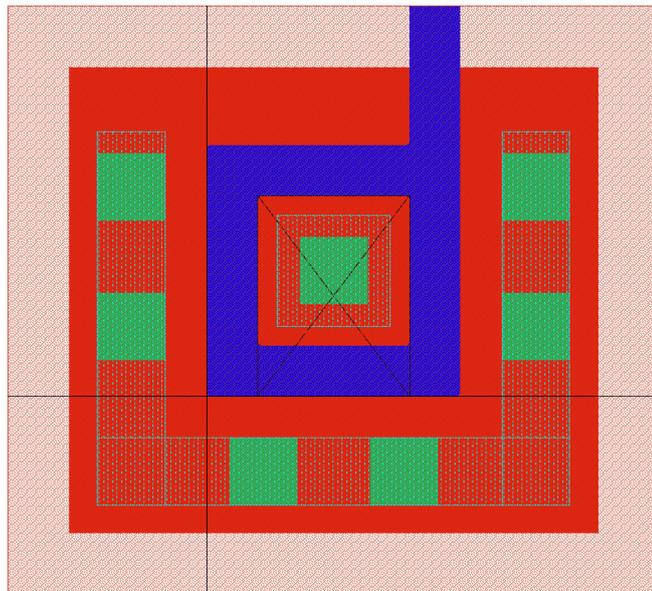


Figura 11 – Transistor ELT em tecnologia UMC 180nm

3 Efeitos da Radiação

O silício (*Si*) continua dominando a indústria de semicondutores. Inúmeros avanços resultaram em uma alta densidade de funções lógicas em um único *chip*. Com este avanço muitos problemas de confiabilidade foram resolvidos, mas novos problemas de confiabilidade estão presentes, como mencionado no capítulo anterior. Silício possui muitas vantagens, incluindo baixa densidade de defeitos, alta resistência e boa condução térmica. Com a miniaturização e camadas mais finas problemas com a confiabilidade se tornam mais evidentes [47], e aumentam quando expostos à radiação ionizante.

Fontes de radiação afetam diretamente sistemas eletrônicos, quando sujeito a este ambiente extremo. A confiabilidade de dispositivos microeletrônicos implementados em um ambiente radioativo é um fator importante que determina seu tempo de vida. A funcionalidade de uma nave espacial, um satélite, reatores nucleares, ou detectores de partículas depende de uma grande quantidade de dispositivos confiáveis para um longo período de tempo sob condições extremas de funcionamento. Para o desenvolvimento de circuitos *endurecidos*, é imprescindível conhecer os efeitos da radiação, para garantir o correto funcionamento.

Tradicionalmente, a radiação tem sido apenas um problema em áreas com níveis elevados de radiação, como o espaço e aceleradores de partículas. Hoje em dia a eletrônica tem sido suscetível a danos da radiação em um nível terrestre também. Este capítulo discute efeitos da radiação em dispositivos semicondutores, em especial da tecnologia CMOS, a fim de fornecer ao projetista um conhecimento para um desenvolvimento de técnicas de robustez e mitigação aos efeitos da radiação, tanto em nível de dispositivo, quanto de circuito e sistema.

3.1 Ambiente Espacial

Existem três principais fontes de radiação ionizante no ambiente espacial:

- As partículas geradas durante eventos que ocorrem no sistema solar,
- Partículas presas dentro da magnetosfera dos planetas,
- Raios cósmicos galácticos (RCG).

Satélites e veículos espaciais estão continuamente expostos a uma variedade de partículas radioativas, fenômenos gerado principalmente pelo sistema solar. A atmosfera exterior do Sol (a coroa) emite um fluxo contínuo de partículas chamado vento solar, composto de prótons, elétrons, partículas alfas, e íons pesados [48]. Devido à elevada temperatura da superfície do Sol, essas partículas podem ganhar energia suficiente para escapar da força gravitacional do Sol e viajar no espaço exterior, atingindo também a magnetosfera da Terra. A emissão maciça de plasma ionizado a partir do Sol é chamada de ejeção de massa coronal (*CME - Coronal Mass Ejection*). Este pode aproximar-se da Terra em poucos minutos, possivelmente provocando sérios danos à eletrônica em órbita.

Todos os elementos com número atômico (Z) maior que 82 são radioativos e, portanto, passam por processos de rearranjo nuclear até que seja atingido o equilíbrio no núcleo atômico [49]. O equilíbrio é atingido por meio da emissão de partículas e raios γ .

A magnetosfera da Terra é formada pela interação do campo magnético da Terra e do vento solar. Ela é comprimida no lado solar e profundamente estendida sobre o lado oposto, como esboçado na figura 12. Essa assimetria é alcançada para equilibrar o vento solar e a pressão do campo geomagnético. Na região dos polos, a magnetosfera dá a possibilidade de partículas de penetrarem na atmosfera superior da Terra.

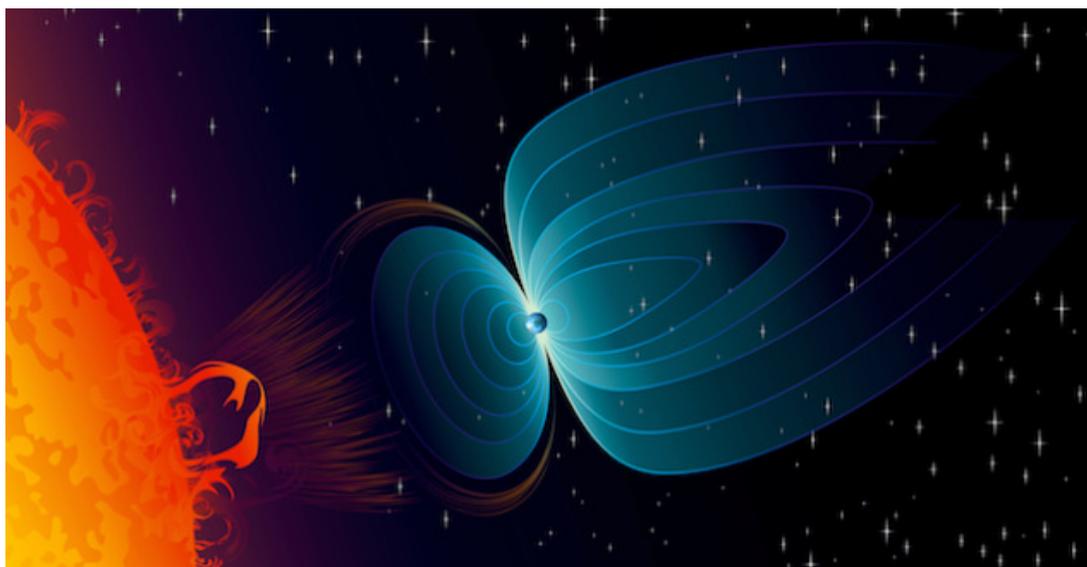


Figura 12 – Campo magnético da Terra

[Disponível em: <<http://gizmodo.com/the-earths-magnetic-field-could-flip-within-a-single-li-1647314349>> Acesso em 19/09/2016]

Perto da Terra uma pequena porcentagem das partículas carregadas que passam em torno da magnetosfera pode ser presas nos cinturões internos de Van Allen, os quais podem capturar elétrons com energias até dezenas de MeV e prótons com até centenas de MeV, bem como íons pesados [50].

3.1.1 Atividade Solar

A atividade solar é cíclica, com um período aproximado de 11 anos, compreendendo 07 anos de alta atividade e 04 anos de baixa atividade, uma das manifestações mais importante deste ciclo é a mudança nas manchas solares (*sunspots*). Região de intenso campo magnético, onde ocorre uma redução de temperatura e pressão das massas gasosas no Sol. No período de baixa atividade, o número de manchas em sua superfície é praticamente zero, assim as explosões solares (*solar flares*) geralmente emitem íons pesados em uma quantidade muito menor de que os fluxos emitidos pelos raios cósmicos galácticos que viajam pelo sistema solar.

À medida que a atividade solar vai aumentando, estas manchas solares vão se alargando, e a atividade solar vai aumentando gradativamente, e esse ciclo continua

até chegar no período de alta atividade. Nesse aumento gradativo, acontece um aumento sistemático da quantidade de manchas e explosões solares. As explosões solares são uma enorme liberação de energia, que ocorre na superfície do Sol quando a energia que está armazenada no campo magnético e nas manchas solares é subitamente liberada em uma explosão. As explosões solares produzem uma enorme emissão de radiação que se espalha ao longo de todo o espectro eletromagnético, emitem íons de alta energia (dezenas de MEV a centenas GeV), além de partículas alfa e elétrons.

Outra atividade relacionada ao sol é o vento solar. O vento solar é a emissão contínua de partículas carregadas provenientes da coroa solar. Essas partículas podem ser elétrons, prótons, além de sub-partículas como neutrinos. Próximo da Terra, a velocidade das partículas pode variar entre 400km/s e 800km/s , com densidades próximas de 10 partículas por centímetro cúbico. Variações na coroa solar, devido à rotação do Sol e às suas atividades magnéticas, tornam o vento solar variável e instável, exercendo influência nos gases ao redor da estrela e planetas próximos.

O vento solar expelle uma espécie de plasma que sai constantemente do Sol em todas as direções, originada a partir de uma onda de choque, seguida por uma emissão de partículas [51], como mostra a figura 13. É esse vento solar que alimenta as auroras polares (ou aurora boreal), que governa todo o clima espacial em nosso sistema solar, ele ocorre devido a alta temperatura da coroa solar. A fuga de elétrons cria um desbalanceamento de carga (gás ionizado) na coroa solar, resultando também na ejeção de prótons e íons pesados, fenômeno esse denominado ejeção de massa coronal (EMC) ou labaredas solares. São mais ou menos correlacionadas com a atividade das manchas solares, mas nem todas as labaredas ocorrem em conjunto com uma mancha solar. As manchas produzem prótons, bem como íons pesados que viajam ao longo das linhas do campo magnético do Sol. A maioria das explosões solares não vão em direção a Terra, entretanto algumas podem escapar e fazê-lo, o que pode degradar células solares, afetando o sistema de energia, bem como produzir TID e SEE. A interação entre o vento solar e o campo magnético da Terra ocasiona as chamadas tempestades geomagnéticas. Quando isso acontece, a radiação afeta os equipamentos eletrônicos dos

satélites, prejudicando as comunicações. Os próprios satélites podem ser danificados ou perdidos. As camadas superiores da atmosfera se aquecem e se expandem e podem atingir a altura de um satélite [47]. O fenômeno também pode colocar em perigo voos comerciais, que ficam incomunicáveis nas rotas mais próximas dos polos Norte e Sul, onde se concentra a maior parte das partículas solares. O vento solar é composto, aproximadamente, por 95% de prótons, 4% de íons de Hélio, 1% de outros íons pesados e uma quantidade de elétrons que torne o vento solar neutro [4, 52].

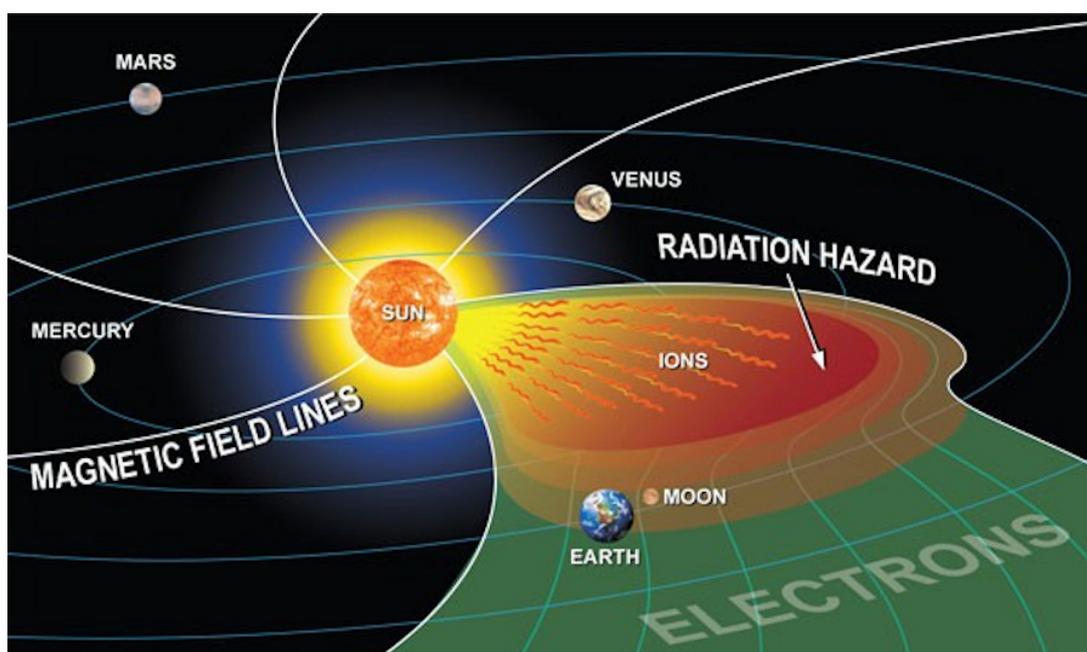


Figura 13 – Partículas de alta energia provenientes do Sol

[Disponível em: <<http://arcturan.com/space-weather/>> Acesso em 21/09/2016]

Curiosamente, o ciclo solar também afeta os fluxos de raios cósmicos: quanto maior a atividade do Sol, menor o fluxo de raios cósmicos, graças aos efeitos de blindagem de partículas solares. No entanto, as partículas solares têm energias mais baixas em comparação com partículas RCG [51].

3.1.2 Raios Cósmicos Galácticos - RCGs

RCG são formados por núcleos atômicos de alta velocidade com uma ampla gama de energia, resultantes de explosões de estrelas e outros eventos de alta ener-

gia que acontecem fora do sistema solar mas dentro de nossa galáxia como mostra a figura 14. Partículas estas que se deslocam com velocidades próximas à velocidade da luz. A movimentação destas partículas pela heliosfera é um exemplo de interações magnetohidrodinâmicas. Magnetohidrodinâmica é o estudo do movimento do fluido condutor de eletricidade na presença de um campo magnético [53]. As correntes elétricas induzidas no fluido como resultado de seu movimento alteram as linhas de campo magnético, por sua vez a variação das linhas de campo magnético produzem forças que modificam o movimento do fluido [54].



Figura 14 – Raios cósmicos galácticos

[Disponível em:<<http://www.apolo11.com/>> Acesso em 19/09/2016]

As partículas transportadas pelo meio interplanetário são denominados raios cósmicos primários. Essas partículas primárias não conseguem chegar até a superfície terrestre uma vez que ao entrarem em contato com a atmosfera terrestre, cerca de 10 mil metros acima da superfície do planeta, tornam-se suscetíveis a interações com elétrons, núcleos de átomos e moléculas que constituem a atmosfera. As partículas sofrem perda de energia através de processos hadrônicos e eletromagnéticos [53].

Os hádrons incidentes sofrem interações de natureza forte quando colidem com

núcleos atmosféricos, conseqüentemente eles interagem com átomos do ar, reagindo com oxigênio e nitrogênio, dando origem a partículas secundárias também muito energéticas, denotadas por chuva de partículas ou chuva de raios cósmicos, como ilustrado na figura 15. Essas partículas secundárias incluem prótons, nêutrons, píons e múons. Píons e múons tem um ciclo de vida curto, $26ns$ e $2.2\mu s$ respectivamente, e por conseqüência acabam atingindo a Terra em números insignificantes. Estas partículas secundárias interagem com a atmosfera criando outras partículas (terciárias), e esse ciclo repete-se formando uma cascata de partículas até o momento em que a energia disponível deixa de ser suficiente para alimentar a produção [55, 56].

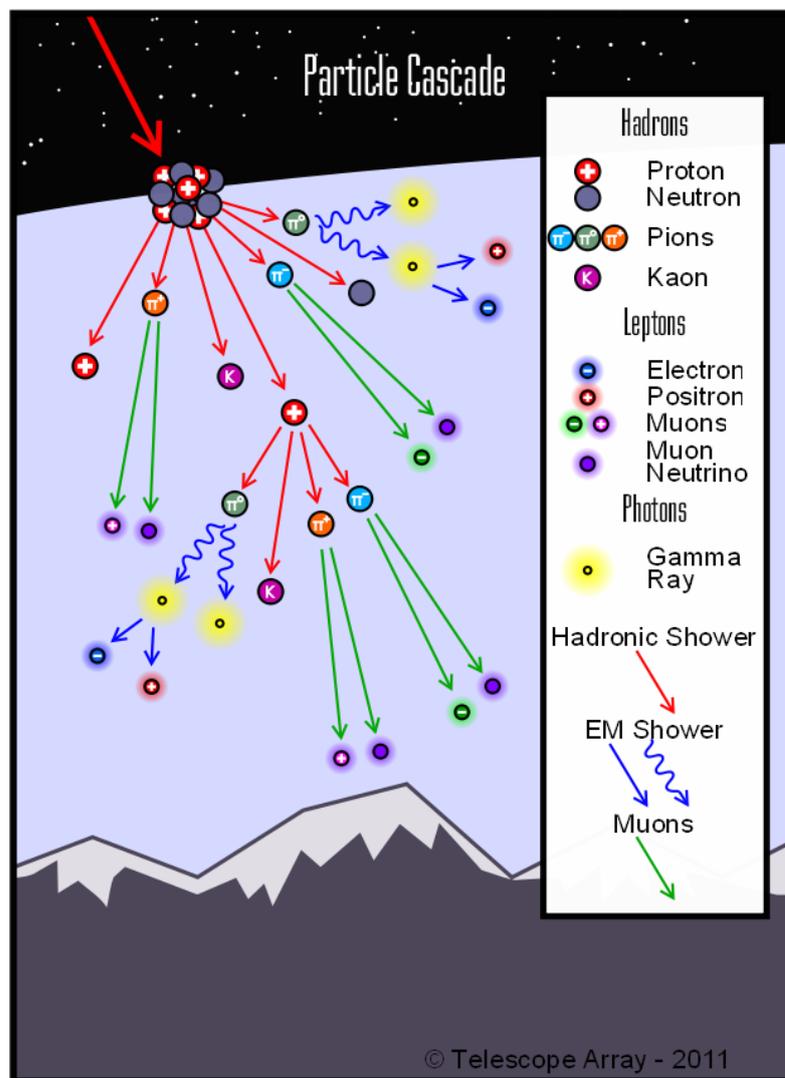


Figura 15 – Chuveiro de partículas

[Disponível em: <<https://astrobit.es.org/2013/06/04/cosmic-rays-from-the-telescope-array/>> Acesso em 09/03/2017]

Créditos: Peter Christiansen - Projeto: Telescope Array.

As regiões do espaço compreendidas entre as galáxias são repletas de partículas energéticas que podem ser classificadas como raios cósmicos. São compostas aproximadamente de prótons (85%), partículas alfa (14%) e núcleos pesados (1%) [57]. Outra classificação aproximada é de prótons (83%), núcleos de hélio (13%) e elétrons (3%) [48, 52]. Efetivamente, partículas alfa são compostas da mesma estrutura de núcleos do átomo de hélio. Uma emissão alfa é igual a um núcleo de hélio, que por sua vez, um núcleo atômico de hélio contém em seu interior dois prótons e dois nêutrons, a diferença entre a emissão alfa e o átomo de hélio é que na emissão alfa ela tem dois elétrons retirados da eletrosfera.

A atividade solar também tem influência sobre o fluxo de RCGs que chega até a atmosfera terrestre, exercendo uma espécie de modulação. Em períodos de alta atividade solar a incidência de RGG é menor do que em períodos de baixa atividade [58].

3.1.3 Cinturão de Van Allen

Os cinturões de Van Allen consistem em duas regiões de partículas presas eletricamente carregadas, mantidas no lugar pelo campo magnético terrestre como ilustrado na figura 16. O cinturão interno fica entre 700 km e 10.000 km de altitude acima da superfície terrestre e é formado de prótons de alta energia e aprisiona elétrons com energia menor que $5MeV$. O cinturão externo fica entre 13.000 e 65.000km de altitude e é formado por elétrons de alta energia, que podem atingir $7MeV$. Os cinturões estão separados por uma região de fluxo de partícula reduzida, chamada região de ranhura.

Ainda há uma terceira porção do cinturão de Van Allen, ainda mais externa, a qual foi observada em 01 de setembro de 2012, devido à incidência de uma tempestade geomagnética chamada *ultra-low frequency (ULF)* [59], onde se encontrava partículas de até $30MeV$, em sua maioria elétrons perdidos nas tempestades geomagnéticas. Os cinturões impedem que elétrons ultra-energéticos atinjam o planeta Terra.

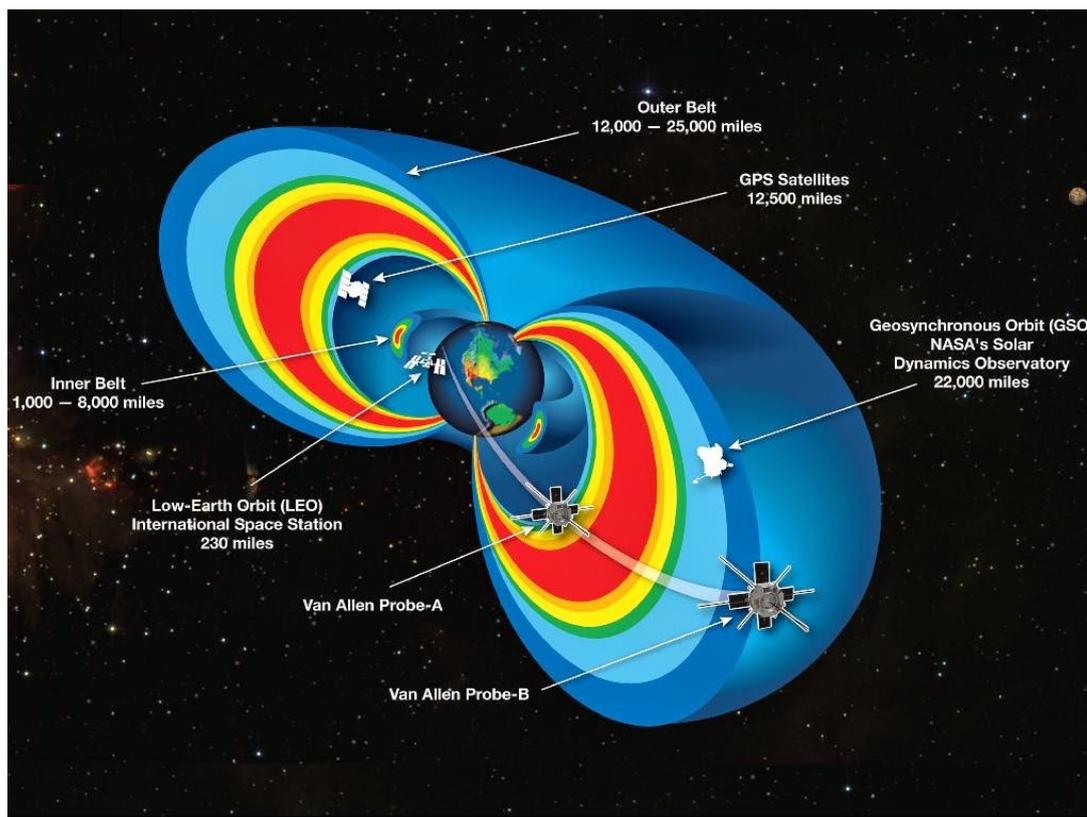


Figura 16 – Cinturão de Van Allen 3D

[Disponível em: Wikipédia: a enciclopédia livre. <http://pt.wikipedia.org/wiki/James_van_Allen> Acesso em 19/09/2016]

A borda interna do cinturão mais externo de Van Allen funciona como uma fronteira que esses elétrons não conseguem penetrar em condições normais, a chamada plasmasfera, uma nuvem gigante de partículas carregadas que fica a cerca de 1000 km da superfície terrestre, estendendo-se até o cinturão mais externo de Van Allen pode ser o responsável por esse escudo. As partículas na borda externa da plasmasfera fazem com que as partículas do cinturão externo se dispersem e passem a se movimentar rapidamente ao redor do nosso planeta. Esse movimento é capaz de repelir os elétrons mais energéticos que tentam se mover na direção da Terra.

A grande parte da energia solar é liberada no espaço sob a forma de radiação eletromagnética, principalmente na forma de luz visível, o Sol emite também o vento solar que interage fortemente com a magnetosfera dos planetas e contribui para limpar o espaço interplanetário, ejetando gases e as poeiras fora do sistema solar. As erupções solares enviam continuamente as partículas de alta energia no espaço, e às vezes

uma bolha de plasma superaquecida e radioativa, a qual tenta atingir a Terra. Todas as partículas energéticas emitidas pelo Sol para a Terra, viajando em alta velocidade são direcionadas permanentemente para os pólos da magnetosfera. Nunca o vento solar atinge a superfície da Terra diretamente.

No cinturão de Van Allen, as partículas energéticas (prótons e elétrons) se organizam em torno da Terra, dependendo da intensidade do campo magnético. Esse campo magnético age como um escudo desviando a corrente elétrica do vento solar que flui fora da magnetosfera. Essa bolha magnética nos abriga da radiação solar mortal.

A diferença entre o eixo de rotação geográfico da Terra e o eixo do dipolo magnético que é responsável pelos cinturões de radiação presos são ligeiramente desalinhados, diferindo por cerca de 11° . Existem também regiões não homogêneas no material magnético na crosta terrestre, que também contribuem para o mergulho nas linhas de campo [47]. Assim, provocam uma região de campo magnético inferior, localizado sobre o Atlântico Sul, região onde a parte mais interna do cinturão de Van Allen se aproxima da Terra, e que é chamada Anomalia do Atlântico Sul (SAA - *South Atlantic Anomaly*) [60], ilustrada na figura 17.

O formato da área da SAA sofre alterações ao longo do tempo. Desde a sua descoberta em 1958, os limites ao Sul desta área permanecem relativamente constantes, enquanto uma expansão constante tem sido registrada nos limites Norte, Noroeste, Nordeste e Leste. Além disso, a forma e a densidade das partículas varia diuturnamente, com a maior concentração de partículas ocorrendo ao meio-dia local. A uma altitude de cerca de 500 km, a área da SAA se expande entre -50° e 0° de latitude geográfica e -90° e $+40^\circ$ de longitude. A parte de maior intensidade da SAA se desloca para Oeste à velocidade de cerca de 0.3° por ano. A taxa com a qual a SAA se desloca, está bem próxima do diferencial de rotação entre o núcleo da Terra e a sua superfície, que é estimado entre 0.3° e 0.5° por ano [61].

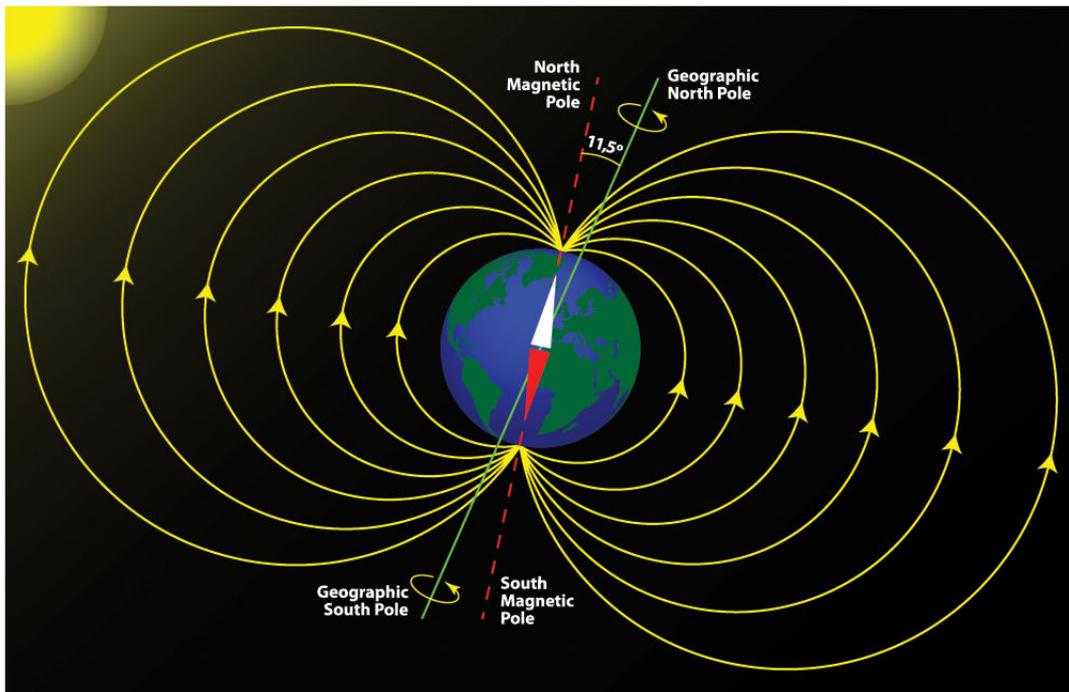


Figura 17 – Anomalia do Atlântico Sul

[Disponível em: Wikipédia: a enciclopédia livre. <https://pt.wikipedia.org/wiki/Anomalia_do_Atlântico_Sul> Acesso em 23/09/2016]

Um lento enfraquecimento do campo geomagnético, é uma das várias causas nas alterações nas fronteiras da SAA desde a sua descoberta. Enquanto esse enfraquecimento continuar, mais a região interna do cinturão se aproxima da Terra, com a consequente expansão da área da SAA em determinadas altitudes [62].

Na extensão da SAA o fluxo de elétrons é ($> 1MeV$) e o fluxo de prótons é ($> 10MeV$) em altitudes inferiores a $1000 - 2000km$ esse valor é relativamente alto em comparação com uma altitude equivalente em relação a outras regiões da Terra [57, 63]. A SAA é responsável pela maior parte de radiação aprisionada incidente sobre satélites de baixa órbita [64, 65]. Assim acarretando consequências imprevisíveis, gerando efeitos de danos por deslocamento, efeitos de dose total ionizantes e efeitos de eventos singulares, efeitos estes que podem ser catastróficas aos dispositivos.

3.1.4 Radiação Terrestre

Os raios cósmicos também podem induzir a erros em eletrônica ao nível do mar. Partículas terrestres incluem partículas alfa, produzido pelo decaimento radioativo de impurezas como: urânio, tório, platina, neodímio, gadolínio, samário, rênio, háfnio, que são todos os emissores alfa [51]. Esses elementos podem ser intencionalmente utilizados na fabricação de circuitos integrados. Há também os nêutrons e o hélio. Particularmente, os nêutrons são produzidos quando os raios cósmicos galácticos interagem com nitrogênio na atmosfera. Como eles não têm carga significativa, a probabilidade de interação é pequena, com um caminho livre de médio a longo prazo através da atmosfera. Um certo número deles consegue sobreviver, produzindo uma pequena, mas significativa fluência de nêutrons na superfície terrestre [47, 66–69]. Como os nêutrons interagem com silício, a reação nuclear ocorre, e as partículas secundárias de alta energia resultantes se espalham em todas as direções no dispositivo, produzindo perturbações de uma forma mais ou menos similar aos efeitos de prótons no espaço, embora a uma taxa muito menor. A fluência de nêutrons varia um pouco com a localização na superfície da Terra. Também aumenta com a altitude; a fluência de nêutrons é cerca de 200 vezes maior em uma aeronave operando a 35.000 pés em comparação com a fluência ao nível do mar [47].

Dessa forma a atmosfera da Terra torna-se um ambiente perigoso para componentes eletrônicos. Todos esses raios cósmicos, juntamente com as partículas carregadas, produzem ionização intensa e é muito difícil de se proteger contra elas.

Interações de nêutrons, juntamente com interações de partículas alfa, são de grande preocupação para a indústria de semicondutores, porque a sensibilidade dos dispositivos eletrônicos para tais interações aumenta acentuadamente para dispositivos eletrônicos com a miniaturização dos mesmos e o tempo de comutação muito mais rápido [47]. Essa diminuição contínua de dimensões está abrindo portas para novas ameaças, tais como píons e múons. Na verdade, múons foram consideradas inócuas para eletrônica até algumas gerações atrás, mas hoje a tecnologia CMOS encolheu tanto que até mesmo píons e múons podem produzir erros em condições particulares

[51].

Sendo assim, a interação da radiação com dispositivos eletrônicos e circuitos integrados, se divide em dois grupos, o primeiro denominado de efeitos cumulativos, e o segundo grupo denominado de efeitos de eventos singulares (individuais). O primeiro grupo é formado por DD e TID, e o segundo grupo é formado por SEE.

3.2 Efeitos da Radiação em Dispositivos CMOS

Antes de um dispositivo poder ser utilizado no espaço, ele deve ser qualificado para garantir que irá sobreviver ao rigoroso ambiente espacial. Além da radiação um dispositivo deve suportar variações de temperatura, pressão e vibração. Efeitos da radiação podem levar à degradação, mau funcionamento ou até mesmo danos permanentes nos circuitos e dispositivos eletrônicos. Interações de radiação com material sólido dependem de uma variedade de fatores, como o tipo de material, a energia cinética, a massa e o estado de carga da partícula, número atômico e a densidade do material do alvo, para citar alguns.

Partículas pesadas carregadas (como prótons) perdem sua energia através de dois processos: ionizantes e não-ionizantes, enquanto partículas menos carregadas (como elétrons) perdem sua energia principalmente através de processos ionizantes. Partículas pesadas não carregadas (como nêutrons) perdem a sua energia através de processos não-ionizantes.

Prótons e elétrons são as mais numerosas partículas em ambientes espaciais. O efeito formado de muitas interações destas partículas produz (em média) uma quantidade uniforme de danos em um dispositivo semicondutor, efeitos estes divididos em cumulativos e não-cumulativos. Os efeitos cumulativos podem ionizar o material e afetar sua estrutura, denominados de efeitos de dose total ionizantes (TID) e efeitos de danos por deslocamento (DD). Os não cumulativos são formados por efeitos de eventos singulares (SEE), em que os efeitos são altamente localizados, e ocorrem devido a deposição de carga (partículas altamente energizadas) provenientes de uma única

partícula ionizante no semicondutor, e como tal, tem uma natureza estocástica, provocando a geração de pares elétrons-lacunas, os quais podem produzir perturbações elétricas transitórias, que podem ou não resultar em falhas.

3.2.1 Eventos Cumulativos

Partículas energéticas incidentes em um sólido perdem sua energia cinética através de pares elétrons-lacunas, e deslocando átomos enquanto percorrem o material. Em um material como o silício, a acumulação de defeitos na rede cristalina, a partir da perda de energia não ionizante de um grande número de partículas incidentes, afetará diretamente a vida útil e a mobilidade do portador minoritário, causando modificações das características elétricas dos componentes (degradação paramétrica ou falha funcional e aumento da corrente de fuga). Efeitos não-ionizantes geram perda de energia, que resulta em danos por deslocamento.

Quando um isolante é exposto a radiação ionizante, a ionização do material é causada pela interação de fótons de alta energia ou partículas carregadas [70]. Como a mobilidade das lacunas é menor que a dos elétrons, cargas positivas podem ficar armadilhas ou apresentar alterações na interface [49]. A formação e o armadilhamento de lacunas no SiO_2 causam degradação de dispositivos MOSFET.

Os efeitos cumulativos podem ser medidos de duas formas diferentes de acordo com a fonte do dano, seja ele ionizante ou não-ionizante, ou devido ao seu tempo de exposição. Efeitos estes relativos a modificações estruturais no material do componente eletrônico, que por vezes podem acabar não sendo reversível.

3.2.1.1 Efeitos de Danos Por Deslocamento (DD)

Danos não-ionizantes, devido à colisão de prótons, elétrons e nêutrons causam danos por deslocamento (DD). Este efeito é mais predominante nas tecnologias bipolares. Tecnologia CMOS é conhecida por ser sensível ao TID, mas imune a DD [71]. Exceção a essa regra é encontrada em MOSFET de potência. Embora as interações nucleares também ocorram em metais e isolantes, os seus efeitos não são tipicamente

detectáveis [72].

Partículas carregadas colidem e alteram a estrutura molecular, criando lacunas adicionais que se recombinam com elétrons, como mostrado no processo da figura 18. Esse excesso de recombinação reduz a corrente, e, portanto, diminui o ganho do transistor. Eventualmente, o ganho é muito baixo e o dispositivo pode deixar de funcionar. Esse fenômeno ocorre quando uma única partícula cria um número suficiente de novos defeitos para degradar ou destruir um dispositivo semiconductor [73]. Os importantes parâmetros nos materiais, tais como o transporte livre (mobilidade) e densidade, resistividade ρ e a geração (τ_g) e recombinação (τ_r) serão afetados por DD. Os seguintes efeitos básicos de degradação elétricos podem ser distinguidos:

- **Geração Térmica:** gerando pares de elétron-lacunas. Esse processo é importante na região de depleção e pode causar aumento da corrente de fuga.
- **Recombinação de pares de elétron-lacunas:** provoca uma diminuição do tempo de vida devido a recombinação dos portadores minoritários, o que pode levar a degradação do ganho em transistores bipolares.
- **Aprisionamento temporário dos transportadores:** ocorre normalmente em um nível superficial. Esse processo diminui a eficiência de transferência de carga. Devido a este processo, problemas têm existido no uso de câmeras CCD a bordo de satélites expostos a prótons presos em cinturões de Van Allen [74].
- **Compensação:** dos doadores ou receptores, causada pela radiação induzida. Isso tem um impacto sobre qualquer dispositivo ou circuito que depende da concentração de portadores, por exemplo, aumentar a resistência do colector em um transistor bipolar.
- **Armadilha:** causada pelo tunelamento de portadores através de uma barreira de potencial, ocasionando aumento das correntes de um dispositivo.

Após a irradiação, o dano à rede é proporcional ao fluxo integrado de partículas que passaram pela estrutura atômica, portanto o DD aumenta gradualmente ao longo

do tempo. Um aumento na resistividade é observado na maior parte, o que resulta de uma combinação de efeitos. O deslocamento do átomo resultará se a energia transferida para o núcleo é pelo menos $21eV$ para silício [75]. O deslocamento induzido pela radiação do átomo de silício em massa dá origem a níveis de energia específicos no retículo cristalino. Esses estados ou centros de defeito tem um efeito sobre o comportamento elétrico do dispositivo, pois reduzem o ganho, o que eventualmente leva a falha completa.

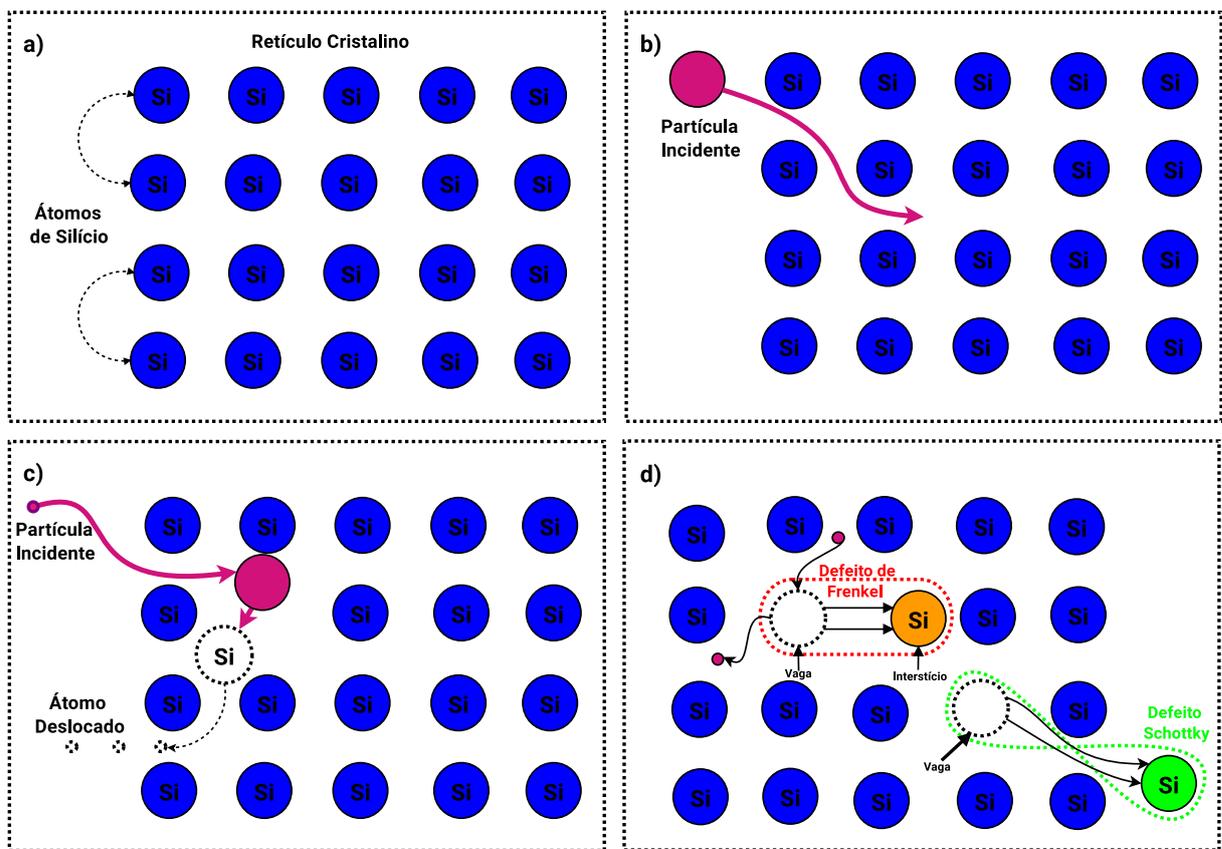


Figura 18 – DD ocorre quando uma partícula de radiação de alta energia colide com um átomo de silício na massa e desloca-o para um estado intersticial. (a) uma rede de silício ideal possui átomos espaçados regularmente; (b) partículas incidentes atravessam a rede; (c) há uma probabilidade de que a partícula ataque e desaloje um átomo; (d) esta interação pode criar defeitos de Frenkel consistindo em uma vacância e um defeito intersticial.

A operação de transistores MOSFET baseia-se sobre o transporte de portadores minoritários, assim, a radiação exerce uma influência significativa. Os dispositivos

MOSFET estão profundamente passíveis de efeitos ionizantes. Durante a interação de nêutrons com um componente, podem ser produzidas partículas ionizantes secundárias. Essas partículas são de energia muito menor do que a original, portanto, danos ionizantes conduzidos por nêutrons são relativamente pequenos. Por exemplo, dispositivos podem ser degradados a densidades de energia muito elevadas de nêutrons na gama de 10^{15} nêutrons/cm² [76]. Quando uma partícula de radiação de alta energia atinge esta estrutura, pode desalojar ou deslocar o núcleo do átomo no ponto onde houve colisão. A energia a partir deste ponto, pode espalhar-se para criar mais deslocamentos que afetam ainda mais a estrutura. Isso impede que corrente flua corretamente, assim alterando o funcionamento. No dano por deslocamento, o comportamento da eletrônica é alterado, mas existe a possibilidade que ele retorne ao normal. Em alguns casos, após as colisões terem cessado, os núcleos deslocados são capazes de mover-se e podem preencher os pontos vagos, re-criando a estrutura de rede original e retornando a um estado de energia mais baixo. Claro que, mesmo se este for o caso, não há garantia de que cada núcleo irá retornar ao seu local de origem, assim alguns defeitos podem permanecer.

3.2.1.2 Efeitos de Dose Total Ionizante (TID)

A figura 12 mostra as linhas de campo magnético da Terra que contêm as partículas retidas. O fluxo de partículas preso depende da distância. Os elétrons tendem a ser encontrados mais longe da Terra e podem ter energias de até $7MeV$, enquanto prótons mais pesados encontram-se mais próximos e podem ter energias de várias centenas de MeV [49]. As maiores fontes de efeitos de dose total ionizante (TID) em torno da Terra são os cinturões de Van Allen. Esses cinturões consistem em elétrons e prótons presos na magnetosfera da Terra. As altitudes típicas de muitos satélites espaciais estão dentro dos cinturões de Van Allen (figura 16) tornando-se importante que a microeletrônica a bordo seja tolerante a radiação.

Quando as partículas energéticas passam através da camada de dióxido de silício de um transistor CMOS, elas transferem energia suficiente para quebrar determi-

nadas ligações atômicas no dispositivo, e que resulta na formação de pares de elétron-lacunas (isto é, causando ionização). Assim defini-se TID como a medida da quantidade de energia que é absorvida pelo circuito num determinado instante de tempo, que indica o dano causado por diferentes tipos de radiação ionizante, como raios gama, raios X, radiação ultra-violeta, prótons e elétrons, ou indiretamente através de partículas secundárias a longo prazo nos componentes eletrônicos. A quantidade de ionização está relacionada com a dose total absorvida na camada de dióxido de silício e pode ser medida em termos da dose absorvida, a qual é uma medida da energia absorvida pela matéria.

A unidade é definida como “*rad*” (dose de radiação absorvida). Usando a definição padrão de “*rad*” em SiO_2 , determina-se o valor de $1rad = 100ergs/g = 6,24 * 10^{13}eV/g$ ou Gray, onde $1Gy = 1\frac{J}{kg}$ e a densidade do SiO_2 $2,3\frac{g}{cm^3}$ é especificada porque é o material mais sensível aos danos de ionização nos dispositivos e circuitos.

Uma exposição prolongada à radiação aumenta a densidade de átomos ionizados por este efeito, criando um excesso de cargas positivas inicialmente não presentes no dispositivo, afetando parâmetros elétricos como a tensão de limiar, corrente de fuga, transcondutância, tensão de ruptura do dreno-fonte, mobilidade dos portadores de carga e parâmetros de ruído dos dispositivos [70]. Enquadra-se também nesse fator de degradação o envelhecimento do dispositivo, o qual é um dos grandes responsáveis pela geração de elétron-lacunas e o acúmulo de armadilhas no óxido do semicondutor [77, 78]. A figura 19 traz uma sinopse dos relevantes processos físicos envolvidos na degradação da natureza elétrica dos dispositivos MOS pela radiação ionizante.

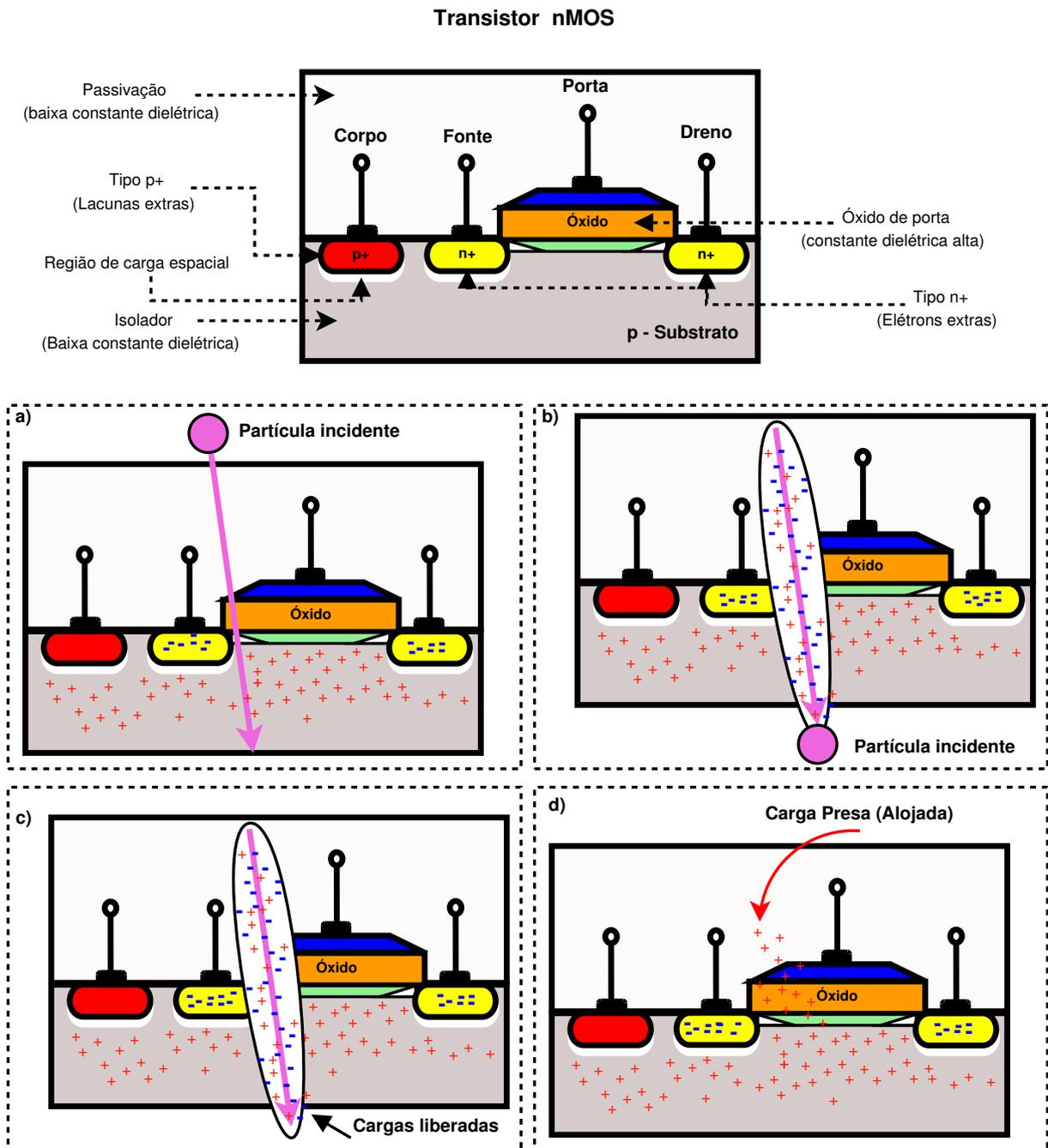


Figura 19 – Processo de incidência de TID. (a) partícula carregada passa através de um material semicondutor; (b) a partícula carregada interage com o semicondutor; (c) pares de elétron-lacunas são gerados ao longo do caminho da partícula incidente devido à sua perda de energia; (d) as lacunas criadas permanecem presas (alojadas) nos óxidos do circuito integrado (tais como passivação, óxidos de portão, etc).

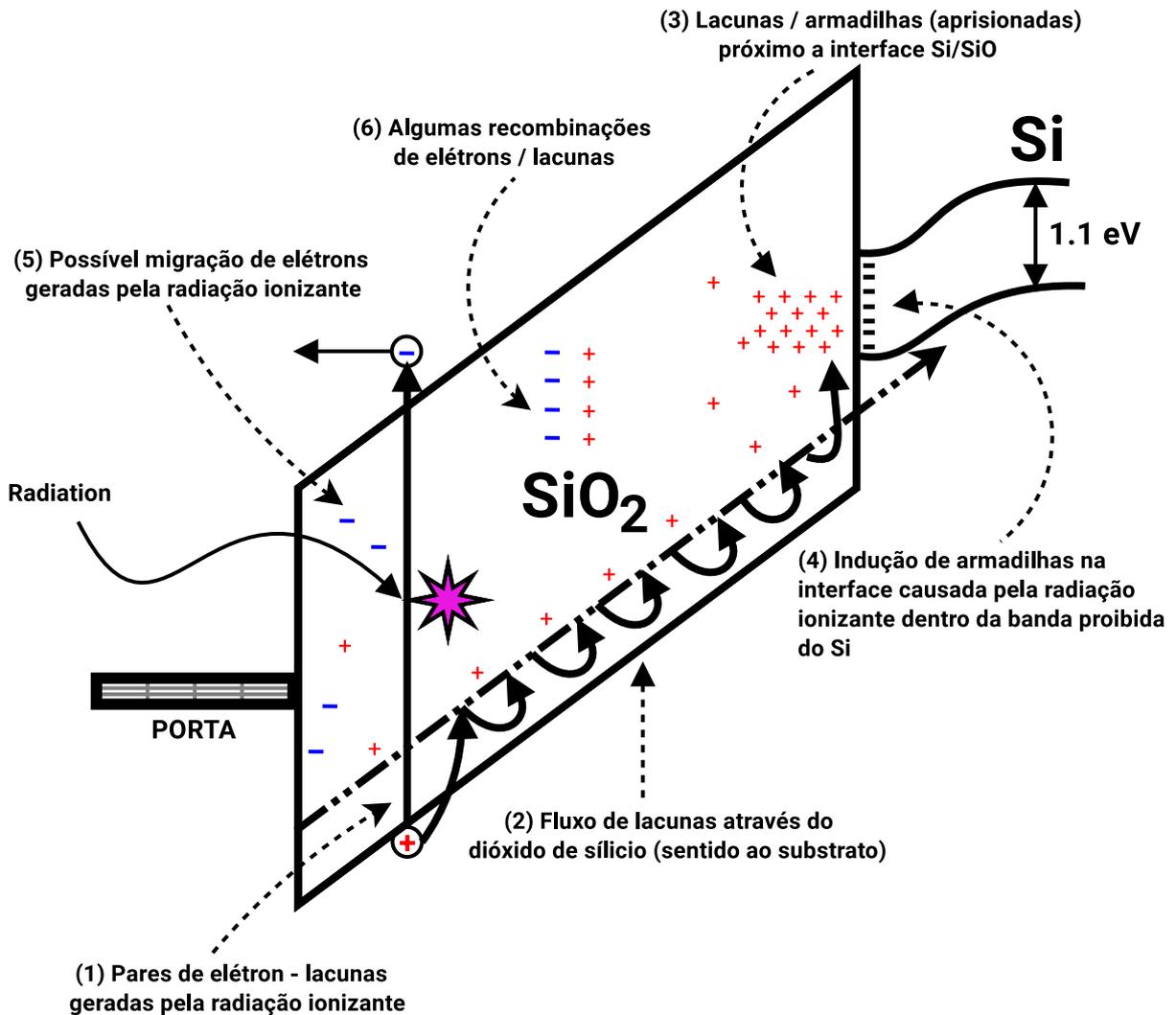


Figura 20 – Representação do diagrama de bandas de energia em uma estrutura MOS, resumando os principais processos físicos característicos de como a radiação ionizante atua no óxido de porta.

[Figura Adaptada da Referência [79]]

Quando partículas pesadas radioativas (como prótons, elétrons, íons ou fótons) presentes no ambiente extremo atingem o material semiconductor, após o choque a partícula carregada desloca-se pela porta (*gate*) do transistor, sua energia é absorvida, ocorrendo a geração de elétrons secundários que são muitos energéticos quando comparados com energia dos elétrons pertencentes a camada de valência, como mostra a figura 20. Esses elétrons energéticos secundários podem, por sua vez ionizar os átomos, gerando pares elétron-lacunas. A mobilidade dos elétrons e lacunas em silício é $1350 \frac{cm^2}{Vs}$ e

$480 \frac{cm^2}{Vs}$, respectivamente [33]. Conseqüentemente, por meio da radiação, os elétrons da banda de valência podem ganhar energia suficiente para passar para a banda de condução [49], deixando as respectivas lacunas na banda de valência, o que irão alterar as características do canal.

Após a estabilização térmica, com a baixa mobilidade das lacunas (na gama de $10,4$ à $10,11 \frac{cm^2}{Vs}$) cargas positivas presas e armadilhadas dentro de isolantes elétricos (cargas no óxido) [49]. A partir de então, os portadores remanescentes permanecem livres para se movimentar através do óxido. Devido à elevada mobilidade, os elétrons se movem com facilidade no SiO_2 quando aplica-se uma tensão positiva na porta, e são consumidos rapidamente, migrando para fora do óxido com uma velocidade maior e com um tempo aproximadamente de $1 ps$ [80]. Esse movimento pode transportá-los até os contatos, deixando os elétrons mais pesados e as lacunas se movimentando no interior do óxido, porém em direção oposta. Apesar disso, uma pequena parcela dos pares elétron-lacunas originados a partir do fenômeno de radiação podem vir a se recombinar rapidamente (ordem de picossegundos). Essa porção de pares recombinados nesta etapa depende fortemente da densidade de pares gerados, assim como da energia e do tipo da partícula incidente, da magnitude do campo elétrico aplicado sobre o dielétrico e da temperatura, sendo que a quantidade de lacunas que não se recombinam aumenta à medida que o campo elétrico sobre o SiO_2 aumenta.

TID também interfere no *flicker noise* ou ruído de baixa frequência, em que a captura e aprisionamento de carga no óxido de porta pode aumentar com a exposição a radiação, levando a flutuações na densidade e mobilidade dos portadores [51].

A evolução tecnológica tem sido benéfica aos dispositivos CMOS no que diz respeito ao TID. Com a diminuição do óxido de porta, o aprisionamento de carga ocorre em uma menor quantidade. Entretanto, um dispositivo eletrônico pode ter seu tempo de vida útil comprometido quando os efeitos de TID acumulados excedem a sua tolerância. Dado isso é possível estimar quando ocorrerá uma falha de um componente, calculando-se a taxa de exposição à radiação.

3.2.2 Efeitos de Eventos Singulares (SEE)

Enquanto a robustez aos efeitos de TID de CIs comerciais geralmente tem melhorado nos últimos anos, principalmente por causa das reduções na espessura do óxido de porta (*gate*) e aumento de densidades de dopantes, os efeitos de eventos singulares (transitórios) tem seguido um caminho inverso, resultando em um aumento da sensibilidade devido a dimensão geométrica e capacitância dos dispositivos e com o aumento da frequência e velocidade de operação do circuito.

Efeitos de eventos singulares (SEE) definem-se como sendo a interação de partículas com grande capacidade de ionização que, ao colidirem e entrarem em contato com o material (SiO_2), geram elementos ionizados e elétrons livres (pares de elétrons - lacunas) ao longo do seu caminho. Esses portadores em excesso são coletados em regiões sensíveis do dispositivo podendo possuir carga suficiente para formar e dar origem a um impulso de corrente, frente à presença do campo elétrico externo devido à polarização do transistor [81]. A amplitude e a duração do impulso de corrente determinam se o erro irá se propaga no circuito.

Esses transientes são uma questão importante para os sistemas de circuitos analógicos que estão expostos a radiações ionizantes, pois essa injeção de cargas não controladas resultante da ionização pode comprometer o desempenho do componente, tornando-se um problema sério. Se a transferência de energia da partícula ionizante for baixa, ela não será suficiente para gerar SEE.

Existem dois métodos principais pelos quais a radiação ionizante libera carga em um dispositivo semiconductor: ionização direta pela própria partícula incidente e ionização por partículas secundárias criadas por reações nucleares entre a partícula incidente e o dispositivo atingido. Ambos os mecanismos podem provocar o mau funcionamento do circuito integrado.

Ionização Direta: Ocorre quando uma partícula carregada energeticamente colide com um material semiconductor, dando origem aos pares de elétrons-lacunas ao longo

de seu caminho. A quantidade gerada de pares é diretamente proporcional à energia total perdida durante o percurso. Quando a energia é perdida em sua totalidade, a partícula fica em repouso (alojada) no material. A geração de pares elétrons-lacunas e a imediata coleta de carga em virtude da colisão, resulta em um pulso de corrente no dispositivo. Este é o mecanismo de deposição de carga primária para os transtornos causados por íons pesados, onde define-se um íon pesado como qualquer íon com número atômico maior ou igual a dois (isto é, partículas diferentes de prótons, elétrons, nêutrons ou píons) [82].

Ionização indireta: Embora a ionização direta por partículas leves normalmente não produza carga suficiente para causar transtornos, isso não significa que pode-se ignorar essas partículas [82]. As partículas beta de alta energia podem produzir raios-X conhecidos como *bremsstrahlung* (radiação de frenagem) ou elétrons secundários (raio delta) à medida que passam pela matéria, que por sua vez vai continuar a produzir eventos de ionização múltipla, originadas a partir da colisão inelástica entre a partícula incidente e um núcleo atômico da rede.

Quando uma partícula carregada passa através da matéria, ela perde energia através do processo conhecido como ionização. Esse é o ponto de partida de todos os efeitos de evento singulares (SEE), cujo mecanismo básico de geração é mostrado na figura 21. Ao longo de seu caminho (impacto de uma partícula em uma junção *p-n*), a partícula carregada gera pares de elétrons-lacunas através da dispersão com os elétrons atômicos do material, transferindo energia. Nesse processo, o núcleo alvo permanece num local fixo devido à pequena quantidade de energia transferida. A partícula carregada é apenas ligeiramente alterada e o seu trajeto pode portanto ser considerado como uma linha reta.

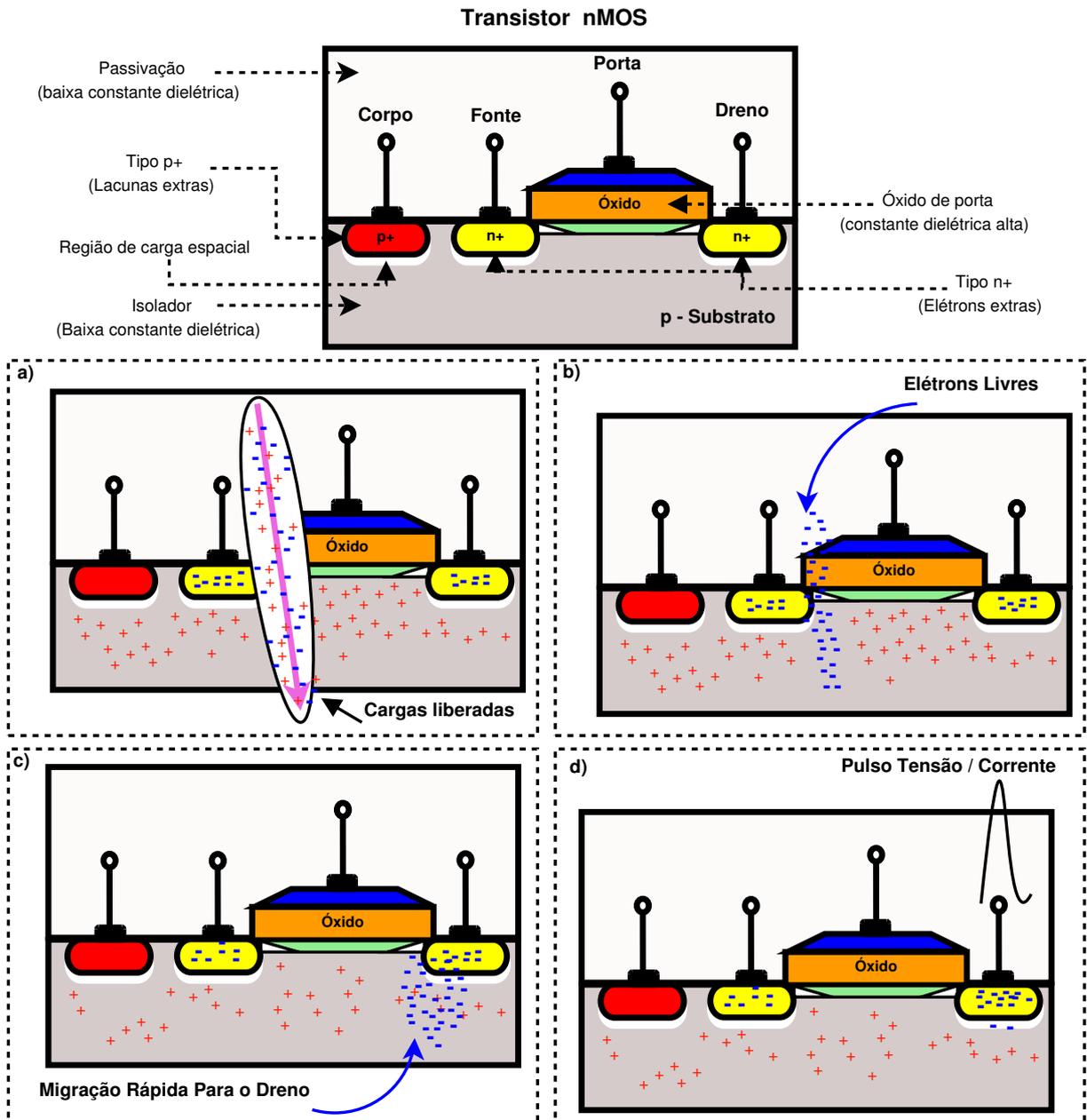


Figura 21 – Representação resumindo o processo dos efeitos de eventos singulares. (a) uma partícula carregada passa através de um semiconductor e interage; (b) os elétrons são gerados pela partícula enquanto atravessa o material; (c) os elétrons são altamente móveis e fluem através do MOSFET, e são recolhidos na junção polarizada inversamente; (d) esses elétrons criam um pulso de corrente no dreno pouco depois da interação da partícula.

Se o caminho percorre uma junção $p-n$ inversamente polarizada, as carga são coletadas devido ao campo elétrico, forçando os elétrons a irem para o material n^+ e as lacunas para material p em um processo conhecido como corrente de deriva. Em

seguida derivam para o próximo nó em que um pulso transiente de corrente/tensão é criado [68] como ilustrado na figura 22. Após a região de depleção voltar ao normal, alguns elétrons e lacunas ainda estão dispersos no material e o recolhimento da carga ocorrerá pelo processo de deriva/deslocamento mais rápido seguido de um processo de difusão mais lento. Uma extensão em forma de funil (*funneling*) da região de depleção aumenta a coleta de deriva, e efetivamente mais carga pode ser coletada no nó depende da concentração de dopagem do substrato [83]. Aumentar a concentração de dopagem irá diminuir a distorção das linhas de campo elétrico. A quantidade de carga coletada é uma combinação complexa de fatores como o tamanho do dispositivo, polarização dos vários nós de circuito, estrutura do substrato e dopagem do dispositivo. Além disso, o tipo de íon, sua energia e trajetória através do nó desempenha um papel importante [68].

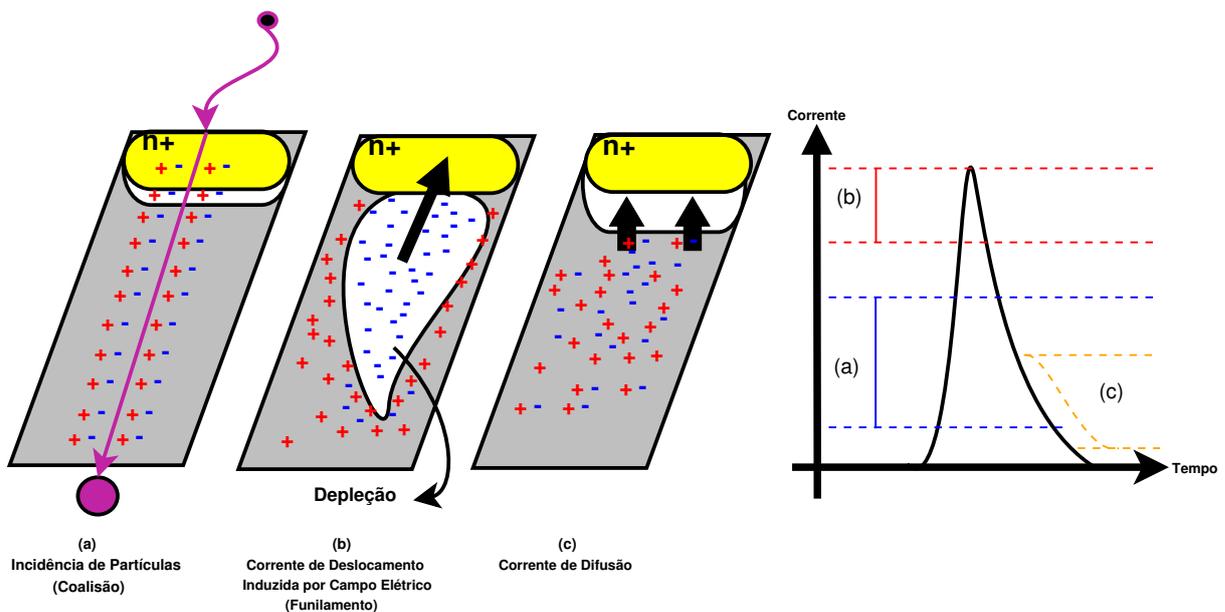


Figura 22 – Representação da coleta de pares elétron-lacuna devido à incidência de um íon pesado numa junção $p-n$ reversamente polarizada.

[Figura Baseada na Referência [69]]

A alta concentração de pares elétron-lacuna na região do traço e em volta dela, é muito maior do que a concentração de pares devido aos dopantes. Forma-se o cha-

mado plasma elétron-lacuna, uma região que exhibe comportamento coletivo dos pares e que perturba o campo elétrico. Comporta-se como um condutor independente, que irá coletar todas as cargas geradas na ionização, num processo chamado de efeito funil (*funneling*). Portadores de carga começam então a se movimentar pelo plasma e em volta dele até sua dissipação, quando os pares restantes irão se difundir pelo semicondutor. O pulso de corrente no semicondutor é então formado pela soma das contribuições direta e através do *funneling* [84]. Baseado no comportamento de um pulso gerado por um SEE, Messenger [6] propôs um modelo matemático para a corrente resultante ($I_p(t)$), baseado em uma dupla exponencial, conforme a equação seguinte:

$$I_p(t) = I_0(e^{-t/\tau_\alpha} - e^{-t/\tau_\beta}) \quad (3.1)$$

Onde I_0 é aproximadamente o máximo valor da corrente resultante da coleta de cargas, τ_α é a constante de tempo relacionada à coleta de cargas pela junção e τ_β é a constante de tempo relacionada ao estabelecimento do rastro de ionização deixado pelo íon incidente [4, 6].

Transferência Linear de Energia (LET)

A integral da carga coletada deve ser maior ou igual à carga crítica (mínima carga cujo efeito pode ser observado) do dispositivo, para que seja caracterizado um SEE. O parâmetro para descrever a interação entre partículas e o alvo é denominado transferência linear de energia (LET), a qual é uma métrica que simplifica a especificação de requisitos de ambiente porque reduz a matriz de um ambiente de íons pesados bidimensional para um ambiente de íons pesados unidimensional, sendo definida como uma medida da perda de energia ionizante (em função da espécie de íons) da partícula por unidade de comprimento no material (com o qual o íon interage).

$$LET = \frac{1}{\rho} \frac{dE}{dx} \quad (3.2)$$

Em que dE é a taxa de energia (carga coletada) incidente ao longo de uma certa

faixa linear dx , resultando na perda de energia por unidade de comprimento, ρ é a densidade do material, medida em mg/cm^3 , sucedendo em uma medida final definida em $\frac{MeVcm^2}{mg}$ [85]. Para nêutrons, não se utiliza a LET, mas o fluxo de nêutrons é medido em $\frac{neutrons}{cm^2/s}$ [86].

O tipo de partícula e sua respectiva energia, a quantidade de carga liberada e depositada ao colidir e a posição no dispositivo onde houve a colisão influenciam no tipo de evento singular que poderá ser provocado pela radiação ionizante. Esses eventos podem dar origem a falhas classificados em **não** destrutivas (*soft error*) e falhas destrutivas (*hard error*).

3.2.2.1 Eventos Singulares Não Destrutivos (*Soft Errors*)

Eles geralmente consistem de um fenômeno transitório e podem assim ser corrigidos. Eles são:

Single Event Transient (SET): Quando uma partícula energética atinge as proximidades de uma junção $p - n$ em um transistor, que resulta em um transitório, que são momentâneas perturbações de corrente ou tensão que afeta as lógicas combinacionais. Esses erros podem se propagar através do circuito e resultar numa falha lógica [87], dadas certas condições.

Single Event Upset (SEU): São erros de lógica digital causada por ionização resultante de raios cósmicos e partículas alfa [6]. Ocorrem em células de memória ou registradores. Em circuitos integrados, as regiões sensíveis para a colisão de cargas são as junções $p - n$ polarizadas inversamente [88]. Causam inversão de *bit* num nó interno dos elementos sequenciais.

Multiple Bit Upset (MBU): São definidos como a ocorrência de duas ou mais perturbações em decorrência da colisão de um único íon de alta energia, causando a inversão de *bit* (*bit flip*), que aparece no mesmo ciclo de *clock*.

Single-bit Upset (SBU): Falha associada a SEU e define-se quando a perturbação afeta apenas um *bit* devido a colisão de uma única partícula energética na célula de memória ou *latch* [89].

Multiple Cell Upset (MCU): Falha associada a SEU e define-se quando a perturbação afeta vários *bits* na célula de memória ou *latch* devido à colisão de uma ou mais partículas de radiação [89].

Single Event Functional Interrupt (SEFI): Outra falha associada a SEU. Ocorre quando o *bit* é invertido em registradores de controle do sistema, sinais de *reset* e *clock*, resultando em uma falha de um circuito de suporte, como perda de capacidade de configuração, perda de funcionalidade temporária, uma região de memória ou toda a configuração [90].

3.2.2.2 Eventos Singulares Destrutivos (*Hard Errors*)

Eles consistem em uma mudança permanente de corrente ou nível de tensão e não pode ser corrigido se não corretamente e muito rapidamente manipulados. Suas consequências podem tornar-se destrutivas e irreversíveis à funcionalidade do circuito, tipicamente envolvendo danos físicos ao dispositivo. Eles são:

Single Event Latch-up (SEL): É um estado de alta corrente anormal num dispositivo causada pela passagem de uma única partícula com alta energia através de regiões sensíveis, onde um caminho de baixa impedância se estabelece entre a alimentação e terra e permanece ativo mesmo após a remoção do mecanismo de disparo. Esta falha tem origem na ativação de uma estrutura *p-n-p-n* parasita [89] que pode constituir um retificador controlado pelo silício (tiristor), para esta estrutura CMOS um transistor BJT *n-p-n* parasita é formado por n^+ (emissor), p-substrato (base), e n-well (coletor). Da mesma forma, um transistor BJT *p-n-p* parasita é formado pelo p^+ (emissor), n^- poço (base) e p^- substrato (coletor). Esta estrutura forma um circuito de realimentação positiva entre os dois transistores e um pico de corrente espúria num destes transistores pode ser amplificado pelo grande *feedback* positivo do tiristor formado, provocando

um curto virtual entre alimentação e terra. O dispositivo é acionado com um pulso no terminal de nome estímulo, o fazendo conduzir (entre o anodo de Q1 e o catodo de Q2), como mostra a figura 23. A interrupção só ocorre se a energia (alimentação) for removida rapidamente, caso isso não ocorra o *latchup* se manterá atuante até que a alimentação seja removida ou o dispositivo destruído.

Como as correntes envolvidas nesse tipo de evento são bem elevadas, uma falha catastrófica pode ocorrer devido a um aquecimento excessivo ou rompimento das ligações (falha nas trilhas).

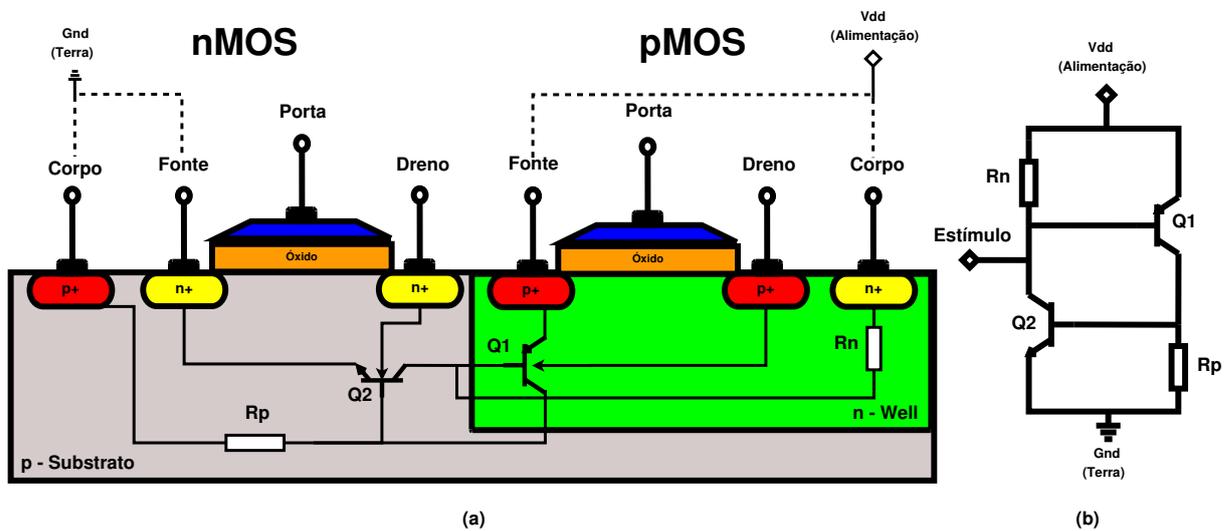


Figura 23 – Representação de BJT parasitas (a); Circuito equivalente (b)

Uma separação geométrica dos dispositivos CMOS ajuda a reduzir o valor da interferência parasita uma vez que a base do BJT lateral aumenta. Outra abordagem é reduzir as resistências Rn e Rp para que mais corrente flua através delas para produzir uma queda de tensão suficientemente alta para polarizar as junções base-emissor de Q1 ou Q2. Isso pode ser conseguido através da adição de contatos no substrato ou no poço, ou ainda envolvendo os dispositivos MOS com *guard ring* (anéis de proteção). A utilização de um substrato fortemente dopado limita a amplitude da corrente.

Single Event Burnout (SEB): É uma falha térmica destrutiva devido a colisão íons pesados, nêutrons e prótons normalmente observada em transistores bipolares e MOS-

FETs de potência [89] em seu estado *OFF* (desligado ou quando ele está bloqueando uma grande polarização de tensão V_{DS}). Uma única partícula ionizante é suficiente para disparar o transistor BJT parasita e se os níveis de campo elétrico são suficientemente altos para polarizar diretamente a sua junção base-emissor. Há o surgimento de um fenômeno de avalanche: a polarização direta dessa junção induz um fluxo de corrente entre emissor e coletor do transistor parasita que se torna auto-sustentado e leva a altos níveis de corrente dentro do dispositivo até que o silício se rompa ou seja derretido como visto na figura 24.

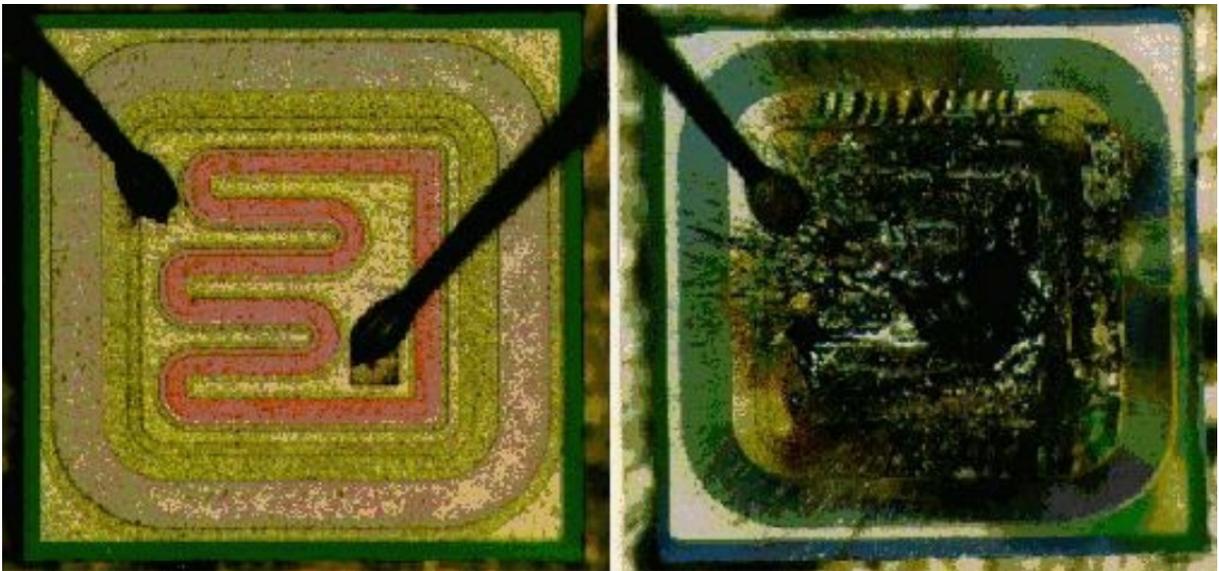


Figura 24 – Dispositivo semiconductor antes e depois de um SEB

[Figura Extraída da Referência [91]]

Single Hard Error (SHE): É caracterizado pela expressiva deposição de cargas elétricas no óxido de porta de um transistor, devido à colisão de uma partícula energética. Esse mecanismo, que muito se assemelha aos efeitos de TID, pode provocar a alteração dos parâmetros elétricos de um dispositivo de armazenamento de forma definitiva, não sendo possível recuperar tal posição de memória [89].

Single Event Gate Rupture (SEGR): Aparece geralmente em dispositivos de potência de difusão dupla (DMOS). No momento em que existe uma polarização de dreno-fonte

(V_{DS}) forte e um único íon pesado passa através do silício, as cargas depositadas tendem a ficar acumuladas sob o óxido de porta (dependendo da polarização), o campo elétrico no isolante de porta pode aumentar temporariamente acima do limite, induzindo assim uma carga dentro do contato gerando uma falha dielétrica localizada ou até a destruição do óxido, como mostra a figura 25.

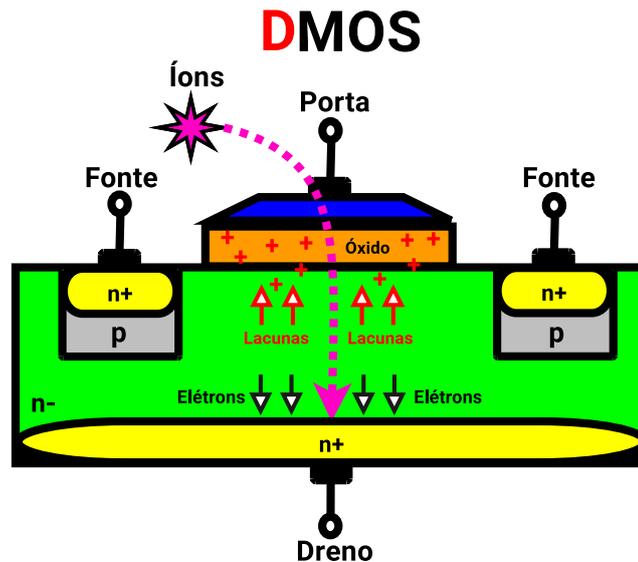


Figura 25 – Estrutura de um MOSFET de potência e a movimentação após a colisão de um íon

Single Event Induced Snapback (SES): Similar ao SEL, a condição resultante é um estado de corrente elevada que pode levar o dispositivo à falha. SES pode ser ativado eletricamente, através da ruptura por efeito avalanche da junção de dreno, ou através de portadores em excesso, gerados por um íon pesado ou por um pulso de radiação (1) [92]. As lacunas geradas pela incidência de um íon pesado deslocam-se na direção da fonte do transistor, reduzindo a barreira de potencial entre fonte e corpo (2). Com a redução desta barreira, elétrons são injetados através da fonte no corpo, em direção ao dreno do transistor (3), elevando a corrente do dispositivo, processo ilustrado na figura 26. Se o campo elétrico no corpo for suficientemente intenso, mais pares elétron-lacuna são gerados por ionização (*impact ionization*), realimentando o processo [93, 94]. É influenciado diretamente pela dimensão do componente, onde a redução do comprimento (L) do canal e o aumento da largura reduzem a tensão de dreno necessária para a ocorrência de SES [43, 81, 90]. O SES não ocorre em transistores pMOS devido

ao valor multiplicativo das lacunas ser menor que o dos elétrons [81, 92].

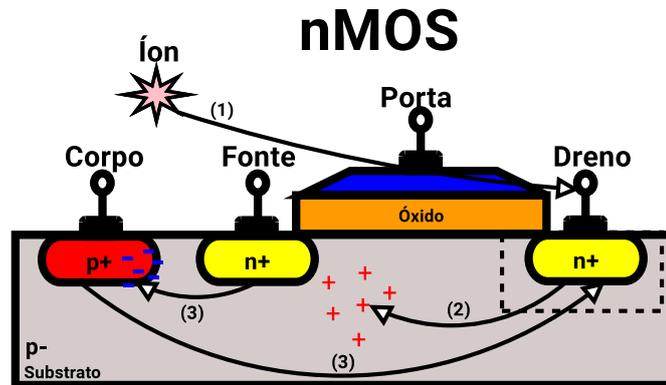


Figura 26 – Mecanismos de SES em uma estrutura nMOS após a colisão de um íon

Partículas energizadas podem causar falhas ou mesmo, em casos extremos, destruir o dispositivo. Isso é especialmente importante em sistemas, nos quais a confiabilidade é de grande preocupação. Desenvolvimentos em técnicas de projeto e fabricação reduziram a suscetibilidade de MOSFET de potência ao SEB; No entanto, SEGR continua a ser uma ameaça para MOSFET de potência utilizados em aplicações espaciais.

Projetistas de circuitos integrados dispõem de uma variedade de técnicas proporcionando proteção satisfatória contra diferentes tipos de efeitos decorrentes da radiação. Uma vez que o âmbito deste trabalho é a proteção de dispositivos quanto aos efeitos de SEE, no capítulo seguinte será fornecida uma breve descrição de vários métodos.

4 Confiabilidade

A introdução de novos materiais e estruturas de dispositivos permitiu que a tecnologia de CIs mantivesse sua progressão constante em direção a tamanhos de dispositivos menores, maior densidade de componentes e maior velocidade de operação. No entanto, essas mudanças também têm implicações importantes para a confiabilidade. Inserido neste contexto os efeitos da radiação ionizante estão começando a representar uma séria ameaça não só para os sistemas cósmicos e aéreos, mas também para os dispositivos mais simples e de uso comum.

A confiabilidade é a probabilidade de um item executar uma função necessária sob condições de uso encontradas para um intervalo de tempo especificado. Incertezas, como tolerâncias no processo de fabricação, mudanças nos fatores ambientais, nas condições operacionais e até de informações incompletas nas quais um dispositivo funciona, afetam a confiabilidade e a robustez dos produtos de engenharia, fato este agravado com a radiação ionizante.

Projetistas de circuitos integrados trabalham com uma diversidade de técnicas que fornece “*endurecimento*” satisfatório contra diferentes tipos de radiação. O termo “*endurecimento*” é frequentemente empregado para descrever diferentes formas de tolerância de dispositivos à radiação [49]. Uma vez que o âmbito deste trabalho é fornecer um circuito que possa tolerar erros induzidos pela radiação ionizante, este termo será aplicado para designar dispositivos imunizados contra estes efeitos durante o processo de concepção e fabricação. Nas seções seguintes será fornecida uma breve descrição de vários métodos, bem como um critério geral de classificação para as estratégias de projeto.

4.1 Mitigação em Dispositivos Analógicos

Devido às peculiaridades das características de circuitos analógicos em comparação aos circuitos digitais, o “endurecimento” de projetos analógicos não foi oferecida tanta ênfase como para os circuitos digitais. No entanto, o tamanho dos dispositivos analógicos também estão encolhendo e os efeitos da radiação têm sido relevantes nesses circuitos. O “endurecimento” de circuitos específicos analógicos só recentemente começou a receber uma atenção mais significativa. Logo, justifica-se ter enorme atenção principalmente quando se faz uso de MOSFET, os quais são vulneráveis a SETs que podem causar amplitudes de sinal errôneas e mudanças de fase, assim refletindo na frequência de saída de um oscilador controlado por tensão (VCO) como exemplo.

4.2 Técnicas de Mitigação

Como foi discutido anteriormente, as partículas energizadas podem causar falhas ou mesmo, em casos extremos, destruir o dispositivo. Isso é especialmente importante em sistemas em que a confiabilidade é de grande preocupação, tais como aparelhos médicos, sistemas aviônicos, cósmicos, automobilísticos ou militares. Existem vários métodos usados para mitigar os efeitos da radiação, os quais podem-se distinguir em dois grupos principais de técnicas de mitigação de radiação:

4.2.1 RHBP (*Radiation Hardening by Process*):

Robustez à radiação através de técnicas de processo de fabricação, é um método para endurecer um dispositivo para TID e SEE usando certos recursos no processo de fabricação. Isso é feito modificando o processo de fabricação atual. A modificação é normalmente feita adicionando ou alterando etapas do processo, idealmente sem afetar o desempenho ou as características normais de operação do dispositivo. Como exemplo a remoção de impurezas durante o processo de preparação e limpeza do material do óxido. A preparação mecânica e química do material de partida ajuda a remover contaminações, impurezas e danos superficiais, como deslocamentos e falhas de

empilhamento. Uma superfície bem preparada permite obter interface $Si-SiO_2$ de alta qualidade e, portanto, obter um componente mais resistente à radiação [6]. Somente a modificação do processo de fabricação de dispositivos eletrônicos ou blindagem pode permitir proteger dispositivos contra efeito de TID e de DD [95].

Os custos associados às técnicas de RHBP tornam a abordagem menos atrativa, conseqüentemente a proposta de pesquisa e desenvolvimento descrita através desta dissertação leva em consideração a implementação de métodos baseados em RHBD.

4.2.2 RHBD (*Radiation Hardening by Design*):

Robustez à radiação é o ato de fazer componentes eletrônicos, circuitos e sistemas resistentes a danos ou defeitos causados pela radiação ionizante através de técnicas de projeto ou concepção de dispositivos. RHBD viabiliza uma ampla variedade de estratégias de projeto. As características do método a ser implementado (dependente do tipo de fenômeno e da natureza do circuito) envolvem a concepção e o dimensionamento de estruturas em diferentes etapas de projeto (esquemático e leiaute), bem como em diferentes níveis de hierarquia (dispositivo, circuito, módulo e sistema). Uma premissa geral de robustez e confiabilidade de operação (minimização de probabilidade de falhas) envolve algumas condições indicadas a seguir:

1. **Simplicidade** (pequena quantidade de elementos componentes);
2. **Robustez** (insensibilidade dos componentes às variações nas condições de operação);
3. **Redundância** (replicação de funções ou estruturas do componente, bloco ou sistema).

O primeiro critério (simplicidade) tem a sua aplicabilidade fortemente atrelada às especificações técnicas, bem como aos requisitos de funcionalidade do projeto. O segundo critério (robustez) envolve geometrias apropriadas em nível de dispositivo MOSFET para a minimização de determinados efeitos, e critérios de dimensionamento,

bem como variantes topológicas aplicadas a uma dada estrutura em nível de componente lógico ou bloco construtivo (analógico).

Por fim, ocorrendo em diferentes níveis de hierarquia, a aplicação do terceiro item (redundância) remete à aplicação de redundância em módulos, fornecendo informações adicionais úteis para a detecção e correção de erros em nível de sistema e um maior grau de robustez em nível de circuito.

4.2.2.1 Em Nível de Componente (Transistor)

Ao projetar circuitos para aplicações tolerantes à radiação, o projetista deve avaliar principalmente o comportamento do transistor para o ambiente de radiação direcionado. Para esses tipos de aplicações, o comportamento do transistor é altamente dependente da escolha do processo, bem como do *nó* tecnológico [71]. A principal preocupação com relação ao comportamento do transistor é descrita em termos de corrente de fuga (vazamento) induzido por TID. Várias abordagens têm sido propostas para contrariar os efeitos do TID e, desse modo, manter a operação estável de transistores em ambientes de radiação ionizante. Para espessura de óxido de porta acima de $20nm$, a carga positiva presa no óxido de porta tem sido uma grande fonte de deslocamentos de tensão de limiar no transistor. Essa variação na tensão de limiar pode conduzir o transistor para fora da sua zona de operação pretendida, e assim tornar o transistor não confiável [47]. O dimensionamento da tecnologia também contribuiu em menos capacitâncias nodais que tornam os dispositivos mais propensos a SEUs devido à menos energia, podendo resultar em um SET. Adicionalmente, à medida que os tamanhos dos dispositivos diminuem, consegue-se uma densidade mais elevada, o que permite assim que um único choque de partícula altere o dispositivo.

Para conter a corrente de fuga induzida pela radiação ao longo das paredes laterais de óxido se faz uso de processos de isolamento STI, o qual não demonstrou ser tão eficaz. Alternativamente faz-se uso de transistores ELT (*Enclosed Layout Transistors*), o qual tem sido um dispositivo bastante popular para uso em ambientes de radiação.

Transistor de leiaute fechado (ELT): é uma técnica de leiaute adequado que pode reduzir os impactos dos efeitos de radiação, tanto em circuitos analógicos, quanto em circuitos digitais, quando comparados aos transistores retangulares (leiaute aberto), devido à inexistência de “*bicos de pássaros*” nas estruturas ELTs e diminuição da corrente de fuga induzida por radiação, como representado na figura 27. O aprisionamento de cargas nos óxidos de isolamento e na interface do Si/SiO_2 pode induzir a inversões no canal, ou até mesmo canais parasitas em um transistor ou entre transistores, ocasionando fuga de corrente. Esse efeito é recorrente nas tecnologias produzidas com processo do tipo LOCOS (*LOC*al *O*xidation of *S*ilicon), a qual utiliza isolamento STI [4].

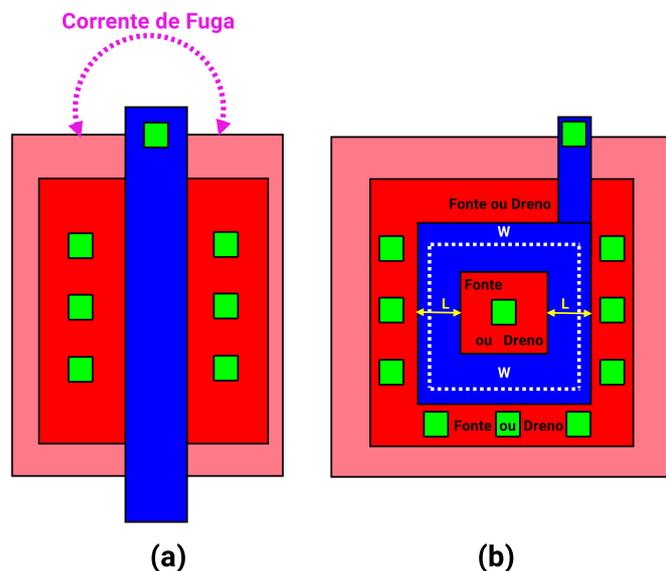


Figura 27 – Comparação entre leiaute aberto (Convencional) e ELT.

Transistores ELT também são bem eficazes para reduzir a degradação elétrica causada por radiação ionizante, principalmente efeitos ocasionados por acúmulo de dose total ionizante [96]. A técnica de leiaute ELT envolve um dos terminais pelo polissilício da porta (*gate*), e dessa forma eliminam-se as regiões ativas que encontram-se entre dreno (*drain*) e fonte (*source*), definida na figura 27, item (b). Não há óxido em contato com os terminais de dreno (*drain*) e fonte (*source*) onde possa ser criado um canal parasitário (acúmulo de cargas), evitando o aumento de caminhos de corrente de fuga. Além disso, a utilização de ELT reduz substancialmente os deslocamentos de tensão de limiar em comparação com dispositivos de transistores lineares. Outras

vantagens inerentes são possuir em um baixo consumo de energia, alto desempenho, curtos tempo de resposta e, por último mas não menos importante, baixo custo quando expostos em ambientes hostis em relação ao MOSFET padrão [52].

Por outro lado, essa técnica de disposição apresenta alguns desafios na formulação de circuitos analógicos. O modelo do transistor usado em simulações e no seu equacionamento são diferentes de um transistor tradicional, pois a capacitância de porta para uma dada razão $\frac{W}{L}$ é maior do que a capacitância de um transistor construído com leiaute padrão [4]; a geometria de leiaute do ELT também impõe uma relação $\frac{W}{L}$ mínima, uma vez que a largura (W) do canal é definida pelo comprimento (L) do canal e o comprimento é definido pela largura da envoltória resultante do dispositivo, como mostrado em tracejados branco e setas amarelas na figura 27 (b). Em razão de não haver simetria entre dreno e fonte, as duas regiões de difusão diferem em área, de modo que, a condutância de corrente do transistor variará com base no local onde o terminal de dreno é atribuído: se o terminal de dreno é atribuído à parte fechada do transistor, o transistor teria uma condução de corrente maior devido à capacitância, além de possibilitar impasses de casamento.

Uma possível solução a fim de minimizar essas pequenas anomalias e fornecer uma compensação é na fase de dimensionamento dos transistores, na definição entre $(\frac{W}{L})$, haja visto que a largura (W) do canal possui 02 parâmetros, pelo qual pode-se manipular e de uma certa forma definir outro tipo de leiaute para uma mesma área, como representado na figura 28, e assim aumentar a área ativa do transistor.

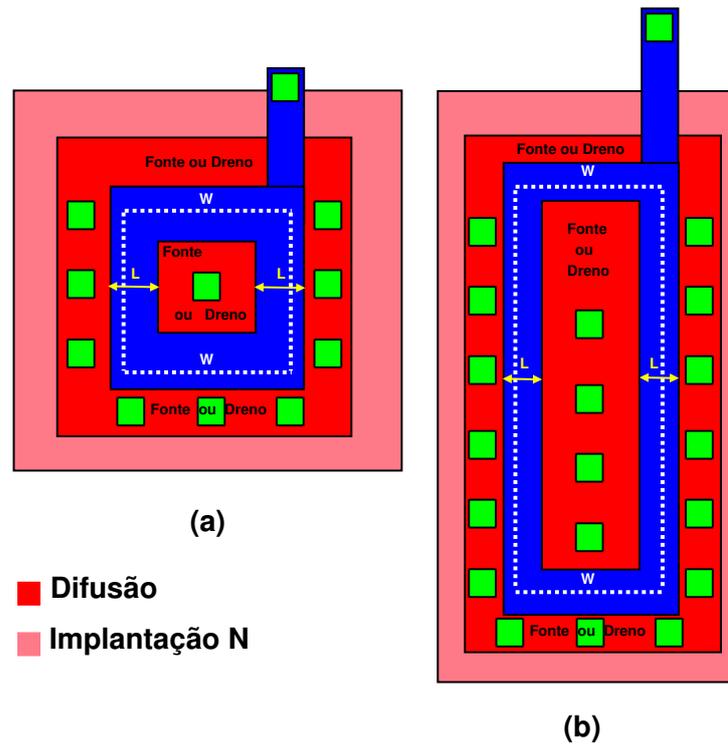


Figura 28 – Comparação entre formas de transistores ELT.

Outra desvantagem é que ocupam mais espaço em silício que um MOSFET padrão, o que reduz a densidade de integração [97]. Porém o transistor ELT vem se demonstrando ser muito eficaz em processos CMOS de diferentes nós tecnológicos [95, 98].

4.2.2.2 Em Nível de Circuito

O endurecimento da radiação em nível de circuito é direcionado principalmente para a mitigação SEU e SET através do uso de elementos redundantes e do emprego de topologias diferenciais (*fully differential topology*), que são circuitos que fornecem alta faixa dinâmica, alta linearidade e rejeição ao ruído modo comum.

4.2.2.3 Em Nível de Sistema

Técnicas de atenuação são escolhidas para aumentar a tolerância a falhas de um sistema. Essas técnicas são úteis para mitigar os efeitos de uma falha de dispositivo ou circuito na operação do sistema e reduzir a probabilidade de um colapso maior. Uma

combinação de uma ou mais técnicas pode ser usada em conjunto para atingir o nível desejado de segurança e confiabilidade do sistema.

Redundância: A redundância é uma estratégia de mitigação comum para alcançar os requisitos de segurança e confiabilidade do sistema. A redundância pode ser implementada em tempo, área ou informação. Exemplos incluem a replicação de *hardware*, a adição de um *bit* de verificação a uma sequência de dados digitais ou o código que verifica os resultados do programa. Cada implementação tem seus benefícios e custos. A redundância de *hardware* é implementada fornecendo várias instâncias físicas de componentes de *hardware*. Os custos de redundância de *hardware* podem incluir aumentos de peso, tamanho, consumo de energia e tempo e complexidade de projeto.

Votador: A votação é realizada quando várias instâncias da mesma função são comparadas e as discrepâncias são relatadas. A comparação é realizada quando existem dois ou três caminhos e a votação é usada para identificar a existência de informação corrompida. As técnicas de votação podem ser implementadas em *hardware* ou *software*. Uma forma de votação comumente implementada é a redundância de módulo triplo (*Triple Modular Redundancy* - TMR).

TMR: Um exemplo de uma implementação TMR de *hardware*, é empregar três circuitos lógicos idênticos executando a mesma tarefa. Cada saída é comparada através de um circuito de voto majoritário. Se ocorrer uma falha em um dos circuitos, é relatada, e a resposta da maioria (as outras duas corretas) é a saída. Isso garante a continuidade do funcionamento do sistema.

4.2.2.4 Em Nível de Leiaute

Nessa fase, além do uso de componentes ELT se faz uso de anéis de guarda (*guard ring*), os quais são difusões que desacoplam os transístores bipolares parasitas, evitando a criação de estruturas de tiristores, como representado na figura 23, e por conseguinte, a ativação de uma SEL. Existem dois tipos de estruturas de anéis de

guarda: anéis de guarda para portadores minoritários e anéis de guarda para portadores majoritários, conectados a linhas de alimentação e terra, como mostrado na figura 29. Os anéis de guarda para portadores minoritários são usados para coletar portadores minoritários antes de serem coletados pelo substrato (p^-). Os anéis de guarda para transportadores majoritários desacoplam os transistores bipolares minimizando as quedas de tensão criadas para a corrente de portadoras majoritárias e servem para reduzir as resistências R_p e R_n vistas na figura 23 (substrato/poço). A desvantagem de usar anéis de guarda é o maior consumo de área. Um componente pertencente a uma lógica que faz uso de anéis da guarda necessita aproximadamente 60% a mais de área [99].

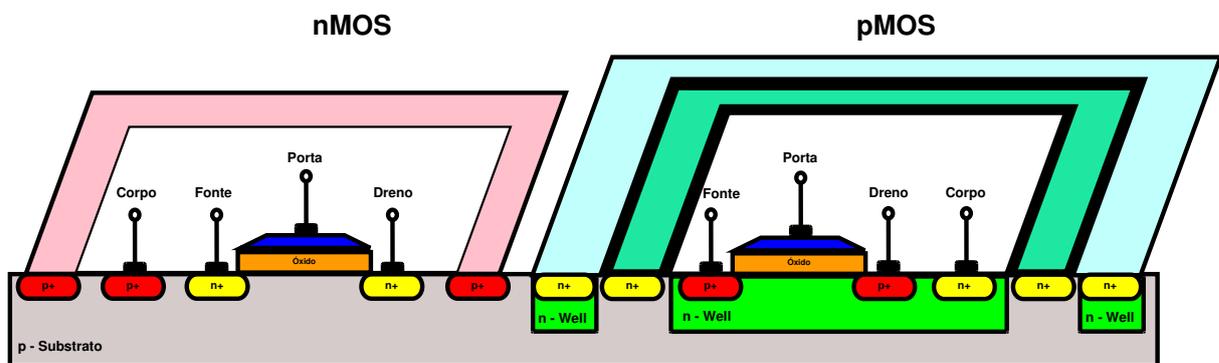


Figura 29 – Representação de anéis de guarda.

Além de todas as diretrizes já discutidas, as seguintes orientações também devem ser consideradas:

- minimizar resistências em série parasitárias usando muitos contatos quando possível, como ilustrado na figura 28;
- utilizar vários contatos pequenos ao invés de um único contato grande para restringir a curvatura da superfície do metal e reduzir o risco de rompimento;
- fazer uso de *fingers* para minimizar a resistência da porta e assim minimizar o ruído e maximizar a velocidade; esses aperfeiçoamentos se traduzem em frequência de oscilação máxima [100];

- maximizar a separação entre linhas de polarização analógica e digital;
- utilizar múltiplas conexões de alimentação e de aterramento.
- deve-se manter os pinos de entrada e saída (E/S) quando possível o mais próximo possível;
- preencher o espaço não utilizado com os contatos do substrato;
- utilizar componentes *dummys* para reduzir a tolerância de produção.

Entre os vários efeitos originados pela radiação, as perturbações de eventos únicos são de grande preocupação. Proteger a eletrônica espacial de SEE melhora a eficiência e aumenta consideravelmente o tempo de vida útil. Existem várias técnicas para conseguir isso como visto neste capítulo. O “endurecimento” através de processos de fabricação é uma técnica eficaz, porém de alto custo. Assim, o “endurecimento” através de técnicas de projeto torna-se uma melhor opção.

5 Osciladores

Os osciladores representam um bloco fundamental em muitos sistemas eletrônicos, pois geram um sinal periódico numa frequência específica ou sintonizável. Esse dispositivo produz corrente alternada cuja frequência varia em função de uma tensão ou corrente DC. A frequência de saída é modificada alterando a tensão (*Voltage-Controlled Oscillator - VCO*) ou corrente (*Current Controlled Oscillator - CCO*). Dentre os sistemas que exigem sinais periódicos, podemos citar: os computadores e os sistemas de controle, nos quais os pulsos de *clock* são necessários para, entre outras coisas, a temporização, nos sistemas de comunicação, nos quais os sinais com uma variedade de formas de ondas, são usados como portadora de informações [30]. Para satisfazer ampla gama de aplicações existe uma vasta quantidade de topologias de circuitos com diferentes conjuntos de parâmetros de desempenho.

Em circuitos eletrônicos, o critério de estabilidade de *Barkhausen* determinará as condições de arranque e frequência de oscilação do circuito. Um oscilador controlado por tensão (VCO) ideal tem uma mudança na frequência de saída proporcional ao controle. Como os circuitos integrados de hoje convergem para a tecnologia CMOS, o projeto de osciladores robustos e de alto desempenho, mais especificamente os VCOs, tornou-se extremamente importante.

Este capítulo fornece uma breve visão geral sobre osciladores. A seção 5.1 discute uma classificação geral, abrangendo seu princípio de funcionamento em 5.1.3. Em seguida a seção 5.2.1 aborda o critério de oscilação (*critério de Barkhausen*). Enquanto a seção 5.3 fornece uma introdução à sua inconstância, incluindo uma revisão dos métodos mais comumente usados para quantificar a instabilidade de frequência como ruído de fase (*phase noise - PN*) e *jitter*. E por fim a seção 5.4 discute uma implementação usual.

5.1 Classificação Geral

Um oscilador implementado com tecnologia CMOS pode ser projetado de diferentes formas como mostra a figura 30. Pode-se fazer uso de circuitos harmônicos que geram saídas quase senoidais ou circuitos não-lineares que fornecem saídas não senoidais (quadradas, triangulares, rampas ou pulsos) [32]. Dentro destas classificações há inúmeros circuitos osciladores, os quais em sua maioria recebem o nome de seus criadores como: Armstrong, Hartley, Colpitts, Clapp, ponte de Wien, entre outros. A classificação dos tipos de osciladores é dada a seguir:

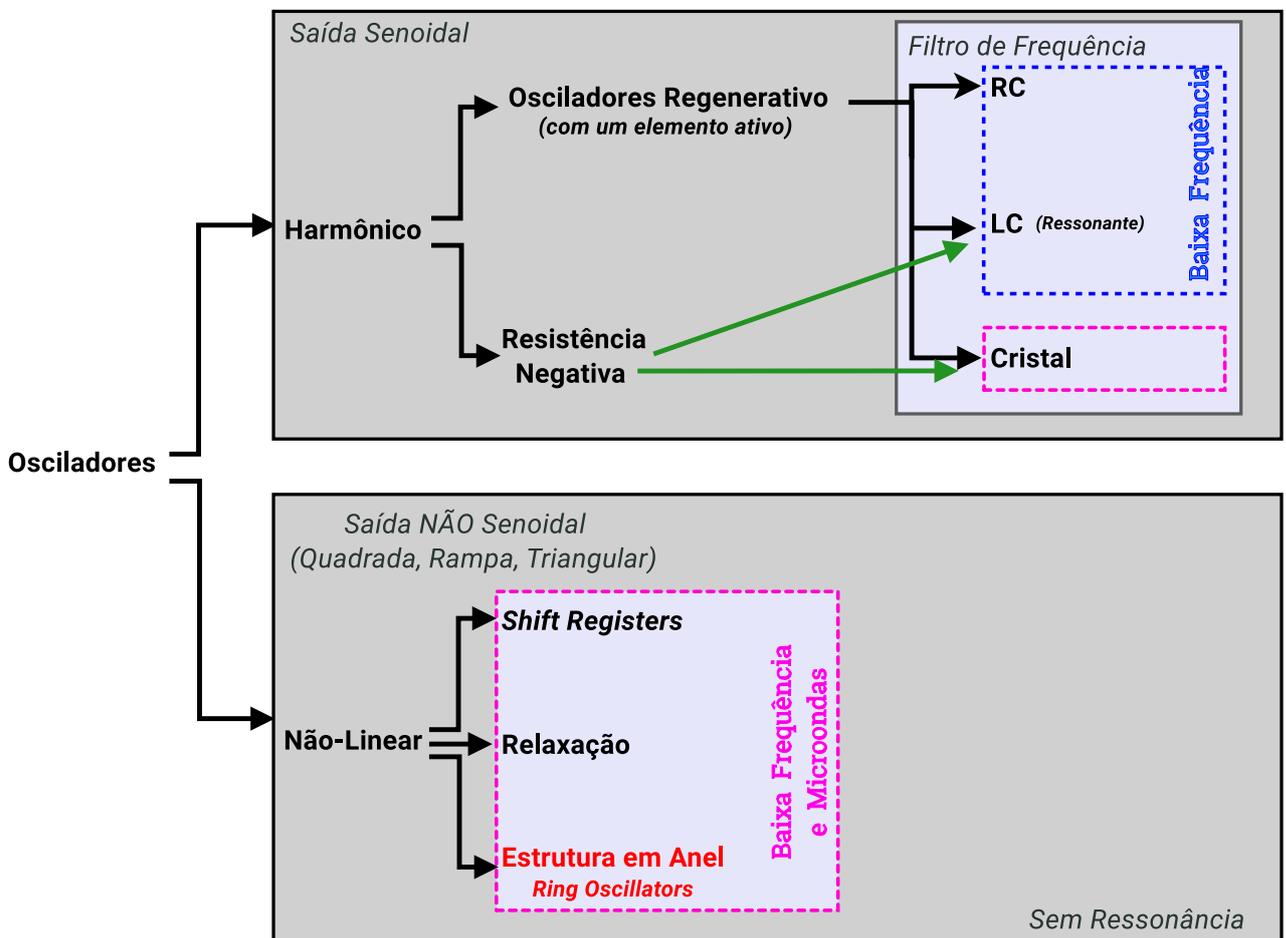


Figura 30 – Classificação de osciladores.

5.1.1 Frequência de Operação

A frequência de operação está relacionada com qual sistema o oscilador fará parte. No caso dos osciladores controlados por tensão (VCO) esta faixa de frequência é variável.

- Osciladores de áudio-frequência: geram sinais compreendidos na faixa de alguns Hz a centenas de kHz. Utilizam geralmente elementos RC [101];
- Osciladores de rádio-frequência: geram sinais de frequência superior a algumas dezenas de kHz até a faixa super alta (*Super High Frequency* - SHF) que compreende o intervalo de 3 a 30 GHz e frequência extremamente alta (*Extremely High Frequency* - EHF) que compreende de 30 a 300 GHz. Utilizam circuitos tanques LC, cristais, linhas de transmissão e cavidades ressonantes [101].

5.1.2 Forma de Onda

- Senoidal: obtida de osciladores realimentados [101];
- Quadrada: obtida pelo uso de multivibradores [101].
- Triangular: obtida pela integração da onda quadrada [101].

5.1.3 Princípio de Funcionamento

- Oscilação por ressonância: é a tendência de um sistema a oscilar em máxima amplitude em certas frequências.
 - Osciladores regenerativos (realimentados): utilizam um elo de realimentação positiva entre a saída e a entrada do amplificador [101];
 - Osciladores de resistência negativa: utilizam dispositivos, tais como diodo túnel, que apresentam em determinado trecho de sua curva característica uma resistência incremental negativa [101], assim como os osciladores do tipo LC que utilizam indutor e a resistência negativa através de um par *cross-coupled*.

- Osciladores não-ressonantes: são circuitos que produzem uma saída que báscula entre dois valores definidos de tensão, passando de um a outro em um tempo mínimo em comparação com o tempo que decorre em cada um dos valores extremos. Isto é, a tensão de saída é essencialmente uma onda não-senoidal [102].

5.1.4 Tipos de Osciladores

Como uma classificação geral, os osciladores podem ser categorizados aproximadamente em dois tipos, considerando as formas de onda de saída:

Harmônicos: composto por um amplificador que fornece um ganho adequado e uma rede seletiva de frequência que alimenta uma certa faixa de frequência de saída de volta para a entrada. Caracterizam-se por gerar uma onda senoidal usando-se de um mecanismo não-linear, implementado por um circuito separado ou empregando-se as não-linearidades dos próprios dispositivos de amplificação [30]. Dentre eles encontram-se os:

- Osciladores RC: utilizam resistores e capacitores na sua rede de realimentação e são aplicados em circuitos que necessitam de sinais de frequências mais baixas. É uma rede de tempo constante e, como tal, responde aos tempos de carga e descarga de um capacitor. A frequência desta rede é determinada pelos valores de R e C. O capacitor e a resistência causam deslocamento de fase e produzem realimentação positiva a uma frequência particular. Sua vantagem é a ausência de indutâncias, que podem ser difíceis de ajustar [103], como exemplo de arquiteturas: duplo T, oscilador de deslocamento de fase (*Phase-Shift*) e ponte de Wien;
- Osciladores LC: utilizam indutores e capacitores na sua rede de realimentação e são aplicados em circuitos que necessitam de sinais de frequências mais elevadas. É geralmente utilizada uma disposição paralela, que é periodicamente alimentada com um impulso de energia para manter a corrente que circula no circuito paralelo. A corrente circula em uma direção e depois na outra à medida que os campos magnético e elétrico do indutor e do capacitor trocam suas ener-

gias. Por conseguinte, é gerada uma frequência constante [103]. Como exemplo as arquiteturas: Colpits, Hartley, Armstrong, Clapp;

- **Cristal:** para a estabilidade máxima utilizam-se geralmente cristais de quartzo. Oscila por efeito de ressonância quando uma pressão é aplicada através de suas extremidades de modo que a energia mecânica é alterada para energia elétrica. O cristal tem um grande fator Q (fator de qualidade) e isso significa que ele é altamente seletivo e estável [103].

Não Lineares: São conhecidos também como geradores de função, pois, geram ondas **não** senoidais (quadrada, triangular, pulsos, etc), possibilitando a obtenção de outras formas de onda. Esses circuitos em sua maioria podem operar em uma ampla faixa de frequência com um número mínimo de componentes externos. Podem ser categorizados conforme a classificação a seguir:

- *Shift-Registers:* normalmente baseados em circuitos lógicos formados por uma cascata de *flip-flops*, partilhando o mesmo *clock*, no qual a saída de cada *flip-flop* está ligada à entrada de dados do próximo *flip-flop* na cadeia. *Flip-flops* são um tipo de circuito lógico sequencial que pode ser usado para armazenar ou transferir dados na forma de números binários.
- **Relaxação:** empregam blocos conhecidos como multivibradores. Há três tipos de multivibradores: o biestável, o astável e o monoestável, geralmente empregam amplificadores operacionais (Amp Ops) e são utilizados em aplicações analógicas de precisão [30].
- **Estruturas em anel:** combinação em cascata de estruturas de inversão ou células de atraso, conectadas em uma cadeia de malha fechada. Cada inversor é um amplificador com algum atraso intrínseco. O atraso adicional resultante de todos os estágios somam 180° a uma certa frequência. Se forem utilizados estágios totalmente diferenciais, podem também formar um circuito de realimentação positiva ao inverter as duas conexões de entrada em um dos estágios [104], e apresentam

uma maior rejeição a ruído de modo comum e ruídos provenientes da alimentação [105].

A Tabela 1 mostra os diferentes tipos e configurações disponíveis [32]. Os osciladores harmônicos representam a maior parte das aplicações em eletrônica analógica, e em tecnologia CMOS são implementados tipicamente por osciladores LC ou por estruturas em anel. Osciladores de relaxação e osciladores de cristal não são uma boa escolha devido à instabilidade de frequência com relação a ruído e grande sensibilidade à variação de temperatura e da fonte de alimentação [105]. Os osciladores LC e osciladores em anel são topologicamente diferentes e cada topologia tem suas próprias vantagens e desvantagens. Existem alguns parâmetros de desempenho que devem ser considerados ao projetar um VCO: faixa de sintonia ampla, consumo de energia, ruído de fase, área, entre outros. Dependendo das especificações do sistema, uma topologia adequada deve ser selecionada para obter um desempenho ideal.

Tabela 1 – Resumo de algumas topologias de osciladores e suas aplicações

Topologia	Implementação	Faixa de sintonia	Exemplo de Aplicações
Est. em Anel	Integrado	Até vários GHz	Microprocessadores
Colpitts	Discreto ou Integrado	Até dezenas de GHz	Geradores de RF
Deslocamento de fase	Discreto	Até alguns MHz	Trêmulo - pedais de guitarra
Ponte de Wien	Discreto	Até alguns MHz	Protótipos de projetos
Cristal	Discreto ou Integrado	Até cerca de 100 MHz	Referência precisa

Os **osciladores com estrutura em anel** projetados com uma cadeia de estágios de atraso criaram grande interesse por causa de suas inúmeras características úteis, como mencionado na Tabela 2 [106]. Essas características atraentes são: serem facilmente projetados com a CIs, altamente adequados para implementações VLSI, atingirem suas oscilações em baixa tensão, fornecerem saídas multifásicas, serem facilmente ajustados eletricamente, apresentarem saídas que podem ser combinada logicamente para sinais de *clock* multifásicos, que têm uso considerável em várias aplicações em sistemas de comunicação [107].

Tabela 2 – Comparação de diferentes tipos de osciladores

	Vantagens	Desvantagens
Oscilador LC	Boa estabilidade Baixo ruído de fase Boa imunidade a <i>Jitter</i> Maior robustez a variações (tensão/temp) Consumo (potência)	Grande área em leiaute (indutores) Faixa de sintonia estreita (<i>Tuning Range</i>) Controle (varactor) Baixa pureza espectral (muitos harmônicos)
Est. em Anel	Controle (CCO / VCO) Altamente integrável e menor área Maior frequência com baixa potência Faixa de sintonia ampla (<i>Tuning Range</i>) Maior simplicidade (apenas transistores)	Ruído de fase elevado K_{VCO} altamente sensível a distúrbios Fraca estabilidade em alta frequência Maior capacitância de entrada

Sendo assim, essa topologia será destacada para este trabalho. Esse tipo de oscilador possui características peculiares para à nossa aplicação, o que justifica a implementação e o detalhamento do princípio básico de funcionamento dessa estrutura.

5.2 Fundamentos da Operação do Oscilador

A estrutura básica de um oscilador senoidal consiste em um amplificador e uma rede seletiva de frequência conectada em um laço de realimentação positiva, como mostra a figura 31. Segundo Sedra e Smith [30], os osciladores eletrônicos são circuitos não-lineares com redes de realimentação. No entanto, as técnicas de análise linear são muito úteis para análise e projeto. Geralmente nenhum sinal de entrada está presente em um circuito de oscilador real, entretanto se introduziu um sinal de entrada para uma melhor compreensão do princípio de operação. Nota-se que, diferentemente da malha com realimentação, aqui o sinal de realimentação x_f é somado a um sinal positivo. Portanto o ganho com a realimentação é dado por:

$$A_f(s) = \frac{A(s)}{1 - A(s)\beta(s)} \quad (5.1)$$

Observa-se o sinal negativo no denominador. O produto $A(s)\beta(s)$ é conhecido

como o ganho do laço. É um produto das funções de transferência de unidades individuais no laço de realimentação. O numerador A é chamado de ganho de caminho direto porque representa o ganho de um sinal que vai da entrada para saída.

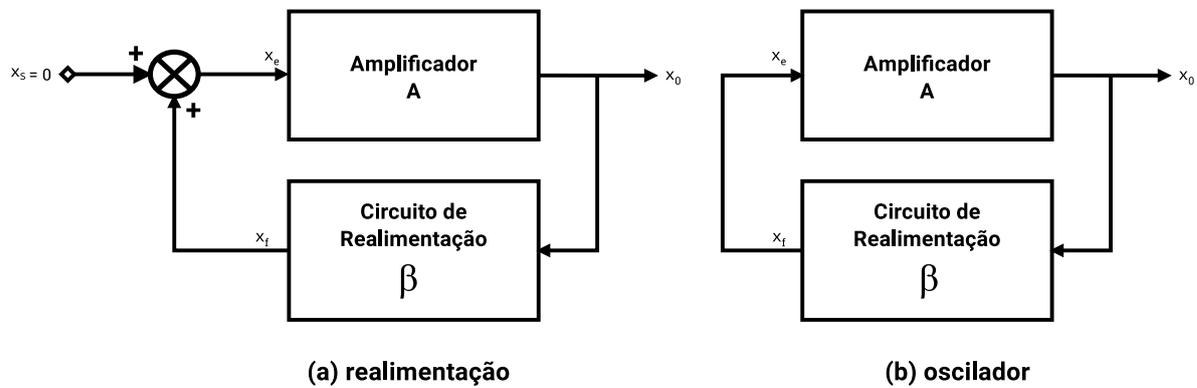


Figura 31 – Sistema de realimentação para estudo de oscilação.

A definição do ganho de malha fechada do circuito na figura 31 (a) é dada por: $-A(s)\beta(s)$. No entanto, é mais adequado retirar o sinal negativo ($-$) e definir o ganho de malha fechada $L(s)$ de acordo com a equação 5.2:

$$L(s) = A(s)\beta(s) \quad (5.2)$$

A equação característica fica sendo então

$$1 - L(s) = 0 \quad (5.3)$$

Se, em uma frequência específica f_0 , o ganho da malha $A(s)\beta(s) = 1$, pela equação 5.1, A_f será infinito. Assim, o circuito tem um sinal de saída x_0 sem um sinal de entrada x_s e o sistema oscila. Isto é, nessa frequência, o circuito terá uma saída finita com uma entrada de sinal zero [30]. Tal circuito é, por definição, um oscilador [32]. A condição $A(s)\beta(s) = 1$, é conhecida como o *critério de Barkhausen* [30]. Note que se o sinal $A(s)\beta(s)$ for subtraído de x_s antes de ser alimentado para A então o denominador de 5.1 muda para $1 + A(s)\beta(s)$. Nesse caso, o sistema oscila para $A(s)\beta(s) = -1$. Isso é conhecido como o *critério de Nyquist*. Uma vez que a saída de um amplificador

é geralmente 180° defasado com sua entrada, pode ser uma descrição mais adequada para esse caso [108].

5.2.1 Critério de Oscilação

A partir do *critério de Barkhausen*, pode-se projetar o circuito para um ganho de malha unitário na frequência de oscilação desejada, ω_0 . Isto é chamado de condição de arranque (inicialização da oscilação). No entanto, esta escolha coloca o circuito no limiar da falha: uma ligeira alteração na temperatura, processo ou fornecimento de tensão pode diminuir o ganho da malha abaixo de 1. Por essa e outras razões, o ganho da malha é geralmente maior do que a unidade [32]. Portanto, a condição para a malha de realimentação da figura 31 produzir uma oscilação senoidal de frequência ω_0 é que

$$L(j\omega_0) \equiv A(j\omega_0)\beta(j\omega_0) = 1 \quad (5.4)$$

Para o circuito oscilar em certa frequência, o critério de oscilação deve ser satisfeito apenas nessa frequência (em ω_0); caso contrário, a forma de onda resultante não será uma senoide pura.

O *critério de Barkhausen* pode ser analisado considerando-se novamente a malha de realimentação representada na figura 31. Para essa malha produzir e sustentar uma saída x_0 sem que seja aplicado um estímulo em x_s , o sinal de realimentação $x_f = \beta x_0$, deve ser suficientemente alto, de modo que, quando multiplicado por A , produza $Ax_f = x_0$, isto é $A\beta x_0 = x_0$, que resulta em $A\beta = 1$.

5.2.1.1 Critério de Oscilação em Estrutura em Anel

Um oscilador em anel é constituído por um número de fases de atraso, com a saída da última fase alimentada de volta para a entrada da primeira. Para conseguir a oscilação, o anel deve proporcionar um desvio de fase de π radianos e ter um ganho de tensão unitário na frequência de oscilação. Cada fase de atraso deve proporcionar um desvio de fase de $\frac{\pi}{N}$ radianos onde N é o número de células de atraso como mostrado

na figura 32.

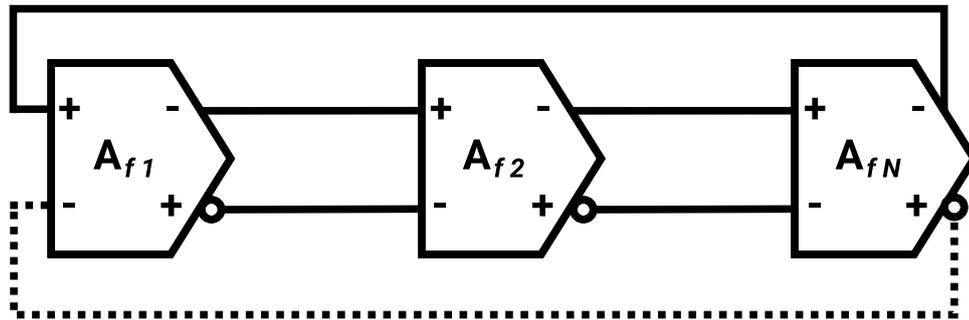


Figura 32 – Estrutura em anel diferencial.

Para determinar a frequência do oscilador em anel, usa-se seu modelo linear [109], como mostrado na figura 33.

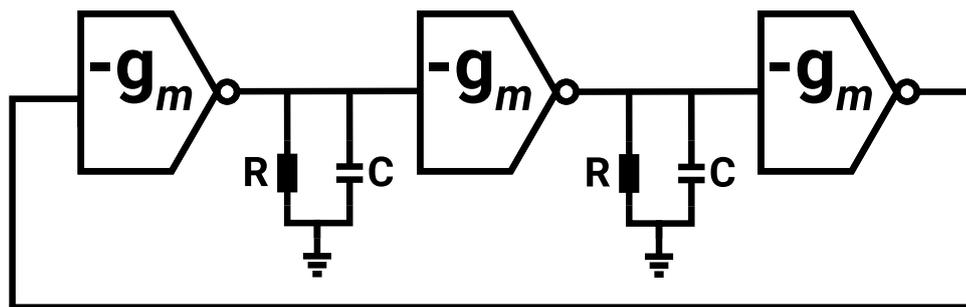


Figura 33 – Modelo linear de osciladores em anel.

Segundo Behzad Razavi [32] o modelamento deve tomar como base um amplificador de fonte comum em um laço de realimentação negativo conforme ilustrado na figura 34. Considerando o modelo de pequeno sinal [fig. 34 (b)], o *critério de Barkhausen* $A(j\omega) = 1$ é satisfeito.

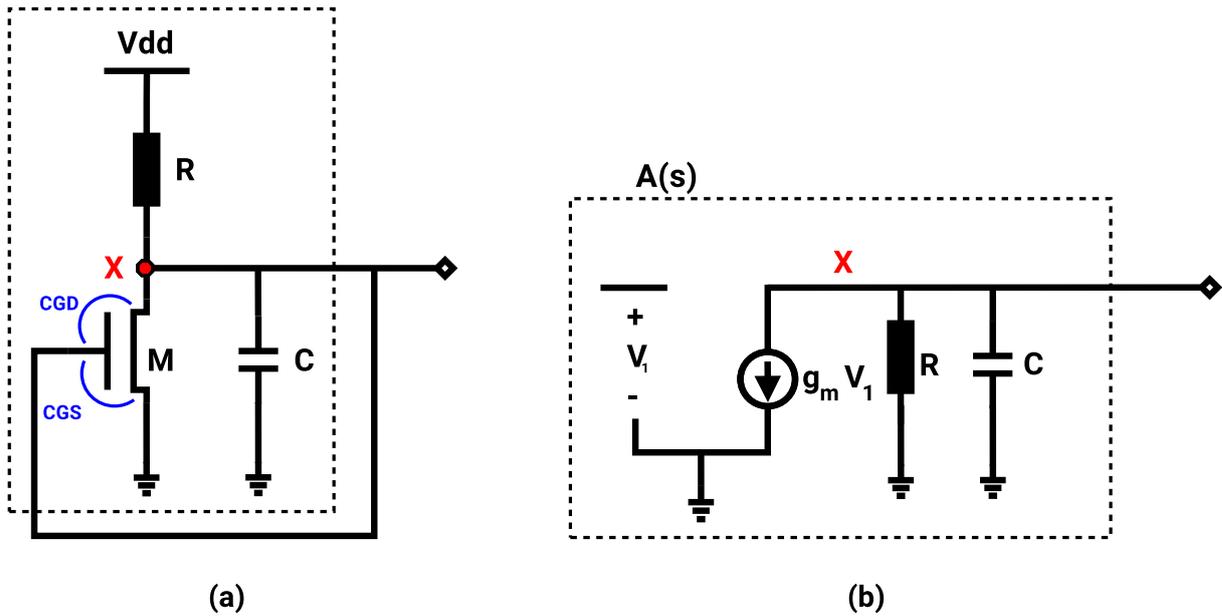


Figura 34 – (a) Hipotético oscilador usando um único estágio CS, (b) circuito equivalente de (a).

Entretanto, quanto a fase observa-se que as capacitâncias do circuito se fundem em um nó X (desprezando a capacitância entre porta e dreno - CGD), formando um único polo (laço aberto). Infelizmente, um único polo pode proporcionar um desvio de fase máximo de 90° , isto é, o deslocamento de fase dependente da frequência da função de transferência em malha aberta, $A(s)$, não excede 90° , impossibilitando a oscilação. Assim, o deslocamento de fase total ao redor do laço de realimentação não pode atingir 180° . Sendo assim, deve-se aumentar o atraso ou a mudança de fase ao redor do ciclo encadeando mais estágios. Com um mínimo de 3 células de atraso logra-se oscilação, devido a cada polo fornecer uma mudança de fase de apenas 60° .

Assim a frequência de oscilação é dada pelas equações 5.5 e 5.6:

$$-\tan^{-1}(RC\omega_1) = -60 \tag{5.5}$$

$$\omega_1 = \frac{\sqrt{3}}{RC} \tag{5.6}$$

Por fim para calcular a condição de inicialização, usa-se a função de transferência de cada estágio que é dada por $\frac{gmR}{1+RCs}$. Substitui-se s por $j\omega_1$, e encontra-se a magnitude da função de transferência, eleva-se à terceira potência (para três estágios idênticos). Iguala-se o resultado a 1 a fim de cumprir o *critério de Barkhausen*, o que resulta em :

$$\left(\frac{gmR}{\sqrt{1 + R^2C^2\omega_1^2}} \right)^3 = 1 \quad (5.7)$$

$$gmR = \sqrt{1 + R^2C^2\omega_1^2} = 2 \quad (5.8)$$

Alternativamente, considerando agora o atraso inserido pela operação de grande sinal em regime permanente, pode-se derivar uma equação para a frequência de oscilação onde é possível assumir que cada estágio fornece um atraso t_d . O sinal atravessa cada uma das N células de atraso uma vez para proporcionar a primeira mudança de fase num tempo de Nt_d . Então, o sinal deve atravessar cada fase uma segunda vez para obter o deslocamento de fase restante, resultando em um período total de $2Nt_d$. Portanto, a frequência de oscilação é dada por [110]:

$$f_{osc} = \frac{1}{2Nt_d} \quad (5.9)$$

A dificuldade em se obter um valor para a frequência surge quando se tenta determinar t_d , principalmente devido às não linearidades e componentes parasitas do circuito [110].

Um outro tipo de oscilador em anel pode ser concebido da seguinte forma: substitui-se a resistência (R) de carga na [fig. 34 (a)] por transistores pMOS, concebendo um inversor, proporcionando um ganho de tensão de $A_v = -(gm_p + gm_n) (r_{O_p} || r_{O_n})$ se ambos os transistores estiverem em saturação [32].

5.3 Parâmetros de Desempenho

As medições relacionadas ao ruído representam um dos principais parâmetros usados para caracterizar circuitos de temporização em sistemas eletrônicos modernos. *Jitter* e ruído de fase (*phase noise* - PN) são as medições usuais para osciladores e as mesmas podem ser intercambiáveis. Isso é aceitável porque ambos descrevem o mesmo fenômeno. O desempenho de ruído é normalmente descrito em termos de ruído de fase para o domínio de frequência, ou *jitter* para o domínio de tempo. Ambos os termos representam um desvio do sinal periódico em relação aos seus respectivos domínios. Esta seção apresenta uma visão geral do *jitter* e do ruído de fase.

5.3.1 *Jitter*

Apesar de inerente a sistemas elétricos, o *jitter* passou a desempenhar papel importante devido à degradação que causa em sistemas de comunicação de alta velocidade. Todos os dispositivos de temporização sofrem com *jitter*. Define-se *jitter* como uma variação do período de um oscilador, ou seja, é um tipo de incerteza no instante de tempo em que é esperada a ocorrência de um evento qualquer. Um oscilador ideal terá períodos que são exatamente os mesmos para cada ciclo. Observa-se que a fase aumenta com uma inclinação constante. Observa-se também que, como a frequência é a derivada da fase, a frequência é constante [31]. Isso é mostrado na figura 35 nas imagens localizadas à esquerda.

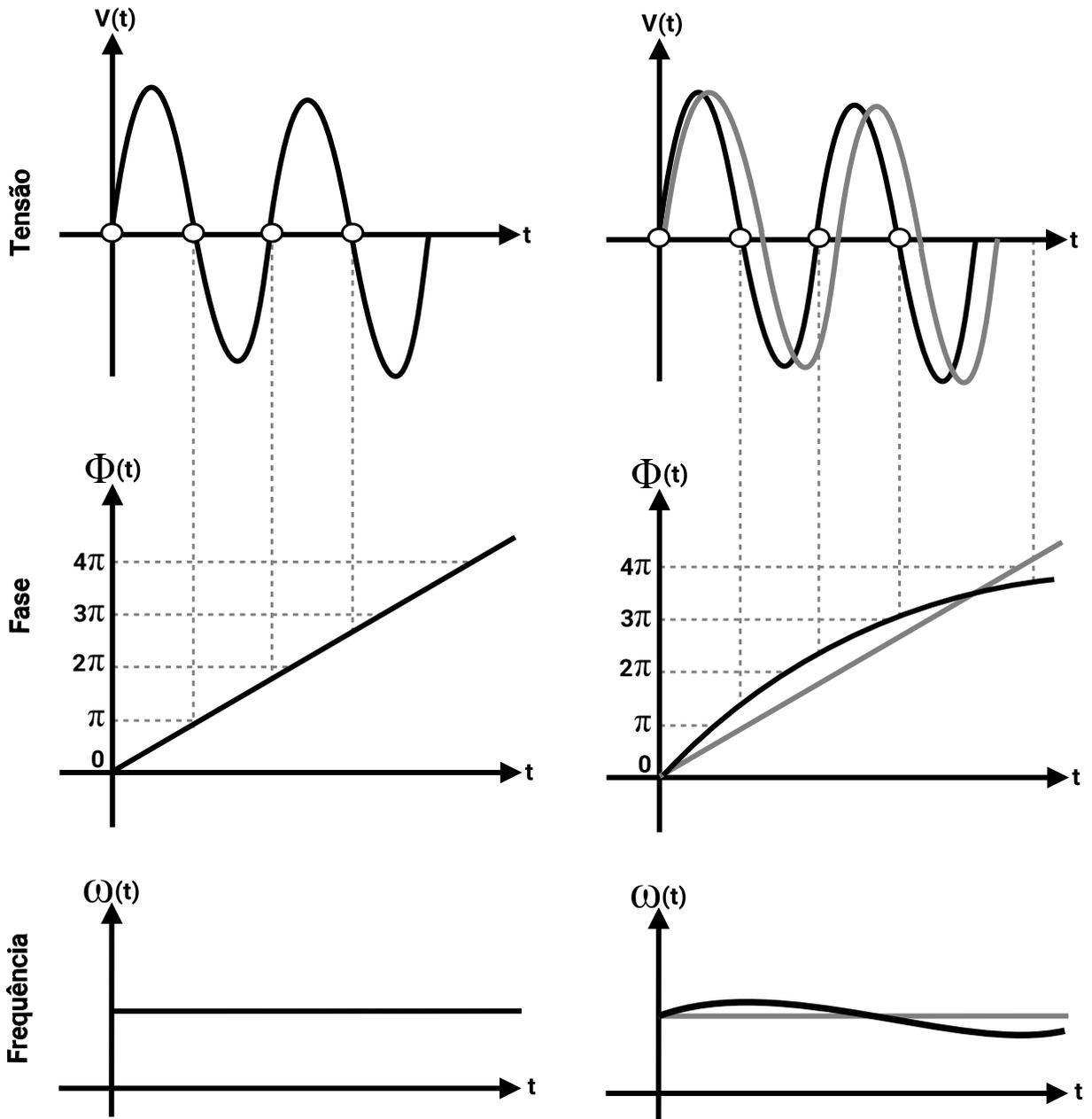


Figura 35 – Representação do *jitter* no domínio-tempo.

A representação na parte direita na figura 35 mostra um oscilador que tem uma saída com variações (ocasionadas pelo *jitter*). Os períodos do oscilador variam de ciclo para ciclo, com alguns períodos mais longos e alguns períodos mais curtos do que o período ideal. Observa-se que a fase muda e flutua acima e abaixo da inclinação ideal do oscilador perfeito. Isso se traduz em uma variação da frequência em torno da fundamental como mostrado na parte inferior da figura 35 [31].

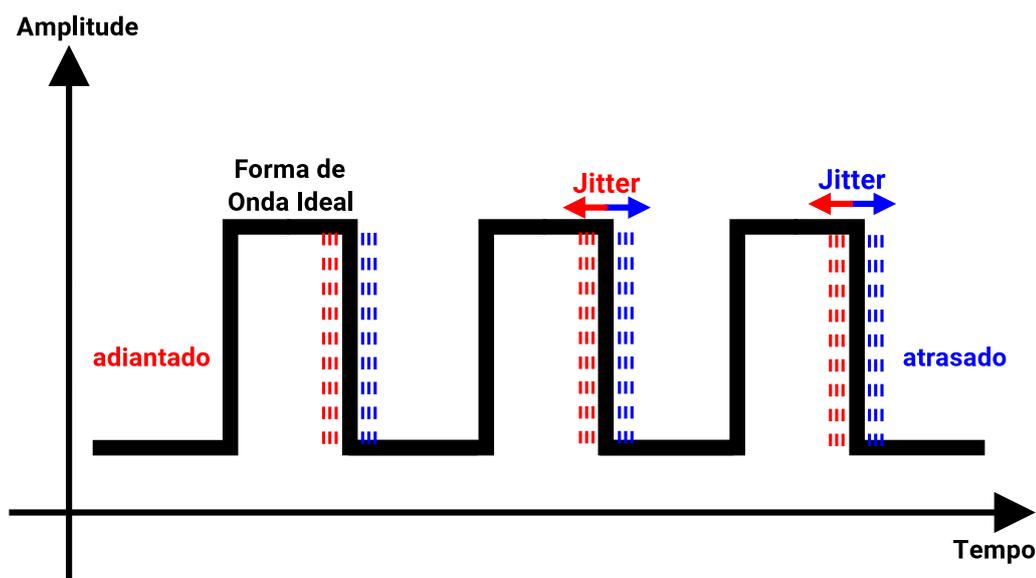


Figura 36 – Conceito de *jitter* como indicador para avaliar a forma de onda de saída de uma fonte de sinal de referência.

A figura 36 mostra um período, ou ciclo, de um sinal no qual múltiplos períodos diferentes são evidentes. Uma forma de onda ideal repete um ciclo invariável. As formas de onda reais, no entanto, variam no domínio do tempo, com as bordas do sinal ascendente ou descendente mais cedo (vermelho) ou mais tarde (azul) do que se supõe. Se o *jitter* for muito extenso, os sinais adjacentes interferem um com o outro, provocando deterioração.

Jitter pode ser separado em duas categorias: o de origem aleatória (*random jitter*) e o determinístico (*deterministic jitter*). O *jitter* determinístico é criado por sinais de interferência identificáveis. É sempre limitado em amplitude, tem causas específicas (não aleatórias) e não pode ser analisado estatisticamente.

O *jitter* aleatório descreve as variações de tempo causadas por influências menos previsíveis. A temperatura, que afeta a mobilidade do material cristalino no semicondutor, pode causar variações aleatórias no fluxo de portadores. O ruído térmico, como também as variações do processo do semicondutor, como densidade de dopagem não uniforme, também podem ocasionar a ocorrência de *jitter*. O *jitter* aleatório, por sua própria natureza, pode ser caracterizado usando estatísticas de distribuição

Gaussiana. Por exemplo, 100 medições sucessivas do período do *clock* de um oscilador que contém apenas elementos de *jitter* aleatórios apareceriam como uma distribuição gaussiana (ou normal) [111].

Essa distribuição normal produz duas especificações comuns de *jitter*:

- **Pico-a-pico:** pode ser especificado como a amplitude pico-a-pico de um sinal, ou a distância da menor para a maior medida na curva normal. Na maioria dos circuitos, esse valor aumenta com o número de amostras tomadas, teoricamente até um valor de infinito. Nessas circunstâncias, não é uma medida muito útil [111].
- **RMS (*root mean-squared*):** o valor de um desvio padrão da distribuição normal. Uma vez que isso muda pouco à medida que o número de amostras aumenta, é uma medida mais significativa. Entretanto, é somente válido em distribuições gaussianas puras. Se houver um *jitter* determinístico na distribuição, o uso de 1-sigma com base no histograma de *jitter* inteiro para a estimativa da probabilidade de ocorrência é inválido [111].

Várias fontes de *jitter* aleatório adicionam uma forma RMS. Para obter *jitter* total, um valor pico-a-pico é necessário para adicionar *jitter* aleatório a *jitter* determinístico [111].

5.3.2 Ruído de Fase (*Phase Noise*)

5.3.2.1 Definição

Em aplicações modernas de sistemas de comunicações a diferença mais importante entre o oscilador ideal e o real é o ruído de fase [112]. O ruído de fase descreve a variação da frequência de oscilação e é principalmente devido a fontes de ruído internas, que dão origem ao ruído térmico e os provenientes de um dispositivo, como o ruído de contato (*flicker noise* ou ruído $1/f$) e o ruído branco.

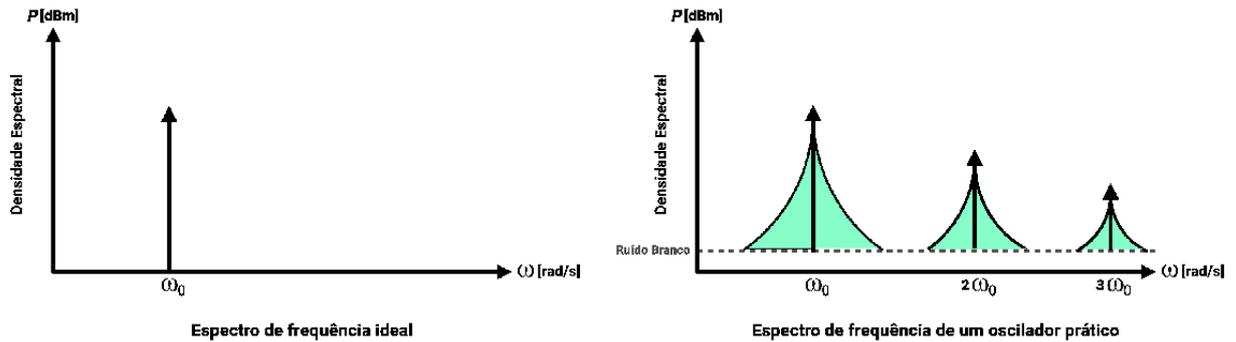


Figura 37 – Espectro de saída do oscilador com ruído de fase.

O ruído gerado na saída do oscilador causa flutuação aleatória da amplitude e da fase de saída. As fontes de ruído interno estabelecem um limite fundamental para um ruído de fase mínimo obtido na concepção do oscilador. Isso significa que o espectro de saída tem bandas em torno de ω_0 e suas harmônicas (figura 37). Com a ordem crescente das harmônicas de ω_0 , a potência nas bandas laterais diminui [113]. Sendo assim, a variação dos parâmetros do circuito tornam muito difícil a prevenção do ruído de fase.

Existem várias maneiras de quantificar as flutuações de fase e amplitude nos osciladores (uma revisão de diferentes padrões e métodos de medição é apresentada em [114]). São frequentemente caracterizados em termos de uma única densidade espectral do ruído de banda, $L(\omega)$, expresso em decibéis abaixo da portadora por Hertz (dBc/Hz). Essa caracterização é válida para todos os tipos de osciladores e é definida como:

$$L(\omega_m) = \frac{P(\omega_m)}{(P\omega_0)} \quad (5.10)$$

Onde $P(\omega_m)$ a potência de ruído de banda lateral única a uma distância de ω_m da portadora ω_0 numa largura de banda de $1Hz$, como visualizado na figura 38.

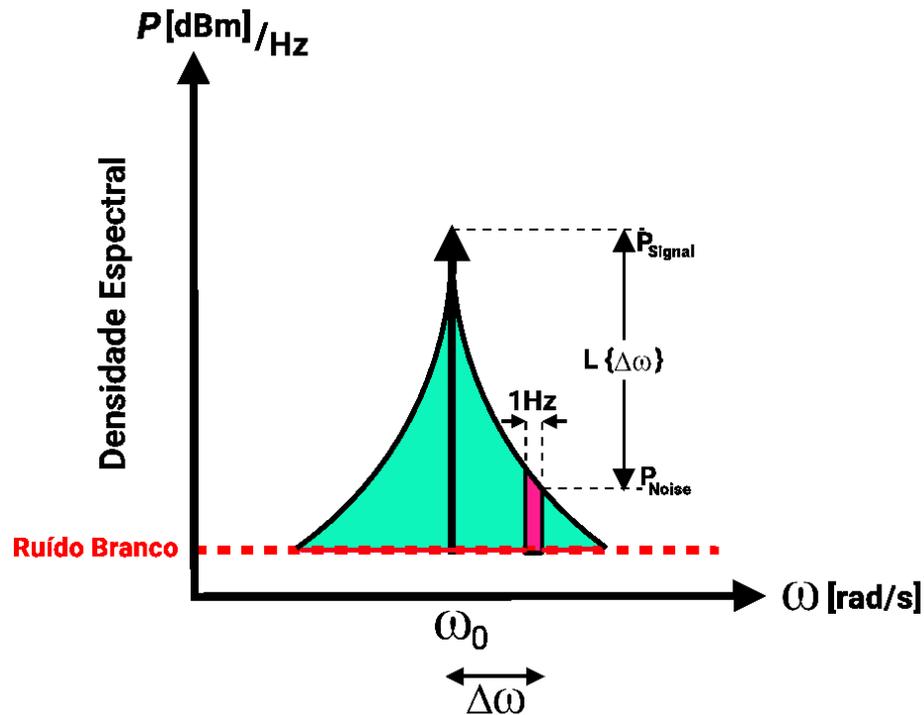


Figura 38 – Definição do ruído de fase.

A vantagem deste parâmetro é a sua facilidade de mensuração. Isso pode ser feito usando um analisador de espectro, demoduladores de fase ou frequência e ferramentas analógicas (*Softwares SPICE*). Sua desvantagem é que a densidade espectral (5.10) inclui as variações de amplitude e fase, e elas não podem ser separadas. No entanto, os osciladores práticos têm um mecanismo de estabilização de amplitude, que reduz fortemente o ruído de amplitude, enquanto o ruído de fase não é afetado.

A relação portadora-ruído (*Carrier to Noise Ratio - CNR*) também pode ser usada para especificar o ruído de fase do oscilador. O CNR numa banda de frequência de 1Hz à distância ω_m da portadora ω_0 , é definido como [112]:

$$\text{CNR}(\omega_m) = \frac{1}{L(\omega_m)} \quad (5.11)$$

5.3.2.2 Análise da Estrutura em Anel

Em particular, os diferentes tipos de cargas nas células de atraso são comparadas em termos de seu impacto no ruído de fase. Os inversores CMOS têm sido utiliza-

dos na célula de atraso para simplificar a concepção e conseguir um balanço de tensão de saída pico-a-pico. O balanço de saída pico-a-pico deverá resultar em menor ruído de fase [115].

Na maioria dos osciladores em anel totalmente diferenciais operando em altas frequências, os balanços de sinal interno são limitados a um intervalo bastante pequeno e os dispositivos raramente são completamente ligados ou desligados. Durante a maior parte do período, os dispositivos estão próximos de seus estados equilibrados. Como resultado, o modelo linear tradicional mostrado acima fornece uma predição razoavelmente boa para o ruído de fase, entretanto uma análise mais detalhada se faz necessária.

O modelo de ruído de fase proposto em [116], conhecido como modelo de *Leeson*, define que o ruído de fase de banda lateral única (SSB) para um oscilador LC é:

$$L(\Delta\omega) = 10 \log \left\{ \frac{2FkT}{P_{signal}} \left[1 + \left(\frac{\omega_0}{2Q_L\Delta\omega} \right)^2 \right] \right\} \quad (5.12)$$

$$L(\Delta\omega) \approx 10 \log \left\{ \frac{2FkT}{P_{signal}} \left(\frac{\omega_0}{2Q_L\Delta\omega} \right)^2 \right\} \iff \left(\text{para } \Delta\omega \ll \frac{\omega_0}{2Q_L} \right) \quad (5.13)$$

Em que $\Delta\omega$ é a frequência de deslocamento da portadora, Q_L é o fator de qualidade do circuito LC, F é o fator de ruído em excesso que representa a contribuição de ruído dos dispositivos ativos para além do ruído térmico do elemento com perdas no circuito LC, k é a constante de Boltzmann, T é a temperatura absoluta e P_{signal} é a perda de potência média no circuito LC. Esse modelo de ruído de fase pode ser ilustrado com a figura 39. A equação 5.13 foi originalmente derivada para os osciladores LC. O fator Q_L para osciladores com estruturas em anel foi definido em [115] e uma versão modificada do modelo de *Leeson* válida para um oscilador em anel em [117].

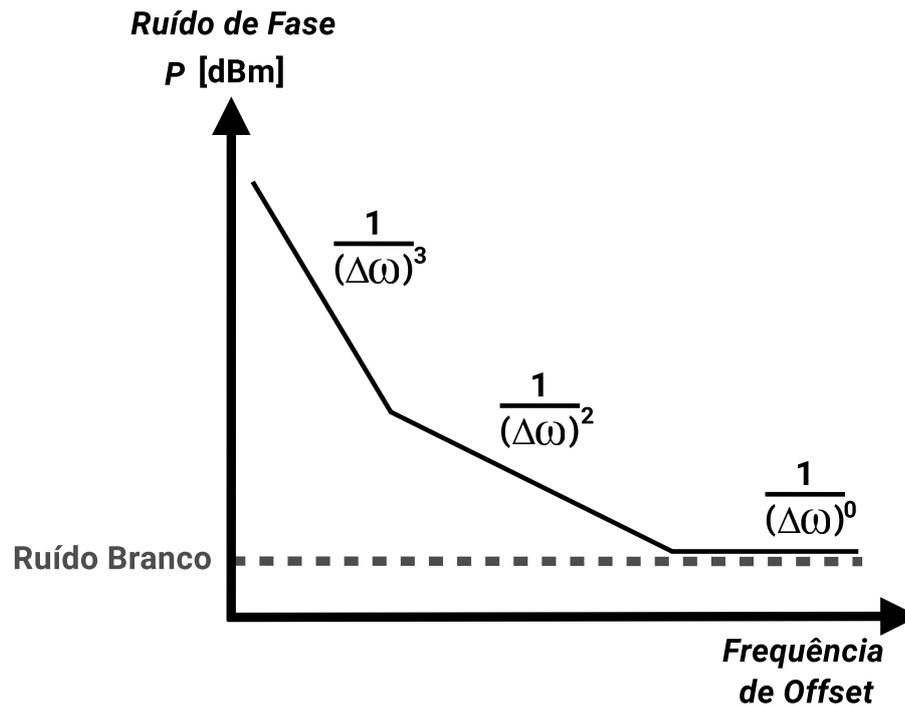


Figura 39 – Modelo de ruído de fase de Lesson.

Um modelo linearizado para um oscilador em anel de três estágios é mostrado na figura 33. O fator Q_L para um oscilador em anel é definido por [115]:

$$Q_L = \frac{\omega_0}{2} \sqrt{\left(\frac{dA}{d\omega}\right)^2 + \left(\frac{d\Phi}{d\omega}\right)^2} \quad (5.14)$$

Em que A e Φ são a amplitude e a fase da função de transferência em laço aberto, respectivamente, e ω_0 é a frequência central de oscilação em *rad/s*. Foi mostrado em [115] que o fator Q_L para um oscilador em anel de três estágios é $(3\sqrt{3})/4 \approx 1.3$ e é independente da topologia da célula de atraso. A magnitude da função de transferência de ciclo fechado de um oscilador em anel pode ser aproximada da frequência de oscilação pela equação

$$|A_f(j\omega)| \approx \frac{\omega_0}{2Q\Delta\omega} \quad (5.15)$$

Na maioria dos sistemas de comunicação, a densidade espectral de potência (*Power Spectrum Density* - PSD) de ruído térmico é a mesma para todas as frequências

de interesse. PSD para carga ativa é $4\gamma kT g_{ds0}$, onde g_{ds0} é a condutância de dreno-fonte com $V_{DS} = 0$. Assumindo que a metade do ruído térmico contribui para o ruído de fase e o restante apenas provoca variação de amplitude, esta pode ser removida pela técnica de limitação, que consiste na utilização de um elemento limitador de intensidade, não linear, no caminho do sinal [118]. Usando a definição de Q_L da equação 5.14, pode-se estender o modelo de *Leeson* mostrado na equação 5.13 para incluir osciladores em anel. Pode-se mostrar que o ruído de fase para um oscilador em anel de 3 estágios é dado por:

$$L(\Delta\omega) \approx 10 \log \left\{ \frac{8F\gamma kT g_{ds0}}{9I_{rms}^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \right\} \quad (5.16)$$

Em que I_{rms}^2 é o valor RMS para o balanço de corrente interna. É uma medida da amplitude do sinal de oscilação. Uma vez que Q_L é independente da topologia da célula de atraso, para uma dada frequência central ω_0 e frequência de deslocamento $\Delta\omega$, o ruído de fase é determinado por F , I_{rms}^2 e g_{ds0} .

5.4 Implementações Usuais

Em projetos VLSI que serão usados em aplicações espaciais, a seleção de um oscilador controlado por tensão é sempre um trabalho desafiador para engenheiros eletrônicos. O VCO é o coração do PLL, assim sendo vital selecionar um projeto apropriado. O projeto envolve muitos compromissos entre área, velocidade, potência, domínios de aplicação, robustez e confiabilidade principalmente em aplicações espaciais. Esses problemas, em um estudo comparativo entre diferentes arquiteturas de osciladores, estão no foco deste trabalho.

Tomando como base o trabalho de Zhuojun Chen, implementou-se a topologia descrita na figura 40 [119] com os mesmos critérios propostos nesta dissertação, a fim de mensurar a confiabilidade quanto à ocorrência de SEE. Comparações são necessárias como referência para pesquisas mais profundas em relação a fenômenos da ocorrência de SEE e melhoramento de possíveis topologias. De fato, partículas de alta

energia podem passar através de materiais semicondutores e depositar carga em dispositivos sensíveis. Estudos anteriores demonstraram que os VCOs são vulneráveis a efeitos de eventos singulares, principalmente *single event upset* (SEU), resultando em pulsos e deslocamento de fase, desestabilizando o PLL em que estão inseridos.

Zhuojun Chen propôs uma topologia (figura 40) tomando como base a topologia *Differential Cascode Voltage Switch Logic* (DCVSL). De um modo geral, a lógica DCVSL geralmente apresenta uma rede nMOS na parte inferior à saída e uma estrutura *cross-coupled* pMOS na parte superior. A conexão cruzada elimina a sua corrente estática e, portanto, ajuda a obter maior velocidade de desempenho em comparação com a lógica CMOS convencional [120].

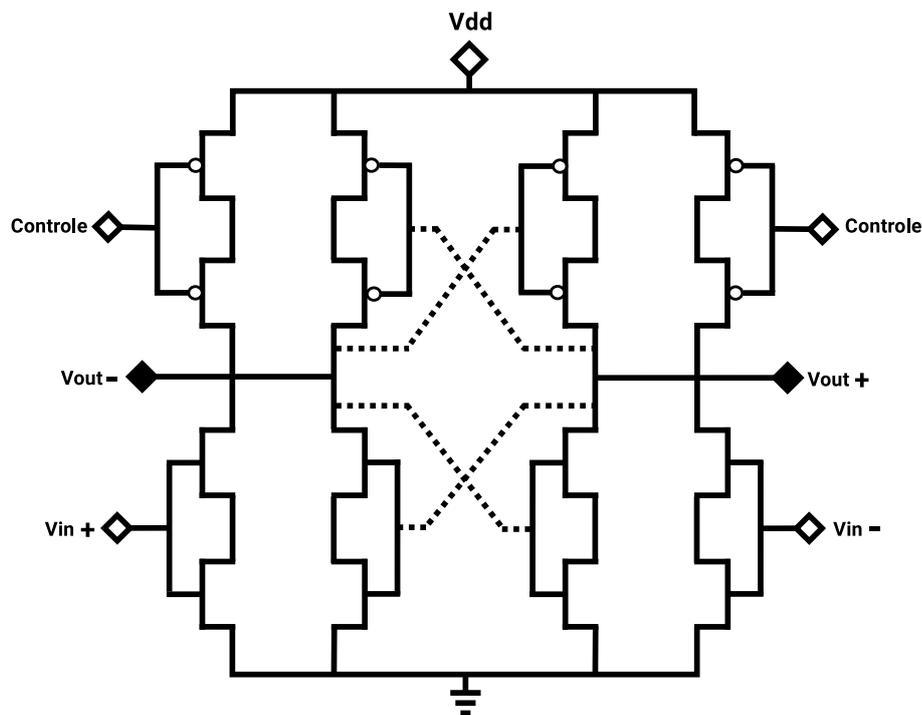


Figura 40 – Esquema da célula de atraso endurecida usada no VCO tomado como base de comparação.

DCVSL fornece vários benefícios sobre outros estilos lógicos, tornando-o adequado para as células de atraso de um oscilador em anel. Além da natureza diferencial, que elimina o ruído em modo comum, o DCVSL oferece pequenas capacitâncias parasitas na entrada da porta e nos nós de saída, reduzindo assim seu consumo de energia estática. Além disso, consome menos espaço em circuitos complexos compartilhando

transistores comuns de ambas as saídas [121]. Outras vantagens são o baixo ruído de fase, baixa potência e boa linearidade de sintonia. Além disso, os resultados de simulações mostram que a topologia DCVSL tem maior imunidade SET porque os dados são armazenados em dois elos diferentes em vez de um nó somente na porta lógica estática convencional [122].

No entanto, o VCO-DCVSL também resulta em erros de fase e pulsos. Para reduzir a sensibilidade do SET, se fez uso no VCO-DCVSL de redundância de dispositivos resultando na topologia ilustrada na figura 40. As simulações relatadas no trabalho [119] mostram que a redundância provoca apenas pequenos distúrbios de tensão resultantes de colisões de partículas, enquanto que o inversor normal perturba a saída. Isso ocorre porque somente uma pequena quantidade de carga é deslocada no transistor redundante após a colisão de partículas. Além disso, essa técnica foi comprovada experimentalmente para eliminar eficazmente SETs em circuitos analógicos [123].

Os resultados alcançados na pesquisa de Zhuojun Chen foram obtidos com experimentos com íons pesados segundo as normas internacionais realizados no *Ion Research Facility em Lanzhou (HIRFL)*, fazendo uso de tecnologia PD-SOI com transistores STI de 130 nanômetros. Na pesquisa de Zhuojun Chen demonstra-se que o VCO é o módulo mais sensível dentro do PLL, resultando no maior deslocamento de fase, enquanto o CP encontra uma recuperação de longo tempo sob a colisão de íons. Mas o deslocamento de fase máximo é muito menor do que 2π , logo demonstrando um grau de robustez e tempo de recuperação adequado.

6 *Ring Oscillator* - Trabalho Proposto

O capítulo anterior apresentou uma visão geral sobre osciladores com o objetivo de oferecer um conhecimento mínimo para um projeto de um VCO. Com o objetivo de validar o modelo apresentado nesta dissertação, serão apresentados o estudo e os resultados obtidos da célula proposta e comparados com os resultados do oscilador proposto por Zhuojun Chen [119]. O desempenho de diferentes circuitos será comparado através de resultados de simulações em CMOS DARE-UMC 180nm usando ambiente de simulação “*Cadence Virtuoso*”, a fim de mensurar a confiabilidade em relação a efeitos de eventos singulares (SEE).

6.1 Célula de Atraso

Inserido na iniciativa de capacitação pessoal e cooperação de instituições brasileiras, a fim de gerar um *chip* com uso em um satélite de sensoriamento remoto, se fez necessário um PLL, malha que o VCO está inserido que tem como finalidade principal gerar o *clock* de um sistema digital (baseado no protocolo *SpaceWire*). Projeto este que possui requisitos pré-estabelecidos, como: área, consumo, ruído, entre outros.

Diante deste propósito se optou pelo uso de um oscilador com estrutura em anel, que mencionado na seção 5.1.4 oferece vantagens inerentes aos requisitos pré-estabelecidos nesta aplicação. Fez-se uso de uma arquitetura diferencial para a célula de atraso. Esse tipo de circuito propõe-se a manter o seu estado anterior, mesmo com a presença de perturbações externas, resultando em uma boa estabilidade. O VCO proposto é formado por um número ímpar de células de atraso tendo o laço de realimentação totalmente diferencial atingindo o requisito de sintonia de frequência, como mostrado na figura 41.

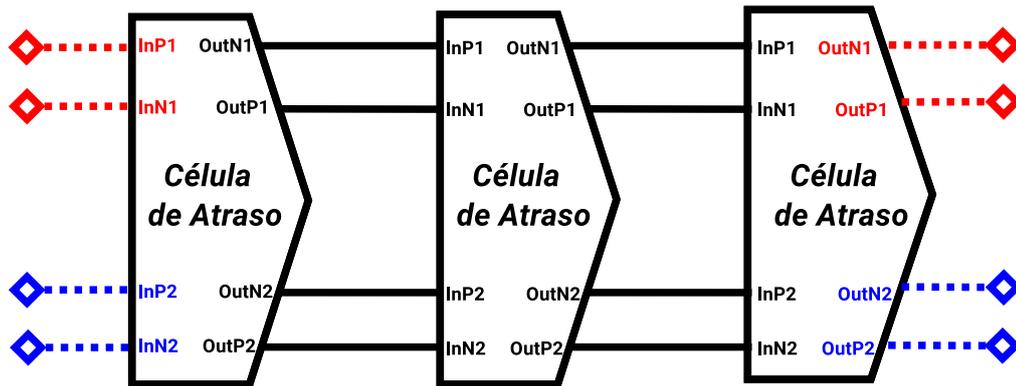


Figura 41 – Composição do VCO - Células de atraso.

Cada célula de atraso apresenta uma topologia com características de construção similares à estrutura DCVSL, a qual define-se como um circuito lógico com entradas e saídas diferenciais, com um par de transistores pMOS realimentados positivamente (*cross-coupled*). Esse tipo de circuito lógico utiliza sinais de entrada complementares para obter saídas complementares usando um par de rede *pull-down* nMOS. Com o objetivo de uma maior robustez aos efeitos da radiação, elaborou-se a célula de atraso descrita na figura 42.

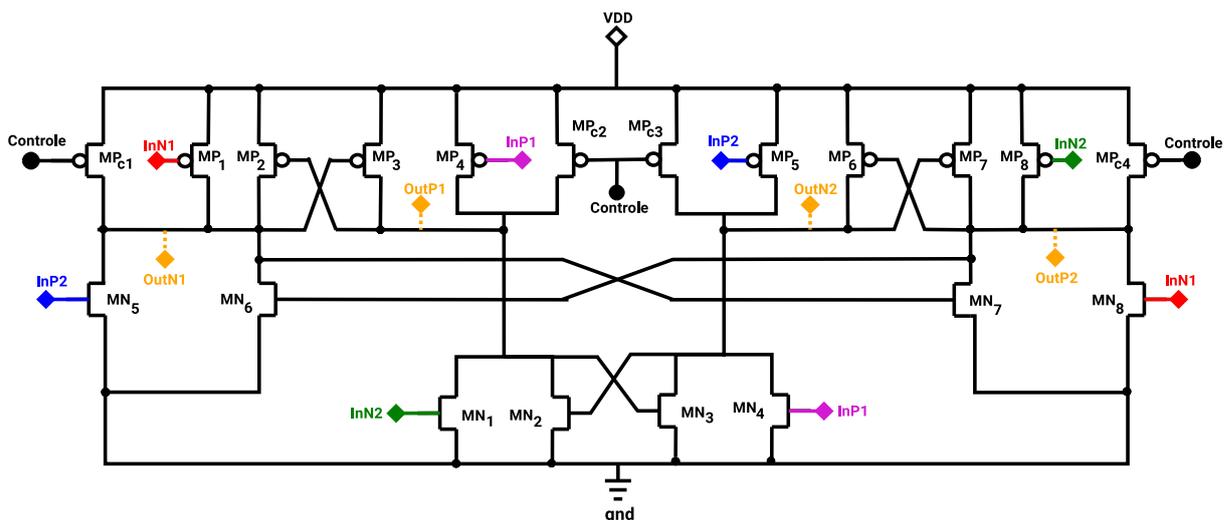


Figura 42 – Arquitetura da Célula de Atraso Proposta na Dissertação.

Usando a técnica de redundância de componentes como mencionado na seção 4.2.2, elaborou-se o ordenamento tomando-se uma célula dupla, em que os transistores

nMOS MN_1, MN_4, MN_5, MN_8 e os pMOS MP_1, MP_4, MP_5, MP_8 são entradas de sinal, usando uma realimentação com complementação a fim aumentar a velocidade, devido à complementação contribuir para carregar os capacitores parasitas da saída do nó. Os transistores MN_5 e MN_8 correspondentes às entradas $InP2$ e $InN1$ formam um par usado para maximizar a transcondutância para capacitância ($g_m = C$), relação que leva a alta frequência de operação com baixa dissipação de energia. Os pares *cross-coupled*, correspondentes aos transistores pMOS MP_2, MP_3, MP_6 e MP_7 aceleram as transições nos nós de saída e aumentam a velocidade de oscilação.

A topologia diferencial tem uma frequência de oscilação devido à sua lógica de modo de corrente, a qual tem apenas um sinal de sintonia (controle), que irá mudar a corrente para gerar frequências diferentes. Usando esse método, o controle é feito através do estímulo de tensão na porta dos transistores pMOS $MP_{c1}, MP_{c2}, MP_{c3}, MP_{c4}$. Quando a tensão de controle na porta é baixa, a resistência do bloco pMOS torna-se forte, resistindo à comutação de tensão na célula. Como resultado, o atraso aumenta. Em contraste, quando a tensão de controle na porta é alta, o bloco pMOS torna-se fraco e o atraso é reduzido, sendo que a frequência de oscilação aumenta.

A fim de aumentar o grau de confiabilidade quanto a erros provocados por SEE, uma estratégia similar de redundância é empregada para a implementação do módulo de interconexão, na qual se fez uso de *buffers* entre as células de atraso, a fim de garantir a integridade do sinal sem distorções, mantendo o acionamento apropriado do votador para a faixa de frequência de interesse, como mostra a figura 43. No entanto, a tensão de modo comum precisa ser ajustada para que o projeto dos *buffers* de saída possa satisfazer todas as frequências do VCO. Como resultado, uma fase de armazenamento em *buffer* será incluída em cada uma das células de atraso do VCO. Seguindo o processo de aumento de confiabilidade, também foi feito uso de circuito de votação.

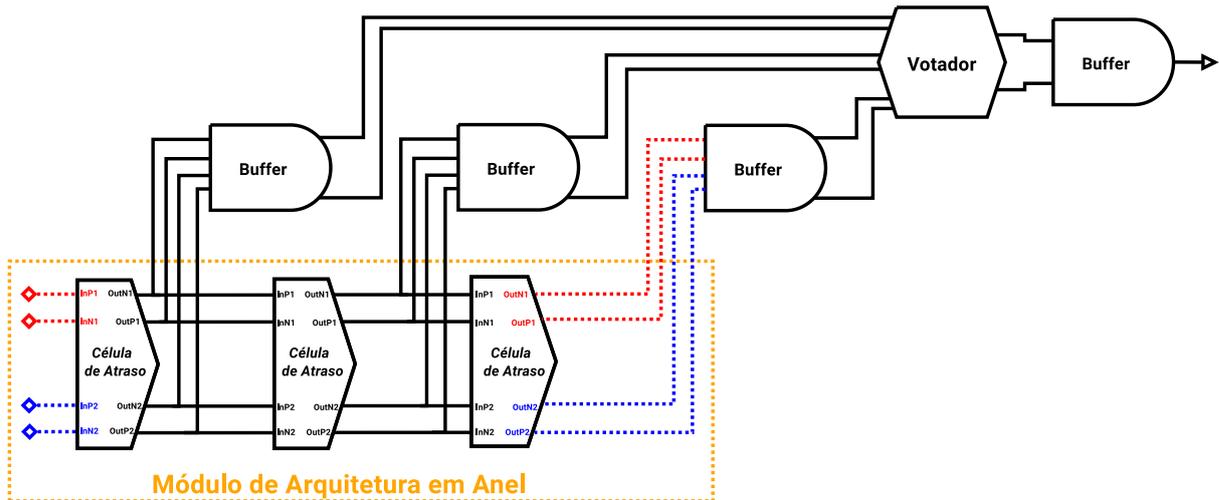


Figura 43 – Arquitetura do sistema VCO.

A atenção a efeitos de eventos singulares envolve a tolerância a SEU na lógica sequencial e a SET na lógica combinacional. A tolerância a esses erros é conseguida usando redundância. Fez-se uso da técnica de redundância baseada em circuitos votadores (descrita em 4.2.2.3) com uso de *Triple Modular Redundancy* (TMR), técnica que replica as células de armazenamento usadas em geral três vezes e usa um eleitor majoritário para ignorar qualquer valor corrompido.

6.2 Simulações

Um projeto experimental de um VCO com estrutura em anel usando três células de atraso em conjunto com alguns circuitos complementares (*buffers* e circuito de votação), como ilustrado na figura 43 foi proposto e simulado através do simulador *SPICE - Cadence Analog Design Environment*, plataforma de projeto que fornece uma análise detalhada a nível de sistema e de componente em vários domínios. A figura 43 mostra a configuração usada para o sistema.

A partir de caracterização da função crescente não-linear de correlação da frequência de saída com a tensão de controle de entrada, resultados de simulação indicam os dados a seguir: conforme a figura 44 a frequência mínima de saída $F_{Min} = 137\text{MHz}$

para uma tensão de controle $V_{Controle} = 0V$ na saída da estrutura em anel (linha azul), bem como no *buffer* de saída do sistema (linha vermelha). O balanço na variação de saída do sistema no *buffer* não é totalmente pico-a-pico (*rail to rail*), mas é de cerca de 80%. No entanto, esta amplitude de oscilação permite a correta caracterização/reconhecimento de níveis lógicos para a operação do divisor de frequência no laço de realimentação do PLL;

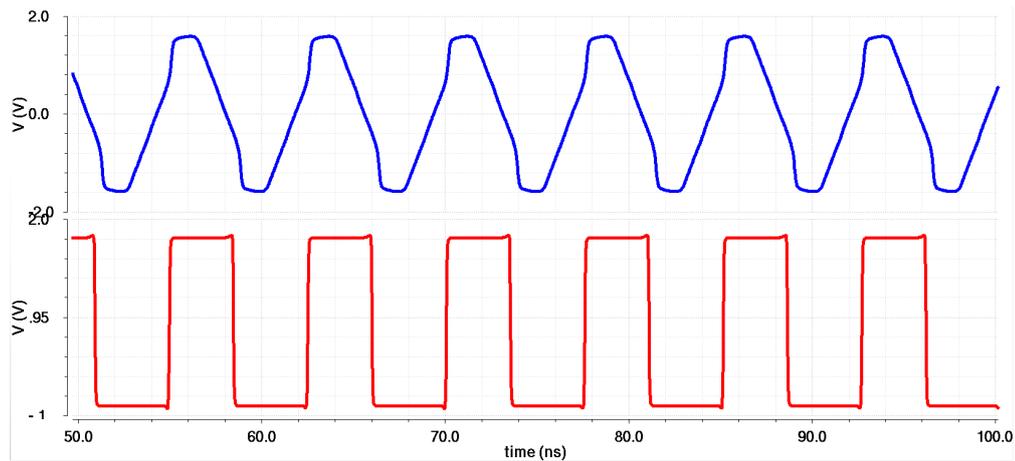


Figura 44 – Formas de Onda da Frequência de Saída com Tensão de controle mínima.

Como condição complementar, a figura 45 indica a frequência máxima de saída $F_{Max} = 940MHz$ para uma tensão de controle $V_{Controle} = 1.4V$ na saída da estrutura em anel (linha azul), bem como no *buffer* de saída do sistema (linha vermelha);

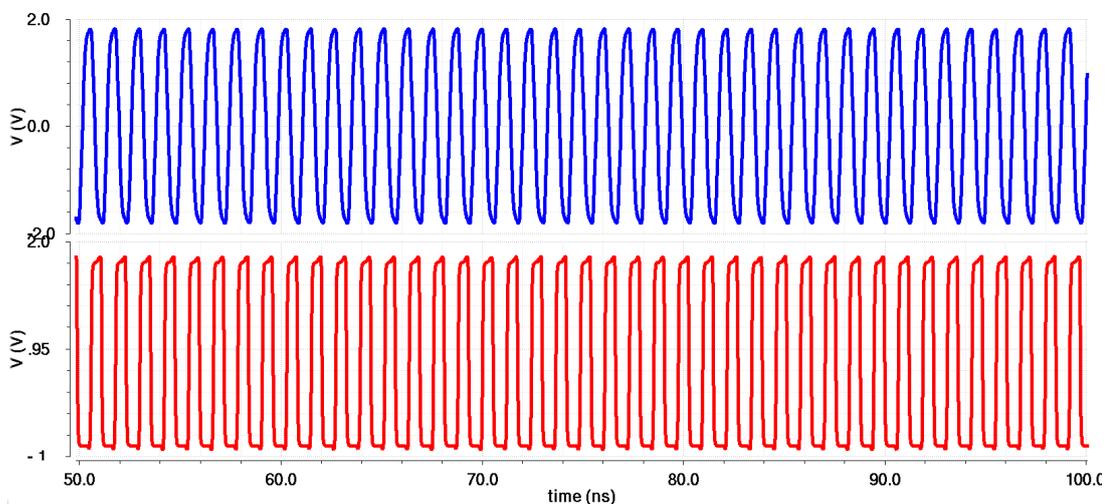


Figura 45 – Frequência de saída - Tensão de controle máxima.

Resultante das características operacionais associadas à injeção de corrente para o controle de frequência, o K_{VCO} caracteriza a sensibilidade de sintonia do VCO conforme mostra a figura 46. O ganho deve ser projetado para ser grande o suficiente para atender a faixa de ajuste exigida. Contudo, qualquer ruído na tensão de controle resulta numa variação da fase de saída e da frequência.

A sintonia de frequência do VCO com estrutura em anel é obtida pela variação da impedância. A impedância é alterada pela tensão de controle, e pode ser modelado através da equação 6.1 considerando uma aproximação linear.

$$K_{VCO} = \frac{f_{Max} - f_{Min}}{V_{Max} - V_{Min}} \quad (6.1)$$

Um elevado K_{VCO} pode degradar o desempenho do PLL, devido à sua componente afetar diretamente o ruído de fase.

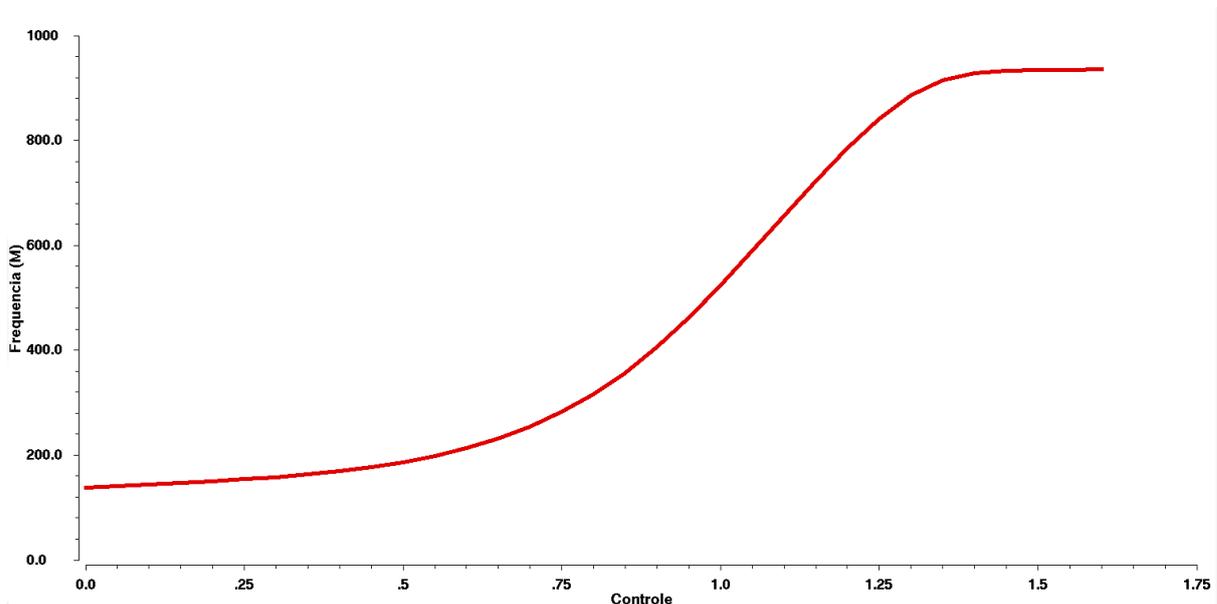


Figura 46 – Ganho - Sensibilidade (K_{VCO}).

Em um circuito oscilador com arquiteturas em anel, qualquer fonte pode contribuir potencialmente para a presença de ruído. As principais fontes de ruído estão associadas às variações de ruído térmico, que são produzidas pelo aquecimento dos

condutores e semicondutores do próprio sistema. A agitação dos elétrons devido ao aquecimento gera sinais elétricos aleatórios. Além disso, a presença de cargas armadilhadas na interface entre dielétrico e semiconductor gera uma fonte adicional de ruído que varia inversamente com a frequência [124]. Todo oscilador apresenta instabilidade nos parâmetros de oscilação, e esse fenômeno é mensurado através do ruído de fase (PN) predito pela equação de *Leeson* 5.15. Resultado ilustrado na figura 47.

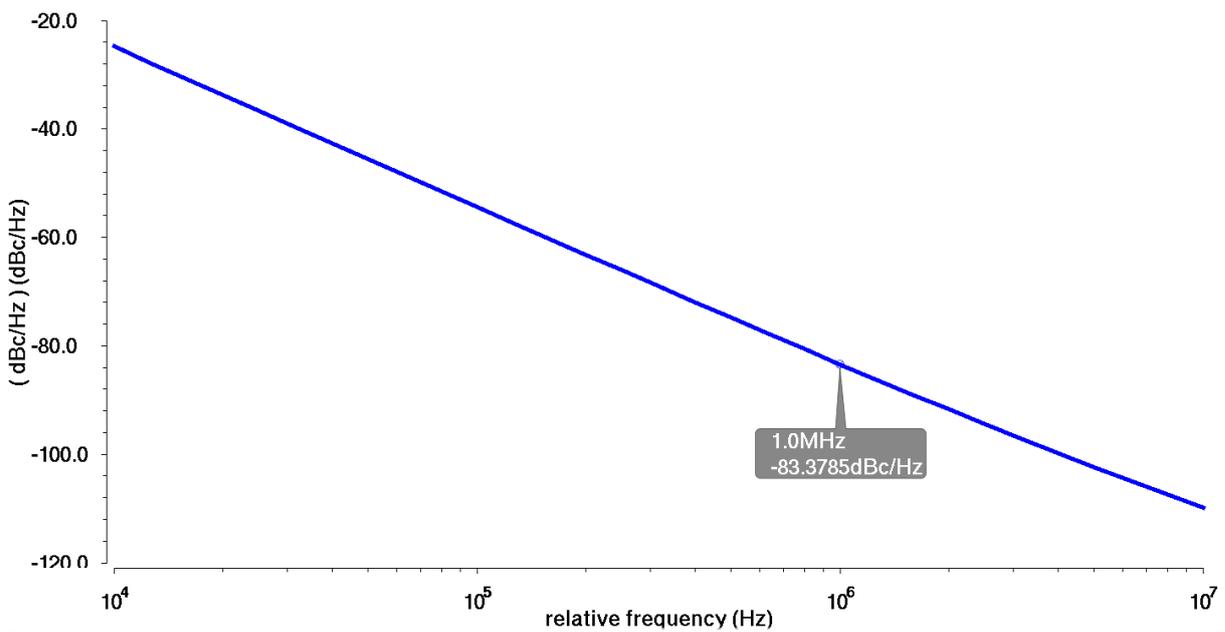


Figura 47 – Medição de ruído de fase.

A existência de variações aleatórias na fase de um sinal se manifesta como ruído de fase. Dentro desse contexto, considerando uma faixa de frequência predefinida $f = 10\text{Hz}$ a 10MHz , a figura 47 ilustra o ruído de fase em relação à frequência de deslocamento Δf , onde se obteve o valor de $PN@1\text{MHz} = -83.37\text{dBc/Hz}$.

6.3 Sistemática de Injeção de Falhas

Com o propósito de verificar a confiabilidade a SEE, define-se uma metodologia de injeção de falhas transientes, através do simulador *SPICE*, a fim de emular os efeitos da radiação, que é a principal fonte de SEEs em circuitos integrados.

6.3.1 Abordagem sobre Injeção de Falhas

Um mecanismo para simulação em nível de circuito usando *software SPICE* é relatado em [125, 126], em que um inversor CMOS é usado como exemplo. As zonas sensíveis à radiação correspondem ao dreno de ambos os transistores na condição de polarização reversa na junção dreno/substrato, conforme apresentado na figura 48. Dessa forma, quando a entrada da porta inversora *In* é colocada em nível baixo a falha deve ser aplicada no transistor nMOS, pois a junção $p - n$ do dreno do mesmo estará em condição de polarização reversa. Por outro lado, quando a entrada *In* é posta em nível alto, o pulso transiente deve ser aplicado no transistor pMOS, pois nessa situação a junção desse estará reversamente polarizada [125].

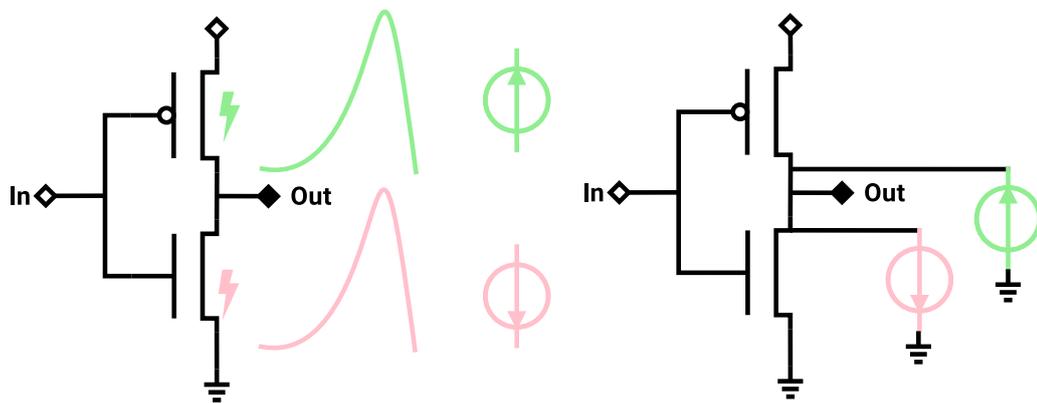


Figura 48 – Exemplo de inserção de falhas transientes em um inversor MOS.

[Modelo extraído de [125]]

No caso de um transistor nMOS a corrente é injetada no dreno, o que causa um pulso de forma (1-0-1) na saída do inversor. No caso pMOS, a corrente é retirada na forma (0-1-0) na saída do inversor [125]. Os pulsos serão aplicados através do simulador SPICE, conforme o modelo proposto por Messenger em [127] emulando a irradiação a fim de simular os efeitos amplamente abordados na seção 3.2.

O propósito da modelagem de propagação em circuitos analógicos como o VCO é determinar o impacto sobre a operação do PLL como sistema realimentado com estruturas analógicas e digitais.

Na prática foi usada uma fonte de pulso de corrente para emular uma colisão

de partículas simulando um SEE. Foi determinado a largura do pulso resultante em função da quantidade de carga injetada. Esse pulso analógico é convertido em um pulso lógico usando um limiar de tensão de $V_{DD}/2$ ou uma aproximação desse valor. O pulso lógico é então usado para as simulações. Esse tipo de simulação é testado usualmente como relatado por Hungse Cha em [128] e por S. Buchner em [129].

Para não haver discrepância na comparação, ambos os VCOs utilizaram as mesmas métricas, assim como os mesmos circuitos adjacentes (*buffers* e votador). O VCO tomado como estado-da-arte foi projetado usando a mesma tecnologia DARE-UMC de *nó* tecnológico de 180 nanômetros para teste segundo uma faixa comum de frequências de referência. Com todos os parâmetros pré-estabelecidos efetuou-se as simulações, para verificar através de um processo comparativo o nível de confiabilidade do sistema proposto à ocorrência de SEE.

Quando um transiente com uma largura de impulso suficientemente larga é inserido num *nó* de um VCO, geram variações de fase com alteração localizada significativa na envoltória do sinal para intensidades crescentes. Assim, o transiente é capaz de propagar-se livremente e resultar numa falha, que pode acarretar em um erro de operação, levando o VCO a uma frequência superior à frequência desejada. Por conseguinte, aplicou-se uma injeção de corrente como mostrada na figura 49, em que o valor estabelecido foi de $975\mu A$ para simular o SEE incidente com um tempo de subida e descida de $3ps$ e duração de $6ns$, tomando como base os experimentos relatados em [130, 131]. Esse efeito foi aplicado apenas em uma célula de atraso, tendo em vista que todas as células são iguais e estão com a mesma carga imposta, logo terão uma mesma distribuição de níveis DC (tensão e corrente) em cada célula de atraso.

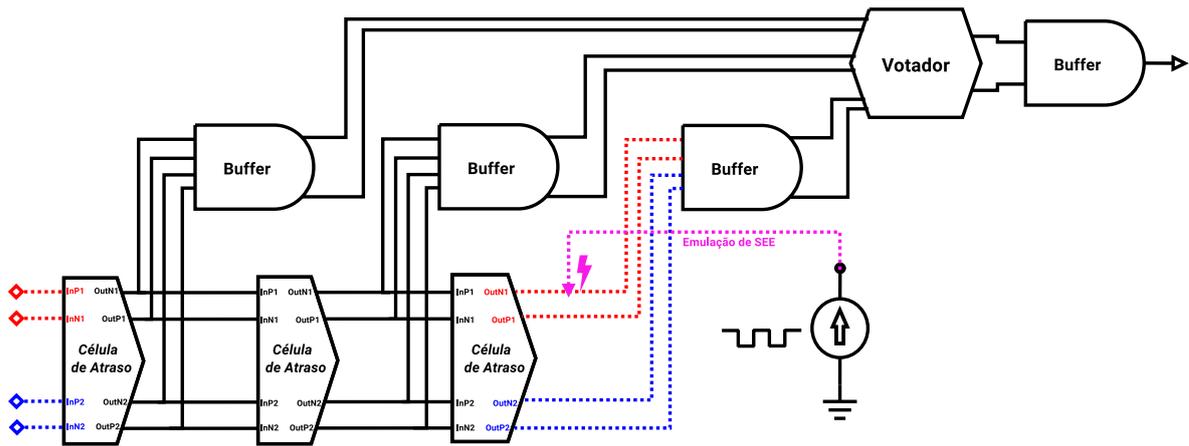


Figura 49 – Inserção de falha transitente.

As figuras 50, 51 e 52 representam o resultado das simulações em condições nominais (temperatura e modelo de processo). As figuras 50 e 51 representam os resultados das simulações do VCO proposto nesta dissertação, no qual a forma de onda em vermelho com uma pequena deformação indica o nó de tensão em que ocorreu a emulação da colisão de SEE, a representação pontilhada de cor preta evidencia o estágio seguinte (próxima célula de atraso), a linha verde representa a saída do *buffer* que está ligado ao estágio que sofreu a colisão de SEE e, por fim, a representação em azul demonstra a saída do sistema.

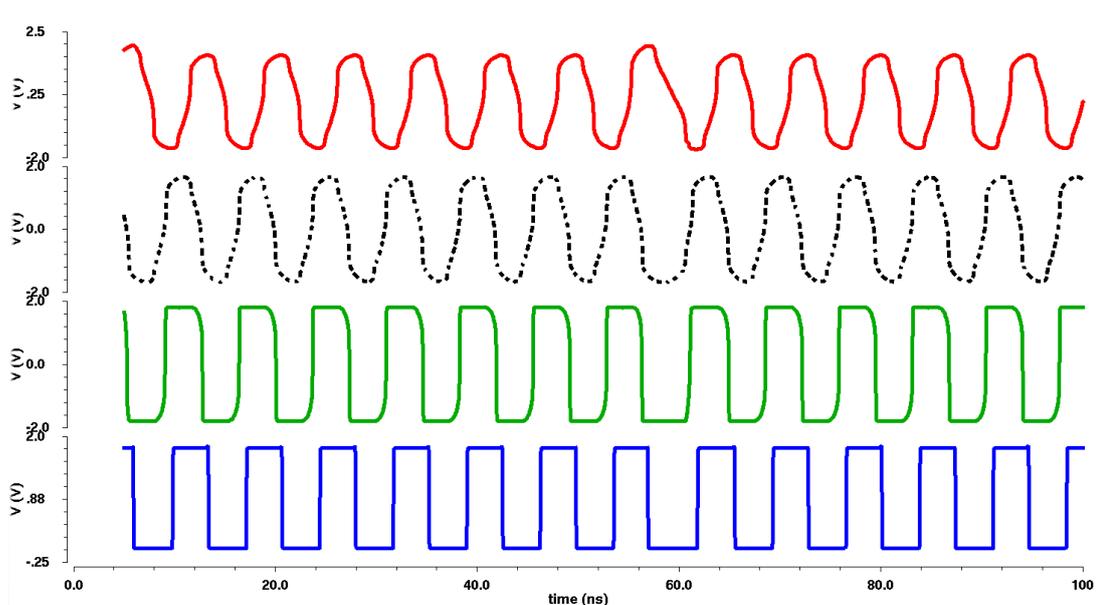


Figura 50 – Resposta sobre a inserção de falha transitente na mínima frequência para o VCO proposto.

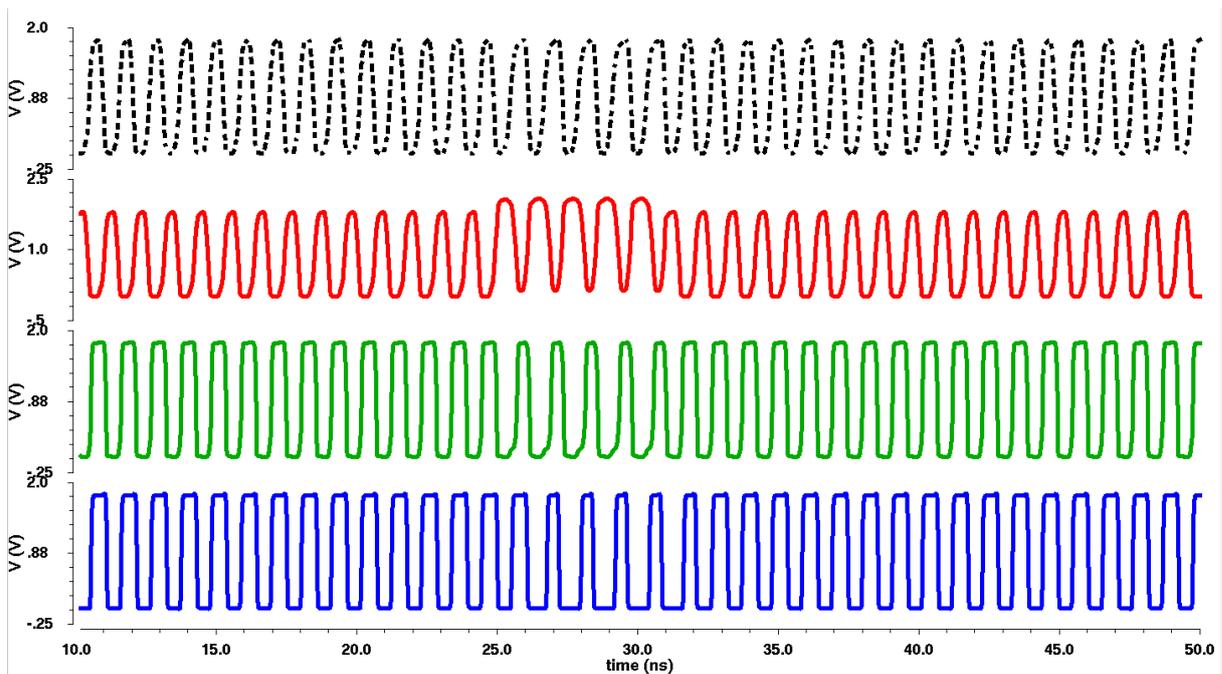


Figura 51 – Resposta sobre a inserção de falha transiente na máxima frequência para o VCO proposto.

Quando a carga é depositada em um VCO devido a um SEE, é observada uma mudança temporária de fase, podendo resultar em um erro de ciclo (*Duty-Cycle Error*), que refere-se a casos que a largura de pulso resultante difere do valor original resultante de perturbações de tensão. Entretanto, esses tipos de erros transitórios geralmente não são persistentes, mas podem afetar o sinal original deslocando o sinal em fase.

Contudo, a figura 50 demonstra que na frequência mais baixa o transiente injetado não é suficientemente amplo para corromper o sinal do VCO proposto neste trabalho, mas a figura 51 mostra que na frequência mais alta ocorreu uma variação de fase mínima. Ainda assim, dentro de um limite aceitável devido a largura de pulso do SEE ser menor do que o maior atraso de propagação de porta, descrito na equação 5.9, levando o circuito de votação a reconhecer o sinal como um valor em conformidade com o original.

Entretanto, com os mesmos valores de incidência de SEE o trabalho de Zhuojun Chen já apresentou um alargamento do pulso na frequência mínima, como mostra a

figura 52, excedendo 2π radianos de erro de fase, que irá resultar em um maior transiente na malha PLL em que este trabalho será inserido. Entretanto os componentes gerados dentro da largura de banda de laço de realimentação podem ser suprimidos pelas características de realimentação da malha, tendo em vista que o valor não foi alto suficiente para gerar um *bit-flip*.

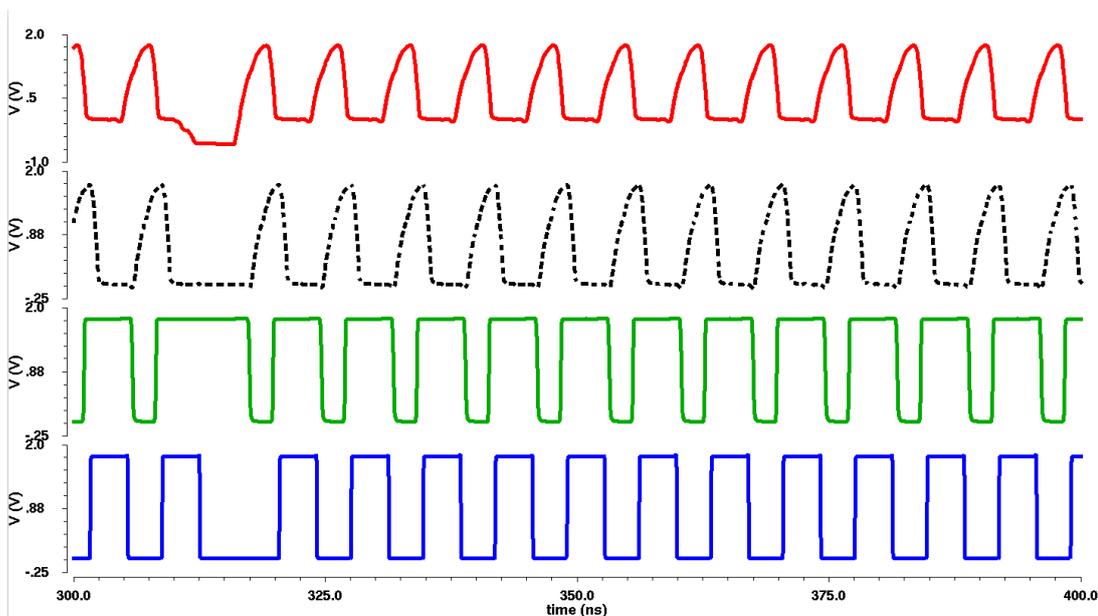


Figura 52 – Resposta sobre a inserção de falha transiente na mínima frequência no VCO comparativo.

Com o objetivo de verificar o valor limite de injeção de carga através de pulsos de corrente no trabalho proposto, conforme o ponto indicado para teste, optou-se pelo aumento progressivo de corrente através do mecanismo de emulação de falhas. Quando a magnitude de corrente do evento único e, portanto, a quantidade de corrente depositada, é aumentada para $I_{pulso} = 1,5mA$, o transiente resultante é suficientemente largo para propagar-se através da cadeia de células de atraso e o transiente de tensão aparece na saída do VCO. Isto é mostrado na figura 53, com ênfase na figura 54 que relata a ocorrência do *bit-flip* para o VCO proposto neste trabalho, e na figura 55 para o VCO tomado para efeitos comparativos.

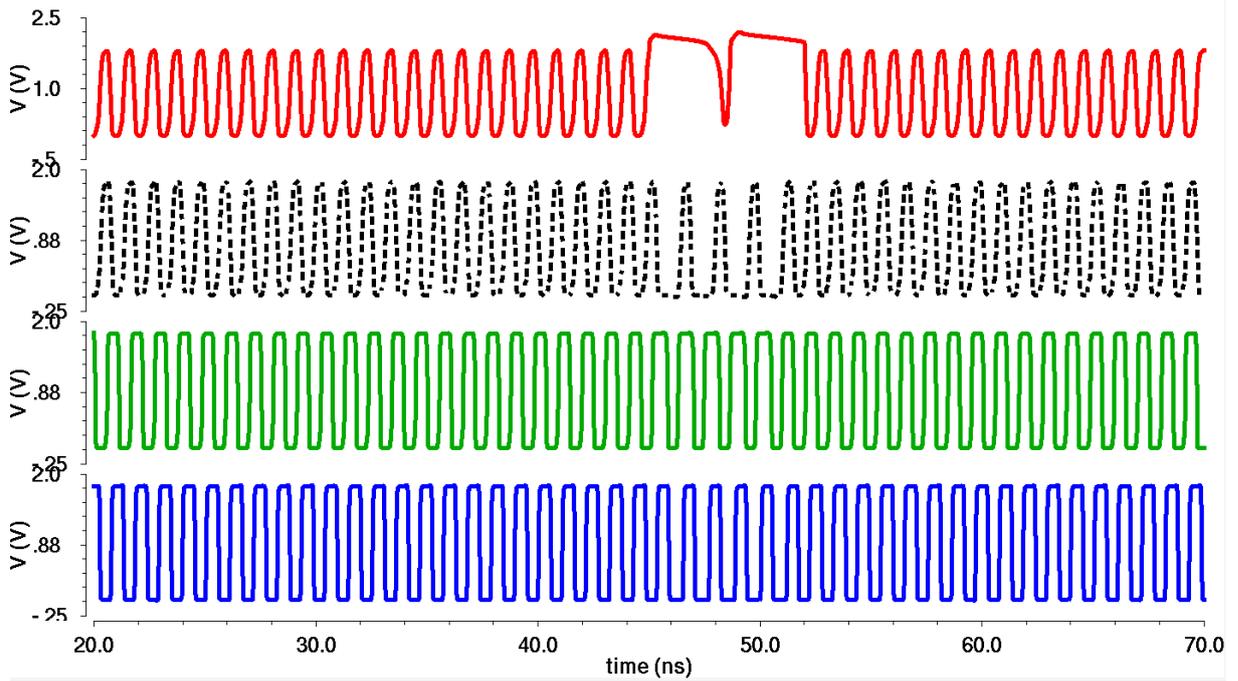


Figura 53 – Resposta sobre a inserção de falha transiente mais intensa na máxima frequência no VCO proposto.

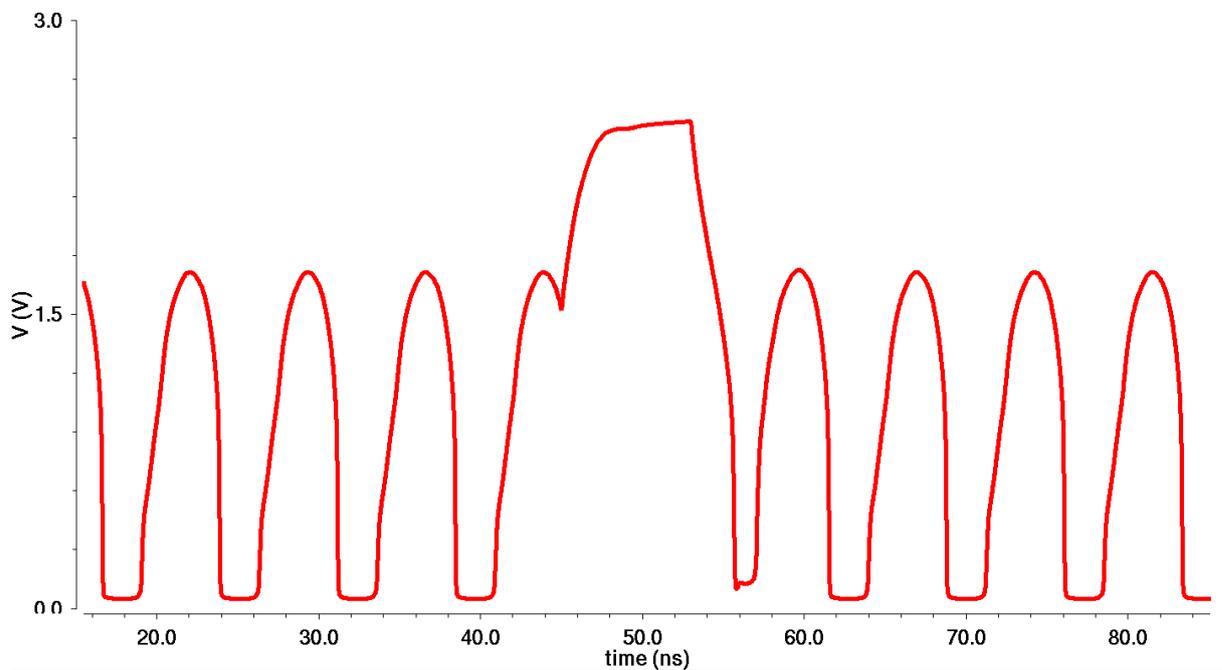


Figura 54 – *Bit-flip* da célula em que houve a ocorrência de SEE.

Vale ressaltar que o *bit-flip* foi alto suficiente para afetar a saída de ambos os sistemas, porém a célula de atraso proposta nesta dissertação não propagou o pulso para os estágios adjacentes, diferentemente da célula comparativa, onde o pulso foi absorvido pelo estágio sub-sequente como ilustrado na figura 55 em destaque rosa. Isso acontece devido à incidência do SEE e os elétrons migrarem para o dreno e darem origem a um pulso, devido a topologia comparativa compartilhar os drenos, logo o pulso se propaga com extrema facilidade, causando erros harmônicos que são diretamente proporcionais ao período do *clock*.

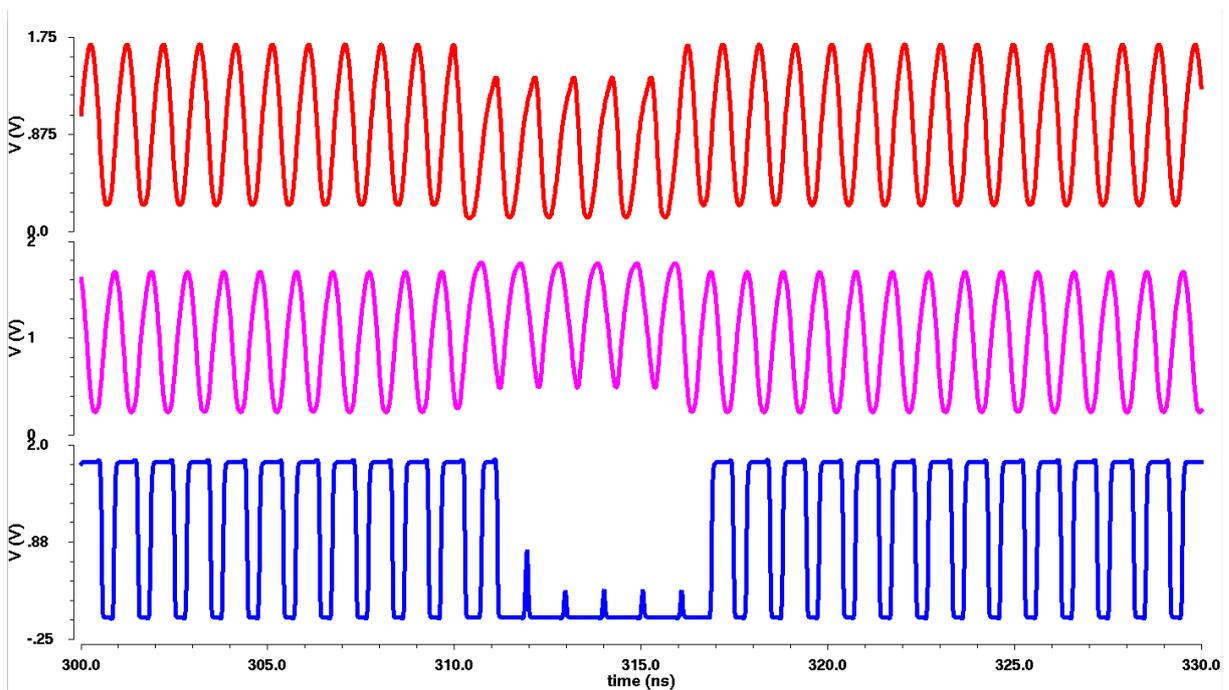


Figura 55 – Resposta sobre a inserção de falha transitória no VCO comparativo na máxima frequência.

Como resultado, com este impulso de corrente de $1,5\text{mA}$, os transientes de tensão que são criados nos osciladores com estrutura em anel são capazes de se propagar. Esse conjunto de simulações indica um impulso de corrente de evento único que resulta em maior oscilação harmônica.

Com o propósito de validar a afirmação de funcionamento satisfatório da malha após a emulação da colisão de partículas, verificou-se as características de operação do filtro após uma colisão de partículas no VCO considerando a geração de duas frequên-

cias de saída. A figura 56 caracteriza a dinâmica não-linear do sistema (resposta transitória e em regime permanente), em que a representação em verde corresponde à saída do filtro **sem** perturbação, e a representação em rosa corresponde à saída do filtro **com** perturbação.

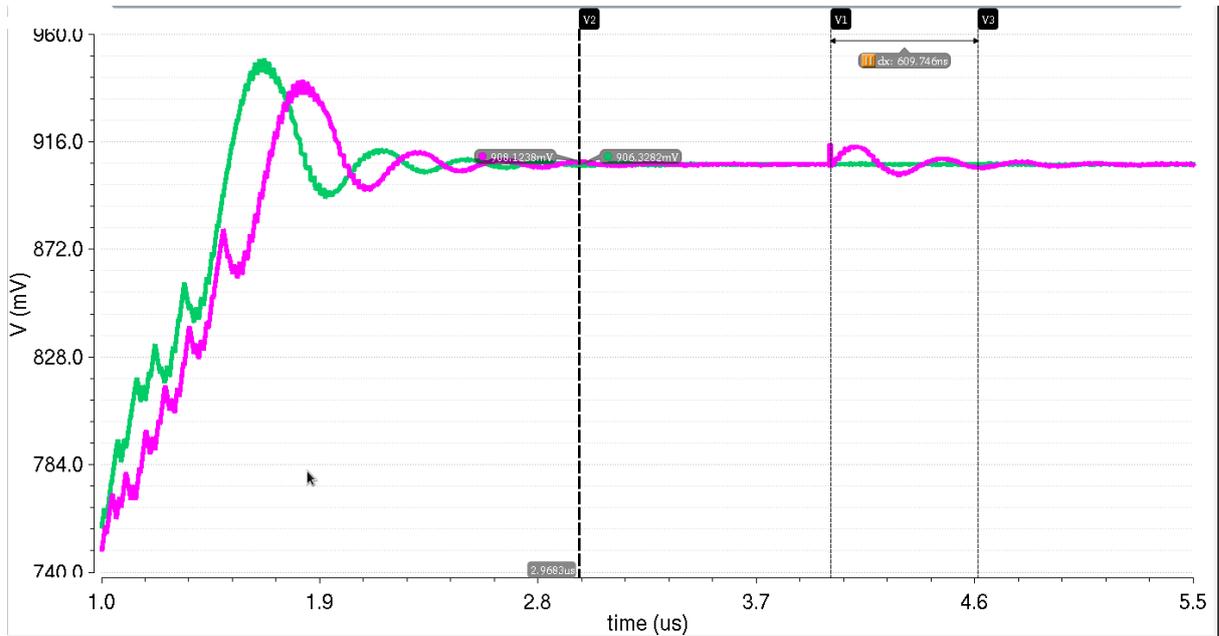


Figura 56 – Resposta do filtro em razão da inserção de falha transitente no VCO

Para avaliar o desempenho do oscilador projetado, utilizou-se uma figura de mérito (*Figure of Merit - FoM*) [132–134]. FoM que leva em consideração o consumo (P_{DC}), o ruído de fase $L(\Delta f)$ (associado a um *offset* de frequência de referência Δf) e a frequência de oscilação f_0 , como representada na expressão 6.2:

$$FoM = 10 \log \left(\frac{P}{1mW} \right) + L(\Delta f) - 20 \log \left(\frac{f_0}{\Delta f} \right) \quad (6.2)$$

Em complemento aos dados ilustrativos, a tabela 3 registra dados de caracterização numérica através de um conjunto de parâmetros de referência para avaliação comparativa de desempenho, dentro de um contexto com mesma faixa de frequência e carga capacitiva.

Tabela 3 – Comparação dos Resultados Finais do VCO

Parâmetros de Desempenho	Implementação Usual	Trabalho Proposto
PN@1MHz	$-104.6\text{dBC}/\text{Hz}$	$-83.37\text{dBC}/\text{Hz}$
<i>Period Jitter</i>	40.95ps	225.06ps
Corrente (IDC_{Cell})	14.15mA	1.521mA
Área _{VCO} (Implementação Física)	$12.52\mu\text{m}^2$	$9.621\mu\text{m}^2$
FOM	-198	-204

7 Conclusão

A conclusão resume os pontos importantes apresentados nesta dissertação, e o trabalho futuro em potencial é descrito. Por fim, destacam-se as principais contribuições.

7.1 Sinopse da Dissertação

À medida que a tecnologia evolui, a miniaturização de dispositivos torna-se um fator cada vez mais importante na concepção de circuitos integrados de alto desempenho. Em aplicações espaciais qualquer fator que aumente a confiabilidade se torna primordial. Aplicações em que se possa aumentar a robustez e testes que medem de forma precisa e fácil estão sendo desenvolvidos atualmente para testar as tecnologias usadas em ambientes hostis. Considerando os conceitos e demandas apontados acima, este trabalho apresentou uma proposta de VCO com características de robustez à radiação para aplicação espacial.

Para levar a termo este projeto, a dissertação demonstra, ao longo de seu conteúdo, aspectos de diversas disciplinas, como uma abordagem sobre tecnologia CMOS e semicondutores, efeitos da radiação ionizante, confiabilidade e por fim osciladores.

Recapitulando o conteúdo desta dissertação, no capítulo 2 foram apresentados os aspectos históricos e definições essenciais da tecnologia CMOS, assim como uma abordagem sobre a tecnologia usual para aplicações espaciais (DARE).

Os dois capítulos subsequentes, 3 e 4, foram dedicados à apresentação dos efeitos da radiação ionizante e técnicas usuais de projeto empregadas a fim de mitigar tais efeitos e aumentar a confiabilidade do projeto.

Na sequência faz-se uma abordagem sobre osciladores. Além de descrevê-los matematicamente, apresentou-se uma revisão bibliográfica acerca das principais topologias e um projeto similar desenvolvido e fabricado a fim de mensurar uma compara-

ção confiável baseada em circuitos de mesma ênfase, acompanhada do levantamento de fatores que geram as oportunidades de contribuições pautadas nesta dissertação.

Por fim, o capítulo 6 apresenta uma topologia de célula de atraso para VCO com estrutura em anel. O circuito é duplamente diferencial para obter uma ampla sintonia de frequência, resultando em um grau elevado de confiabilidade à incidência de partículas que resultem na ocorrência de SEE. Juntamente com simulações com ambos os osciladores apresentados neste trabalho demonstrou-se os resultados alcançados para este projeto.

7.2 Trabalhos Futuros

A conclusão desta dissertação abriu muitas vertentes diferentes que ainda não foram totalmente exploradas e compreendidas. Dados os resultados, há uma série de trabalhos futuros possíveis de se realizar. Enumerou-se as seguintes recomendações para futuras investigações sobre a concepção de circuitos VCO e sistemas PLL para ambientes hostis:

1. Em comparação com outras estruturas de VCO em anel, a proposta é muito adequada para o projeto de sistemas geradores de *clock* com uso em ambientes com radiação ionizante. A implementação descrita neste trabalho demandaria um esforço de projeto e dimensionamento para melhoria do ruído de fase. Tomando como base medições feitas em *softwares* auxiliares, como a *Muneda WiCkeD*, onde verificou-se que nesta topologia o dispositivo crítico para o ruído de fase é os transistores de controle, mas precisamente os dispositivos das extremidades da célula de atraso. Assim uma futura investigação será uma outra forma de readequar este dispositivo ou uma alternativa de mudança na topologia, sem afetar sua confiabilidade.
2. Fazer uso de diferentes técnicas de layout para aumentar o grau de robustez a efeitos da radiação. A fim de uma possível fabricação, para efeitos de comparação

dos resultados obtidos em nível de emulação de SEE através de simulações *Spice* com comparação de irradiação real.

7.3 Principais Contribuições

Com o avanço da tecnologia CMOS, que tem resultado em uma continua redução de área em função da redução de nó tecnológico e a demanda crescente de aplicações aeroespaciais tem-se contribuído para o desenvolvimento de soluções de robustez para dispositivos e sistemas eletrônicos aos efeitos induzidos pela radiação ionizante. Nesse contexto, este trabalho descreve as características de implementação de um VCO baseado em oscilador de anel projetado em tecnologia *DARE - UMC* de 180 nanômetros, que faz uso de técnicas de mitigação de efeitos provocados pela radiação ionizante.

Considerando o ambiente de desenvolvimento e simulação, foi aplicado um método de emulação de SEE a partir da injeção de um pulso de corrente, em substituição aos testes de irradiação. Utilizando esse método, demonstrou-se que esse VCO suporta um valor considerável de incidência, tornando-se um VCO confiável para aplicações espaciais. Entretanto, após um valor relativamente alto, o projeto acaba tendo uma certa instabilidade, resultando em uma variação da frequência de oscilação.

Referências

- [1] A. L. de Almeida, “A evolução do poder aeroespacial brasileiro,” Master’s thesis, Universidade de São Paulo (USP), 2006.
- [2] G. P. Miranda, “Sistema para medição da atenuação devido á chuva em enlaces de satélites na banda Ku,” Master’s thesis, Universidade Federal de Uberlândia (UFU), 2012.
- [3] S. Haykin, *Sistemas de Comunicação: Analógicos e Digitais*, 4th ed. Porto Alegre: Bookman, 2004, 838p.
- [4] T. R. Balen, “Efeitos da radiação em dispositivos analógicos programáveis (FPAAs) e técnicas de proteção,” Ph.D. dissertation, Universidade Federal do Rio Grande do Sul (UFRGS), 2010.
- [5] Y. Taur, D. A. Buchanan, W. Chen, D. J. Frank, K. E. Ismail, S. H. Lo, G. A. S. Halasz, R. G. Viswanathan, H. J. C. Wann, S. J. Wind, and H.-S. Wong, “CMOS scaling into the nanometer regime,” *Proceedings of the IEEE*, vol. 85, no. 4, pp. 486–504, Abril 1997.
- [6] G. C. Messenger, “A summary review of displacement damage from high energy radiation in silicon semiconductors and semiconductor devices,” *IEEE Transactions on Nuclear Science*, vol. 39, no. 3, pp. 468–473, Junho 1992.
- [7] S. Manea. “Exemplo de física aplicada à independência tecnológica do país”. Sociedade Brasileira de Física. Acesso em: 08 de Julho de 2016. [Online]. Available: http://www.sbfisica.org.br/v1/index.php?option=com_content&view=article&id=768:projeto-citar&catid=150:opinioao&Itemid=316
- [8] C. E. Santana and J. R. B. Coelho, “O projeto CBERs de satélites de observação da terra,” *Parcerias Estratégicas*, vol. 4, no. 7, pp. 203–210, 2009.

- [9] INPE - Instituto Nacional de Pesquisas Espaciais. Programa CBERS (China-Brazil earth resources satellite, satélite sino-brasileiro de recursos terrestres). Acesso em: 30 de Outubro de 2016. [Online]. Available: <http://www.cbbers.inpe.br/>
- [10] CTI Renato Archer. CTI Renato Archer inaugura projeto de tecnologia espacial na cidade de Atibaia-SP. Acesso em: 14 de Agosto de 2016. [Online]. Available: cti.gov.br/ultimas-noticias/264-cti-renato-archer-inaugura-projeto-de-tecnologia-espacial-na-cidade-de-atibaia-sp
- [11] European Space Agency. Spacewire. Acesso em: 14 de Agosto de 2016. [Online]. Available: spacewire.esa.int/content/Home/HomeIntro.php
- [12] S. Taube, V. Petrovic, and M. Krstic, "Fault tolerant implementation of a spacewire interface," *2014 21st IEEE Int. Conf. Electron. Circuits Syst.*, pp. 614–617, Dezembro 2014.
- [13] F. Sacco. A história do primeiro transistor. Acesso em: 08 de Julho de 2016. [Online]. Available: <https://www.embarcados.com.br/a-historia-do-primeiro-transistor/>
- [14] J. E. Lilienfeld, "Method of separating gas mixtures," Patent US1 163 423 A, 1911.
- [15] O. Heil, "High frequency apparatus," Patent US2 363 962 A, 1934.
- [16] C. A. Fazano. O transistor de efeito de campo FET. Acesso em: 25 de Julho de 2016. [Online]. Available: <http://www.fazano.pro.br/port108.html>
- [17] B. Lojek, *History of Semiconductor Engineering*, 1st ed. Berlin: Springer-Verlag Berlin Heidelberg, 2007, 387p.
- [18] R. C. Jaeger and T. N. Blalock, *Microelectronic Circuit Design*. Nova Iorque: McGraw-Hill Education, 2011.

- [19] D. R. Belfort, "Circuito de condicionamento de sinais analógicos programável para sistemas integrados," Master's thesis, Universidade Federal do Maranhão (UFM), 2007.
- [20] D. R. H. Dennard, "Field-effect transistor memory," Patent US3 387 286 A, 1968.
- [21] S. T. Kofuji, J. A. Zuffo, and J. N. Soares, "Circuitos integrados CMOS," *Disciplina de Eletrônica Experimental*, 1990.
- [22] F. M. Wanlass and C. Sah, "Nanowatt logic using field-effect metal-oxide semiconductor triodes," *Solid-State Circuits Conference. Digest of Technical Papers. 1963 IEEE International*, vol. 6, pp. 32–33, Fevereiro 1963.
- [23] F. M. Wanlass, "Low stand-by power complementary field effect circuitry," Patent US 3 356 858 A, 1963.
- [24] R. Ahrons, M. Mitchell, and J. Burns, "MOS micropower complementary transistor logic," *Solid-State Circuits Conference. Digest of Technical Papers. 1965 IEEE International*, vol. 8, pp. 80–81, Fevereiro 1965.
- [25] J. W. Swart, I. Doi, and J. A. Diniz, "Oficina de microfabricação: Construção de CI's MOS," 2006.
- [26] A. Afshar, *Principles of semiconductor network testing*, 1st ed. Cambridge: Elsevier Inc. (S&T Books and Cell Press), 1996, 350p.
- [27] U. Mishra and J. Singh, *Semiconductor device physics and design*, 1st ed. Roterdã: Springer Netherlands, 2007, 559p.
- [28] J. A. Martino, M. A. Pavanello, and P. B. Verdonck, *Caracterização elétrica de tecnologia e dispositivos MOS*, 1st ed. São Paulo: Cengage Learning Editores, 2004, 193p.
- [29] T. Ytterdal, Y. Cheng, and T. A. Fjeldly, *Device Modeling for Analog and RF CMOS Circuit Design*, 1st ed., ser. MOSFET device physics and operation. Hoboken: John Wiley & Sons, 2003, 306p.

- [30] A. Sedra and K. Smith, *Microelectronic Circuits*, 7th ed., ser. The Oxford Series in Electrical and Computer Engineering. Reino Unido: Oxford University Press, 2014, 1488p.
- [31] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 2nd ed. Nova Iorque: McGraw-Hill Education, 2017, 800p.
- [32] B. Razavi, *Fundamentals of Microelectronics*, 2nd ed. Hoboken: John Wiley & Sons, 2013, 928p.
- [33] D. A. Neamen, *Semiconductor Physics And Devices: Basic Principles*, 4th ed. Nova Iorque: McGraw-Hill Education, 2011, 784p.
- [34] R. J. Baker, *CMOS: circuit design, layout, and simulation*, 3rd ed. Hoboken: John Wiley & Sons, 2010, vol. 1, 1208p.
- [35] N. Weste and D. M. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4th ed. Londres: Pearson, 2010, 864p.
- [36] J. M. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits*, 2nd ed. Londres: Pearson, 2003, 761p.
- [37] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ion-implanted mosfet's with very small physical dimensions," *IEEE Journal of Solid-State Circuits*, vol. 9, no. 5, pp. 256–268, Outubro 1974.
- [38] J. Hayes, "MOS scaling," *IEEE Computer Society*, vol. 13, no. 1, pp. 8–13, Janeiro 1980.
- [39] B. Davari, R. H. Dennard, and G. G. Shahidi, "CMOS scaling for high performance and low power-the next ten years," *Proceedings of the IEEE*, vol. 83, no. 4, pp. 595–606, Abril 1995.
- [40] P. K. Bondyopadhyay, "Moore's law governs the silicon revolution," *Proceedings of the IEEE*, vol. 86, no. 1, pp. 78–81, Janeiro 1998.

- [41] T. C. Chen, "Where CMOS is going: trendy hype vs. real technology," *IEEE Solid-State Circuits Society Newsletter*, vol. 11, no. 5, pp. 1–18, Fevereiro 2006.
- [42] P. F. Butzen, V. D. Bem, L. da Rosa Jr, A. I. Reis, and R. P. Ribas, *Efeitos Físicos Nanométricos em Circuitos Integrados Digitais*, 2009, ch. 10, pp. 225–244.
- [43] P. E. Dodd, M. R. Shaneyfelt, J. R. Schwank, and J. A. Felix, "Current and future challenges in radiation effects on CMOS electronics," *IEEE Transactions on Nuclear Science*, vol. 57, no. 4, pp. 1747–1763, Agosto 2010.
- [44] S. Redant, R. Marec, L. Baguena, E. Liegeon, J. Soucarre, B. V. Thielen, G. Beeckman, and P. Ribeiro, "The design against radiation effects (DARE) library," *IEEE Transactions on Nuclear Science*, vol. 52, no. 5, pp. 1550–1554, Outubro 2005.
- [45] G. S. Cardoso and T. R. Balen, "Study of layout extraction accuracy on $\frac{W}{L}$ estimation of ELT in analog design flow," *2016 IEEE 7th Latin American Symposium on Circuits and Systems (LASCAS)*, pp. 279–282, Março 2016.
- [46] K. Iniewski, *Radiation Effects in Semiconductors (Devices, Circuits, and Systems)*, 1st ed. Florida: CRC Press - Taylor and Francis Group, 2010, 431p.
- [47] A. Johnston, *Reliability and Radiation Effects in Compound Semiconductors*, 1st ed. Singapura : World Scientific Publishing Co. Pte. Ltda, 2010, 376p.
- [48] J. L. Barth, *The evolution of the radiation environment*, Curso de Curta Duração. 10th European Conference on Radiation Effects on Components and Systems (RADECS), Setembro 2009.
- [49] A. H. Siedle and L. Adams, *Handbook of Radiation Effects*, Oxford University Press, Nova Iorque, 2003.
- [50] J. L. Barth, C. S. Dyer, and E. G. Stassinopoulos, "Space, atmospheric, and terrestrial radiation environments," *IEEE Transactions on Nuclear Science*, vol. 50, no. 3, pp. 466–482, Junho 2003.

- [51] M. Bagatin and S. Gerardin, *Ionizing Radiation Effects in Electronics: From Memories to Imagers (Devices, Circuits, and Systems)*, 1st ed. Florida: CRC Press - Taylor and Francis Group, 2015, 394p.
- [52] R. Velazco, P. Fouillat, and R. Reis, *Radiation Effects on Embedded Systems*, 1st ed. Roterdã: Springer Netherlands, 2007, 269p.
- [53] A. I. de Oliveira, M. Rockenbach, and A. Pacini, "Raios cósmicos e a heliosfera," *Revista Brasileira de Ensino de Física*, vol. 26, no. 2, 2014.
- [54] T. G. Cowling, *Magnetohydrodynamics*, ser. Reports on Progress in Physics. IOPscience, 1976, vol. 25, 123p.
- [55] T. J. O’Gorman, "The effect of cosmic rays on the soft error rate of a dram at ground level," *IEEE Transactions on Electron Devices*, vol. 41, no. 4, pp. 553–557, Abril 1994.
- [56] T. J. O’Gorman, J. M. Ross, A. H. Taber, J. F. Ziegler, H. P. Muhlfeld, C. J. Montrose, H. W. Curtis, and J. L. Walsh, "Field testing for cosmic ray soft errors in semiconductor memories," *IBM journal of Research and Development*, vol. 40, no. 1, pp. 41–50, Janeiro 1996.
- [57] E. G. Stassinopoulus and J. P. Raymond, "The space radiation environment for electronics," *Proceedings of the IEEE*, vol. 76, no. 11, pp. 1423–1442, Agosto 1988.
- [58] F. B. McDonald, "Cosmic-ray modulation in the heliosphere a phenomenological study," *Space Science Reviews*, vol. 83, no. 1, pp. 33–50, Janeiro 1998.
- [59] NASA. NASA’s Van Allen probes discover a surprise circling earth. National Aeronautics and Space Administration (NASA). Acesso em: 08 de Julho de 2016. [Online]. Available: https://www.nasa.gov/mission_pages/rbsp/news/third-belt.html
- [60] M. Xapsos and S. Bourdarie, *The space radiation environment*, Curso de Curta Duração. 9th European Conference on Radiation Effects on Components and Systems (RADECS), Setembro 2007.

- [61] Wikipédia. Anomalia do Atlântico Sul. Wikipédia, a enciclopédia livre. Acesso em: 08 de Julho de 2016. [Online]. Available: https://pt.wikipedia.org/wiki/Anomalia_do_Atlântico_Sul
- [62] M. D. Roberts. Inversão dos polos e a reversão do campo magnético da Terra. Acesso em: 08 de Outubro de 2016. [Online]. Available: <http://unionhispanomundialdeescritores.ning.com/m/discussion?id=2659438%3ATopic%3A3643987>
- [63] D. Heynderickx, J. Lemaire, E. J. Daly, and H. D. R. Evans, "Calculating low-altitude trapped particle fluxes with the NASA models AP-8 and AE-8," *Radiation Measurements*, vol. 26, no. 6, pp. 947–952, Novembro 1996.
- [64] R. Ecoffet, S. Duzellier, P. Tastet, C. Aicardi, and M. Labrunee, "Observation of heavy ion induced transients in linear circuits," *IEEE Radiation Effects Data Workshop*, Julho 1994.
- [65] R. Ecoffet, "Overview on in-orbit radiation induced spacecraft anomalies," *IEEE Transactions on Nuclear Science*, vol. 60, no. 3, pp. 1791–1815, Junho 2013.
- [66] J. Ziegler, H. Curtis, H. Muhlfield, C. Montrose, B. Chin, M. Nicewicz, C. Russel, W. Wang, L. Freeman, P. Hoiser, L. LeFave, J. Walsh, J. Orro, G. Unger, J. Ross, T. O’Gorman, B. Messina, T. Sullivan, W. Klein, and C. Wahaus, "IBM experiments in soft fails in computer electronics," *IBM Journal of Reasearch and Developement*, vol. 40, no. 1, pp. 3–18, Janeiro 1996.
- [67] J. Ziegler, "Terrestrial cosmic rays," *IBM Journal of Reasearch and Developement*, vol. 40, no. 1, pp. 19–39, Janeiro 1996.
- [68] R. C. Baumann, "Soft errors in advanced computer systems," *IEEE Design and Test Of Computers*, vol. 22, no. 3, pp. 258–266, Junho 2005.
- [69] R. C. Baumann, "Soft errors in advanced semiconductor devices," *IEEE Transactions on Device and Materials Reliability*, vol. 1, no. 1, pp. 17–22, Março 2001.

- [70] H. Barnaby, "Total-ionizing-dose effects in modern CMOS technologies," *IEEE transactions on nuclear science*, vol. 53, no. 6, pp. 3103–3121, Dezembro 2006.
- [71] F. Faccio, B. Allongue, G. Blanchot, C. Fuentes, S. Michelis, S. Orlandi, and R. Sorge, "TID and displacement damage effects in vertical and lateral power MOSFETs for integrated DC-DC converters," *European Conference on Radiation and Its Effects on Components and Systems (RADECS)*, Setembro 2009.
- [72] R. Osiander, M. A. G. Darrin, and J. L. Champion, *MEMS and Microstructures in Aerospace Applications*, 1st ed. Florida: CRC Press - Taylor and Francis Group, 2005, 400p.
- [73] M. J. Beck, R. Hatcher, R. D. Schrimpf, D. M. Fleetwood, and S. T. Pantelides, "Quantum mechanical description of displacement damage formation," *IEEE Transactions on Nuclear Science*, vol. 54, no. 6, pp. 1906–1912, Dezembro 2007.
- [74] M. R. Jones, "ACS WFC CCD radiation test: The radiation environment," *Instrument Science Report ACS-2000-09*, Space Telescope Science Institute, 2000.
- [75] C. Claeys and E. Simoen, *Radiation effects in advanced semiconductor materials and devices*, 1st ed., ser. Springer Series in Materials Science. Berlin: Springer-Verlag Berlin Heidelberg, 2002, no. 57, 404p.
- [76] D. Makowski, M. Grecki, A. Napieralski, S. Simrock, and B. Mukherjee, "A distributed system for radiation monitoring at linear accelerators," *IEEE transactions on nuclear science*, vol. 53, no. 4, pp. 2008 – 2015, 2006.
- [77] V. Huard, C. Parthasarathy, A. Bravaix, C. Guerin, and E. Pion, "CMOS device design-in reliability approach in advanced nodes," *International Reliability Physics Symposium*, Abril 2009.
- [78] V. Huard, "Two independent components modeling for negative bias temperature instability," *International Reliability Physics Symposium (IRPS)*, Maio 2010.

- [79] T. R. Oldham and F. McLean, "Total ionizing dose effects in MOS oxides and devices," *IEEE Transactions on Nuclear Science*, vol. 50, no. 3, pp. 483–489, Junho 2003.
- [80] R. C. Lacoë, "Improving integrated circuit performance through the application of hardness-by-design methodology," *IEEE Transactions on Nuclear Science*, vol. 55, no. 4, pp. 1903–1925, Agosto 2008.
- [81] P. I. Vaz, "Efeitos da radiação ionizante e técnicas de proteção aplicadas a projetos de dispositivos MOS customizados," Master's thesis, Universidade Federal do Rio Grande do Sul - (UFRGS), 2015.
- [82] P. E. Dodd and L. W. Massengill, "Basic mechanisms and modeling of single-event upset in digital microelectronics," *IEEE Transactions on Nuclear Science*, vol. 50, no. 3, pp. 583–602, 2003.
- [83] C. M. Hsieh, P. C. Murley, and R. R. O'brien, "A field-funneling effect on the collection of alpha-particle-generated carriers in silicon devices," *IEEE Electron Device Letters*, vol. 2, no. 4, pp. 103–105, Abril 1981.
- [84] V. Â. P. de Aguiar, "Efeitos de radiação em dispositivos eletrônicos com feixes de íons pesados," Ph.D. dissertation, Universidade de São Paulo, 2014.
- [85] V. Zajic and P. Thieberger, "Heavy ion linear energy transfer measurements during single event upset testing of electronic devices," *IEEE Transactions on Nuclear Science*, vol. 46, no. 1, pp. 59–69, Agosto 2002.
- [86] J. Olsen, P. E. Becher, P. B. Fynbo, P. Raaby, and J. Schultz, "Neutron-induced single event upsets in static RAMS observed a 10 km flight attitude," *IEEE Transactions on Nuclear Science*, vol. 40, no. 2, pp. 74–77, Abril 1993.
- [87] A. KleinOowski, E. H. Cannon, P. Oldiges, and L. Wissel, "Circuit design and modeling for soft errors," *IBM Journal of Research and Development*, vol. 52, no. 3, pp. 255–263, Maio 2008.

- [88] G. I. Wirth, M. G. Vieira, E. H. Neto, and F. L. Kastensmidt, "Generation and propagation of single event transients in CMOS circuits," *2006 IEEE Design and Diagnostics of Electronic Circuits and systems*, pp. 196–201, Abril 2006.
- [89] A. C. J. Rosseto, "Análise dos efeitos de dose total ionizante em circuitos analógicos CMOS," Master's thesis, Universidade Federal do Rio Grande do Sul (UFRGS), 2014.
- [90] R. Koga, J. George, G. Swift, L. C. Edmonds, C. Carmichael, T. Langley, P. Murry, K. Lanes, and M. Napier, "Comparison of Xilinx Virtex-II FPGA SEE sensitivities to protons and heavy ions," *IEEE Transactions on Nuclear Science*, vol. 51, no. 5, pp. 2825 – 2833, Outubro 2004.
- [91] M. Carlson. Radiation hardening of electronics. Acesso em: 08 de Julho de 2016. [Online]. Available: <http://www.mse.vt.edu/faculty/hendricks/mse4206/>
- [92] F. W. Sexton, "Destructive single-event effects in semiconductor devices and ICs," *IEEE Transactions on Nuclear Science*, vol. 50, no. 3, pp. 603–621, Julho 2003.
- [93] J. R. Schwank, P. S. Winokur, P. J. McWhorter, F. W. Sexton, P. V. Dressendorfer, and D. C. Turpin, "Physical mechanisms contributing to device (rebound)," *IEEE Transactions on Nuclear Science*, vol. 31, no. 6, pp. 1434–1438, Novembro 2007.
- [94] T. H. Both, "Análise dos efeitos de dose total ionizante em transistores CMOS tecnologia 0.35 μm ," Master's thesis, Universidade Federal do Rio Grande do Sul (UFRGS), 2013.
- [95] G. Anelli, "Total dose behavior of submicron and deep submicron CMOS technologies," *Proceedings of the Third Workshop on Electronics for the LHC Experiments*, pp. 139–143, Outubro 1997.
- [96] W. Snoeys, F. Faccio, M. Burns, M. Campbell, E. Cantatore, N. Carrer, L. Casagrande, A. Cavagnoli, C. Dachs, S. D. Liberto, F. Formenti, A. Giraldo, E. Heijne, P. Jarron, M. L. A. Marchioro, P. Martinengo, F. Meddi, B. Mikulec, M. Morando,

- M. Morel, E. Noah, A. Paccagnella, I. Ropotar, S. Saladino, W. Sansen, F. Santopietro, F. Scarlassara, G. Segato, P. Signe, F. S. L. Vannucci, and K. Vleugels, "Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip," *Nuclear Instruments and Methods in Physics Research*, vol. 439, no. 2, pp. 349–360, Janeiro 2000.
- [97] F. Faccio, "Total dose and single event effects (SEE) in a 0.25 μ m CMOS technology," *Proceedings of the Fourth Workshop on Electronics for LHC Experiments*, pp. 105–113, Outubro 1998.
- [98] N. Nowlin, J. Bailey, B. Turfler, and D. Alexander, "A total-dose hardening-by-design approach for high-speed mixed-signal CMOS integrated circuits," *International Journal of High Speed Electronics and Systems*, vol. 14, no. 02, pp. 367–378, 2004.
- [99] F. C. Mixcoatl and A. T. Jacome, "Latchup prevention by using guard ring structures in a 0.8 μ m bulk CMOS process," *Sociedad Mexicana de Ciencia de Superficies y de Vacío*, vol. 17, no. 4, pp. 17–22, Dezembro 2004.
- [100] C. S. Kim, H. K. Yu, H. Cho, S. Lee, and K. S. Nam, "CMOS layout and bias optimization for RF IC design applications," *Microwave Symposium Digest, IEEE MTT-S International*, vol. 2, pp. 945–948, Junho 1997.
- [101] J. do Nascimento, *Telecomunicações*, 2nd ed. São Paulo: Makron Books do Brasil, 2000, 340p.
- [102] A. Pertence Jr, *Amplificadores Operacionais e Filtros Ativos*, 8th ed. Porto Alegre: Bookman, 2015, 328p.
- [103] A. Leven, *Telecommunication Circuits and Technology*, 1st ed. Cambridge: Elsevier Inc. (S&T Books and Cell Press), 2000, 388p.
- [104] L. Dai and R. Harjani, *Design of high-performance CMOS voltage-controlled oscillators*, 1st ed. Filadélfia: Springer US, 2012, vol. 708, 158p.

- [105] M. Singh, S. M. Ranjan, and Z. Ali, "A study of different oscillator structures," *International Journal of Innovative Research in Science, Engineering and Technology (IJIRSET)*, vol. 3, no. 5, pp. 12 724–12 734, Maio 2014.
- [106] M. Hsieh and G. E. Sobelman, "Comparison of LC and ring VCOs for PLLs in a 90nm digital CMOS process."
- [107] M. K. Mandal and B. C. Sarkar, "Ring oscillators : Characteristics and applications," *Indian Journal of Pure and Applied Physics*, vol. 48, pp. 136–145, Fevereiro 2010.
- [108] D. Misra, *Radio-frequency and microwave communication circuits: analysis and design*, 2nd ed. Hoboken: John Wiley & Sons, 2004, 632p.
- [109] G. Jovanovic, M. Stojcev, and Z. Stamenkovic, "A CMOS voltage controlled ring oscillator with improved frequency stability," *Scientific Publications of the State University of Novi Pazar, Series A: Applied Mathematics, Informatics and mechanics*, vol. 2, no. 1, pp. 1–9, Junho 2010.
- [110] S. Docking and M. Sachdev, "A method to derive an equation for the oscillation frequency of a ring oscillator," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 50, no. 2, pp. 259–264, Fevereiro 2003.
- [111] N. Roberts. Phase noise and jitter - a primer for digital designers. Honda Performance Development. Acesso em: 22 de Dezembro de 2016. [Online]. Available: http://www.eetimes.com/document.asp?doc_id=1277196
- [112] L. B. Oliveira, J. R. Fernandes, I. M. Filanovsky, C. J. M. Verhoeven, and M. M. Silva, *Analysis and design of quadrature oscillators*, 1st ed. Roterdã: Springer Netherlands, 2008, 162p.
- [113] A. A. Abidi, "How phase noise appears in oscillators," *Analog Circuit Design: RF Analog-to-Digital Converters; Sensor and Actuator Interfaces; Low-Noise Oscillators, PLLs and Synthesizers*, p. 271, 2013.

- [114] J. Rutman, "Characterization of phase and frequency instabilities in precision frequency sources: Fifteen years of progress," *Proceedings of the IEEE*, vol. 66, no. 9, pp. 1048–1075, Setembro 1978.
- [115] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 3, pp. 331–343, Março 1996.
- [116] D. B. Leeson, "A simple model of feedback oscillator noise spectrum," *Proceedings of the IEEE*, vol. 54, no. 2, pp. 329–330, Fevereiro 1966.
- [117] L. Dai and R. Harjani, "Comparison and analysis of phase noise in ring oscillators," *IEEE International Symposium on Circuits and Systems, Proceedings ISCAS*, vol. 5, pp. 77–80, Maio 2000.
- [118] H. Chung and P. V. Kumar, "Optical orthogonal codes-new bounds and an optimal construction," *IEEE Transactions on Information theory*, vol. 36, no. 4, pp. 866–873, Julho 1990.
- [119] Z. Chen, M. Lin, Y. Zheng, Z. Wei, S. Huang, and S. Zou, "Single-event transient characterization of a radiation-tolerant charge-pump phase-locked loop fabricated in 130nm PD-SOI technology," *IEEE Transactions on Nuclear Science*, vol. 63, no. 4, pp. 2402–2408, Agosto 2016.
- [120] S. Purohit and M. Margala, "Data driven DCVSL: A clockless approach to dynamic differential circuit design," *2010 53rd IEEE International Midwest Symposium on Circuits and Systems*, pp. 640–643, Agosto 2010.
- [121] A. K. Singh and P. Dhurvey, "A low voltage high speed DCVSL based ring oscillator," *2015 Annual IEEE India Conference (INDICON)*, pp. 1–5, Dezembro 2015.
- [122] M. Casey, B. Bhuvu, J. Black, and L. Massengill, "HBD using cascode-voltage switch logic gates for SET tolerant digital designs," *IEEE transactions on nuclear science*, vol. 52, no. 6, pp. 2510–2515, Dezembro 2005.
- [123] A. Makihara, T. Yokose, Y. Tsuchiya, Y. Miyazaki, H. Abe, H. Shindou, T. Ebihara, A. Maru, K. Morikawa, S. Kuboyama *et al.*, "Applicability of redundant pairs of

- SOI transistors for analog circuits and their applications to phase-locked loop circuits," *IEEE Transactions on Nuclear Science*, vol. 1, no. 60, pp. 230–235, Fevereiro 2013.
- [124] A. de Matos Pinto Jr, R. R. N. Souza, Y. Iano, L. T. Manera, C. M. Chagas, and S. Finco, "Projeto de oscilador em anel com técnicas de mitigação aos efeitos de TID," *Brazilian Technology Symposium (BTSym 16)*, Novembro 2016.
- [125] T. E. Becker, "Estudo dos efeitos de single event transients em conversor AD SAR do tipo redistribuição de carga," Master's thesis, Universidade Federal do Rio Grande do Sul (UFRGS), 2015.
- [126] T. Heijmen and M. Nicolaidis, *Soft errors in modern electronic systems*, 1st ed. Filadélfia: Springer US, 2010, vol. 41, 311p.
- [127] G. C. Messenger, "Collection of charge on junction nodes from ion tracks," *IEEE Transactions on Nuclear Science*, vol. 29, no. 6, pp. 2024–2031, Dezembro 1982.
- [128] H. Cha, E. M. Rudnick, J. H. Patel, R. K. Iyer, and G. S. Choi, "A gate-level simulation environment for alpha-particle-induced transient faults," *IEEE Transactions on Computers*, vol. 45, no. 11, pp. 1248–1256, Novembro 1996.
- [129] S. Buchner, M. Baze, D. Brown, D. McMorrow, and J. Melinger, "Comparison of error rates in combinational and sequential logic," *IEEE transactions on Nuclear Science*, vol. 44, no. 6, pp. 2209–2216, Dezembro 1997.
- [130] L. E. S. Jr, M. A. G. Silveira, N. H. Medina, V. A. P. Aguiar, N. Added, and S. P. Gimenez, "A new test environment approach to SEE detection in MOSFETs," *Advanced Materials Research*, vol. 1083, pp. 197–201, Janeiro 2015.
- [131] V. A. P. Aguiar, N. Added, N. H. Medina, M. H. Tabacniksa, F. R. Aguirre, M. A. G. Silveira, R. B. B. Santos, and L. E. S. Jr, "Experimental setup for single event effects at the São Paulo 8UD pelletron accelerator," *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, vol. 332, pp. 397–400, Agosto 2014.

-
- [132] G. Haijun, S. Lingling, K. Xiaofei, and L. Liheng, "A low-phase-noise ring oscillator with coarse and fine tuning in a standard CMOS process," *Journal of Semiconductors*, vol. 33, no. 7, pp. 075 001–075 004, 2012.
- [133] P. K. Rout and D. P. Acharya, "Design of CMOS ring oscillator using CMODE," *International Conference on Energy, Automation, and Signal (ICEAS)*, pp. 1–6, 2011.
- [134] R. K. Pokharel, O. Nizhnik, A. Tomar, S. Lingala, H. Kanaya, and K. Yoshida, "Wide tuning range CMOS quadrature ring oscillator of best figure of merit," *Microwave Integrated Circuits Conference, 2009. EuMIC 2009. European*, pp. 172–175, 2009.