

先端 SoC 設計における 物理配線技術に関する研究

Studies on Physical Interconnect Technologies in Advanced SoC Designs

2005 年 1 月

黒 川 敦

**先端 SoC 設計における
物理配線技術に関する研究**

**Studies on Physical Interconnect
Technologies in Advanced SoC Designs**

2005 年 1 月

**早稲田大学大学院情報生産システム研究科
情報生産システム工学専攻 回路検証技術研究**

黒川 敦

目次

第 1 章	序論	1
1.1	研究の目的と背景	1
1.2	研究の概要と本論文の構成	20
1.3	第 1 章の参考文献	25
第 2 章	LSI の配線インダクタンスの簡易抽出方法	30
2.1	まえがき	30
2.2	インダクタンスの式	31
2.3	実配線に対する解析式の精度検証	35
2.4	適用例	42
2.5	むすび	46
2.6	第 2 章の参考文献	47
第 3 章	相互インダクタンスを効果的に抽出するための近似式	48
3.1	まえがき	48
3.2	幾何学的平均距離と相互インダクタンス	50
3.3	提案する近似式	53
3.4	精度と有効範囲	57
3.5	むすび	64
3.6	第 3 章の参考文献	65
第 4 章	物理設計完全性を目指した配線方式	67
4.1	まえがき	67
4.2	新配線アーキテクチャ	70
4.3	物理設計完全性の改善	73
4.4	適用方法	88
4.5	容量の評価	91
4.6	むすび	95
4.7	第 4 章の参考文献	96

第 5 章	ダミー・フィルに関する設計技術	98
5.1	まえがき	98
5.2	フローティング・ダミー・メタル・フィルのインパクト	101
5.3	ダミー・メタル・フィルのモデリング	105
5.4	新しいダミー・フィリング	114
5.5	むすび	130
5.6	第 5 章の参考文献	132
第 6 章	結論	134
	謝辞	136
	関連論文と研究業績	137

第1章 序論

1.1 研究の目的と背景

最先端の VLSI は、配線の微細化、高密度化、多層化、低電圧化、そしてクロック動作周波数の高速化に向かっている[1]。図1にそれらの推移を示す。それに伴い近年の LSI 設計において、シグナル・インテグリティ(SI)とパワー・インテグリティ(PI)の問題が深刻になってきている[2-22]。SI 問題とは、広い意味で信号(ノイズや遅延)に影響を及ぼす問題の総称として扱うが狭い意味ではクロストークを主に指す場合が多い。また PI 問題は主に IR-drop を含む電源ノイズを指す場合が多い。この SI と PI の問題は今後の SoC(System on a Chip)設計において、極めて重要な課題となっている。

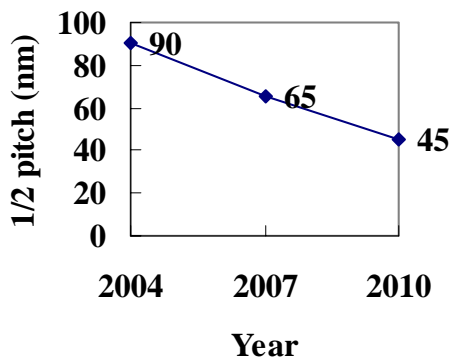
テクノロジーの進化につれて、配線ピッチの縮小による配線間クロストーク・ノイズの増加、動作周波数とともに消費電力増大による IR-drop 問題、多層配線およびダミー・フィルによる寄生抽出の複雑さ、トランジスタや配線のばらつきによる STA(Static Timing Analysis)の精度劣化、そして信頼性に関するエレクトロマイグレーションや NBTI(Negative Bias Temperature Instability)やホットキャリアによるデバイス劣化等、タイミング設計に影響を及ぼす問題が顕在化している。これらの問題は実物と設計段階のシミュレーションの不一致により、設計期間の増加を引き起こす。

近年は電源ノイズ解析技術、配線インダクタンスの抽出・解析技術、そしてプロセスのばらつきを含む DFM(Design For Manufacturability)技術の研究がホットな話題となっている[23, 24]。しかしながら物理設計に関わる各々の課題は密接に関係しており、今後も更なる技術開発が望まれている。

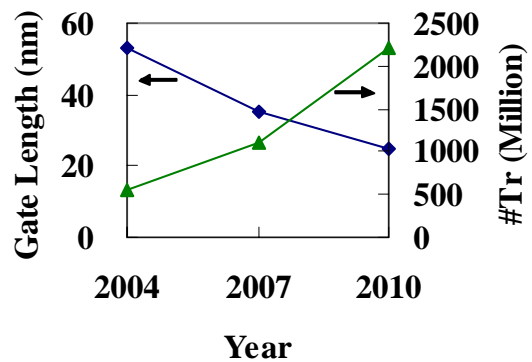
これら物理設計に関わる課題であるシグナル・インテグリティ、パワー・インテグリティ、DFM、そして配線寄生抽出について研究し、本論文では、それらの課題を解決する方法をいくつか

提案する.

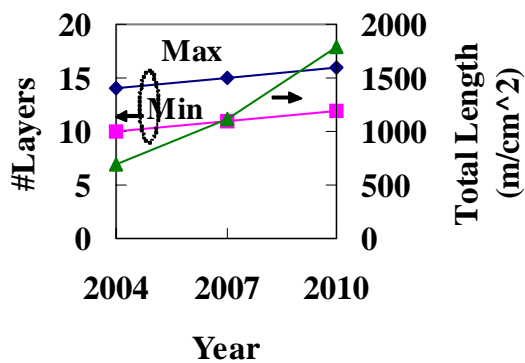
本節では、まず初めに研究の背景として物理設計に関わる課題と現行もしくは報告されている対策技術を概論する.



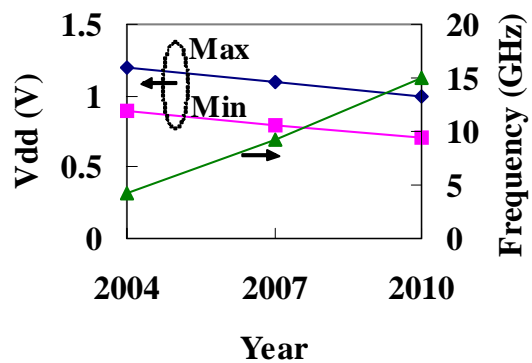
(a) テクノロジ・ノード



(b) ゲート長とトランジスタ数



(c) 配線層数と総配線長



(d) 電源電圧と最高動作周波数

図 1: テクノロジ・トレンド [1]

A. クロストーク・ノイズとその対策

まず, SI 問題の代表格であるクロストークについて原理と対策方法を述べる.

A.1 クロストークの原理

信号配線と信号配線が隣接していると相互干渉によって信号波形に影響を及ぼし, ノイズや遅延変動として表れる. これをクロストークと呼ぶ. クロストークは配線間の容量結合によるものが支配的であるが, バス配線のような場合, 周波数の増加に伴い誘導結合による影響も無視し得ない. 図3に並行配線の簡易等価回路を示す. 攻撃する側をアグレッサ, 被害を受ける側をビクティムと呼び, 一般に信号が同時に同方向に遷移した時, 遅延時間は減少し, 同時に逆方向に遷移した時, 遅延時間は増加する(図4). ビクティムが遷移していない場合はノイズとして表れるが, 次段の論理誤動作には通常至らない. クロストークによるノイズ量は図3に示す寄生素子の全てが密接に影響するが, 配線の抵抗とインダクタンスを無視して簡単化すると, ピーク電圧は次式で与えられる[11].

$$V_{peak} = V_{dd} R_{d,V} C_c \tau_1 \left(\frac{\tau_1}{\tau_2 - \tau_1} \right) \left(\frac{\tau_2}{\tau_1 - \tau_2} \right) \tau_2 \quad (1)$$
$$\tau_1, \tau_2 = 0.5 \left\{ R_{d,A} (C_{g,A} + C_c) + R_{d,V} (C_{g,V} + C_c) \right. \\ \left. \pm \sqrt{\left(R_{d,A} (C_{g,A} + C_c) - R_{d,V} (C_{g,V} + C_c) \right)^2 + 4 R_{d,A} R_{d,V} C_c^2} \right\}$$

ただし, C_c は結合容量, C_g はグラウンド容量, R_d はドライバの抵抗を表し, また添え字 A と V はアグレッサ側とビクティム側をそれぞれ表す.

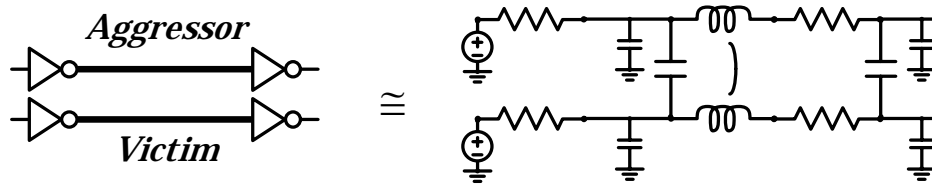


図 3: 並行配線の等価回路

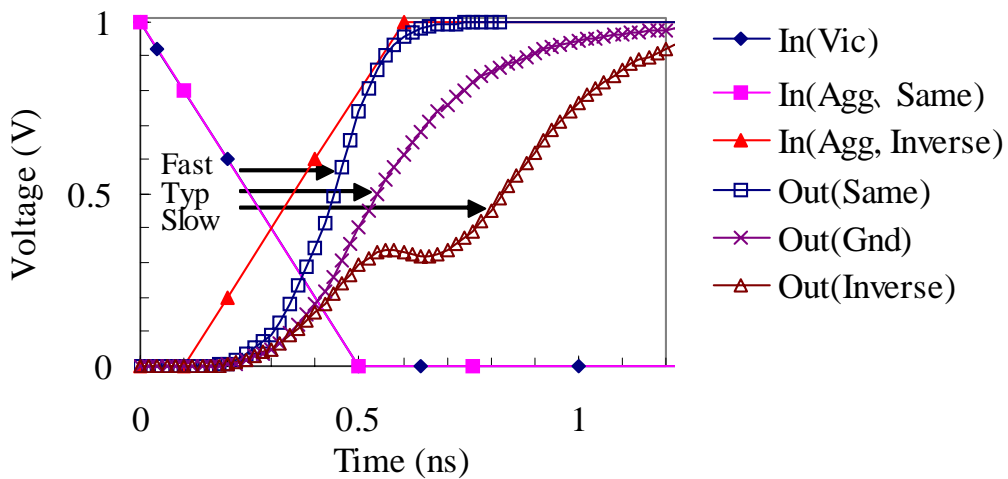
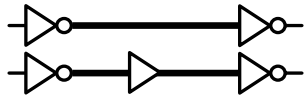


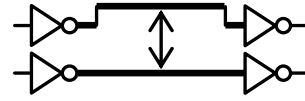
図 4: クロストークによる遅延変動

A.2 クロストーク対策

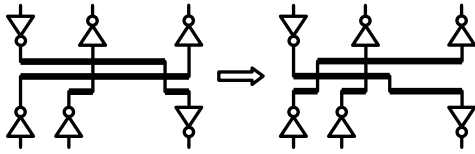
クロストーク対策として多くのテクニックが提案されている。図 5 にその概要を示す。これらのほとんどは式(1)に基づいて、結合容量 C_c またはそのグラウンド容量 C_g との比率 C_c/C_g を減らす方法である。一般に図 5(a) から (d) の方法が実際によく使われている。



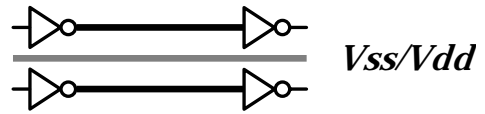
(a) リピータ挿入(配線長縮小) [12]



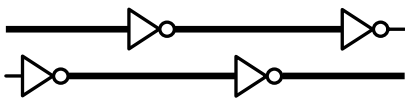
(b) スペーシング



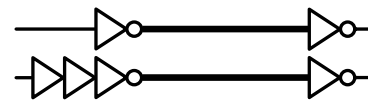
(c) 配線組み換え [10]



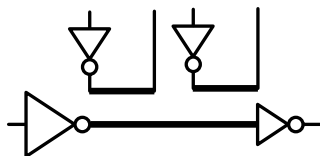
(d) シールドイング [13]



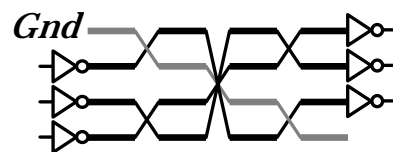
(e) 交互配置



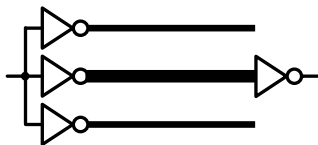
(f) タイミング・シフト



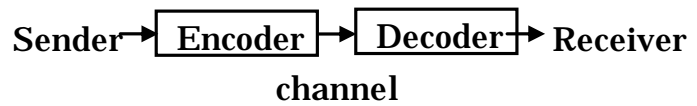
(g) ゲート・サイジング



(h) ツイスト配線 [8]



(i) アクティブ・シールドイング [7]



(j) エンコーディング [9]

図 5: クロストーク対策方法

B. 電源ノイズ

電源線の寄生素子(抵抗 R , インダクタンス L , 容量 C)によるノイズとセルのスイッチングによるチャージ・シェアリング・ノイズを総称して電源ノイズと呼ぶ。信号線のシグナル・インテグリティと区別するため、電源に関して狭い意味でパワー・インテグリティと一般に呼んでいる。

B.1 電源ノイズの原理

電源線の抵抗とセルの平均スイッチング電流によって形成される抵抗パスによって、セルの電源電圧が低下するいわゆる IR-drop が生じる。実際は動作している周波数や消費電流はチップ内で一律ではなく、セルの電源までの RLC によって複雑なノイズを生じる。

LSI 設計フローの中では、直流的な IR-drop 解析がよく行われている。しかし、この方法は悲観的なマージン設計をせざるを得ず、またデカップリング容量の効果も見積もることはできない。近年、電源線の RLC やパッドの RC およびオフ・チップの RLC を考慮した解析が脚光を浴びている。電源ノイズのイメージを理解するために、電源線をモデル化した等価回路を図 6 に示す。電源電圧の不安定は、信号遅延に影響を及ぼすので電源ノイズ対策は重要である。

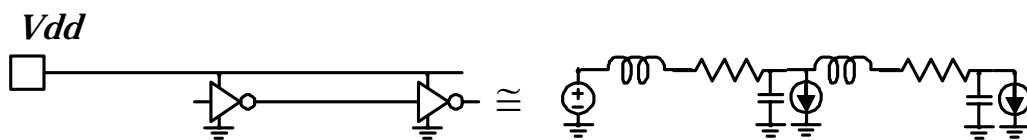
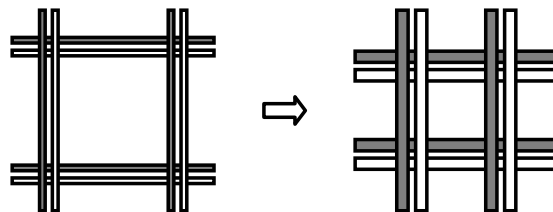


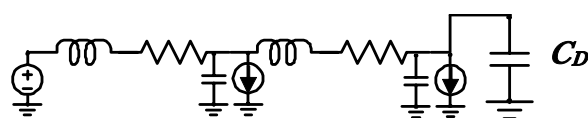
図 6: 電源ノイズ解析モデル

B.2 電源ノイズの対策

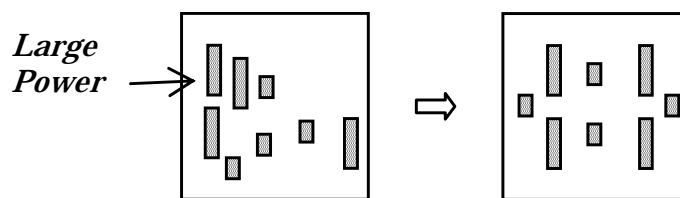
直流的な IR-drop を抑えるために電源グリッドの抵抗成分を下げる方法として、図 7(a) に示すようにグリッド間隔を狭くしたり、電源配線幅を太くしたり、多層電源グリッドを使う等の対策をしている。また図 7(b) に示すように局所的な drop を抑えるために電流消費の多い箇所にデカップリング容量 C_D を挿入する[17-21]。タイミング設計において、チップ内均一の電圧降下よりもむしろ局所的な電圧降下は、微小な遅延時間のずれによってホールド・タイム・バイオレーションを引き起こす可能性があるので致命的である。図 7(c) に示すように、できる限り消費の多い回路は分散化することも重要である。



(a) 電源線強化(低抵抗化)



(b) デカップリング容量挿入



(c) 電力消費の均一化

図 7: 電源ノイズ対策方法

C. 配線寄生素子抽出

LSI 設計において、プロセスと物理設計の掛け橋である寄生素子抽出技術は、タイミング設計の基盤を成す。セルベース設計において、遅延に影響を及ぼす配線の RLC 抽出技術の状況を概説する。特に最近動作周波数の増加に伴い問題視されているオンチップ・インダクタンスについて少し詳しく述べる。

C.1 現行の配線寄生抽出

現行良く用いられている RC 抽出の方法として、1) 抵抗抽出は、ビアは 1 個当たりの抵抗値、配線はシート抵抗を基本とし、場合により配線の折れ曲がり部を補正し、2) 容量抽出は、フィールド・ソルバーを使って一般に Quasi 3D (2.5D) [25] で多くの構造のデータを取って、経験式の係数を求め[26]、設計フロー中ではパターン・マッチングにより高速に抽出する。

ソルバーのアルゴリズムには、Finite Difference Method (FD)、Finite Element Method (FEM)、Boundary Element Method (BEM)、Random Walk Statistical Method [27]があり、高速化の研究がされている。しかし、今後の設計において、現行 RC 抽出法は決して十分な精度とは言えない。タイミング設計が困難になりつつあり、RC+L 抽出の精度向上が必須である。

C.2 オンチップ・インダクタンス

LSI は多機能・高性能を実現するために、より高速動作が要求されている。クロック周波数の増加に伴い、波形遷移時間はより急峻になってきている。配線においては、 $0.13\mu\text{m}$ 以降は Cu (銅) が主流となり、従来の Al (アルミニウム) に比べ、抵抗率は 40%-45% 低くなった。また上層は幅広で厚みのある配線を良く用いている。このような状況から、従来、配線寄生素子は抵抗

Rと容量Cだけを考慮してきたが、今後の高速LSI設計ではインダクタンスLの影響が無視できず、ますます重要になってきている。

信号(Vの変化)を伝送するキャリアは、配線間を伝播する電磁波と配線導体内の伝導電流である。この様子を電磁気の基礎となるマクスウェル方程式を出発点としてレビューする。マクスウェル方程式は実験事実に基づく以下の4つの法則から成り立つ。空間の各点で生じた磁場の時間変化がその点に電場を生じさせることを表すファラデーの電磁誘導の法則

$$\nabla \times \mathbf{E} + \frac{\partial \mathbf{B}}{\partial t} = 0 \quad (2)$$

閉曲面を貫く電流が曲面に沿う経路に磁場を生じることを表す(変位電流項つきマクスウェル)アンペールの法則

$$\nabla \times \mathbf{H} - \frac{\partial \mathbf{D}}{\partial t} = \mathbf{i} \quad (3)$$

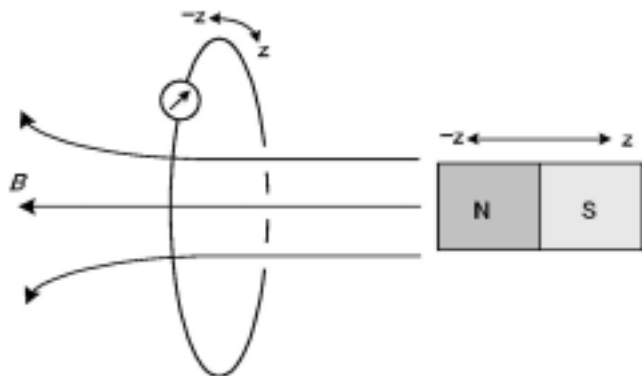
電荷が電場を生じさせることを表すガウスの法則

$$\nabla \cdot \mathbf{D} = \rho \quad (4)$$

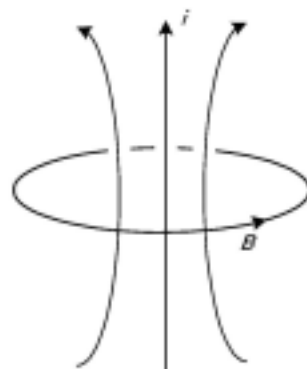
磁場に対しては遊離した磁荷が存在しないことを表す法則

$$\nabla \cdot \mathbf{B} = 0 \quad (5)$$

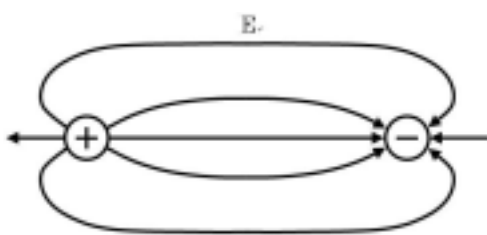
ここで、 $\mathbf{D} = \epsilon \mathbf{E}$ 、 $\mathbf{H} = (1/\mu) \mathbf{B}$ 、 \mathbf{E} は電場ベクトル、 \mathbf{B} は磁場ベクトル、 ϵ は誘電率、 μ は透磁率、 \mathbf{i} は電流、 ρ は電荷である。図8は4つの法則をそれぞれ図示したものである。なお、電荷の保存則は式(2)と(3)から自動的に導かれる。電場 \mathbf{E} と磁場 \mathbf{B} との時間変化は、式(4)および(5)を初期条件として、式(2)と(3)により決まる。



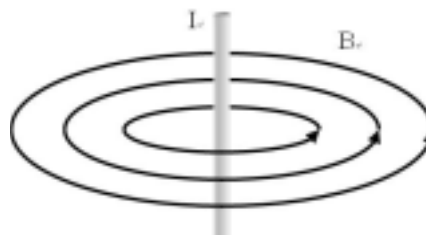
(a) ファラデーの法則



(b) アンペールの法則



(c) ガウスの法則



(d) 磁界は閉路を形成する法則

図 8: 電磁界の法則

電荷および伝導電流のない媒質中を仮定すると, 式(3)と(4)は次式で表される.

$$\nabla \times \mathbf{H} - \frac{\partial \mathbf{D}}{\partial t} = 0 \quad (6)$$

$$\nabla \cdot \mathbf{D} = 0 \quad (7)$$

更に電磁場が 1 方向にのみ空間変化している場合を仮定して式を整理すると, 電場 \mathbf{E} と磁場

B について同形の偏微分方程式

$$\frac{\partial^2 E_x}{\partial z^2} - \varepsilon\mu \frac{\partial^2 E_x}{\partial t^2} = 0 \quad (8)$$

$$\frac{\partial^2 B_y}{\partial z^2} - \varepsilon\mu \frac{\partial^2 B_y}{\partial t^2} = 0 \quad (9)$$

を得る。なお、電磁場の変化する方向を z とし、解として $E_y=B_x=0$ を仮定した(図9)。この形は、いわゆる波動方程式であり、これより電磁波の存在が示され、位相速度(光速)は $1/\sqrt{\varepsilon\mu}$ となる。

一方、図10の等価回路に対する電圧 V と電流 I の方程式

$$-\frac{\partial V}{\partial z} = RI + L \frac{\partial I}{\partial t} \quad (10)$$

$$-\frac{\partial V}{\partial z} = GV + C \frac{\partial V}{\partial t} \quad (11)$$

をそれぞれ z で微分した上で電圧のみ、および電流のみの式に整理し、伝導電流に係る R, G の項を無視すると、以下のように式(8),(9)と同形の波動方程式を得る。

$$\frac{\partial^2 V}{\partial z^2} - LC \frac{\partial^2 V}{\partial t^2} = 0 \quad (12)$$

$$\frac{\partial^2 I}{\partial z^2} - LC \frac{\partial^2 I}{\partial t^2} = 0 \quad (13)$$

式(8),(9)と(12),(13)を比較することにより、電磁波伝播について、 $E = V, B = i, 1/\sqrt{\varepsilon\mu}$ 、 $1/\sqrt{LC}$ と対応することがわかる。電磁波伝播の例としては、ペア配線間を伝わる電磁波(ex. TEM/Quasi-TEM)が挙げられ、その場合、ペア信号線による $LC=const$ が前提となる。

従来の LSI 設計の立場では、 $\omega L \ll R$ という条件に基づき信号伝送のキャリアの大部分は伝導電流と仮定し、式(10)で L の項を無視して伝播遅延 RC (時定数)として扱ってきた。しかし、従来設計の LSI で周波数が高くなる、すなわち $\omega L \gg R$ となると、キャリアとしての電磁波(L

の影響)が無視できなくなる可能性を生じる。一方、通常信号配線における配線制約には、 $LC=const$ の条件を課していないため、このような配線を伝送線路として扱うことはできない。

オンチップ・インダクタンスとは、LSI 内部のインダクタンスであり、LSI 外部(オフ・チップ)のそれと区別される。最近の論文では、LSI の配線寄生インダクタンスという意味で使われ、スパイラルの場合はオンチップ・スパイラル・インダクタンスのように明確に区別する場合が多い。インダクタンスの定義および LSI の配線寄生インダクタンスの扱いについて以下に述べる。

ここでインダクタンスの定義を明確にする。閉回路上の電流 I の、当該電流により生じる磁場のうち自回路内を貫く磁束 Φ に対する比例定数 $L(\Phi=LI)$ を一般に「自己インダクタンス」と呼ぶ。ここで、「閉回路を貫く磁束 Φ の変化を妨げる方向に起電力 V を生じる」というファラデー(レンツ)の法則により、

$$V = -\frac{\partial \Phi}{\partial t} = -L \frac{\partial I}{\partial t} \quad (14)$$

また、同様に複数の閉回路 i, j に対しても、

$$V_i = -L_{ij} \frac{\partial I_j}{\partial t} \quad (15)$$

となる L_{ij} が定義でき、これを相互インダクタンスと呼ぶ。

ファラデー(レンツ)の法則に基づくインダクタンスは、閉回路に対して定義されるべきであるが、LSI、あるいはLSIのパッケージ設計においてはループ・インダクタンスを離散化した部分インダクタンス(以下、部分 L)という数式上の概念を導入する。実際には、閉回路とならない長さ l_i, l_j の配線要素 i, j に対し部分インダクタンス L_{ij} を求め、 R と C とを結合して等価回路を作る。この回路に対し、回路シミュレーションを行うことにより、本来の自己および相互インダクタンス

として完結させる。ループ・インダクタンスと部分インダクタンスとの関係を図 11 に示す。図 11 において、 L_{11}, L_{22}, L_{12} は部分インダクタンス、 L_{loop} は閉ループ A-A'-B'-B-A に対するループ・インダクタンスを表す。

次に、ループ・インダクタンスを離散化する過程を以下に示す。電場のスカラー・ポテンシャルに対比して導入された磁場のベクトル・ポテンシャル \mathbf{A} に対し、式(5)を満たす \mathbf{A} の定義式

$$\mathbf{B} = \nabla \times \mathbf{A} \quad (16)$$

を式(2)に代入すると、ベクトル・ポテンシャルの時間変化が電場を生じることを表す式

$$\mathbf{E} = -\frac{\partial \mathbf{A}}{\partial t} \quad (17)$$

を得る。一方、電場のポテンシャルとの対比から、 \mathbf{A} は

$$\mathbf{A} = \int_{l_j} \frac{\mu I_j}{4\pi |l_i - l_j|} dl_j \quad (18)$$

と書ける。式(17),(18)より、配線要素 i に生じる起電力 V_i は

$$V_i = \int_{l_i} \mathbf{E} \bullet dl_j = -\frac{\partial}{\partial t} \int_{l_i} \mathbf{A} \bullet dl_i = -\frac{\partial}{\partial t} \left(\int_{l_j} \int_{l_i} \frac{\mu I_j}{4\pi |l_i - l_j|} dl_j \right) \quad (19)$$

従って、式(15)と(19)を比較して、離散化された部分インダクタンス

$$L_{ij} = \int_{l_i} \int_{l_j} \frac{\mu I_j}{4\pi |l_i - l_j|} dl_i \bullet dl_j \quad (20)$$

を得る。 $i=j$ のときを部分自己インダクタンス、 $i \neq j$ のときを部分相互インダクタンスと呼ぶ。

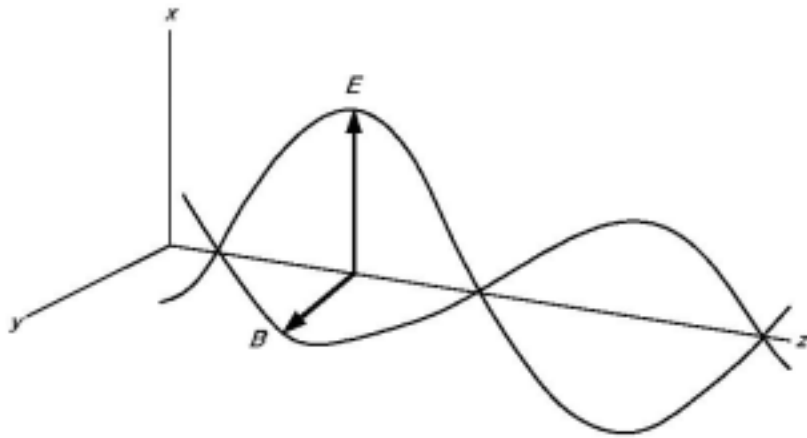


図 9: 電磁波の伝播

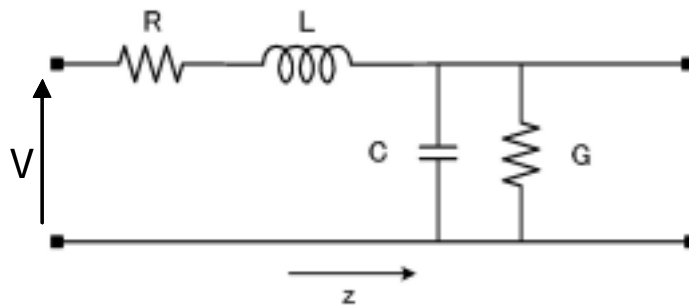


図 10: RLGC 等価回路

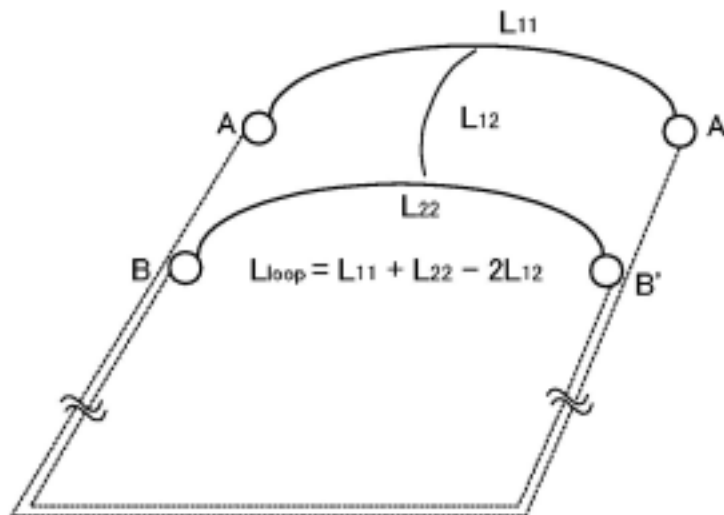


図 11: 部分インダクタンスとループ・インダクタンス

C.3 インダクタンス抽出手法とモデリング

配線の寄生インダクタンスを求める方法は3つに大別される。

(1) ソルバーベースのL抽出

Full-wave 解析として, FD, FEM, BEM, Method of Moments(MOM)がある。これらは高精度であるが処理時間を要するので, 設計フローの中で直接使用するのは難しい。部分インダクタンス手法として PEEC[28]が開発され, それを利用したツールが広く使用されている[29,30]。

(2) 解析式ベースのL抽出

フィラメント間で正確な式[31], 導体内均一電流密度として矩形断面を正確に考慮した式[32], 近似式[33,34]等があり, 適用例が報告されている[35]。高速でかつ前処理不要という特徴がある。

(3) テーブルベースのL抽出

幾何学的平均距離をテーブルにして簡易式で計算する方法[33], 使用する周波数と構造でソルバーを実行しテーブルにする方法がある[36]。前処理が必要であるがテーブル作成後の計算は高速である。

また大規模 LSI の膨大な L 抽出が可能な方法論は, 1) ループを限定した小回路網から電磁界解析でループ L を求める方法, 2) 2 配線の多くの組み合わせに対して, 部分 L を電磁界解析により求め, テーブルまたは関数フィッティングして利用する方法, 3) 直接解析式で計算する方法, が挙げられる。2) は膨大な配線組み合わせの電磁界解析をプロセス毎に前処理しておく必要がある。

抽出において L と C の大きな違いが 3 点ある。1) 遠方の配線の影響度として, C が隣接配線でシールドされるのに対して, L は遠方まで影響を受ける, 2) 解析式の有効性として, C は

構造を限定したものしかないが、L は部分 L として精度の高い式が存在する、3) 周波数の影響として、L は周波数に依存するが C はほとんど依存しない。これらの相違により、従来の RC 抽出とは異なるモデリングが必要である。

インダクタンスを求める上でいくつかモデリング技術が提案されている。ここで、インダクタンスの近似式、部分 L からループ L 変換、周波数を考慮したモデル等を記述する。

(1) インダクタンス近似式

部分自己インダクタンス L と部分相互インダクタンス M の簡易式は下記である。シンプルだがかなり精度の高い式として有効である。

$$L = \frac{\mu_0 l}{2\pi} \left[\ln \left(\frac{2l}{w+t} \right) + \frac{1}{2} + \frac{0.2235(w+t)}{l} \right]$$

$$M = \frac{\mu_0 l}{2\pi} \left[\ln \left(\frac{2l}{d} \right) - 1 + \frac{d}{l} \right]$$
(21)

(2) ループ・インダクタンス

図 12 のような並行配線回路の部分 L からループ L を計算することができる。大規模 LSI の配線 L 抽出技法として、ループ L のアプローチ[37, 38]が提案されており、今後の動向に興味を引く。

$$L_{loop} = L_s + L_g - 2M_{sg}$$

$$= \frac{\mu_0 l}{2\pi} \left[\ln \left(\frac{d^2}{(w_s + t_s)(w_g + t_g)} \right) + 3 + \frac{0.2235(w_s + t_s + w_g + t_g) - 2d}{l} \right]$$
(22)

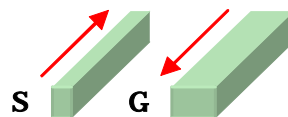


図 12: 並行配線

(3) 前進結合インダクタンスの扱い

長さ方向を z とすると, z 方向で並行配線が重複している部分以外の前進結合インダクタンス(Forward coupling inductance)を全て省略することが可能か検討された[39]. このような 2D モデルは, 非常に長い配線の場合に 3D モデルとほぼ等しい結果が得られる. 2 本の並行配線をずらしていくと, 図 13 に示すようにある時点で相互 M は極度に小さくなる[40].

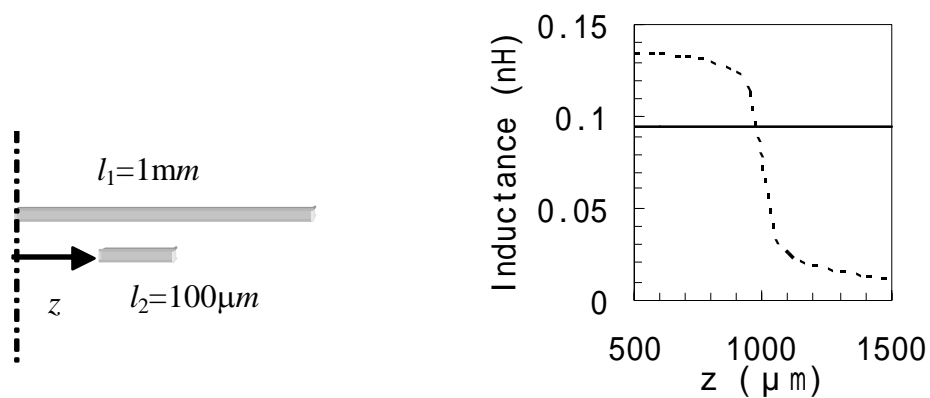


図 13: 平行シフトと部分相互インダクタンスの関係

図 14 において, 直線上で直接接続する配線間の相互インダクタンス M 以外の M (式(23)のアンダーラインの部分)を削除できれば大規模 LSI の配線インダクタンス抽出において処理速度の面で非常に有効な手段となる.

$$L = L_{11} + L_{22} + L_{33} + L_{44} + 2M_{12} + 2M_{34} - 2M_{14} - 2M_{23} - \underline{(2M_{13} + 2M_{24})} \quad (23)$$

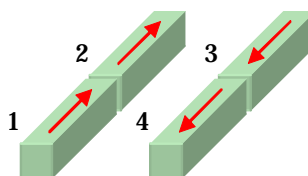


図 14: 2 配線 4 セグメントのループ・インダクタンス

(4) 最大と最小インダクタンスのモデル

配線インダクタンスの最大と最小を計算する方法が提案されている[41]. 最大インダクタンスは近くにリターン配線がない場合で信号線の部分自己インダクタンスとなる. もしくは電源グリッドを想定してその幅と距離から計算できる. 最小インダクタンスは両側が近接した場合は仮定して, 最小スペーシングと最適なグラウンド幅におけるループ・インダクタンスである(図15).

$$L_{min} = L_s - 2M_{sg} + L_g / 2 + M_{gg} / 2 \quad (24)$$

但し, $w_g = \frac{-a - \sqrt{a^2 - 4b}}{2}$, $a = t + w_s + 2s_{min} - \frac{l}{0.38825}$, $b = t(w_s + 2s_{min}) + \frac{l(w_s + 2s_{min} - 3t)}{0.7765}$.

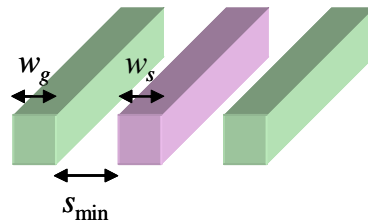


図 15: 最小インダクタンスのモデル

(5) 周波数効果のモデリング

周波数が高くなると, 表皮・近接効果により, 低い周波数に比べ抵抗 R が増加し, インダクタンス L が減少する. この現象をモデリングする方法がいくつか提案されている. 例えば図 16 に示すように配線を LR のはしご型回路として近似し, 解析式で表現する[42].

$$\begin{aligned} R_0 &= 1.33R_{dc}, \quad R_1 = 3.55R_{dc} \\ L_0 &= \left(\frac{3.57 + k}{3.57} + \frac{0.28k(R_0 - R_1)^2 + 0.079R_0^2}{(R_0 + R_1)^2} \right) L_{dc} \\ L_1 &= 0.079L_0, \quad L_m = k\sqrt{L_0L_1} \\ k &= 0.13\sqrt{(100wtR_{dc}/L_{dc})^2 - 1} - 0.079 \end{aligned} \quad (25)$$

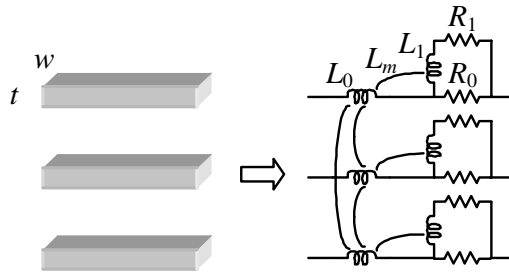


図 16: 周波数効果のモデリング

次に疎行列化について述べる。PEEC による部分 L 抽出の最大の問題は、対象領域のセグメント数を n とすると、インダクタンス行列は密な対象行列となる。部分自己インダクタンスが n 個、部分相互インダクタンスが $n(n-1)/2$ 個である。例えば、2 万のセグメント数の時、フルに相互インダクタンスを抽出すると 10^8 のオーダーとなり、とても現実的ではない。この密行列を疎行列にする方法がいくつか提案されている。

(1) Truncation

単に小さい値を削除する方法であるが、安定性が保証されない。

(2) Block-diagonal sparsification

興味ある配線を中心にブロック化する。ブロックとブロックの間の誘導結合はないものとする。この行列は正則であり、安定性が保障されるが若干精度が落ちる。

(3) Shift-truncation method [43-45]

ある半径のシェルを想定し、その外とは誘導結合がないものとし、かつその取り除いた L, M (truncation) による影響を考慮して半径内のセグメントをシフトする方法である。安定性が保障され、より良い精度が保てる。

(4) Halo method [46]

信号線の電流は最も近接する電源線をリターンするという仮定に基づく halo ルールと呼ぶ

相互インダクタンスの数を制限する方法である。

(5) インダクタンス逆行列

インダクタンス行列は密で値の大小があまりない。この逆行列を取ると容量行列のように対角近傍以外は値が小さくなるので削除しやすくなる[47]。インダクタンス行列自体が大規模なのでウィンドウ・サイズを小さくする方法[48]、この逆行列の考え方に基づいて、 L^{-1} 素子を使わなくて良い方法[49] (Wire duplication) も提案されている。

以上、序論として物理設計に関わる課題と対策方法を述べた。先端 SoC の設計において、上述したシグナル・インテグリティ、パワー・インテグリティ、DFM、そして寄生抽出は非常に重要であり、今後更なる技術開発が必要である。

本論文はこのような状況を顧みて、新たな物理設計技術を提案することを目的とする。

1.2 研究の概要と本論文の構成

半導体集積回路のプロセス / 設計技術の進化に伴い、先端 VLSI 回路 (Very Large Scale Integrated Circuit) は微細化、高集積化、多層化、低電圧化、そして高速化に向かっている。例えば、2004 年の先端 LSI では、テクノロジー・ノードが 90nm、1 チップのトランジスタ数は約 5 億個、配線層数は 10 層、電源電圧は 1V、最高動作周波数は約 4GHz となっている。

このような状況のために近年のディーブ・サブミクロン LSI は、設計フローの中で従来のような十分なマージン設計が行なえず、タイミング・クロージャが困難になりつつある。タイミング設計上の課題として、シグナル・インテグリティ SI (Signal Integrity)、パワー・インテグリティ PI (Power Integrity)、DFM (Design For Manufacturability) や配線の寄生素子抽出精度等の問題があげられる。これらはテクノロジー・スケーリングにつれて、ますます深刻になってきている。

SI 問題とは信号波形(ノイズや遅延)に関わるさまざまな問題の総称で、隣接する配線の容量性・誘導性結合によるクロストーク・ノイズがその代表格である。PI 問題としては、電源線のノイズ(オフ・チップからのノイズや Ldi/dt ノイズを含む)や CMOS トランジスタの同時スイッチングによる IR-drop がある。DFM や寄生抽出の問題として、平坦化や仕上がりを良くするための CMP (Chemical-Mechanical Polishing)、ダミー・フィル、OPC (Optical Proximity Correction) 等の処理に起因するプロセスおよび設計精度の劣化があげられる。またこれらは、プロセスばらつき量を決定する重要な技術でもある。

SoC (System on a Chip) 時代の先端システム LSI 設計では、これらの課題を解決することが極めて重要になってきている。

本研究では、上述したさまざまな問題を物理設計の観点から解決を試みる。従来の物理設計における課題や既に提案されている対策方法を多方面から十分に調査し、問題解決のための新しい方法をいくつか提案する。本論文で提案する内容は特に物理配線に関する設計技術である。

本論文は、6 章から構成しており、各章を要約すると以下のようなになる。

第 1 章では、序論として本研究の背景、目的、および本論文の構成について述べる。先端 SoC における物理設計の課題と従来の対策技術について、この章でレビューする。

第 2 章の「LSI の配線インダクタンスの簡易抽出方法」では、幾何学的平均距離から求めた自己インダクタンスの近似式と断面を無視した 2 本の線状間で正確な相互インダクタンスの式を使って、斜め配線を含む VLSI のオンチップ・インダクタンスを抽出する方法を提案する。使用する式は表皮効果や近接効果を考慮していないが、ITRS 1999 の $0.1\mu\text{m}$ テクノロジ・ノードにおける周波数や配線パラメータでは十分な精度が得られることを示す。複雑な LSI 配線ではリターン・パスの限定が難しいことから、インダクタンスの抽出には部分インダクタンスを用いる。本手法の精度を三次元電磁界解析ツールの結果と比較して検証する。 $0.1\mu\text{m}$ 世代において最小線幅の 10 倍までの 2 配線では、Raphael に対する相対誤差は、平行配線で自己インダク

タンス L が約 0.5%以内, 相互インダクタンス M が約 5%以内, 斜め配線で L が約 5%以内, M が約 13%以内になることを示す. 現実的な配線での適用例では, 高速電磁界解析ツール FastHenry に対して絶対値平均誤差で約 1%, 処理速度は 60 倍以上高速になることを示す. 解析式を用いた本手法は, 幅広配線でない配線のインダクタンス抽出に有効であることを明確にする.

第 3 章の「相互インダクタンスを効果的に抽出するための近似式」では, VLSI 配線の相互インダクタンスを効率よく抽出する新しい近似式ベースのアプローチを提案する. その近似式は, 配線をフィラメントと仮定した時に正確な式をテーラー展開し, その配線間の距離に関する項において, 配線断面を有限幅とゼロ厚みと仮定して導出することによって得られる. 現実的な LSI の配線は, ほとんど表皮・近接効果の影響を受けないので, 配線断面内は均一電流密度を仮定する. 多項式の近似は精度と計算コストがトレード・オフの関係にある. 開発した複数の式は配線ジオメトリに応じて, 精度と計算コストの観点で最も適したものを使うことが可能である. それは設計者が要求する精度に応じて, インダクタンスの抽出時間を最小にする式である. ITRS 2003 のグローバル配線の構造を基に評価した結果, 提案する近似式は 3 次元電磁界解析ツールを使って求めた相互インダクタンスに対して, 数%以内である. また, それぞれの式の配線ジオメトリの有効範囲を 2D マップで表現すると共に, それぞれの式の処理速度も明確にする. 提案する近似式ベースのインダクタンス抽出方法を, 30 万配線セグメントの実際の $0.13\mu\text{m}$ プロセスのレイアウトに適用した結果, 正確な式に比べて 60 倍以上高速であることを示す. 開発した近似式および提案した近似式ベースのアプローチは VLSI 配線のインダクタンス抽出に有効であることを明確にする.

第 4 章の「物理設計完全性を目指した配線方式」では, 物理設計に関するさまざまな課題を同時に解決するための新しい配線アーキテクチャを提案する. 90nm テクノロジ以降の設計において, シグナル・インテグリティ, パワー・インテグリティ, DFM および寄生抽出の問題は深刻になってきている. 従来のような問題解決のための個々技術による対策では, 設計期間の増

大ばかりか、タイミング・クロージャが困難にさえなりつつある。本章では多くの物理設計上の問題を同時に解決するための新しい考えとして、電源・グラウンド線を有効に活用した新しい配線アーキテクチャを提案する。本アーキテクチャの基本構造は、電源線 P とグラウンド線 G の PG パターンをできる限り多く使用して、電源線とグラウンド線によって、より多くのデカップリング容量を生成するように構成すると共に配線の規則性をできる限り保つようにする。その提案方式は、膨大なデカップリング容量の生成、IR-drop の削減、 Ldi/dt ノイズの低減、クロストークの低減、規則性および均一性によるばらつき低減、ダミー・メタル挿入が不要、そして抽出精度向上を実現する。詳細な解析結果において、デカップリング容量は約 $40\text{nF}/\text{cm}^2$ 、電源ノイズは従来電源電圧の約 5%であった回路で約 1%に、クロストークのピーク・ノイズは従来約 20%であったものが約 7%に改善される。また微細化につれて、本方式のデカップリング容量は更に増加すること、簡易にデカップリング容量値を見積る方法、本方式の適用方法、そして 90nm テクノロジーにおけるテスト・チップの容量の測定結果も示す。

第 5 章の「ダミー・フィルに関する設計技術」では、SoC 設計の配線容量抽出において、CMP 平坦化を補助するために挿入するフローティング・ダミー・メタル・フィルの配線容量への影響をうまく処理する実用的な方法を提案する。その方法は、電界理論に基づいてダミー・メタル層の厚みを縮退することによって実現される。配線寄生容量、信号遅延、クロストークへの影響も明確にする。更に、層間ダミー・メタルの方が結合容量のインパクトに関わる層内ダミー・メタルよりも重要であることを示す。ダミー・メタル・フィルが無視されたなら、その容量抽出の誤差は 30%以上になり得る。提案する方法は現実的な配線ジオメトリの解析において、最大誤差で約 10%以内になることを示す。また 90nm テスト・チップの測定結果と提案方法との比較の結果、誤差は 8%以内になることを示す。更に近年の SoC 設計において、平坦化のために挿入されるフローティング・ダミー・メタルは、配線容量の増加と膨大なフィル数のために、深刻な問題となってきた。そこで、配線容量とダミー・メタル数を削減する新しい方法も提案する。その主要なテクニックは、以下の 3 つの新しいフィリングの方法である。1 つ目は改良したフロ

ーティング正方形のフィル, 2 つ目はフローティング平行配線, 3 つ目はフローティング直角配線のダミー・フィリングで, それぞれ信号線の上下のダミー・メタル間のスペーシングを取ること
も提案する. さまざまな観点から提案手法を検証する. 実験結果から, 従来の規則的な正方形
ダミーの方法による配線容量の増分が 13.1%の時に, 提案する改良された正方形ダミーの方
法は2.4%, 拡張した平行配線の方法は2.7%, 直角配線の方法は1%の増分に削減できることを
示す. 更に, 平行配線を使った方法は従来法に比べ, ダミー・メタルの数を 2 桁以上削減でき
ることを示す.

第 6 章では, 本論文を纏め, 本研究により得られた成果を総括する.

1.3 第1章の参考文献

- [1] International technology roadmap for semiconductors: Semiconductor Industry Association, 2003.
- [2] 黒川敦, “90nm テクノロジ以降の SoC における物理設計技術,” 情報処理学会 VLSI システム研究会 関西支部 支部大会, pp. 127-132, Dec. 2004.
- [3] 黒川敦, 小野信任, 鹿毛哲郎, 井上靖秋, 増田弘生, “物理設計完全性を目指した配線方式,” 電子情報通信学会 信学技報, ICD2003-193, pp. 11-16, Dec. 2003.
- [4] 黒川敦, 金本俊幾, 南文裕, 鹿毛哲郎, 増田弘生, “RLC 抽出技術の最新動向,” 電子情報通信学会 第7回システム LSI ワークショップ, Nov. 2003.
- [5] 黒川敦, 金本俊幾, 佐藤高史, “オンチップ・インダクタンスとは? = モデリングと抽出技術 =,” 情報処理学会 DA シンポジウム, vol. 2003, no. 11, pp. 1-6, July 2003.
- [6] 黒川敦, “LCR 抽出・解析設計技術,” 電子情報通信学会 総合大会 チュートリアル, TA-1-5, March 2003.
- [7] H. Kaul, D. Sylvester, and D. Blaauw, “Active shields: a new approach to shielding global wires,” in *Proc. Great Lakes Symp. VLSI*, pp. 112-117, 2002.
- [8] G. Zhong, C.-K. Koh, and K. Roy, “A twisted-bundle layout structure for minimizing inductive coupling noise,” in *Proc. Int. Conf. Computer Aided Design*, pp. 406-411, 2000.
- [9] B. Victor and K. Keutzer, “Bus encoding to prevent crosstalk delay,” in *Proc. Int. Conf. Computer Aided Design*, pp. 57-64, 2001.
- [10] C.-C. Chang and J. Cong, “Pseudopin assignment with crosstalk noise control,” *IEEE Trans. Computer-Aided Design*, vol. 20, no. 5, pp. 598-611, May 2001.
- [11] P. B. Sabet and F. Iiponse, “Modeling crosstalk noise for deep submicron verification tools,” in *Proc Design, Automation and Test in Europe*, pp. 530-534, 2001.

- [12] Y. I. Ismail and E. G. Friedman, "Effects of inductance on the propagation delay and repeater insertion in VLSI circuits," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 721-724, 1999.
- [13] L. He and K. M. Lepak, "Simultaneous shield insertion and net ordering for capacitive coupling minimization," in *Proc. Int. Symp. Physical Design*, pp. 55-60, 2000.
- [14] S. P. Khatri, A. Mehrotra, R. K. Brayton, A. Sangiovanni-Vincentelli, and R. H. J. M. Otten, "A novel VLSI layout fabric for deep sub-micron applications," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 491-496, 1999.
- [15] S. P. Khatri, R. K. Brayton, and A. Sangiovanni-Vincentelli, "Cross-talk immune VLSI design using a network of PLAs embedded in a regular layout fabric," in *Proc. Int. Conf. Computer Aided Design*, pp. 412-419, 2000.
- [16] S. P. Khatri, R. K. Brayton, A. L. Sangiovanni-Vincentelli, *Cross-talk noise immune VLSI design using regular layout fabrics*, Kluwer Academic Publishers, 2001.
- [17] S. Lin and N. Chang, "Challenges in power-ground integrity," in *Proc. Int. Conf. Computer Aided Design*, pp. 651-655, 2001.
- [18] S. Zhao, K. Roy, and C. K. Koh, "Decoupling capacitor allocation for power supply noise Suppression," in *Proc. Int. Symp. Physical Design*, pp. 66-73, 2001.
- [19] H. Su, S. Sapatnekar, and S. R. Nassif, "An algorithm for optional decoupling capacitor sizing and placement for standard cell layouts," in *Proc. Int. Symp. Physical Design*, pp. 68-75, 2002.
- [20] H. H. Chen and D. D. Ling, "Power supply noise analysis methodology for deep-submicron VLSI chip design," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 638-643, 1997.
- [21] S. Bobba, T. Thorp, K. Aingaran, and D. Liu, "IC power distribution challenges," in *Proc. Int. Conf. Computer Aided Design*, pp. 481-486, 2001.

- [22] S. Hayashi and M. Yamada, "EMI-noise analysis under ASIC design environment," in *Proc. Int. Symp. Physical Design*, pp. 16-21, 1999.
- [23] 黒川敦, "DAC2004 報告 = 物理設計技術 =," 電子情報通信学会 信学技報, VLD2004-36, pp. 28-32, Sep. 2004.
- [24] 黒川敦, 小澤時典, "DAC2003 報告 =フィジカルデザイン=," 電子情報通信学会 信学技報, vol. 103, no. 337, pp. 43-48, Sep. 2003.
- [25] J. Cong, L. He, A. B. Kahng, D. Boice, N. Shirali, and S. H.-C. Yen, "Analysis and justification of a simple, practical 2 1/2-D capacitance extraction methodology," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 627-632, June 1997.
- [26] N. Arora, K. Raol, and L. Richardson, "Modeling and extraction of interconnect capacitances for multilayer VLSI circuits," *IEEE Trans. Computer-Aided Design*, vol. 15, pp. 58-67, January 1996.
- [27] Y. L. L. Coz, H. J. Greub, and R. B. Iverson, "Performance of random-walk capacitance extractors for IC interconnects: a numerical study," *Solid-State Electronics*, 42, pp. 581-588, 1998.
- [28] A. E. Ruehli, "Inductance calculations in a complex integrated circuit environment," *IBM J. Res. Develop.*, pp. 470-481, Sep. 1972.
- [29] M. Kamon, M. J. Tsuk, and J. White, "FASTHENRY: a multipole-accelerated 3D inductance extraction program," *IEEE Trans. Microwave Theory Tech.*, vol. 42, pp. 1750-1758, Sep. 1994.
- [30] Raphael version 2002.2, Synopsys Corporation.
- [31] E. Rosa, "The self and mutual inductance of linear conductors," Bulletin of the National Bureau of Standards, pp. 301-344, 1908.

- [32] C. Hoer and C. Love, "Exact inductance equations for rectangular conductors with applications to more complicated geometries," *J. Res. Natl. Bureau Standard* 69C, pp. 127-137, 1965.
- [33] F. W. Grover, *Inductance Calculations: Working Formulae and Tables*, Dover Publications, Inc., New York, 1946.
- [34] Atsushi Kurokawa, Takashi Sato, and Hiroo Masuda, "Approximate formulae approach for efficient inductance extraction," in *Proc Asia and South Pacific Design Automation Conf.*, pp. 143-148, Jan. 2003.
- [35] 黒川敦, 蜂屋孝太郎, 佐藤高史, 徳升一也, 増田弘生, "斜め配線を含む VLSI の高速オンチップ・インダクタンス抽出," 電子情報通信学会 回路とシステム(軽井沢)ワークショップ, pp. 487-492, April 2002.
- [36] N. Chang, S. Lin, L. He, O. S. Nakagawa, and W. Xie, "Clocktree RLC extraction with efficient inductance modeling," in *Proc Design, Automation and Test in Europe*, pp. 522-526.
- [37] S.-P. Sim, C. Chao, S. Krishnan, D. M. Petranovic, N. D. Arora, K. Lee, and C. Y. Yang, "An effective loop inductance model for general non-orthogonal interconnect with random capacitive coupling," in *Proc. IEEE International Electron Devices Meeting*, pp. 8-11, Dec. 2002.
- [38] X. Huang, P. Restle, T. Bucelot, Y. Cao, and T.-J. King, "Loop-based interconnect modeling and optimization approach for multi-GHz clock network design," in *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 19-22, May 2002.
- [39] T. Lin, M. W. Beattie, and L. T. Pileggi, "On the efficacy of simplified 2D on-chip inductance models," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 341-346, 2002.

- [40] Atsushi Kurokawa, Koutaro Hachiya, Takashi Sato, K. Tokumasu, and Hiroo Masuda, "Fast on-chip inductance extraction of VLSI including angled interconnects," *IEICE Trans. Fundamentals (Letter)*, vol. E86-A, no. 4, pp. 841-845, April 2003.
- [41] Y.-C. Lu, M. Celik, T. Young, and L. T. Pileggi, "Min/max on-chip inductance models and delay metrics," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 341-346, 2002.
- [42] Y. Cao, X. Huang, D. Sylvester, T.-J. King, and C. Hu, "Impact of on-chip interconnect frequency-dependent $R(f)L(f)$ on digital and RF design," in *Proc. IEEE Int. ASIC/SOC Conf.*, pp. 438-442, 2002.
- [43] B. Krauter, and L. T. Pileggi, "Generating sparse partial inductance matrices with guaranteed stability," in *Proc. Int. Conf. Computer Aided Design*, pp. 5-9, Nov. 1995.
- [44] Z. He, M. Celik, and L. Pileggi, "SPIE; Sparse partial inductance extraction," in *Proc. ACM/IEEE Design Automation Conf.*, 1997.
- [45] M. Beattie, B. Krauter, L. Alatan, and L. Pileggi, "Equipotential shells for efficient inductance extraction," *IEEE Trans. Computer-Aided Design*, vol. 20, pp. 70-79, 2001.
- [46] K. Shepard et al., "Return-limited inductances: a practical approach to on-chip inductance extraction," in *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 16-19, May 1999.
- [47] A. Devgan, H. Ji, and W. Dai, "How to efficiently capture on-chip inductance-effects: introducing a new circuit element K," in *Proc. Int. Conf. Computer Aided Design*, pp. 150-155, 2000.
- [48] H. Zheng, B. Krauter, M. Beattie, and L. Pileggi, "Window-based susceptance models for large-scale RLC circuit analyses," in *Proc Design, Automation and Test in Europe Conf.*, pp. 628-633, 2002.
- [49] G. Zhong, C.-K. Koh, and K. Roy, "A twisted-bundle layout structure for minimizing inductive coupling noise", in *Proc. Int. Conf. Computer Aided Design*, pp. 406-411, 2000.

第 2 章 LSI の配線インダクタンスの簡易抽出方法

本章では、幾何学的平均距離から求めた自己インダクタンスの近似式と断面を無視した 2 本の線状間で正確な相互インダクタンスの式を使って、斜め配線を含む VLSI のオンチップ・インダクタンスを抽出する方法を提案する。使用する式は表皮効果や近接効果を考慮していないが、先端のプロセス・テクノロジーにおける周波数や配線パラメータでは十分な精度が得られることを示す。複雑な LSI 配線ではリターンパスの限定が難しいことから、インダクタンスの抽出には部分インダクタンスを用いる。

本手法の精度を三次元電磁界解析ツール (Raphael/FastHenry) の結果と比較して検証した。0.1 μm 世代において最小線幅の 10 倍までの 2 配線では、Raphael に対する相対誤差は、平行配線で自己インダクタンス L が約 0.5% 以内、相互インダクタンス M が約 5% 以内、斜め配線で L が約 5% 以内、 M が約 13% 以内である。現実的な配線での適用例では、FastHenry に対して絶対値平均誤差で約 1%、処理速度は 60 倍以上高速である。解析式を用いた本手法は、VLSI の配線インダクタンス抽出に有効である。

2.1 まえがき

LSI も GHz オーダーのクロック周波数で動作させる時代となり、オンチップの配線もインダクタンスの影響が懸念されるようになってきた。導体をフィラメントに分割して表皮効果や近接効果を考慮して、インダクタンスを高精度に抽出する三次元電磁界解析ツールとして、FastHenry[1]やRaphael[2]が広く知られている。大規模 LSI の寄生素子抽出ではこれらの電磁界解析ツールを使ってループ・インダクタンスを求めるものや自己インダクタンスのみを求める EDA ツールも出てきている。しかし、精度を優先して処理時間を要しているか、高速にするた

めに精度を落としているのが現状である。

幾何学的平均距離(GMD: Geometric Mean Distance)を使った自己インダクタンスの近似式や線状の平行および斜め線の相互インダクタンスの正確な式は Grover の書籍[3]に見ることが出来る。LSI の配線は、カレントリターンパスの限定が難しく、部分インダクタンスを用いる方法(PEEC: Partial Element Equivalent Circuit)が提案されている[4, 5]。また GMD による自己インダクタンスの近似式と等長平行線の相互インダクタンスの式を使った方法も報告されている[6]。

しかし、平行配線の式がどういう条件の時に有効かが明白ではなく、また最近ではツイストバンドル配線[7]や X Architecture[8]のような斜め配線技術が現れているが、このようなあらゆる配線構造を式ベースで求める方法およびその妥当性はまだ吟味されていない。

本章では、幾何学的平均距離から求めた自己インダクタンスの近似式と断面を無視した 2 本の線状間で正確な相互インダクタンスの式を使って、斜め配線を含む VLSI のオンチップ・インダクタンスを抽出する方法を提案する。2.2 章で評価に用いる GMD による自己インダクタンスの式、線状の平行および斜め配線の相互インダクタンスの式を示し、2.3 章で実用上の LSI 配線パラメータでそれらの式の妥当性を評価し、2.4 章で斜め配線を含む現実的な配線での適用例を示し、最後に 2.5 章で纏める。

2.2 インダクタンスの式

図 1 に示すように、断面積 S_i, S_j の 2 配線を考える。配線 i, j 間の相互インダクタンス M_{ij} は、無限小の断面積 dS_i, dS_j を持つ線状導体にそれぞれ細かく分割する時の相互インダクタンスの合成とみなせる。断面が無視できる 2 つの閉回路間の相互インダクタンス dM_{ij} は、ノイマンの公式から、 $dM_{ij} = \frac{\mu}{4\pi} \iint_i \iint_j \frac{1}{r} ds_i ds_j$ で表され、断面積を考慮した相互インダクタンス M_{ij} は、以

下のようになる．

$$M_{ij} = \frac{1}{S_i S_j} \int_{S_i} dS_i \int_{S_j} dS_j \cdot \frac{\mu}{4\pi} \oint_{i,j} \oint \frac{1}{r} ds_i ds_j \quad (1)$$

ノイマンの公式を有限長の 2 つの線分 l, m に適用すると，相互インダクタンス M は， $M = \frac{\mu}{4\pi} \iint_m \frac{\cos \theta}{r} ds_l ds_m$ となり，線状 2 配線間の相互インダクタンスを導くことができる．ただし， θ は線分 l と m が成す角度である．透磁率 μ は，非磁性体の配線や絶縁膜では，真空の透磁率 μ_0 にほぼ等しいので以下 μ_0 を使用する．

本論文で提案するインダクタンス抽出には，自己インダクタンスに GMD を考慮した近似式を，相互インダクタンスに配線の中心間距離を用いて線状導体間で正確な式を使用する．

自己インダクタンス L [6]は，

$$L = \frac{\mu_0 l}{2\pi} \left[\ln \frac{2l}{w+t} + \frac{1}{2} + \frac{0.2235(w+t)}{l} \right] \quad (2)$$

この式は矩形断面が幅 w と厚み t からなる 1 本の導体をフィラメントに分割して，GMD から求めたものである．ここで GMD R は， $R = k(w+t) = 0.2235(w+t)$ を使用している．係数 k は幅と厚みの全組み合わせにおいて， $0.22313 \leq k \leq 0.22369$ となり[3]， $k \cong 0.2235$ は精度の高い近似である．

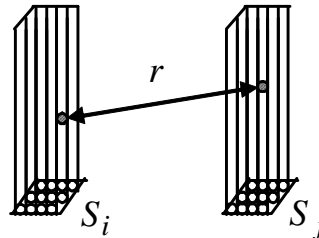


図 1: フィラメント分割

図 2 に平行線を示す．線状の平行線の相互インダクタンス M [3]は，

$$M = \frac{\mu_0}{4\pi} \left\{ \alpha \sinh^{-1} \frac{\alpha}{d} - \sqrt{\alpha^2 + d^2} - \beta \sinh^{-1} \frac{\beta}{d} + \sqrt{\beta^2 + d^2} - \gamma \sinh^{-1} \frac{\gamma}{d} + \sqrt{\gamma^2 + d^2} + \delta \sinh^{-1} \frac{\delta}{d} - \sqrt{\delta^2 + d^2} \right\} \quad (3)$$

ただし， $\alpha = l + m + \delta$ ， $\beta = l + \delta$ ， $\gamma = m + \delta$ ．もし， l と m が重なる場合， δ の符号は負となる．

$l = m$ で $\delta = -l$ の場合，

$$M = \frac{\mu_0}{2\pi} \left\{ l \sinh^{-1} \left(\frac{l}{d} \right) - \sqrt{l^2 + d^2} + d \right\} \quad (4)$$

同一線上 ($d = 0$) の場合，

$$M = \frac{\mu_0}{4\pi} \{ \alpha \ln \alpha - \beta \ln \beta - \gamma \ln \gamma + \delta \ln \delta \} \quad (5)$$

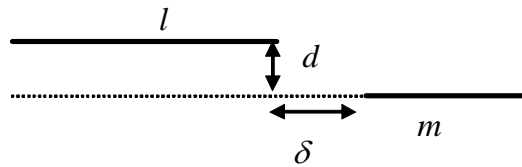


図 2: 平行線

図 3 に斜め線を示す． d は平面 BPC と線分 ab の平行平面との距離であり，線分 l ， m の各端点からの距離を $Bb = R_1$ ， $Ba = R_2$ ， $Aa = R_3$ ， $Ab = R_4$ で表す．線状の斜め線の相互インダクタンス M [3]は，

$$M = \frac{\mu_0 \cos \theta}{2\pi} \left\{ (l'+l) \tanh^{-1} \frac{m}{R_1 + R_2} + (m'+m) \tanh^{-1} \frac{l}{R_1 + R_4} - l' \tanh^{-1} \frac{m}{R_3 + R_4} - m' \tanh^{-1} \frac{l}{R_2 + R_3} - \frac{1}{2} \frac{\Omega d}{\sin \theta} \right\} \quad (6)$$

ただし, $\cos \theta = \frac{\alpha^2}{2lm}$, $\alpha^2 = R_4^2 - R_3^2 + R_2^2 - R_1^2$,

$$l' = \frac{\{2m^2(R_2^2 - R_3^2 - l^2) + \alpha^2(R_4^2 - R_3^2 - m^2)\}l}{4l^2m^2 - \alpha^4}, \quad m' = \frac{\{2l^2(R_4^2 - R_3^2 - m^2) + \alpha^2(R_2^2 - R_3^2 - l^2)\}m}{4l^2m^2 - \alpha^4},$$

$$R_1^2 = (l'+l)^2 + (m'+m)^2 - 2(l'+l)(m'+m)\cos \theta, \quad R_2^2 = (l'+l)^2 + m'^2 - 2m'(l'+l)\cos \theta, \quad R_3^2 = l'^2 + m'^2 - 2l'm'\cos \theta,$$

$$R_4^2 = l'^2 + (m'+m)^2 - 2l'(m'+m)\cos \theta, \quad d^2 = R_3^2 - l'^2 - m'^2 + 2l'm'\cos \theta,$$

$$\Omega = \tan^{-1} \left\{ \frac{d^2 \cos \theta + (l'+l)(m'+m)\sin^2 \theta}{dR_1 \sin \theta} \right\} - \tan^{-1} \left\{ \frac{d^2 \cos \theta + (l'+l)m'\sin^2 \theta}{dR_2 \sin \theta} \right\} + \tan^{-1} \left\{ \frac{d^2 \cos \theta + l'm'\sin^2 \theta}{dR_3 \sin \theta} \right\} - \tan^{-1} \left\{ \frac{d^2 \cos \theta + l'(m'+m)\sin^2 \theta}{dR_4 \sin \theta} \right\}$$

同一平面の場合, $d=0$ より式(5)の最後の項は0である.

2配線が直交する場合,

$$M = 0 \quad (7)$$

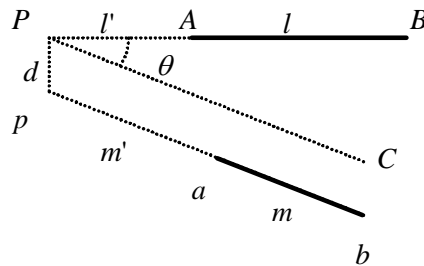


図 3: 斜め線

配線構造等の条件と使用する式の間係を表 1 に纏める .

表 1: 使用する式の条件

条件	式
自己インダクタンス	(2)
相互インダクタンス, 異長平行	(3)
等長平行	(4)
同一線上	(5)
斜め ($0 < \theta < 90$)	(6)
直角 ($\theta = 90$)	(7)

2.3 実配線に対する解析式の精度検証

実用上の LSI の配線構造で, 式(2)から式(7)の精度を検証する . 配線構造は, 表 2 に示す ITRS1999 の $0.1\mu\text{m}$ テクノロジ・ノードにおける GM 層のパラメータ[9]を基本とし, 精度比較の基準に三次元電磁界解析ツール Raphael[2]を使用する .

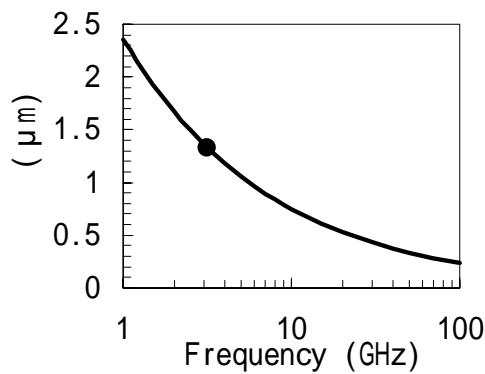
表 2: ITRS1999 の GM 層配線関連パラメータ

パラメータ	値
最小線幅 w_1 (μm)	0.23
厚み t (μm)	0.621
最小ピッチ p_1 (μm)	0.46
最小間隔 s_1 (μm)	0.23
層間膜厚 h (μm)	0.644
Cu 抵抗率 ρ ($\mu \cdot \text{cm}$)	2.2
最高動作周波数 f_{clk} (GHz)	0.98

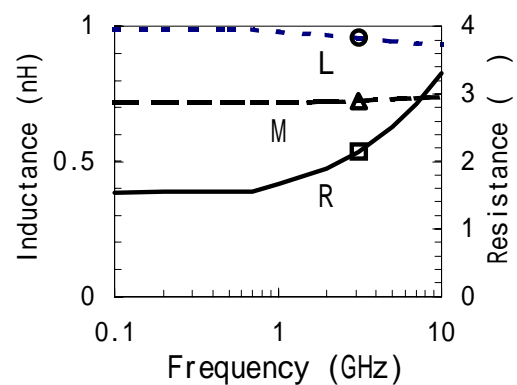
2.3.1 表皮効果

周波数が高くなると、表皮効果や近接効果が、抵抗やインダクタンスに変化を及ぼす。表皮深さ δ は、 $\delta = \sqrt{\frac{\rho}{\mu\pi f}}$ で表される。しかし、通常の配線では、表皮効果の影響はほとんどないことが文献[10]に報告されている。表 2 の条件では、配線寸法が表皮深さより小さいことから、図 4 (a) に示すように表皮効果を考慮する必要がないことがわかる。ただし、最大周波数 f_{max} は、 $t_r = 1/(10f_{clk})$ を仮定し、台形波の近似より[11]、 $f_{max} = 1/(\pi \cdot t_r) \cong 3.12 \text{ GHz}$ を用いる。この周波数では $\delta \cong 1.34 \mu\text{m}$ である。

図 4(b) に平行 2 配線における抵抗とインダクタンスの周波数特性を示す。配線構造は長さ 1mm、幅 $23\mu\text{m}$ 、厚み $0.621\mu\text{m}$ 、間隔 $0.23\mu\text{m}$ である。この構造では、抵抗 R は $f = 1\text{GHz}$ 辺りから急激に増加するが、インダクタンス L, M はあまり変化しないことがわかる。



(a) 表皮深さ



(b) 平行 2 配線の周波数特性

図 4: 表皮効果

2.3.2 さまざまな 2 配線

配線構造により表皮効果や近接効果の影響, および導体中心間距離と GMD との差が顕著に現れると, 解析式の近似精度は劣化する. そこで, さまざまな 2 配線 l, m の構造で式の精度を検証する. 図 5 に配線構造とパラメータの定義を示す.

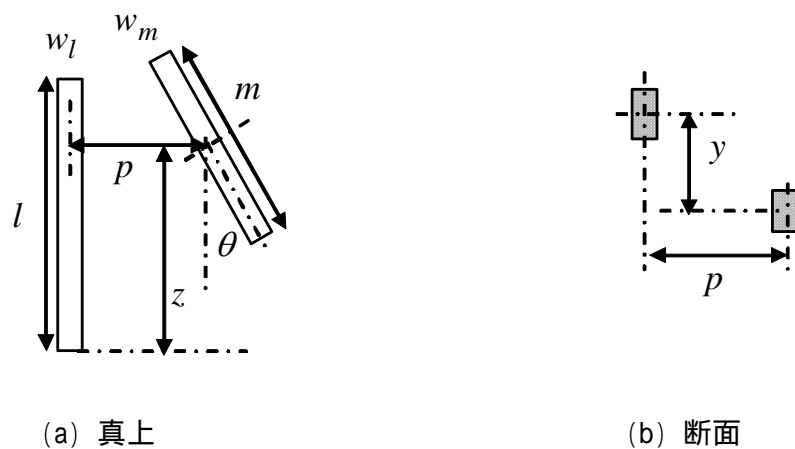


図 5: 2 配線の構造

(1) 等長平行配線

配線長, 配線間隔, 配線幅を変化させた時の解析式と三次元電磁界解析ツールによるインダクタンスを比較し, それぞれ図 6, 図 7, 図 8 に示す. 配線が長く, 配線間隔が広く, 配線幅が狭い程, 式と電磁界解析ツールの結果は一致することがわかる.

図 6 と図 7 から最小間隔, 最小線幅の 10 倍以下, 配線長 $100\mu\text{m}$ 以上の平行配線では, M の相対誤差は約 3% 以内, L は約 0.1% 以内である. 長さが $10\mu\text{m}$ で, M は約 0.5%, L は約 6% である.

図 8 と図 9 が, 幅広になるに従い式の精度が劣化するの配線の断面が無視できなくなる

ためである。2 配線の幅が異なる程，また層が異なる時，特に式の精度が劣化する。しかし，最小線幅の 10 倍程度までは， M の誤差は約 3% 以内， L は約 0.1% 以内である。

各図において，配線 m の電磁界解析ツールおよび本手法による自己インダクタンスをそれぞれ L_{m_Solver} ， L_{m_Eq} と表記し，電磁界解析ツールおよび本手法の相互インダクタンスをそれぞれ M_{Solver} ， M_{Eq} と表記する。

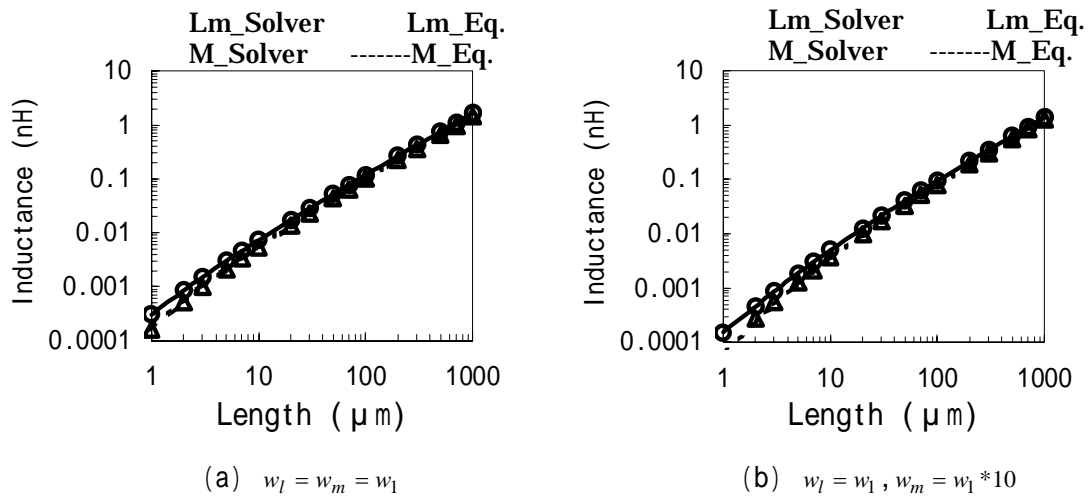


図 6: 等長平行配線の配線長依存性 ($s = s_1, \theta = 0^\circ, z = l/2, y = 0$)

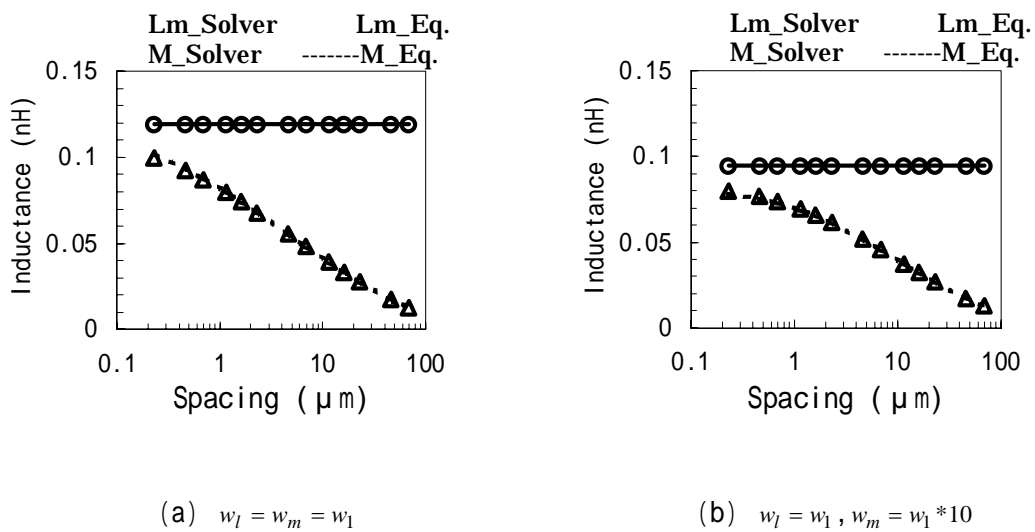
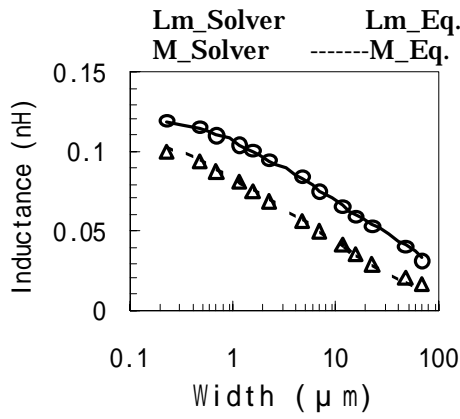
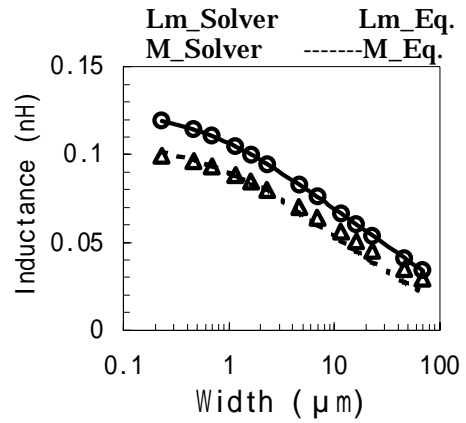


図 7: 等長平行配線のスペーシング依存性 ($l = m = 100 \mu\text{m}, \theta = 0^\circ, z = l/2, y = 0$)

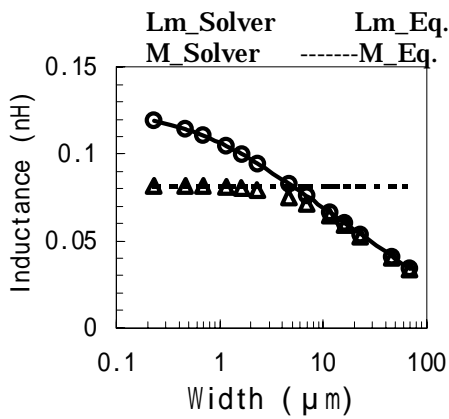


(a) $w_l = w_m$

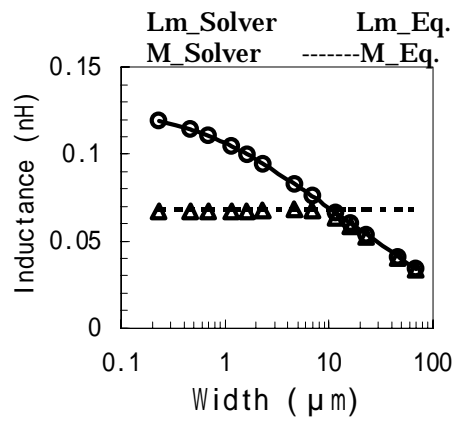


(b) $w_l = w_1$

図 8: 同層の等長平行配線の配線幅依存性 ($l = m = 100 \mu\text{m}$, $s = s_1$, $\theta = 0^\circ$, $z = l/2$, $y = 0$)



(a) $p = 0$



(b) $p = p_1 * 5$

図 9: 異層の等長平行配線の配線幅依存性

$$(l = m = 100 \mu\text{m}, w_l = w_1, \theta = 0^\circ, z = l/2, y = h+t)$$

(2) 異長平行配線

長さの異なる平行配線のインダクタンスの比較を図 10 に示す. M は約 5%以内, L は約 0.1% 以内で一致する.

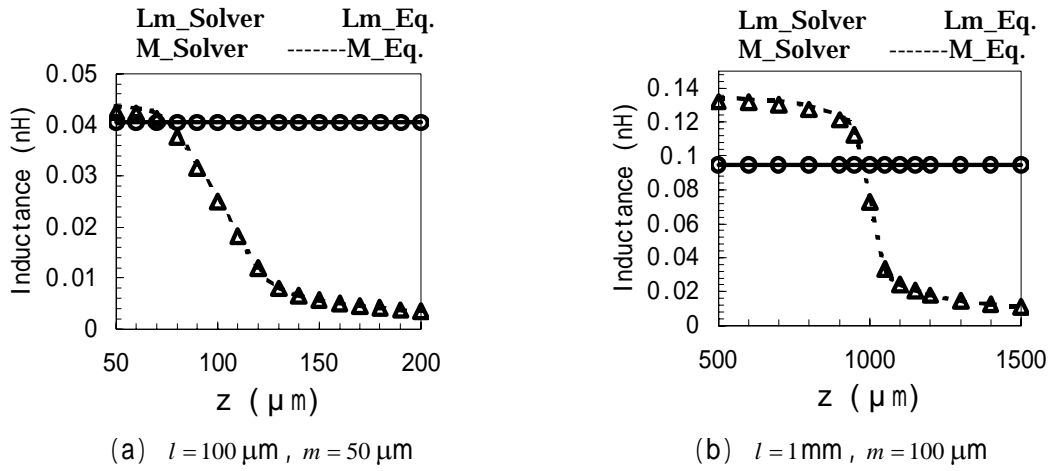


図 10: 異長平行配線の z (長さ) 方向依存性 ($w_l = w_1, w_m = w_1 * 10, s = s_1, \theta = 0^\circ, y = 0$)

(3) 斜め配線

斜め配線のインダクタンスの比較を示す。図 11 は同層配線における長さ方向の中心間隔を固定にして角度を変更した場合である。図 12 は異層配線における配線 l, m の終端を $x = 0$ に固定して、角度を変更した場合である。図 11 では M は約 0.1%以内、 L は約 5%以内で一致する。図 12 では M は約 13%以内、 L は約 5%以内で一致する。

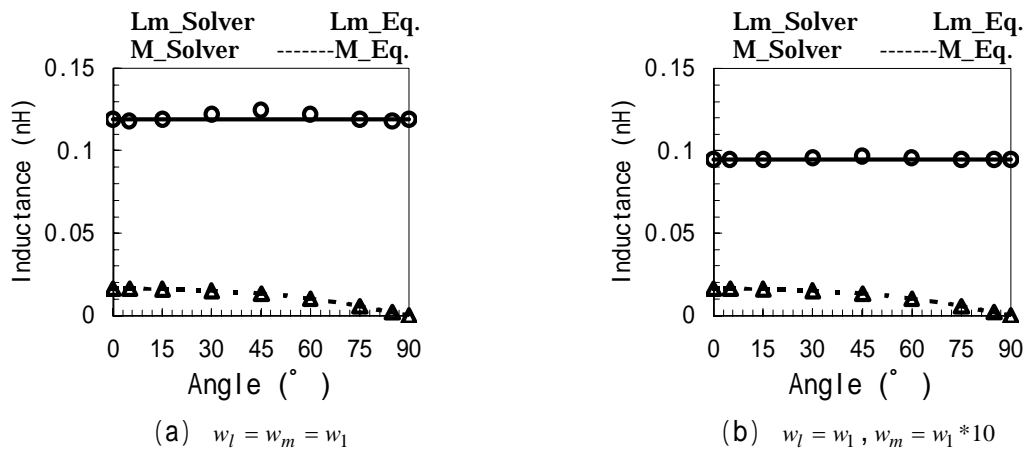


図 11: 同層斜め配線の角度依存性 ($l = m = 100 \mu\text{m}, p = w_l/2 + s_1 + m/2, z = l/2, y = 0$)

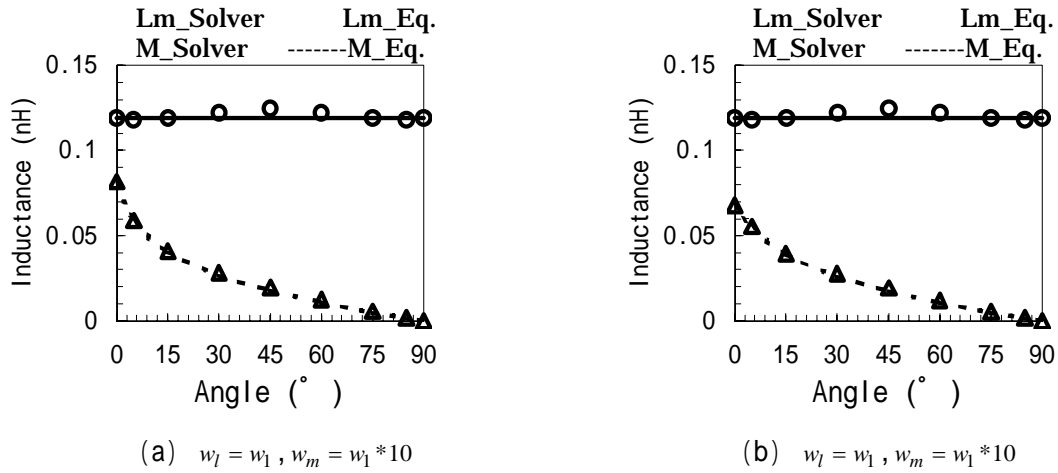


図 12: 異層斜め配線の角度依存性

$$(l = m = 100 \mu\text{m}, w_l = w_m = w_1, p = (m/2)\sin\theta, z = l - (m/2)\cos\theta)$$

表 3 に代表的な構造における式の精度を纏める. 最小線幅の 10 倍までは, 式の精度が高いことがわかる.

表 3: 各種 2 配線の代表的な構造における式と電磁界解析ツール[2]の比較

Structure											Self-Inductance L_m			Mutual-Inductance M		
l (μm)	m (μm)	w_l (μm)	w_m (μm)	p (μm)	t (μm)	s (μm)	f (GHz)	θ ($^\circ$)	z (μm)	y (μm)	Solver (nH)	Eq. (nH)	Err (%)	Solver (nH)	Eq. (nH)	Err (%)
100	100	0.23	0.23	0.46	0.621	0.23	3.12	0	50	0	0.1192	0.1192	0.0	0.09951	0.1016	2.1
100	100	0.23	0.23	0.69	0.621	0.46	3.12	0	50	0	0.1192	0.1192	0.0	0.09249	0.09353	1.1
100	100	0.23	2.3	1.5	0.621	0.23	3.12	0	50	0	0.09464	0.09466	0.0	0.08015	0.07822	-2.4
100	100	2.3	2.3	2.53	0.621	0.23	3.12	0	50	0	0.09459	0.09466	0.1	0.06943	0.06790	-2.2
100	100	0.23	2.3	0	0.621		3.12	0	50	1.27	0.09464	0.09466	0.0	0.07950	0.08152	2.5
100	100	0.23	0.23	2.3	0.621		3.12	0	50	1.27	0.09464	0.09466	0.0	0.06748	0.06804	0.8
10	10	0.23	2.3	1.5	0.621	0.23	3.12	0	5	0	0.005003	0.004980	-0.5	0.003670	0.003475	-5.3
1000	1000	0.23	2.3	1.5	0.621	0.23	3.12	0	500	0	1.405	1.4059	0.1	1.259	1.240	-1.5
1000	100	0.23	2.3	1.5	0.621	0.23	3.12	0	1000	0	0.09464	0.09466	0.0	0.03336	0.03339	0.1
100	50	0.23	2.3	1.5	0.621	0.23	3.12	0	50	0	0.04047	0.04046	0.0	0.04254	0.04359	2.5
100	100	0.23	2.3	25	0.621		3.12	30	56.7	1.27	0.09595	0.09466	-1.3	0.02836	0.02683	-5.4
100	100	0.23	2.3	35.4	0.621		3.12	45	64.6	1.27	0.09665	0.09466	-2.1	0.01980	0.01787	-9.7
100	100	0.23	2.3	50.3	0.621		3.12	30	50	0	0.09595	0.09466	-1.3	0.01510	0.01510	0.0
100	100	0.23	2.3	50.3	0.621		3.12	45	50	0	0.09665	0.09466	-2.1	0.01330	0.01331	0.0

ただし, パラメータの定義は図 5 参照. また図 6 から図 12 にない構造も含む.

2.4 適用例

斜め配線を含む現実的な LSI の配線パターンを模擬した図 13 の例で、高速三次元電磁界解析ツール FastHenry[1]と式ベースの本手法のインダクタンス抽出における精度と処理速度を比較し、有効性を示す。

一般に大規模 LSI の RC 寄生素子抽出ツールでは、2.5D または擬似 3D と呼ばれる手法が広く利用されている。これはレイアウトを真上から見た XY 平面において、X および Y 方向で断面の変化する所を 1 つのセグメントとし、例えば RC-型に集中定数化する方法である。

インダクタンス抽出においても、既存 RC 抽出方法との整合性を取るために、図 13 に示すようにレイアウトを真上から見た平面で格子状に分割して、部分インダクタンスを求める方法が有効と考える。

配線の分岐、交差や折れ曲がる所をセグメントとし、区分けされた全配線の部分自己インダクタンスと全組み合わせの配線間の部分相互インダクタンスを求める。例えば、配線が分岐された場合には、各々の自己インダクタンスと相互インダクタンスを別個に求め、RC 集中定数に L を加えることで、配線を LRC 集中定数に近似する。

このような手続きに必要とされるインダクタンスを図 13 の配線レイアウトから求める。配線幅は最小 w_1 とその 10 倍と 100 倍を使用し、斜めと直交配線が含まれ、最上層と直下の層の 2 層配線から構成される。本章の比較に用いた条件は表 4 の通りである。誤差は、表 4 の手法 A を基準とする。例えば本手法の RMS 誤差は以下で定義する。

$$RMS \text{ 誤差} = \sqrt{\frac{1}{n} \sum_{i=1}^n \left(\frac{\text{本手法} - A}{A} \right)^2} \times 100 \% \quad (8)$$

図 13 の例において、異層を接続するビアの深さは最大で数 μm であることから、ビア配線を

無視すると 43×43 の部分インダクタンス行列となる。

配線が密集している個所(図 13 の円内)において, 提案手法を用いて求められたインダクタンス行列 \mathbf{L}_{eq} と, 手法 A により求められた行列 \mathbf{L}_{solver} を示す. 単位は pH である. 自己および相互インダクタンス共に良く一致している.

$$\mathbf{L}_{eq} = \begin{bmatrix} 119.2 & 16.51 & 0 & 0 & 101.6 & 8.562 & 9.548 \\ & 94.66 & 0 & 0 & 16.40 & 4.958 & 5.873 \\ & & 52.70 & 6.701 & 0 & 1.880 & 0 \\ & & & 52.70 & 0 & 1.999 & 0 \\ & & & & 119.2 & 8.661 & 9.502 \\ & & & & & 79.42 & 10.24 \\ & & & & & & 52.70 \end{bmatrix} \quad (9)$$

$$\mathbf{L}_{solver} = \begin{bmatrix} 119.2 & 16.47 & 0 & 0 & 99.49 & 8.558 & 9.516 \\ & 94.53 & 0 & 0 & 16.36 & 4.945 & 5.856 \\ & & 52.69 & 6.698 & 0 & 1.880 & 0 \\ & & & 52.69 & 0 & 1.999 & 0 \\ & & & & 119.2 & 8.651 & 9.487 \\ & & & & & 79.39 & 10.24 \\ & & & & & & 52.68 \end{bmatrix} \quad (10)$$

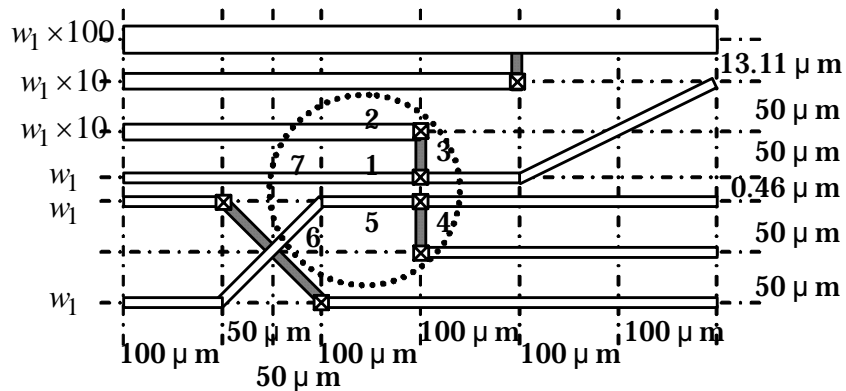


図 13: 配線(斜線は下層)の例

$$(w_1 = 0.23 \mu\text{m}, t = 0.621 \mu\text{m}, h = 0.644 \mu\text{m}, f = 3.12 \text{ GHz}, z = l - (m/2)\cos\theta)$$

表 4: に使用した条件

手法	条件
A	全体回路, $f = 3.12\text{GHz}$, 分割数 $t=5, w_1, w_1 \times 10, w_1 \times 100 = 3, 7, 11$
B	全体回路, $f = 1\text{MHz}$, 分割数 $t=5, w_1, w_1 \times 10, w_1 \times 100 = 3, 7, 11$
C	全体回路, $f = 3.12\text{GHz}$, 分割数 $t, w_1, w_1 \times 10, w_1 \times 100 = 1, 1, 1$
本手法	全体回路
A', *1	幅広 ($w_1 \times 100$) 配線を除く回路, 他の条件は A と同じ
本手法', *1	幅広 ($w_1 \times 100$) 配線を除く回路

ただし, 手法 A, B, C, A' は FastHenry である. 全体回路は 43×43 , *1 は 26×26 の部分インダクタンス行列となる.

図 14 に, L_{eq} と L_{solver} の全行列要素についての相対誤差の分布を示す. 定量的には誤差約 3%以内であることがわかる.

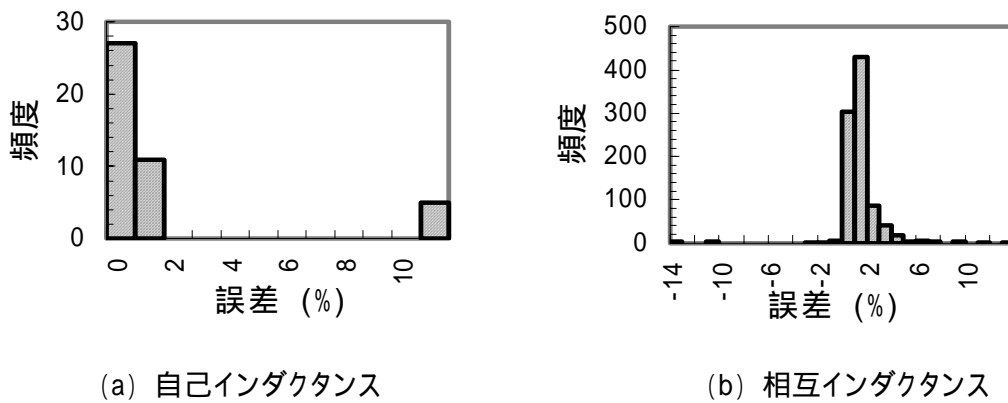


図 14: 誤差の分布

表 5 に, 各手法の最大, 絶対値平均, RMS 誤差をそれぞれ示す. 表 6 に処理速度の比較を示す. 表 5 より, 本手法の精度は手法 B および C とほぼ同じであり, 平均誤差は小さいこと

がわかる。B は表皮・近接効果の影響がほとんど出ない周波数での結果であり、C は断面を分割しない場合の結果である。B、C および本手法において、10%以上の最大誤差を与えたのは、幅広配線とその近傍のインダクタンスである。 $w_1 \times 100$ の配線を除くと、表5からわかるように、最大誤差は約3%となる。

この時、表6に示すように、電磁界解析ツールで最も高速と思われる条件設定Cに比べ、本手法の処理速度は60倍以上速い。また、誤差をなくすために、電磁界解析ツールでの手法Aのような解析を行うと、本手法より、2万倍以上処理時間を要することがわかる。

本手法は、極端に幅広でない配線、本解析結果では $w_1 \times 10$ 程度までは非常に高精度に適用可能である。また、処理速度も電磁界解析ツールに比べ、60倍以上高速であり、VLSI のオンチップ・インダクタンスの抽出には実用的である。

表5: 図13における本手法の精度

手法	自己インダクタンス L の誤差 (%)			相互インダクタンス M の誤差 (%)		
	最大	絶対値 平均	RMS	最大	絶対値 平均	RMS
B	11.1	1.6	3.8	9.7	0.5	1.1
C	11.1	1.6	3.8	9.7	0.4	1.1
本手法	11.0	1.1	3.7	-14.8	0.8	1.7
本手法 ^{*1}	0.1	0.0	0.0	3.1	0.3	0.5

ただし、表の数値は、手法Aを基準にした誤差である。^{*1}は $w_1 \times 100$ を除いた回路で、手法A'と本手法を比較したものである。

表 6: 図 13 における本手法の処理速度

手法	CPUTIME (sec)	本手法との CPUTIME 比
A	152.13	20017
B	64.07	8430
C	0.49	64
本手法	0.0076	1

ただし, Sun Ultra 80 (450MHz UltraSPARC-II, 1 Processor, 4GB Memory) を使用した結果である. それぞれの CPUTIME には, ファイルのリード・ライト時間は含まれない.

2.5 むすび

幾何学的平均距離 GMD から求めた自己インダクタンスの近似式と線状の平行線および斜め線の相互インダクタンスの正確な式を用いて, オンチップ・インダクタンスを抽出する方法を提案した. 周波数等に影響する表皮効果や近接効果を考慮して厳密に三次元電磁界解析ツールで求めなくても, 極端に幅広配線でなければ, 十分な精度が得られることを示した.

0.1 μ m テクノロジ・ノードの動作周波数や配線パラメータで, 自己インダクタンスの式は最小線幅の 10 倍までは電磁界解析ツールに対して最大で平行配線が約 0.5%以内, 斜め配線が約 5%以内であった. また相互インダクタンスは平行配線が約 5%以内, 斜め配線が約 13%以内で一致した. また, 現実的な配線レイアウト例に適用した結果, 式による精度は電磁界解析ツールに対して絶対値平均誤差で約 1%, 幅広配線を除いた最小線幅の 10 倍までの配線構造に限定すれば最大誤差で約 3%であった. 構造により精度はばらつくが, 最小線幅の 10 倍程度までならばあらゆる構造において本章で示した式が使用可能である. また, 適用例において処理速度は電磁界解析ツールに対して 60 倍以上高速であった. 式ベースの本手法は, 斜め配線を含む VLSI のオンチップ・インダクタンス抽出に有効である.

2.6 第2章の参考文献

- [1] M. Kamon, M. J. Tsuk, and J. White, "FASTHENRY: a multipole accelerated 3D inductance extraction program," *IEEE Journal on Microwave Theory & Techniques*, pp. 1750-1758, Sep. 1994.
- [2] Raphael version 2000.4, Avant! Corporation.
- [3] F. W. Grover, *Inductance Calculations: Working Formulas and Tables*, Dover Publications, Inc., New York, 1946.
- [4] A. E. Ruehli, "Inductance calculations in a complex integrated circuit environment," *IBM Journal of Research and Development*, pp. 470-481, Sep. 1972.
- [5] C.-K. Cheng, J. Lillis, S. Lin and N. Chang, *Interconnect analysis and synthesis*, John Wiley & Sons, Inc., 2000.
- [6] Y.-C. Lu, M. Celik, T. Young, and L. T. Pileggi, "Min/max on-chip inductance models and delay metrics," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 341-346, June 2001.
- [7] G. Zhong, C.-K. Koh, and K. Roy, "A twisted-bundle layout structure for minimizing inductive coupling noise," in *Proc. IEEE/ACM Int. Conf. on Computer-Aided Design*, pp. 406-411, Nov. 2000.
- [8] X Initiative, <http://www.xinitiative.org/>.
- [9] "International technology roadmap for semiconductors," SIA Rep., 1999.
- [10] T. Mido and K. Asada, "An analysis on high-frequency interconnections in VLSI considering inductive effects," Technical report of IEICE, VLD98-84, 1998.
- [11] B. Krauter, S. Mehrotra, and V. Chandramouli, "Including inductive effects in interconnect timing analysis," in *Proc. IEEE Int. Custom Integrated Circuits Conf.*, pp. 445-452, May 1999.

第3章 相互インダクタンスを効果的に抽出するための近似式

本章では、VLSI 配線の相互インダクタンスを効率よく抽出する新しい近似式ベースのアプローチを提案する。その近似式は、配線をフィラメントと仮定した時に正確な式をテーラー展開し、その配線間の距離に関する項において、配線断面を有限幅とゼロ厚みと仮定して導出することによって得られる。現実的な LSI の配線は、ほとんど表皮・近接効果の影響を受けないので、配線断面内は均一電流密度を仮定する。多項式の近似は精度と計算コスト間のバランスを与える。開発した式は配線ジオメトリに応じて最も適したものが使われる。それは設計者が要求する精度に応じて、インダクタンスの抽出時間を最小にする式である。

ITRS 2003 のグローバル配線の構造を基に評価した結果、提案する近似式は3次元電磁界解析ツールを使って求めた相互インダクタンスに対して、数%以内であった。また、提案する抽出方法を、30万配線セグメントの実際のレイアウトに適用した結果を示す。

3.1 まえがき

VLSI 回路のクロック周波数の増大に伴い、オンチップのインダクタンスの遅延に与える影響が懸念されてきている。RC と RLC の配線遅延の差は 10%以上に成り得る[1-3]。従って寄生インダクタンスの抽出は正確にタイミング設計する上でますます重要となってきた。本来インダクタンスは閉回路の電流経路が確定して意味のあるものである。これをループ・インダクタンスと呼ぶ。しかし、LSI 上の電流帰路を正確に抑えることは非常に難しく、インダクタンス計算手法として、部分等価素子回路 (PEEC: Partial Equivalent Element Circuit) 法が開発された[4-6]。この電流帰還を考慮しない方法で求められたインダクタンスを部分インダクタンスと呼ぶ。

LSI の配線のインダクタンス抽出として、三次元電磁界解析ツール[7, 8]が広く使われている。これらは、周波数の増大により顕著となる表皮・近接効果を正確に解析できる反面、その処理時間が莫大なため、数千の配線にしか適用できない。より高速に計算させるために、解析式が提案されている[9-11]。最近の論文によく出てくる自己インダクタンスの解析式は配線断面の幾何学的平均距離(GMD: Geometric Mean Distance)によって近似された式であり、相互インダクタンスの方は配線を線状配線に近似した式である。相互インダクタンスは平行配線だけでなく斜め配線においても線状配線に近似した式が有効であるが、これらの解析式は配線が長い場合のみ良い精度が得られる[12]。しかし、実際の LSI は短い配線も幅の広い配線もあり、全ての条件において、線状配線に近似した式を適用することはできない。

Grover は相互インダクタンスの計算のためにテーブル・モデルを開発した[9]が、異なる層の配線には適用できない。正確なインダクタンスを求める式も提案された[13]が、式の複雑さゆえに計算時間を要する。自己インダクタンスの計算時間は区分けされた配線の数にほぼ比例するが、相互インダクタンスの計算は配線数の二乗にほぼ比例する。例えば、100 万の配線セグメントの場合、自己インダクタンスはそのセグメント数に等しいが相互インダクタンスは約 1 兆に及ぶ。すなわち、配線インダクタンス抽出には、相互インダクタンスの計算時間の短縮が必須である。

インダクタンスを抽出する方法として、有限要素法やモーメント法等を用いた電磁界解析ツールを直接使う方法や、テーブル・モデルを使う方法、または解析式を使う方法がある。電磁界解析による方法は処理時間の関係で小規模回路にしか使えず、またテーブル・モデルを使う方法はプロセス毎に膨大な前処理を必要とする。それらに比べ、解析式は前準備が不要でかつ大規模回路に適用可能という特長を有する。大規模 LSI の配線インダクタンスを実用的な精度で高速に抽出する方法が必要である。最も処理時間を要する相互インダクタンスを高速かつ高い精度で抽出するためのインダクタンス近似式およびその抽出方法を開発する。

本章では、VLSI 配線の相互インダクタンスを効率よく抽出する新しい近似式ベースのアプ

ローチを提案する。3.2 章で幾何学的平均距離と相互インダクタンスについてレビューし, 3.3 章で相互インダクタンスの新しい近似式を示し, 3.4 章でその開発した近似式の精度と有効な構造を明示し, 3.5 章で纏める。

3.2 幾何学的平均距離と相互インダクタンス

この章では, 2 つの導体間の相互インダクタンスを計算するために使われる GMD とインダクタンスを計算する式をレビューする。

3.2.1 相互インダクタンスの式

図 1(a) に示す線状の等長並行 2 配線間の正確な相互インダクタンスは次式で表される。

$$dM_l = \frac{\mu_0 l}{2\pi} \left(\ln \left(\frac{l}{r} + \sqrt{1 + \left(\frac{l}{r} \right)^2} \right) - \sqrt{1 + \left(\frac{r}{l} \right)^2} + \frac{r}{l} \right) \quad (1)$$

ただし, l は配線長, r は配線間の距離である。図 1(b) の異長の場合は 4 つの等長並行配線部に区分けして上式を適用することで求めることができる。

$$dM = \frac{1}{2} ((dM_{l+m+\delta} + dM_{\delta}) - (dM_{l+\delta} + dM_{m+\delta})) \quad (2)$$

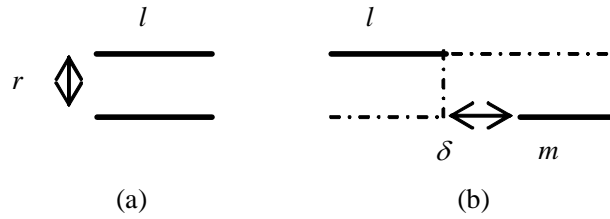


図 1: 異長並行配線

3.2.2 幾何学的平均距離

線状配線間の相互インダクタンスは、配線長が配線間距離より非常に大きい場合 ($l \gg r$) は次の式で近似できる。

$$dM \cong \frac{\mu_0 l}{2\pi} \left(\ln \left(\frac{2l}{r} \right) - 1 \right) \quad (3)$$

有限の断面積からなる 2 配線間の相互インダクタンスは、式(3)の幾何学的平均距離を求めることによって、以下の式で表される。

$$\begin{aligned} M &= \frac{\mu_0 l}{2\pi} \frac{1}{S_1 S_2} \int_{S_1} dS_1 \int_{S_2} \left(\ln \left(\frac{2l}{r} \right) - 1 \right) dS_2 \\ &= \frac{\mu_0 l}{2\pi} \left((\ln(2l) - 1) - \frac{1}{S_1 S_2} \int_{S_1} dS_1 \int_{S_2} \ln r dS_2 \right) \end{aligned} \quad (4)$$

$$\ln R = \frac{1}{S_1 S_2} \int_{S_1} dS_1 \int_{S_2} \ln r dS_2 \quad (5)$$

ただし, S_1 と S_2 は導体の断面積, R は GMD を表し, 2 導体の自然対数の平均距離から求められる.

有限断面をもつ 2 つの配線間の正確な相互インダクタンスは, それぞれの断面を無数のフィラメントに分割し, それぞれのフィラメント間の相互インダクタンスを平均したものに等しい.

$$M = \lim_{m \rightarrow \infty, n \rightarrow \infty} \frac{1}{m \cdot n} \sum_{i=1}^m \sum_{j=1}^n dM_{ij} \quad (6)$$

ただし, i, j は 2 つの導体の断面のフィラメントを意味する. 式(4)は GMD を考慮した近似式であり, $l \gg r$ の条件で高い精度が得られる. しかしながら, $l \gg r$ の条件が成立しない構造では精度が劣化する. 次の章では, より良い精度を得るための近似式を提示する.

3.3 提案する近似式

VLSI の配線間の相互インダクタンスを配線構造に応じて, 高速に計算するための新しい近似式を提案する. 最近の CMOS プロセスでは配線パラメータにおおよそ次の関係がある.

$$w_{min} \cong s_{min} \cong 0.5t \cong 0.5h_{min}, w \geq w_{min}, s \geq s_{min}, h \geq h_{min} \quad (7)$$

ただし, w_{min} は最小線幅, s_{min} は最小スペーシング, t は配線の厚み, h_{min} は配線層間の絶縁体の最小の高さである. また線状配線間の式は, それぞれの配線断面が円に近いほど, その幾学的平均距離が中心間距離 r に近くなるので正確である. これらのことを考慮すると, 一般の LSI の配線において, 幅広配線以外は線状配線間の式で十分な精度が得られることがわかる.

図2に、配線をバーと仮定した2配線の断面構造を示す。バー近似の2つの断面間の距離に関する平均 $f(r)$ は、フィラメント間の距離の関数 $g(r)$ を使って以下で表される。

$$f(R) = \frac{1}{w_l \cdot w_m} \int_{\alpha_{21}}^{\alpha_{22}} \int_0^{w_l} g(r) dx_1 \quad (8)$$

ただし、 w_l と w_m は配線 l と m の幅、 p_x と p_y は配線中心間の x と y 方向の距離、 α_{ij} は $\alpha_{21} = p_x + w_l/2 - w_m/2$ と $\alpha_{22} = p_x + w_l/2 + w_m/2$ である。

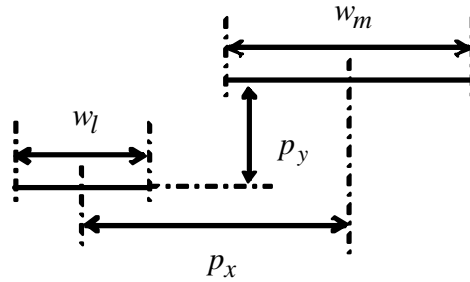


図2: 薄い2配線の断面

3.3.1 線状配線間の相互インダクタンスの近似式

線状配線間の正確な相互インダクタンスの式を $l \gg r$ を境にしてテーラー展開することで、以下のような多項式が導ける。必要な精度と処理速度に応じて、使う側は適切な式を用いることができる。

$l \gg r$ の時、

$$dM = \frac{\mu_0 l}{2\pi} \left(\ln\left(\frac{2l}{r}\right) - 1 + \frac{r}{l} - \frac{1}{4} \frac{r^2}{l^2} + \dots \right) \quad (9)$$

$l \leq r$ の時,

$$dM = \frac{\mu_0 l}{2\pi} \left(\frac{1}{2} \cdot \frac{l}{r} - \frac{1}{24} \cdot \frac{l^3}{r^3} + \dots \right) \quad (10)$$

式(9)の第2項までで打ち切ると, 前述した式(3)が得られる. 同様に第3, 4項まででそれぞれ打ち切ると,

$$dM \cong \frac{\mu_0 l}{2\pi} \left(\ln \left(\frac{2l}{r} \right) - 1 + \frac{r}{l} \right) \quad (11)$$

$$dM \cong \frac{\mu_0 l}{2\pi} \left(\ln \left(\frac{2l}{r} \right) - 1 + \frac{r}{l} - \frac{1}{4} \frac{r^2}{l^2} \right) \quad (12)$$

同様に, 式(10)は次のように近似できる.

$$dM \cong \frac{\mu_0 l}{2\pi} \left(\frac{1}{2} \cdot \frac{l}{r} \right) \quad (13)$$

$$dM \cong \frac{\mu_0 l}{2\pi} \left(\frac{1}{2} \cdot \frac{l}{r} - \frac{1}{24} \cdot \frac{l^3}{r^3} \right) \quad (14)$$

3.3.2 幅広配線用に提案する近似式

線状配線間の式をテーラー展開した式に対して, 配線幅をもつ厚みゼロのバーを仮定し, 配線間隔に関する項の平均距離を求めることで幅広配線の近似式を作ることができる.

$l > r$ の時,

$$M \cong \frac{\mu_0 l}{2\pi} (\ln(2l) - 1 - \ln R_1) \quad (15)$$

$$M \cong \frac{\mu_0 l}{2\pi} \left(\ln(2l) - 1 - \ln R_1 + \frac{R_2}{l} \right) \quad (16)$$

$$M \cong \frac{\mu_0 l}{2\pi} \left(\ln(2l) - 1 - \ln R_1 + \frac{R_2}{l} - \frac{1}{4} \frac{R_3^2}{l^2} \right) \quad (17)$$

$l \leq r$ の時,

$$M \cong \frac{\mu_0 l}{2\pi} \left(\frac{1}{2} \cdot \frac{l}{R_4} \right) \quad (18)$$

$$M \cong \frac{\mu_0 l}{2\pi} \left(\frac{1}{2} \cdot \frac{l}{R_4} - \frac{1}{24} \cdot \frac{l^3}{R_5^3} \right) \quad (19)$$

距離に関する R_1 から R_5 は配線断面の厚みゼロを仮定した式(8)を解くことで求められる.

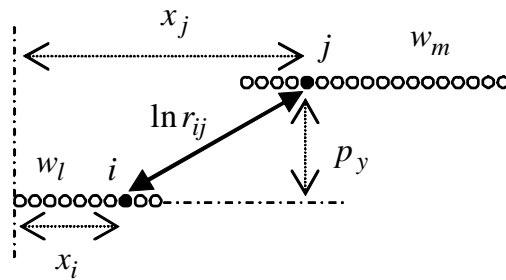


図 3: 配線断面のバー近似

ここで, 一例として図 3 に示す構造において, $\ln R_1$ を得る手順を詳述する. 2 つのバー配線の幅をそれぞれ w_m, w_l とし, それぞれのフィラメントの数を p, q とする. i と j 番目のフィラメント

間の距離は, $r_{ij} = \sqrt{(x_j - x_i)^2 + p_y^2}$ となる. 距離の自然対数は $\ln r_{ij}$ である. その時, 距離の自然

対数の平均は, $\ln R_1 = \frac{1}{pq} \sum_{i=1}^p \sum_{j=1}^q \ln r_{ij}$ によって表される. p, q の数は実際には無限大である. そ

の $\ln R_1$ は, 式(8)の $g(r)$ に $\ln \sqrt{(x_2 - x_1)^2 + p_y^2}$ を代入することで次式を得る.

$$\begin{aligned} f(R_1) = \ln R_1 &= \frac{1}{w_l \cdot w_m} \int_{\alpha_{21}}^{\alpha_{22}} dx_2 \int_0^{w_l} \ln \sqrt{(x_2 - x_1)^2 + p_y^2} dx_1 \\ &= -1.5 + \frac{1}{w_l w_m} \sum_{i=1}^2 \sum_{j=1}^2 \left((-1)^{i+j} \left(\frac{1}{4} (\alpha_{ij}^2 - p_y^2) \ln(\alpha_{ij}^2 + p_y^2) + \alpha_{ij} p_y \tan^{-1} \frac{\alpha_{ij}}{p_y} \right) \right) \end{aligned} \quad (20)$$

ただし, α_{ij} は $\alpha_{11} = p_x - w_l/2 - w_m/2$, $\alpha_{12} = p_x - w_l/2 + w_m/2$, $\alpha_{21} = p_x + w_l/2 - w_m/2$,
 $\alpha_{22} = p_x + w_l/2 + w_m/2$ である.

もし, $p_y = 0$ なら,

$$\ln R_1 = -1.5 + \frac{1}{2w_l w_m} \sum_{i=1}^2 \sum_{j=1}^2 \left((-1)^{i+j} \alpha_{ij}^2 \ln \alpha_{ij} \right) \quad (21)$$

同様に R_2 から R_5 も求めることができる. 平均距離, R_2 は,

$$R_2 = \frac{1}{2w_l w_m} \sum_{i=1}^2 \sum_{j=1}^2 \left((-1)^{i+j} \frac{1}{3} (\alpha_{ij}^2 - 2p_y^2) \left(\sqrt{\alpha_{ij}^2 + p_y^2} + \alpha_{ij} p_y^2 \ln \left(\alpha_{ij} + \sqrt{\alpha_{ij}^2 + p_y^2} \right) \right) \right) \quad (22)$$

もし, $p_y = 0$ なら,

$$R_2 = p_x \quad (23)$$

距離の2乗の平均, R_3^2 は,

$$R_3^2 = p_x^2 + p_y^2 + \frac{1}{12} (w_l^2 + w_m^2) \quad (24)$$

距離の逆数の平均, $1/R_4$ は,

$$\frac{1}{R_4} = \frac{1}{w_l w_m} \sum_{i=1}^2 \sum_{j=1}^2 \left((-1)^{i+j} \left(\alpha_{ij} \sinh^{-1} \left(\frac{\alpha_{ij}}{p_y} \right) - \sqrt{\alpha_{ij}^2 + p_y^2} \right) \right) \quad (25)$$

もし, $p_y = 0$ なら,

$$\frac{1}{R_4} = \frac{1}{w_l \cdot w_m} \sum_{i=1}^2 \sum_{j=1}^2 \left((-1)^{i+j} \alpha_{ij} \ln \alpha_{ij} \right) \quad (26)$$

距離の3乗の逆数の平均, $1/R_5^3$ は,

$$\frac{1}{R_5^3} = \frac{1}{p_y^2} \frac{1}{w_l w_m} \sum_{i=1}^2 \sum_{j=1}^2 \left((-1)^{i+j} \left(\sqrt{\alpha_{ij}^2 + p_y^2} \right) \right) \quad (27)$$

もし, $p_y = 0$ なら,

$$\frac{1}{R_5^3} = \frac{1}{2 \cdot w_1 \cdot w_2} \sum_{i=1}^2 \sum_{j=1}^2 \left((-1)^{i+j} \frac{1}{\alpha_{ij}} \right) \quad (28)$$

ここで示した R_1 は幾何学的平均距離, R_2 から R_5 は正確な相互インダクタンスの値に近づけるための算術的な平均距離である.

3.4 精度と有効範囲

本章では構造に応じてより高速・高精度な近似式を選択して, インダクタンスを計算するマルチ近似式ベースの L 抽出手法を提案する.

初めに近似式の精度を構造別に検証する. 図 4 のような 2 配線間の相互インダクタンスを電磁界解析ツール[7]と近似式で比較する. その構造の組み合わせは 5 万通り以上である.

3.4.1 簡易構造を使った評価

表 1 に全体(数万通り)構造に対してそれぞれの近似式が, 3%以内および 10%以内の誤差に納まる比率を示す. ここで高精度抽出精度の基準として誤差 3%を, 実用精度として 10%を用いた. 開発した式の内, 式(17)と(19)を使うと, 全体の 98%を 3%以内の誤差で相互インダクタンスを計算できることがわかる. 線状配線間の正確な式(1)は約 80%をカバーするが, 幅広配線では精度を確保できない. 表 2 には各解析式の相対処理時間を示す. 図 5 は誤差 3%以内で最も簡易(高速演算可能)な近似式のマップである. 表 3 はマップから構造別に最適な近似式を分けしたものである.

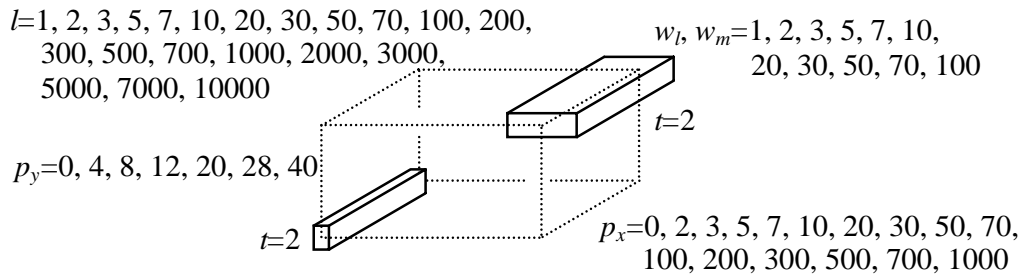


図 4: 精度比較で使われた構造

表 1: 全体の構造に対して各式がカバーできる比率

Equation	Coverage (%)	
	$\leq 3\%$ error	$\leq 10\%$ error
(3)	23.7 (43.6 in $l > r$)	35.1 (64.6 in $l > r$)
(11)	36.9 (67.9 in $l > r$)	45.1 (83.0 in $l > r$)
(12)	43.1 (79.2 in $l > r$)	52.0 (90.2 in $l > r$)
(13)	32.2 (70.3 in $l \leq r$)	41.3 (88.0 in $l \leq r$)
(14)	36.8 (79.5 in $l \leq r$)	43.5 (88.0 in $l \leq r$)
(1)	79.8	89.2
(15)	28.3 (52.1 in $l > r$)	37.1 (68.3 in $l > r$)
(16)	44.2 (81.5 in $l > r$)	48.8 (89.7 in $l > r$)
(17)	52.9 (97.3 in $l > r$)	56.7 (99.0 in $l > r$)
(18)	38.7 (84.9 in $l \leq r$)	46.3 (99.0 in $l \leq r$)
(19)	46.2 (98.8 in $l \leq r$)	49.9 (99.9 in $l \leq r$)

表 2: 各解析式の相対処理時間

Equation	Relative cost
(3)	1.0
(11)	1.2
(12)	1.2
(13)	0.7
(14)	0.8
(1)	1.4
(15)	4.3
(16)	7.0
(17)	7.2
(18)	4.5
(19)	4.5
Exact	67.9

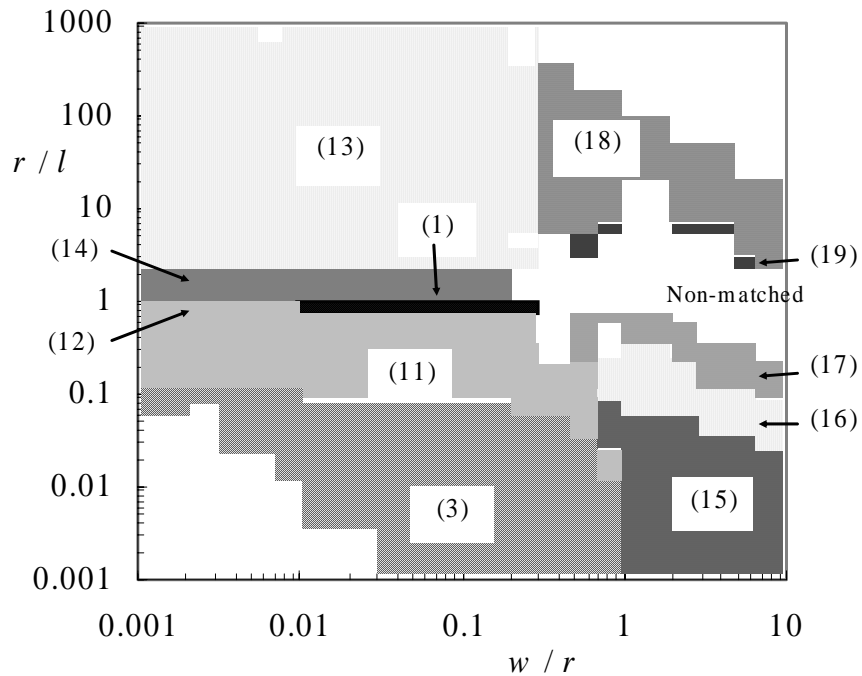


図 5: 3%以内の誤差に入る最適(高速処理可能)な式

表 3: 構造別最適式

Range	Equation
$2 \leq r/l$ & $w/r \leq 0.3$	(13)
$1 \leq r/l < 2$ & $w/r \leq 0.3$	(14)
$0.7 \leq r/l < 1$ & $w/r \leq 0.3$	(1)
$0.3 \leq r/l < 0.7$ & $w/r \leq 0.3$	(12)
$0.05 \leq r/l < 0.3$ & $w/r \leq 0.3$	(11)
$r/l < 0.05$ & $w/r \leq 0.3$	(3)
$7 \leq r/l$ & $0.3 < w/r$	(18)
$1 \leq r/l < 7$ & $0.3 < w/r$	(19)
$0.05 \leq r/l < 1$ & $0.3 < w/r$	(17)
$0.01 \leq r/l < 0.05$ & $0.3 < w/r$	(16)
$r/l < 0.01$ & $0.3 < w/r$	(15)

3.4.2 先端プロセス・テクノロジーの配線への適用

次に最適式を使って、ITRS の 2003 年予測構造(表 4)でその精度を検証する。まず初めに表皮・近接効果の影響を明確にする。周波数による影響が最も出る構造を見つけるために図 6 の 4 つの代表的な構造で検証する。

表 4: グローバル配線の構造パラメータ

Parameter	Value
Minimum width, w_{min} (nm)	237.5
Metal thickness, t (nm)	498.75
Dielectric height, h_{min} (nm)	451.25

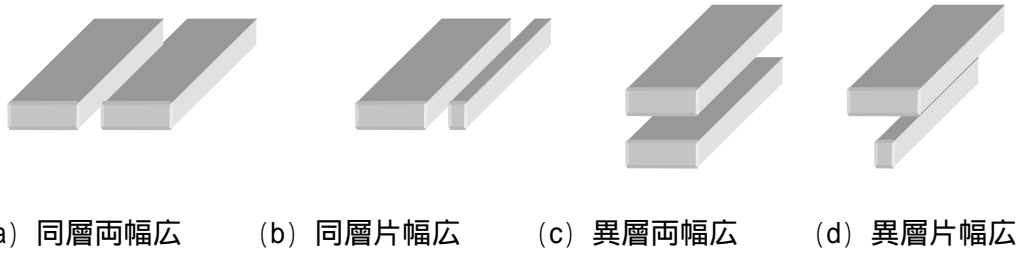


図 6: 表皮・近接効果調査の構造

図 7 は、図 6 の構造における解析式と周波数を考慮した電磁界解析結果との比較を示す。幅広配線は $w_{min} \times 100$ とし、狭い方は w_{min} とする。また異層間絶縁膜厚は h_{min} とする。図 7 より、図 6 の (d) の構造が最も周波数の影響を受けることがわかる。図 8 はインダクタンスと抵抗の周波数特性を示す。抵抗 R、自己インダクタンス L1 と Lm は周波数の影響を受けるが、相互インダクタンス M は 10GHz 程度まではほとんど周波数の影響を受けないことがわかる。次に配線の長さや幅による周波数の影響を調べた。図 9 は、電磁界解析の周波数 3.5GHz と周波数効果を考慮しない近似式との誤差を示したものである。本解析条件において最大で 4% 程度であることがわかる。図 6 から図 9 の結果より、一般に使用する条件で、2 配線間の相互インダクタンスはあまり周波数の影響を受けないことがわかる。

図 10 は線状の配線間で正確な式 (1) と今回導出した近似式 (17) の配線幅による誤差の推移を示す。線状の式は数 μm で誤差が大きくなり使用できない。

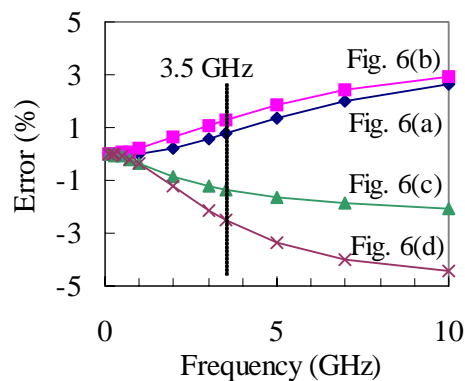


図 7: 解析式の精度 (図 6 構造)

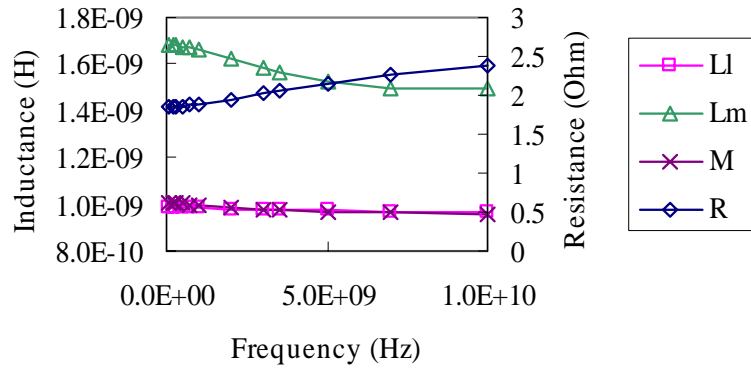


図 8: インダクタンスと抵抗の周波数特性(図 6(d)構造)

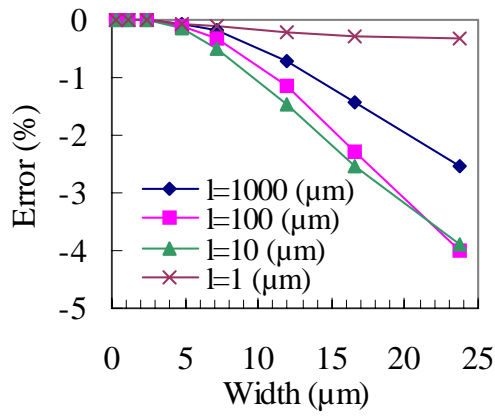


図 9: 電磁界解析との誤差(周波数 3.5GHz)

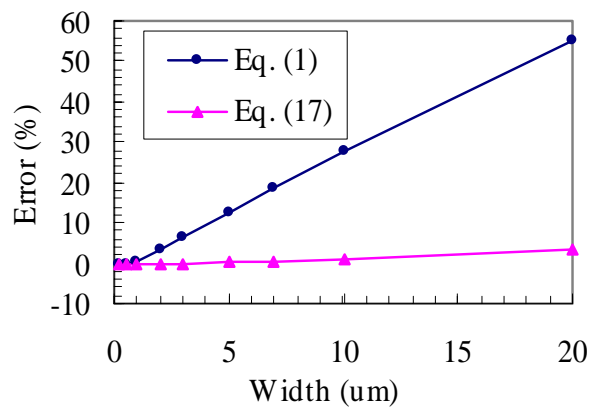


図 10: 図 6(d)の構造における提案する解析式の精度

表 5 は近似式ベースの高速寄生抽出手法の妥当性を検証するための配線構造パラメータセットである。これらの現実的な構造(数万通り)を使って誤差を評価する。図 11 にその誤差分布を示す。非常に精度が高いことがわかる。

あまり多くの近似式を使いたくない場合は、式(1)、(17)、(19)の 3 種を使うことで高い精度を保つことが可能である。

表 5: 検証に使用した構造パラメータ

Parameter	Value
l	$w_{min} \times 1, 2, 3, 5, 7, 10, 20, 30, 50, 70, 100, 200, 300, 500, 700, 1000, 2000, 3000, 5000, 7000, 10000$
w_l, w_m	$w_{min} \times 1, 2, 3, 5, 7, 10, 20, 30, 50, 70, 100$
Spacing in the same layer	$w_{min} \times 1, 2, 3, 5, 7, 10, 20, 30, 50, 70, 100, 200, 300, 500, 700, 1000$
ρ_x for diff. layers (μm)	$0, 1, 2, 3, 5, 7, 10, 20, 30, 50, 70, 100, 200, 300, 500, 700, 1000$
ρ_y for diff. layers	$(t+h_{min}) \times 1, 2, 3, 5, 7, 10$

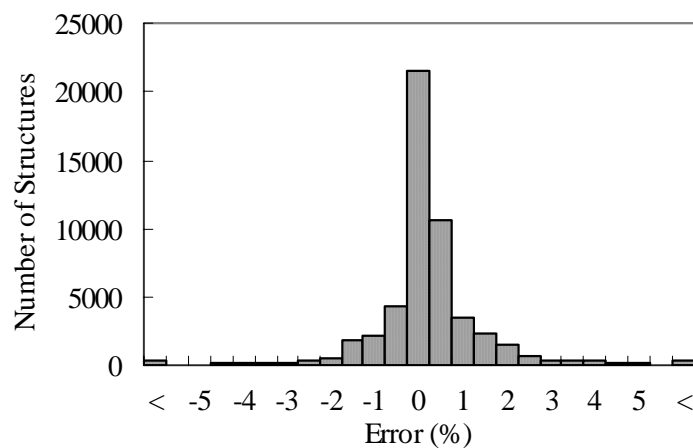


図 11: 電磁界解析結果と比較した誤差の分布

3.4.3 適用例

実際の 0.13 μ m プロセスのレイアウトに適用した所, 表 6 に示すように, 相互インダクタンスの正確な式に比べ, 60 倍以上高速であった. 本手法は従来にない高速かつ実用的な精度でインダクタンスを抽出することができる.

しかしながら, 本試験結果から, 1CPU で 30 万セグメント程度のインダクタンス計算(その相互インダクタンスは約 450 万)が限度と思われ, フルチップの全部分インダクタンス計算は現在のコンピュータ環境では難しい. すなわち, ブロック分けや考慮すべき配線を最小限にする必要がある. いずれにしても, インダクタンスを計算する場合, 相互インダクタンスの計算は必須なので高速・高精度抽出技術として本手法が利用可能である.

表 6: 適用結果 (SUN Blade 1000)

# of segments	CPU time (hour: min: s)	
	Exact	Proposed
10,000	01:42:22	00:01:44
100,000	99:03:16	01:31:39
300,000	-	15:08:17

3.5 むすび

VLSI のオンチップ相互インダクタンスを高速かつリーズナブルな精度で抽出する手法を開発した. また線状配線間の正確な相互インダクタンスの式からテーラー展開を通して導かれた近似式と平均距離を使って, 幅広配線の近似式を開発した. それらの近似式は, 幅広配線や短い配線にリーズナブルな精度で適用できる. 要求された精度内で最も高速に計算できる式の条件マップも示した. 三次元電磁界解析ツールとの比較において, その手法は数%以内の精度で相互インダクタンスを求めることができる.

3.6 第3章の参考文献

- [1] A. Deutsch, G. V. Kopcsay, P. J. Restle, H. H. Smith, G. Katopis, W. D. Becker, P. W. Coteus, C. W. Surovice, B. J. Rubin, Jr. R. P. Dunne, T. Gallo, K. A. Jenkins, L. M. Terman, R. H. Dennard, G. A. Sai-Halasz, B. L. Krauter, and D. R. Knebel, "When are transmission-line effects important for on-chip interconnections," *IEEE Trans. Microwave Theory Tech.*, pp. 1836-1846, Oct. 1997.
- [2] T. Chen, "On the impact of on-chip inductance on signal nets under the influence of power grid noise," in *Proc. Design, Automation and Test in Europe Conf.*, June 2001.
- [3] T. Sato, T. Kanamoto, A. Kurokawa, Y. Kawakami, H. Oka, T. Kitaura, A. Ikeuchi, H. Kobayashi, and M. Hashimoto, "A quantitative scheme for evaluating the impact of on-chip inductance," in *Proc. IEICE Workshop on Circuit and Systems*, 2002.
- [4] E. Rosa, "The self and mutual inductance of linear conductors," *Bulletin of the National Bureau of Standards*, pp. 301-344, 1908.
- [5] A. E. Ruehli, "Inductance calculations in a complex integrated circuit environment," *IBM J. Res. Develop.*, pp. 470-481, Sep. 1972.
- [6] A. E. Ruehli, "Equivalent circuit models for three-dimensional multiconductor systems," *IEEE Trans. Microwave Theory Tech.*, pp. 216-221, March 1974.
- [7] M. Kamon, M. J. Tsuk, and J. White, "FASTHENRY: a multipole-accelerated 3D inductance extraction program," *IEEE Trans. Microwave Theory Tech.*, vol. 42, pp. 1750-1758, Sep. 1994.
- [8] Raphael version 2002.2, Synopsys Corporation.

- [9] F. W. Grover, *Inductance Calculations: Working Formulae and Tables*, Dover Publications, Inc., New York, 1946.
- [10] Y.-C. Lu, M. Celik, T. Young, and L. T. Pileggi, "Min/max on-chip inductance models and delay metrics," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 341-346, June 2001.
- [11] X. Qi, G. Wang, Z. Yu, and R.W. Dutton, "On-chip inductance modeling and RLC extraction of VLSI interconnects for circuit simulation," in *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 487-490, 2000.
- [12] A. Kurokawa, K. Hachiya, T. Sato, K. Tokumasu, and H. Masuda, "Fast on-chip inductance extraction of VLSI including inclined interconnects," in *Proc. IEICE Workshop on Circuit and Systems*, 2002.
- [13] C. Hoer and C. Love, "Exact inductance equations for rectangular conductors with applications to more complicated geometries," *J. Res. Natl. Bureau Standard 69C*, pp. 127-137, 1965.
- [14] International technology roadmap for semiconductors: Semiconductor Industry Association, 2001.

第 4 章 物理設計完全性を目指した配線方式

90nm テクノロジ以降の設計において、SI (Signal Integrity) や DFM (Design For Manufacturability) の問題は深刻になってきている。従来のような個々の対策ではタイミング・クロージャが困難になりつつある。本章では多くの物理設計上の問題を同時に解決するための新しい考えとして、電源・グラウンド線を有効に活用した配線アーキテクチャを示す。提案方式は、

- ・デカップリング容量の生成 (数 $10\text{nF}/\text{cm}^2$)
- ・IR-drop, Ldi/dt ノイズの低減
- ・クロストークの低減
- ・規則性, 均一性によるばらつき低減, ダミー・メタル挿入が不要, 抽出精度向上

を実現する。微細化につれて本方式のデカップリング容量は更に増加することも示す。

4.1 まえがき

プロセス・テクノロジーの進化につれて、最先端の LSI は配線の微細化、高密度化、多層化、そしてクロック動作周波数の高速化に向かっている。近年のディープ・サブミクロン LSI のタイミング設計では、シグナル・インテグリティ SI (Signal Integrity) の問題が深刻になってきている [1-3]。SI 問題とは信号波形 (ノイズや遅延) に関わるさまざまな問題の総称で、クロストーク・ノイズや電源ノイズ等の問題に分類される。今後の SoC (System on a Chip) 時代の先端システム LSI 設計では、SI 問題は極めて重要な課題となっている。

SI 問題の 1 つであるクロストーク・ノイズは、配線間の干渉によって生じ、信号がほぼ同時に変化した時に、信号の遅延変動を招く。一般に被害を受ける側をビクティム、攻撃する側をア

グレッサと呼んでいる。このクロストーク対策として、1) レイアウトの配線トポロジの最適化、2) 並行配線の途中にバッファを挿入、3) 信号線と信号線の間にはグラウンド配線を入れるシールドリング等の方法が知られている。SI 問題のもう 1 つである電源ノイズは、セルのスイッチング電流 I と電源線の抵抗 R によって、静的 IR ドロップを引き起こし、またセルのスイッチングと電源線のインダクタンス L や容量 C を含む RLC によって、 V ノイズが生じ、結果として信号遅延に影響を及ぼす。電源ノイズの対策として、電源グリッドのピッチを狭くする、電源線とグラウンド線の配線幅を広くする、MOS デカップリング容量を入れる等が知られている[4-7]。

システム LSI のタイミング設計において、DFM (Design For Manufacturability) や配線の寄生素子抽出も重要な位置を占める。DFM として、平坦化や加工仕上がりを良くするために、CMP (Chemical-Mechanical Polishing)、ダミー・フィル、OPC (Optical Proximity Correction) 処理を施している。寄生抽出はより高い精度を得るために電磁界解析ツールを使って、多くの配線構造の寄生素子を求め、配線ライブラリを作っている。またインダクタンスの影響も無視できず、その抽出も重要となってきた。しかし、配線ディメンジョンのばらつきを含む複雑な配線構造のために現行の寄生抽出の精度は決して十分とは言えない。これらの問題と対策は、解析と修正と検証のために、設計期間を大幅に増大させている。現行の設計メソッドでは今後のハイパフォーマンス LSI のタイミング収束が困難になると予測される。

上述したいくつかの問題を解決する手法として、DWF (Dense Wiring Fabric) 構造を採用する手法[8-10]が報告されている。DWF 構造とは、図 1 に示すように、全ての信号線を電源線とグラウンド線で挟む構造である。信号線 S に対する電源線 P とグラウンド線 G によるシールドリング効果によって、信号線同士の容量性および誘導性クロストークによる遅延変動やグリッジ・ノイズを回避することが可能であり、また配線パターンの規則性による寄生抽出の簡易化も図れる。しかしながら、DWF 手法は、SI と配線の規則性の効果に限定されており、更に文献[8-10]では電源ノイズについては言及されていない。この構造は、電源網の抵抗の改善にはある程度寄与するものの、ダイナミックな電源ノイズに対する貢献度は低い。

従来の LSI の電源網設計では、単なる抵抗網としての IR ドロップの静的 DC 解析による設計がされてきた。しかし近年、動作周波数の増大に伴い、RC 応答としての動的解析が必要となり、ワイヤ・サイジングのみならず、デカップリング容量のノイズ源への近傍挿入がハイパフォーマンス SoC の設計では必須になってきている。更に電流量の多い電源網では、インダクタンスによる誘導 (Ldi/dt) ノイズを回避する設計が必須である。電源供給電圧に対する Ldi/dt ノイズの比率は、

$$(Ldi/dt)/Vdd \propto L * Pc * fc / Vdd^2 \quad (1)$$

の関係がある[11]。ただし、 L はインダクタンス、 i は電流、 Pc はチップの消費電力、 fc は動作周波数、 Vdd は電源電圧である。ITRS 2002 [12]によると、SoC low power でも、1 世代毎に fc は 1.5 倍、 Vdd は 0.8 倍の傾向を示し、 $Pc * fc / Vdd^2$ は 1 世代毎に約 2.3 倍になる。 Ldi/dt ノイズに対する実際の回避策は、上記の動的 IR ドロップに対するものと同じく、チップ内にデカップリング容量を置くことである。すなわち、高品質な大容量のデカップリング容量がこれらの解決のキーである。最適なデカップリング割り当ての問題は、フロアプランの段階で MOS デカップリング容量の配置が行われる[5, 6]。しかし、これらの手法では、近傍に挿入するという制約のために、フロアプランの隘路で必要となるデカップリング容量挿入の面積コストは図 2 のように非常に高くなる場合がある。図 2 の黒の領域は、マクロ・ブロックの近傍に配置されたデカップリング容量を示す。

以上のように、先端システム LSI 設計では、SI 問題に関するさまざまな問題の解決が緊急課題となっている。しかし、従来、シグナル・インテグリティ、DFM、寄生抽出の問題は個別に議論されてきた。これらを個々に回避するメソッドでは今後のシステム LSI 設計は困難が予想される。

本章では、これら諸問題を同時にロバストにする物理設計完全性のための新配線アーキテ

クチャを提案する。4.2 章で提案する新配線アーキテクチャの基本概念を述べ、4.3 章でその特徴を定量的な解析によって明確にし、4.4 章で適用方法を示し、4.5 章で容量の見積もりと測定結果について示し、4.6 章で纏める。

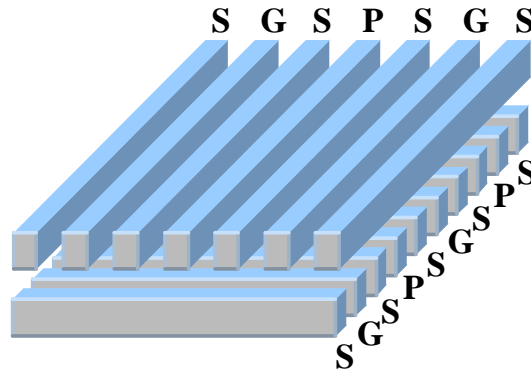


図 1: DWF の配線構造

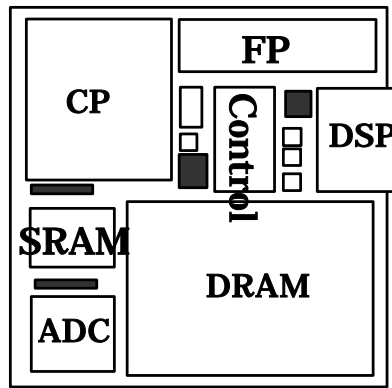


図 2: デカップリング容量挿入に伴うチップ・サイズの増大

4.2 新配線アーキテクチャ

本章では、物理設計完全性のための新しい配線アーキテクチャの概念と構造について述

べる。そのアーキテクチャを DEPOGIT (Dense Power-Ground Interconnect) と名付ける。

4.2.1 基本概念

提案する配線アーキテクチャの概念図を図 3 に示す。本アーキテクチャの基本構造は、電源線 P とグラウンド線 G の PG パターンをできる限り多く使用して、電源線とグラウンド線によって、より多くのデカップリング容量を生成するように構成する。図 3 は、本アーキテクチャの最大の特徴であるこの PG 配線間デカップリング容量生成の概念を理解するために信号線を通していない例である。信号線はできる限り、電源線またはグラウンド線で挟まれるようにする。配線の幅とスペーシングは任意であるが、グリッド・ルータを仮定した場合、グリッド・ピッチに合わせて、幅とスペーシングを可変とする。対象層とその上下層の電源線同士、グラウンド線同士はできる限りピアで接続する。本構造を適用する場所(層やブロック)は任意である。ただし、メタル 1 層目、またはメタル 1 層と 2 層はセルのローカル配線に使用する場合が多いので、それ以外の層を使用する方が、現行のセルベース設計手法には適している。

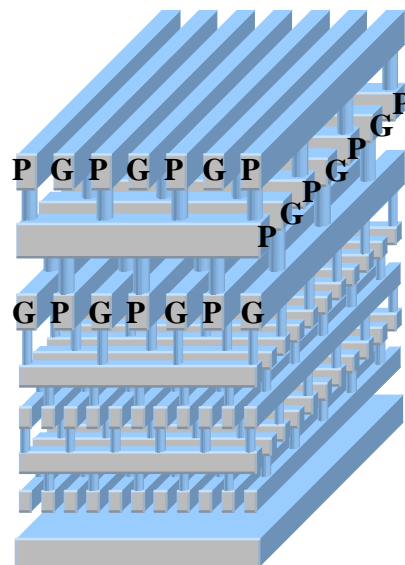


図 3: 提案する配線アーキテクチャの構造概念図

4.2.2 提案方式の配線パターン

前述したように提案する配線構造は、PG 配線間デカップリング容量をできる限り生成するように配線するという以外に配線の組み合わせ等は任意である。図 4 に、信号線を通した場合の配線パターンの例を示す。ここで、配線パターン名を連続した電源線 P もしくはグラウンド線 G の本数 m と信号線の本数 n を用いて、PG m S n と定義する。配線の本数に対する信号線の本数の比率は、 $n/(m+n)$ で表される。図 4(a) は、DWF 構造 (PG1S1 パターン) を拡張して、信号線 S を 1 本の電源線 P (またはグラウンド線 G) でシールドリングする形式を一般化したものである。配線本数に対して、信号線の本数の比率を、 $1/2, 2/3, 3/4$ とした場合のパターンを示している。これら図 4(a) の構造では PG 配線間によってデカップリング容量を獲得することはほとんどできない。提案する信号線と電源線とグラウンド線のパターン例を図 4(b) と (c) に示す。図 4(b) では、PG を 1 つのペアとして S をシールドリングする形式である。この図 4(b) の方法は、シールドリング効果とデカップリング効果の両方を同時に得ることができる。また図 4(c) は、PGP (または GPG) で信号線を挟むパターンである。信号線の比率 $n/(m+n)$ が同じであっても、連続した PG の数、 m が多ければ多いほど PG 間の結合数が増えるのでデカップリング容量を多く生成することができる。

パターン名	信号線比率	パターン
PG1S1	1/2	P S G S P S G S P S G S P S G S P S G S P S G S
PG1S2	2/3	P S S G S S P S S G S S P S S G S S P S S G S S
PG1S3	3/4	P S S S G S S S P S S S G S S S P S S S G S S S
:	:	:

(a) P/G シールドディング(PG1)

パターン名	信号線比率	パターン
PG2S1	1/3	P G S P G S P G S P G S P G S P G S P G S P G S
PG2S2	1/2	P G S S P G S S P G S S P G S S P G S S P G S S
PG2S3	3/5	P G S S S P G S S S P G S S S P G S S S P G S S
PG2S4	2/3	P G S S S P G S S S S P G S S S S P G S S S S
:	:	:

(b) PG シールドディング(PG2)

パターン名	信号線比率	パターン
PG3S1	1/4	P G P S G P G S P G P S G P G S P G P S G P G S
PG3S2	2/5	P G P S S G P G S S P G P S S G P G S S P G P S
PG3S3	1/2	P G P S S S G P G S S S P G P S S S G P G S S S
:	:	:

(c) PGP/GPG シールドディング(PG3)

図 4: 配線パターン

4.3 物理設計完全性の改善

本章では、提案する配線アーキテクチャの特徴を明確にする。提案方式の主要な特徴を簡潔に纏めると以下ようになる。

- ・デカップリング容量の生成、電源ノイズの問題の改善

PG ペア配線による明示的なデカップリング容量を生成できる。また電源線とグラウンド線が近接するので実効的なインダクタンスが減少し、動的な電源ノイズを削減できる。

・クロストークの問題の改善

シールドング効果により、容量性および誘導性クロストーク・ノイズを低減できる。

・DFM, 寄生抽出の精度の改善

配線密度の均一性により配線ばらつきが低減し、ダミー・メタルの挿入が不要となり、フローティング・メタルに起因する抽出の不確実性が防止できる。また、配線の規則性により、DFM および抽出の精度が改善できる。

・配線使用率の増加

PG 配線の追加による配線使用率の増加はチップ面積もしくは配線層数の増大を招く可能性がある。しかし、本方式を効率良く適用することでその増分を抑えることができる。

上記特徴において、1本の信号線の両側を電源線とグラウンド線でシールドングする DWF 方式との大きな違いは、デカップリング容量の生成および電源ノイズの改善である。クロストークの改善、DFM と寄生抽出精度の改善については、DWF とほぼ同じ効果が得られる。配線使用率もしくは面積増加については、DWF はセル内も含めて全メタル層に規則的に配線するが、本提案方式は必要に応じて使用する層や配線パターンを選択するという意味で柔軟性をもつので面積増加を極力抑えることが可能である。

次の節から、上述したいくつかの特徴を詳細に分析する。DWF と同等の効果についても、本提案方式が PI, SI, DFM と抽出精度の観点で、ほぼ同時に解決できることを示すために解析結果を示す。解析には、ITRS の 90nm プロセス・テクノロジーの配線構造パラメータを基本に、表 1 に示す値を用いた。

表 1: 配線構造パラメータ

項目	値
配線層数	9
配線抵抗率 ($\mu\Omega\cdot\text{cm}$)	2.2
比誘電率	3.1
上層 M7-M9	
最小幅 (μm)	0.28
最小スペーシング (μm)	0.28
メタル厚み (μm)	0.4305
絶縁膜高さ (μm)	0.3895
中間層 M3-M6	
最小幅 (μm)	0.1375
最小スペーシング (μm)	0.1375
メタル厚み (μm)	0.23375
絶縁膜高さ (μm)	0.20625
下層 M1, M2	
最小幅 (μm)	0.105
最小スペーシング (μm)	0.105
メタル厚み (μm)	0.1785
絶縁膜高さ (μm)	0.1785

4.3.1 デカップリング容量の生成

従来方式のデカップリング容量の比率は、文献[13]によると、おおよそウェル容量が 30%から 40%、セル容量が 30%から 40%であり、電源線とグラウンド線間の容量はほとんどない。本節では、提案方式の電源線とグラウンド線間のデカップリング容量を解析する。

解析に用いた配線構造パラメータは、表 1 に示す値を用い、チップ面積は、1cm 角を想定した。いくつかの配線構造に対してデカップリング容量を電磁界解析[14]により求めた結果を図 5 に示す。図 5 に示される PGmSn/Mi-Mj は適用条件を表し、PGmSn は図 4 のパターン名に

対応し, Mi-Mj はそのパターンを適用した配線層を示す. 例えば, PG2S2/M3-M7 はメタル 3 層 (M3) からメタル 7 層 (M7) までを PG2S2 のパターンにした場合を表す. デカップリング容量は, 使用する配線層や配線パターンによって異なるが, 信号線比率が 1/2 から 2/3 の場合, 数十 nF の容量が得られる. 例えば, PG2S2/M3-M7 の場合で約 40nF/cm², PG2S4/M3-M7 の場合で約 30nF/cm² の容量を生成できる.

必要なデカップリング容量は消費電力や電圧変動の許容値によって異なるが, 文献[15]では, テクノロジ・ノードが 180nm から 70nm において, 必要なデカップリング容量は 39-72nF/cm² と報告されている. また他の文献[16]では, テクノロジ・ノードが 70nm 世代に必要なデカップリング容量は約 22nF/cm² と報告されている. これらの報告は電圧変動の許容値を 10%として解析した結果である. またある 90nm プロセスのウェル容量は, 単位長さ当たりの側壁容量と単位面積当たりの底面容量の実測値とセルの高さを使って, セルが全て敷き詰められたと仮定して簡易計算した結果, 約 25-30nF/cm² であった. これらの状況から, 提案構造によって獲得できる PG 間の容量は, 一般の LSI に必要なデカップリング容量として寄与できると判断できる.

先端プロセスではゲート酸化膜厚の減少により, 薄い酸化膜厚のデカップリング容量ではゲート・リーク電流が増大する[4]. その消費電力を抑えるために厚い酸化膜のデカップリング容量が必要となってきた. 厚い膜厚では単位面積当たりの取得容量値は減少し, より多くのチップ・サイズの増大を必要とする. すなわち高品質のデカップリング容量獲得には, 本手法による PG 配線間のデカップリング容量は非常に重要となる.

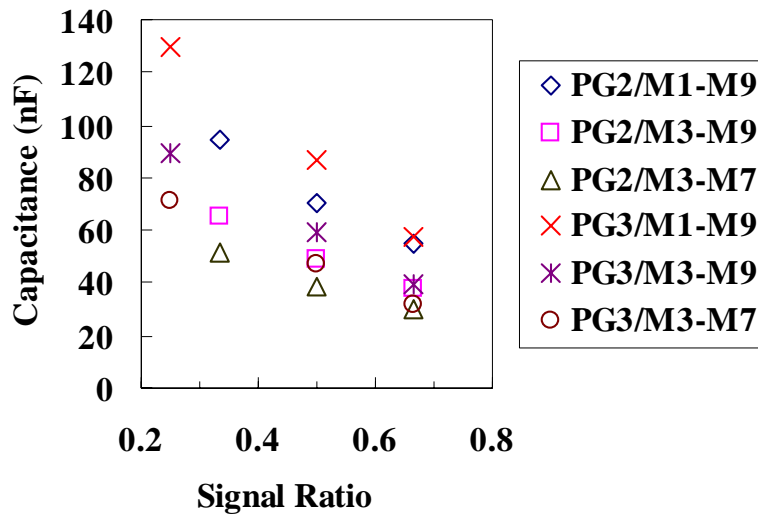


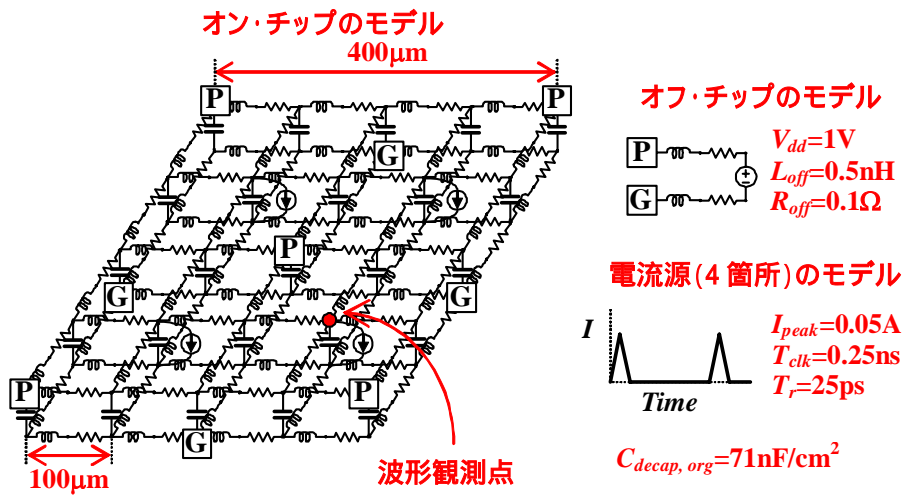
図 5: デカップリング容量の予測

4.3.2 電源ノイズの改善

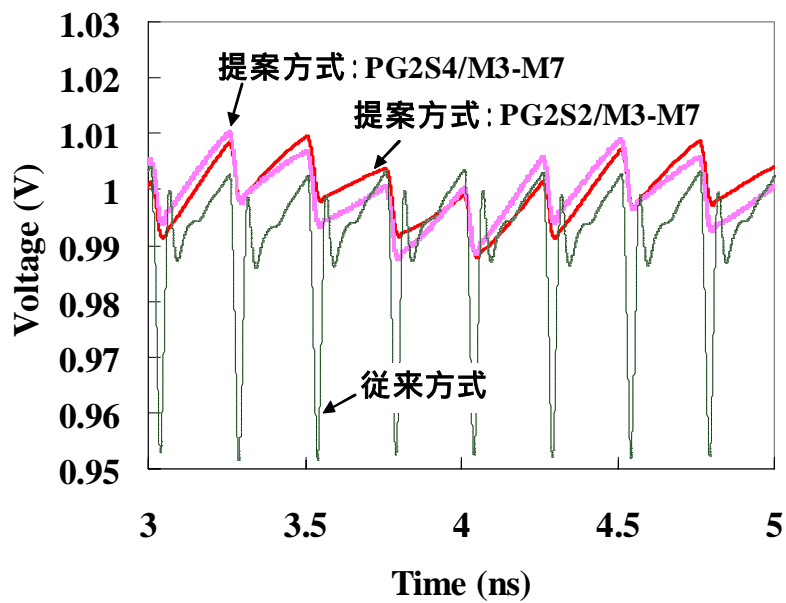
本節では、電源ノイズに対する提案方式の効果を解析する。高速動作チップ向けのフリップ・チップを想定して、SPICE を用いて電源ノイズを解析する。その構造パラメータは表 1 に示した値を基準とし、電源ノイズ解析のためのモデルは文献[17]を参考に、図 6(a)に示す等価回路を用いる。電源パッドと電源パッドの間隔を $400\mu\text{m}$ とし、1 つのセグメント長を $100\mu\text{m}$ とする。従来方式と提案方式のそれぞれの構造に対して電磁界解析ツールを用いて RLC を抽出し、図 6(a)に示す実効的な RLC 回路網を構成する。1 つのセグメントは実効的な RLC-型 の集中定数素子である。オフチップ側はインダクタンス $L_{\text{off}}=0.5\text{nH}$ 、抵抗 $R_{\text{off}}=0.1\Omega$ を通して電圧源 $V_{\text{dd}}=1\text{V}$ に接続する。電流源を 4 箇所を設置し、そのピーク電流 $I_{\text{peak}}=0.05\text{A}$ 、クロック・ピリオド $T_{\text{clk}}=0.25\text{ns}$ 、その遷移時間 $T_r=25\text{ps}$ とする。また寄生のデカップリング容量は、ウェル容量が約 40%を占めると仮定して、 $71\text{nF}/\text{cm}^2$ とする。

従来方式は、トップ 2 層 (M9 と M8) の電源グリッド配線とし、その配線幅は $2\mu\text{m}$ 、グリッド間隔を $100\mu\text{m}$ と仮定する。その場合の 1 つのセグメントにおける実効抵抗は 2.6Ω 、実効インダクタンスは 112pH である。提案方式は、トップ 2 層は従来方式と同じ構造とし、メタル 3 層から 7 層までに PG2S2 パターンと PG2S4 パターンを適用すると仮定する。ここで M3/M5/M7/M9 の配線方向を X 方向とし、M4/M6/M8 の配線方向を Y 方向とする。PG2S2/M3-M7 構造の等価モデルにおける 1 つのセグメントにおける実効抵抗は X 方向が 0.22Ω 、Y 方向が 0.38Ω 、実効インダクタンスは X 方向が 41pH と Y 方向が 40pH である。同様に PG2S8/M3-M7 構造の実効抵抗は X 方向が 0.24Ω 、Y 方向が 0.53Ω 、実効インダクタンスは X 方向が 42pH と Y 方向が 40pH である。

電流源を印加した時の SPICE で過渡解析した波形を図 6(b) に示す。従来方式は電源電圧に対して最大で約 5% (50mV) の電圧降下が生じるが、提案方式は PG2S2/M3-M7 と PG2S4/M3-M7 とともに最大で約 1.3% (13mV) に抑えられている。



(a) 等価回路



(b) 過渡波形

図 6: 電源線の V ノイズの解析

4.3.3 クロストーク・ノイズの改善

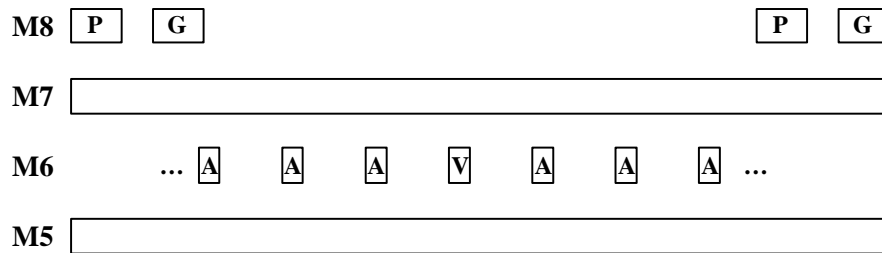
クロストーク・ノイズの要因は、配線間容量に起因する容量性クロストークと配線間の相互

ンダクタンスに起因する誘導性クロストークに大別される。

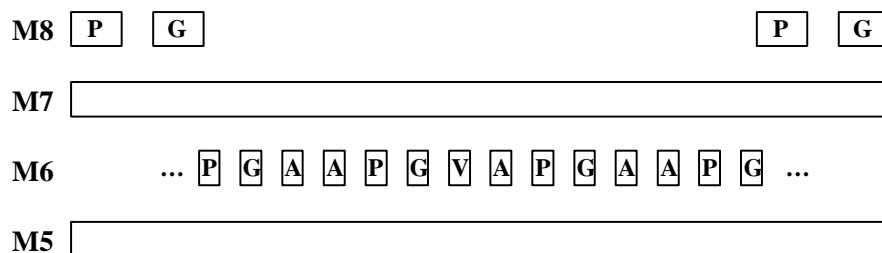
GHz 周波数動作においては、クロック配線のような幅広配線の場合、インダクタンスによる遅延変動が無視できない。また、バス配線のように複数の信号が同時にスイッチングする場合、あるビクティム配線に対して、実効的な大きな電流による磁界の影響で誘導性クロストークに起因するグリッチ・ノイズが生じる。本節では一般の配線幅における同時スイッチングによる誘導性・容量性クロストークに対する提案方式の効果を解析する。

クロストーク・ノイズ解析のために、信号線が 32 本のバス構造を使う。その構造パラメータは表 1 に示した値を用いた。また配線長は 1mm、動作周波数は約 4GHz、入力信号の遷移時間は 25ps、ドライバの抵抗は 50Ω を仮定する。またメタル 8 層目 (M8) は電源グリッドとし、その配線幅は $2\mu\text{m}$ 、グリッド間隔を $100\mu\text{m}$ と仮定する。従来方式の例として、図 7(a) は、メタル 6 層目 (M6) の中央の配線をビクティム (V) とし、それ以外の信号線はアグレッサ (A) とし、信号線はダブル・ピッチ (スペーシングは最小線幅の 3 倍) と仮定する。また、提案方式の例として、図 7(b) に PG2S2 パターンを示す。図 7 の (a) と (b) において、M7 の信号線の本数およびその信号線の占有する配線密度は同じである。更に PG2S4 パターンも同様に解析する。

図 7 のそれぞれの構造に対して電磁界解析ツールを用いて RLC を抽出し、ビクティムの入力側はドライバの抵抗を返してグラウンドに接続し、すべてのアグレッサのドライバの入力信号は同時に遷移すると仮定して、ビクティムの遠端の波形を SPICE シミュレーションによって求めた結果を図 8 に示す。ダブル・ピッチの方法では、誘導性クロストーク・ノイズの影響が現れて、最大ピーク電圧は電源電圧の約 20% (0.2V) に達する。PG2S2 パターンはクロストーク・ノイズの影響を最大約 7% (0.07V) に抑えている。しかし、PG2S4 パターンは電源電圧の約 20% (0.2V) のノイズが発生する。このパターンは容量性クロストークの影響を受けるので、配線遅延への影響が顕著な箇所 (例えば長い並行配線部) には使えない。クロストークの影響が顕著に現れそうな箇所には、PG2S2 を使うことが必要である。



(a) ダブル・ピッチ



(b) 提案方式: PG2S2

図 7: クロストーク解析に用いた配線構造

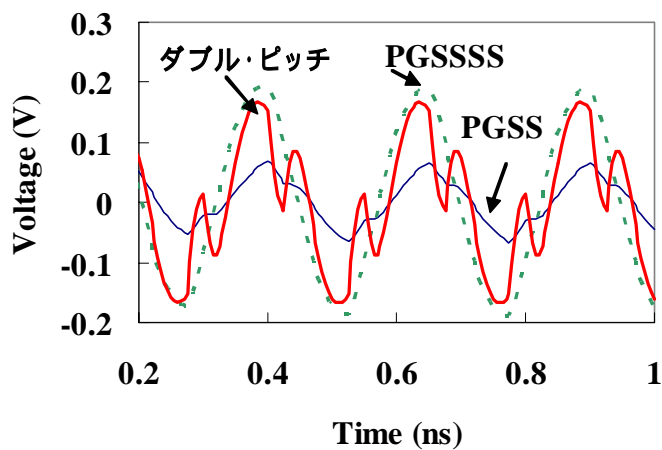


図 8: クロストーク解析の結果

4.3.4 DFM, 寄生抽出精度の改善

提案方式の更なる特徴として, 配線の規則性の向上があげられる. 図 9(a)は, 信号線 S と

電源線 P(もしくはグラウンド線 G)を交互に配置する DWF の構造を使った配線例である。PG 配線で挟まれる信号線は、配線経路にしたがって、途中でビアを通して直交方向の配線層へ移り、稠密ではなくなる。単位面積当たり使用可能な配線セグメント長を L_{area} とすると、DWF 構造は PG 配線で $L_{area}/2$ を使用する。残りの $L_{area}/2$ のある割合だけ信号線を使用する。すなわち DWF 構造の全配線のセグメント長 L_{DWF} は、

$$L_{DWF} = L_{area}/2 + \xi \times L_{area}/2 \quad (2)$$

その配線密度 D_{wire} は、

$$D_{wire} = \{(L_{area}/2 + \xi \times L_{area}/2) / L_{area}\} / 2 = (1 + \xi) / 4 \quad (3)$$

例えば $\xi = 0.5$ (50%) と仮定すると、DWF 構造の配線密度は 37.5% となる。

提案方式では図 9(b) に示すように、図 4(b) での PG ペア・シールドリングの PG2S2 パターンを利用して、この充填されていないトラックに、近傍の電源線もしくはグラウンド線から配線を延長することで、配線密度をほぼ 50% に近くすることが可能となる。

また、図 9(c) は、図 4(b) の PG ペア・シールドリングの PG2S4 パターンを使用した配線例を示す。この場合は図 9(a) より面積が小さく、かつ配線密度は 50% 近くまで向上していることがわかる。配線密度の向上と均一化は、平坦化の向上を意味し、配線ばらつきを抑える効果が期待できる。

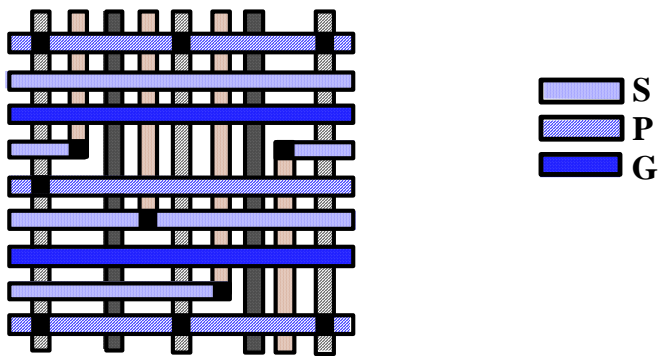
LSI 製造のプロセス工程において、各配線層の平坦化のために、各層のメタル密度はある程度均一に分布させる必要がある。従来、配線空き領域によるメタル密度の稠密性はダミー・メタル処理により補正されるが、提案方式ではこのダミー・メタル処理が不要となる。また一般にダミー・メタルはその一辺の長さが配線幅より長く、かつ挿入する条件はある領域のメタル密度のルールで決定されるため、部分的な領域のメタル密度は不均一であり製造ばらつきの原因となる。このように DFM の点でも本提案方式は有効である。

また、この配線の稠密性と均一性は同時に、RLC の抽出精度の向上を可能にする。現在、一般的に採用されている 2.5-D の容量抽出[18]において、必要な配線パターン・ライブラリの

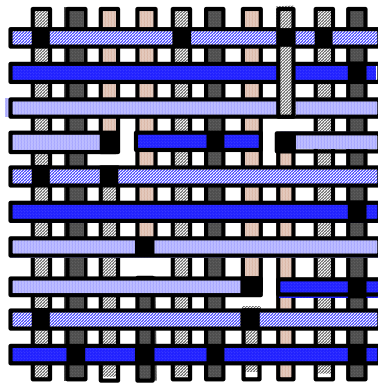
種類は下記の条件により削減される。

- 1) 同層における抽出対象の隣接配線は、ほとんどが PG によりシールドイングされるため、隣接配線の容量を求めるための配線パターンが少なくなる。
- 2) 抽出対象の上下層は稠密であるため、プレーンと仮定することができ、3 次元形状の複雑な配線パターン数が削減する。

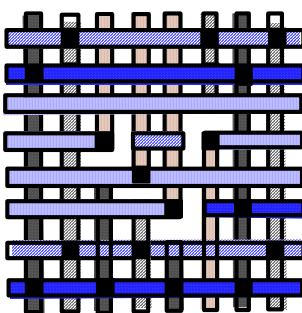
またダミー・メタルは一般にマスク作成直前に挿入される。これは設計中にダミー・メタルを挿入してしまうと、その膨大なデータを処理する必要があること、タイミング検証の段階でパイオレーションが生じた場合にその埋め込まれたダミー・メタルが配置や配線のリペアの障害になるためである。しかしながら、電位の固定されないダミー・メタルを考慮しない場合は、信号線の容量値が 10%以上の誤差を生じ、またそのダミー・メタルの密度によってもその影響度が異なる[19]。本提案方式はダミー・メタルによる容量の不確実性がなくなるため、抽出精度も向上する。



(a) 従来方式(DWF)PSG パターン



(b) 提案方式 PG2S2 パターン



(c) 提案方式 PG2S4 パターン

図 9: 提案方式による規則性の改善

4.3.5 配線面積の評価

本節では、提案方式の配線面積について評価する。提案方式において、信号線比率の少ない配線パターン(例えば図 4(b)の信号線比率 1/3 の PG2S1 パターン)を多用すると、配線面積が増大し、配線層数の増加もしくはチップ面積の増大につながる。そこで、ローカル電源線等で使用するメタル 1 層と 2 層は本方式を適用せずに、配線空き領域を効率よく利用して、またクリティカルでない配線に対しては、図 4 に示すように信号線の比率を高くして、PG 配線による面積の増加を抑えることが重要である。

次の例に示すように、効率よく適用することで、面積の増加を抑えることが可能である。以下に面積の増分の計算一例を示す。

<条件>

・適用配線層

9 層配線プロセスを仮定する。基本的にメタル 3 層目から 7 層目の 5 層分の配線に対して本方式を適用する。ただし他の層の配線空き領域も使用することにする。本方式の平均パターンを PG2S4(図 4(b)の信号線比率 2/3)と仮定する。

・配線空き領域

一般に先端 LSI におけるチップ面積に対するメタル密度は経験的に各層共におおよそ 20% から 40%(配線幅とスペーシングがほぼ 1 対 1 とすると配線密度はメタル密度の 2 倍)である。また、平坦化のためのダミー・メタルの挿入は全体の面積の 5%から 20%である。ダミー・メタルはデザイン・ルールにより配線からかなりスペーシングを取って挿入され、かつメタル密度ルールより、一般にある大きさの領域に対しておおよそ 30%から 70%程度になるように挿入される。すなわち、配線空き領域があってもダミー・メタルが挿入されない個所も多々あり、実際に挿入されるダミー・メタルの領域より配線可能な領域は大きい。これらを考慮すると、配線可能な空き領域は 10%から 40%であると推測される。

ここでは配線密度 D_{wire} を全体の 60% とし、配線可能な空き領域を 20% とし、残り 20% は利用できない固定領域の比率 ξ_{fix} であると仮定する。これらの条件を使って配線面積を計算する。チップは正方形とし、その一辺を a とすると、元のチップ面積 $A_{org,chip}$ は、

$$A_{org,chip} = a \times a = a^2 \quad (4)$$

9 層分の総面積 $A_{org,all}$ は、

$$A_{org,all} = A_{org,chip} \times 9 = 9a^2 \quad (5)$$

同様に利用不可能な 9 層分の総面積 $A_{fix,all}$ は、

$$A_{fix,all} = A_{org,chip} \times \xi_{fix} \times 9 = 1.8a^2 \quad (6)$$

元の各層の配線占有面積 $A_{org,Mi}$ は、

$$A_{org,Mi} = A_{org,chip} \times D_{wire} = 0.6a^2 \quad (7)$$

ただし、 Mi は各メタル層を示し、 i は 1 から 9 である。PG2S4 パターンを M3 から M7 に適用すると、適用した各層の配線占有面積 $A_{new,Mj}$ は、

$$A_{new,Mj} = A_{org,Mi} \times (3/2) = 0.9a^2 \quad (8)$$

ただし、 Mj は本方式を適用する各メタル層を示し、 j は 3 から 7 である。提案方式に必要な総面積 $A_{new,all}$ は、

$$A_{new,all} = A_{org,Mi} \times 4 + A_{new,Mj} \times 5 + A_{fix,all} = 8.7a^2 \quad (9)$$

すなわち、元々の総面積が $A_{org,all} = 9a^2$ であるから、本条件では提案方式による面積の増加は生じない。

ここで解析した条件は、下層 2 層のローカル電源線と上層 2 層の電源線は従来方式をそのまま使った場合であり、また使用したメタル密度等の条件は典型的な場合である。従って、PG2S2/M3-M7 構造の提案方式は面積のペナルティをほとんど受けなくて適用可能であることを示している。

同様に、PG2S2/M3-M7 構造の場合、従来方式の配線状況を同じ（配線密度 $D_{wire} = 60\%$ 、空き領域 = 20%、固定領域 = 20%）とすると、約 13% の面積増となる。また空き領域が 30% の場合は約

2%しか面積の増加に至らない。

いくつかのケースにおける面積ペナルティを表 2 に纏める。これらは配線状況によって異なるので一概には言えず、実際の製品における検証は今後の課題である。

表 2: 面積ペナルティ

No. of Orig. Layers	No. of Ap. Layers	Wiring Area Ratio	Signal Ratio	Fixed Area Ratio	Area Ratio
7	4	0.60	0.67	0.20	0.97
8	5	0.60	0.67	0.20	0.99
9	6	0.60	0.75	0.30	1.03
9	9	0.50	0.67	0.20	0.95
9	5	0.70	0.67	0.15	1.04
9	5	0.50	0.50	0.20	0.98
9	7	0.50	0.67	0.30	0.99
10	6	0.55	0.67	0.30	1.02
10	5	0.65	0.67	0.20	1.01
10	7	0.50	0.67	0.25	0.93

以下に本提案方式を纏める。本方式では、デカップリング容量の生成、電源ノイズの改善、クロストーク・ノイズの改善、DFM と抽出精度の改善のメリットと配線密度(または面積)の増加のペナルティは、トレード・オフの関係にある。本章の解析結果を基に従来方式と提案方式の比較を表 3 に簡単に纏める。ある程度の面積増を犠牲にしてもタイミング収束を優先する場合は、PG2S2 パターンを規則的に配線するのが良い。面積増を極力抑えながら、タイミング収束を加速したい場合は、平均パターンを PG2S4 程度とし、クロストーク・ノイズが顕著な箇所に PG2S2 パターンを使用することが望ましい。

表 3: 提案方式と従来方式の比較

項目	従来方式	PG2S2/M3-M7	PG2S4/M3-M7
PG間デカップリング容量	×	(約40nF/cm ²)	(約30nF/cm ²)
電源ノイズ (最大電圧効果)	× (約5%)	(約1%)	(約1%)
クロストーク (ピークノイズ)	× (約20%)	(約7%)	× (約20%)
DFMと抽出 面積 (増加率)	×	(約13%増)	

4.4 適用方法

提案する配線方式は、目的に応じてさまざまな使い方ができる。ここでは物理設計に適用するための大きく 4 通りの方法論およびそれらの利点と欠点を示す。

A. 電源グリッドに適用する方法

微細プロセス・テクノロジーでは、幅広配線はスリットを入れるか、細く分割しなければならない。また、幅広配線間のスペーシングは細い配線のスペーシングより大きく取らなければならない。これらの理由より、極端に幅広な配線はほとんど使われない。グローバル電源グリッド配線の幅は例えば、2 μ m から 10 μ m が使われる。これらの電源グリッドを本方式に置き換えることを考える。図 10 は電源グリッドを本提案方式に置き換えたものである。従来の電源グリッドの幅は、

$$D_c = 3s_c + 2w_c \quad (10)$$

ただし、 s_c は電源グリッドの配線間のスペーシング、 w_c は電源グリッドの電源線およびグラウンド線の幅である。DEPOGIT に有効な幅は、

$$D_d = (n+1)s_d + n \cdot w_d \quad (11)$$

ただし、 n は電源線とグラウンド線の数、 s_d は DEPOGIT 構造の配線スペーシング、 w_d は DEPOGIT 構造の電源線およびグラウンド線の幅である。最隣接結合の数は、 $n-1$ で表される。

$D_c = D_d$ を仮定すると、

$$n-1 = \frac{3s_c + 2w_c - s_d}{s_d + w_d} \quad (12)$$

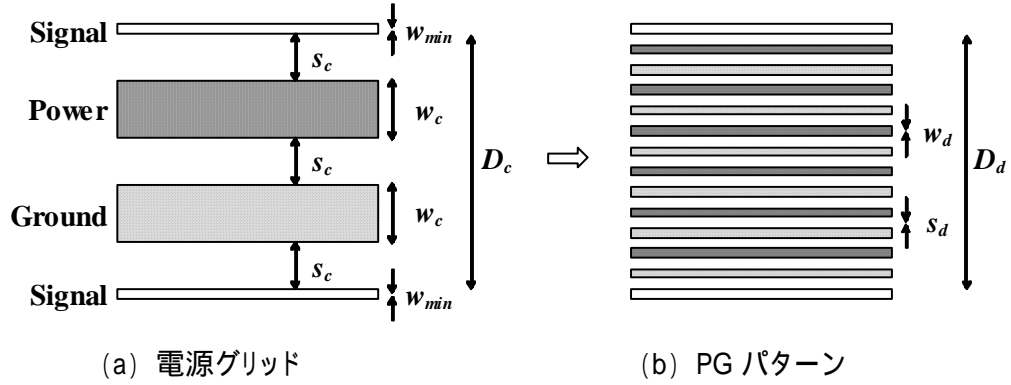


図 10: 電源グリッドへの適用例

B. ダミー・メタルの領域に適用する方法

ダミー挿入前のメタルの密度は一般に経験上、20%から 40%である。配線に必要な面積の比率は、配線幅とスペーシングが同じと考えれば、メタル・密度の 2 倍となる。均一性を確保するために、ダミー・メタルは全体の 10%から 30%挿入される。密度・ルールは信号線とダミー・メタルとのスペーシングは信号線間のスペーシングより、一般に広く規定される。

図 11 はダミー・メタルの代わりに高密度 DEPOGIT を適用する例を示す。この方法は、配線の変更を一切必要としないので面積ペナルティもなく、均一性を得ることができ、かつ電源線の抵抗率も下げることができる。

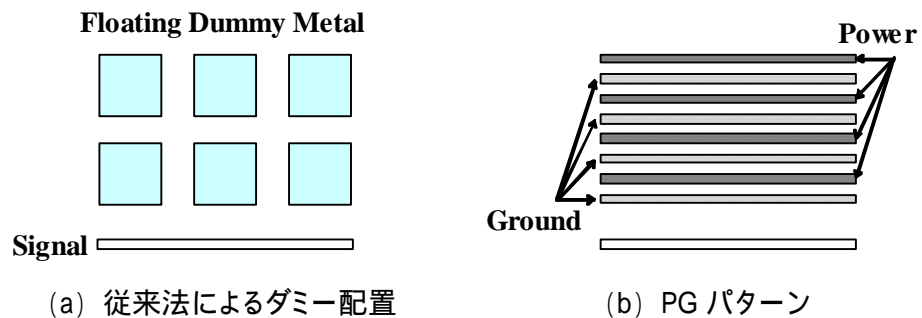


図 11: ダミー領域への適用例

C. IR-drop の多い箇所に適用する方法

IR-drop のひどい箇所にだけ、この構造を適用する方法もある。この部分 DEPOGIT 構造は IR-drop を引き起こすノイズ量の大きいクリティカル領域にも適用できる。また、チップを規則的に分割して、部分 DEPOGIT を分割されたブロックの中央に適用する方法もある。これはフリップ・チップと同様な効果が得られる。図 12 は IR-drop が高い箇所に高密度 DEPOGIT を適用する例を示したものである。

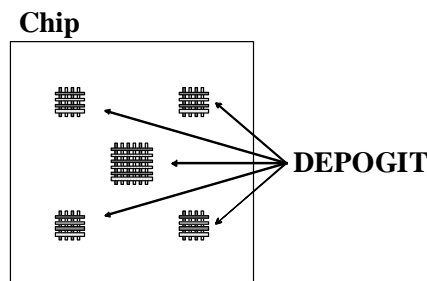


図 12: 高 IR-drop 箇所への適用例

D. 信号線間に適用する方法

配線間クロストークを避けるために、PG パターンを挿入することができる。いくつかのテクニックが可能であり、1) 適切なスペーシングで詳細配線の前に PG パターンを配置する方法、2) 配線後に P/G 配線を挿入する方法、がある。いずれの方法も配線資源を要求する。隣接セルの配線のための層やメタル 1,2 のローカル層は DEPOGIT 構造を取らない方がよい。

PG ペアの挿入は誘導性クロストークを避けるために、信号線数本置きに必要である。容量性クロストークの回避には信号線 2 本以内に PG 線が必要である。実際、バス配線やクロック配線のように長い配線のみがクロストークを避けるために PG ペアを挿入する必要がある。図 13 は中間層のみに DEPOGIT 構造を適用した例を示す。

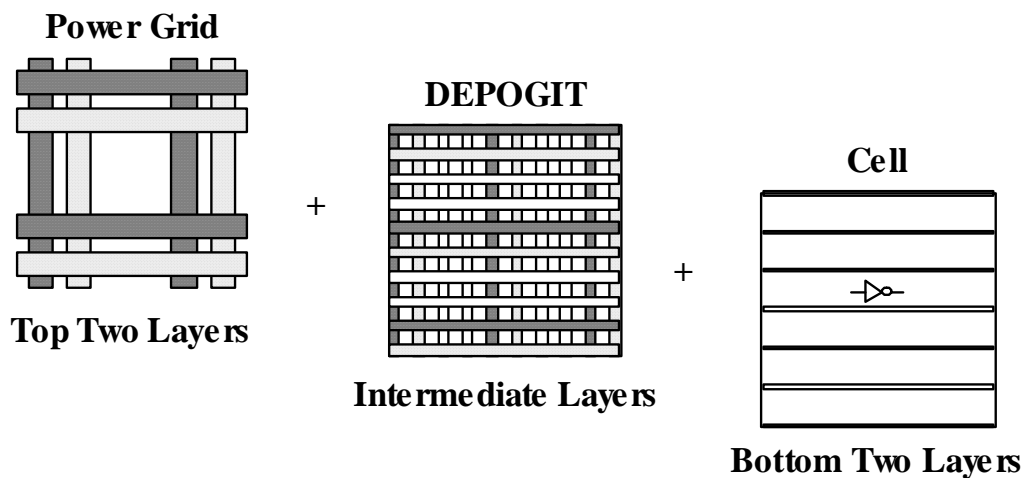


図 13: 中間配線層への適用例

4.5 容量の評価

本章では本提案方式のデカップリング容量について示す。

4.5.1 容量計算モデル

実際の使用において、どの程度のデカップリング容量が生成されるかの予測が必要である。レイアウトしてから、電磁界解析ツールで求めるのは非常に困難であり、特に 3 次元解析は現在のコンピュータ処理能力では現実的ではない。ここでは簡単に計算する方法を提示する。

図 14 は DEPOGIT 構造のデカップリング容量を計算するための配線断面モデルを示す。導体 1 の単位長容量は、

$$C_1 = \sum_{i=2}^n C_{1i} \quad (13)$$

ただし、 n は導体の数である。もし、その構造が全ての層で高密度 PG パターンであったなら、

図 14 に示される導体 1 の有効な容量は,

$$C_{1,eff} \cong C_{12} + C_{13} + C_{14} + C_{15} \quad (14)$$

ここで簡単化のために, 電源線 P とグラウンド線 G の間に信号線 S がある場合, P と G の容量はゼロと仮定する. その時, 各層の平均容量は,

$$C_{PG} \cong C_c \cdot N_c + \{(C_b + C_t)/2\} \cdot N_{PG} \cdot \{(N_{PG}/N_{wire})/2\} \quad (15)$$

ただし, N_c は PG 結合の数, N_{PG} は P と G の数, N_{wire} は配線の数, C_c は同層の結合容量, C_b は対象配線と下の層との間の容量, C_t は対象配線と上の層との間の容量である. C_c, C_b, C_t は図 14 のモデルから, 2 次元電磁界解析によって, 高速, 簡単に求めることができる.

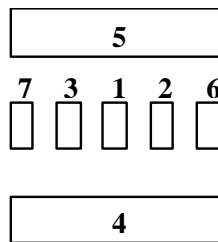


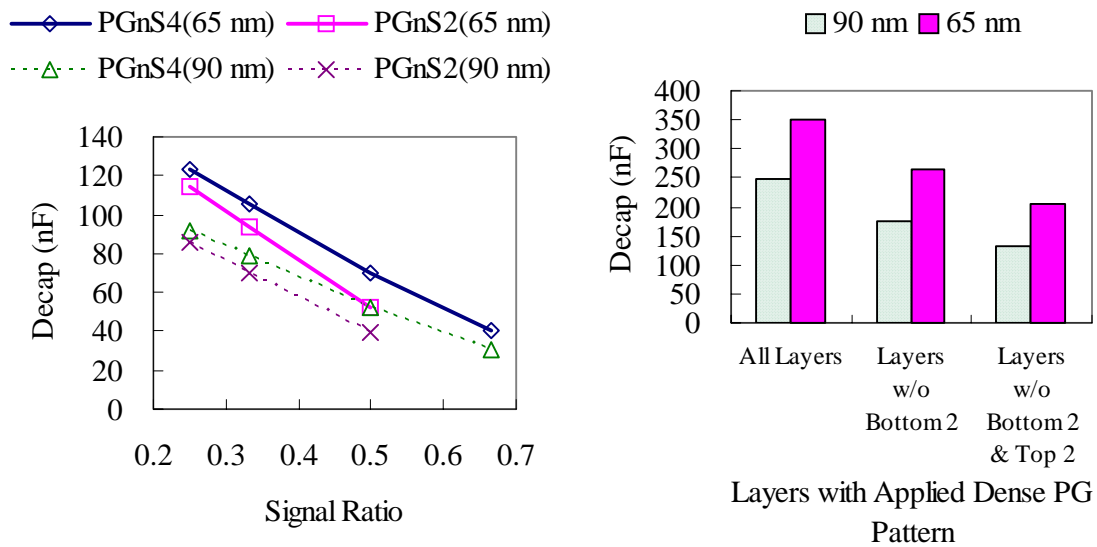
図 14: 中間配線層への適用例

4.5.2 デカップリング容量値

提案する配線方式によって生成されるデカップリング容量が世代毎にどのように変化するかを評価する. ここでは, 90nm と 65nm テクノロジでその傾向を見る.

デカップリング容量の最大は, 配線幅とスペーシングが最小で, 信号線がない PGPG パターンの繰り返しの場合である. 図 15 に 90nm と 65nm テクノロジにおけるデカップリング容量の比較結果を示す. 図 15(a) は PGnS4 と PGnS2 パターンを使用した場合の比較である. 例えば,

PG4S4 パターンの時, 90nm で 50nF, 65nm で 70nF の容量が得られる. 図 15(b) は PG 密集パターンを使った時の容量の比較である. テクノロジの進化につれて, 提案する配線方式の容量は増加することがわかる.



(a) 信号線比率による Decap

(b) 適用層による Decap

図 15: 90nm/65nm テクノロジにおけるデカップリング容量

4.5.3 測定結果

90nm プロセス・テクノロジーにおいてテスト・チップを作成した. 図 16 にそのレイアウト例を示す. 配線は高密度 PG パターンと信号線を通したいいくつかのパターンからなり, 配線部のサイズは $30.66\mu\text{m} \times 30.66\mu\text{m}$ である. 図 17 は測定によって得られて容量値と簡易モデルによって計算された容量値の比較を示す. その誤差は 10%以内である. この簡易計算は, DEPOGIT 構造を使って得られる容量を簡単にリーズナブルな精度で得るために有効である.

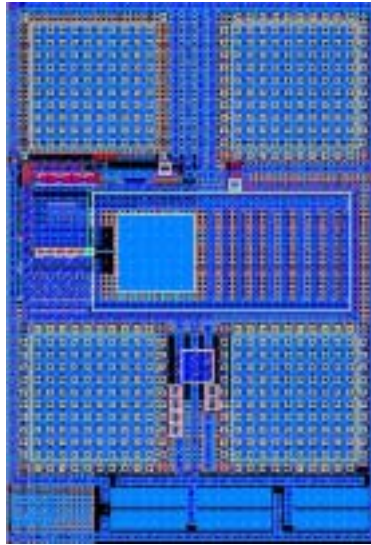
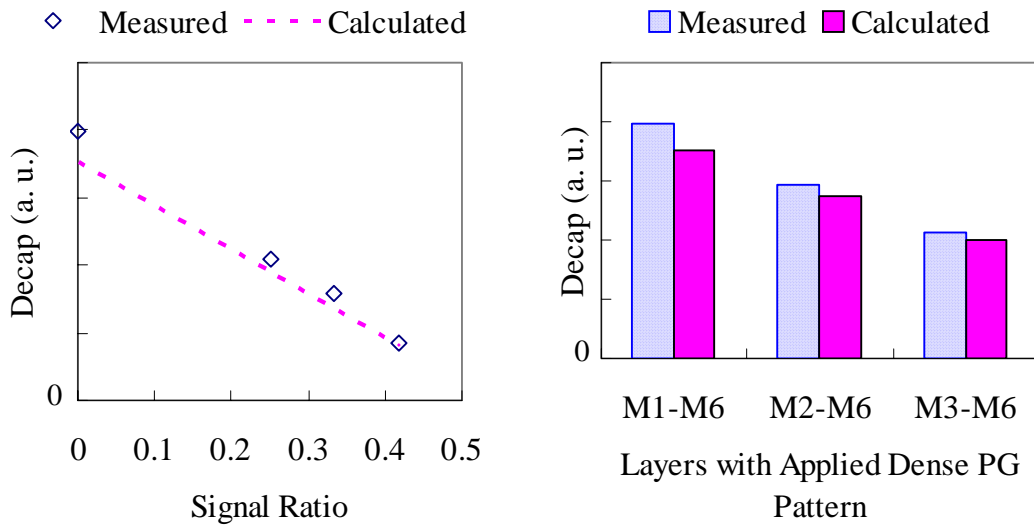


図 16: PG 間容量測定のためのテスト・チップのレイアウト



(a) 信号線比率による Decap

(b) 適用層による Decap

図 17: 測定結果と簡易モデルによる容量計算結果の比較

4.6 むすび

物理設計完全性のための新しい配線アーキテクチャを提案した。本アーキテクチャは電源線とグラウンド線を隣接させる配線構造からなり、シールド効果ばかりか高品質なデカップリング容量を生成できる効果がある。また本構造は配線密度がほぼ一定に保たれるので、従来行われていたダミー・メタルの挿入が不要となるばかりか、そのメタル密度の均一性が高くなる。結果として、本アーキテクチャは、シグナル・インテグリティ、DFM、寄生抽出精度を同時に改善し、ロバストな設計を可能にする。

4.7 第4章の参考文献

- [1] C.-C. Chang and J. Cong, "Pseudopin assignment with crosstalk noise control," *IEEE Trans. Computer-Aided Design*, vol. 20, no. 5, pp. 598-611, May 2001.
- [2] Y. I. Ismail and E. G. Friedman, "Effects of inductance on the propagation delay and repeater insertion in VLSI circuits," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 721-724, 1999.
- [3] L. He and K. M. Lepak, "Simultaneous shield insertion and net ordering for capacitive coupling minimization," in *Proc. Int. Symp. Physical Design*, pp. 55-60, 2000.
- [4] S. Bobba, T. Thorp, K. Aingaran, and D. Liu, "IC power distribution challenges," in *Proc. Int. Conf. Computer Aided Design*, pp. 643-450, 2001.
- [5] S. Zhao, K. Roy, and C. K. Koh, "Decoupling capacitor allocation for power supply noise Suppression," in *Proc. Int. Symp. Physical Design*, pp. 66-73, 2001.
- [6] H. Su, S. Sapatnekar, and S. R. Nassif, "An algorithm for optional decoupling capacitor sizing and placement for standard cell layouts," in *Proc. Int. Symp. Physical Design*, pp. 68-75, 2002.
- [7] H. H. Chen and D. D. Ling, "Power supply noise analysis methodology for deep-submicron VLSI chip design," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 638-643, 1997.
- [8] S. P. Khatri, A. Mehrotra, R. K. Brayton, A. Sangiovanni-Vincentelli, and R. H. J. M. Otten, "A novel VLSI layout fabric for deep sub-micron applications," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 491-496, 1999.
- [9] S. P. Khatri, R. K. Brayton, and A. Sangiovanni-Vincentelli, "Cross-talk immune VLSI design using a network of PLAs embedded in a regular layout fabric," in *Proc. Int. Conf. Computer Aided Design*, pp. 412-419, 2000.

- [10] S. P. Khatri, R. K. Brayton, A. L. Sangiovanni-Vincentelli, Cross-talk noise immune VLSI design using regular layout fabrics, Kluwer Academic Publishers, 2001.
- [11] S. Lin and N. Chang, "Challenges in power-ground integrity," in *Proc. Int. Conf. Computer Aided Design*, pp. 651-655, 2001.
- [12] International technology roadmap for semiconductors: Semiconductor Industry Association, 2002.
- [13] S. Hayashi and M. Yamada, "EMI-noise Analysis under ASIC design environment," *IEEE Trans. Computer-Aided Design*, vol. 19, no. 11, pp. 1337-1346, Nov. 1999.
- [14] Raphael version 2000.4, Synopsys Corporation.
- [15] A. Ajami, K. Banerjee, A. Mehrotra, and M. Pedram, "Analysis of IR-drop scaling with implication for deep submicron P/G network designs," in *Proc. Int. Symp. Quality Electronic Design*, pp. 35-40, 2003.
- [16] 山縣暢英, 貝原光男, 蜂屋孝太郎, 小野信任, "インダクタンス起因ノイズのトレンド - クロストークと dI/dt ノイズ," 電子情報通信学会 2002 年ソサエティ大会, pp. 249-250, 2002.
- [17] 蜂屋孝太郎, 黒川敦, 佐藤高史, 南文裕, 増田弘生, "動的電源ノイズ解析のための電源グリッドモデル抽出," 情報処理学会 DA シンポジウム, pp. 193-198, 2002.
- [18] J. Cong, L. He, A. B. Kahng, D. Boice, N. Shirali, and S. H.-C. Yen, "Analysis and justification of a simple, practical 2 1/2-D capacitance extraction methodology," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 627-632, 1997.
- [19] W.-S. Lee, K.-H. Lee, J.-K. Park, T.-K. Kim, and Y.-K. Park, "Investigation of the capacitance deviation due to metal-fills and the effective interconnect geometry Modeling," in *Proc. Int. Symp. Quality Electronic Design*, pp. 373-376, 2003.

第5章 ダミー・フィルに関する設計技術

SoC 設計の配線容量抽出において、CMP 平坦化を補助するために挿入するフローティング・ダミー・メタル・フィルの配線容量への影響をうまく処理する実用的な方法を提案する。その方法は、電界理論に基づいてダミー・メタル層の厚みを縮退することによって実現される。配線寄生容量、信号遅延、クロストークへの影響も明確にする。更に、層間ダミー・メタルの方が結合容量のインパクトに関わる層内ダミー・メタルよりも重要であることを示す。ダミー・メタル・フィルが無視されたなら、その容量抽出の誤差は 30%以上になり得る。提案する方法は現実的な配線ジオメトリの解析において、最大誤差で約 10%以内となる。また 90nm テスト・チップの測定結果と提案方法との比較の結果、誤差は 8%以内となる。

またフローティング・ダミー・メタルは、配線容量の増加と膨大なフィル数のために、深刻な問題となってきている。配線容量とダミー・メタル数を削減する新しい方法も提案する。その主要なテクニックは、1) 改良したフローティング正方形のフィル、2) フローティング平行配線、3) フローティング直角配線のダミー・フィルリングであり、それぞれ信号線の上下のダミー・メタル間のスペーシングを取ることも提案する。さまざまな観点から提案手法を検証する。実験結果から、従来の規則的な正方形ダミーの方法による配線容量の増分が 13.1%の時に對して、提案する改良された正方形ダミーの方法は 2.4%、拡張した平行配線の方法は 2.7%、直角配線の方法は 1%の増分となることを示す。更に、平行配線を使った方法は従来法に比べ、ダミー・メタルの数を 2 桁以上削減できることを示す。

5.1 まえがき

半導体技術の進歩につれて、システム LSI 設計における配線の寄生抽出の精度はますます

す重要となってきた。タイミング・クロージャの困難さもますます厳しくなってきた。プロセス情報を設計に正確に反映することは、タイミング設計のキー・テクノロジーである。寄生抽出は設計精度を保证するためのスタート・ポイントである。一般にダミー・メタル・フィルがCMP (Chemical-Mechanical Polishing) プロセスによる平坦化を補助するために、レイアウトの空き領域に挿入される[1-3]。そのダミー・フィルはいくつかの課題を導く。例えば、1) 設計フェーズのどのタイミングで挿入するか、2) 効果的な挿入方法は、3) ダミー・メタルの形状や大きさ、4) 精度と処理速度の観点で寄生抽出はどうすべきか、などである。これらの課題のうちいくつかを解決するために、効果的にダミー・フィルを挿入するアルゴリズム[4-7]、信号線の容量を均一化するためのダミー・パターンが報告されている。図1にその一例を示す。図1(a)は規則的な伝統的なパターンで、この場合、信号線がダミー・メタル上のどこを通過するかによって、配線容量が大きく異なる。図1(b)は千鳥(縦横にずらす)にしてその問題を解決したものであり[8]、また、図1(c)と(d)も均一なパターンなるように工夫されたものである。ダミー・フィルは一般に自動配置・配線の段階、もしくはレイアウト・タイミング検証の段階では挿入されず、マスク作成直前に挿入される。これはレイアウト設計中にダミー・フィルを挿入することは、セルの配置や配線の変更の障害になるからである。言い換えると、バックアノテーションと呼ばれる最終タイミング検証の直前で挿入することも可能である。しかしながら、ダミー・フィルを含むレイアウトから配線の寄生素子を抽出することは、膨大なダミー・フィルによる結合容量が発生し、パターン認識のための莫大な処理時間とメモリを必要とする。例えば、10層プロセスの1cm角のチップに、0.8 μ m角のダミー・メタルが20%挿入されると仮定すると、ダミー・メタルの数は、1億以上になる。結果として、マスク作成直前にダミー・フィルを挿入する現行の方法が、より現実的なアプローチとなっている。

ダミー・フィルを含めた配線容量を抽出する方法が提案されている[8-11]。また、同層と異層のダミー・フィルを考慮した最適な抽出方法も提案されている[9,10]。これらの方法は、実効誘電率を利用することによってダミー・フィルの領域を近似するテクニックを基本にしている。この

アプローチはクリティカル・パスの容量見積もりに役立ち、より正確に見積もるには実際にダミー・フィルが置かれた状態で抽出する必要がある。このアプローチは実行誘電率の計算を必要とするが、既存の設計フローやツールの変更を必要としないので有効な方法である。

ダミー・メタルの膨大な量もまた莫大な計算機コストのために、デザイン・ルール・チェック、レイアウト寄生素子抽出、OPC のような設計検証やマスクデータ作成において困難さを引き起こす。

本章では、フローティング・ダミー・フィルによって増加する配線容量とダミー・メタルの数を削減する方法を提案する。その方法は、信号線上下のダミー・メタル間のスペーシングと共に、1) 改良されたフローティングの正方形フィル、2) フローティングの平行配線、3) フローティングの直角配線によって実現される。以下本章では、はじめに、現実的な LSI 配線のジオメトリにおけるフローティング・ダミー・メタル・フィルの影響を調査する。次に、寄生抽出として、ダミー・フィルをうまく扱う方法を提案する。その提案方法において、寄生容量の計算はダミー・フィルの層の厚みを縮退することによって達成される。この方法は存在するアプローチよりシンプルでかつリーズナブルな精度を与える。それは抽出ツールの若干の機能追加を要するが現在の設計フローの変更は必要ない。残りの構成は次の通りである。5.2 章でダミー・フィルによる配線容量、信号遅延、信号線間クロストークへの影響を示す。次に 5.3 章でフローティング導体の電気現象を議論し、仮想・実際のダミー・フィルを考慮した新しい抽出方法を提案する。そしてその有効性を実験結果として示す。5.4 章でダミー・メタルの数と容量を削減するためのダミー・フィルリングを示し、5.5 章で纏める。

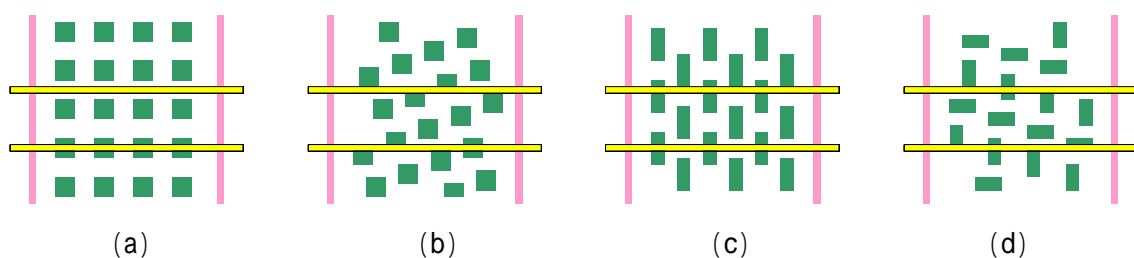


図 1: ダミー・メタルの各種パターン

5.2 フローティング・ダミー・メタル・フィルのインパクト

一般の SoC 設計において、ダミー・フィルを考慮した寄生抽出はほとんど行なわれていない。この章では、ダミー・フィルの配線容量、信号遅延、クロストーク・ノイズへのインパクトを解析する。配線構造パラメータは表 1 に示す ITRS[13]の 90nm テクノロジーの基本とし、解析には 3D 電磁界解析ツール[12]を使用する。

図 2 は信号線のトータル容量への影響を解析した結果である。図の中で、 M_i は i 番目の配線層を示し、 M_{i-2} と M_{i+2} はグラウンド・プレーンとする。 M_i 層中央の信号線を除く、 M_{i-1} 、 M_i 、 M_{i+1} 層の導体は、フローティング・ダミー・メタルである。ダミー・メタルの幅 w_d とその奥行きは同じで真上から見た場合の 1 つのダミー・メタルは正方形ある。奥行き方向は、スペース w_s でダミー・メタルが連続的に置かれる。図 2(b) の X 軸のデンシティ(メタルの比率)はスペースによって可変され、Y 軸の容量は奥行きに対する単位長さ当りの容量である。中央の信号線の幅 w_s は最小線幅 w_{min} に等しく、ダミー・メタルの幅 w_d は $w_{min} \times 5$ で、そのスペーシング s_d は $w_{min} \times 3$ である。また、 M_i 層の信号線とダミー・メタルとの距離 s_{sd} は $w_{min} \times 13$ である。ダミー・フィルが配置された時の信号線の容量はダミーを考慮しない容量に比べて、デンシティが 20% から 70% の範囲において、15% から 35% 増加する。

次に信号線間にダミー・フィルが挿入された場合の結合容量の影響を解析する。図 3 はその解析のための構造と結果を示す。ダミー・メタルの幅やダミー・メタル間のスペーシングは図 2(a) の構造の値と同じである。 M_{i-3} はグラウンド・プレーンである。両側の信号線はグラウンドとする。 M_i 層の信号線とダミー・メタルの間のスペーシング s_{sd} は最小線幅と同じ時、トータル容量 C_t のダミー有無による相対誤差は約 60% となる。もし、スペーシングが $w_{min} \times 10$ 以上ならば、信号線間の結合容量 C_c の減少によって、そのダミー有無による誤差は 20% 以下になる。これは信号線とダミー・メタル間のスペーシングが重要であることを示す。

図 4 は図 2 の構造とパラメータと同じ条件で、信号遅延への影響を解析した結果である。配

線長は 1mm , ドライバの抵抗 R_d は 200Ω , 次段のセルの入力容量は 5fF を仮定する . 配線抵抗と容量は電磁界解析ツールで求めた値を使用する . その伝播遅延時間は以下の式を使って計算する .

$$T_{pd} = 0.693R_d(C_w + C_g) + R_w(0.377C_w + 0.693C_g) \quad (1)$$

図 4(b) に示されるように , ダミー有無による伝播遅延の誤差は 20% 以上になる .

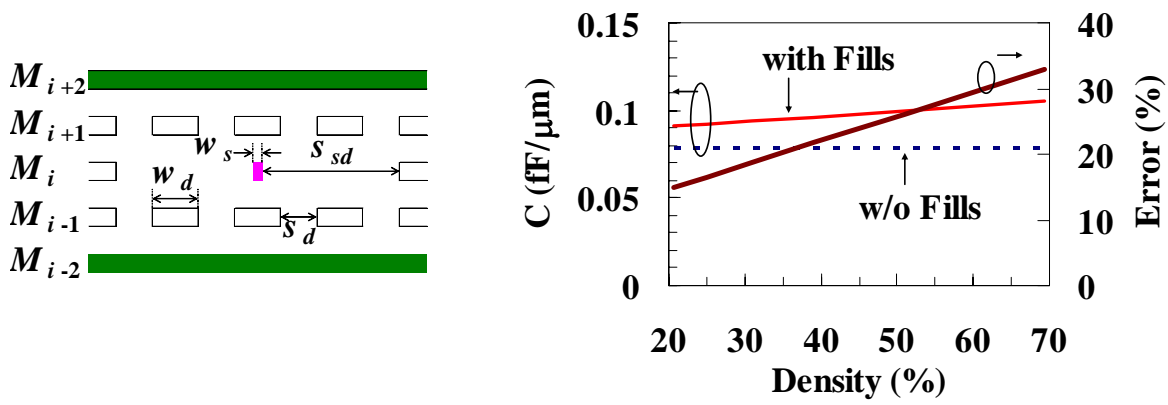
次に , ダミー・フィルのクロストーク・ノイズへの影響を解析する . 図 5 はダミー・フィルが考慮された時とされない時のピーク・ノイズへの影響を解析した結果を示す . ここで容量は図 3 で示される構造で解析した結果を基本に用いる . 両側の 2 本の信号線はアグレッサである . 図 5(a) の中で , ドライバ抵抗 , 配線長 , 入力容量は遅延解析に用いた値と同じである . 図 5(b) において , C_a はアグレッサ配線の次段入力容量を含めトータル容量である . C_v はビクティム配線のグラウンドに対するトータル容量 , C_c はビクティムとアグレッサ配線間の結合容量である . ビクティムのドライバ抵抗 R_v は 200Ω , アグレッサのドライバ抵抗 R_a は 100Ω である . その配線抵抗と容量は電磁界解析ツールによって求める . ピーク・ノイズは以下の式で計算する .

$$V_{peak} = V_{dd} \frac{R_v C_c}{\tau_1 - \tau_2} \left((\tau_1 / \tau_2)^{\frac{-\tau_2}{\tau_1 - \tau_2}} - (\tau_1 / \tau_2)^{\frac{-\tau_1}{\tau_1 - \tau_2}} \right) \quad (2)$$

$$\tau_1, \tau_2 = 0.5 \left\{ R_a(C_a + C_c) + R_v(C_v + C_c) \pm \sqrt{(R_a(C_a + C_c) - R_v(C_v + C_c))^2 + 4R_a R_v C_c^2} \right\}$$

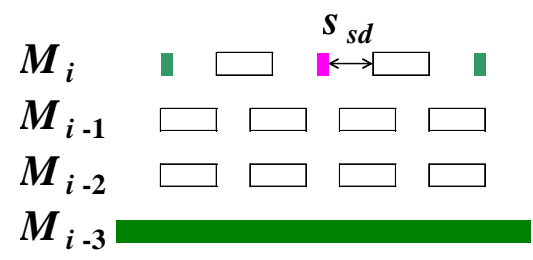
上記結果から , 信号線とダミー・メタル間のスペーシングが $0.7\mu\text{m}$ (例えば $w_{min} \times 5$) 以上ならば , そのピーク・ノイズは $V_{dd}=1\text{V}$ に対して 90mV よりも少ない . すなわち , 同層のダミー・フィルの影響は信号線とダミー・メタル間の適切なスペーシングによって制限され得る .

これらの結果は , ダミー・フィルを考慮しない設計は配線容量 , 遅延 , クロストーク・ノイズに対して過少見積りになることを示している . 実際の設計ルールで , 一般に信号線とダミー・メタル間のスペーシングは , ダミー間のスペーシングよりも大きく定義されている . すなわち , ダミー・フィルの影響は層内よりもむしろ層間の方がより重要である . 次の章でダミー・フィルを考慮したシンプルでリーズナブルな精度が得られる新しい容量抽出方法を提案する .

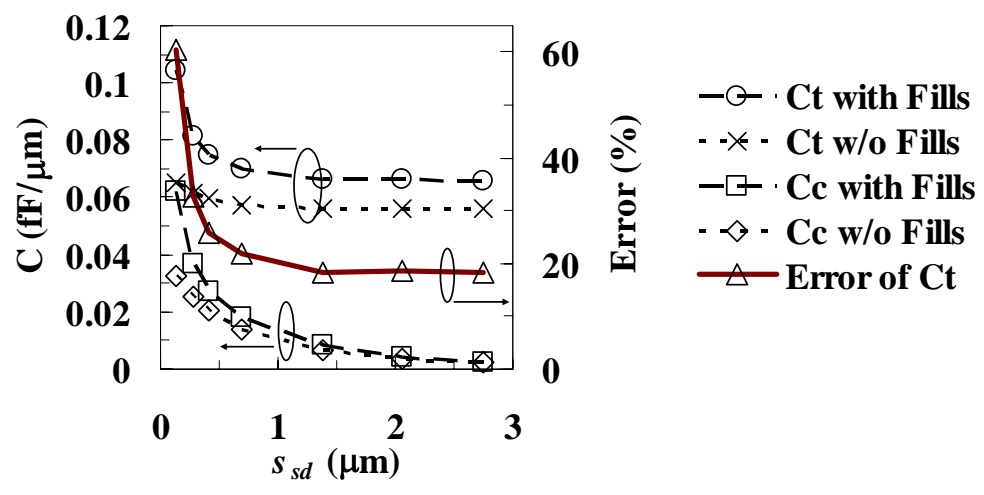


(a) 断面 (b) デンシティと容量

図 2: ダミー・フィルの配線容量への影響



(a) 断面



(b) 信号線とダミー・メタル間スペーシングと容量

図 3: ダミー・フィルの信号間結合容量への影響

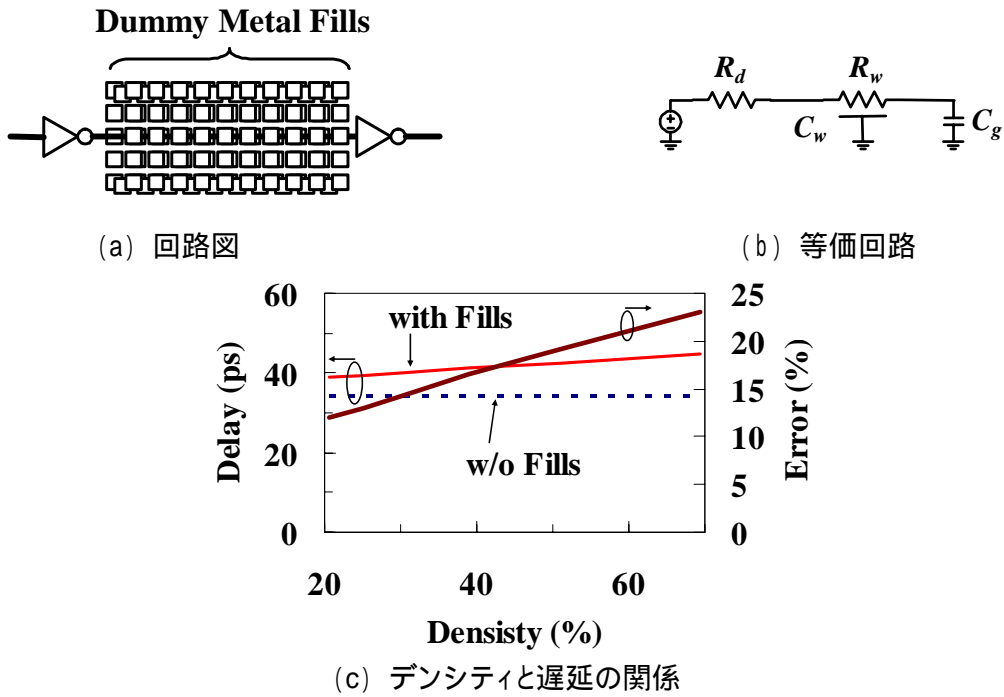


図 4: ダミー・フィルの信号遅延への影響

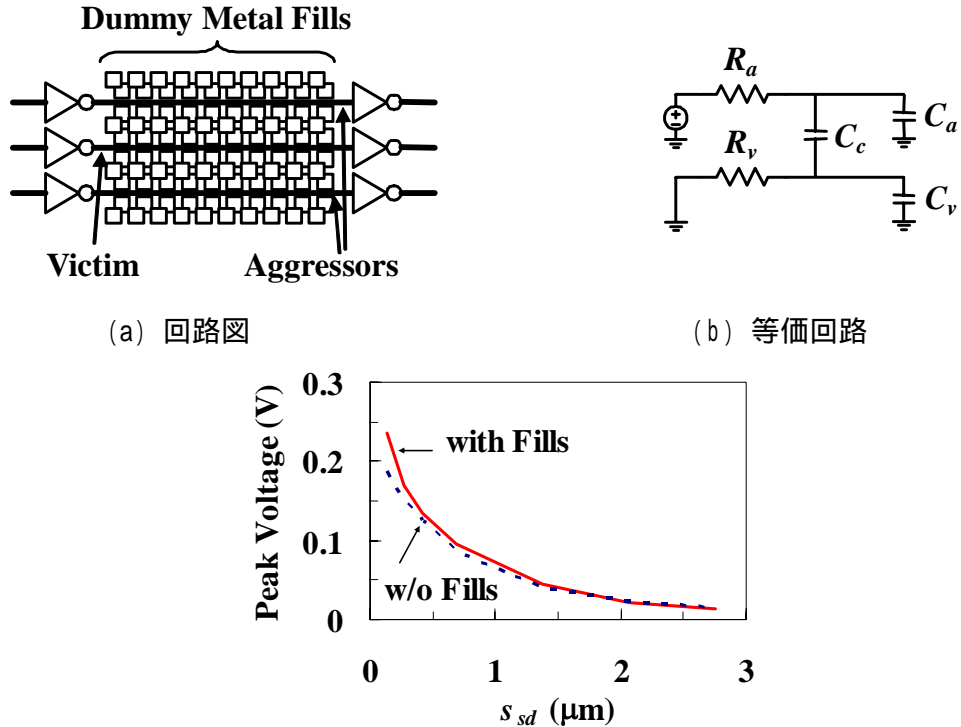


図 5: ダミー・フィルの信号間結合容量によるピーク・ノイズへの影響

5.3 ダミー・メタル・フィルのモデリング

5.3.1 フローティング導体の原理

はじめにここで提案するモデリングの基礎となるフローティング導体の原理を示す。ここでは2D電磁界解析ツールを使ってその物理現象を明確にする。図6から図9に示す構造において、奥行き方向は無限と仮定して、容量は単位長さ当りの容量とする。

1本のフローティング導体を挟んだ並行平板の容量はそのフローティング導体の厚みを取り除いた並行平板の容量と同じである。図6(a)の中央と右の構造において単位長さ当りの容量は、

$$C = \frac{1}{\frac{h_1}{\varepsilon \cdot w} + \frac{h_2}{\varepsilon \cdot w}} = \frac{\varepsilon \cdot w}{h_1 + h_2} \quad (3)$$

ただし、 h_1 と h_2 はフローティング導体と両側のプレーンとの間の距離を示し、 ε は誘電率を表す。並行平板間に複数のフローティング導体がある場合、図6(a)で示されるように、1本のフローティング導体に置き換えることで近似される。図6(b)はその関係をフローティング導体のスペーシング s_d によって解析した結果である。 s_d があまり広くなければ、例えば $1\mu\text{m}$ 以内ならば、ほとんど複数のフローティング導体は1本のフローティング導体に近くなる。

図7(a)は幅が w_{min} の信号線、幅が w_d も1つのフローティング導体1、無限に広いグラウンド・プレーン g からなる配線構造の断面を示す。信号線のトータル容量は、

$$C_{s, f=1} = C_{sg} + \frac{1}{1/C_{s1} + 1/C_{g1}} \quad (4)$$

ただし, C_{sg} は信号線とグラウンド・プレーン間の容量, C_{s1} は信号線とフローティング導体間の容量, C_{g1} はフローティング導体 1 とグラウンド・プレーン間の容量である. 図 7(b) はフローティング導体の幅を可変した際の信号線のトータル容量を示す. 容量 $C_{s,f=1}$ はフローティング導体の幅が広くなるにつれて増加し, C_{s1} に近づく. フローティング導体の幅が広くなるにつれてその導体は仮想グラウンドに近づく. その関係は,

$$\lim_{w_d \rightarrow \infty} C_{s, f=1}(w_d) = C_{s1} \quad (5)$$

これは, より大きいサイズのフローティング導体が挿入されると, そこが仮想グラウンドとなるため, 信号線の容量は増加することを意味する. すなわち, ダミー・サイズは信号線の容量の観点でより小さくするべきである.

次に, 図 8(a) に示すように, 信号線とグラウンド・プレーン間に 2 つのフローティング導体がある構造を考える. 図 8(b) は信号線のトータル容量と 2 つのフローティング導体間のスペーシングの関係を示したものである. スペーシングを多く取るに従い, その信号線容量ははじめ増加し, 次に減少しながら, フローティング導体無しの容量に近づく. 2 つの導体は対称で導体 1 と導体 2 の等しいと仮定すると, 2 つの導体の結合容量は取り除ける. その時, 信号線のトータル容量は,

$$C_{s, f=2} = C_{sg} + \frac{1}{1/C_{s1} + 1/C_{g1}} + \frac{1}{1/C_{s2} + 1/C_{g2}} \quad (6)$$

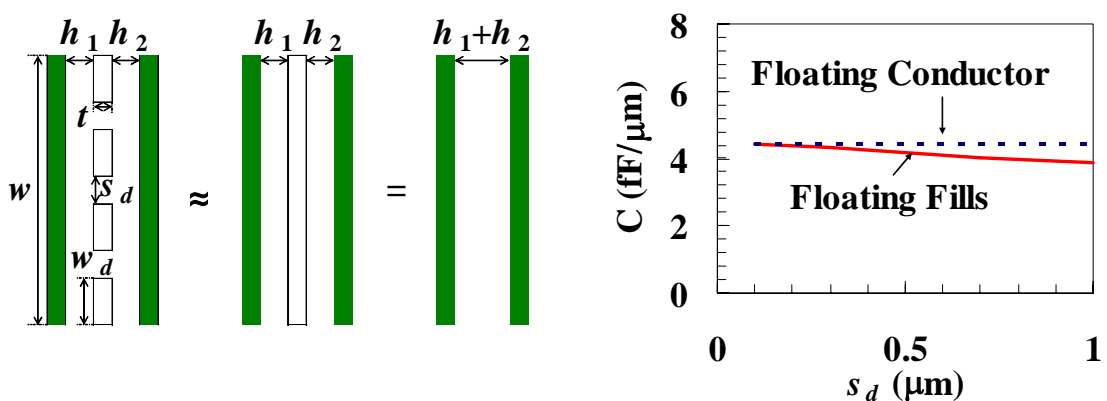
図 9(a) に示されるように, 信号線とグラウンド・プレーン間にフローティング導体が無数に置かれ, フローティング導体間の結合容量を無視すると, 信号線の容量は,

$$C_{s, f=\infty} \cong C_{sg} + \sum_{i=1}^{\infty} \frac{1}{1/C_{si} + 1/C_{gi}} \quad (7)$$

式(7)で、信号線とグラウンド・プレーン間の直接の電気力線は、フローティング導体によってシールドされ、 C_{sg} は非常に小さくなる。加えて、信号線とフローティング導体間の容量はその距離とともに減少するので、信号線から遠いフローティング容量は信号線のトータル容量にさほど影響を与えない。その時、信号線の容量は、

$$C'_{s, f=\infty} \cong \sum_{i=1}^k \frac{1}{1/C_{si} + 1/C_{gi}} \quad (8)$$

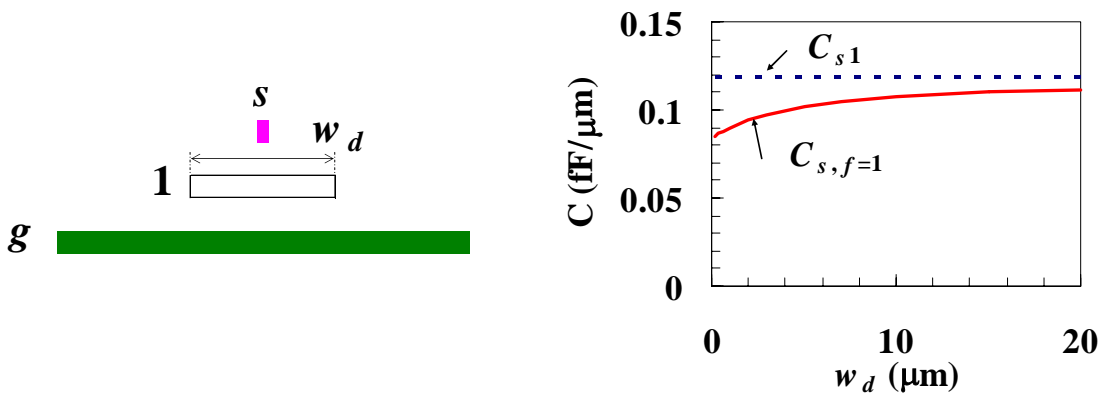
ただし、 k は近似のためのフローティング導体の数である。図9(b)は式(8)の正当性を示す。図に示される正確な2D解析結果の点線はフローティング導体の数が無限であると仮定した場合である。本構造の場合、信号線の容量は導体の数 $k=4$ 以上によってほぼ近似されることがわかる。 $k>6$ の場合、正確な2D解析結果の点線を超えるが、これは式(8)がフローティング導体間の結合容量を無視したために生じる。図8と図9から、ダミー・フィルを考慮するウィンドウのサイズは小さくてよいことがわかる。



(a) 各種並行平板

(b) フローティング導体間スペーシングと容量

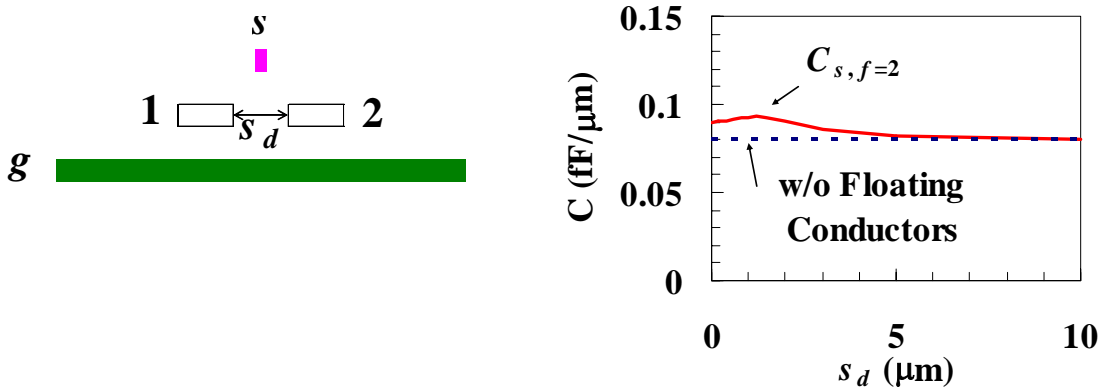
図6: 並行平板間のフローティング導体の容量特性



(a) 断面

(b) フローティング導体の幅と容量

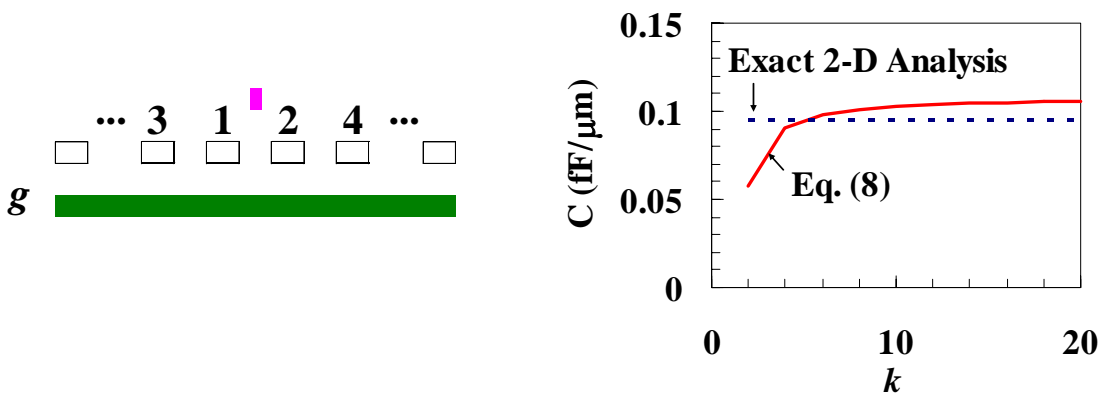
図 7: 信号線とグラウンド・プレーン間に 1 つフローティング導体がある場合の容量特性



(a) 断面

(b) フローティング導体間のスペーシングと容量

図 8: 信号線とグラウンド・プレーン間に 2 つフローティング導体がある場合の容量特性



(a) 断面

(b) フローティング導体の数と容量

図 9: 信号線とグラウンド・プレーン間に複数フローティング導体がある場合の容量特性

5.3.2 提案する容量抽出方法とその評価

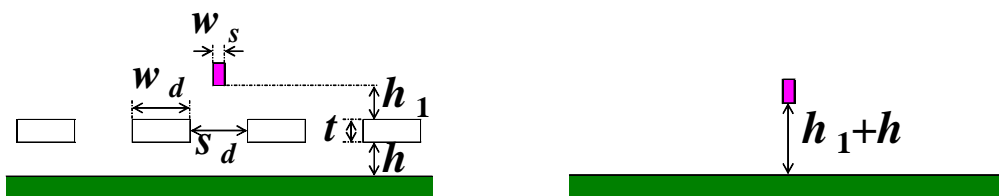
実際の LSI で使われるダミー・フィルの形状は通常小さく、デンシティ・ルールを満足するために、フィル間のスペーシングもまた狭い。配線容量を抽出するためのシンプルな方法として、前述したフローティング導体の原理を基礎にして、ダミー・フィルの厚みを縮退することによって、元々の構造を近似する方法を提案する。図 10(a)と(b)はその方法を図示したものである。この章では 3D 電磁界解析ツールを使って、さまざまな構造において、提案する方法の精度を検証する。解析に用いたパラメータは基本的に表 1 に示される値と同じである。信号線の幅 w_s は最小線幅 w_{min} であり、ダミー・フィルの幅 w_d とスペーシング s_d は $w_{min} \times 5$ と $w_{min} \times 3$ を基本とする。

図 10(c)は信号線とダミー・フィルの間のさまざまな高さにおいて、提案方式と元々の構造の容量とを比較した結果である。この構造における提案方式の誤差は 2%以内である。図 11(a)はダミー・フィル層の数を変動した時の提案方式の精度を示す。その誤差は 2%以内であり、層の数にはあまり影響しない。図 11(b)は信号線の幅を可変した時の提案方式の精度である。信号線の幅が広くなるにつれて容量は増加するが、その誤差は数%以内である。図 12 はさまざまなダミー・パターン、デンシティ、ダミー・メタル幅による本提案方式の評価結果を示す。デンシティが極端に薄いか濃い場合は誤差が大きくなる。高いデンシティによって生じる負の誤差は、広い幅のフローティング導体はそこが仮想グラウンドに近づくという図 7 で示される理論に基づく。対照的に、低いデンシティによって生じる正の誤差は図 8 で示される理論から来る。

これら全ての結果から、提案する方式の誤差は、デンシティが 25%から 45%でダミー・メタル幅が $w_{min} \times 7$ 以内の一般的な構造において、おおよそ 10%以内である。図 1 の(b-d)で示されるような均一なパターンの場合、その誤差は図 12 で解析した構造の誤差範囲にほぼ含まれる。

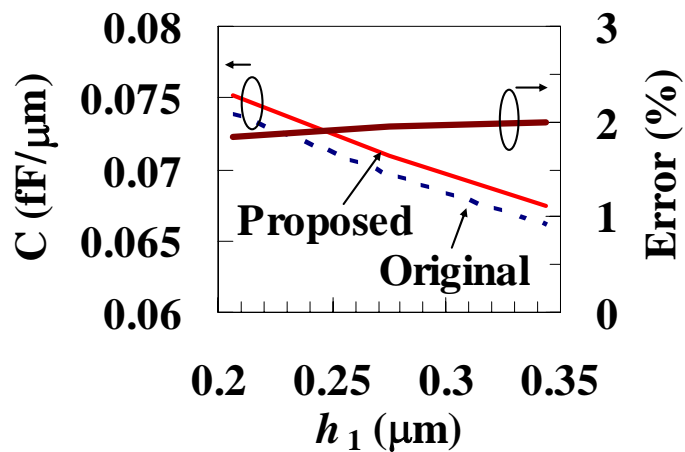
表 1: 解析に使用した構造パラメータ

Parameter	Value
Resistivity ($\mu\Omega\text{-cm}$)	2.2
Dielectric Constant, ϵ_r	3.1
Minimum Width, w_{min} (nm)	137.5
Metal Thickness, t (nm)	233.75
Via Depth, h (nm)	206.25



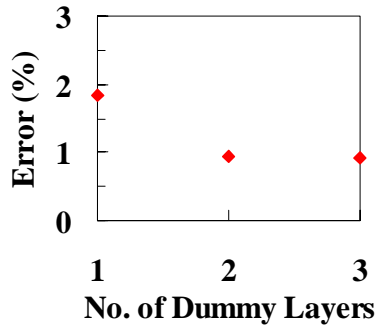
(a) オリジナル構造

(b) 提案構造

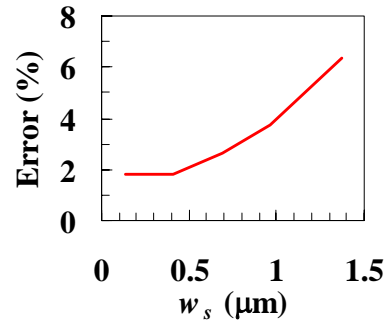


(c) 信号線とダミー・メタル間の高さと容量

図 9: 提案構造と信号線とダミー・メタル間の高さ変動による容量値の精度検証

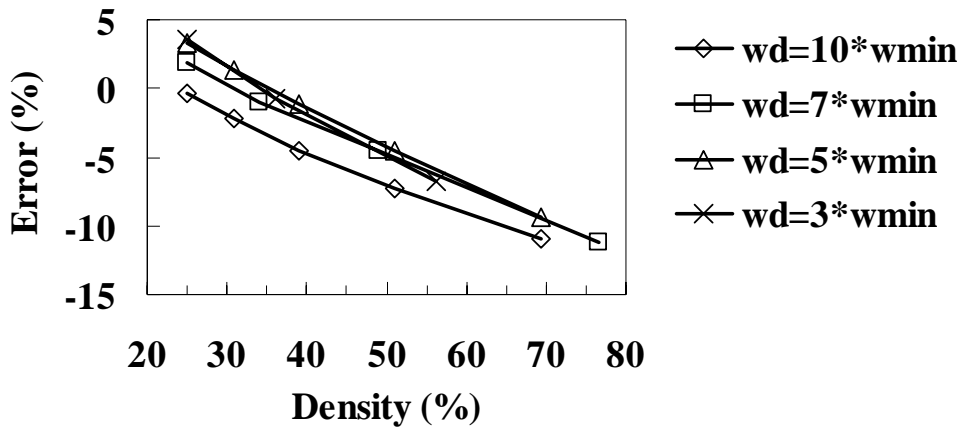


(a) 層数と誤差

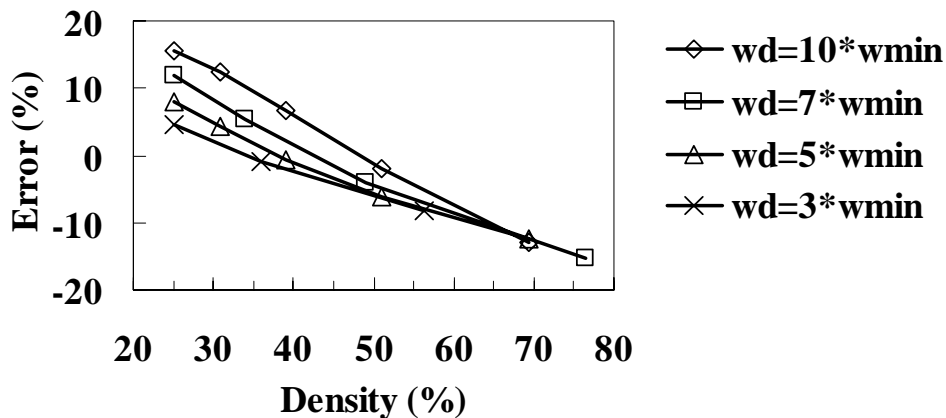


(b) 信号線幅と誤差

図 11: 提案方式の層数, 信号線幅変動による容量値の精度検証



(a) 上下層ダミー・メタルにおいて, 信号線直上と直下がメタルの場合



(b) 上下層ダミー・メタルにおいて, 信号線直上と直下がメタル間スペーシングの場合

図 12: 提案方式のダミー位置, デンシティ, ダミー・メタル幅可変による容量値の精度検証

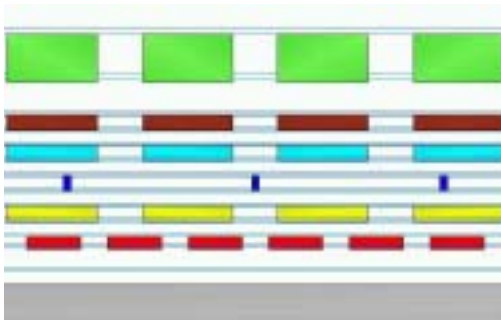
5.3.3 適用方法

ダミー・フィルは一般にレイアウト設計中には挿入されない。現在の設計フローを変更することなくダミー・フィルをうまく扱うために、仮想的なダミー・フィルが信号線とダミー・フィルとのスペーシング等を規定したデザイン・ルールに基づいて挿入されたと仮定する。この場合、寄生抽出はダミー・フィルを挿入するスペースが上下層に存在するかどうかを判断することによってなされる。もし、ダミー・フィルの挿入領域が存在するならば、そのダミー・フィルの厚みが配線容量抽出のウィンドウの中で縮退される。また、ダミー・フィルがマスク直前ではなく、タイミング解析の前に既に挿入されている場合は、実際のフィルの配置に基づいて、同様に提案方式が用いられる。提案方式は寄生抽出ツールのみの機能、すなわち抽出ウィンドウ内でダミー・フィル挿入スペースが存在するかの認識とダミー・フィルを縮退したシンプルな構造のキャラクター化の追加を要求する。結果として、その方法は既存の設計フローの変更は生じない。

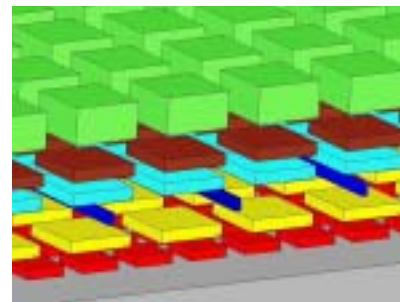
5.3.4 実験結果

90nm テクノロジ、6 層メタル、多層誘電層のプロセスにおけるテスト・チップを作成した。ここでは提案方式の妥当性を検証する。そのテスト・チップは、容量測定回路 (CBCM: Charge-Based Capacitance Measurement) [16]と対象とする配線部から構成される。その配線構造の一例は、図 13(a)と(b)に示す。信号線は M3 層に位置する 3 本配線の中央である。残りの 2 本はグラウンド線である。それらの配線の幅は $0.14\mu\text{m}$ 、長さは $84.42\mu\text{m}$ である。その 3 本配線以外のメタルは全てフローティング・ダミー・メタルである。ダミー・メタルは真上から見た時、正方形で、M2, M4, M5, M6 のダミー・メタルの一边は $1.68\mu\text{m}$ 、ダミー間スペーシングは

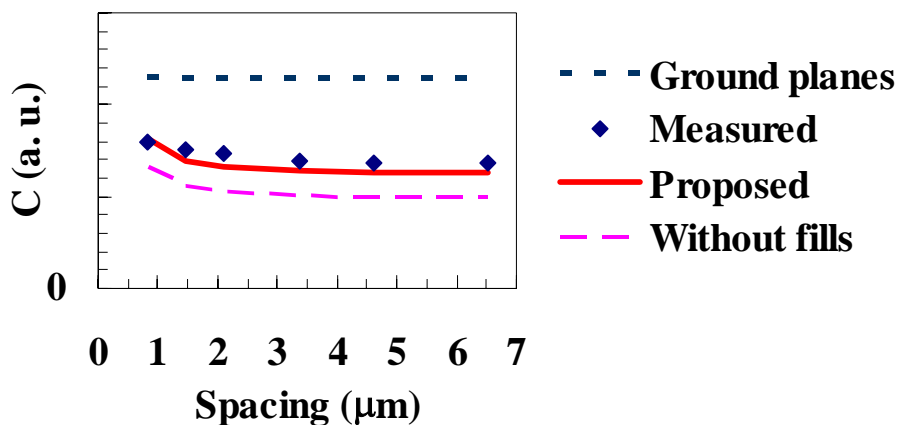
0.84 μm , M1 のダミー・メタルの一辺は 1 μm , ダミー間スペーシングは 0.5 μm である。提案方式は, 対象信号線の M3 層を除くダミー・メタルの層の厚みを縮退することによって成される。図 13(c)はその提案方式, 実測, ダミー・メタルを考慮しなかった場合, そしてダミー・メタルをグラウンド・プレーンとした場合の比較結果を示す。実測以外は電磁界解析によって求めた結果である。M2 と M4 層がグラウンド・プレーンとして扱くと, その誤差は 66%以上となる。ダミー・フィルがないものとして扱くと, その誤差は 27%以上である。提案方式の誤差は 8%以内である。すなわち, 提案方式はリーズナブルな精度が得られることがわかる。



(a) 断面



(b) 3D



(c) 同層配線間スペーシング変動による提案方式と実測との比較

図 13: 提案方式の実測との比較

5.4 新しいダミー・フィリング

フローティング・ダミー・フィルの使用によって増加する配線容量を抑制し、ダミー・メタルの数を減らす 3 つの主要な方法を提案する。

5.4.1 ダミー・フィリングの方法

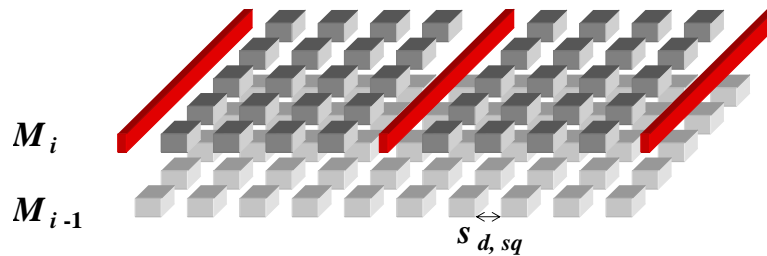
A. 従来ダミー・フィルの改良

最初に、従来のダミー・フィルを使うことによって生じる配線容量の増加を抑制するための新しい方法を提案する。図 14(a)はその従来の規則的な正方形のパターンからなるダミー・フィルと一緒に配線構造の略図である。 M_i は i 番目のメタル層を意味する。 M_i の中央の線と両側の線は信号線である。ダミー・メタル間のスペーシングは $s_{d,sq}$ によって表現される。ダミー・フィルに起因する容量の増加を抑えるために、信号線の上下のダミー・メタル間を広いスペーシングを確保することを提案する。これは、デザイン・ルールを追加することによってダミー・フィルを挿入しないようにするか、挿入された後に信号線上下のダミー・フィルを取り除くことによって実現される。図 14(b)は信号線下のフィル間を広いスペーシングによって従来の規則的な正方形のパターンを改良した構造の略図である。 $s_{c,sq}$ は信号線下のダミー・メタル間のスペーシングである。信号線上下の広いスペーシングを用いるフィリングは、配線容量を削減することができる。

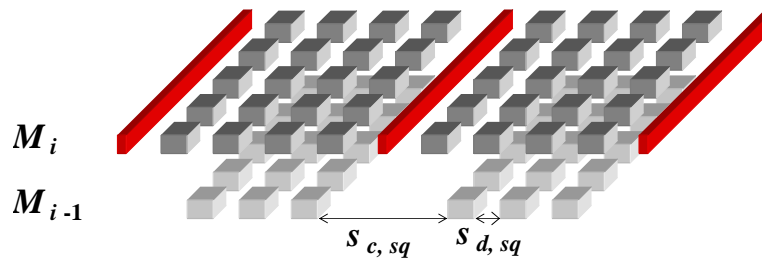
近年、フィルをシフトするダミー・フィル・パターンもまた使われる[4, 8-10]。しかしながら、ここで提案する方法は配置パターンやダミーの形状には依存しない。すなわち、スペーシングと一緒に方法は、いかなるパターンにも適用可能である。

配線が密集な時、その提案した方法はデンシティ・ルールによって、密集配線の上下のフィルを効果的に除くことは難しい。このような場合、その提案方法はクリティカル・パスに成り得る

長い配線のような重要な信号線に優先的に適用されるべきである。



(a) 従来の規則的な正方形パターン



(b) 信号線上下のダミー・メタル間スペーシングによって改良されたパターン

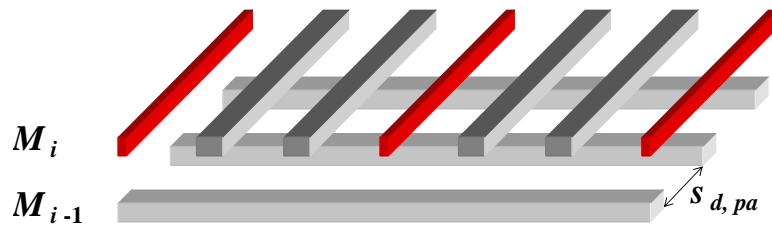
図 14: 正方形ダミー・フィルを用いた配線構造

B. フローティング平行配線の方法

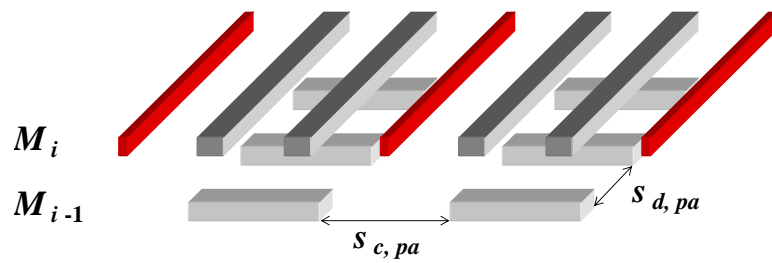
前述した従来のフィル・パターンをスペーシングによって改良する方法は、配線容量を削減できる。しかし、同じ密度の中で、ダミー・メタルの数を削減することはできない。大きいサイズのダミー・メタルを使えば、数を減らすことは可能である。しかしながら、一般に極端に大きいサイズはプロセス上、スリットを入れる必要があり、更に局所的な不均一性を招くので、サイズには限界がある。

この章では、ダミー・メタルの数を大幅に削減できる新しい方法を提案する。それは、層内の信号線と同じ方向にフローティング線を置くことによって実現される。これを、フローティング平

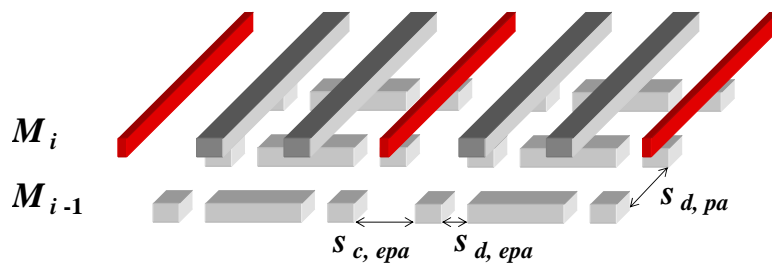
行配線の方法と呼ぶ。その方法は従来の正方形パターンのフィリング方法に比べて、ダミーの数を2桁以上削減可能である。図15(a)はその平行配線の方法の基本構造を示す。その $s_{d,pa}$ はダミー線とダミー線とのスペーシングである。更に、図14(a)と15(a)からわかるように、信号線間のダミーの列の数は、同じ密度でも、従来法が4列に対して、平行配線の方法は2列に削減される。図15(b)は信号線の下をカットした平行配線の方法の構造を示す。その $s_{c,pa}$ は信号線下のカットしたダミー・メタル間のスペーシングである。もしダミー線がカットされないなら、その信号線の容量は信号線上下のダミーとのトータル容量に近づく。これは、隣接層の長いフローティング線は仮想的にグラウンドに近づくからである。この問題を克服するために、信号線の上下のダミー線はあるスペーシングと共にカットされるべきである。更に、広いスペーシングを確保することは、密集配線の場合や密度・ルール違反で難しいならば、一般の正方形ダミーと複合することで、配線容量の増加を防止することができる。図15(c)はその拡張した平行配線の方法の構造を示す。その $s_{c,epa}$ は信号線下のダミー・メタル間のスペーシング、 $s_{d,epa}$ は通常正方形ダミー・メタルと平行配線との間のスペーシング、 $s_{d,pa}$ はダミー線間のスペーシングである。



(a) カットニングなし



(b) カットニング・スペースあり



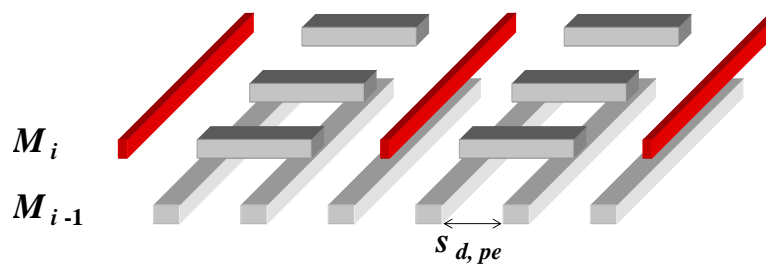
(c) カットニング・スペースと通常のダミー・メタルを複合

図 15: フローティング平行配線を用いた配線構造

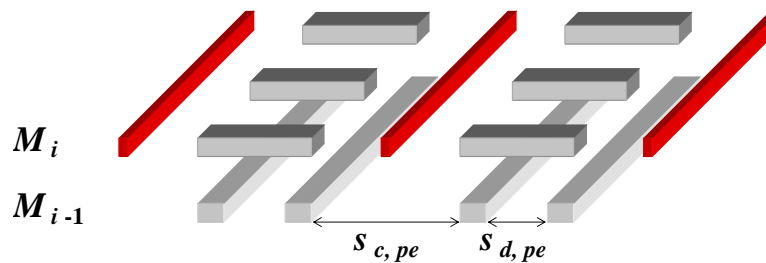
C. フローティング直角配線の方法

別のアプローチとして、配線容量とダミー・メタル数を削減する方法を提案する。図 16(a)に示すように、層内において、フローティング線を信号線に直角に配置する。これを、フローティ

ング直角配線の方法と呼ぶ。更に，図 16(b)は信号線下のダミー線間のスペーシングを広く取ることによって，配線容量を削減できる。その $s_{d,pa}$ は一般のダミー線間のスペーシング， $s_{c,pa}$ は信号線直下のダミー線間のスペーシングである。もし，ダミーを挿入する広い領域が確保されるならば，この直角配線の方法は同じデンシティを確保した上で配線容量を削減するのに非常に効果がある。



(a) 規則的なスペーシング



(b) 信号線下のダミー線間の広いスペーシング

図 16: フローティング直角配線を用いた配線構造

5.4.2 容量とダミー数の評価

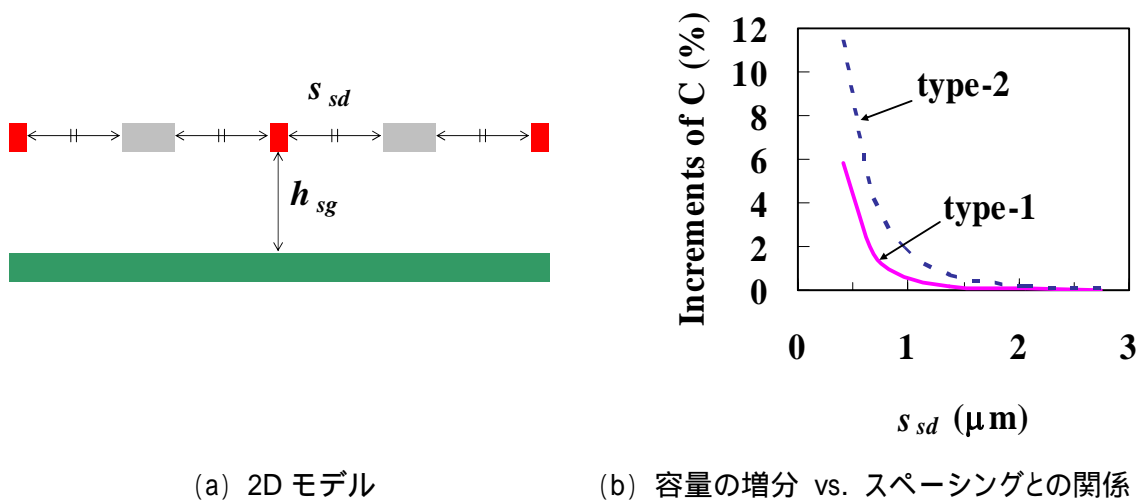
提案したフィリング方法の有効性を評価する。最初に，層内容量の影響を，次に層間の容量を，最後にダミー・フィルの数を明確にする。これらの解析のために，表 1 に示す ITRS の

90nm テクノロジの中間層の配線パラメータを基本に, 2D/3D 電磁界解析ツール[12]を使用する.

A. 層内容量の評価

A.1 層内の信号線とダミー間のスペーシング

層内のダミーと一緒に信号線間スペーシングを可変することによって, 配線容量の変動を評価する. 結合容量の影響は信号線間のダミー・パターンによって異なるが, その結合容量は信号線間に1本のダミー線がある場合が最も影響を受ける. そこで, スペーシングと一緒にのダミー線に起因する増加した層内容量を解析するために, 図 17(a) に示す 2D モデルを使用する. その中央の導体は信号線である. その下底と両サイドの導体はグラウンドである. 信号線と両端の導体間に位置する2つの導体はフローティングダミー線である. 図 17(b) にその容量の増分を求めた結果を示す. もし信号線とダミー・メタル間のスペーシング s_{sd} が $1\mu\text{m}$ 以上なら, 信号線間の結合容量はダミーによってほとんど影響を受けない(容量の増分は 2%以内である).



(a) 2D モデル

(b) 容量の増分 vs. スペーシングとの関係

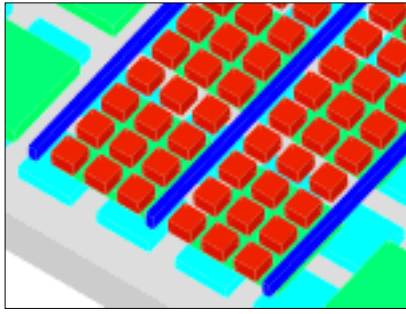
図 17: 層内ダミーの容量への影響を解析した結果

中央と両側の線幅は 137.5nm, 2 つのダミーの幅は 687.5nm, 全ての導体の厚みは 233.75nm である。Type-1 は $h_{sg}=h=206.25\text{nm}$, Type-2 は $h_{sg}=h * 2 + t=646.25\text{nm}$ である。

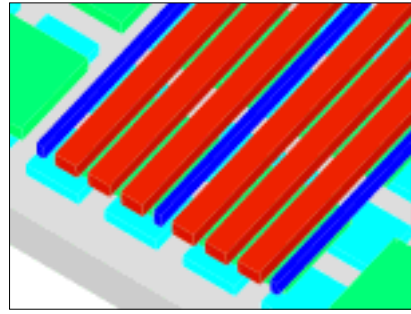
A.2 従来フィルと平行配線方法の容量測定結果

90nm テクノロジのテスト・チップを作って, 配線間にダミーがない場合, ある場合, フローティング平行配線がある場合の配線容量を測定した。図 18 はそのテスト・チップの配線構造の 3D 図を示す。図 18(a) はダミー・フィルと一緒の構造の例であり, 図 18(b) は平行配線と一緒の構造の例である。図 19 は測定によって得られた容量対信号線間距離の関係を示したものである。図 19(a) は信号線上下の配線層は密集配線でグラウンドされている場合であり, 図 19(b) は信号線上下の配線層はフローティング・ダミー・メタルが敷き詰められている場合である。信号線の幅は $0.14\mu\text{m}$, ダミー・メタルは真上から見た形状は正方形で 1 辺が $0.8\mu\text{m}$ である。フローティング線の幅は正方形ダミーの 1 辺と同じである。信号線間のダミー列数は信号線間の距離によって変動する。ダミー間スペーシングは $0.4\mu\text{m}$ であり, ダミーと信号線間のスペーシングも同じである。図 19 から, 規則的な正方形ダミー・パターンは, 同じ幅のフローティング線に置き換えても, それらの容量はほとんど近い(最大でその誤差は 10%以内)。

ダミーによる層内容量の影響はデザイン・ルールによってほぼ回避できる。実際に, 経験上信号線とダミー間のスペーシングはダミー同士のスペーシングよりもデザイン・ルールで広く定義されている。すなわち, ダミー・フィルは層内よりも層間の容量への影響の方が大きい。

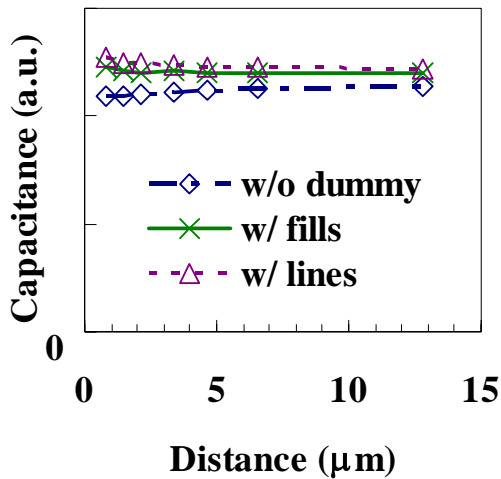


(a) 正方形フィル

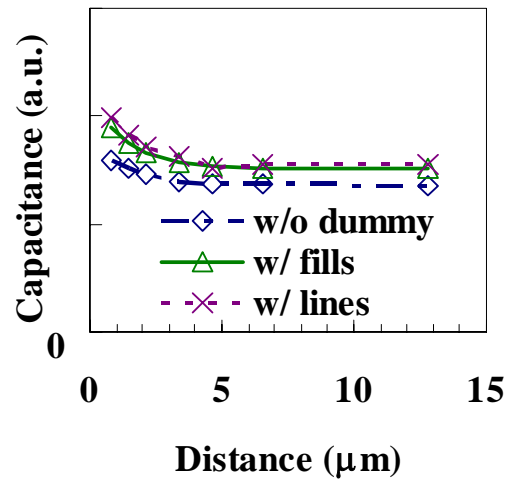


(b) フローティング平行配線

図 18: 層内容量を測定するために用いた配線構造の例



(a) 信号線上下が密集グラウンド配線の場合



(b) 信号線上下がダミー・フィルの場合

図 19: 層内ダミーによる容量への効果を測定した結果

B. 層間容量の評価

層間ダミー・メタルに起因する配線容量の増加を評価する。前の章で記述したように、層内ダミーの影響は信号線とダミー・メタルとの適切なスペーシングによって対策できる。すなわち、この解析では層内影響は無視できると仮定する。

最初に、信号線下のダミー・メタル間のスペーシングの影響を解析する。配線容量を削減するための適切なスペーシングは信号線とグラウンド平面との高さ h_{sg} と、信号線とダミー・メタルとの距離 d_{sd} との関係で主に決定される。その構造の例を図 20(a) に示す。その h_{sg} と d_{sd} は以下のように定義される。

$$h_{sg} = h_1 + t + h_2 \quad (9)$$

$$d_{sd} = \sqrt{h_1^2 + \left(\frac{s_c - w_s}{2}\right)^2} \quad (10)$$

ただし、 w_s は信号線の幅である。もし以下の条件式が成立するならば、信号線の容量はダミーによって影響を受けないのは明らかである。

$$d_{sd} \gg h_{sg} \quad (11)$$

しかしながら、その構造において、式(3)を満足することは難しい。それゆえに、リーズナブルで効果的なスペーシングを見積もる。図 20(b) は図 20(a) に示す 2D モデルを使って得られた結果を示す。この解析では、スペーシング s_c が $2\mu\text{m}$ ($h_{sg} \approx 0.65\mu\text{m}$ と $d_{sd} \approx 0.95\mu\text{m}$) の時、ダミーなしの構造と比較した容量の増分は約 2% である。

次に、図 21(a) に示すようにダミー・メタルが信号線の下に 2 層分ある構造を考慮する。図 21(b) の結果から、両方のダミー層のダミー・メタル間スペーシングが変化するとき、スペーシング $s_c \approx 2\mu\text{m}$ で、容量の増分は 5% である。信号線下の 1 層分のダミー・メタル間のスペーシングを変化させた時は、スペーシング $s_c \approx 2\mu\text{m}$ で、容量の増分は 10% である。追加スペーシングなし（信号線直下以外のダミー間スペーシングと同じ）の時の容量の増分は 25% である。すなわち、信号線直下の配線層のダミー・メタル間のスペーシングを取るだけでも、15% は増分を削減できる。ダミーに起因する容量の増分を完全に抑えるには、全ての層のダミー間スペーシングを

広げる必要がある。しかしながら、現実の設計を考慮すると、信号線に隣接する配線層のダミー間スペーシングを確保するだけで十分に足りない。

図 22 は信号線上層のダミー間スペーシングの必要性を解析した結果である。図 22(a) に示すように、信号線上のダミー・メタルの更に上の層にはグラウンド平面がない構造において、信号線上のダミー間スペーシングは容量の増分に影響する。もし設計者ができる限り配線容量を小さくしたいならば、信号線上のダミー間スペーシングも十分に確保する必要がある。

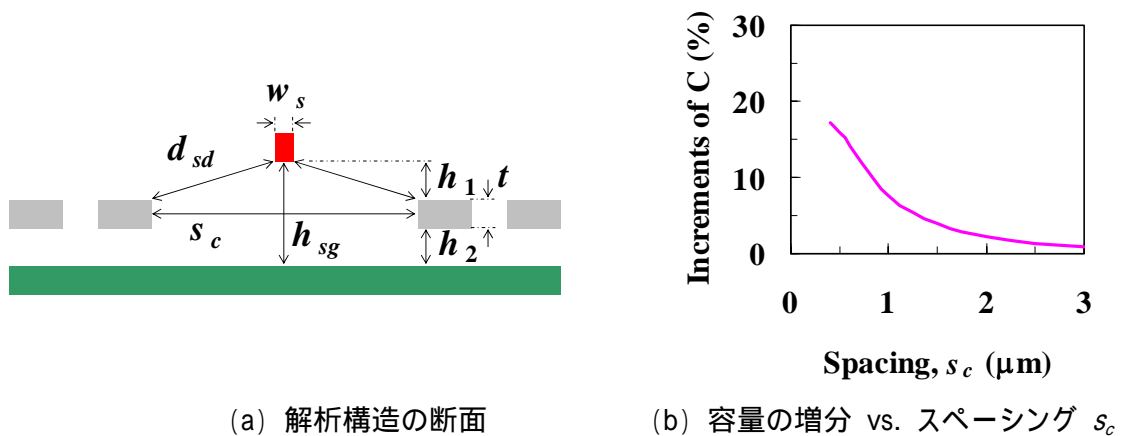


図 20: 信号線下のダミー・フィル間スペーシングの影響を解析した結果

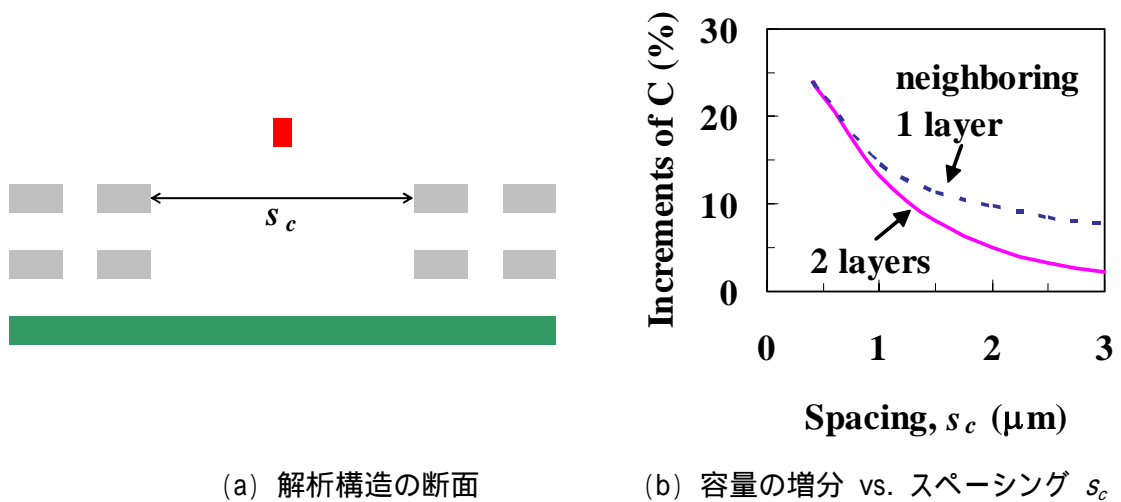


図 21: 信号線の下 2 層のダミーの影響を解析した結果

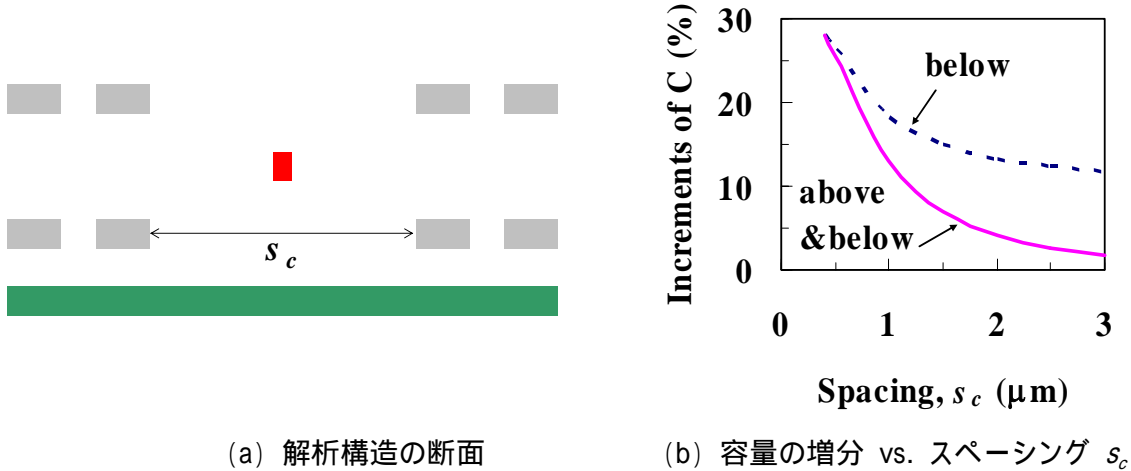


図 22: 信号線の上のダミーの影響を解析した結果

C. フィル数の評価

ここで、各フィリング方法のダミー・フィルの数の見積もりを示す。図 23 は各ダミー配置の例である。従来の規則的な正方形の方法と比較して、提案した平行配線と直角配線の方法は、同じ密度の時に、広いスペーシングを与える。それは結果的に層内と層間容量を削減することができる。図 23(a), 23(b), 23(c) に示されるダミーの数は、それぞれ、64, 3, 8 である。

フィルの数の見積もるための簡単な式は以下の通りである。従来の規則的な正方形の方法のために、そのメタルの数は、

$$\# \text{ square} = D \cdot \sum_i^n \frac{x_i \cdot y_i}{w_{sq}^2} \quad (12)$$

平行配線の方法のために、その線の量は、

$$\# \text{ parallel} = \frac{D}{1 - \alpha_{pa}} \cdot \sum_i^n \frac{x_i}{w_{pa}} \quad (13)$$

直角配線の方法のために、その線の量は、

$$\# \text{ perpendicular} = \frac{D}{1 - \alpha_{pe}} \cdot \sum_i^n \frac{y_i}{w_{pe}} \quad (14)$$

式(12)-(14)において、 D はデンシティ、 n はスペースのブロックの数、 x は信号線に直角方向のスペースの幅、 y は信号線方向のスペースの幅である。また、 w_{sq} は正方形ダミー・メタルの一边の幅、 w_{pa} は平行配線の幅、 w_{pe} は直角配線の幅である。そして、 α_{pa} は平行配線をカットする比率、 α_{pe} は直角配線をカットする比率で、それらの範囲は $0 \leq \alpha_{pa} < 1$ と $0 \leq \alpha_{pe} < 1$ である。

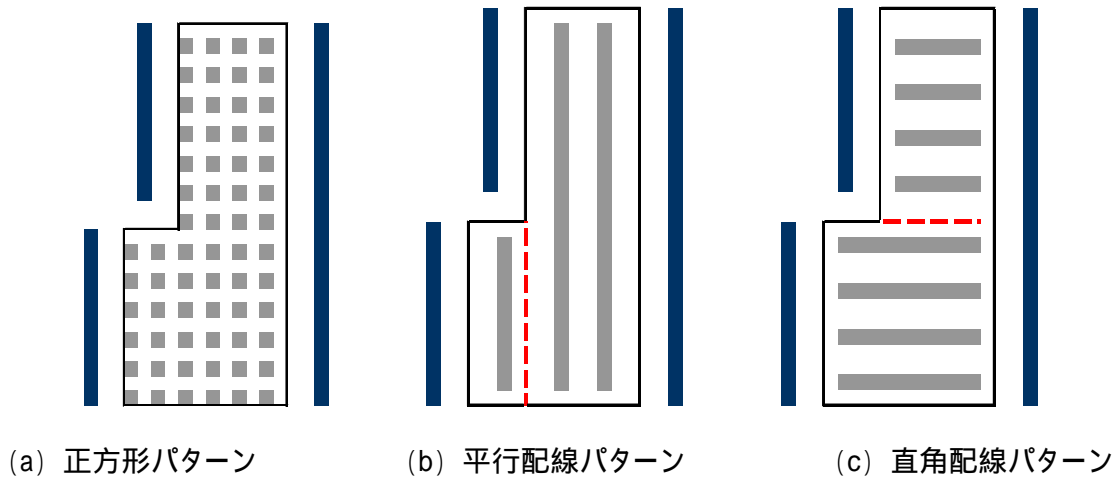


図 23: さまざまなダミー配置

(グレイがダミー・メタル、ダークが信号線、点線は領域を矩形に分割する補助線を示す。)

5.4.3 ダミー・フィリングの実験結果

A. 容量の削減

提案した方法の配線容量の削減効果を提示する。最初に、追加スペーシングなしの構造を

解析する。図 14-16 で示される各構造のダミー層の下層 M_{i-2} はグラウンドと仮定する。図 24 は、図 14(a) で示される従来法、図 15(a) の追加スペーシングなしの平行配線の方法、図 15(c) の追加スペーシングなしの拡張平行配線の方法、図 16(a) の追加スペーシングなしの直角配線の方法、それぞれの単位長当りの配線容量を示す。図 24 で示される Ground Plane は、そのダミー層がグラウンド平面であることを意味する。Square-1 は信号線の真下がダミー・メタル間スペースである構造を意味し、Square-2 は信号線の真下にダミー・メタルがある構造を意味する。各方法共に、より高いデンシティになるにつれて容量値が増える。容量の観点から、カッティングなしの平行配線の方法が最も悪い。拡張した平行配線の方法はその問題を克服する。直角配線の方法はフィルによる容量増加を削減する上で最も優れている。

ここで、各方法の追加スペーシングを以下のように定義する。図 14(b) で示される正方形ダミーの構造のその追加スペーシング $\Delta s_{c,sp}$ は、

$$\Delta s_{c,sq} = s_{c,sq} - s_{d,sq} \quad (15)$$

図 15(b) で示される平行配線の構造において、追加スペーシング $\Delta s_{c,pa}$ は、

$$\Delta s_{c,pa} = s_{c,pa} \quad (16)$$

正方形ダミー・メタルとフローティング平行配線との間のスペーシング $s_{d,epa}$ は、図 14(b) の $s_{d,sp}$ と同じである。図 15(c) で示される拡張平行配線の構造において、追加スペーシング $\Delta s_{c,epa}$ は、

$$\Delta s_{c,epa} = s_{c,epa} - s_{d,epa} \quad (17)$$

図 16(b) で示される直角配線の構造において、追加スペーシング $\Delta s_{c,pe}$ は、

$$\Delta s_{c,pe} = s_{c,pe} - s_{d,pe} \quad (18)$$

図 25(a)は信号線下のダミー間の追加スペーシングを変化させることによって得られた容量の増分の結果である。各構造の追加スペーシングの領域を除く密度は 30%である。図 25(b)はメタル・密度を変化させて得られた容量の増分の結果である。その時の各構造の追加スペーシングは $1\mu\text{m}$ である。解析に用いた構造は、図 14-16 で示される構造に、ダミー層の更に下の配線層がグラウンド平面を持つ構造と同じである。図 25(a)から、平行配線の方法の追加スペーシングは理想的には $2\mu\text{m}$ 以上が必要であるが、直角配線の方法は追加スペーシングも必要ないことがわかる。すなわち、ダミー・メタルによる配線容量の増分を抑えるには、直角配線の方法が優れていることがわかる。

表 2 は、ダミーなしの配線容量を基準とした各フィリングの方法を使った容量の増分をリストする。信号線の下に、1層分のダミーがある場合と2層分のダミーがある場合を解析した。直角配線の方法の解析は、下2層目のダミーは図 15(c)で示す拡張平行配線とした。また、同様に、平行配線の方法と拡張平行配線の方法は、下2層目は直角配線の方法とした。密度が 30%で追加スペーシングが $1\mu\text{m}$ の構造の解析結果において、従来の規則的な正方形ダミーの方法は、ダミーなしの配線容量に対する容量の増分は 13.1%である。それに対して、改良した正方形ダミーの方法は 2.4%、拡張平行配線の方法は 2.7%、直角配線の方法は 1%の増分に削減できる。追加スペーシング $1\mu\text{m}$ の平行配線の方法において、容量の増分としては、追加スペーシングなしの従来のダミーの方法とほとんど同じであった。すなわち、改良した正方形ダミーの方法、拡張した平行配線の方法、そして直角配線の方法はダミー・メタルによる配線容量の増分を非常に削減する効果が得られる。

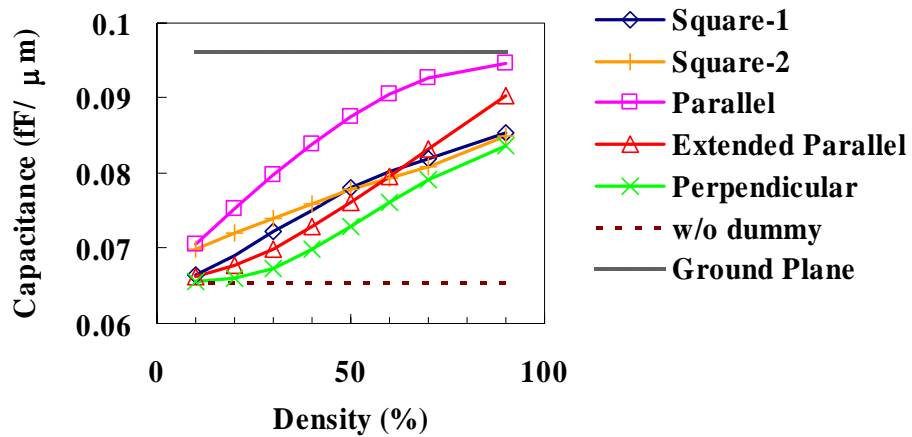
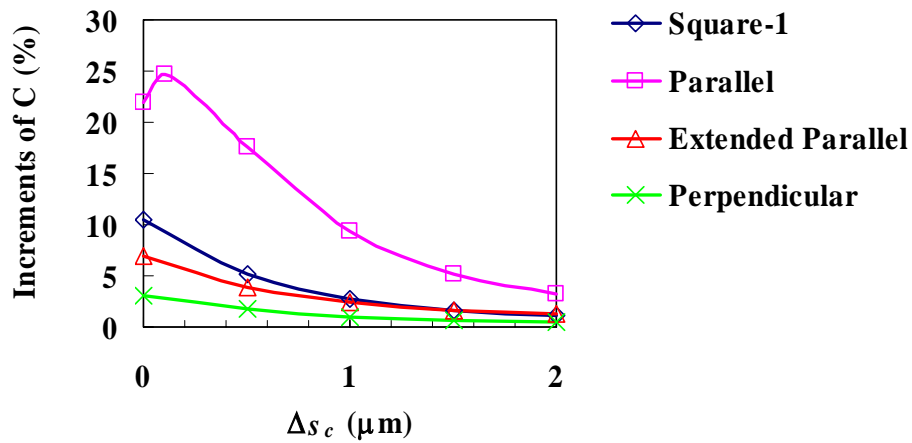
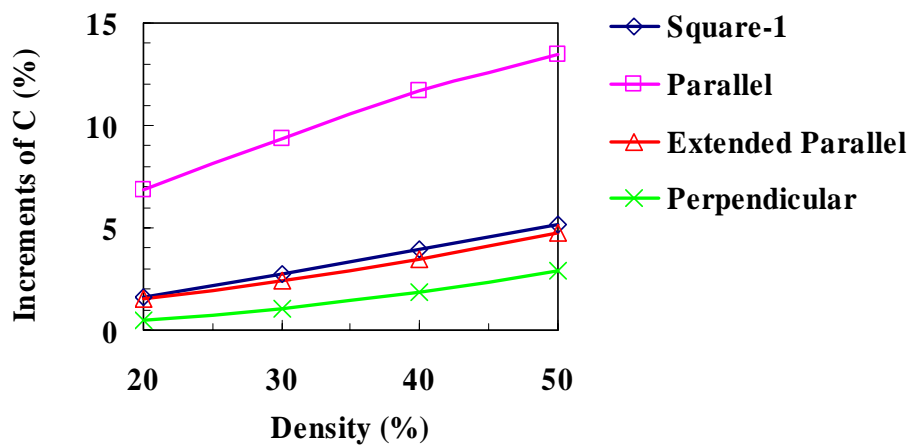


図 24: さまざまな方法における容量の比較



(a) デンシティが 30%の時の容量の増分 vs. 追加スペーシング Δs_c との関係



(b) 追加スペーシング $\Delta s_c=0$ の時の容量の増分 vs. デンシティの関係

図 25: さまざまな方法における容量の比較

表 2: さまざまなフィリング方法による容量の増分

Method	Increments of Capacitance (%)		
	2 layers		1 layer
	Density=20%	Density=40%	Density=30%
Traditional Square-1*	9.0	20.1	10.5
Traditional Square-2*	11.0	19.2	13.1
Improved Square-1	3.6	7.8	2.7
Parallel	12.9	23.1	9.4
Extended Parallel	2.2	8.0	2.4
Perpendicular	1.6	5.6	1.0

B. フィル数の削減

0.13 μ m プロセス・テクノロジー, 6 層メタル, チップサイズは約 0.8mm 角の実際の製品を使って, 提案する方法のフィル数削減の効果を評価した. そのダミー数の見積もりに, 式(4)-(6)を使用した. 従来の正方形パターンのダミー数は約 50 万個である.

図 13 は各フィリングのダミー・メタルの数を見積もった結果を示す. 各方法のメタル・デンシティは 30%である. 従来のダミー・メタルの形状は正方形である. 平行配線と直角配線の方法はカッティングなし ($\alpha_{pd}=\alpha_{pe}=0$) の結果である. 平行配線の方法は, 従来法に対するフィル数の比率が 0.008-0.027, 直角配線では 0.108-0.267 である. 平行配線の方法はダミー・メタル数を非常に削減できる.

フローティング直角配線の方法は明らかに容量削減の観点で有効である. 設計者は目的に応じてどの方法を使うかを選択すべきである. 主に配線容量を削減したい場合, 追加スペーシングと共に従来の正方形ダミー・パターンを使うか, 直角配線を使うことを推奨する. フィル数を主に削減したいなら, 平行配線が推奨される. 更に, より効率的な設計のために, いくつかの方法を組み合わせることができる. 例えば, 密集配線の上下は一般の正方形ダミーを使い, クリティカル・パスの信号線の上下は広いスペーシングまたはダミーを取り除き, 信号線

間が広いスペースのある所には直角配線を使い, 信号線方向に沿って狭いスペースがある場合は平行配線の方法を使うことができる.

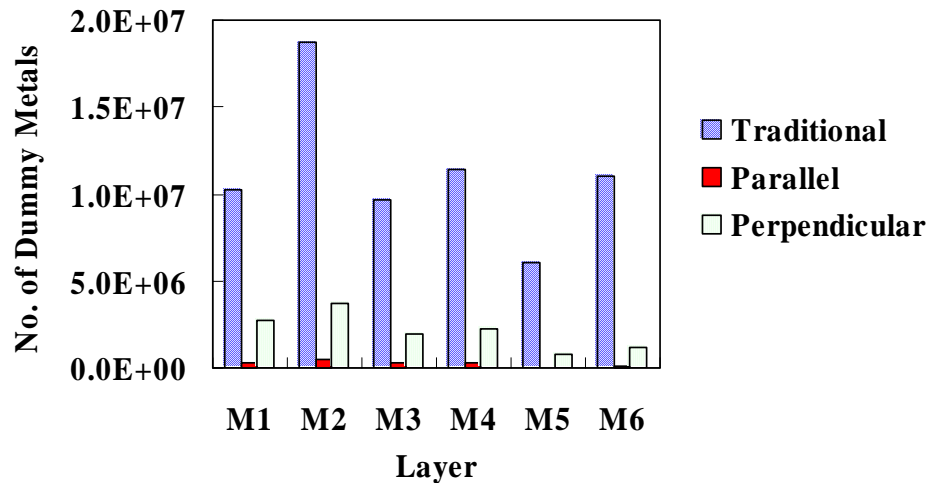


図 26: ダミー・メタルの数を見積もった結果

5.5 むすび

ダミー・メタル・フィルを含む配線容量を効果的に抽出するための実用的なアプローチを提案した. その方法は電解理論によってダミー・フィルの厚みを縮退することによって成される. その精度は現実的なダミーのサイズやデンシティにおいて, 約 10%以内の誤差である. そしてダミー・フィルが配線容量, 遅延, クロストークに与える影響も明確にした. また 90nm テクノロジーのテスト・チップの実測結果において, 提案する方法は実用的な精度が得られた.

更に配線容量とダミー・メタルの数を削減する新規の方法も提案した. これは従来の規則的な正方形ダミー・パターンを信号線上下のダミー間スペーシングを広く取るように改良した方法, 平行配線による方法, そして直角配線による方法によって, 実現される. フローティング・

ダミー・フィルは増加する配線容量と莫大な計算機コストに起因するタイミング設計と共に深刻な問題になってきているが、ここで提案した方法は、現在および将来の VLSI 設計に効果的に使われ得る。

5.6 第5章の参考文献

- [1] S. Lakshminarayanan, P. J. Wright, and J. Pallinti, "Electrical characterization of the copper CMP process and derivation of metal layout rules," *IEEE Trans. Semiconduct. Manufact.*, vol. 16, no. 4, pp. 668-676, Nov. 2003.
- [2] P. Zarkesh-Ha, S. Lakshminarayann, K. Doniger, W. Loh, and P. Wright, "Impact of interconnect pattern density information on a 90nm technology ASIC design flow," in *Proc. Int. Symp. Quality Electronic Design*, pp. 405-409, 2003.
- [3] B. E. Stine, D. S. Boning, J. E. Chung, L. Camilletti, F. Kruppa, E. R. Equi, W. Loh, S. Prasad, M. Muthukrishnan, D. Towery, M. Berman, and A. Kapoor, "The physical and electrical effects of metal-fill patterning practices for oxide chemical-mechanical polishing processes," *IEEE Trans. Electron Devices*, pp. 665-679, March 1998.
- [4] A. B. Kahng, G. Robins, A. Singh, H. Wang, and A. Zelikovsky, "Filling algorithms and analyses for layout density control," *IEEE Trans. Computer-Aided Design*, vol. 18, no. 4, pp. 445-462, April 1999.
- [5] Y. Chen, A. B. Kahng, G. Robins, and A. Zelikovsky, "Area fill synthesis for uniform layout density," *IEEE Trans. Computer-Aided Design*, vol. 21, no. 10, Oct. 2002.
- [6] Y. Chen, P. Gupta, and A. B. Kahng, "Performance-impact limited area fill synthesis," in *Proc. ACM/IEEE Design Automation Conf.*, pp. 22-27, 2003.
- [7] R. Tian, D. F. Wong, and R. Boone, "Model-based dummy feature placement for oxide chemical-mechanical polishing manufacturability," *IEEE Trans. Computer-Aided Design*, vol. 20, no. 7, pp. 902-910, July 2001.
- [8] J.-K. Park, K.-H. Lee, J.-H. Lee, Y.-K. Park, and J.-T. Kong, "An exhaustive method for characterizing the interconnect capacitance considering the floating dummy-fills by

- employing an efficient field solving algorithm,” in *Proc. Int. Conf. Simulation of Semiconductor Processes and Devices*, pp. 98-101, Sep. 2000.
- [9] K.-H. Lee, J.-K. Park, Y.-N. Yoon, D.-H. Jung, J.-P. Shin, Y.-K. Park, and J.-T. Kong, “Analyzing the effects of floating dummy-fills: from feature scale analysis to full-chip RC extraction,” in *Proc. IEEE Int. Electron Devices Meeting*, pp. 685-688, Dec. 2001.
- [10] W.-S. Lee, K.-H. Lee, J.-K. Park, T.-K. Kim, Y.-K. Park, and J.-T. Kong, “Investigation of the capacitance deviation due to metal-fills and the effective interconnect geometry modeling,” in *Proc. Int. Symp. Quality Electronic Design*, pp. 373-376, 2003.
- [11] O. Cueto, F. Charlet, and A. Farcy, “An efficient algorithm for 3D interconnect capacitance extraction considering floating conductors,” in *Proc. Int. Conf. Simulation of Semiconductor Processes and Devices*, pp. 107-110, Sep. 2002.
- [12] Raphael version 2003.09, Synopsys Corporation.
- [13] International technology roadmap for semiconductors: Semiconductor Industry Association, 2003.
- [14] T. Sakurai, “Closed-form expressions for interconnection delay, coupling, and crosstalk in VLSI’s,” *IEEE Trans. Electron Devices*, vol. 40, no. 1, pp. 118-124, Jan. 1983.
- [15] P. B. Sabet and F. Iiponse, “Modeling crosstalk noise for deep submicron verification tools,” in *Proc Design, Automation and Test in Europe Conf.*, pp. 530-534, 2001.
- [16] J. C. Chen, B. W. McGaughy, D. Sylvester, and C. Hu, “An on-chip, attofarad interconnect charge-based capacitance measurement (CBCM) technique,” in *Proc. IEEE Int. Electron Devices Meeting*, pp. 69-72, Dec. 1996.

第6章 結論

本論文では、物理設計に関わる課題を解決するために、まず初めにインダクタンスを高速・リーズナブルな精度で抽出する方法を示し、次に多くの課題を同時に解決する新しい配線アーキテクチャを提案し、最後にダミー・フィルの扱いについて新しい手法を提案した。

第2章の「LSIの配線インダクタンスの簡易抽出方法」では、GMDから求めた自己インダクタンスの近似式と線状の平行線および斜め線の相互インダクタンスの正確な式を用いて、オンチップ・インダクタンスを抽出する方法を提案した。周波数等に影響する表皮効果や近接効果を考慮して厳密に三次元電磁界解析ツールでインダクタンスを求めなくても、極端に幅広配線でなければ、解析式で十分な精度が得られることを示した。0.1 μm テクノロジ・ノードの動作周波数や配線パラメータで、自己インダクタンスの式は最小線幅の10倍までは電磁界解析ツールに対して最大で平行配線が約0.5%以内、斜め配線が約5%以内であった。また相互インダクタンスは平行配線が約5%以内、斜め配線が約13%以内で一致した。また、現実的な配線レイアウト例に適用した結果、式による精度は電磁界解析ツールに対して絶対値平均誤差で約1%、幅広配線を除いた最小線幅の10倍までの配線構造に限定すれば最大誤差で約3%であった。構造により精度はばらつくが、最小線幅の10倍程度までならばあらゆる構造において本論文で示した式が使用可能である。また、適用例において処理速度は電磁界解析ツールに対して60倍以上高速であった。

また第3章の「相互インダクタンスを効果的に抽出するための近似式」では、VLSIのオンチップ相互インダクタンスを高速かつリーズナブルな精度で抽出する手法を開発した。また線状配線間の正確な相互インダクタンスの式からテーラー展開を通して導かれた近似式と平均距離を使って、幅広配線の近似式を開発した。それらの近似式は、幅広配線や短い配線にリーズナブルな精度で適用できる。要求された精度内で最も高速に計算できる式の条件マップも示した。三次元電磁界解析ツールとの比較において、その手法は数%以内の精度で相互イン

ダクタンスを求めることができる。

第4章の「物理設計完全性を目指した配線方式」では、物理設計に関するさまざまな課題を同時に解決するための新しい配線アーキテクチャを提案した。本アーキテクチャは電源線とグラウンド線を隣接させる配線構造からなり、シールドリング効果ばかりか高品質なデカップリング容量を生成できる効果がある。また本構造は配線密度がほぼ一定に保たれるので、従来行われていたダミー・メタルの挿入が不要となるばかりか、そのメタル密度の均一性が高くなる。結果として、本アーキテクチャは、シグナル・インテグリティ、DFM、寄生抽出精度を同時に改善し、ロバストな設計を可能にする。

そして第5章の「ダミー・フィルに関する設計技術」では、ダミー・メタル・フィルを含む配線容量を効果的に抽出するための実用的なアプローチを提案した。その方法は電解理論によってダミー・フィルの厚みを縮退することによって成される。その精度は現実的なダミーのサイズやデンシティにおいて、約10%以内の誤差である。ダミー・フィルが配線容量、遅延、クロストークに与える影響も明確にした。90nmテクノロジーのテスト・チップの実測結果において、提案する方法は実用的な精度が得られた。また配線容量とダミー・メタルの数を削減する新規の方法を提案した。これは従来の規則的な正方形ダミー・パターンを信号線上下のダミー間スペーシングを広く取るように改良した方法、平行配線による方法、そして直角配線による方法によって、実現される。本手法はフローティング・ダミー・フィルによる配線容量の増加と莫大なフィルの量を削減できる。

以上のように、本論文では、最先端VLSIの物理設計に関わる主要課題であるシグナル・インテグリティ、パワー・インテグリティ、DFM、そして配線寄生抽出について研究し、それらの課題を解決する方法をいくつか提案した。本論文で提案した高速配線寄生インダクタンス抽出技術、物理設計完全性を目指した配線技術、ダミー・フィルを考慮した配線容量抽出技術および配線容量を削減する効率的なダミー・フィル技術は、先端SoC設計における物理配線技術の分野に新たな方法論を与え、先端システムLSIの発展に寄与するものと確信している。

謝辞

本研究を進めるにあたり、終始多大なる御指導と御鞭撻を頂きました早稲田大学大学院情報生産システム研究科の井上靖秋教授に心より感謝いたします。

更に、本論文の審査をして頂きました同研究科の吉原務教授、吉増敏彦教授、木村晋二教授には多くの御助言を頂きまして大変感謝しております。

そして、本研究に関して、機会を与えて頂きました(株)半導体理工学研究センターの下東勝博社長、設計技術開発部の間佐五郎部長、ならびに日々御指導をしていただきました物理設計開発室の増田弘生室長に深く感謝いたします。

また、本研究に際して多くの御助言と御協力を頂きました東京工業高等専門学校鹿毛哲郎教授、JEDAT(株)の小野信任取締役、ルネサステクノロジ(株)の金本俊幾氏、佐藤高史氏、NEC エレクトロニクス(株)の蜂屋孝太郎氏、(株)東芝の南文裕氏、(株)数理システムの水田千益取締役、岩井二郎氏、町田顕氏、メイテック(株)の加瀬部彰氏、三洋電機(株)の箱田俊幸部長、伊部哲夫氏に御礼を申し上げます。

関連論文

- (1) Atsushi Kurokawa, Koutaro Hachiya, Takashi Sato, K. Tokumasu, and Hiroo Masuda, “Fast on-chip inductance extraction of VLSI including angled interconnects,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences (Letter), vol. E86-A, no. 4, pp. 841-845, April 2003. (第 2 章)
- (2) Atsushi Kurokawa, Takashi Sato, and Hiroo Masuda, “Approximation formula approach for the efficient extraction of on-chip mutual inductances,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E86-A, no. 12, pp. 2933-2941, Dec. 2003. (第 3 章)
- (3) 黒川敦, 小野信任, 鹿毛哲郎, 井上靖秋, 増田弘生, “物理設計完全性のための新配線アーキテクチャ,” 情報処理学会論文誌, vol. 45, no. 5, pp. 1251-1260, 2004 年 5 月. (Atsushi Kurokawa, Nobuto Ono, Testuro Kage, Yasuaki Inoue, and Hiroo Masuda, “A new interconnect architecture for physical design integrity,” IPSJ Journal, vol. 45, no. 5, pp. 1251-1260, May 2004.) (第 4 章)
- (4) Atsushi Kurokawa, Masaharu Yamamoto, Nobuto Ono, Tetsuro Kage, Yasuaki Inoue, and Hiroo Masuda, “Capacitance and yield evaluations using a 90-nm process technology based on the dense power-ground interconnect architecture,” Proceedings 6th International Symposium on Quality Electronic Design (ISQED 2005), San Jose, CA, (6 pages), March 2005. (Accepted) (第 4 章)

- (5) Atsushi Kurokawa, Toshiki Kanamoto, Akira Kasebe, Yasuaki Inoue, and Hiroo Masuda, “Efficient capacitance extraction method for interconnects with dummy fills,” Proceedings 2004 IEEE Custom Integrated Circuits Conference (CICC 2004), Orlando, FL., pp. 485-488, Oct. 2004. (第 5 章)
- (6) Atsushi Kurokawa, Toshiki Kanamoto, Tetsuya Ibe, Akira Kasebe, Chang Wei Fong, Tetsuro Kage, Yasuaki Inoue, and Hiroo Masuda, “Dummy filling methods for reducing interconnect capacitance and number of fills,” Proceedings 6th International Symposium on Quality Electronic Design (ISQED 2005), San Jose, CA, (6 pages), March 2005. (Accepted)
(第 5 章)

研究業績

1. 論文

- (1) 黒川敦, 小野信任, 鹿毛哲郎, 井上靖秋, 増田弘生, “物理設計完全性のための新配線アーキテクチャ,” 情報処理学会論文誌, vol. 45, no. 5, pp. 1251-1260, 2004年5月.
(Atsushi Kurokawa, Nobuto Ono, Testuro Kage, Yasuaki Inoue, and Hiroo Masuda, “A new interconnect architecture for physical design integrity,” IPSJ Journal, vol. 45, no. 5, pp. 1251-1260, May 2004.)
- (2) Atsushi Kurokawa, Takashi Sato, and Hiroo Masuda, “Approximation formula approach for the efficient extraction of on-chip mutual inductances,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E86-A, no. 12, pp. 2933-2941, Dec. 2003.
- (3) 金本俊幾, 佐藤高史, 黒川敦, 川上善之, 岡宏規, 北浦智靖, 小林宏行, 橋本昌宜, “遅延計算におけるインダクタンスを考慮すべき配線の統計的選別手法,” 情報処理学会論文誌, vol. 44, no. 5, pp. 1301-1310, 2003年5月. (Toshiki Kanamoto, Takashi Sato, Atsushi Kurokawa, Yoshiyuki Kawakami, Hiroki Oka, Tomoyasu Kitaura, Hiroyuki Kobayashi, and Masanori Hashimoto, “A statistical methodology for screening inductance dominated interconnects in timing analysis,” IPSJ Journal, vol. 44, no. 5, pp. 1301-1310, May 2003.)

- (4) Atsushi Kurokawa, Koutaro Hachiya, Takashi Sato, K. Tokumasu, and Hiroo Masuda, "Fast on-chip inductance extraction of VLSI including angled interconnects," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences (Letter), vol. E86-A, no. 4, pp. 841-845, April 2003.

2. 国際会議

- (1) Zhang-chai Huang, Atsushi Kurokawa, and Yasuaki Inoue, "Effective capacitance for gate delay with RC loads," Proceedings 2005 IEEE International Symposium on Circuits and Systems (ISCAS 2005), Kobe, Japan, (4 pages), May 2005. (Accepted)
- (2) Atsushi Kurokawa, Toshiki Kanamoto, Tetsuya Ibe, Akira Kasebe, Chang Wei Fong, Tetsuro Kage, Yasuaki Inoue, and Hiroo Masuda, "Dummy filling methods for reducing interconnect capacitance and number of fills," Proceedings 6th International Symposium on Quality Electronic Design (ISQED 2005), San Jose, CA, (6 pages), March 2005. (Accepted)
- (3) Atsushi Kurokawa, Masaharu Yamamoto, Nobuto Ono, Tetsuro Kage, Yasuaki Inoue, and Hiroo Masuda, "Capacitance and yield evaluations using a 90-nm process technology based on the dense power-ground interconnect architecture," Proceedings 6th International Symposium on Quality Electronic Design (ISQED 2005), San Jose, CA, (6 pages), March 2005. (Accepted)

- (4) Zhang-chai Huang, Atsushi Kurokawa, Yasuaki Inoue, and Jun-fa Mao, “An algorithm for the effective capacitance of CMOS gate with interconnect load,” Proceedings International Symposium on Nonlinear Theory and its Applications (NOLTA’04), Fukuoka, Japan, pp. 103-106, Dec. 2004.
- (5) Atsushi Kurokawa, Toshiki Kanamoto, Akira Kasebe, Yasuaki Inoue, and Hiroo Masuda, “Efficient capacitance extraction method for interconnects with dummy fills,” Proceedings 2004 IEEE Custom Integrated Circuits Conference (CICC 2004), Orlando, FL., pp. 485-488, Oct. 2004.
- (6) Atsushi Kurokawa, Nobuto Ono, Tetsuro Kage, and Hiroo Masuda, “DEPOGIT: dense power-ground interconnect architecture for physical design integrity,” Proceedings Asia South Pacific Design Automation Conference (ASP-DAC 2004), Yokohama, Japan, pp. 517-522, Jan. 2004.
- (7) Atsushi Kurokawa, “Efficient extraction of the interconnect inductances for VLSI design,” Proceedings 2003 5th International Conference on ASIC (ASICON 2003), Beijing, China, pp. 974-979, Oct. 2003. (Invited Paper)
- (8) Atsushi Kurokawa, Takashi Sato, and Hiroo Masuda, “Approximate formulae approach for efficient inductance extraction,” Proceedings Asia South Pacific Design Automation Conference (ASP-DAC 2003), Fukuoka, Japan, pp. 143-148, Jan. 2003.

- (9) Takashi Sato, Toshiki Kanamoto, Atsushi Kurokawa, Y. Kawakami, Hiroki Oka, Tomoharu Kitaura, Atsuhiko Ikeuchi, Hiroyuki Kobayashi, and Masanori Hashimoto, "Accurate prediction of the impact of on-chip inductance on interconnect delay using electrical and physical parameter-based RSF," Proceedings Asia South Pacific Design Automation Conference (ASP-DAC 2003), Fukuoka, Japan, pp. 149-155, Jan. 2003.

3. 講演

- (1) 黒川敦, "プロセスと環境のばらつきを考慮した設計技術,"電子情報通信学会 第18回回路とシステム(軽井沢)ワークショップ 論文集, 2005年4月. (掲載決定) (招待講演)
- (2) 黒川敦, "90nmテクノロジー以降のSoCにおける物理設計技術," 情報処理学会 VLSIシステム研究会 関西支部 支部大会, pp. 127-132, 2004年12月. (特別招待講演)
- (3) 黒川敦, "DAC2004 報告 = 物理設計技術 =," 電子情報通信学会技術研究報告, VLD2004-36, pp. 28-32, 2004年9月. (招待講演)
- (4) 金本俊幾, 阿久津滋聖, 中林太美世, 一宮敬弘, 蜂屋孝太郎, 石川博, 室本栄, 小林宏行, 橋本昌宜, 黒川敦, "遅延計算およびシグナルインテグリティを考慮した配線寄生容量抽出精度評価," 情報処理学会 DA シンポジウム 2004 論文集, pp. 265-270, 2004年7月.

- (5) 黒川敦, 小野信任, 鹿毛哲郎, 井上靖秋, 増田弘生, “物理設計完全性を目指した配線方式,” 電子情報通信学会技術研究報告, ICD2003-193, pp. 11-16, 2003 年 12 月.
(特別招待講演)
- (6) 黒川敦, 金本俊幾, 南文裕, 鹿毛哲郎, 増田弘生, “RLC 抽出技術の最新動向,” 電子情報通信学会 第 7 回システム LSI ワークショップ 論文集, 2003 年 11 月. (招待講演)
- (7) 黒川敦, 小澤時典, “DAC2003 報告 = フィジカルデザイン =,” 電子情報通信学会技術研究報告, vol. 103, no. 337, pp. 43-48, 2003 年 9 月. (招待講演)
- (8) 黒川敦, 金本俊幾, 佐藤高史, “オンチップ・インダクタンスとは? = モデリングと抽出技術 =,” 情報処理学会 DA シンポジウム 2003 論文集, pp. 1-6, 2003 年 7 月.
- (9) 佐藤高史, 金本俊幾, 黒川敦, “VLSI 設計・信号品質解析におけるインダクタンスの影響とその重要性,” 情報処理学会 DA シンポジウム 2003 論文集, pp. 7-12, 2003 年 7 月.
- (10) 小野信任, 黒川敦, 鹿毛哲郎, 増田弘生, “Physical Design Integrity のための新配線アーキテクチャ,” 情報処理学会 DA シンポジウム 2003 論文集, pp. 67-72, 2003 年 7 月.
- (11) 岩井二郎, 町田顕, 水田千益, 南文裕, 黒川敦, 鹿毛哲郎, 増田弘生, 蜂屋孝太郎, “VLSI 電源解析システム PowerSpective の開発,” 情報処理学会 DA シンポジウム 2003 論文集, pp. 49-54, 2003 年 7 月.

- (12) 黒川敦, “LCR 抽出・解析設計技術,” 電子情報通信学会 総合大会 論文集 (チュートリアル), TA-1-5, 2003 年 3 月.
- (13) 佐藤高史, 金本俊幾, 黒川敦, 川上善之, 岡宏規, 北浦智靖, 池内敦彦, 小林宏行, 橋本昌宜, “インダクタンスに起因する配線遅延変動の統計的予測手法,” 電子情報通信学会 ソサエティ大会 論文集 (チュートリアル), TA-2-4, 2002 年 9 月.
- (14) 蜂屋孝太郎, 黒川敦, 佐藤高史, 南文裕, 増田弘生, “動的電源ノイズ解析のための電源グリッドモデル抽出,” 情報処理学会 DA シンポジウム 2002 論文集, pp. 193-198, 2002 年 7 月.
- (15) 金本俊幾, 佐藤高史, 黒川敦, 川上善之, 岡宏規, 北浦智靖, 池内敦彦, 小林宏行, 橋本昌宜, “0.1 μ m 級 LSI の遅延計算における寄生インダクタンスを考慮すべき配線の統計的選別,” 情報処理学会 DA シンポジウム 2002 論文集, pp. 149-154, 2002 年 7 月.
- (16) 黒川敦, 蜂屋孝太郎, 佐藤高史, 徳升一也, 増田弘生, “斜め配線を含む VLSI の高速オンチップ・インダクタンス抽出,” 電子情報通信学会 第 15 回 回路とシステム(軽井沢)ワークショップ 論文集, pp. 487-492, 2002 年 4 月.
- (17) 佐藤高史, 金本俊幾, 黒川敦, 川上善之, 岡宏規, 北浦智靖, 小林宏行, 橋本昌宜, “インダクタンスが配線遅延に及ぼす影響の定量的評価方法,” 電子情報通信学会 第 15 回 回路とシステム(軽井沢)ワークショップ 論文集, pp. 493-498, 2002 年 4 月.

- (18) 黒川敦, 小松富士彦, 北爪和俊, 田中淳一, 畔上秀夫, “階層型IC信頼性シミュレータ IRISES,” 電子情報通信学会 総合大会 講演論文集, p. A-3-4, 1998 年 3 月.
- (19) 黒川敦, “レイアウト検証用ジョブ制御システム,” 情報処理学会 第 49 回全国大会 講演論文集, p. 7L-3, 1994 年 9 月.
- (20) 黒川敦, “多機能回路特性解析ツール,” 電子情報通信学会 秋季大会 講演論文集, p. A-61, 1994 年 9 月.

4. 書籍

小野寺秀俊監訳, 共訳: 小野信人, 川上善之, 栗山茂, 黒川敦, 佐藤高史, 渋谷利行, 手塚健司, 蜂屋孝太郎, 南文裕, 安島裕恵, 山口龍一, 米田高志 (50 音順), LSI 配線の解析と合成, 培風館, 2003.

5. 受賞

平成 15 年度情報処理学会システム LSI 設計技術研究会優秀論文賞