

# Implementierung eines verlustleistungsoptimierten Dezimators für kaskadierte Sigma-Delta Analog-Digital Umsetzer

M. Becker<sup>1</sup>, N. Lotze<sup>1</sup>, J. Becker<sup>1</sup>, M. Ortmanns<sup>2</sup>, and Y. Manoli<sup>1</sup>

<sup>1</sup>Lehrstuhl für Mikroelektronik, Albert-Ludwigs-Universität, Georges-Köhler-Allee 102 DG, 79110 Freiburg, Germany

<sup>2</sup>sci-worx GmbH, Garbsener Landstrae 10, 30419 Hannover, Germany

**Zusammenfassung.** Dieser Beitrag stellt die Implementierung eines neuartigen Ansatzes einer effizienten Dezimator-Architektur für kaskadierte Sigma-Delta Modulatoren vor. Die Rekombinationslogik kaskadierter Modulatoren und die Korrektur des Verstärkungsfehlers zeitkontinuierlicher (CT) Modulatoren werden in die erste Stufe des Dezimators integriert. Eine entsprechende Filtertopologie wird hergeleitet und auf einem Hardware-Emulator der Firma Mentor Graphics implementiert. Der Vergleich der vorgeschlagenen Struktur mit einer herkömmlichen Implementierung zeigt eine nennenswerte Verbesserung der Effizienz.

## 1 Einleitung

$\Sigma\Delta$ -Modulatoren sind gut dazu geeignet, eine robuste analog-digital Wandlung zu erzielen. In letzter Zeit wurden systematische Untersuchungen zur erreichbaren Leistungsfähigkeit vorgestellt (Marques et al., 1998). Prinzipiell wird das vom Quantisierer stammende Quantisierungsrauschen durch die Überabtastung unterdrückt, zusätzlich zu höheren Frequenzen hin geformt und anschließend durch den Dezimator digital Tiefpass gefiltert.

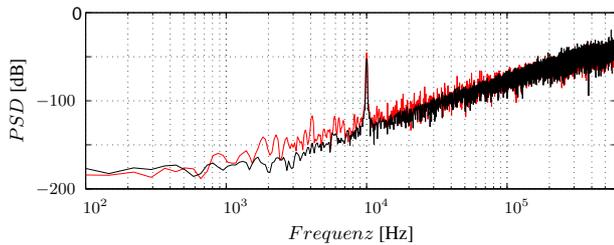
Bei den meisten bisher durchgeführten Untersuchungen und entwickelten Konzepten für  $\Sigma\Delta$ -Modulatoren wurden zeitdiskrete (discrete time, DT) Realisierungen betrachtet (Marques et al., 1998) und in Switched-Capacitor (SC) Technik implementiert.

In letzter Zeit wurde zeitkontinuierlichen  $\Sigma\Delta$ -Modulatoren aus unterschiedlichen Gründen vermehrt Aufmerksamkeit gewidmet. Sie zeichnen sich z. B. durch die höhere mögliche Abtastrate bei gleichem Leistungsverbrauch und ein implizites Anti-Aliasing Filter (Cherry und Snelgrove, 1999) aus. Auf der anderen Seite sind CT Modulatoren schwieriger zu entwerfen und es müssen verschiedene Nichtidealitäten der integrierten Komponenten

von CT Filtern beachtet werden (Cherry und Snelgrove, 1999; Ortmanns et al., 2001a).

Heutzutage sind in immer mehr Bereichen sehr hohe Umsetzraten erforderlich (wie z. B. in Telekommunikationsanwendungen), welche immer höhere Abtastraten der Modulatoren mit sich bringen. Aber wenn die Umsetzrate erhöht wird, muss ab einem bestimmten Punkt die Überabtastung (oversampling ratio,  $OSR$ ) reduziert werden, um die Abtastfrequenz (sampling frequency,  $f_S$ ) des Systems innerhalb realistischer Grenzen zu halten. Dies ist u. a. bedingt durch den enorm ansteigenden Leistungsverbrauch des Analogteils bei dieser sehr hohen Geschwindigkeit und darüber hinaus auch wegen des Einflusses des Dezimators auf dem selben Chip.

Mittlerweile sind kaskadierte  $\Sigma\Delta$ -Modulatoren eine bekannte Alternative, um A/D Umsetzer höherer Ordnung und hoher Auflösung zu implementieren, ohne dabei eine Skalierung aufgrund der möglichen Instabilität in Kauf nehmen zu müssen und ohne einen sehr linearen multi-bit D/A Wandler für die Rückkopplung zu benötigen. Andererseits zeigen kaskadierte CT Implementierungen eine ausgeprägte Abhängigkeit von RC-Toleranzen. Eine Korrektur dieses Effektes ist zwar möglich, resultiert jedoch in einem Ausgangsdatenstrom hoher Wortbreite (Ortmanns et al., 2001b). Wird die digitale Seite eines Umsetzers betrachtet, fällt auf, dass der Einfluss des Dezimators auf den Leistungsverbrauch des kompletten A/D Wandlers ebenfalls ansteigt. Der Dezimator ist eine wichtige Komponente, aber die meisten Veröffentlichungen konzentrieren sich eher auf den Analogteil eines Umsetzers, d.h. auf den Modulator. Der Anteil des Dezimators am Leistungsverbrauch des Wandlers kann jedoch keineswegs vernachlässigt werden. Daher erfordern eine verlustleistungsarme Implementierung – aber auch Effekte wie Substratrauschen und Rauschen bedingt durch die Schaltvorgänge – Anpassungen und auch Optimierungen des Dezimators. Ein wichtiges Entwurfs- und Effizienzkriterium dabei ist, möglichst single-bit Eingänge für den Dezimator zu erhalten, der bei hoher Geschwindigkeit operieren muss, bevor die Abwärtstastung stattfindet (Becker et al., 2003).



**Abbildung 1.** Leistungsdichtespektren (PSD) am Ausgang eines  $\Sigma\Delta$ -Modulators mit (schwarz) und ohne (rot) korrigiertem Verstärkungsfehler.

Dies ist jedoch für kaskadierte und insbesondere für CT kaskadierte Modulatoren nicht gegeben (Medeiro et al., 1998).

In diesem Beitrag wird die Architektur eines optimierten Dezimators hergeleitet und auf einem Hardware Emulator der Fa. IKOS (mittlerweile Mentor Graphics) für kaskadierte (DT und CT) Modulatoren implementiert. Es wird gezeigt, dass es möglich ist, die Digitallogik, welche in kaskadierten  $\Sigma\Delta$ -Modulatoren benötigt wird, in den Dezimator zu verlagern bzw. in diesen zu integrieren. Auf diese Art und Weise kann der Leistungsverbrauch und die Komplexität der Schaltung des kompletten A/D Umsetzers drastisch reduziert werden.

## 2 Kaskadierte $\Sigma\Delta$ -Modulatoren

Die Leistungsfähigkeit einstufiger Modulatoren mit einer Ordnung größer als zwei ist wesentlich niedriger als im Idealfall (Marques et al., 1998). Auf der anderen Seite stellt die Verbesserung der Auflösung mittels interner multi-bit Quantisierer strenge Anforderungen an die Linearität der multi-bit digital-zu-analog Umsetzer (DAC) in der Rückkopplung des Modulators (Norsworthy et al., 1997; Marques et al., 1998). Daher wurden kaskadierte Architekturen für  $\Sigma\Delta$ -Modulatoren entwickelt, und in den letzten Jahren wurden viele Entwürfe hierfür präsentiert. Die meisten dieser kaskadierten oder mehrstufigen Topologien basieren auf stabilen Modulatoren erster und zweiter Ordnung. Sie bieten die Möglichkeit ein fast ideales Noise-Shaping höherer Ordnung zu erreichen, auf Kosten einer höheren Empfindlichkeit gegenüber den Nichtidealitäten der einzelnen Bausteine (Medeiro et al., 1998). Die Ausgänge werden in eine digitale Rekombinationslogik eingespeist, die die Wortbreite des Modulator-Gesamtausganges auf mehrere Bit vergrößert (Medeiro et al., 1998; Ortmanns et al., 2001a). Das bedeutet, dass die erste Dezimationsstufe Multiplikationen mit Operanden hoher Wortbreite anstatt simpler Additionen durchführen muss.

Üblicherweise wird eine  $\Sigma\Delta$ -A/D-Umsetzung als zeitdiskretes System implementiert, weil dies den Filterentwurf vereinfacht und zu Schaltungen mit einem hohen Grad an Linearität führt. Es wurde aber ebenfalls gezeigt

(Ortmanns et al., 2001a), dass kaskadierte CT Modulatoren entworfen werden können, die die gleiche Leistungsfähigkeit aufzeigen wie ihre zeitdiskreten Pendanten. Diese Modulatoren arbeiten mit der gleichen digitalen Rekombinationslogik wie zeitdiskrete Systeme (Marques et al., 1998). Für die Implementierung kaskadierter CT Modulatoren mit hoher Auflösung müssen verschiedene Aspekte berücksichtigt werden, die die Leistungsfähigkeit einschränken. Wegen der großen Variationen integrierter  $R\cdot C$ -Produkte wurde in Ortmanns et al. (2001b) eine Methode vorgestellt, um den dadurch bedingten Verstärkungsfehler zu kompensieren: Jeglicher Verstärkungsfehler in den Integratoren der ersten Stufe kann beseitigt werden, indem der Ausgangsdatenstrom des zweiten Quantisierers durch das Quadrat dieses Fehlerwertes dividiert oder der des ersten Quantisierers damit multipliziert wird (siehe Abb. 2a). Der Verstärkungsfehler vermindert die Ordnung des Noise Shapings, was in Abb. 1 für einen SOFO-Modulator ( $OSR=24$ , Verstärkungsfehler  $=2/3$ ) (Ortmanns et al., 2001b) dargestellt ist. Es ist zu erkennen, dass nur die Version mit Korrektur – durch Multiplikation des Ausgangssignales mit einem ca. 8 Bit Korrekturwort – ein perfektes Noise Shaping dritter Ordnung zeigt. Diese Korrektur resultiert aber in einer hohen Wortbreite im Modulator-Ausgangsdatenstrom und damit auch im Dezimator-Eingangssignal.

Folglich wäre die Hardwarekomplexität und der Leistungsverbrauch eines konventionellen Dezimators enorm. Wie im nächsten Abschnitt gezeigt wird, ist es vorteilhaft, die Fehlerkorrektur vom Eingang des Dezimators in das Innere der Struktur zu transferieren, um zu einer verbesserten Leistungsfähigkeit zu gelangen.

## 3 Vorgeschlagene Dezimatorstruktur

### 3.1 Herkömmliche Dezimator Architekturen

In den meisten Fällen wandelt ein  $\Sigma\Delta$ -Modulator ein analoges Eingangssignal  $x(t)$  in ein überabgetastetes digitales Signal  $s(n)$ . Hierbei wird das Quantisierungsrauschen zu höheren Frequenzen hin geformt. Das Signal  $s(n)$  wird anschließend im Dezimator digital gefiltert, um die gewünschte Auflösung und Abtastrate zu erhalten. Im Allgemeinen wird dieser Prozess in mehrere Stufen von Tiefpassfilterung und Herabastung aufgeteilt (Norsworthy et al., 1997), basierend auf dem Nyquist-Theorem und der digitalen Filtertheorie. Eine gebräuchliche Struktur ist z.B. ein Filter mit endlicher Impulsantwort (sog. FIR-Filter) in der ersten Dezimationsstufe, gefolgt von steilflankigeren Filtern (Norsworthy et al., 1997). In dieser Architektur sollte vorzugsweise ein single-bit Eingangssignal vorliegen. Dies ist aber, wie oben erläutert, bei kaskadierten Modulatoren üblicherweise nicht gegeben.

Der Fokus dieses Beitrages ist nun ein erweitertes Polyphasenfilter in der ersten Dezimationsstufe, das die Rekombinationslogik wie auch eine digitale Korrektur mit einbezieht. Auf diese Weise werden single-bit überabgetastete Eingangssignale  $s_i(n)$  in den Dezimator eingespeist.

### 3.2 Integration der Rekombinationslogik und der Korrektur des Verstärkungsfehlers in die erste Dezimatorstufe

In Abb. 2a ist die herkömmliche Struktur eines zweistufigen  $\Sigma\Delta$  A/D Umsetzers gezeigt. Er besteht aus:

- Zwei  $\Sigma\Delta$ -Modulatoren mit Rekombinationslogik (Digital Noise Cancellation Filters DNCF<sub>1</sub> und DNCF<sub>2</sub>) nach (Marques et al., 1998),
- dem 8 Bit Faktor  $\alpha$  zur Korrektur des Verstärkungsfehlers im Fall einer CT Implementierung (Ortmanns et al., 2001b),
- der ersten Dezimationsstufe, bestehend aus einem Tiefpassfilter LP<sub>1</sub> und einer Herabstastung um den Faktor  $M_1$ ,
- weiteren Dezimationsstufen (hier nicht gezeigt).

In Li und Wetherrell (2000) wird eine FIR-Sinc Architektur vorgestellt, bei der eine kleine Wortbreite am Eingang des Dezimators ausgenutzt wird. Dazu wird die Rekombinationslogik an den Ausgang der ersten Dezimationsstufe verschoben und dadurch eine niedrige Anzahl an Eingangsbits für das Dezimationsfilter bewahrt. Wie aus Abb. 2b ersichtlich ist, erweitern wir diesen Ansatz, um DNCF<sub>1</sub>, DNCF<sub>2</sub> und selbst die digitale Korrektur des Verstärkungsfehlers komplett in zwei neue Digitalfilter DF<sub>1</sub> und DF<sub>2</sub> zu integrieren (Becker et al., 2003). Dies ist ein Zwischenschritt in Richtung der vorgeschlagenen neuen Dezimatorstruktur.

Im Folgenden wird die konzeptionelle Ableitung dieser Filter erläutert. Zunächst wird das Antialiasing- (Tiefpass-) Filter  $H_{LP_1}(z)$  der ersten Dezimationsstufe nach den klassischen Kriterien für digitale Tiefpassfilter entworfen (Norsworthy et al., 1997). Aus den Frequenzgängen  $H_{DNCF_i}(z)$  (spezifiziert in Marques et al. (1998)) für  $i \in \{1, 2\}$  und der Übertragungsfunktion  $H_{LP_1}(z)$  des Tiefpasses, können die Grundgleichungen für die Filter  $H_{DF_i}(z)$  gewonnen werden:

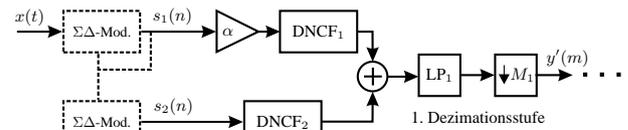
$$H_{DF_i}(z) = H_{DNCF_i}(z) \cdot H_{LP_1}(z) \quad (1)$$

Wird ein kaskadierter CT  $\Sigma\Delta$ -Modulator eingesetzt, so wird zusätzlich der Faktor  $\alpha$  für die Korrektur des Verstärkungsfehlers in  $H_{DNCF_1}(z)$  eingerechnet. Die neuen Koeffizienten für die Filter DF<sub>i</sub> ergeben sich durch die entsprechende Faltung:

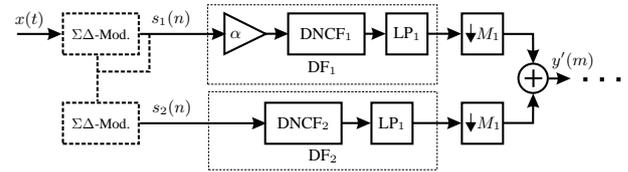
$$h_{DF_i}(n) = \sum_{k=-\infty}^{\infty} h_{DNCF_i}(k) \cdot h_{LP_1}(n-k) \quad (2)$$

### 3.3 Polyphasenzerlegung

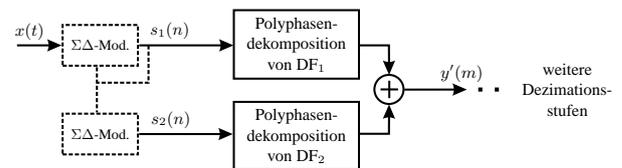
Im Abschnitt 1 wurde bereits der steigende Bedarf an sehr hohen Umsetzraten angedeutet. Wenn jedoch die Umsetzraten immer weiter erhöht werden, dann muss die Überabtastrate  $OSR$  herabgesetzt werden, um die Abtastfrequenz  $f_s$  des Systems innerhalb realistischer Grenzen zu halten (Medeiro et al., 1998). Auf Grund von sinkenden Überabtastraten moderner  $\Sigma\Delta$ -Modulatoren ist die Verwendung



(a) Allgemeine Struktur eines kaskadierten  $\Sigma\Delta$  A/D Umsetzers



(b) Struktur der DF<sub>i</sub> Filterkomponenten



(c) Vorgeschlagene Zerlegung in Polyphasen

**Abbildung 2.** Evolution der Dezimator-Topologien.

der Polyphasen-Dekomposition eine effektivere Alternative (Norsworthy et al., 1997).

Allgemeinere Gründe für die Verwendung von FIR-Polyphasenfiltern in der ersten Stufe des Dezimators sind zum einen, dass Berechnungen bei niedrigerer Frequenz durchgeführt werden können (Norsworthy et al., 1997) und zum anderen Einsparungen an Speicher. Somit gewährleistet diese Struktur eine bessere Recheneffizienz (vgl. hierzu Abschnitt 4). Dies liegt darin begründet, dass die (implizite) Dezimation in Polyphasenstrukturen vor der Tiefpassfilterung stattfindet.

Ausgehend von Gleichung 1, kann die Polyphasen-Dekomposition von  $H_{DF_i}(z)$  durchgeführt werden mittels

$$H_{DF_i}(z) = \sum_{\lambda=0}^{M_1-1} z^{-\lambda} \cdot H_{\lambda}(z^{M_1}) \quad (3)$$

wobei  $M_1$  die Abwärtstastung der ersten Dezimationsstufe darstellt und  $h_{\lambda}(m) \circ \bullet H_{\lambda}(z)$  die Koeffizienten der verschiedenen Phasen  $\lambda$  sind.

Um zu verhindern, dass die Multiplikation mit dem Korrekturfaktor  $\alpha$  von CT Modulatoren bei hoher Taktrate durchgeführt werden muss, schlagen wir vor, diese Operation in das Polyphasenfilter einzubinden (Becker et al., 2003). Dies wird durch eine Multiplikation der Koeffizienten  $h_{DF_i}(n)$  mit dem Faktor  $\alpha$  erreicht. In diesem Fall werden gemäß Gleichung 2 die  $h_{DF_i}(n)$  vor der Polyphasen-Dekomposition bestimmt durch

$$h_{DF_1,CT}(n) = \alpha \sum_{k=-\infty}^{\infty} h_{DNCF_1}(k) \cdot h_{LP_1}(n-k) \quad (4)$$

$$h_{DF_2,CT}(n) = \sum_{k=-\infty}^{\infty} h_{DNCF_2}(k) \cdot h_{LP_1}(n-k) \quad (5)$$

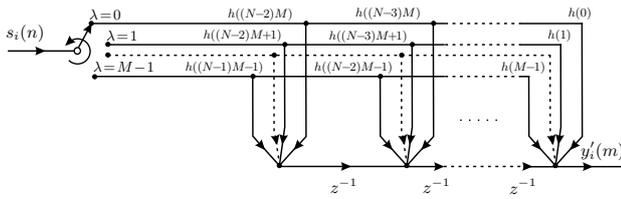


Abbildung 3. Ein Zweig der Polyphasenzerlegung.

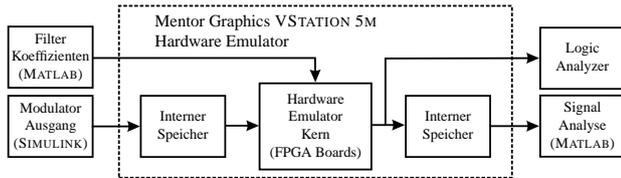


Abbildung 4. Hardware-Emulations-Umgebung.

### 3.4 Gesamtaufbau der vorgeschlagenen Dezimatorstruktur

In Abb. 2c ist die Struktur der ersten Stufe der neuen Dezimatorstruktur gezeigt. Sie besteht aus Polyphasenfiltern – mit single-bit Eingängen – in zwei parallelen Zweigen, die auch die digitale Rekombinationslogik für kaskadierte Modulatoren beinhalten, und für den Fall eines CT Modulators zusätzlich die Korrektur des Verstärkungsfehlers (Becker et al., 2003). An den Ausgang der Polyphasenstruktur ist ein Halbbandfilter der nächsten (letzten) Stufe angeschlossen, um steilflankig an der Kante des Basisbandes zu filtern. In Abb. 3 ist ein Zweig der transponierten Polyphasen-Dekomposition mit Filterkoeffizienten und der Verzögerungskette im Detail zu sehen (Norsworthy et al., 1997).

## 4 Implementierung in Hardware

### 4.1 VHDL-Modell und Synthese auf Hardware Emulator

Zur genaueren Untersuchung der Effizienz und Funktionalität der vorgeschlagenen Struktur wurde ein generischer Polyphasendezimator, wie in Abb. 3 gezeigt, in VHDL implementiert. Die Zahlendarstellung erfolgt durch Bitvektoren unterschiedlicher Breite, wobei sich die Breite aus den Zahlenwerten ergibt, die an dem jeweiligen Punkt der Struktur maximal auftreten können. Die Addierer, Multiplizierer und Verzögerungsglieder werden daher nur mit der tatsächlich erforderlichen Wortbreite implementiert. Funktionsfähigkeit und Sythetisierbarkeit des Modells wurden durch Implementierung und Test auf einem IKOS (jetzt Mentor Graphics) VSTATION 5M Hardware Emulator untersucht.

Der Aufbau des realisierten Systems ist in Abb. 4 zu sehen. Eingaben in das System erfolgen über interne Speicher des Emulators. In diesen wird ein Testsignal abgelegt, das durch eine SIMULINK Simulation eines Modulators erzeugt wurde. Die Filterkoeffizienten werden in MATLAB berechnet und in das VHDL-Modell integriert, das in den FPGAs des

Tabelle 1. Zusammenstellung der Simulationsparameter.

Parameter	Wert
Signalfrequenz $f_{\text{Signal}}$	10 kHz
Bandbreite $f_B$	25 kHz
Überabtastung $OSR$	24
Abtastfrequenz $f_S$	1,2 MHz
Stoppband-Unterdrückung	-87 dB
Abwärtstastung $M_1$ der ersten Stufe	12
$IBN$ des Modulatorausgangs	-74,15 dB
$IBN$ nach der ersten Stufe (Abb. 2c)	-71,85 dB

Tabelle 2. Gatteraktivität (gerundet) pro Eingangssample.

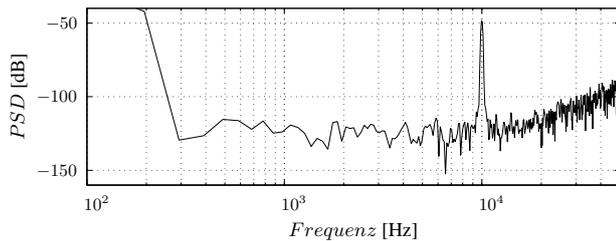
Struktur	XOR	OR	AND	NOT	DELAY
Abb. 2a:					
RL	68	19	22	0	19
LP	628	210	287	24	4
Summe	<b>696</b>	<b>229</b>	<b>309</b>	<b>24</b>	<b>23</b>
Abb. 2c:					
<b>Unser Ansatz</b>	<b>132</b>	<b>44</b>	<b>57</b>	<b>0</b>	<b>7</b>

Emulators implementiert wird. Die Spezifikationen für den Modulator und die erste Stufe des Dezimators finden sich in Tabelle 1. Die Ausgangsdaten des Filters werden entweder über einen Logic Analyzer aufgenommen oder in den internen Speicher des Hardware Emulators geschrieben, von wo sie durch den Hostcomputer ausgelesen und z.B. in MATLAB weiterverarbeitet werden können.

### 4.2 Effizienz der vorgeschlagenen Struktur

Der Rechenaufwand pro Ausgangssample bei den unterschiedlichen Strukturen der ersten Dezimationsstufe (siehe Abb. 2a und c) wurde untersucht, indem das Ausgangssignal des Modulators mit dem jeweiligen, synthetisierbaren VHDL-Modell gefiltert wurde. Dazu wurde in einem VHDL-Simulator die Anzahl der Signalübergänge an den Ausgängen der Grundgatter gezählt. Auf diesem Wege konnte die Anzahl der Signalübergänge pro Eingangssample ermittelt werden, was ein Kriterium für die Gatteraktivität und die Recheneffizienz darstellt.

Es wurden hierfür die zunächst als Verhaltensmodelle implementierten Operationen der Addition und Multiplikation durch strukturelle Modelle ersetzt. Die "Multiplikation eines 1 Bit Eingangssignals mit einem  $n$  Bit Koeffizient kann dabei durch einen einfachen Signalverteiler für das 1 Bit Signal realisiert werden. Es wurde ein erweitertes Modell für die Grundgatter eingesetzt, um die Protokollierung der Signalübergänge zu ermöglichen. Dazu wurde eine Signalüberwachung integriert, welche bei jedem Signalübergang des Ausgangs einen Zähler inkrementiert. Es werden



**Abbildung 5.** Leistungsdichtespektrum der vorgeschlagenen Dezimation.

dabei momentan ausschließlich die arithmetischen Teile berücksichtigt, insbesondere wird der Eingangskommutator des Polyphasenfilters vernachlässigt. Dieser stellt jedoch eine vergleichsweise einfache Struktur dar. Es kann daher angenommen werden, dass sein Beitrag zu den Rechenkosten vernachlässigbar klein ist verglichen mit den Kosten für die arithmetischen Strukturen.

Für die konventionelle Struktur, wie sie in Abb. 2a gezeigt ist, sind in Tabelle 2 die Beiträge der Rekombinationslogik (RL) und des Polyphasen-Tiefpassfilters (LP, Ordnung 120) an der Gatteraktivität pro Eingangssample aufgeführt. Die letzte Zeile in Tabelle 2 zeigt die entsprechenden Werte für die vorgeschlagene Architektur (Abb. 2c), bei der die Rekombinationslogik, die Korrektur für den Verstärkungsfehler und das Tiefpassfilter integriert sind. Wie in Tabelle 2 zu erkennen, senkt die vorgeschlagene Struktur den Rechenaufwand drastisch und steigert dementsprechend die Effizienz. Der neue Ansatz ist unter dem Aspekt der erforderlichen Gatteraktivität mehr als fünf mal effizienter. Da für beide Strukturen weitere Optimierungsmöglichkeiten existieren, würden sich für eine aufwändigere Implementierung vermutlich geringfügig andere Ergebnisse als die in Tabelle 2 gezeigten ergeben, trotzdem ist die Überlegenheit der vorgeschlagenen Architektur bezüglich der Effizienz offensichtlich.

Der größte Vorteil des neuen Ansatzes ist, dass ausschließlich  $1 \times 12$  Bit statt  $9 \times 12$  Bit Multiplikationen benötigt werden (wobei 12 Bit die Breite der Filterkoeffizienten ist), was zu einem enormen Anstieg der Effizienz führt, da in unserer Architektur ein Bit breite Signale am Eingang des Dezimators gegeben sind. Abbildung 5 zeigt das Leistungsdichtespektrum (power spectrum density, PSD) der vorgeschlagenen Struktur nach der ersten Dezimationsstufe (siehe Abb. 2c). Das Gleichtaktsignal im PSD ergibt sich aus der Benutzung vereinfachter Multiplizierer, welche das 1 Bit Signal als 0 und 1 interpretieren, anstatt als  $-1$  und 1, den eigentlichen Ausgangswerten des Modulators.

## 5 Erweiterung und Ausblick

Die vorgeschlagene Architektur des Polyphasendezimators ließe sich für Anwendungen in kaskadierten  $\Sigma\Delta$ -Modulatoren mit Multi-Bit Ausgängen erweitern. Die Integration einer digitalen Korrektur für Nichtlinearitäten (Norsworthy et al., 1997) ist Gegenstand weiterer Untersuchungen.

## 6 Zusammenfassung

Eine optimale Dezimatorstruktur für kaskadierte zeitdiskrete und zeitkontinuierliche  $\Sigma\Delta$ -Modulatoren wurde implementiert. Sie nutzt insbesondere die sinkenden *OSRs* moderner  $\Sigma\Delta$ -Modulatoren und ist somit eine effiziente Alternative zu konventionellen Dezimatorarchitekturen. Die komplette Fehlerkorrekturlogik zur Rekombination der Datenströme eines kaskadierten Modulators wurde kombiniert und in diesen neuen Ansatz integriert, der es außerdem erlaubt, die bei Nutzung zeitkontinuierlicher Modulatoren essentielle Verstärkungsfehlerkorrektur mit einzubeziehen. Die Architektur wurde auf einem Mentor Graphics VSTATION 5M Hardware Emulator synthetisiert. Abschließend wurde die erhöhte Effizienz und reduzierte Komplexität der implementierten Struktur gezeigt.

## Literatur

- Becker, M., Heiber, K., Ortmanns, M. und Manoli, Y.: A Power Optimized Decimator Architecture for Cascaded  $\Sigma\Delta$  Analog-to-Digital Converters, ICECS, 796–801, 2003.
- Cherry, J. A. und Snelgrove, W. M.: CT Delta-Sigma Modulators for High-Speed A/D Conversion, Kluwer Academic Publishers, 1999.
- Li, S.-F. und Wetherrell, J.: A Compact Low-Power Decimation Filter for Sigma Delta Modulators, ICASSP, vol. 6, 3223–3226, 2000.
- Marques, A., Peluso, V., Steyaert, M. S. und Sansen, W. M.: Optimal Parameters for Delta-Sigma Modulator Topologies, IEEE Trans. on Circuits and Systems II, vol. 45, 1232–1241, 1998.
- Medeiro, F., Pérez-Verdú, A. und Rodríguez-Vázquez, A.: Top-Down Design of High-Performance  $\Sigma\Delta$  Modulators, Kluwer Academic Publishers, 1998.
- Norsworthy, S. R., Schreier, R. und Temes, G. C.: Delta-Sigma Data Converters – Theory, Design, and Simulation, IEEE Press, 1997.
- Ortmanns, M., Gerfers, F. und Manoli, Y.: On the Synthesis of Cascaded CT  $\Sigma\Delta$  Modulators, ISCAS, V419–V422, 2001.
- Ortmanns, M., Gerfers, F., Samid, L. und Manoli, Y.: Successful Design of Cascaded CT  $\Sigma\Delta$  Modulators, ICECS, 321–324, 2001.