

# パイプライン方式サイクリック A/D 変換器における高精度化の研究

## A research on high precision conversion in pipeline cyclic A/D converter

電気電子情報通信工学専攻 森川 逸太  
Hayata Morikawa

### 1 はじめに

現在プロセス微細化に伴いパイプライン A/D 変換器よりも逐次比較型 (SAR) A/D 変換器が汎用的に用いられている。そこで我々の研究室では高精度かつ小面積を実現できるパイプラインアーキテクチャを用いた 14bit 精度のサイクリック A/D 変換器を設計した。本研究では設計した A/D 変換器を実測し、その評価を行うことでより高い精度を達成するために回路を解析することを目的とする。

### 2 サイクリック A/D 変換器の構成

図 1 にサイクリック A/D 変換器のブロック図を示す。アナログ部では、1.5 bit のデジタルコードの出力とデジタル判定結果と入力信号の誤差を 2 倍化した信号を次段へ出力する機能を持つビットブロック回路のサイクルを  $n$  回繰り返すことで、 $n$  bit 精度の A/D 変換を実現する。ビットブロック回路に要求される速度は全体の出力 bit 数  $\times$  サンプルング周波数となる。同一のビットブロック回路を使い回して変換を行うため、サイクリック A/D 変換器は小面積で高精度な特性を実現することができる。図 2 にビットブロック回路の構成を示す。スイッチ、キャパシタ、オペアンプから成るスイッチトキャパシタ回路で構成される。サンプルモードで 2 つのキャパシタに入力電圧を充電し、ホールドモードで片方のキャパシタをオペアンプの帰還路に接続し、もう片方のキャパシタを基準電圧に接続することで信号の二倍処理を行う。このときの理想的な入出力特性は式 (1) で表される。

$$V_{out} = 2V_{in} - V_{da} \quad (1)$$

### 3 オペアンプの構成

まずオペアンプの直流利得の目標値の算出を行う。図 3 にビットブロック回路の模式図を示す。

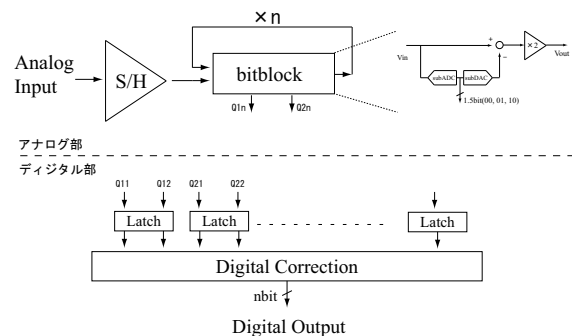


図 1: サイクリック A/D 変換器

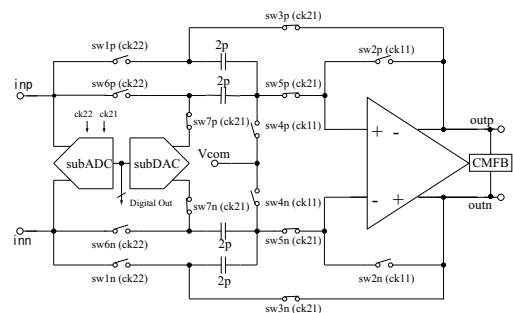


図 2: ビットブロック回路の構成

オペアンプが有限の利得  $G$  を持つとするとビットブロックの入出力特性の式は

$$V_{out} = \frac{2}{1 + \frac{1}{G}} V_{in} - \frac{1}{1 + \frac{1}{G}} V_{da} \quad (2)$$

となり静的誤差を生む。ここで誤差が  $n$  bit 精度以内に収まる為の条件は  $G > 2^{n+2}$  となり、14bit 精度に収束する為の条件は  $G > 96dB$  と求まる。

オペアンプの帯域幅はビットブロック出力の収束時間に関係し、動的誤差を左右する。ビットブロックの出力

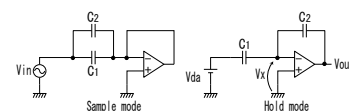


図 3: ビットブロック回路の模式図

電圧が nbit 精度に収束する為の時間 t の式は

$$t > \frac{(n+1) \ln 2}{\beta \omega_u} \quad (3)$$

で表される。β はホールドモードにおけるオペアンプの帰還率であり、 $\omega_u = 2\pi f_u$  で  $f_u$  はオペアンプの利得が 1 倍になる周波数であるユニティゲイン周波数を表す。ここで、 $C_1 = C_2$  より  $\beta = 0.5$ ,  $n=14$ bit,  $t=10$ nS(CLK=50MHz の半周期) で動作させると、必要となるユニティゲイン周波数  $f_u$  は

$$f_u > 330\text{MHz} \quad (4)$$

と求まる。

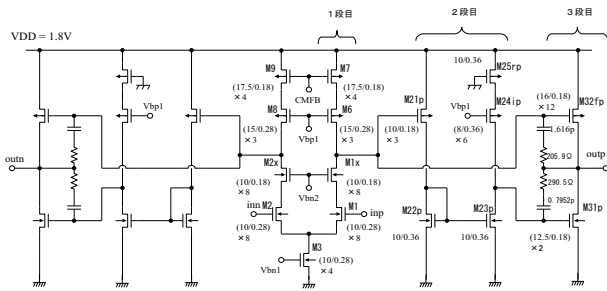


図 4: オペアンプ回路

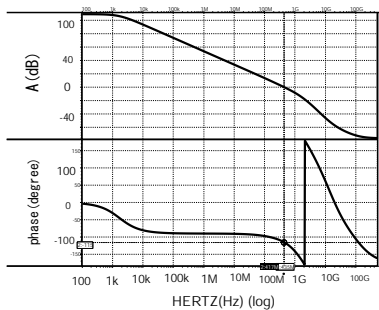


図 5: 周波数特性

今回用いたオペアンプの構成を図 4、得られた周波数特性を図 5 に示す。オペアンプを多段に縦続接続することで高い利得を実現する構成となっている。設計したオペアンプは直流利得 109dB、帯域幅 435MHz、位相余裕 65 度を実現した。

## 4 試作チップの評価

### 4.1 試作チップと測定回路

図 6 に試作したサイクリック型 A/D 変換器のチップ写真を示す。図 7 に A/D の AC 特性の測定回路を示す。左中央にある回路がサイクリック型 A/D 変換器の

アナログ部である。中央にアナログ電源 AVDD ラインがあり、AVDD ラインを中心に対象になるようにブロックが配置されている。アナロググランド AGND ラインの周りにはガードリングを敷き、デジタル部からのノイズがアナログ部に付加されないようにしてある。右側中央と下部にあるのがクロックドライバ回路とデジタルコレクション回路である。アナログ部へのノイズを考慮し、デジタル電源 DVDD としてアナログ部の電源と分離している。図 7 に A/D の AC 特性の測定回路を示す。チップ左辺では、入力信号、リファレンス電圧、アナログ用電源、アナロググランドが入力される。入力信号は信号発生器からバランを経て差動信号に変換し、チップ内へ入力される。アナログ部のリファレンス電圧はアナログ電源 AVDD を抵抗分圧したものを入力する。チップ右辺では、クロックドライバの基準クロックと、デジタル用電源電圧、デジタルグランドが入力される。下辺ではデジタルコレクション回路の出力端子が 14 ピン用意されている。これらの出力をディスクリートの DAC に入力し、その出力を FFT 処理することで測定を行う。

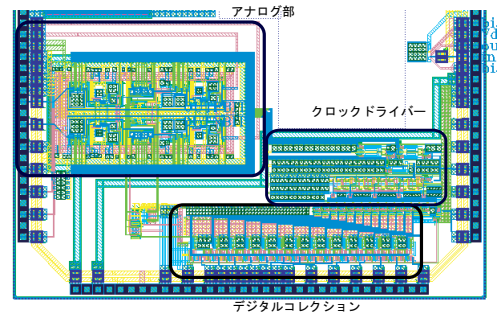


図 6: レイアウト図

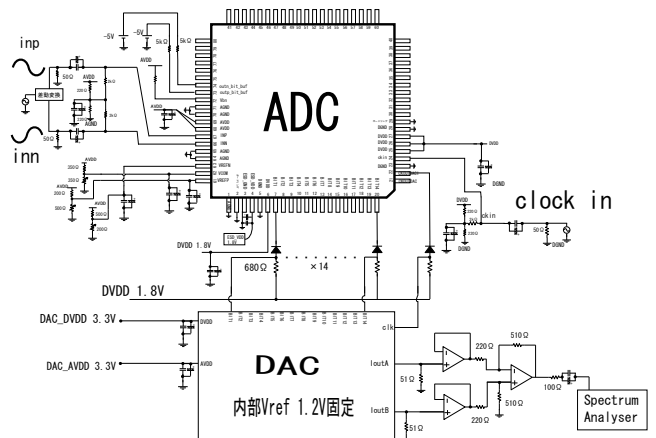


図 7: 測定回路

## 出力波形と SFDR の測定

測定条件は、入力周波数  $f_{in} = 100\text{kHz}$ 、動作周波数  $50\text{MHz}$ 、サンプリング周波数  $f_s = 3.57\text{MHz}$ 、入力フルスケール電圧  $V_{fs} = 0.8\text{V}$  の sin 波とした。DAC の出力波形を図 8 に、その時のスペクトラムを図 9 に示す。

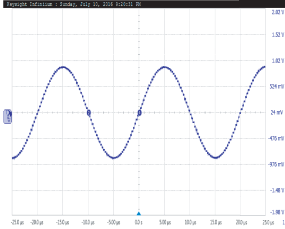


図 8: 出力波形

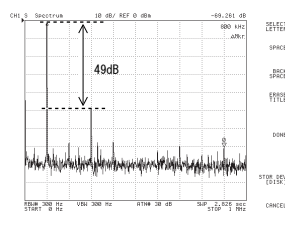


図 9: スペクトラム波形

SFDR とは基本波から最も大きい高調波のパワーを引いたものであり、図より、3 次高調波歪が最も高い歪レベルであり SFDR は  $49\text{dB}$  であることが分かった。

## 4.2 DNL INL の測定

次に 8bit 精度で DNL、INL を測定した。図 10 に DNL、図 11 に INL をそれぞれ示す。

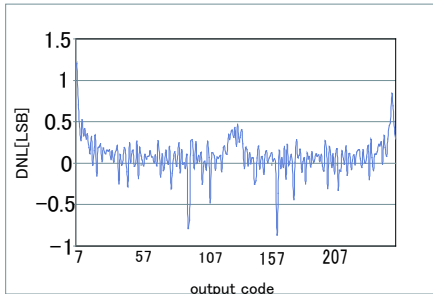


図 10: DNL

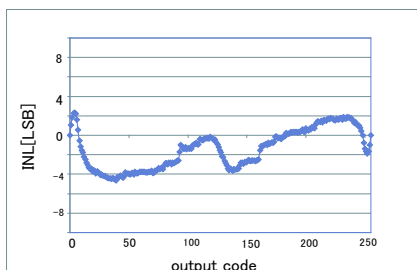


図 11: INL

DNL を見ると  $\pm 1/4V_{ref}$  付近で誤差が大きいことからこの付近の入力に対しミスコードなどが生じ、直線性

は悪いと言える。

## 5 評価結果の解析

### 5.1 直線性の確認

A/D 変換器の直線性を 8bit の精度で測定を行うために入力周波数  $f_{in} = 6.975\text{kHz}$ 、動作周波数  $50\text{MHz}$ 、サンプリング周波数  $f_s = 3.57\text{MHz}$ 、入力フルスケール電圧  $0.8\text{V}$  の三角波を入力した。このときの DAC の出力波形を図 12 に示す。出力電圧  $V_{fs}$  は  $2.16\text{V}$  である。この時、 $\pm 1/4V_{ref}$  付近に出力波形の不連続点が確認できた。 $\pm 1/4V_{ref}$  付近をを拡大すると図 13 のようになり、出力波形の不連続点は  $\delta = 22.4\text{mV}$  の電圧ギャップであることが分かる。 $\pm 1/4V_{ref}$  付近に誤差が生じ変換特性が悪くなっていることからこの誤差をなくすためにビットブロック回路について解析を行った。

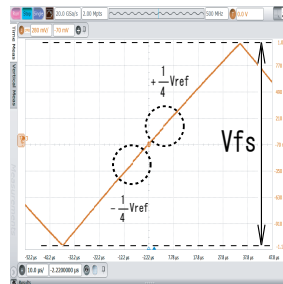


図 12: 出力波形

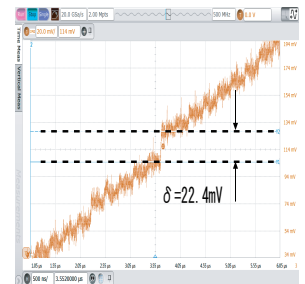


図 13: 拡大図

### 5.2 ビットブロック回路の解析

本研究におけるビットブロック回路の理想的な動作について述べるサンプル時とホールド時のビットブロック回路の状態を図 14 に示す。

サンプルモードでは入力電圧  $V_{in1}1.3\text{V}$ 、 $V_{in2}0.5\text{V}$  と  $V_{com}0.9\text{V}$  の電圧差  $0.4\text{V}$  がキャパシタにそれぞれ充電され、オペアンプは全帰還となっている。ホールドモードでは片方のキャパシタがオペアンプの帰還容量となり、もう片方のキャパシタは subDAC の出力に接続されそれぞれ  $V_{refp}1.3\text{V}$ 、 $V_{refn}0.5\text{V}$  となっている。一連

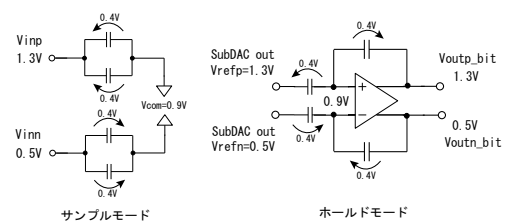


図 14: ビットブロック回路の動作

の動作を式(2.6)に代入すると出力  $V_{outp\_bit}$  は 1.3V、 $V_{outn\_bit}$  は 0.5V となり、各サイクルで全く誤差が乗らない理想の状況では出力の時間変化は図 15 となる。

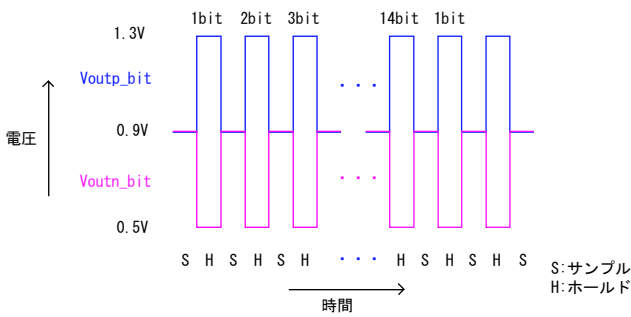


図 15: ビットブロック回路の出力の時間変化

実測において動作周波数を 5MHz とし  $V_{inp}$  に 1.3V、 $V_{inn}$  に 0.5V 直流電圧を入力した。その時のビットブロックの出力波形を図 16 に示す。

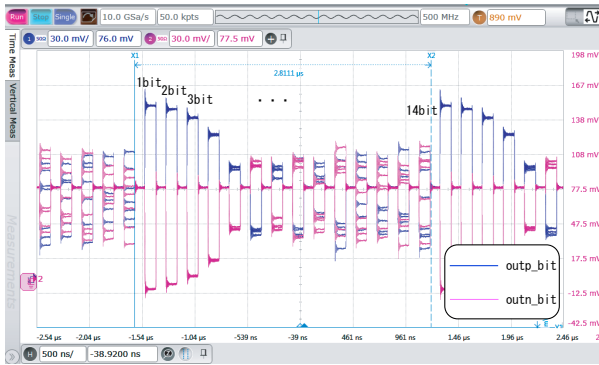


図 16: 出力波形

1bit 目以降の出力値が下がっていく様子が確認できた。このことから 1bit 目の出力がフルスケール出力されていない可能性があると考えられる。そこで、出力波形がちょうどクリップするかしらないかの入力電圧を加えた。そのときの入力電圧を入力フルスケール電圧とし出力電圧を出力フルスケール電圧として考える。この条件で動作周波数 5MHz とし入力  $V_{inp}$  を 1.31V から 0.49V まで、 $V_{inn}$  を 0.49V から 1.31V まで差動入力しビットブロック回路の 1bit 目における入出力特性を実測で得た。理想的な入出力特性では傾きは理想的には 2 であり、式(1)の  $V_{in}$  の係数にあたる。実測で得た入出力特性は図 17 に示す。実測において、傾きを算出すると 1.96 となり理想通りの特性を得られなかった。

この実測結果で得られた傾きが実際に 1.96 であるかを検証するために理想状態から傾きが 1.96 になると仮定するとどの程度の誤差が生じるかを求めた。傾きが 1.96 となった場合の理論式による入出力特性を図 18 に示す。

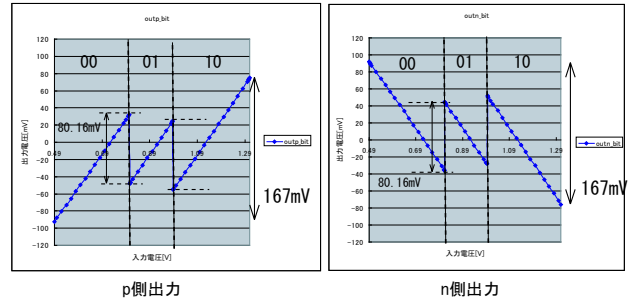


図 17: 入出力特性

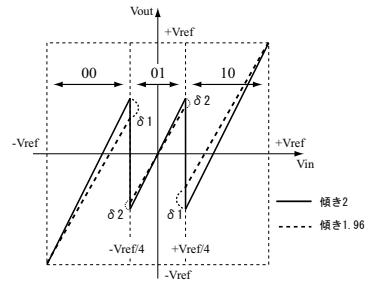


図 18: 理論式による入出力特性

$\pm 1/4V_{ref}$  での誤差  $\delta_1 + \delta_2$  はフルスケール電圧を 167mV としたとき 3.34mV であった。各領域の遷移点ではフルスケールの 1/2 の電圧で折り返すので折り返し電圧は 83.5mV である。この理想値から誤差を引いた値が実測においても確認できれば傾きが 1.96 に落ちているという仮定は正しいといえる。実測においてこの遷移点での折り返し電圧を測定すると p 側出力、n 側出力ともに 80.2mV であった。理想値から誤差を引くと 80.16mV となり実測値と理想値は 8bit 精度の測定において一致した。したがって傾きは 1.96 に落ちているといえる。

## 6 結論

本論文ではサイクリック A/D 変換器の実測とその高精度化についての研究を行った。以前設計された A/D 変換器を実測したところ目標とする特性を得られなかった。そこで原因の一つをオペアンプと仮定し、利得を大きくするように再設計し A/D 変換器を試作した。新たに試作した A/D 変換器では  $\pm 1/4V_{ref}$  付近での不連続点について解析し、変換誤差が生じる原因の一つを特定した。

## 参考文献

- [1] Chi-Chang Lu, "A 1.2V 10-bit 5 MS/s CMOS Cyclic ADC," 2013 IEEE International Symposium on Circuits and Systems (ISCAS2013), pp. 1986-1989, April 2013.