

UNIVERSITÉ DE MONTRÉAL

ACQUISITION DE DONNÉES À HAUTE RÉOLUTION ET FAIBLE
LATENCE DÉDIÉE AUX CAPTEURS AVIONIQUES DE POSITION

ZIED KOUBAA

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION
DU DIPLÔME DE MAITRISE ÈS SCIENCES APPLIQUÉES
(GÉNIE ÉLECTRIQUE)

MAI 2014

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé :

**ACQUISITION DE DONNÉES À HAUTE RÉOLUTION ET FAIBLE
LATENCE DÉDIÉE AUX CAPTEURS AVIONIQUES DE POSITION**

présenté par : KOUBAA Zied

en vue de l'obtention du diplôme de : Maîtrise ès sciences appliquées

a été dûment accepté par le jury d'examen constitué de :

M. ZHU Guchuan, Doct., président

M. SAWAN Mohamad, Ph.D., membre et directeur de recherche

M. GAGNON Ghyslain, Ph.D., membre

DÉDICACE

Nous louons Dieu Tout puissant de nous avoir donné la vie, la santé
et d'avoir de nous ce que nous sommes aujourd'hui.
C'est grâce à lui que ce présent travail a vu le jour.

À ma mère,

À mon père,

À ma sœur,

À tous ceux qui m'aiment ; À tous ceux que j'aime,

REMERCIEMENTS

Ce projet de maîtrise orienté R&D marque une étape importante dans ma vie. C'est un agréable devoir de témoigner ma reconnaissance aux personnes qui ont contribué de près ou de loin à la réalisation de ce mémoire.

Mes remerciements les plus sincères s'adressent à mon directeur de recherche, monsieur Mohamad Sawan, professeur au département de génie électrique de l'École Polytechnique de Montréal, pour sa rigueur, ses directives, ses précieux conseils et son soutien durant toute la période de recherche au sein du Laboratoire de neurotechnologies Polystim.

J'adresse également mes remerciements aux membres qui ont participé au bon déroulement de ce projet de recherche, plus précisément monsieur Saeid Hashemi pour sa disponibilité et sa présence ainsi que messieurs Masood Karimian et Slaheddine Daldoul pour leurs collaborations. Je remercie aussi mes collègues Sami Hached et Aref Trigui pour leur aide et leur soutien moral durant cette maîtrise.

Je remercie également les membres de jury, messieurs Guchuan Zhu et Ghyslain Gagnon qui m'ont honoré en faisant partie du jury de mon mémoire.

Je saisis cette occasion pour exprimer également mes vifs remerciements et témoigner ma reconnaissance à mes enseignants et professeurs, à mes amis et, en particulier à mes parents et ma famille qui m'ont toujours soutenu et encouragé dans mes études.

Enfin, je voudrais remercier le Ministère de l'Enseignement Supérieur et de la Recherche Scientifique de la **Tunisie** qui, à travers la Mission universitaire de la Tunisie en Amérique du Nord, m'a offert la possibilité de mener des travaux de recherche au Canada.

RÉSUMÉ

Le réseau de communication et les mécanismes de détection sont des systèmes critiques dans un avion. Leurs performances ont un impact direct sur celles de l'aéronef. Cela suscite l'intérêt des concepteurs avioniques qui s'investissent de plus en plus dans le développement de ces éléments. Dans le cadre d'un projet couvrant ce domaine, nous proposons la conception et le développement d'une interface générique pour les capteurs de position dédiés aux avions (Smart Sensor Interface - SSI). Cette interface permet de connecter les capteurs de position de différentes technologies (Électromagnétique, Microelectromechanical System (MEMS) et optique) au nouveau réseau de communication AFDX (Avionics Full Duplex). Son rôle consiste à générer un signal d'excitation approprié pour certains types de capteurs (Variable Differential Transformer VDT) et à acquérir, démoduler et numériser leurs signaux de sortie. Ainsi, l'interface présentée est composée d'un Chemin d'Acquisition des Données (CAD) et d'un générateur de signaux d'excitation (GSE). En adoptant une architecture modulaire (Integrated Modular Avionics, IMA), nous pouvons minimiser les dimensions de l'interface utilisée actuellement, réduire sa consommation d'énergie et améliorer sa fiabilité et ses performances.

On s'intéresse dans ce mémoire en particulier au Chemin d'Acquisition des Données (CAD). Une architecture à haute résolution (14 bits) et de faible latence (1.2 ms) de ce module y est proposée et réalisée. Cette architecture a été élaborée suite à une étude des solutions déjà existantes dans la littérature de même qu'une analyse des problèmes actuellement présente dans la conception et la réalisation de ce Chemin d'Acquisition des Données (CAD). La conversion du signal analogique reçu du capteur en un signal numérique est l'étape la plus importante dans l'acquisition des données puisqu'elle définit la résolution des informations acquises tout en engendrant la majeure partie de la latence. Ce module peut aussi affecter la fiabilité et la stabilité du système.

Parmi différents modèles (différentes architectures), le choix d'un convertisseur analogique-numérique (CAN) de type $\Sigma\Delta$ est privilégié pour cette application (meilleure résolution et plus simple à intégrer que les autres CAN concurrents). Il est formé par un circuit analogique (modulateur) suivi par des filtres numériques. La complexité de l'implémentation, le délai de traitement de même que la résolution à la sortie sont susceptibles au changement selon l'architecture de ces filtres.

Ainsi l'inconvénient principal dans la conception d'un tel système est que la variation des paramètres résolution et latence est opposée ; l'amélioration de l'un se fait au détriment de l'autre. Nos travaux visent alors à proposer une méthode d'optimisation de la latence engendrée par le CAN en gardant la résolution des données désirée (14 bits). Cette optimisation tient compte de l'objectif d'intégrer le CAD dans des modules des petites dimensions et de faible consommation. La solution proposée a été implémentée afin de valider la conception de l'interface. Nous évaluons les résultats obtenus après fabrication.

Le bloc d'acquisition de données réalisé est formé par deux composants électroniques : Le premier est un circuit intégré en technologie IBM CMOS 0.13 μ m. Il contient la partie analogique du CAN (le modulateur $\Sigma\Delta$). Le second est un circuit FPGA Virtex-6 de XILINX permettant de réaliser des traitements numériques nécessaires pour l'acquisition et la conversion du signal du capteur. La logique numérique intégrée dans le FPGA fournit des données numériques au module GSE afin de générer le signal d'excitation. En utilisant un signal propre à l'entrée du chemin d'acquisition des données, nous pouvons atteindre un SNDR égal à 83,9 dB. La latence, engendrée par ce chemin, est peu inférieure à 1 ms, ce qui donne une marge de sécurité de 0,2 ms par rapport à la contrainte imposée par l'industrie (1,2 ms pour le SSI).

ABSTRACT

The communication network and the detection mechanisms are two critical systems in a plane. Their performance has a direct impact on aircrafts. This is of particular interest for avionics designers, who have increasingly invested more and more in the development of these elements. As a part of a project in this domain, we introduce the design and the development of a smart interface for position sensors dedicated to flights (Smart Sensor Interface - SSI). This interface will serve to connect sensors of different technologies (electromagnetic, optical and MEMS) to the new communication network, AFDX. The role of this interface is to generate an appropriate excitation signal for certain types of sensors (R/LVDT), and to treat, demodulate, and digitize their output signals. The proposed interface is thus composed of a Signal Acquisition Path (SAP) and an Excitation Signal Generation (ESG). By adopting the Integrated Modular Avionics architecture (IMA), we can minimize the size of the classic interface, reduce its energy consumption and improve its reliability and its performance.

The focus of our design is particularly on the Data Acquisition Path (DAP). An Architecture characterized by a high resolution (14 bits) and a low latency (1.2 ms) of this module is introduced and developed in this prestigious work. This architecture was developed after a well-conducted study of existing solutions found in literature work and a detailed analysis of the problems arise in the design and implementation of this system (DAP). The conversion of the sensor signal into a digital signal is the most important step in acquiring data, as it sets the resolution of the acquired information and generates the majority of its latency. This module can also affect the reliability and stability of the system.

Among different models and architectures, the Delta-Sigma analog-to-digital converter (ADC) is preferred for this application (for better resolution). This converter is formed by an analog circuit (modulator) followed by digital filters. The complexity of the implementation, the processing delay and the output resolution are all susceptible to change depending on the architecture of these filters.

Thus, the main problem while designing such a system arises in the opposing evolution of the resolution and latency parameters; the improvement or evolution of one, results in the destruction of the other. Therefore, our work aims to provide one or more method to optimize the latency caused by the CAN while maintaining the same resolution of the desired data (14 bits). This

optimization takes into account the objective of integrating the DAP in modules of small size and low power consumption. This proposed solution was implemented in order to validate the design of the conception of the interface. We are also interested to achieve the proposed solution and validate our design. The obtained results will be evaluated after following the manufacturing strategy.

The data acquisition unit is made up of two electronic components. The first component is an integrated circuit, which uses CMOS 0.13 μm IBM technology and contains the analog part of CAN ($\Sigma\Delta$ modulator). The second component is a Virtex-6 FPGA, which allows one to acquire the necessary digital processing required for the acquisition and conversion of the sensor signal. In the final version of the interface, our analog portion will be integrated with the analog portion of GSE in the same chip. The integrated digital logic in the (FPGA) role will thus provide digital data to the ESG module in order to generate the excitation signal.

TABLE DES MATIÈRES

DÉDICACE.....	I
REMERCIEMENTS.....	IV
RÉSUMÉ.....	V
ABSTRACT.....	VII
TABLE DES MATIÈRES.....	IX
LISTE DES FIGURES.....	XIII
LISTE DES TABLEAUX.....	XV
LISTE DES SIGLES ET ABRÉVIATIONS.....	XVI
CHAPITRE 1 : INTRODUCTION ET PROBLÉMATIQUE.....	1
1.1 APERÇU DU PROJET.....	1
1.2 INTERFACE DU CAPTEUR DE POSITION.....	5
1.3 CAPTEUR DE POSITION R/LVDT.....	6
1.4 ARCHITECTURE PROPOSÉE POUR UNE INTERFACE INTELLIGENTE DU CAPTEUR.....	9
1.4.1 GÉNÉRATEUR DE SIGNAUX D'EXCITATION (GSE).....	10
1.4.2 CHEMIN D'ACQUISITION DES DONNÉES (CAD).....	10
1.5 OBJECTIFS ET CONTRIBUTIONS DE LA RECHERCHE.....	12
CHAPITRE 2 : REVUE DES CHEMINS D'ACQUISITION DES SIGNAUX ET COMPARAISONS DES CAN.....	14
2.1 INTRODUCTION.....	14
2.2 APPLICATION AVIONIQUE ET ÉVOLUTION.....	14
2.3 SYSTÈME D'ACQUISITION DU SIGNAL.....	16
2.3.1 CAPTEUR INTELLIGENT :.....	16
2.3.2 TRAVAUX DE POINTE DES INTERFACES DU CAPTEUR DE POSITION R/LVDT.....	18

2.4	CHEMIN D'ACQUISITION DES DONNÉES	20
2.5	CONVERTISSEUR ANALOGIQUE-NUMÉRIQUE.....	21
2.5.1	ERREUR DE QUANTIFICATION :	22
2.5.2	EXACTITUDE (NOMBRE EFFECTIF DE BITS ENOB) :	23
2.5.3	TEMPS D'ÉTABLISSEMENT	23
2.5.4	LATENCE.....	23
2.6	PRINCIPAUX TYPES DE CAN	24
2.6.1	CONVERTISSEUR FLASH.....	24
2.6.2	CONVERTISSEUR PIPELINE.....	25
2.6.3	CAN À APPROXIMATION SUCCESSIVE	26
2.6.4	CONVERTISSEUR SIGMA-DELTA ($\Sigma\Delta$)	26
2.6.5	COMPARAISONS DES CAN.....	27
2.7	CONCLUSION	29
CHAPITRE 3 : ARCHITECTURE PROPOSÉE DU DÉCIMATEUR.....		30
3.1	INTRODUCTION	30
3.2	PRINCIPES DE MODULATION POUR LE CAN- $\Sigma\Delta$	30
3.3	FILTRAGE ET DÉCIMATION POUR LE CAN- $\Sigma\Delta$	34
3.3.1	PRINCIPE	34
3.3.2	THÉORIE DE DÉCIMATION PAR LE FILTRE CIC POUR LE MODULATEUR $\Sigma\Delta$	35
3.3.3	ASPECT FRÉQUENTIEL DU FILTRE CIC	38
3.3.4	ARCHITECTURE PROPOSÉE DE LA CHAÎNE D'ACQUISITION.....	39
3.3.5	FILTRE ANTI-ALIASING ET DÉCIMATION	41
3.3.6	ANALYSE DU DÉLAI GÉNÉRÉ.....	45
3.3.7	OPTIMISATION PAR ÉLARGISSEMENT DE LA BANDE DE TRANSITION	47

3.3.8	DÉMODULATION D'AMPLITUDE :	49
3.4	CONCLUSION	54
CHAPITRE 4 : SIMULATION DE L'ARCHITECTURE PROPOSÉE DU CHEMIN		
D'ACQUISITION DES DONNÉES.....		
4.1	INTRODUCTION	55
4.2	L'OUTIL DE SIMULATION : « MATLAB-SIMULINK »	55
4.3	CHOIX DES FACTEURS DE DÉCIMATION :	56
4.4	MODULATEUR $\Sigma\Delta$	59
4.5	PÉRIODE DE SIMULATION	62
4.6	POSITION DU DÉMODULATEUR	63
4.7	MODÉLISATION DE L'ARCHITECTURE DU FILTRE DÉCIMATEUR	64
4.7.1	SIMULATION DE L'ARCHITECTURE EN BLOC IDÉAL	64
4.7.2	CONFIGURATION DES BITS DANS LES BLOCS DE FILTRE	64
4.8	CONCLUSION	67
CHAPITRE 5 : RÉALISATION ET VALIDATION DU SYSTÈME.....		
5.1	INTRODUCTION	68
5.2	MÉTHODOLOGIE DE RÉALISATION ET VALIDATION : « SYSTEM GENERATOR »	68
5.2.1	SIMULATION COMPORTEMENTALE (BEHAVIORAL SIMULATION) AVEC L'OUTIL SG	70
5.2.2	CO-SIMULATION EN MATÉRIEL (HARDWARE CO-SIMULATION)	73
5.3	RÉALISATION : ISE PROJECT NAVIGATOR & CHIPSCOPE	79
5.3.1	DESCRIPTION DU BANC DE TESTS D'UN SEUL CHEMIN D'ACQUISITION DES DONNÉES	79
5.3.2	BANC D'ESSAI ET RÉSULTATS DU CHEMIN D'ACQUISITION DES DONNÉES	82

5.4 CONCLUSION	84
CHAPITRE 6 : CONCLUSION GÉNÉRALE	85
RÉFÉRENCES	87

LISTE DES FIGURES

Figure 1-1 : Réseau de communication du projet AVIO402 [12].....	3
Figure 1-2 : Architecture de réseau AFDX avec le module SSI [12]	5
Figure 1-3 : Principe de fonctionnement du capteur R/LVDT.....	7
Figure 1-4 : Interface du capteur R/LVDT.....	8
Figure 1-5 : Architecture du module SSI [20].....	9
Figure 1-6 : Schéma de principe du générateur des signaux d'excitation [14].....	10
Figure 1-7 : Chemin d'acquisition des données.....	11
Figure 2-1 : Différents systèmes de détection [32]	17
Figure 2-2 : Schéma général du chemin d'acquisition des données	20
Figure 2-3 : Principe d'échantillonnage [40]	21
Figure 2-4 : Allure du bruit de quantification [42].....	22
Figure 2-5 : Architecture de base d'un CAN flash [44].....	24
Figure 2-6 : Architecture du CAN pipeline [46].....	25
Figure 2-7 : Architecture de base du CAN à approximation successive [2]	26
Figure 2-8 : Principales parties du CAN- $\Sigma\Delta$	27
Figure 2-9 : Compromis entre la rapidité et la dimension d'intégration des CAN [44]	28
Figure 3-1 : Diagramme de blocs d'un modulateur $\Sigma\Delta$	31
Figure 3-2 : Modèle du fonctionnement du modulateur $\Sigma\Delta$ de premier ordre.....	32
Figure 3-3 : Modélisation d'un modulateur du troisième ordre	33
Figure 3-4 : Spectre du signal codé en PCM et du signal modulé en $\Sigma\Delta$ [56].....	34
Figure 3-5 : Principales parties dans le filtre décimateur.....	35
Figure 3-6 : Principe de décodage pour les modulateurs $\Sigma\Delta$ [56].....	36
Figure 3-7 : Architecture d'un simple intégrateur.....	37
Figure 3-8 : Intégrateur suivi par différentiateur (a : Forme 1, b : Forme 2).....	37
Figure 4-1 : Chemin d'acquisition des données en blocs Simulink	56
Figure 4-2 : Architecture du chemin d'acquisition des données en fonction des facteurs de décimation.....	57
Figure 4-3 : (a) Filtre FIR avec les deux décimateurs (b) Représentation fréquentielle du filtre ..	57
Figure 4-4 : Modulateur $\Sigma\Delta$ en blocs Simulink.....	60
Figure 4-5 : Le spectre du signal de sortie du modulateur à travers une simulation post-layout...	60

Figure 4-6 : Mise en œuvre du signal d'entrée et le spectre du signal à la sortie du modulateur ..	61
Figure 4-7 : Chemin d'acquisition des données en blocs de Simulink	62
Figure 4-8 : SNDR du signal de sortie selon la position du démodulateur d'amplitude.....	63
Figure 4-9 : SNDR du signal de sortie selon la résolution de la sinusoïde de démodulation	65
Figure 4-10 : Comparaison de la sortie du filtre à coefficients réels avec celui à coefficients codés en virgule fixe	66
Figure 4-11 : La courbe d'évolution du SNDR à N_{13} selon le nombre de bits inter-étage.....	67
Figure 5-1 : Méthodologie de réalisation et validation du chemin d'acquisition des données	69
Figure 5-2 : Schéma des blocs de simulation comportementale du code VHDL du chemin.....	71
Figure 5-3 : Carte ML605 utilisée en Co-Simulation	73
Figure 5-4 : Délai dans le matériel	74
Figure 5-5 : Analyse temporelle du filtre CIC	75
Figure 5-6 : Analyse temporelle des filtres FIR.....	76
Figure 5-7 : Analyse temporelle du démodulateur.....	76
Figure 5-8 : Illustration du délai causé par la décimation	77
Figure 5-9 : Diagramme de phase pour le délai engendré par les décimations.....	78
Figure 5-10 : Le banc de tests d'un seul chemin d'acquisition des données	79
Figure 5-11 : (a) Spectre du signal à la sortie du modulateur (b) Signal de sortie du chemin d'acquisition des données capturé à l'aide de ChipScope.....	81
Figure 5-12 : Banc d'essai du chemin d'acquisition des données.....	83
Figure 5-13 : Image réelle du banc d'essai	83
Figure 5-14 : Signal de sortie du chemin d'acquisition des données mesuré par ChipScope.....	84

LISTE DES TABLEAUX

Tableau 2-1 : Caractéristiques des principales familles des CAN [44].....	27
Tableau 3-1 : Atténuation à la fréquence de coupure.....	40
Tableau 4-1 : Poids délai en fonction des configurations des facteurs de décimation.....	59
Tableau 4-2 : Résultat de la simulation post-layout du modulateur.....	60
Tableau 4-3 : Résultat de simulation pour l'architecture idéal	64
Tableau 4-4 : Évolution du nombre de bits et du SNDR inter-étage	66
Tableau 4-5 : Valeur du SNDR du signal de sortie selon le nombre de bits inter-étage.....	67
Tableau 5-1 : SNDR en simulation comportementale	72
Tableau 5-2 : SNDR de la sortie par simulation comportemental & Co-simulation en matériel SG.....	78

LISTE DES SIGLES ET ABRÉVIATIONS

AFDX	Avionics Full Duplex
ARINC	Aeronautical Radio, Incorporated
ASIC	Application-Specific Integrated Circuit
CAN	Convertisseur Analogique-Numérique
CIC	Cascaded Integrator Comb
CMOS	Complementary Metal Oxide Semiconductor
CNA	Convertisseur Numérique-Analogique
COTS	Commercial Off-The-Shelf
CRAIQ	Consortium de Recherche et d'Innovation en Aérospatiale au Québec
DAP	Data Acquisition Path
DDS	Direct Digital Synthesizers
DSP	Digital Signal Processor
EMC	Electromagnetic Compatibility
EMI	Electromagnetic Interference
ENOB	Effective Number Of Bits
ESG	Excitation Signal Generator
FPGA	Field-Programmable Gate Array
FBW	Fly-By-Wire
FIR	Finite Impulse Response
IMA	Integrated Modular Avionics
IIR	Infinite Impulse Response
JTAG	Joint Test Action Group
HDL	Hardware Description Language

LSB	Least Significant Bit
LVDT	Linear Variable Differential Transformer
MEMS	Microelectromechanical systems
NSERC	Natural Sciences and Engineering Research Council
NCAP	Network Capable Application Processor
PCI	Peripheral Component Interconnect
PCM	Pulse Code Modulation
PLL	Phase-locked loop
R&D	Recherche et Développement
RMS	Root Mean Square
RSB	Rapport Signal sur Bruit
RTOS	Real-Time Operating System
RVDT	Rotary Variable Differential Transformer
SG	System Generator
SMA	SubMiniature version A
SNDR	Signal-to-Noise and Distortion Ratio
SNR	Signal-to-Noise Ratio
TIM	Transducer Interface Module
TMI	Transducer Measurement Interface
USB	Universal Serial Bus
VCO	Voltage Controlled Oscillator
VHDL	VHSIC Hardware Description Language
VHF	Very High Frequency
VOR	VHF Omnidirectional Range

CHAPITRE 1 :

INTRODUCTION ET PROBLÉMATIQUE

1.1 Aperçu du projet

L'industrie aéronautique ne cesse d'améliorer la conception des différents systèmes et composants de l'avion afin de répondre aux besoins accrus en matière de sécurité des vols, de performances techniques et de rendements économiques et écologiques.

Le système de commande de vol est l'un des systèmes les plus critiques de l'avion puisqu'il permet au pilote de contrôler les différentes gouvernes aérodynamiques [1]. C'est pour cette raison que les concepteurs industriels continuent à rénover ce système. D'ailleurs, durant les années quatre-vingt du vingtième siècle, le système de commande manuel a été remplacé par un système électrique (Fly-by-wire - FBW) plus sophistiqué [2]. Cette évolution a permis de remplacer les liaisons mécaniques par des systèmes électroniques, ce qui a facilité le contrôle de l'avion et a réduit le poids total de celui-ci et sa consommation de carburant [3].

Le système de contrôle est constitué d'actionneurs, du réseau de communication et des ordinateurs de calcul. Il est ainsi connecté à plusieurs capteurs de position pour détecter la position des gouvernes selon l'ordre envoyé aux actionneurs [4].

Les capteurs sont de plus en plus utilisés pour assurer des fonctions complexes comme le contrôle des mouvements mécaniques de pilotage d'avion. De nos jours, le fonctionnement de la quasi-totalité de ces capteurs est basée sur le principe électromagnétique (R/LVDT) qui consiste à utiliser plusieurs bobines [5]. C'est ce qui explique les grandes dimensions de ces capteurs. Cependant, ce type de capteur est toujours utilisé dans l'avion, car il est efficace et fiable même dans des conditions extrêmes [6, 7].

Ainsi, la norme ARINC 664 du nouveau système avionique, insiste que les différents modules du système de contrôle doivent être inter-communiés ce qui par conséquent permet de créer un réseau de connexion. Le transfert de données entre les différents modules engendre souvent une surcharge de données sur le bus [8]. Cette surcharge peut affecter la fiabilité du système de contrôle. De plus selon [9], le fait d'utiliser un grand nombre de câbles de communication entre les différents modules augmente le poids de l'avion. Étant donné que les systèmes de contrôle sont basés sur une configuration de redondance des modules pour des raisons de fiabilité [10], nous avons donc évidemment besoin de multiples câbles [4, 11]. Les capteurs avec les bus de communication créent un grand réseau géré par des processeurs. Cette partie produit alors une masse importante et joue un rôle primordial dans le fonctionnement de l'avion ainsi que dans la sécurité du vol.

Puisque le secteur aéronautique est considéré parmi les secteurs promoteurs de l'économie québécoise et canadienne, les gouvernements subventionnent des nombreux projets de recherche et développement (R&D) dans ce domaine, incluant le projet AVIO402 dont nos travaux de recherche font partie. Ce projet s'étale sur une période de trois ans et vise à aider l'industrie avionique à adopter une production plus écologique des avions [12].

Dans le cadre de ce projet nommé Skysensors, des chercheurs de trois universités à Montréal avec des partenaires industriels de Bombardier Aerospace Inc., leader en construction aéronautique et de Thales Canada, spécialisés dans le domaine avionique, travaillent à la mise en œuvre d'une nouvelle génération de réseaux de capteurs de position pour les systèmes avioniques de leurs futurs avions. Ce projet est initié grâce aux efforts du Consortium de Recherche et d'Innovation en Aérospatiale au Québec (CRIAQ) qui a encouragé et facilité le démarrage des travaux.

Ce projet traite principalement des capteurs, du réseau de communication et de la liaison entre les deux parties (capteur et réseau). En effet, vu que les capteurs de position sont entièrement analogiques, il est important de les interfacer pour les connecter aux réseaux de communication numérique. Ils devraient également être conçus selon un standard établi afin de devenir génériques [13].

L'objectif global de l'ensemble du projet AVIO402 consiste à :

- Développer une nouvelle interface de capteur/réseau et de nouveaux capteurs de position pour les applications avioniques
- Mettre en œuvre une solution moins encombrante au niveau de câbles pour la communication des données critiques
- Améliorer la bande passante des réseaux utilisés pour les systèmes de communication.

Dans le but d'optimiser les dimensions, le poids et la précision, de nouveaux capteurs se servant de nouvelles technologies telles l'optique et les MEMS, ont fait parties des travaux dans AVIO402. Pour connecter ces différents capteurs au même réseau de communication, une interface universelle a été conçue et intégrée en circuits mixtes (Analogique/Numérique) dans une puce de petites dimensions [14].

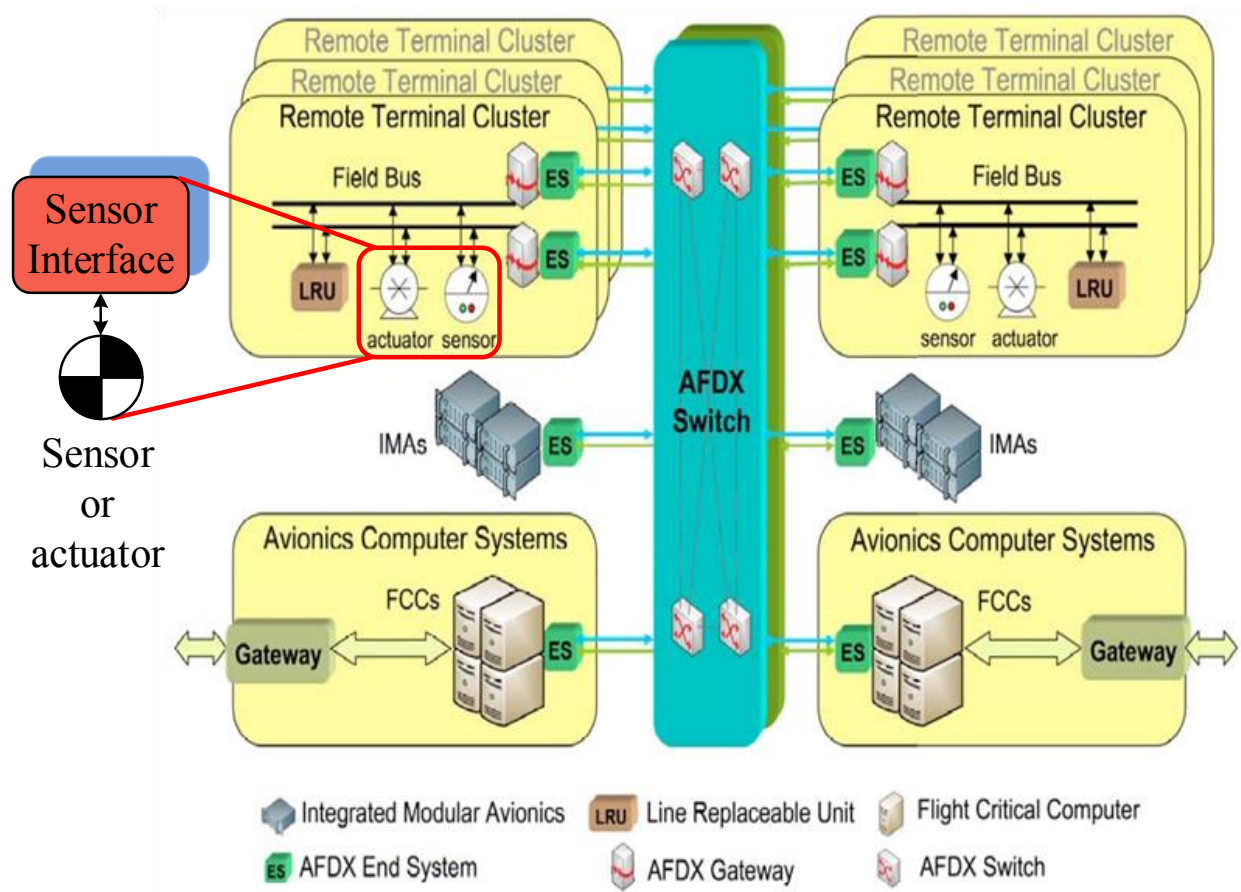


Figure 1-1 : Réseau de communication du projet AVIO402 [12]

La contribution dans le réseau de communication vise à réduire la complexité du câblage et éviter la saturation de bus. L'architecture adoptée est celle d'un réseau Ethernet (AFDX : Avionics Full Duplex) spécifique pour les applications avioniques. Ce réseau est conçu avec redondance afin d'assurer une bonne fiabilité. De plus, il est sécurisé et répond à la contrainte de temps (délai maximal permis) pendant la transmission de données numériques. L'intégration de ce réseau dans l'avion est favorisée par sa simplicité puisqu'il est basé sur un protocole connu « Ethernet », il est ainsi certifiée et standardisée par la norme ARINC 664 (Figure 1.1) [13].

Le projet Skysensors a été divisé en 8 tâches [12] :

- Tâche 1 : Interface intelligente des capteurs (Smart sensors interface - SSI)
- Tâche 2 : Interface générique du réseau (Generic network interface wrapper)
- Tâche 3 : Capteur de position optique (Photonic position sensor)
- Tâche 4 : Capteur de position MEMS (MEMS position sensor)
- Tâche 5 : Architecture du réseau, communications à domaines croisés, adaptation aux applications de contrôle de vol et amélioration de la qualité de service
- Tâche 6 : Développement des applications AFDX
- Tâche 7 : Modélisation de la fiabilité, de l'architecture pour la gestion des erreurs, et la gestion des défauts
- Tâche 8 : Sélection de la fréquence pour les communications sans fil à bord de l'avion, aspect EMC/EMI

Notre équipe s'intéresse à la première tâche qui concerne la mise en œuvre d'une interface intelligente pour les divers capteurs de position. Nous présenterons dans la prochaine section l'architecture de l'interface proposée et nous définirons par la suite les objectifs spécifiques de ce travail.

1.2 Interface du capteur de position

L'architecture globale proposée dans AVIO402 est basée sur un réseau de transfert de données de haut débit. Elle relie des capteurs de différentes technologies avec les différentes unités du système de contrôle. L'interface qui connecte les nouveaux capteurs au réseau doit respecter des critères de compatibilité et de flexibilité. D'une part, l'interface doit être intégrée sur circuits afin de s'adapter aux dimensions réduites des nouveaux capteurs. Ces capteurs étant d'une plus grande précision, l'interface doit donc garantir une bonne résolution afin de transmettre les faibles variations détectées. D'autre part, il est essentiel d'avoir une acquisition rapide pour le système de contrôle et pour s'adapter au débit du réseau. L'interface faisant partie du système d'acquisition, devrait être universelle et fiable d'où vient la nomination d'une interface intelligente du capteur de position.

Dans ce projet, nous avons suivi la norme IEEE 1451 [15] qui cadre les capteurs. Cette norme traite de l'architecture et des spécifications des interfaces des capteurs. D'ailleurs, les auteurs de [16] et [17] ont prouvé la validité de la norme dans le domaine aéronautique et celle-ci permet de réduire la complexité de l'interconnexion du réseau. La figure 1.2 montre l'architecture du système d'acquisition dans AVIO402 qui est conçu selon la norme IEEE 1451 [12].

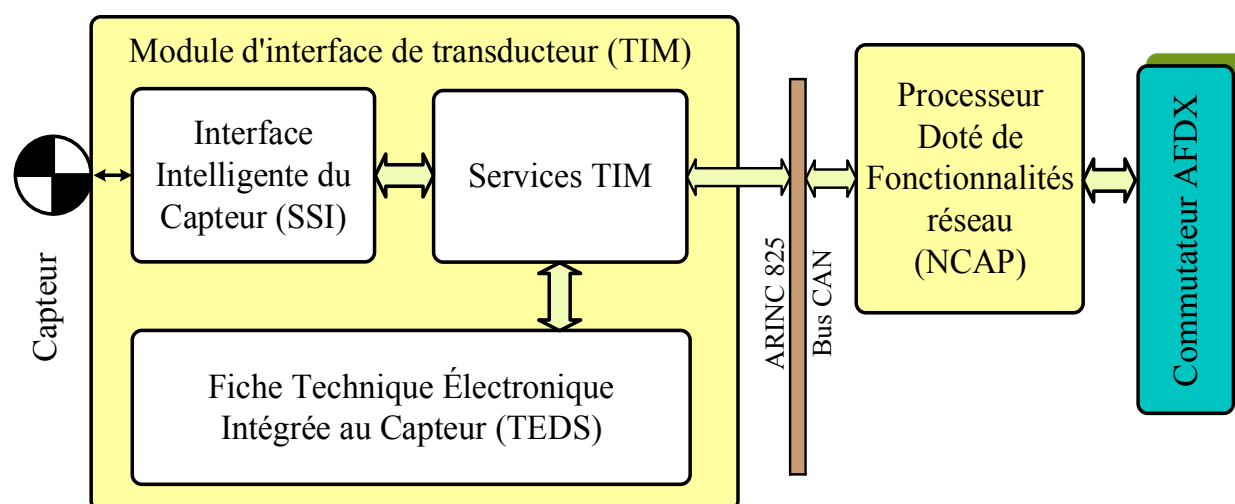


Figure 1-2 : Architecture de réseau AFDX avec le module SSI [12]

L'interface du capteur (SSI), l'objet de ce mémoire, fait partie du module d'interface de transducteur (TIM). Ce dernier, connecté au bus CAN, communique au bus réseau AFDX à travers un processeur NCAP (Network Capable Application Processor). Sa principale fonction est la mise en forme de trames contenant les données de la position détectée. Il contient des algorithmes de correction dans le but de s'assurer de la bonne valeur à transmettre vers le contrôleur d'avion. Le rôle du SSI se limite à conditionner le signal analogique venant du capteur, puis à le numériser et le transférer vers les autres services réalisés par le bloc TIM. Le SSI suit bien une architecture modulaire et fonctionne avec une diversité de capteurs de position (électromagnétique R/LVDT, optique et MEMS).

Par rapport aux autres capteurs de position, les capteurs R/LVDT nécessitent des modules additionnels afin de les connecter au réseau de communication. Nous présenterons le principe de fonctionnement de ces capteurs dans la section suivante.

1.3 Capteur de position R/LVDT

Le Variable Differential Transformer (VDT) est un capteur électromécanique, défini comme étant un transducteur de déplacement linéaire permet de transformer un mouvement physique de translation linéaire (LVDT) ou de rotationnel (RVDT) en un signal électrique. Il est caractérisé par une bonne précision et une grande disponibilité (faible MTBF : Mean Time Between Failures) d'où une bonne fiabilité [18]. Son fonctionnement linéaire même dans des environnements hostiles tels que les hautes pressions et les températures extrêmes explique son emploi comme premier capteur de position dans le domaine aérospatial. De plus, vu leur structure physique, les transducteurs LVDT ont une longue durée de vie [19].

Le signal électrique fournit par le capteur ne peut traduire son mouvement qu'à partir d'une interface adéquate. Bien qu'il existe deux types de capteurs VDT selon le mouvement (translation/rotation) et l'application (rapidité/précision), le signal de sortie prend généralement la même forme, puisque le principe de fonctionnement de ces divers VDT se ressemble. De ce fait, nous allons nous limiter à décrire le principe de fonctionnement du capteur de déplacement linéaire seulement (LVDT) [5].

Ce capteur est formé d'une inductance primaire, de deux inductances secondaires connectées en série et polarisées en inverse et d'un corps ferromagnétique lié directement au bras du capteur (Figure 1.3). Un signal d'excitation est primordial pour alimenter l'enroulement primaire, il s'agit alors d'un capteur de type passif (une source externe d'énergie est nécessaire pour le fonctionnement du capteur), le courant induit par champ magnétique de l'inductance primaire dans les deux secondaires crée deux tensions sinusoïdales [5].

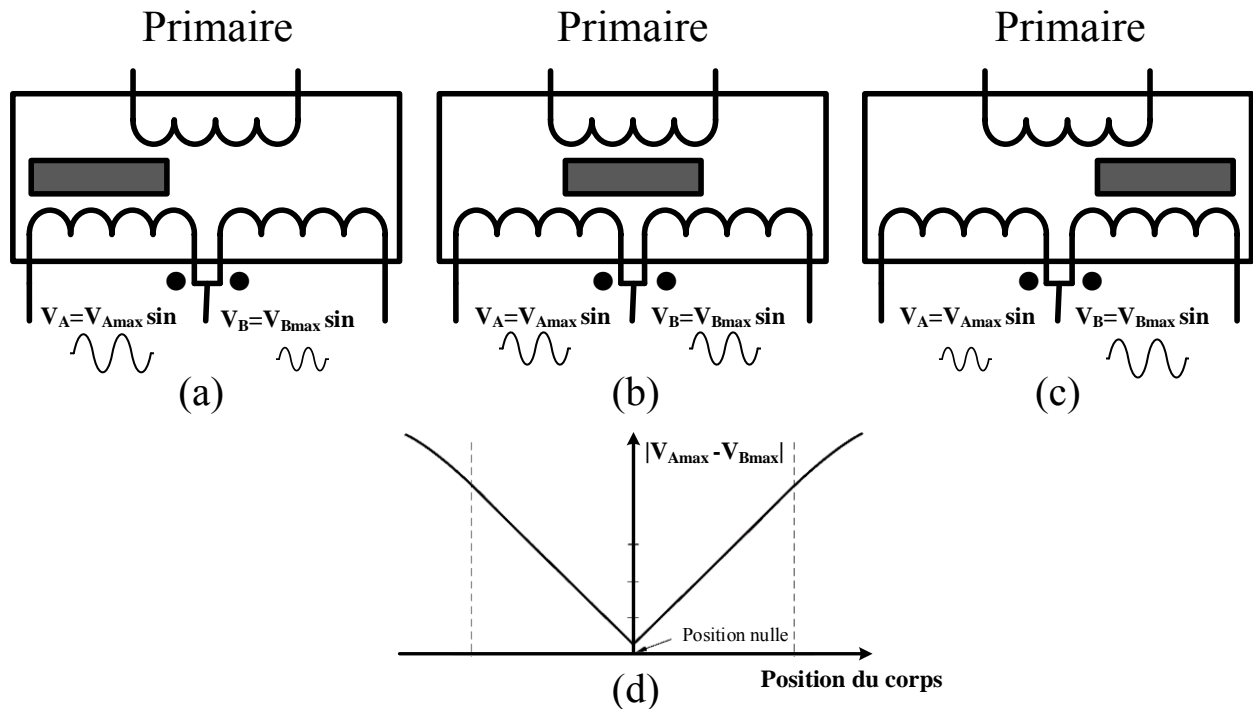


Figure 1-3 : Principe de fonctionnement du capteur R/LVDT

Selon la position du capteur donc du corps ferromagnétique, les amplitudes des tensions aux bornes des deux secondaires (V_{Amax} , V_{Bmax}) changent (Figure 1.3). Ils varient inversement, (Si V_{Amax} augmente V_{Bmax} diminue et vice-versa), cette variation est linéairement proportionnelle au mouvement et identique pour les deux tensions max de sortie. La somme de deux tensions est alors toujours constante.

Une interface adéquate pour contrôler les paramètres de ces capteurs devrait regrouper deux modules (Figure 1.4) :

- Une partie pour générer le signal sinusoïdal d'excitation (Excitation Signal Generator - ESG) à l'enroulement primaire. Comme tout autre capteur passif, c'est l'interface qui fournit la source d'énergie pour son fonctionnement. La résolution, la précision et la fréquence du signal généré affectent directement les caractéristiques du capteur.
- Une autre partie pour déterminer la position exacte du capteur sous la forme numérique à transmettre à un ordinateur du contrôle. Cette partie représente le chemin d'acquisition des données (CAD). Elle est nécessaire dans toute interface du capteur. Cependant, vu le type des signaux à la sortie du capteur VDT (modulés en amplitude), d'autres modules sont nécessaires.

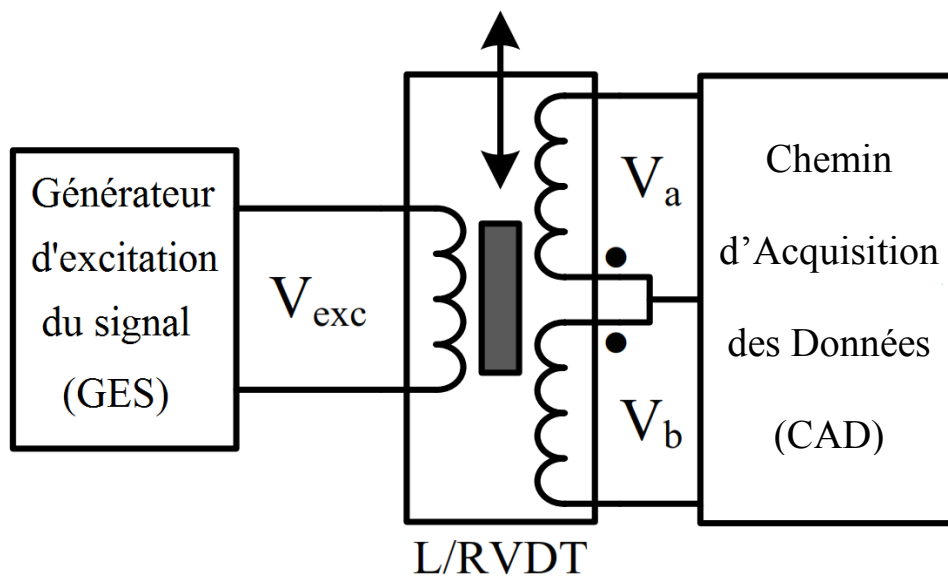


Figure 1-4 : Interface du capteur R/LVDT

1.4 Architecture proposée pour une interface intelligente du capteur

Le SSI est utilisé pour l'activation et le conditionnement des signaux de différents capteurs de position. L'architecture modulaire proposée peut également gérer une diversité de capteurs et d'actionneurs, ainsi que des interfaces numériques dans un système avionique [20].

La figure 1.5 montre l'architecture proposée d'un canal unique SSI. Ici, le SSI se compose d'un module d'acquisition des données (Data Acquisition Path - DAP), un générateur de signal d'excitation (Excitation Signal Generator - ESG) et un chemin de récupération d'énergie [20].

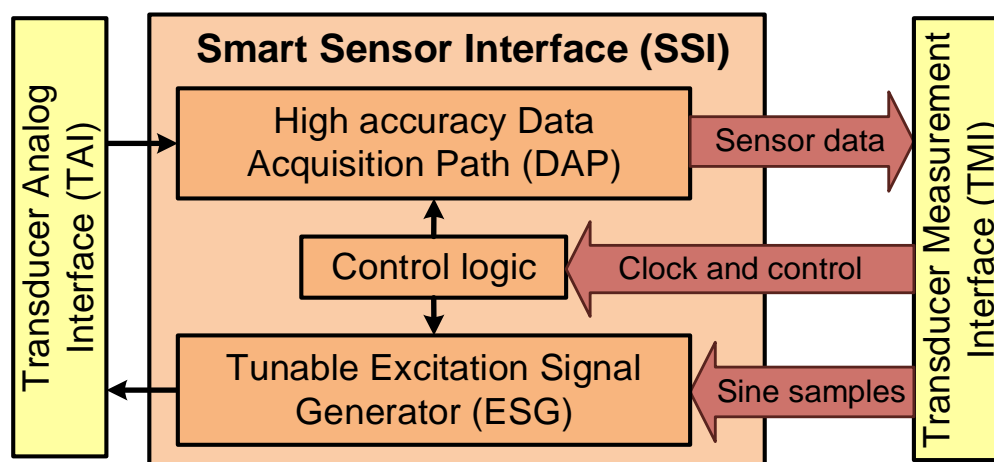


Figure 1-5 : Architecture du module SSI [20]

La sortie du capteur est envoyée vers un système de traitement du signal analogique puis numérisée à l'aide d'un convertisseur de données de haute précision. Par la suite, les données du capteur sont transmises aux services du module d'interface de transducteur (Transducer Interface Module - TIM) via l'interface de mesure du capteur (Transducer Measurement Interface - TMI) qui permet aussi la gestion du capteur par les commandes qui sont en provenance de l'unité centrale. Le trajet de rétroaction génère également le signal d'excitation pour les capteurs, basé sur les informations d'amplitude et de fréquence fournies par les données entrantes à partir du réseau et adopte son niveau à la plage de fonctionnement des capteurs. La troisième voie récolte l'alimentation provenant du bus et procure l'énergie nécessaire pour les circuits SSI et les capteurs.

L'architecture du SSI doit répondre aux objectifs suivants :

- déterminer, par l'intermédiaire du module TMI, la fréquence et l'amplitude du signal d'excitation. Cette fonctionnalité garantit la configurabilité du SSI.
- minimiser le nombre d'entrées/sorties entre les modules ESG-TMI et DAP-TMI. Cette fonction diminue non seulement les connexions nécessaires, mais facilite également l'intégration entre les blocs SSI et TMI.
- s'assurer qu'il s'adapte à tous les types de capteurs de positions proposés dans le projet Skysensors (capteur optique, MEMS).
- minimiser la consommation d'énergie.

1.4.1 Générateur de signaux d'excitation (GSE)

Le chemin du générateur de signaux d'excitation fait la liaison entre le réseau AFDX et les capteurs de position. Il génère un signal sinusoïdal avec des niveaux de tensions adoptées pour actionner les capteurs R/LVDT. La fréquence du signal d'excitation peut varier entre 1,5 kHz et 10 kHz. Cette partie, constituant le travail d'un collègue dans notre équipe, est représenté par la figure 1.6 [14] . Elle est constitué de registres à décalage, d'un convertisseur numérique-analogique (CNA), d'un filtre accordable et un amplificateur.

Le CNA avec les registres à décalage a déjà été réalisé en technologie 0,13 μm IBM CMOS 1,2V. La puce occupe 1.2 \times 1.2 mm² de surface.

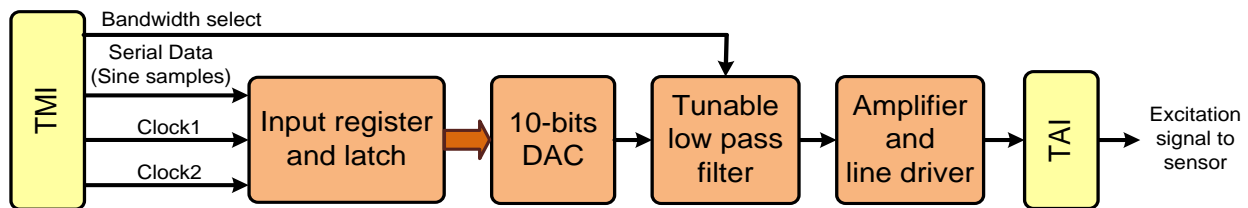


Figure 1-6 : Schéma de principe du générateur des signaux d'excitation [14]

1.4.2 Chemin d'acquisition des données (CAD)

Dans la partie SSI, le chemin d'acquisition des données est responsable d'obtenir et de numériser les informations reçues par le capteur, puis de les livrer au réseau de communication. Le capteur électromagnétique (R/LVDT) fournit deux signaux analogiques pour chaque position détectée.

Ces signaux sont modulés en amplitude par le signal d'excitation. La position détectée est déterminée par des calculs appliqués à ces deux signaux. Une description détaillée du principe de son fonctionnement sera présentée dans le chapitre suivant.

L'architecture de ce chemin sur laquelle portait notre travail dans ce mémoire contient une partie analogique pour conditionner le signal du capteur, deux convertisseurs analogique-numériques (CAN), deux démodulateurs d'amplitude pour extraire les amplitudes de deux signaux venant du capteur VDT et une unité de calcul de position par l'entremise de l'équation (1.1) selon le principe ratio-métrique (Figure 1.7) [21, 22].

$$Position = \frac{V_{Amax} - V_{Bmax}}{V_{Amax} + V_{Bmax}} \quad (\text{voir figure 1.3}) \quad (1.1)$$

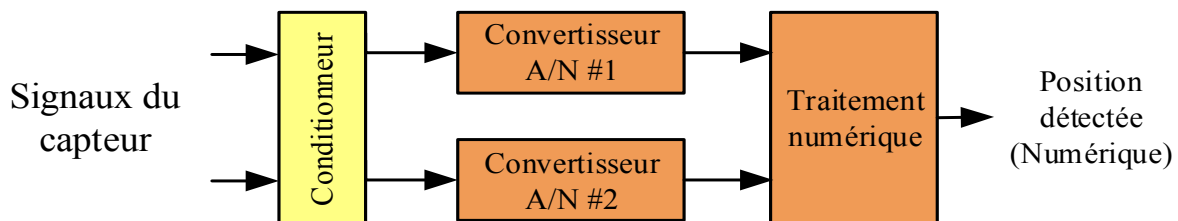


Figure 1-7 : Chemin d'acquisition des données

Pour avoir une interface flexible avec les capteurs optiques et MEMS, la partie de démodulation et l'unité « ratio-métrique » se désactiveront et les données seront transmises directement vers le réseau. Cette architecture modulaire serait conçue et fabriquée sur deux puces afin de faciliter l'intégration de l'interface près du capteur. Le CAN utilisé est de type Sigma-Delta ($\Sigma\Delta$), il est constitué d'un modulateur et d'un filtre décimateur. Notre choix sera argumenté dans le chapitre 2

Nous avons utilisé un modulateur qui a été conçu et implémenté par Ali Naderi, un ancien de l'équipe Polystim. Il a été conçu spécifiquement pour cette application afin d'obtenir une résolution de 14 bits. Il a été réalisé en technologie 0,13 μm IBM CMOS 1,2V. La puce occupe $1.2 \times 1.2 \text{ mm}^2$ de surface. Le filtre décimateur avec le démodulateur et l'unité ratio-métrique seraient implémentés dans une carte FPGA.

Nous présenterons nos objectifs et valeur ajoutée dans la prochaine section.

1.5 Objectifs et contributions de la recherche

L'objectif principal de nos travaux dans ce projet est de concevoir un chemin d'acquisition des données pour les capteurs de déplacement. Différents paramètres permettant de caractériser sa performance technique et sa fiabilité sont liés essentiellement au CAN utilisé. Ces paramètres sont les suivants : la résolution des données converties et la latence des traitements de l'information tout au long du chemin que traverse le signal à traiter.

Puisque ces deux facteurs agissent sur la fiabilité du système de la commande de vol, le partenaire industriel pose pour le fonctionnement de ce module (CAD) deux conditions :

- Une résolution minimale de convertisseur analogique-numérique de 14 bits afin de s'adapter à la précision des capteurs de position. Ce facteur définit la plus faible variation détectée par l'interface du capteur.
- Une latence maximale de traitement dans le chemin d'acquisition des données et dans l'interface du réseau de 2ms. L'interface du réseau conçu dans la deuxième tâche (voir la section 1 : TIM), entraîne un retard maximal (en cas de panne) dans le transfert des données de 0.8 ms. Par contre, l'origine de la latence dans le chemin provient en majorité de la partie de conversion [23].

Il existe plusieurs types de CAN dans la littérature, pour des raisons de précision et d'intégration sur une petite surface de silicium, notre sélection nous a amené à utiliser le CAN- $\Sigma\Delta$. Ce type de convertisseur permet de donner la résolution requise plus facilement que les autres architectures des CAN. Il est formé d'une partie analogique et une autre numérique (Chapitre 2, section 6). La latence engendrée par ce type de convertisseur provient en majorité du filtre implémenté occupant la partie numérique du convertisseur [23]. De plus, l'augmentation de la latence est correspondant à l'élévation de la résolution. Nous nous retrouvons alors avec un dilemme résolution/latence dans notre conception.

La linéarité du chemin en fonction des différentes fréquences du signal à l'entrée est recommandable pour la stabilité du système. En effet, certains composants du chemin peuvent déformer le signal (distorsion) et par conséquent affecter la fiabilité du fonctionnement du système de commande de vol.

Nous proposons une architecture du chemin d'acquisition des données qui devrait à la fois remplir les fonctions désirées et résoudre les problèmes susmentionnés (intégration, compromis résolution-latence, stabilité). Nos objectifs peuvent être résumés par les points suivants :

- Étudier la conception des filtres décimateur pour les CAN- $\Sigma\Delta$, afin d'optimiser la latence engendrée tout en assurant la résolution minimale.
- Réaliser le chemin d'acquisition des données en combinant le modulateur $\Sigma\Delta$ et le filtre décimateur proposé.

Notre contribution principale consiste alors à optimiser la latence du filtre décimateur pour les CAN- $\Sigma\Delta$ en tenant compte de la résolution et de la complexité d'intégration. Ce mémoire est organisé comme suit ; dans ce premier chapitre, nous avons introduit le projet AVIO402 et ses différentes parties. Ensuite, nous avons décrit l'objet de cette maîtrise et en particulier l'analyse des paramètres critiques et leur impact sur la conception du chemin d'acquisition des données ainsi que la problématique et les objectifs du présent projet.

Nous présenterons dans le deuxième chapitre l'historique et l'évolution du système avionique ainsi qu'une étude de littérature des interfaces des capteurs de position (R/LVDT). Le principe de fonctionnement des CAN et leurs différents types seront décrits dans ce même chapitre et nous justifions notre choix d'utilisation des CAN- $\Sigma\Delta$.

Dans le troisième chapitre nous présenterons le principe de fonctionnement de chaque partie du convertisseur $\Sigma\Delta$ et nous nous intéressons ensuite à l'étude de la partie critique du système, soit le filtre décimateur. Tout au long de cette étude, nous analyserons les diverses architectures pour proposer la plus adéquate qui répond aux attentes des spécifications de l'application.

Le quatrième chapitre est réservé à la modélisation de l'architecture proposée afin de simuler son comportement. Nous évaluerons ainsi les résultats de simulations et nous les comparerons avec l'étude théorique réalisée dans le troisième chapitre.

Nous présenterons dans le cinquième chapitre les étapes de réalisation du chemin d'acquisition et nous rapporterons les différents résultats expérimentaux obtenus.

Enfin, nous terminerons ce mémoire en identifiant les imperfections de notre système et en proposant certaines améliorations possibles pour la poursuite de ce travail.

CHAPITRE 2 : REVUE DES CHEMINS D'ACQUISITION DES SIGNAUX ET COMPARAISONS DES CAN

2.1 Introduction

L'acquisition du signal est une partie importante du système de contrôle avionique. Elle est réalisée à travers un capteur, une interface et une unité de contrôle. De nombreux travaux ont été réalisés pour améliorer la performance, en particulier la consommation énergétique et la rapidité du traitement du système avionique.

Dans ce chapitre, nous allons en premier lieu présenter brièvement l'historique du domaine avionique et ses évolutions. Nous présenterons par la suite les systèmes d'acquisition et les capteurs intelligents. Nous exposerons une revue des solutions disponibles pour les interfaces du capteur R/LVDT. Finalement, vu que notre contribution consiste à proposer un chemin d'acquisition des données à haute résolution, nous nous restreindrons au CAN en présentant son principe de fonctionnement ainsi que ses principaux types.

2.2 Application avionique et évolution

Au cours des deux dernières décennies, les systèmes électroniques ont connu une grande évolution en termes de **performance** et de **fiabilité**. Désireux de profiter de la précision, de la rapidité et de l'intégrité de ces systèmes, les fabricants les ont employés au détriment d'autres systèmes (mécaniques ou hydrauliques) [24] [25].

Le domaine aérospatial comme tout autre domaine a connu de rapides progressions grâce à l'intégration des circuits électroniques [26]. L'année 1948 fut témoin de la naissance de « l'Avion Plus Électrique » (More Electric Aircraft: MEA). Depuis, les travaux des concepteurs visent à remplacer les diverses parties de l'avion par des systèmes et circuits électriques. Ces systèmes ont permis **d'améliorer la fiabilité**, **de faciliter la maintenance** et **de réduire le poids** de l'avion [11, 27]. Ainsi, une nouvelle spécialité couvrant la conception des systèmes électroniques à bord des aéronefs voit le jour. Elle fut nommée « Avionique ».

En 1950, la radio de navigation électronique VOR (VHF Omni-Directional Radio Range) est créée [28]. Deux décennies plus tard, les industries aérospatiales commencent à utiliser les microprocesseurs dans les unités centrales de traitement. Cela permet d'améliorer la **précision des calculs** et le contrôle en vol. Les microprocesseurs permettent aussi d'**automatiser** plusieurs parties et fonctions dans l'avion. En 1987, le premier système de contrôle électronique FBW (fly by wire) apparaît avec Airbus A320 et Boeing B787 [11].

L'avènement des calculateurs multifonctions a permis de minimiser de **plus la masse du système** en améliorant la précision et rapidité du traitement. De ce fait, entre 1990 et 2000 les concepteurs ont suivi une nouvelle tendance basée sur des systèmes embarqués multitâches nommée IMA (Integrated Modular Avionics) pour les avions de combat (jet F-22, F-35 et Rafale), communément nommés par la suite par « les avions de guerre de quatrième génération » [29, 30]. Cette approche IMA n'a été utilisée dans l'industrie aérienne civile qu'à la fin de 2004 avec Airbus A380 et Boeing 787.

Ces améliorations ont eu principalement deux objectifs ; **réduire la consommation** en minimisant le poids et **améliorer le système de contrôle** en augmentant la précision et la réhabilité du calcul [31]. Cependant, le nombre de capteurs dans l'avion a augmenté pour fournir une image correcte de son environnement, ce qui engendre une structure plus complexe et une augmentation de poids.

Les concepteurs avioniques ont eu recours alors aux nouveaux capteurs dits intelligents (Smart Sensors), leur permettant de renouveler les systèmes de détection et d'acquisition du signal. Nous présenterons dans le prochain paragraphe ces capteurs intelligents et leurs interfaces.

2.3 Système d'acquisition du signal

Plusieurs facteurs sont intervenus pour améliorer le système d'acquisition du signal. Nous avons déjà mentionné dans le premier chapitre que ce système est formé d'un capteur, d'une interface et d'un bus de transfert de données vers l'unité de traitement et de commande. Les changements ont affecté ces différentes parties pour obtenir comme aboutissement un système plus petit, plus précis et plus résistant aux changements environnementaux [32].

La maîtrise de la matière a permis de fabriquer des capteurs plus petits. En effet, les semi-conducteurs sont devenus les plus utilisés dans la fabrication de capteurs suite à la standardisation de leur utilisation dans l'industrie. Ils sont par ailleurs caractérisés par une structure cristalline plus stable[33].

La création aussi de nouvelles structures plus autonomes et complexes a contribué à l'amélioration de la précision et de la fiabilité. L'utilisation des capteurs actifs de boucles fermées a en effet facilité la correction continue du signal acquis [18].

Le grand changement arrive avec les capteurs intelligents. Avec cette appellation, les concepteurs cherchent à décrire la mesure d'évolution qu'a subie ce système. Toutefois, nous trouvons différentes définitions de capteurs intelligents qui seront d'ailleurs présentées dans la section suivante.

2.3.1 Capteur intelligent :

Comme nous venons de le citer, le système de détection a bien évolué. La migration de l'interface près du capteur et la mise en une seule boîte représentent une étape importante dans l'apparition d'un système de détection adaptatif pour diverses applications, d'où l'appellation de capteurs intelligents. Cette capsulasson peut aussi contenir l'unité de traitement et l'interface de communication avec le réseau des capteurs afin d'avoir un système plus standard et améliorer son adaptation. La figure 2.1 présente différentes architectures des capteurs intelligents[32].

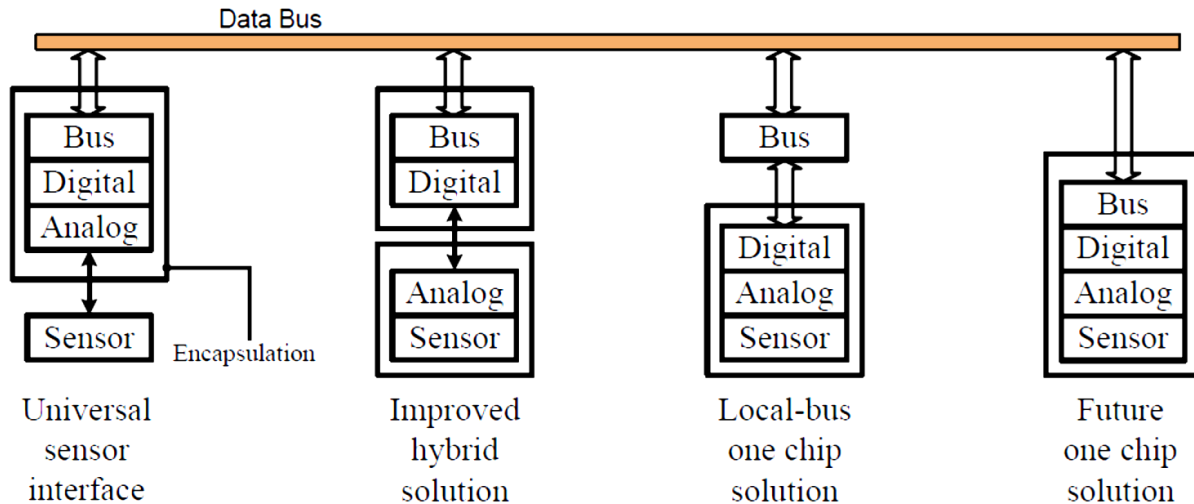


Figure 2-1 : Différents systèmes de détection [32]

D'autres concepteurs exigent l'ajout d'une interface de transmission sans fil pour avoir un système de détection intelligent complet. Ceci peut être convenable pour certaines applications, mais dans d'autres systèmes, à cause de la sécurité, il est recommandé d'éviter la standardisation d'une interface sans fil [32].

L'intégration d'une interface analogique, d'un CAN et d'une interface de communication dans un ou deux circuits intégrés permet d'obtenir un capteur intelligent intégré. Ceci permet d'obtenir un petit système de sensibilité universelle et de faible consommation. Il est évident aussi qu'une telle évolution assure une transmission plus rapide, fiable et précise puisque la conversion en numérique et le traitement se font près de l'acquisition du signal (transmission des données numériques et traitement plus sécurisé).

Nous nous intéressons dans ce travail, comme nous l'avons mentionné précédemment, à l'application avionique, plus précisément aux capteurs de position R/LVDT qui sont très utilisés dans le domaine aérospace. Par la suite, l'architecture sera généralisée et adaptée pour d'autres capteurs de position basés sur des technologies optique et MEMS afin de conserver la définition d'une interface intelligente. Nous discuterons dans ce qui suit les solutions proposées dans la littérature pour interfacier les capteurs LVDT.

2.3.2 Travaux de pointe des interfaces du capteur de position R/LVDT

Plusieurs architectures ont été conçues afin d'assurer l'acquisition du signal des capteurs LVDT. Nous trouvons, en fait, trois groupes de solutions contenant différentes architectures.

2.3.2.1 Solution par composants électroniques discrets :

La conception d'une interface de capteur à l'aide des composants électroniques discrets est une ancienne solution. Il existe deux méthodes pour déterminer la position en utilisant des capteurs de position inductifs : la méthode différentielle et la méthode par le ratio-métrique.

Jagiella et al.[34] ont proposé un système magnéto-inductif basé sur l'électronique discret. Zhang et al.[35] ont également démontré une solution discrète pour mesurer de courts déplacements.

Ces solutions comprennent des composants passifs (résistances et capacités) ainsi que des composants actifs commerciaux, tels que des amplificateurs, des filtres, des convertisseurs et des oscillateurs. Cela rend le système encombrant, coûteux et gourmand en énergie.

Vu que cette solution est basée sur des composants électroniques discrets, elle subit assurément une dégradation de la performance à long terme. De plus, l'ajustement de certains composants est plus complexe. De ce fait, la fiabilité devient un enjeu majeur, particulièrement dans des environnements difficiles [36].

2.3.2.2 Solution par circuit programmable et composants discrets

Dans cette solution, l'utilisation des composants électroniques discrets est toujours présente. Cependant, nous avons choisi de classer ce type de solutions dans une catégorie à part, vu l'utilisation de circuits plus flexibles et dans un domaine récent. En effet, ces circuits sont basés sur des processeurs programmables (Microcontrôleurs et DSP), permettant de réaliser des calculs numériques du ratio. Les signaux électriques seraient transformés en forme numérique par des convertisseurs analogiques numériques intégrés dans ce circuit.

Cette solution est utilisée pour améliorer la performance comme mentionnée plus haut avec le calcul de ratio ou simplement dans le but d'assurer la communication avec le réseau des capteurs. Par rapport à la première solution, celle-ci est intéressante du point de vue de la performance et de l'intégrité, mais elle ne respecte pas toujours la condition d'intelligence du capteur. En effet, il

est plus gourmand en termes de consommation d'énergie à cause notamment du microcontrôleur ajouté. De plus, la résolution des données dépend des convertisseurs du microcontrôleur ainsi que de la performance de son processeur.

Toujours dans le même cadre, des interfaces commerciales sont devenues très pratiques pour différents types de signaux analogiques. Elles sont équipées par un processeur programmable et autres circuits électroniques. Elles se connectent généralement avec l'ordinateur par les ports de communication standard (Port séries, USB, PCI) et sont utilisées soit pour caractériser le capteur (Linéarité et performance) [22], soit pour faire l'acquisition [37].

Dans [36], nous trouvons une interface plus spécifique pour les capteurs de placement LVDT à base du microcontrôleur (MSP430F149). L'auteur a étudié ce type de capteurs afin d'assurer une architecture bien optimisée. L'interface composée de quatre composants électroniques (un microcontrôleur, CAN, CNA et un circuit logique programmable), est conçue pour être intégrée par la suite dans un système sur puce.

Lei et al.[38] proposent eux aussi une architecture spécifique pour le capteur RVDT à base du microcontrôleur (STM32F103). Cependant, en profitant des performances de ce circuit par rapport au taux d'intégration, à la résolution de ces convertisseurs ainsi qu'à la fréquence utilisée (jusqu'à 72 MHz), l'interface conçue est composée de moins de circuits électroniques.

2.3.2.3 Solution par circuit intégré

L'utilisation d'une interface intégrée pour les capteurs LVDT est rarement traitée par les chercheurs malgré son importance. Vu les grandes dimensions de ces capteurs, certains croient qu'il ne soit pas nécessaire de concevoir une interface intégrée spécifique à ce type de capteur (LVDT). Cependant, certaines études font précisément le contraire, avec l'objectif d'améliorer la performance, la fiabilité et la consommation.

M. Rahal et al ont proposé une solution intégrée d'une interface composée d'un CAN de 12 bits, un CNA de 12 bits, d'amplificateurs et autres étages de conditionnement du signal [39]. Bien qu'ils utilisent aussi un microcontrôleur(PIC16F877A), son utilisation ne ralentit pas l'acquisition du signal car il intervient uniquement pour commander les parties configurables de l'interface intégrée. Ceci affecte le temps de stabilité dans la chaîne d'acquisition du signal et non pas le temps d'acquisition du signal en soi.

Par conséquent, le fait d'intégrer ces circuits électroniques sur un circuit intégré dédié apporte plusieurs avantages tels que le nombre réduit de composants externes, un coût réduit, une fiabilité accrue et une meilleure sensibilité.

2.4 Chemin d'acquisition des données

Plusieurs travaux de recherche et produits commerciaux sont utilisés pour l'acquisition du signal. Nous distinguons trois blocs dans la plupart de ces produits (Figure 2.2) :

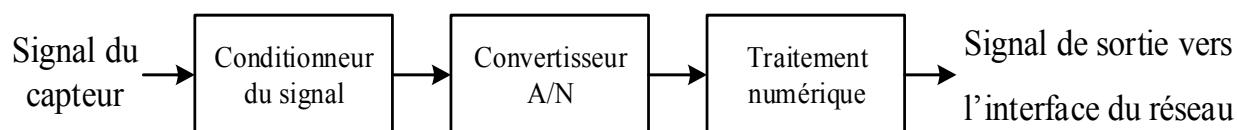


Figure 2-2 : Schéma général du chemin d'acquisition des données

Une partie analogique en contact direct avec le capteur est nommée conditionneur du signal. Elle permet de filtrer le bruit ajouté au signal du capteur et d'adapter l'amplitude du signal. Elle est généralement formée par des amplificateurs opérationnels et des filtres analogiques passe bande afin d'éliminer toute composante hors bande de la fréquence du mouvement.

Deux autres parties nous intéressent dans notre recherche :

1. Une partie destinée pour la conversion analogique-numérique. Ce bloc représente le cœur du chemin d'acquisition des données. En effet, le système de contrôle en entier est basé sur la résolution, la stabilité et le temps de réponse du convertisseur.
2. Une partie du traitement numérique est importante afin de calculer et de préparer la position du capteur pour la partie de la commande. Pour un réseau de capteurs, par exemple dans un avion qui représente notre cas, l'encapsulation et la correction de données devront être ajoutées ici.

Contrairement aux interfaces pour le capteur de position, des recherches ont traité le problème d'intégration de ces deux parties dans une ou deux puces. Ceci est dans l'objectif d'obtenir des microsystèmes pour des applications nécessitant des petites dimensions et une haute précision, dans le domaine biomédical par exemple, en ce qui concerne les implants dans le corps humain ou les électrodes médicaux.

Nous présenterons dans le paragraphe suivant le principe de conversion analogique-numérique puisqu' il constitue le cœur de la chaîne d'acquisition du signal.

2.5 Convertisseur Analogique-Numérique

Afin de traiter ou de sauvegarder les signaux (audio, sonore, ...), la solution numérique est apparue avec les circuits programmables, et est devenue de plus en plus employée. Dans la réalité, tous les signaux évoluent de façon continue dans le temps et avec une infinité de valeurs (réel). Pour passer alors à un ensemble des valeurs binaires reflétant sa variation au cours du temps, on devra passer par deux étapes : l'échantillonnage et la quantification.

L'échantillonnage est la discrétisation du signal avec une durée constante pour obtenir un flux discontinu de valeurs ponctuelles (Figure 2.3). Cette période (T_e) est choisie selon une règle connue par le théorème de Shannon afin d'éviter toute perte de données. Les points obtenus pouvant avoir une infinité de valeurs, nous passerons alors à la quantification pour obtenir un ensemble fini de valeurs numériques. La quantification consiste à associer à une marge de valeurs (et non pas de quantification ou quantum) un état avec un numéro.

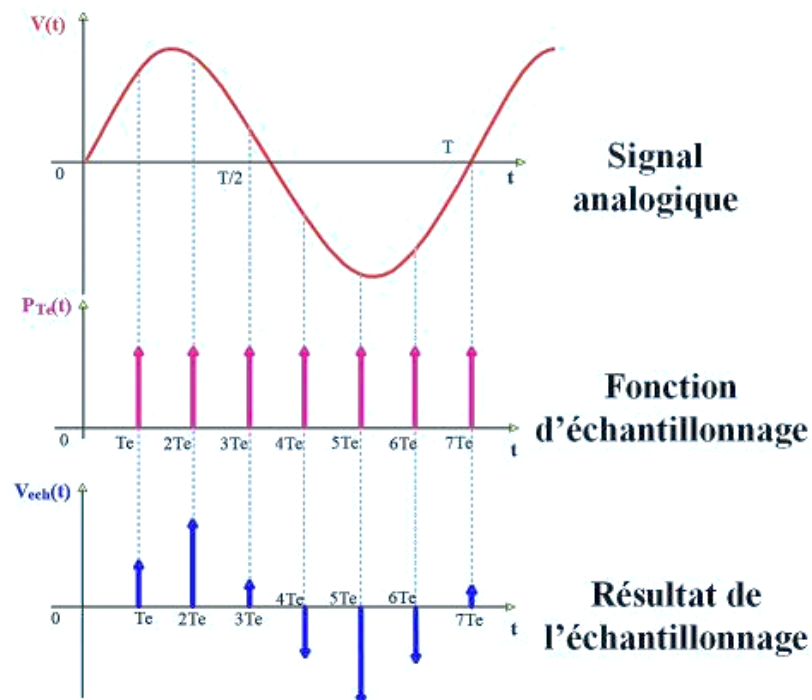


Figure 2-3 : Principe d'échantillonnage [40]

Puisque le système numérique traite uniquement les binaires, les états se traduisent par un nombre binaire représentant sa valeur selon le codage voulu (Complément à deux, codage Gray, virgule flottant ou virgule fixe, ...) [41].

Le nombre de bits convoque la notion de la résolution comme étant un critère principal pour la performance du convertisseur. En plus, d'autres paramètres comme le nombre de bits effectif, le temps de conversion, la fréquence d'échantillonnage, le temps d'établissement et la tension d'offset caractérisent le convertisseur analogique numérique. Mais puisque ce projet concerne l'optimisation du délai dans le chemin d'acquisition avec une résolution minimale de 14 bits, seuls quelques paramètres ont un impact sur cette partie. Ces derniers seront introduits dans la section suivante.

2.5.1 Erreur de quantification :

La quantification provoque un bruit varie en dents de scie (Figure 2.4), il est due à une différence entre le signal analogique et sa valeur numérique après conversion.

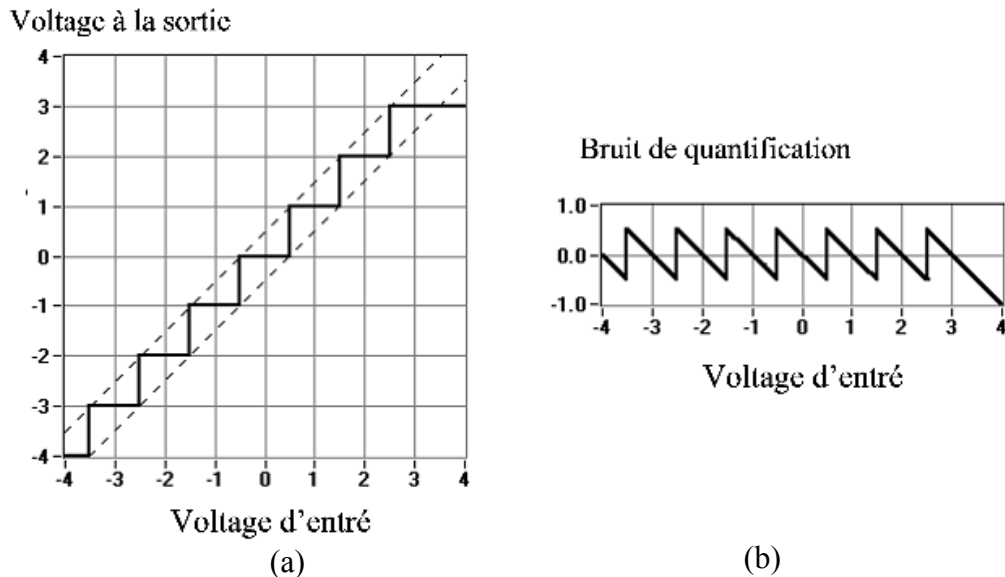


Figure 2-4 : Allure du bruit de quantification [42]

2.5.2 Exactitude (Nombre effectif de bits ENOB) :

L'ENOB traduit la précision effective du convertisseur suite à l'addition de différentes erreurs. Le nombre effectif de bits (ENOB) s'exprime en fonction du rapport signal sur bruit avec distorsion (SNDR) comme le montre l'équation suivante :

$$\text{SNR} = 6.02 \times N + 1.76 \text{ dB} \quad (2.1)$$

D'où :

$$\text{ENOB} = \frac{(\text{SNDR} - 1.76 \text{ dB})}{6.02} \quad (2.2)$$

Le SNDR est défini comme le rapport entre la valeur RMS du signal sinus et celle de la somme des amplitudes de toutes les autres fréquences.

2.5.3 Temps d'établissement

Le temps d'établissement correspond à la durée au bout de laquelle le convertisseur répond à une variation pleine échelle à l'entrée, il représente le temps d'initialisation du circuit de conversion. Ce paramètre devient utile dans le cas de multiplexage de plusieurs entrées pour leur traitement par un même convertisseur.

2.5.4 Latence

La latence est le délai de progression du signal dans le convertisseur afin d'obtenir l'échantillon qui lui correspond à la sortie. Il est formé par le temps de conversion et le temps de sortie du circuit numérique.

Le CAN possède d'autres paramètres à savoir le rapport signal sur bruit (SNR), la distorsion harmonique et l'erreur de décalage qui sont détaillés dans [43]. Ces derniers influent également sur la résolution du convertisseur.

2.6 Principaux types de CAN

L'architecture d'un convertisseur analogique numérique varie selon le type d'applications. En effet, les CAN présentent plusieurs caractéristiques qui distinguent les uns des autres (haute précision, exactitude, faible consommation, hautes fréquences ...) et chaque architecture admet une particularité pour s'adapter à un domaine d'application plus spécifique.

Afin de justifier le choix du CAN approprié au présent projet, il est primordial de survoler les principales architectures de CAN ainsi que leurs caractéristiques.

2.6.1 Convertisseur flash

Ce type de convertisseur est utilisé pour les applications exigeant une grande rapidité. L'architecture du convertisseur flash est montrée par la figure 2.5.

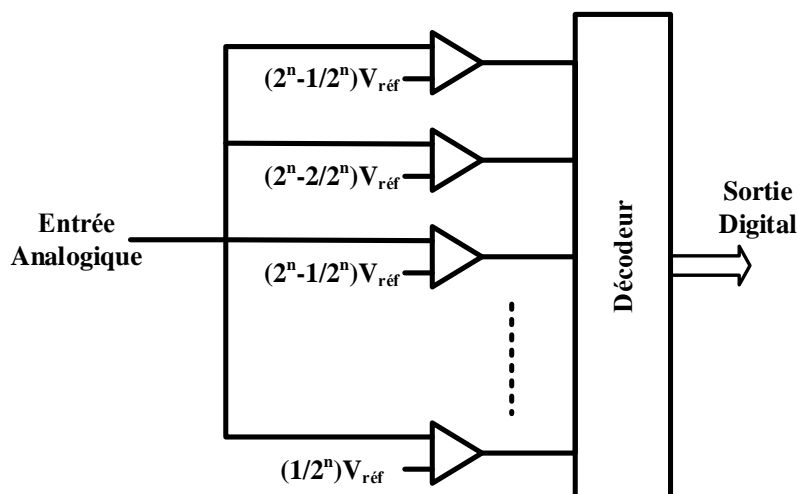


Figure 2-5 : Architecture de base d'un CAN flash [44]

Son principe de fonctionnement consiste à comparer le signal d'entrée avec plusieurs valeurs de référence. En effet, un CAN flash de résolution n bits est constitué de $2^n - 1$ comparateurs connectés en parallèle. Tous les comparateurs sont reliés au signal analogique dans la première entrée et à une tension de référence dans la deuxième (Figure 2.5). La sortie de chaque comparateur est mise à 1, si la tension d'entrée est supérieure à la tension de référence. Sinon, elle est mise à 0. Par la suite, un décodeur (qui est un circuit combinatoire de transcodage) convertit les $2^n - 1$ sorties des comparateurs en valeurs numériques. Le temps de propagation du signal d'entrée via le décodeur et le comparateur ne dépasse pas quelques 100 ns, il définit le temps de conversion, ce qui explique sa rapidité par rapport aux autres convertisseurs [45].

Le CAN flash présente certains inconvénients. D'une part, il nécessite l'utilisation d'une surface importante dans une puce électronique pour une grande résolution (la surface est proportionnelle au nombre de bits) et des répliques exactes pour tous les comparateurs. D'autre part, vu son architecture parallèle, la charge à l'entrée est nécessairement importante, d'où une grande consommation d'énergie.

2.6.2 Convertisseur pipeline

Le convertisseur pipeline, comme l'indique son nom, utilise une structure de « pipelining ». Elle consiste à découper une opération en plusieurs étages afin de les lancer en parallèle. Ces étages sont synchronisés par la même horloge (horloge du système). Ce principe permet de réduire la période de l'horloge du système. En effet, la période de l'horloge correspond à la durée maximale du traitement d'un étage et non celle de l'exécution de toute l'opération.

Un convertisseur pipeline est composé de multiples étages de convertisseur. Ces modules sont identiques et de faibles résolutions, le premier est responsable des bits de poids forts et le dernier génère les bits de poids faibles. Entre chaque deux modules, nous trouverons un amplificateur du signal et un échantillonneur/bloqueur (E/B) (Figure 2.6) sont présents [43] [46]. La conception de ces E/B est délicate, ce qui représente le principal inconvénient de ce type de convertisseurs [47] et [48].

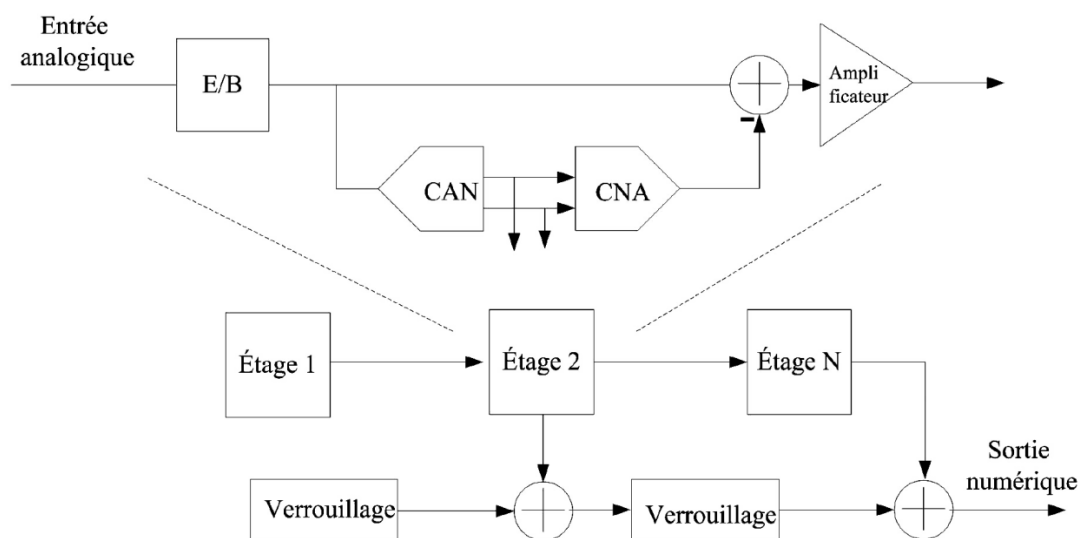


Figure 2-6 : Architecture du CAN pipeline [46]

2.6.3 CAN à approximation successive

Le convertisseur CAN à approximation successive est basé sur le principe d'approximation du signal analogique à travers des valeurs numériques de n bits. Ces valeurs sont enregistrées dans un registre n bits et se modifient au cours du temps. En utilisant un convertisseur numérique analogique (CNA), la valeur estimée se transforme en un signal analogique pour le comparer au signal d'entrée (figure 2.7). Le registre (SAR) commence par une valeur « 0 », et le bit de poids forts serait mis à un. La valeur du registre convertira par CNA serait comparé avec le signal d'entrée. Si ce signal est inférieur à la valeur numérique du registre, le bit, mis à « 1 », serait remplacé par « 0 » par contre le bit qui suit serait mis à « 1 ». Ces étapes se reproduiront jusqu'au bit de poids faible. Nous obtiendrons alors l'échantillon numérique après n itération successives de comparaison et rectification des bits. Ce convertisseur est caractérisé par une bonne précision et faible latence [2] [43].

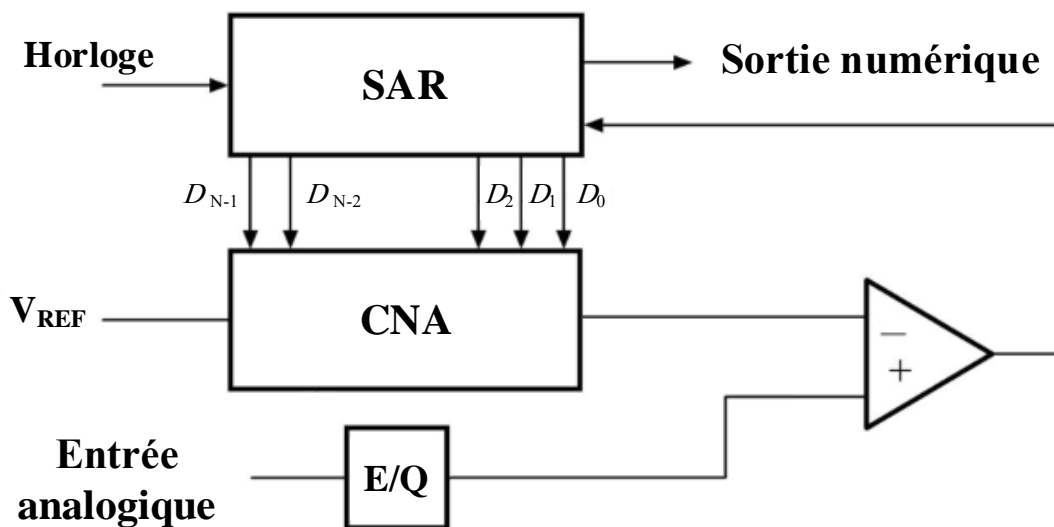


Figure 2-7 : Architecture de base du CAN à approximation successive [2]

2.6.4 Convertisseur Sigma-Delta ($\Sigma\Delta$)

Nous présenterons brièvement dans cette section le fonctionnement du CAN- $\Sigma\Delta$. La description détaillée ainsi que l'étude théorique feront le sujet du 3ème chapitre.

Le CAN- $\Sigma\Delta$ est composé principalement de deux modules (Figure 2.8) [49] [50]:

- Le modulateur $\Sigma\Delta$ est basé sur le principe de sur-échantillonnage. Naturellement, il sur-échantillonne le signal afin de minimiser le niveau de bruit de quantification. La modulation $\Sigma\Delta$ du signal reconstitue ce bruit afin de le rejeter dans des fréquences élevées et obtenir un faible bruit dans la bande de fréquence du signal.
- Le filtre de décimation a pour objectif de diminuer la fréquence d'échantillonnage à celle de Nyquist. Pour cela, il est basé sur le filtrage anti-aliasing (FIR ou IIR) permettant de supprimer les composants (essentiellement le bruit de quantification formé par le modulateur) des hautes fréquences et éviter le chevauchement pendant la décimation.

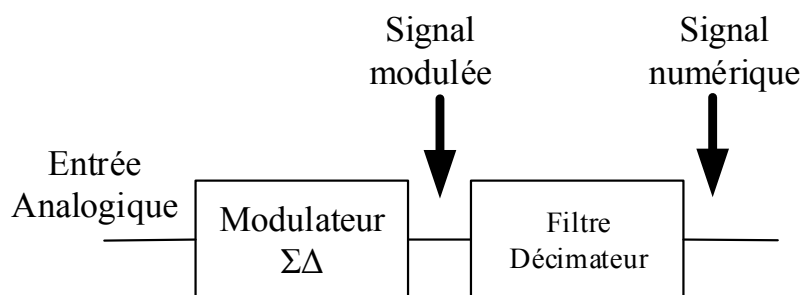


Figure 2-8 : Principales parties du CAN- $\Sigma\Delta$

2.6.5 Comparaisons des CAN

À ce stade il est utile de faire une comparaison entre les convertisseurs présentés dans ce chapitre. Le Tableau 2-1 est une récapitulation des caractéristiques de différentes familles des CAN.

Tableau 2-1 : Caractéristiques des principales familles des CAN [44]

	Flash	Pipe-line	SAR	$\Sigma\Delta$
Fréquence d'échantillonnage	1*	2	3	4
Résolution	4	3	2	1
Latence	1	3	2	4
Multiplexage de plusieurs entrées	1	2	1	3
Conversion des signaux non périodiques	1	2	1	3

*1 : Excellent, 2 : Bon, 3 : Moyen, 4 : Mauvais

L'étude de différents types de CAN nous a permis de conclure que chaque famille possède des avantages et des inconvénients par rapport aux autres familles. Le choix du type du convertisseur dépend alors des contraintes proposées et des caractéristiques voulues [51].

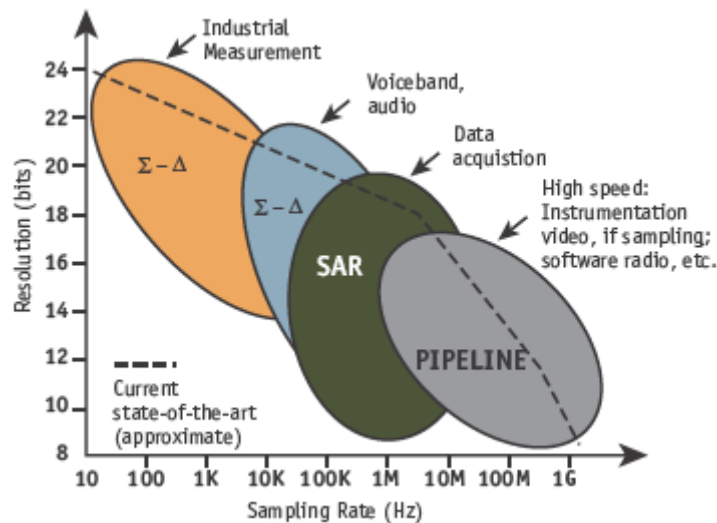


Figure 2-9 : Compromis entre la rapidité et la dimension d'intégration des CAN [44]

Dans le présent projet, les signaux venant du capteur de position ne dépassent pas les kilohertz. De ce fait, l'utilisation des **CAN flash** est déconseillée surtout que ce type de CAN demande une surface de silicium très large afin d'obtenir une bonne résolution [52]. L'intégration et la précision ne peuvent alors être respectées avec un tel convertisseur.

Les CAN Pipe-line et SAR sont utilisés pour les signaux de fréquence de l'ordre de centaines de kilohertz. Ils assurent aussi une bonne résolution cependant ils sont plus favorisés pour le multiplexage de plusieurs signaux, ce qui n'est pas le cas dans notre travail.

Par contre les CAN- $\Sigma\Delta$ ont une meilleure résolution ce qui offre une haute précision et une meilleure performance [3]. Ceci nous encourage à choisir ce type de convertisseur pour notre application en dépit de la latence assez considérable qu'il engendre. Toutefois, il faut concevoir un convertisseur $\Sigma\Delta$ de résolution 14 bits sans dépasser la contrainte de la latence (1,2 ms, Voir Chapitre 1). Une étude détaillée sera présentée dans le troisième chapitre afin de déterminer les équations et d'optimiser le délai engendré pendant la conversion.

2.7 Conclusion

Dans ce chapitre, nous avons fait en premier lieu un bref aperçu du domaine avionique ainsi que son évolution au cours du temps. Par la suite, nous avons introduit les systèmes d'acquisition de signaux et nous avons effectué une revue de la littérature concernant les interfaces des capteurs de positions magnétiques. Étant donné que le CAN constitue l'élément le plus important dans le chemin d'acquisition des données, la dernière partie a été consacrée à l'analyse et la comparaison des différents types de CAN. Nous avons ensuite démontré que le convertisseur $\Sigma\Delta$ est le plus adéquat pour notre application.

Dans le chapitre suivant, le principe du fonctionnement de chaque sous-système du CAN- $\Sigma\Delta$ sera expliqué en détail. Nous allons aussi présenter l'architecture de la chaîne d'acquisition du signal proposée.

CHAPITRE 3 : ARCHITECTURE PROPOSÉE DU DÉCIMATEUR

3.1 Introduction

Afin d'assurer la conversion analogique numérique de nos signaux, nous avons employé un convertisseur de type $\Sigma\Delta$. L'avantage de ce type de CAN consiste dans la possibilité d'acquérir des signaux de faible fréquence avec une haute résolution.

Dans ce chapitre, nous allons en premier lieu exposer la théorie qu'emploie ce type de convertisseur. Nous présenterons ensuite ses différents blocs internes afin que nous puissions expliquer par la suite l'architecture que nous avons exploitée pour former le chemin d'acquisition proposé.

3.2 Principes de modulation pour le CAN- $\Sigma\Delta$

Le modulateur $\Sigma\Delta$ emploie le sur-échantillonnage pour acquérir un signal avec une haute résolution, sous forme d'une série de plusieurs bits. Le modulateur est formé de deux parties : une partie analogique et une partie numérique comme le montre [53].

La partie analogique contient un échantillonneur, des blocs de filtrage, des blocs de conversion numérique/analogique et des nœuds de sommation. Dans le cas d'un filtre de grand ordre, l'architecture devient plus grande, par conséquent, plus complexe et plus difficile à gérer. De plus, le modulateur $\Sigma\Delta$ peut contenir plusieurs boucles de rétroaction afin d'améliorer la résolution de la conversion. À noter qu'un modulateur du 1^{er} ordre contient une seule boucle de retour.

La partie numérique se situe en aval du filtre. Elle comporte un quantificateur pour produire un signal numérique d'un bit. À la sortie, nous pouvons trouver un étage de plusieurs inverseurs afin d'augmenter l'impédance de sortie.

La figure 3.1 montre la forme générale du modulateur. Elle inclut aussi le post traitement requis pour la numérisation d'un signal analogique.

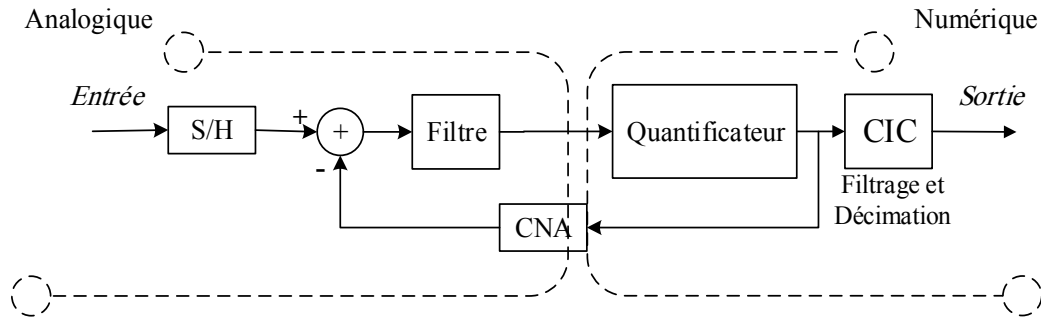


Figure 3-1 : Diagramme de blocs d'un modulateur $\Sigma\Delta$

Le principe de fonctionnement du modulateur est comme suit : en premier lieu, le signal d'entrée est échantillonné à une fréquence plus élevée que celle de Nyquist (principe de sur-échantillonnage). Le taux de sur-échantillonnage (TSE) est d'ailleurs défini par le rapport entre la fréquence d'échantillonnage (f_s) choisie et la fréquence de Nyquist ($f_N = 2 \cdot BW$).

En augmentant f_s , le rapport signal sur bruit (RSB) augmente, ce qui permet d'avoir une meilleure résolution. En cas de sur-échantillonnage seulement, l'équation (3.1) exprime le RSB en fonction du nombre de bits (N) et du taux de sur-échantillonnage [41] :

$$RSB = 6,02 \cdot N + 1,76 + 10 \log \left(\frac{f_s}{f_N} \right) \quad (3.1)$$

On définit aussi à l'aide de l'équation (3.2), le nombre de bits effectifs (N_{eff}) qui permet de déterminer la nouvelle résolution (après sur-échantillonnage) :

$$N_{eff} = \frac{SNR - 1,76}{6,02} \quad (3.2)$$

Par la suite, les échantillons acquis passent à travers un soustracteur. Ce dernier calcule l'erreur de quantification (ε) représentant l'écart entre la sortie et l'entrée. L'architecture du soustracteur définit également le type du modulateur $\Sigma\Delta$ (à temps continu). L'erreur ainsi obtenue, est ensuite réinjectée avec la fréquence de sur-échantillonnage f_s dans le filtre intégrateur. Ceci permet de la repousser vers les hautes fréquences et ainsi l'éloigner de la bande utile du signal.

La forme du bruit de quantification repoussée, sa puissance dans la bande du signal de même que la valeur de cette bande dépendent de la caractéristique du filtre intégrateur. Le bruit de quantification sera par la suite éliminé par un filtre numérique passe-bas et la fréquence d'échantillonnage sera réduite à celle de Nyquist grâce à un décimateur.

La figure 3.2 est un modèle du modulateur qui peut être facilement traduit en équations.

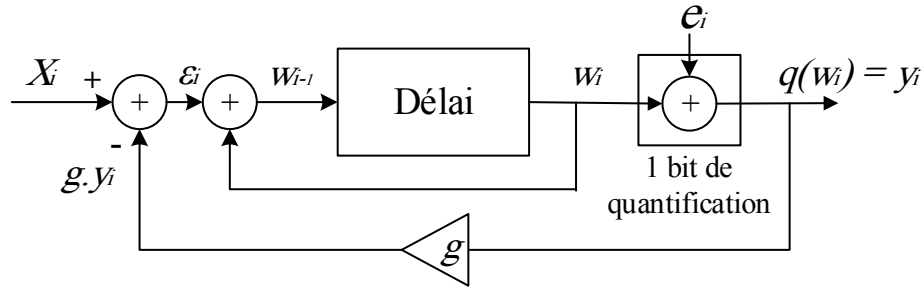


Figure 3-2 : Modèle du fonctionnement du modulateur $\Sigma\Delta$ de premier ordre

La modélisation du modulateur est comme suit :

- Le quantificateur de 1 bit est modélisé par une source de bruit e_i qui joue le rôle de l'erreur de quantification.

$$e_i = q(w_i) - w_i \quad (3.3)$$

$$y_i = q(w_i) = e_i + w_i \quad (3.4)$$

- Le convertisseur numérique-analogique est modélisé par un gain (g). Il permet de modérer la quantité à soustraire du signal d'entrée (Δ). Pour simplifier la mise en équation, nous allons supposer que $g = 1$ (retour unitaire) :

$$\varepsilon_i = x_i - y_i \quad (3.5)$$

- Le filtre intégrateur est modélisé par un délai muni d'une rétroaction de gain unitaire. La valeur de la sortie de l'intégrateur w_i [50] sera:

$$w_i = x_{i-1} - e_{i-1} \quad (3.6)$$

$$y_{i-1} = w_{i-1} - e_{i-1} \quad (3.7)$$

La sortie du modulateur y_i devient alors :

$$y_i = x_{i-1} + e_i - e_{i-1} \quad (3.8)$$

L'équation (3.8) régit uniquement le fonctionnement d'un modulateur $\Sigma\Delta$ de premier ordre. Pour un modulateur de troisième ordre [54] la mise en équation devient :

$$y_i = x_{i-2} + (e_i - 3 \cdot e_{i-1} + 3 \cdot e_{i-2} - e_{i-3}) \quad (3.9)$$

L'équation (3.9) peut être divisée en deux parties : la première partie relie l'entrée x_i avec la sortie y_i . La deuxième partie, décrite par $e_i - 3 \cdot e_{i-1} + 3 \cdot e_{i-2} - e_{i-3}$, représente la quantité du bruit de quantification subissant l'effet de la modulation $\Sigma\Delta$ soit nommée η_i . L'équation (3.9) devient ensuite :

$$y_i = x_{i-2} + \eta_i \quad (3.10)$$

En appliquant la transformée en z à la quantité de bruit η_i , $N(z)$ s'écrit :

$$N(z) = E(z) \cdot (1 - 3 \cdot z^{-1} + 3 \cdot z^{-2} - z^{-3})$$

(3.11)

$$\text{avec } z = e^{-j\omega T_e}$$

$$N(z) = (1 - z)^{-3} \cdot E(z) \quad (3.12)$$

L'équation (3.9) devient alors :

$$Y(z) = z^{-2} \cdot X(z) + (1 - z^{-1})^3 \cdot E(z) \quad (3.13)$$

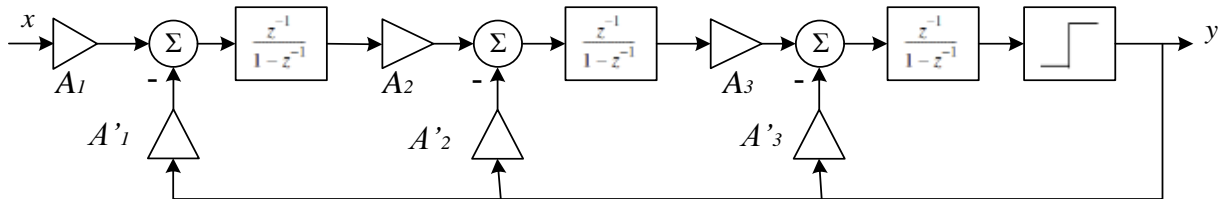


Figure 3-3 : Modélisation d'un modulateur du troisième ordre

La figure 3.3 illustre l'équation (3.13). Cette même équation peut être transformée en l'équation (3.14) qui est une forme généralisée d'un modulateur d'ordre L [50].

$$Y(z) = \frac{A1}{A1'} \cdot z^{-L} \cdot X(z) + (1 - z^{-1})^L \cdot E(z) \quad (3.14)$$

Dans notre application, pour assurer la modulation, nous avons utilisé un circuit de modulation $\Sigma\Delta$ à **temps continu** de **troisième ordre** fonctionnant en **mode différentiel**. Ce circuit, qui a été conçu par un autre membre de notre équipe, est composé de trois intégrateurs pour le filtrage, un comparateur et trois convertisseurs numériques analogiques de 1 bit.

3.3 Filtrage et décimation pour le CAN- $\Sigma\Delta$

3.3.1 Principe

Comme nous venons de le présenter dans la partie précédente, la théorie derrière la modulation $\Sigma\Delta$ est complexe. Elle permet d'augmenter la plage dynamique [55] et d'obtenir à la sortie un signal de 1 bit de grand SNR (meilleure résolution). La figure 3.4 montre la différence entre le spectre de puissance d'un signal numérique codé en PCM et celui d'un signal numérisé par un modulateur $\Sigma\Delta$.

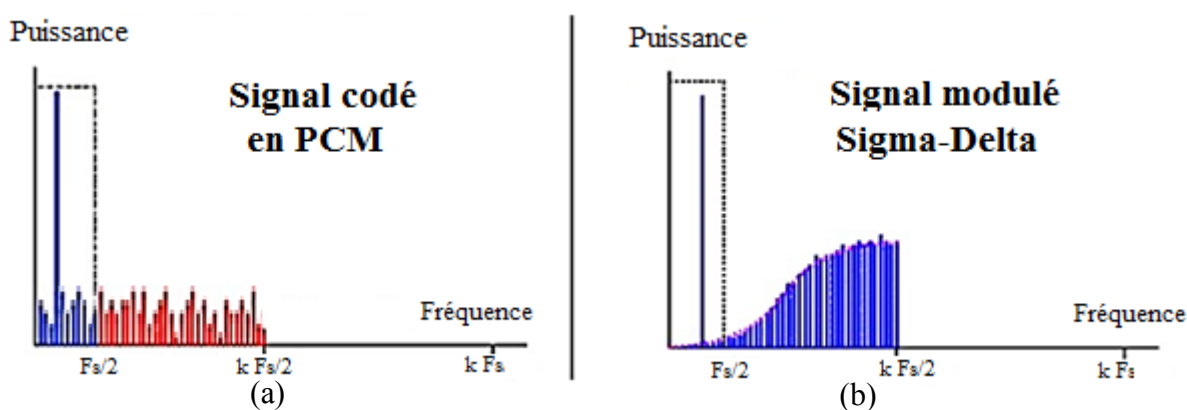


Figure 3-4 : Spectre du signal codé en PCM et du signal modulé en $\Sigma\Delta$ [56]

Ce bitstream (série de 1 bit) obtenu à la sortie du modulateur traduit la variation du signal à l'entrée par une densité d'impulsions (0 ou 1) de fréquence élevée. En effet, la majorité du bruit de quantification est décalée vers les hautes fréquences sans altérer le spectre du signal à l'entrée. Par conséquent, la puissance du bruit dans la bande du signal diminue énormément.

Si le signal obtenu à la sortie du modulateur passe par un filtre passe-bas puis par un décimateur (sous échantillonnage pour revenir à la fréquence de Nyquist), la résolution effective du signal sera améliorée. Cette description qualitative décrit le principe à suivre (illustrée par figure 3.5) pour obtenir un signal numérique de meilleure résolution. Il est cependant nécessaire de traduire le bitstream en premier lieu pour obtenir un signal numérique codé sur N bits.

Le décodage est généralement fait à travers un filtre qui représente la fonction inverse du modulateur $\Sigma\Delta$. Ces filtres sont connus sous le nom des filtres CIC (Cascaded Integrator Comb).

La sortie du filtre CIC de N bits subira ensuite un filtrage afin d'éliminer le bruit de quantification avant décimation et éviter par la suite la dégradation du RSB du signal sur la bande utile. Ces étapes vont être décrites et mieux expliquées dans la section suivante. Une étude théorique pour chaque étape va être présentée dans ce qui suit.

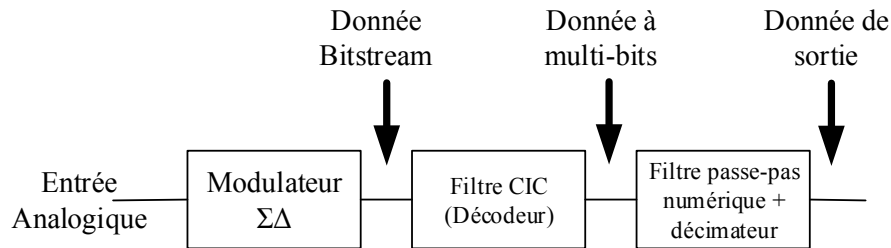


Figure 3-5 : Principales parties dans le filtre décimateur.

3.3.2 Théorie de décimation par le filtre CIC pour le modulateur $\Sigma\Delta$

Un traitement inverse à la modulation $\Sigma\Delta$ permet d'obtenir les données acquises. Dans cette partie, nous allons analyser ce traitement à la fois dans le domaine temporel et fréquentiel.

La sortie du modulateur $\Sigma\Delta$ est formée par une série de bits de haute fréquence représentant le niveau moyen du signal analogique acquis [49]. Pour récupérer de nouveau la valeur du signal analogique sous forme numérique, il suffit de moyennner sur un nombre fixe de bits « R » au cours du temps. Ce moyennage est illustré par l'équation 3.15 avec y_k la sortie du filtre à l'instant $(k.T_e)$:

$$y_k = \frac{1}{R} \sum_{i=R(k-1)}^{Rk-1} x_i \quad (3.15)$$

Le moyennage a pour effet la diminution de la fréquence d'échantillonnage par un facteur "R" (Décimation par "R" : le signal de sortie se réactualise chaque R/f_{os}). La valeur de sortie sera toujours entre 0 et 1. Elle devra être représentée par des quantités réelles positives. Nous avons déjà passé, par l'entremise du modulateur $\Sigma\Delta$, au domaine numérique. De ce fait, tous les traitements de calcul et de filtrage qui vont être implémentés dans une plateforme matérielle nécessitent le codage des données sur un nombre de bits spécifiques (codage de réels en virgule). Le nombre de bits nécessaires pour représenter la sortie sera clarifié dans les prochaines lignes.

Dans la figure 3.6, nous présentons un exemple simple d'un signal de sortie par un modulateur $\Sigma\Delta$ de premier ordre avec $R = 16$.

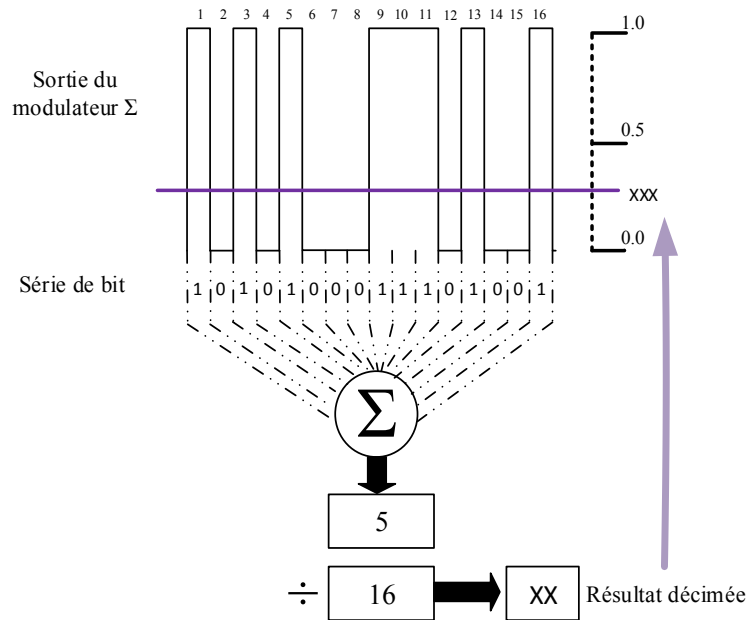


Figure 3-6 : Principe de décodage pour les modulateurs $\Sigma\Delta$ [56]

Si l'on traduit l'approche décrite précédemment en équations, la transformée en z de l'équation (3.15) détermine la fonction de transfert [50]:

$$y(z) = \frac{1}{R} \sum_{i=0}^{R-1} z^{-i} x(z) \quad (3.16)$$

$$H(z) = \frac{1}{R} \sum_{i=0}^{R-1} z^{-i} = \frac{1}{R} \cdot \frac{1 - z^{-R}}{1 - z^{-1}} \quad (3.17)$$

En remplaçant z par $e^{-j\omega}$, nous obtenons la réponse fréquentielle d'un filtre qui permet de décoder le signal modulé :

$$H(f) = \frac{\text{sinc}(\pi f R T)}{\text{sinc}(\pi f T)} \quad (3.18)$$

En se basant sur l'équation (3.17), il est possible de construire ce filtre. En effet nous pouvons considérer cette équation comme le produit de deux parties, dont chacune décrit un filtre à part, comme le montre l'équation (3.19).

$$H(z) = \frac{1}{1 - z^{-1}} \cdot (1 - z^{-R}) = H_1(z) \cdot H_2(z) \quad (3.19)$$

H_1 représente l'équation d'un intégrateur. Il fonctionne comme un filtre numérique à réponse impulsionnelle infinie (IIR)[57] à pôle simple. Sa discipline temporelle est décrite par cette équation :

$$y[n] = y[n - 1] + x[n] \quad (3.20)$$

La figure 3.7 représente l'architecture de cet intégrateur :

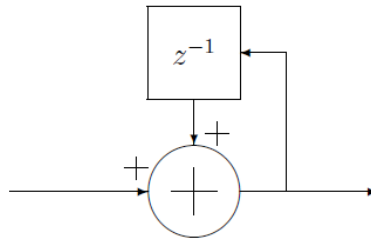


Figure 3-7 : Architecture d'un simple intégrateur

H_2 est la fonction de transfert d'un filtre différenciateur affichant un délai R. Ce filtre numérique est à réponse impulsionnelle finie (Filtre FIR) dont l'équation dans le domaine temporel discret s'écrit :

$$y[n] = x[n] - x[n - R] \quad (3.21)$$

Comme l'actualisation de la sortie de ce filtre s'effectue après R cycle d'horloge, l'architecture totale devient (Figure 3.8.a) :

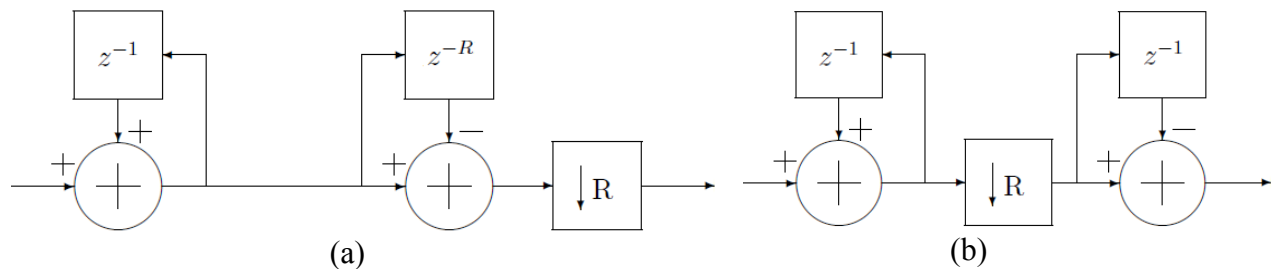


Figure 3-8 : Intégrateur suivi par différenciateur (a : Forme 1, b : Forme 2)

Pour des fins d'optimisation de l'architecture, il est inutile de réaliser la soustraction à la fréquence d'échantillonnage du signal d'entrée puisque nous pouvons nous limiter à la fréquence décimée. Cela permet de réduire la consommation d'énergie au niveau du différenciateur [58]. Nous obtenons alors une deuxième forme de l'architecture (Figure 3.8.b : intégrateur suivi par différenciateur).

La structure du modulateur $\Sigma\Delta$ dépend de son ordre (L). Le décodage par le filtre CIC doit être adapté au modulateur. [50, 59] ont démontré que la configuration la plus optimisée est de cascader $L+1$ instances du filtre CIC.

L'équation dans le domaine fréquentiel du filtre complet devient alors :

$$H(f) = \left[\frac{\text{sinc}(\pi f R T)}{\text{sinc}(\pi f T)} \right]^{L+1} \quad (3.22)$$

En appliquant la transformée en z , (3.22) devient

$$\begin{aligned} H(z) &= \left[\frac{1}{R} \cdot \frac{1-z^{-R}}{1-z^{-1}} \right]^{L+1} = \frac{1}{R^{L+1}} \cdot \left[\frac{1}{1-z^{-1}} \right]^{L+1} \cdot [1-z^{-R}]^{L+1} \\ &= \frac{1}{R^{L+1}} \cdot H_1(z)^{L+1} \cdot H_2(z)^{L+1} \end{aligned} \quad (3.23)$$

Par un simple arrangement, l'architecture générale devient :

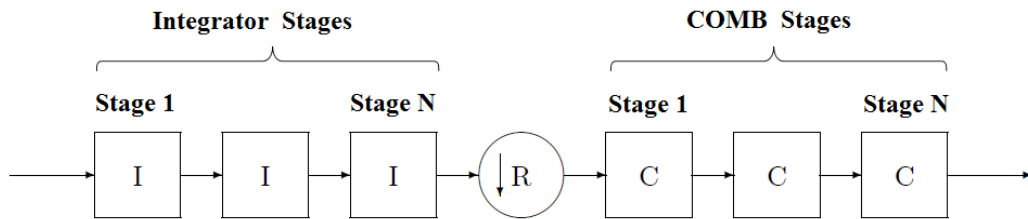


Figure 3.9 : L'architecture générale du filtre CIC [57]

Le filtre complet actuel est connu sous le nom de décimateur CIC. Il est d'ordre $L+1$ et de facteur de décimation R .

3.3.3 Aspect fréquentiel du filtre CIC

En se basant sur l'équation (3.22), nous pouvons considérer le filtre CIC comme filtre numérique passe-bas (voir figure 3.10). Il permet aussi de décimer le signal à l'entrée. Avec ces deux fonctions, le filtre CIC coïncide avec l'architecture nécessaire, présentée dans la figure 3.6, servant à démoduler le signal dans le CAN- $\Sigma\Delta$.

Le filtre CIC présente plusieurs avantages comme la simplicité de son architecture, la non-nécessité des multiplications et la non-nécessité du stockage des coefficients. Cependant, son utilisation reste toujours limitée à cause de certains inconvénients.

La réponse fréquentielle (figure 3.10) du filtre CIC, est formée par $(R-1)$ lobes dont les amplitudes diminuent avec l'augmentation de la fréquence. Le spectre du signal à la sortie

s'annule à la fréquence $1/RT$ et à ses multiples. Cette atténuation n'est pas suffisante pour annuler complètement le bruit de quantification, d'où la nécessité de la deuxième étape de filtrage que nous avons représentée par un filtre passe-bas.

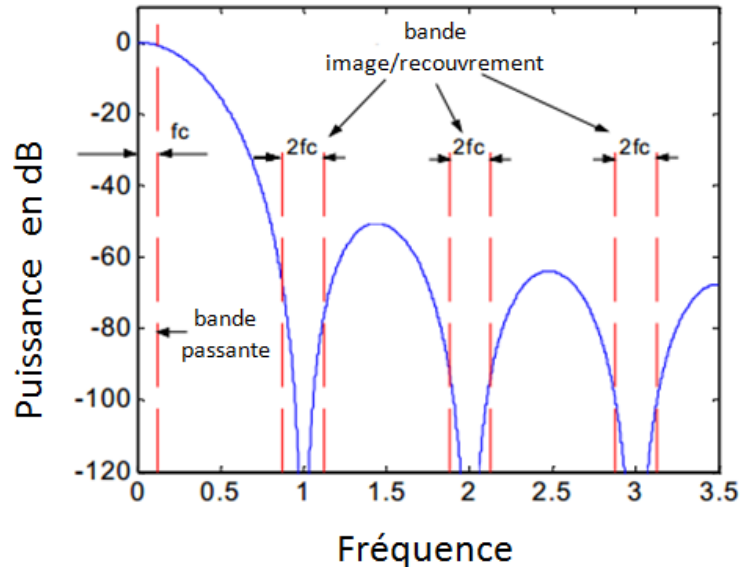


Figure 3.10 : Réponse fréquentielle du filtre CIC

De plus, contrairement à d'autres filtres numériques, la bande passante du CIC n'est pas plate ce qui peut être contraignant dans certaines applications. Une des solutions employées pour pallier à ce problème, consiste à utiliser un filtre de compensation [60]. Ce dernier doit être bien étudié et dimensionné selon les paramètres du filtre CIC (R , N , $M=1$ dans notre cas). Des travaux de recherches [58, 61] ont proposé différentes méthodes pour concevoir et implémenter ce filtre de compensation. Cependant l'ajout d'un tel filtre rend l'architecture globale du décimateur plus complexe. Ceci nécessite la sauvegarde des coefficients utilisés dans le filtre de compensation. Ainsi, d'une part, on perd les avantages du filtre CIC, et d'autre part, l'atténuation hors de la bande utile reste toujours insuffisante, ce qui nécessite l'ajout d'un filtre passe-bas.

3.3.4 Architecture proposée de la chaîne d'acquisition

L'architecture que nous proposons dans ce mémoire, consiste à utiliser un filtre CIC pour le décodage du flux bit stream issu du modulateur $\Sigma\Delta$, avec un faible facteur de décimation R . En fait, l'atténuation dans la bande passante dépend de ce facteur R et de l'ordre du filtre CIC. Si nous limitons la dégradation du gain dans la bande utile de telle sorte qu'on peut la considérer comme négligeable, il ne serait plus nécessaire d'ajouter un filtre de compensation.

Le signal à l'entrée du convertisseur $\Sigma\Delta$, venant du capteur LVDT, est modulé en amplitude à une fréquence variable entre 1kHz et 10 kHz. Sachant que l'ordre du filtre CIC est égal à 4 (ordre du modulateur + 1), il suffit de choisir un facteur de décimation qui n'engendre pas une dégradation du signal à la fréquence maximale (10 kHz).

Tableau 3-1 : Atténuation à la fréquence de coupure

Bande passante Relative à la basse fréquence f_c	Atténuation (en dB) dans la bande passante à la fréquence f_c en fonction de l'ordre du filtre N					
	1	2	3	4	5	6
1/128	0.00	0.00	0.00	0.00	0.00	0.01
1/64	0.00	0.01	0.01	0.01	0.02	0.02
1/32	0.01	0.03	0.04	0.06	0.07	0.08
1/16	0.06	0.11	0.17	0.22	0.28	0.34

Nous considérons, dans ce qui suit Bw_{out} , à savoir la bande de fréquence de la sortie souhaitée et f_c , la fréquence de coupure du filtre. En nous référant au Tableau 3-1 tiré de [62] et en supposant que la fréquence maximale (10 kHz) correspond à la fréquence de coupure f_c , nous obtenons alors trois valeurs possibles du facteur de décimation avec une atténuation relativement négligeable. Ces valeurs sont 4, 8 et 16. Elles correspondent respectivement aux atténuations 0,00, 0,01 et 0,06 dB.

Le choix du facteur de décimation a un impact sur l'atténuation hors bande et sur la latence : plus le facteur de décimation est élevé, plus l'atténuation hors bande est élevée aussi. Cela permet de réduire le bruit de modulation et d'améliorer la résolution. Le délai dans un filtre CIC est défini par l'équation (3.24). Il est préférable de réduire le facteur de décimation, afin de diminuer le délai[63].

$$\tau = \frac{N(R-1)}{2} \cdot T_{os} \quad (3.24)$$

Le compromis (latence/SNDR) requiert un choix optimal du facteur R. Ce même compromis s'applique pour le choix de l'ordre lors de la conception des filtres anti-aliasing.

De plus, la fréquence d'échantillonnage du signal sortant du filtre CIC a un impact sur le délai engendré par les filtres. Ceci suggère donc de garder le facteur de décimation le plus faible possible.

L'utilisation du facteur 4 laisse à la sortie un bruit considérable, car son atténuation hors bande utile est faible. Pour cette raison, la décimation par 4 a été exclue. Lorsque nous avons utilisé un facteur de décimation 8, la fréquence à la sortie du filtre CIC a atteint les 640 kHz.

L'architecture finale du filtre CIC est la suivante :

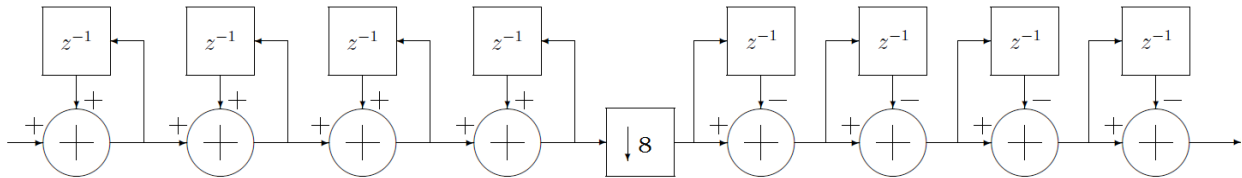


Figure 3.11 : L'architecture finale du filtre CIC utilisé

3.3.5 Filtre anti-aliasing et décimation

Avec le facteur de décimation que nous avons choisi, la fréquence du signal obtenue à la sortie du filtre CIC est de 640 kHz, ce qui est non conforme aux spécifications de notre application, c'est-à-dire avoir une fréquence d'échantillonnage à la sortie de 1kHz. Nous devons alors abaisser la fréquence d'un facteur de 640. Cette décimation nécessite l'utilisation d'un filtre anti-aliasing permettant d'éviter le repliement. Ceci est connu sous le nom de double opération de filtrage/décimation.

En effet, l'échantillonnage d'un signal par une fréquence de f_{os} se traduit dans le domaine fréquentiel par une répétition cyclique de son spectre avec une période constante égale à la fréquence d'échantillonnage.

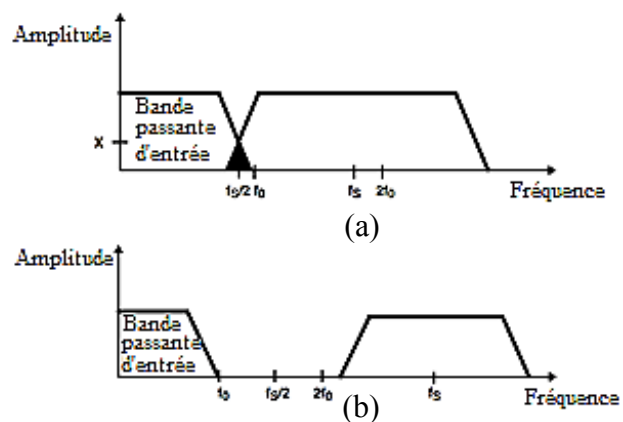


Figure 3.12 : Principe de Shannon dans le domaine fréquentiel [56]

Pour éviter le chevauchement, le théorème de Shannon (Figure 3.12) dicte que la fréquence d'échantillonnage devrait être toujours supérieure à deux fois la fréquence maximale du signal [41]. Généralement, en amont de l'échantillonneur, on place un filtre passe-bas permettant d'éliminer tout signal hors bande utile des données dans le but de protéger le signal de toute distorsion.

Cependant, le fait de décimer le signal par une fréquence $f_e = f_{os}/K$, revient à augmenter la périodicité du spectre du signal à l'état non échantillonné par un facteur K . Par conséquent, la distance entre spectres répétés diminue. Il est alors indispensable de filtrer les autres composantes hors de la bande du signal avant la décimation. Cela dans le but d'éviter la présence de tout bruit, avec les nouveaux repliements causés par la décimation. Ainsi, le filtre anti-aliasing devrait être conçu de façon à ce qu'il atteigne sa bande d'atténuation à la fréquence $f_e/2$ (Figure 3.13) [64].

On propose dans notre application de décimer le signal à une fréquence $f_e = 40$ kHz (= 640/16). Un taux de décimation aussi élevé, exige le filtrage d'une vaste plage de fréquences (320 kHz - 20 kHz = 300 kHz), ce qui signifie que la bande de transition du filtre nécessaire est (BT = 20 kHz - 10 kHz = 10 kHz), proportionnellement étroite à la bande de la fréquence totale du signal avant décimation $[0, 320 \text{ kHz}]$. Ceci n'est possible qu'à travers un filtre numérique d'ordre très élevé. En effet, [65] et [64] réalisent une approximation de l'ordre du filtre N en fonction de la bande de transition unitaire BT_u , du dépassement dans la bande passante δ_p et de l'atténuation dans la bande d'annulation δ_s par :

$$N = \frac{D_\alpha(\delta_p, \delta_s)}{BT_u} \quad (3.25)$$

Ceci n'est possible qu'à travers un filtre numérique d'ordre très élevé. En effet, [65] et [64] réalisent une approximation de l'ordre du filtre N en fonction de la bande de transition unitaire BT_u , du dépassement dans la bande passante δ_p et de l'atténuation dans la bande d'annulation δ_s par :

$$N = \frac{D_\alpha(\delta_p, \delta_s)}{BT_u} \quad (3.26)$$

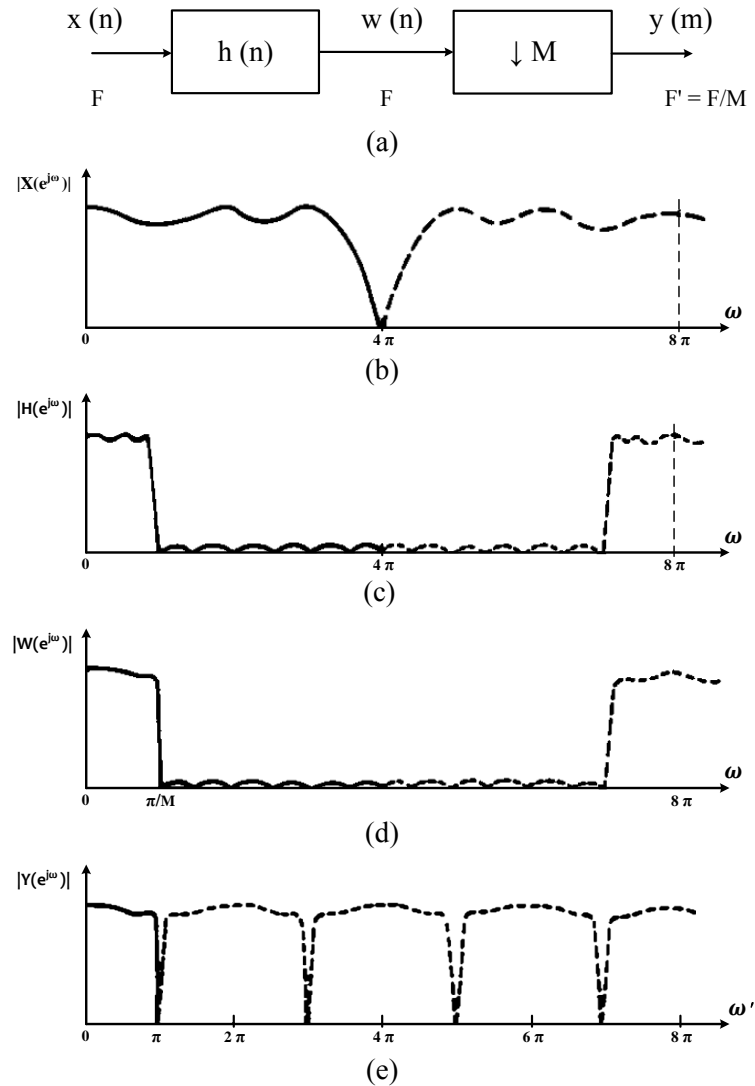


Figure 3.13 : Filtrage anti-aliasing suivi d'une décimation [64]

On définit, la bande de fréquence unitaire par la bande de fréquence en Hz divisée par la fréquence d'échantillonnage ($B_u = B / f_s$).

L'ordre du filtre numérique N représente le nombre de ses coefficients, qui vont être multipliés par le signal d'entrée retardé. Nous ajoutons aussi $(N-1)$ sommations pour avoir en totalité $2.N-1$ opérations arithmétiques (additions et multiplications). Nous détaillerons l'architecture d'un filtre numérique dans le chapitre suivant [61].

Si on désire toutefois obtenir une résolution à la sortie de 15 bits ($SNR = 90.3$ dB) avec une fréquence d'échantillonnage à la sortie égale à 40 kHz ($OSR_s = 2$) et ce, en n'utilisant qu'un seul filtre, l'ordre de ce dernier sera supérieur à 151.

Les caractéristiques de ce filtre seront les suivantes :

- Un dépassement dans la bande utile $\delta_p = 0,05$
- Une atténuation dans la bande d'annulation $\delta_s = 100$
- Une fréquence de coupure de 10,5 kHz
- Une fréquence d'annulation de 20 kHz

L'implémentation d'un tel filtre nécessitera des ressources matérielles conséquentes permettant de:

- mémoriser 151 coefficients codés avec une haute précision.
- réaliser 151 opérations de multiplication et 150 additions.

Vu la haute précision du codage des coefficients du filtre, nous nous retrouvons avec de multiples opérations élémentaires sur les bits de ces derniers. L'implémentation de ces opérations est fastidieuse et requiert d'énormes ressources matérielles. Si l'on se réfère à la littérature, les solutions de filtrage/décimation proposées consistent en la subdivision de la fonction de filtrage en deux ou trois étages. Nous réduisons ainsi la complexité puisque le nombre d'opérations pour chacun des étages est significativement réduit.

Vu que nous utilisons l'approche traditionnelle de la décimation par étage, nous devons toujours respecter les règles suivantes :

- Les fréquences de coupure des différents étages doivent être identiques. Elles devraient être égales à la fréquence maximale du signal pour éviter toute dégradation dans la bande utile $f_{ci} = f_{max}$
- Les fréquences d'annulation des différents étages, ne doivent pas dépasser la moitié de la nouvelle fréquence à obtenir après décimation $f_{Ai} = f_{si}/2$

Pour remplacer la décimation d'un seul étage décrite précédemment, nous pouvons nous limiter à deux étages (sous-échantillonnage par un facteur de 4 après chaque étage, voir figure 3.14).

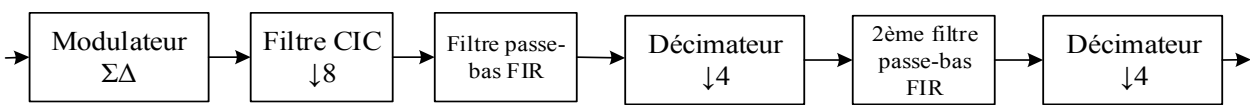


Figure 3.14 : Architecture du filtre décimateur par deux étages

Le filtre FIR1 est d'ordre 28. Ses caractéristiques sont les suivantes :

- Un dépassement dans la bande utile $\delta_p = 0,05$
- Une atténuation dans la bande d'annulations $\delta_s = 100$
- Une fréquence de coupure de 10,5 kHz
- Une fréquence d'annulation de 80 kHz

Le filtre FIR2 est d'ordre 39. Ses caractéristiques sont :

- Un dépassement dans la bande utile $\delta_p = 0,05$
- Une atténuation dans la bande d'annulation $\delta_s = 100$
- Une fréquence de coupure de 10,5 kHz
- Une fréquence d'annulation de 20 kHz

Cette configuration proposée (Figure 3.14) réduit considérablement l'ordre des filtres utilisés. Cela permet de gagner en surface d'intégration. Cette subdivision a toutefois un impact non négligeable sur la latence engendrée par la décimation.

3.3.6 Analyse du délai généré

Revenons à la définition du délai pour le filtre FIR proposée dans le deuxième chapitre :

$$\tau = \frac{(N - 1)}{2} \cdot T_{os} \quad (3.27)$$

La latence totale engendrée par la solution de décimation par un seul étage est égale alors à :

$$\tau_I = \frac{151}{2} \cdot 1/640 \cdot 10^{-3} = 117.97 \mu s \quad (3.28)$$

Par contre pour la décimation par deux étages, nous obtenons :

$$\begin{aligned} \tau_{II} = \tau_1 + \tau_2 &= \frac{28}{2} \cdot 1/640 \cdot 10^{-3} + \frac{39}{2} \cdot 1/160 \cdot 10^{-3} \\ &= 143.75 \mu s \end{aligned} \quad (3.29)$$

L'emploi de la décimation par deux étages a engendré une augmentation considérable de la latence. Le principe de subdivision diminue l'ordre des filtres nécessaires pour obtenir un SNDR voulu. Cependant, il est recommandé, si l'on a de sévères contraintes à respecter, tel que le délai

dans notre cas présent, d'étudier son impact sur le système avant de l'employer afin d'éviter des inadéquations.

Nous exprimerons maintenant la relation entre le délai, les nombres de subdivisions du filtre et le facteur de décimation interne, afin d'élucider l'impact sur la latence.

Il existe deux théories sur les délais communément utilisés lors de la conception des filtres :

- Premièrement, si l'ordre du filtre augmente, le délai augmente aussi, (Équation (3.26)).
- Deuxièmement, l'ordre du filtre est inversement proportionnel à la bande de transition normalisée avec la fréquence d'échantillonnage, (Équation (3.25)).

Considérons : M comme étant le facteur de décimation totale ; f_{os} et f_e les fréquences d'échantillonnage à l'entrée et à la sortie respectivement ; f_m la bande utile du signal d'entrée ; et δ_s et δ_p le repliement dans le passe-bande du filtre et l'atténuation dans le coupe-bande respectivement. Pour une décimation par un seul bloc l'ordre du filtre N et le délai τ deviennent :

$$N = \frac{D_\alpha(\delta_p, \delta_s)}{\frac{f_e/2 - f_m}{f_{os}}} \quad (3.30)$$

$$\tau = \frac{D_\alpha(\delta_p, \delta_s)}{f_e - 2 \cdot f_m} - \frac{T_{os}}{2} \quad (3.31)$$

Pour une décimation par deux étages de facteurs de décimation intermédiaire M_1 et final M_2 ($M = M_1 \times M_2$), nous obtenons :

$$N_1 = \frac{D_\alpha(\delta_p, \delta_s)}{\frac{M_2 \times f_e/2 - f_m}{f_{os}}} \quad (3.32)$$

$$\tau_1 = \frac{D_\alpha(\delta_p, \delta_s)}{M_2 \times f_e - 2 \cdot f_m} - \frac{T_{os}}{2} \quad (3.33)$$

$$N_2 = \frac{D_\alpha(\delta_p, \delta_s)}{\frac{f_e/2 - f_m}{f_{os1}}} = \frac{D_\alpha(\delta_p, \delta_s)}{M_1 \times \frac{f_e/2 - f_m}{f_{os}}} \quad (3.34)$$

$$\begin{aligned}\tau_2 &= \frac{D_\alpha(\delta_p, \delta_S)}{f_e - 2 \cdot f_m} - \frac{T_{os1}}{2} = \frac{D_\alpha(\delta_p, \delta_S)}{f_e - 2 \cdot f_m} - M_1 \frac{T_{os}}{2} \\ &= \tau - (M_1 - 1) \frac{T_{os}}{2}\end{aligned}\quad (3.35)$$

$$\begin{aligned}\tau_{tot} = \tau_1 + \tau_2 &= \frac{D_\alpha(\delta_p, \delta_S)}{f_e - 2 \cdot f_m} - \frac{T_{os1}}{2} \\ &= \tau + \frac{D_\alpha(\delta_p, \delta_S)}{M_2 \times f_e - 2 \cdot f_m} - M_1 \frac{T_{os}}{2} \\ &= \tau + M_1 \frac{D_\alpha(\delta_p, \delta_S)}{M \times f_e - 2 \cdot M_1 \cdot f_m} - M_1 \frac{T_{os}}{2} \\ &= \tau + M_1 \left(\frac{D_\alpha(\delta_p, \delta_S)}{M \times f_e - 2 \cdot M_1 \cdot f_m} - \frac{T_{os}}{2} \right)\end{aligned}\quad (3.36)$$

Nous pouvons constater d'après l'équation 3.35 que le choix du facteur de décimation intermédiaire M_1 influence considérablement le délai final. Une étude est donc nécessaire pour définir le niveau de subdivision qui minimise la latence totale.

Afin d'avoir le délai total minimum τ_{tot} , la contrainte sur le paramètre M_1 est présentée dans l'équation (3.35) comme suit:

$$M_1 > \frac{0.5 + D_\alpha(\delta_p, \delta_S)}{f_m / f_{os}} \cong 6400 \quad (3.37)$$

Par contre, vu que les facteurs de décimation sont des entiers non nuls et que le facteur M est égal au produit de M_1 avec M_2 , la valeur maximale que peut avoir M_1 est celle de M (avec $M_2 = 1$). Il est impossible alors de respecter la contrainte décrite par l'inéquation (3.36). Nous pouvons alors généraliser que la subdivision de filtrage par étage introduit toujours un délai additionnel. Nous validerons cette relation, à travers un ensemble de simulations dans le chapitre qui suit.

3.3.7 Optimisation par élargissement de la bande de transition :

Comme nous l'avons montré dans les sections précédentes, le filtrage par un seul étage n'est pas à considérer vu sa complexité et son coût en ressources. De plus, la division en étages augmente le délai engendré par le filtre, ce qui est à éviter afin de ne pas dépasser la contrainte proposée par l'industrie (voir chapitre 2). Dans ce cas, nous adopterons la solution de filtrage par deux étages, mais en proposant une solution alternative pour diminuer l'ordre des filtres, résultant alors en une

minimisation du délai engendré par le décimateur (Équation 3.26) ainsi qu'en une implémentation moins gourmande en matériels.

Si nous révisons la règle de choix de la fréquence d'annulation pour décimer un signal à une fréquence f_e , nous pouvons remarquer qu'il n'est pas impératif dans notre cas, de se limiter à la fréquence $f_e / 2$. En effet, le spectre du signal à la sortie du modulateur $\Sigma\Delta$ équipé de son filtre CIC, peut être divisé en deux plages de fréquences (voir figure 3.15) :

- La première plage inclut la bande utile qui contient les données; elle commence à la fréquence nulle et se termine à la fréquence maximale que peut avoir le signal à l'entrée, c'est-à-dire $f_m = 10 \text{ kHz}$ dans notre cas. Grâce au modulateur $\Sigma\Delta$, le bruit dans cette plage est assez faible, car il représente sa bande passante.
- La plage des fréquences hors bande. Elle contient le bruit de quantification éjecté aux hautes fréquences par le modulateur. Cette partie commence à partir de la fréquence $f_m = 10 \text{ kHz}$ jusqu'à $f_{os}/2 = 320 \text{ kHz}$.

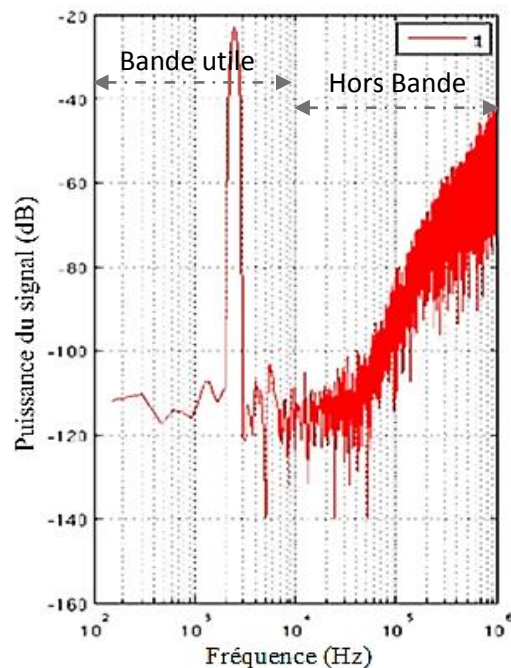


Figure 3.15 : Spectre du signal à la sortie du modulateur $\Sigma\Delta$

Dans l'architecture que nous proposons, la fréquence d'échantillonnage diminue en premier lieu à $f_{os1} = 160 \text{ kHz}$. D'après la règle de décimation, la fréquence d'annulation du premier filtre serait à 80 kHz . L'objectif est d'éviter tout repliement lors du sous-échantillonnage du signal.

Mais puisque notre bande utile est limitée à 10,5 kHz, si nous augmentons la fréquence d'annulation jusqu'à $(f_{os1} - f_m)$, on est certain que le repliement ne touche pas la bande utile. Ainsi, la bande de transition s'accroît pour atteindre presque son double.

L'ordre du filtre diminue alors de manière considérable. En appliquant ainsi cette démarche au deuxième étage, l'architecture finale devient :

- FIR1 est d'ordre 17 avec $\delta_p = 0,05$ et $\delta_s = 100$. La fréquence de coupure est 10,5 kHz et la fréquence d'annulation est 150 kHz.
- FIR2 est d'ordre 25 avec $\delta_p = 0,05$ et $\delta_s = 100$. La fréquence de coupure est 10,5 kHz, la fréquence d'annulation est 30 kHz.

Le délai total engendré par la nouvelle architecture devient :

$$\begin{aligned} \tau_{II} = \tau_1 + \tau_2 &= \frac{17}{2} \cdot \frac{1}{640} \cdot 10^{-3} + \frac{25}{2} \cdot \frac{1}{160} \cdot 10^{-3} \\ &= 91.406 \mu s \end{aligned} \quad (3.38)$$

3.3.8 Démodulation d'amplitude :

Comme nous l'avons mentionné dans le chapitre précédent, les capteurs LVDT génèrent deux signaux modulés en amplitude à la sortie afin de déterminer la position. Souvent, la modulation en amplitude est définie précisément pour les signaux électroniques analogiques afin d'assurer une transmission sans perte. D'ailleurs, la réception de ces signaux est pour des fins de traitement purement analogique. C'est pour cette raison que les solutions de démodulation sont basées sur des circuits analogiques basés sur deux méthodes principales : la démodulation par circuits de détection d'enveloppe et la démodulation par des circuits DSP (voir chapitre précédent).

Pour les capteurs LVDT, les signaux générés sont modulés en amplitude de façon native. L'intégration d'un étage de démodulation est nécessaire pour détecter la position du capteur. Contrairement à d'autres applications utilisant la modulation en amplitude, les signaux modulés dans notre cas seront traités dans des unités de calculs et de contrôles numériques et c'est à travers notre interface que ces données seront converties.

Cependant, la démodulation implique normalement l'ajout de circuits analogiques. Cet ajout ne convient pas avec la conception d'une interface intelligente comme celle que nous venons de

décrire dans le deuxième chapitre puisque cela est en contradiction avec l'approche d'intégration de haut niveau, c'est-à-dire le non-usage de circuits discrets. De plus, les circuits analogiques sont très sensibles une fois soumis à des conditions de fonctionnement extrêmes. Il est préférable donc de réaliser la modulation numériquement afin d'éliminer ces circuits analogiques. Nous proposons alors une solution de démodulation digitale employant un circuit DSP.

La solution la plus simple consiste à multiplier le signal venant du capteur par le signal porteur lui-même. En effet, le signal modulé peut être écrit sous la forme :

$$v_s(t) = [1 + k \cdot v_m(t)] v_p(t) = V_p[1 + k \cdot v_m(t)] \cdot \cos(\omega_p \cdot t) \quad (3.39)$$

Avec v_m le signal qui représente la variation de la position du capteur au cours du temps, et v_p est le signal porteur ou bien le signal d'excitation sinusoïdale dans notre cas (figure 3.16). Il est généré pour le capteur LVDT pour son fonctionnement.

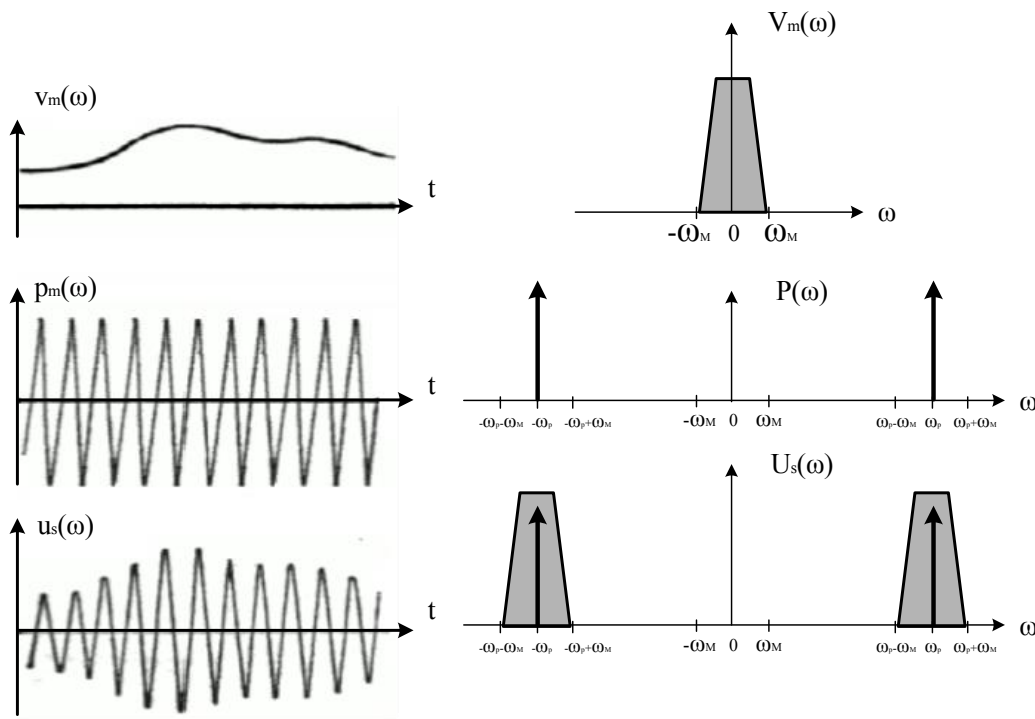


Figure 3.16 : Principe de modulation en amplitude

L'équation de démodulation :

$$\begin{aligned}
u_s(t) &= V_p[1 + k \cdot v_m(t)] \cdot \cos(\omega_p \cdot t) \times V_d \cdot \cos(\omega_p \cdot t) \\
&= \frac{V_p \cdot V_d}{2} [1 + k \cdot v_m(t)] \cdot (1 + \cos(2 \cdot \omega_p \cdot t)) \\
&= \frac{V_p \cdot V_d}{2} [1 + k \cdot v_m(t) + \cos(2 \cdot \omega_p \cdot t) \\
&\quad + k \cdot v_m(t) \cdot \cos(2 \cdot \omega_p \cdot t)]
\end{aligned} \tag{3.40}$$

$u_s(t)$ est donc la somme de quatre signaux dont l'un représente le mouvement du capteur (signal utile) et deux autres la fréquence de la porteuse. Le circuit de démodulation devrait alors être formé par un mixeur suivi d'un filtre passe-bas capable d'éliminer les deux composantes de haute fréquence sans toucher le signal du mouvement (figure 3.17).

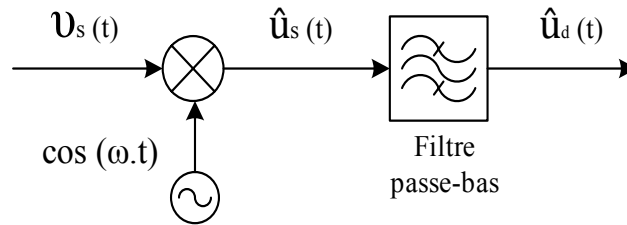


Figure 3.17 : Démodulation par un seul mixeur

La bande passante de ce filtre doit contenir la fréquence maximale du signal utile. Sa fréquence d'annulation ne devrait pas dépasser les fréquences des deux composantes afin d'annuler intégralement ces signaux. Nous obtenons alors :

$$\widehat{u}_d(t) = \frac{V_p \cdot V_d}{2} [1 + k \cdot v_m(t)] \tag{3.41}$$

Cette approche exige que le signal de démodulation soit synchronisé et en phase avec le signal de modulation. En effet, si nous avons un déphasage de Φ , le résultat à la sortie du filtre passe-bas se multiplie par le cosinus de Φ . Cela peut occasionner des atténuations du signal ou même des pertes totales de données si le déphasage s'approche du $\pi/2$.

$$\begin{aligned}
u_s(t) &= V_p[1 + k \cdot v_m(t)] \cdot \cos(\omega_p \cdot t) \times V_d \cdot \cos(\omega_p \cdot t + \Phi) \\
&= \frac{V_p \cdot V_d}{2} [1 + k \cdot v_m(t)] \cdot (\cos(\Phi) + \cos(2 \cdot \omega_p \cdot t + \Phi)) \\
&= \frac{V_p \cdot V_d}{2} [\cos(\Phi) + k \cdot v_m(t) \cos(\Phi) \\
&\quad + \cos(2 \cdot \omega_p \cdot t + \Phi) + k \cdot v_m(t) \cdot \cos(2 \cdot \omega_p \cdot t + \Phi)]
\end{aligned} \tag{3.42}$$

Et

$$\widehat{u}_d(t) = \frac{V_p \cdot V_d}{2} [1 + k \cdot v_m(t)] \cdot \cos(\Phi) \quad (3.43)$$

Il existe des circuits permettant de corriger cette dégradation par deux méthodes :

- Utiliser des circuits de synchronisation ; VCO et PLL. Cela permet de compenser le déphasage au cours de la démodulation par l'approche adaptative.
- Ajouter plusieurs étages DSP pour éliminer l'effet de $\cos(\Phi)$ mathématiquement.

Nous avons expliqué antérieurement (chapitre 2), que ces approches sont utilisées essentiellement pour rectifier les déphasages aléatoires engendrés suite aux transmissions des signaux à distance, d'où l'impossibilité de synchroniser avec le signal de modulation. Ceci n'est pas le cas dans notre application vu que le signal d'excitation (jouant le rôle du signal de modulation) est généré directement par notre interface du capteur.

Ces solutions sont alors exclues de notre architecture car elles nécessitent plus d'étages de traitement et donc plus de ressources matérielles. Nous nous sommes plutôt limités à l'utilisation du circuit de démodulation décrit dans la figure (3.18). En appliquant un simple retard au signal de démodulation, nous pouvons compenser le déphasage Φ .

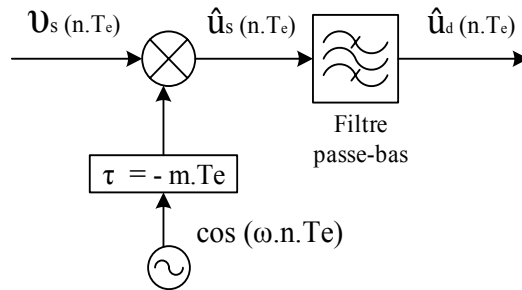


Figure 3.18 : Démodulation avec le module de correction du déphasage

En effet, le signal de modulation (qui est le signal d'excitation pour le capteur) est généré au niveau de l'interface. Nous pouvons donc l'utiliser directement, et suivre son chemin de propagation depuis la source jusqu'à l'enroulement primaire du capteur. Nous obtenons alors le premier délai τ_1 . Ce retard engendre un déphasage défini par :

$$\Phi_1 = 2 \cdot \pi \cdot \tau_1 \cdot f_{ext} \quad (3.44)$$

De même pour le capteur LVDT, il ajoute un décalage temporel entre le signal au primaire et celui au secondaire. Le déphasage maximal Φ_{max} est indiqué dans la fiche technique du capteur.

Selon la position du démodulateur, le déphasage engendré par les étages post-capteur peut être aussi calculé.

$$\Phi_2 = 2 \cdot \pi \cdot \tau_2 \cdot f_{ext} \quad (3.45)$$

On a intérêt alors à calculer précisément le déphasage total afin de le corriger dans notre architecture.

Comme la démodulation est numérique, après le CAN :

- le signal de démodulation est retardé avec un registre de taille D définie par :

$$D = \frac{\Phi_{tot}}{2 \cdot \pi \cdot f_{ext}} \cdot f_{éch} = \frac{\Phi_1 + \Phi_{max} + \Phi_2}{2 \cdot \pi \cdot f_{ext}} \cdot f_{éch} \quad (3.46)$$

- le filtre après démodulation devrait être numérique (FIR ou IIR). La démodulation va être appliquée à des échantillons codés sur N bits avec la fréquence d'échantillonnage du signal modulé. Afin de se servir des filtres utilisés dans la décimation, nous avons décidé de positionner le mixeur tout juste après le filtre CIC, le premier étage qui fournit les données codées multi-bit. Le reste du décimateur, composé par deux filtres de décimation, est utilisé aussi pour atténuer les harmoniques par étage.

Cependant, ces filtres ne suffisent pas pour annuler les harmoniques. Nous devons alors ajouter un autre filtre.

Le mixeur joue le rôle d'un transporteur du spectre des données de la haute fréquence autour de la fréquence de la porteuse à basse fréquence, ce qui est avantageux car la bande passante des filtres doit être diminuée, les bandes de transitions augmentent et les ordres des filtres diminuent [66].

Notre nouvelle architecture comportera alors (voir figure 3.19) :

- un filtre CIC d'ordre 4, de facteur de décimation 8 et de fréquence d'échantillonnage de sortie 640 kHz
- un mixeur avec un étage de correction du déphasage, fonctionnant à la fréquence 640 kHz
- un filtre FIR1 d'ordre 16 avec $\delta_p = 0,05$, $\delta_s = 100$, de fréquence de coupure de 500 Hz et de fréquence d'annulation est 150 kHz.
- une décimation par quatre.

- un filtre FIR2 d'ordre 13 avec $\delta_p = 0,05$, $\delta_s = 100$, de fréquence de coupure de 500 Hz et de fréquence d'annulation 39 kHz.
- une décimation par quatre.
- un filtre FIR3 d'ordre 25 avec $\delta_p = 0,05$, $\delta_s = 100$, de fréquence de coupure de 500 Hz et de fréquence d'annulation 2.5 kHz.
- une décimation par quarante.[58]

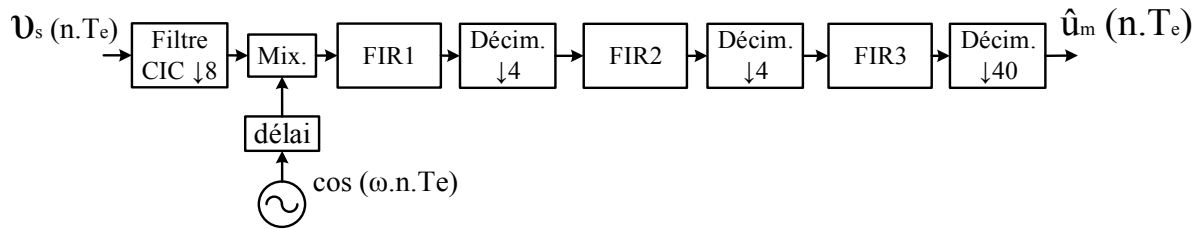


Figure 3.19 : Architecture du chemin d'acquisition proposé

L'architecture finale alors comporte quatre facteurs de décimation. Les valeurs de trois d'entre eux sont choisies pour une solution sans démodulation en amplitude. Le quatrième est fixé pour finalement revenir à la fréquence de Nyquist.

3.4 Conclusion

Dans ce chapitre, nous avons expliqué la théorie des CAN- $\Sigma\Delta$ et présenté l'architecture proposée en respectant les contraintes du projet. Cette architecture permet de convertir et de démoduler (AM) le signal venant du capteur R/LVDT.

À la suite de cette étude, nous allons simuler et implémenter le chemin d'acquisition des données, en utilisant un circuit intégré (modulateur $\Sigma\Delta$) et une carte FPGA (Virtex-6).

CHAPITRE 4 : SIMULATION DE L'ARCHITECTURE PROPOSÉE DU CHEMIN D'ACQUISITION DES DONNÉES

4.1 Introduction

Après avoir cité les améliorations et évolutions de la chaîne d'acquisition du signal dans l'interface intelligente des capteurs, et décrit la mise œuvre de la solution proposée pour les capteurs de position R/LVDT dans le chapitre précédent, nous présenterons dans cette section les résultats rapportés par le modèle Simulink associé à notre architecture.

4.2 L'outil de simulation : « Matlab-Simulink »

Avant d'être passé à la réalisation, et dans le but de confirmer l'approche théorique suivie pour aboutir à notre architecture, nous avons modélisé ses différentes parties sur Matlab Simulink. Un tel outil nous permet de simuler le comportement du modulateur $\Sigma\Delta$ et d'appliquer le signal au reste du chemin (Chapitre 3). L'architecture sera composée, par des blocs idéals de haut niveau tels que des filtres FIR, des décimateurs et des mixeurs. Ceci nous permet d'avoir une estimation théorique de la sortie du chemin en modifiant les paramètres des filtres (ordre et bande de transition) et de décimation. La réalisation et l'implémentation mènent nécessairement à une dégradation. Cette étape permet alors d'évaluer la performance idéale de la solution proposée.

La flexibilité de toute modification dans cet outil est un avantage additionnel. Elle permet d'améliorer et de comprendre le fonctionnement de toute la chaîne d'acquisition avant d'aller plus loin dans la réalisation. Ainsi, nous avons utilisé l'outil pour vérifier certaines décisions prises dans l'étude théorique (Chapitre 3), tels que le choix des facteurs de décimation et la position du démodulateur d'amplitude dans l'architecture proposé (Figure 4.1).

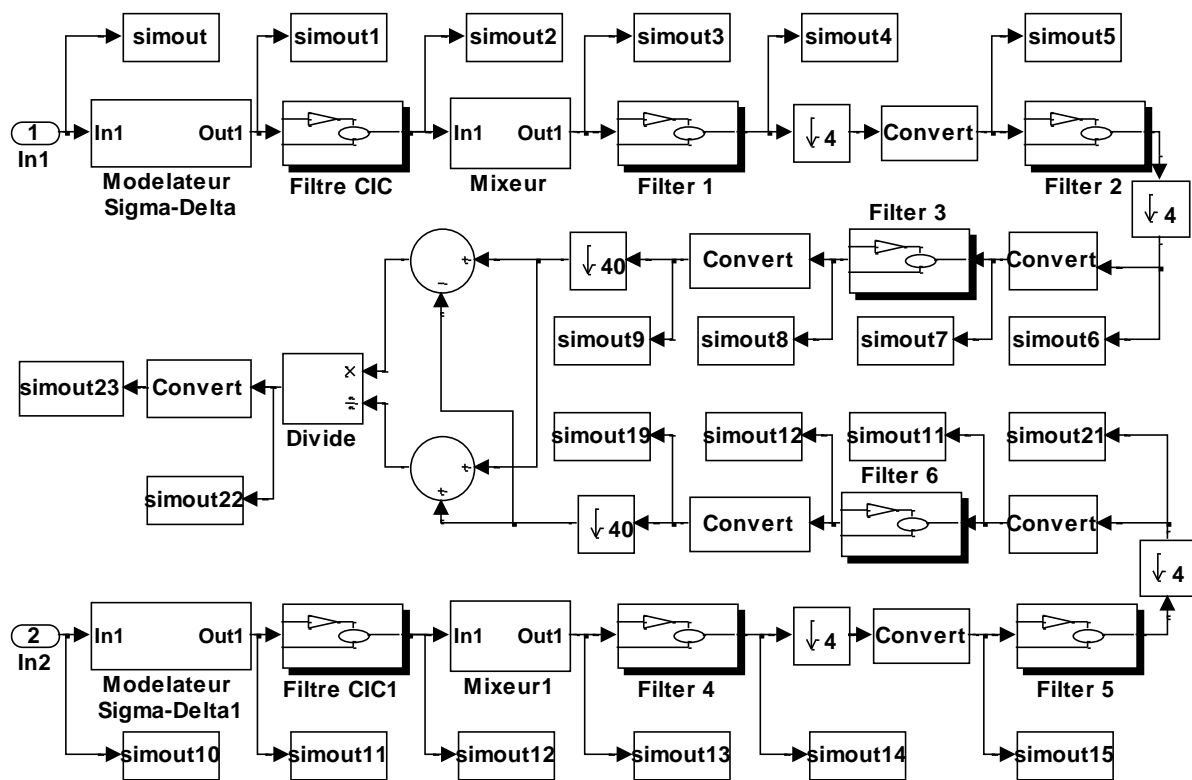


Figure 4-1 : Chemin d'acquisition des données en blocs Simulink

Nous allons présenter dans la section suivante la vérification des meilleurs facteurs de décimation tout en gardant le même nombre d'étages.

4.3 Choix des facteurs de décimation :

Les facteurs de décimation sont des paramètres fondamentaux pour l'architecture. En effet, ces paramètres influent sur la conception des filtres FIR et du filtre CIC de façon directe. Par conséquent, ils agissent sur le délai du système.

Nous voudrions trouver les facteurs de décimation optimaux en nous basant sur la contrainte du délai. Cette contrainte (délai) nous mènera à développer une équation qui met en relation une approximation du délai du système et les différents facteurs de décimation. Par la suite, nous allons résoudre la relation trouvée en fonction des paramètres de décimation de façon à avoir le délai minimum possible.

Pour simplifier le raisonnement, nous éliminerons le démodulateur pour ne garder que les blocs de filtre et de décimation. Nous remplacerons aussi les valeurs du facteur de décimation par des variables (R_{cic} , R_1 , R_2 et R_3). Le diagramme de l'architecture devient alors (Figure 4.2).

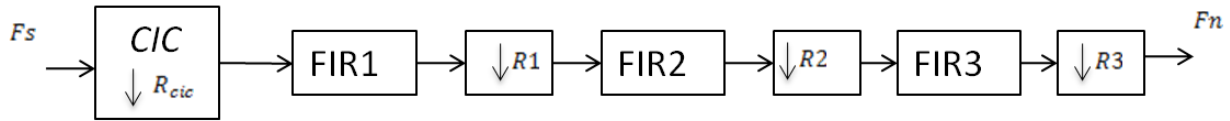


Figure 4-2 : Architecture du chemin d'acquisition des données en fonction des facteurs de décimation

Chaque filtre FIR se trouve entre deux décimateurs. Raisonant par étage, la figure 4.3.a montre un décimateur de facteur R_p (pour R précédent) qui fonctionne à une fréquence F_s , ce dernier étant suivi du filtre FIR en question qui cette fois-ci fonctionne à une fréquence $f = F_s/R_p$. Ce filtre ensuite ce filtre est suivi d'un décimateur de facteur R_s (pour R successive).

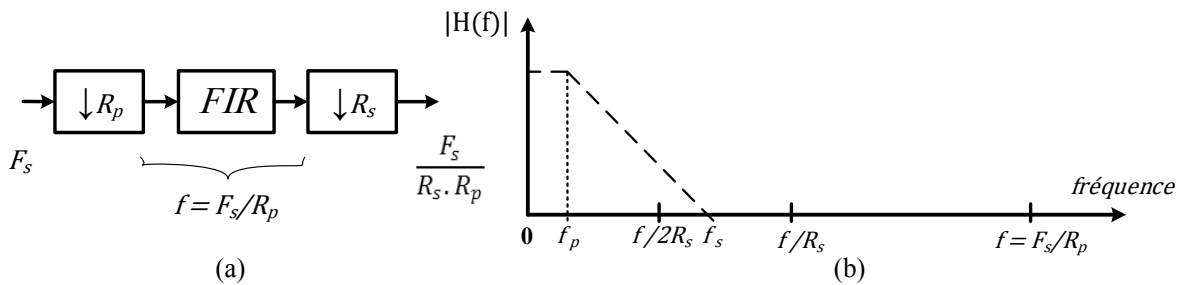


Figure 4-3 : (a) Filtre FIR avec les deux décimateurs (b) Représentation fréquentielle du filtre

À partir de la représentation fréquentielle du filtre de la figure 4.3.b, nous pouvons déterminer l'ordre du filtre FIR en fonction de la largeur de bande de transition ainsi que la fréquence de fonctionnement de ce filtre, ou aussi en fonction de la fréquence F_s , des facteurs de décimation R_p , R_s et la bande passante du signal f_p . (équation 3.25).

$$N = \frac{D_\alpha(\delta_p, \delta_s)}{\Delta f / f} = N(F_s, f_p, R_p, R_s) \quad (4.1)$$

Avec $\Delta f = f_s - f_p$

L'équation 3.26 devient aussi:

$$\tau = \frac{N}{2 \times f} = \tau(F_s, f_p, R_p, R_s) \quad (4.2)$$

Avec $\Delta f = f_s - f_p$

Soit N_1, N_2 et N_3 l'ordre des filtres FIR1, FIR2 et FIR3 respectivement. Selon la figure 3.21 nous aurons :

- Pour FIR 1: $\mathbf{R_s} = \mathbf{R_{cic}}, \mathbf{R_p} = \mathbf{R_1}$ et $\mathbf{f} = \mathbf{f_1} = \frac{\mathbf{F_s}}{\mathbf{R_{cic}}}$
- Pour FIR 2: $\mathbf{R_s} = \mathbf{R_1}, \mathbf{R_p} = \mathbf{R_2}$ et $\mathbf{f} = \mathbf{f_2} = \frac{\mathbf{F_s}}{\mathbf{R_{cic} \times R_1}}$
- Pour FIR 3: $\mathbf{R_s} = \mathbf{R_2}, \mathbf{R_p} = \mathbf{R_3}$ et $\mathbf{f} = \mathbf{f_3} = \frac{\mathbf{F_s}}{\mathbf{R_{cic} \times R_1 \times R_2}}$

De plus nous avons :

- $\mathbf{F_n} \times \mathbf{R_{cic}} \times \mathbf{R_1} \times \mathbf{R_2} \times \mathbf{R_3} = \mathbf{F_s}$;
- $\mathbf{F_s} = 5.12 \text{ Mhz}$ et $\mathbf{F_n} = 1\text{Khz}$

Le délai total équivaut à :

$$\begin{aligned} \tau_{tot} &= \tau_{cic} + \tau_1 + \tau_2 + \tau_3 \\ &= \tau_1(R_2, R_3, F_n, f_p) + \tau_2(R_3, F_n, f_p) + \tau_3(F_n, f_p) + \frac{4(R_{cic} - 1)}{2} \frac{1}{F_s} \end{aligned} \quad (4.3)$$

Nous sommes alors devant un problème d'optimisation :

$$\min_R \tau_{tot}(R) \text{ tel que } \begin{cases} F_n * R_{cic} * R_1 * R_2 * R_3 - F_s = 0 \\ 2 \leq R_1 \leq 160 \\ 2 \leq R_2 \leq 160 \\ 2 \leq R_3 \leq 160 \\ 8 \leq R_{cic} \leq 640 \end{cases}$$

Avec $R = [R_1, R_2, R_3, R_{cic}]$.

Pour résoudre un tel problème nous pouvons utiliser une fonction prédéfinie de Matlab « fmincon », cette fonction permet de trouver le minimum d'une fonction multi-variable non linéaire avec contrainte.

Le tableau ci-dessous résume les différents minimums trouvés par la fonction 'fmincon' qui sont classés par ordre croissant selon le poids de délai :

Tableau 4-1 : Poids délai en fonction des configurations des facteurs de décimation

<i>R1</i>	<i>R2</i>	<i>R3</i>	<i>Rcic</i>	τ_{tot}
2	2	160	8	0.5630
2	4	80	8	0.5661
4	2	80	8	0.5677
2	2	80	16	0.5708
2	8	40	8	0.5724
4	4	40	8	0.5739
8	2	40	8	0.5771
2	16	20	8	0.5850
2	8	20	16	0.5897
4	4	20	16	0.5928
8	2	20	16	0.5991
4	8	10	16	0.6182

À partir de l'architecture proposée (figure 4.1), la chaîne d'acquisition de signal commence par le modulateur $\Sigma\Delta$. Dans la section suivante, nous présenterons brièvement son modèle en Simulink et le résultat de la simulation.

4.4 Modulateur $\Sigma\Delta$

Afin d'avoir une simulation proche au circuit de modulation, nous avons dû concevoir le modèle le plus fidèle possible au circuit (figure 4.4). Selon sa structure, décrite dans le troisième chapitre, nous avons un modulateur de troisième ordre (trois boucle de retour), tandis que les trois circuits d'intégrations sont remplacés par des filtres d'équations paramétrées par $Uv1$, $Uv2$ et $Uv3$. Nous avons également différents gains distribués à l'entrée et dans les trois chaînes de retour pour avoir la flexibilité nécessaire et pour obtenir un résultat à la sortie semblable à celle de la simulation post-layout. À partir du document rédigé par le concepteur du circuit de modulation, un membre de notre équipe de recherche, les valeurs de RSB à la sortie de modulateur sont montrées dans le tableau 4-2.

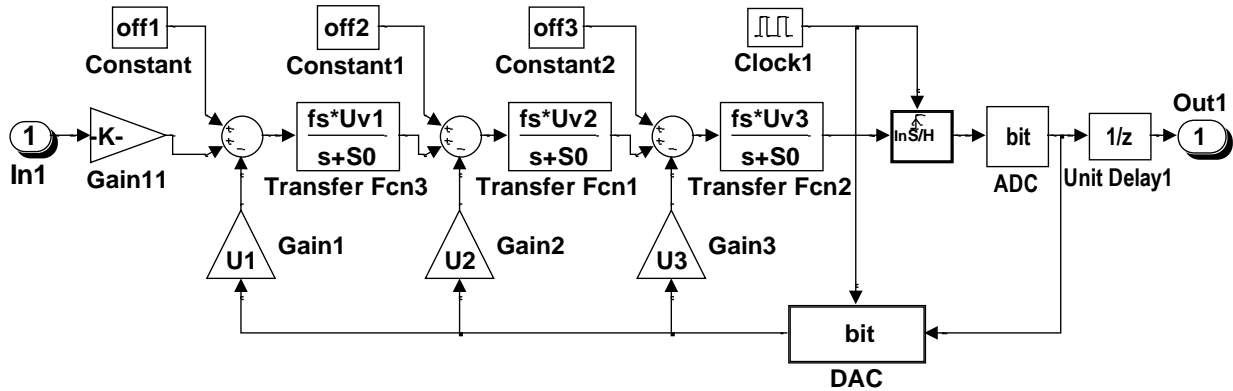
Figure 4-4 : Modulateur $\Sigma\Delta$ en blocs Simulink

Tableau 4-2 : Résultat de la simulation post-layout du modulateur

	Signal + bruit transitoire
RSB sur 500Hz, estimé	86.8 dB
RSB sur [0 5kHz]	76.8 dB
RSB sur [0 10kHz]	73 dB

Tandis que le spectre du signal à la sortie du modulateur est le suivant :

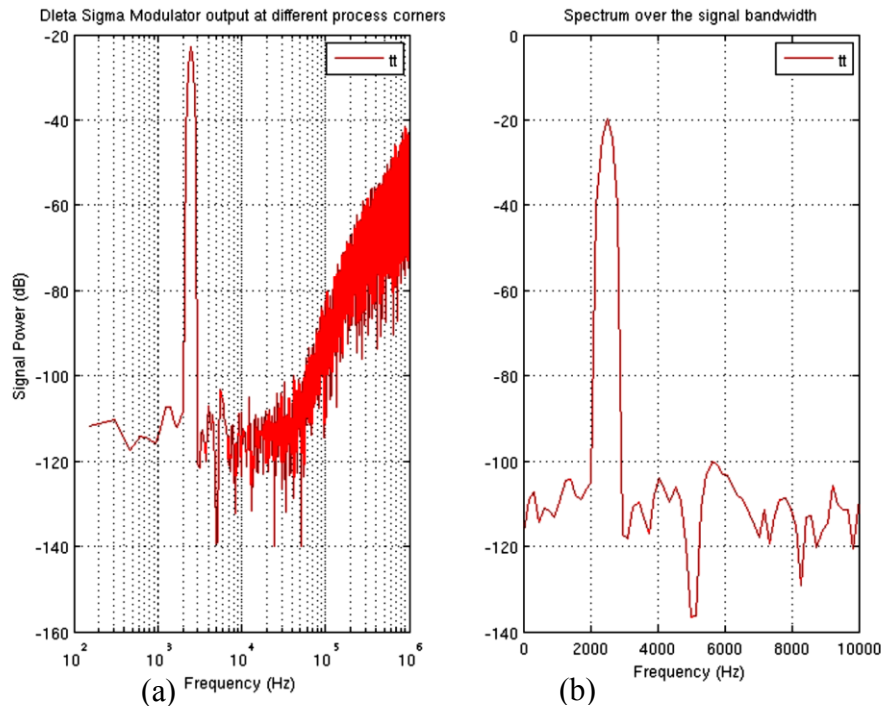


Figure 4-5 : Le spectre du signal de sortie du modulateur à travers une simulation post-layout

Il est vrai que l'on peut introduire les données venant de la simulation par cadence en Simulink et l'appliquer à l'architecture. Ceci devrait être plus facile que de modéliser le modulateur lui-même et il nous permet en plus de donner un résultat plus fidèle à la réalité. Mais il est important de savoir que la simulation post-layout, pour une période de 10 ms, a une durée de 14 jours. De plus, le nombre d'échantillons associés ne suffit pas pour calculer le rapport signal-sur-bruit sur la bande de fréquence du signal (500 Hz), mais plutôt juste assez pour une bande 10 et 20 fois plus grande (voir tableau 4-1). Ainsi, nous ne pouvons qu'estimer la valeur du RSB pour une bande de fréquence plus étroite. Nous perdons donc la latitude de simuler différentes amplitudes du signal à l'entrée.

Notre approche consiste à configurer le modèle Simulink afin d'avoir la bande passante adéquate (10 kHz). Nous devons appliquer aussi un signal à l'entrée pour obtenir à la fois les valeurs de RSB présentées dans le tableau 4-2 et le même spectre à la sortie comme le montre la figure 4.5, ce qui signifie :

- Mettre une entrée sinusoïdale à la fréquence 2.5 kHz et une puissance égale à -21 dB.
- Ajouter une source de bruit avec un niveau maximal dans la bande utile [0 10kHz] égale à -100 dB.

La figure 4.6 présente la mise en œuvre du signal d'entrée reliée au modulateur $\Sigma\Delta$ ainsi que le spectre de puissance de son signal de sortie sur la bande de fréquence [0 10kHz].

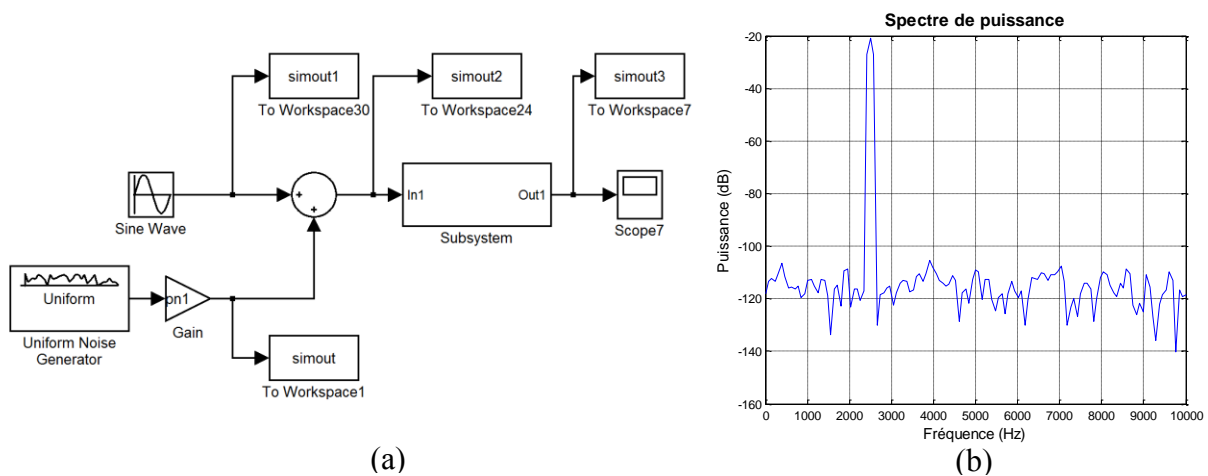


Figure 4-6 : Mise en œuvre du signal d'entrée et le spectre du signal à la sortie du modulateur

Un autre point à considérer est que le signal venant du capteur LVDT est modulé en amplitude. Nous avons ajouté une multiplication par un signal porteuse par un signal de mouvement de fréquence plus faible.

Après avoir réalisé le modèle adéquat du modulateur $\Sigma\Delta$ ainsi que déterminer le niveau de bruit à ajouter afin de préparer le signal à introduire, nous allons passer maintenant à simuler l'architecture que nous avons présentée dans le chapitre précédent.

4.5 Période de simulation

La période de simulation grâce à laquelle nous avons obtenu le spectre du signal dans la figure 4.6.b est identique à celle de la simulation post-layout. Nous rappelons que ces 10 ms ne fournissent pas le nombre d'échantillons nécessaire pour calculer le RSB dans la bande souhaitée (de longueur 500 Hz). Aussi, le nombre d'échantillons diminue à chaque fois par le facteur de décimation, d'où l'importance de simuler l'architecture en entier sur la période qui nous fournit 1024 échantillons à la sortie. Puisque le signal obtenu à la sortie (nœud N10 - figure 4.7) est échantillonné à la fréquence de 1 kHz, la période de simulation minimale est égale à :

$$T_{sim} = \frac{1024}{10^3} = 1,024 \text{ sec} \quad (4.4)$$

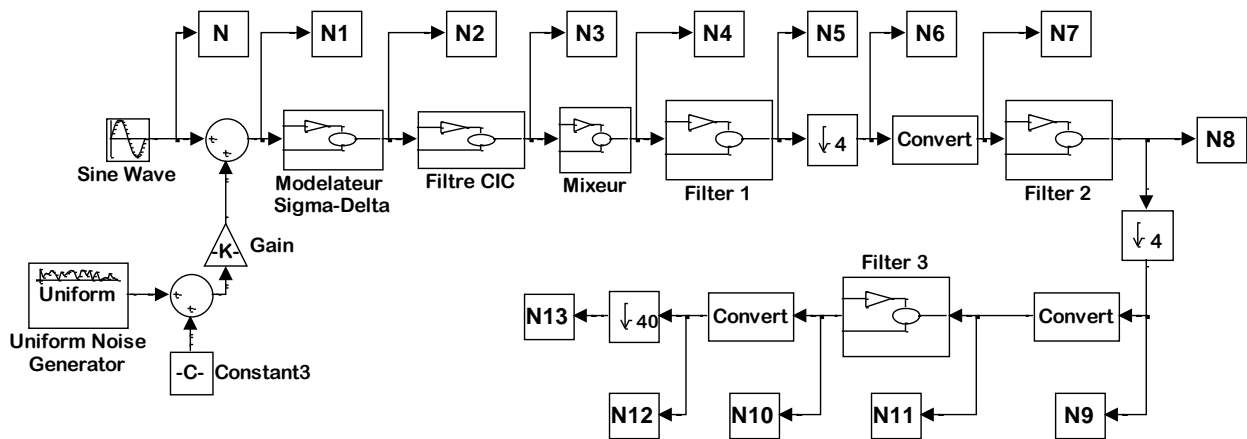


Figure 4-7 : Chemin d'acquisition des données en blocs de Simulink

Bien que nous conserverons dans cette section le même signal de l'entrée ainsi que la même configuration du modulateur $\Sigma\Delta$, le fait d'élargir la période de simulation engendre l'augmentation de la résolution dans le spectre du signal. Dans ce cas, l'épaisseur de la Laube du signal diminuera tandis que son amplitude augmentera, tout comme le niveau de la puissance du bruit, sans obtenir toutefois une modification de la valeur du RSB.

Nous présenterons dans ce qui suit les résultats des simulations de l'architecture dans des tableaux afin de comparer les différentes configurations (position du démodulateur, paramètres des filtres).

4.6 Position du démodulateur

La position du démodulateur d'amplitude dans l'architecture est choisie selon notre étude théorique (section 3 du troisième chapitre). Nous avons aussi montré par simulation qu'il s'agit bien de la position optimale du point de vue SNDR. Nous traçons dans la figure 4.8 le SNDR calculé à la sortie de l'unité « ratio-métrique » selon la position du démodulateur.

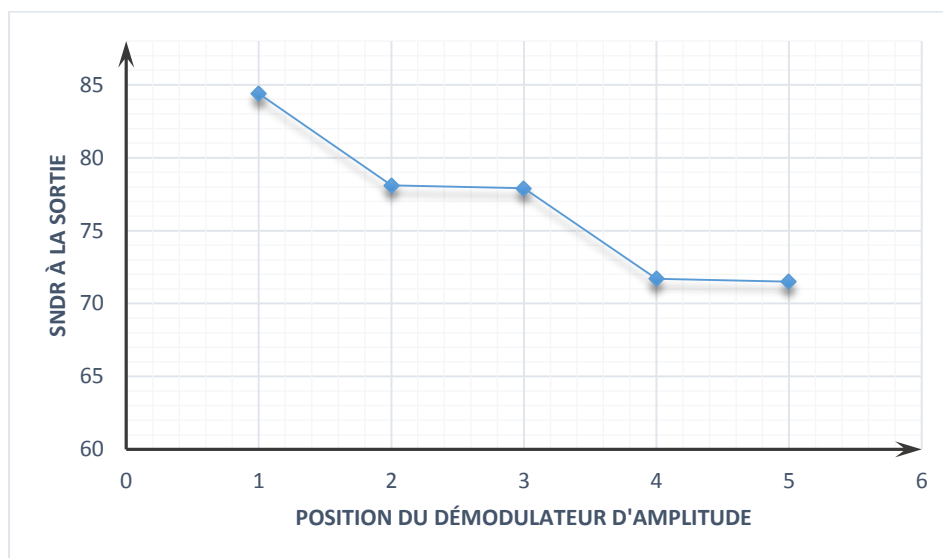


Figure 4-8 : SNDR du signal de sortie selon la position du démodulateur d'amplitude

4.7 Modélisation de l'architecture du filtre décimateur

La figure 4.1 montre l'architecture en bloc sur « Simulink » avec des étages intermédiaires ajoutés pour abaisser à chaque fois le nombre de bits. Dans le but d'implanter l'architecture, nous présenterons dans cette section les résultats de simulation du chemin en blocs théoriques. Nous essayerons par la suite de se rapprocher du cas réel et évaluerons la dégradation de la valeur du SNDR.

4.7.1 Simulation de l'architecture en bloc idéal

Le tableau 4-3 montre le résultat de simulation pour une architecture par blocs de filtre idéal. Les valeurs de SNDR sont calculées après chaque étage numéroté dans la figure 4.5. Ils sont calculés pour une bande de fréquence de largeur 500 Hz.

Les valeurs de latence ne change pas de celles théoriques qu'après le codage en vhdl ou l'implémentation.

Tableau 4-3 : Résultat de simulation pour l'architecture idéal

Étage	N ₂	N ₃	N ₄	N ₆	N ₉	N ₁₃
SNDR	89,4	89,3	87,9	87,2	86,9	84,4

4.7.2 Configuration des bits dans les blocs de filtre

Comme l'objectif final est d'implémenter les différentes parties du filtre décimateur sur une carte FPGA, le codage en virgule fixe des coefficients du filtre et des données est dès lors indispensable. Le nombre de bits des données (échantillons) augmente beaucoup à travers chaque bloc de filtre, étant donné qu'ils passent par des opérations mathématiques telles que des multiplications avec des coefficients des filtres et des additions. Ceci implique une complexité énorme dans l'implémentation :

- Un plus grand nombre de ressources matérielles : le nombre d'opérations élémentaires croient avec le nombre de bits ainsi qu'avec le nombre des registres pour mémoriser les données afin d'atteindre les délais dans le filtre numérique.
- Augmentation de la consommation, puisque les opérations mathématiques dans notre système représentent la partie qui consomme le plus (application DSP).

Pour résoudre ce problème, nous abaisserons aussi le nombre de bits des données inter-étages afin de prendre la bonne décision dans l'implémentation.

Les données à la sortie de modulateur $\Sigma\Delta$ sont de forme bit stream. Le nombre de bits des données à l'intérieur et à la sortie du filtre CIC est défini en fonction de son facteur de décimation k , du nombre d'étages M et du nombre de bits des données à l'entrée N_{bitE} .

$$N_{bitS} = N \cdot \log(k \cdot M) + N_{bitE} \quad (4.5)$$

Dans notre cas le nombre de bits à la sortie du filtre sera égal à :

$$N_{bitS} = 4 \times 3 + 1 = 13 \text{ bits} \quad (4.6)$$

La diminution d'un seul bit à la sortie du filtre CIC et avant le mixeur diminue le SNDR par 1.5 dB. Le nombre de bits à l'entrée du mixeur demeure 13, la fonction de ce module étant la multiplication par un signal sinusoïdale numérique. Le produit des deux données numériques donne un résultat de longueur égale à la somme de nombre de bits des entrées. La courbe dans la figure 4.9 montre l'évolution du SNDR selon le nombre de bits du signal sinusoïdale.

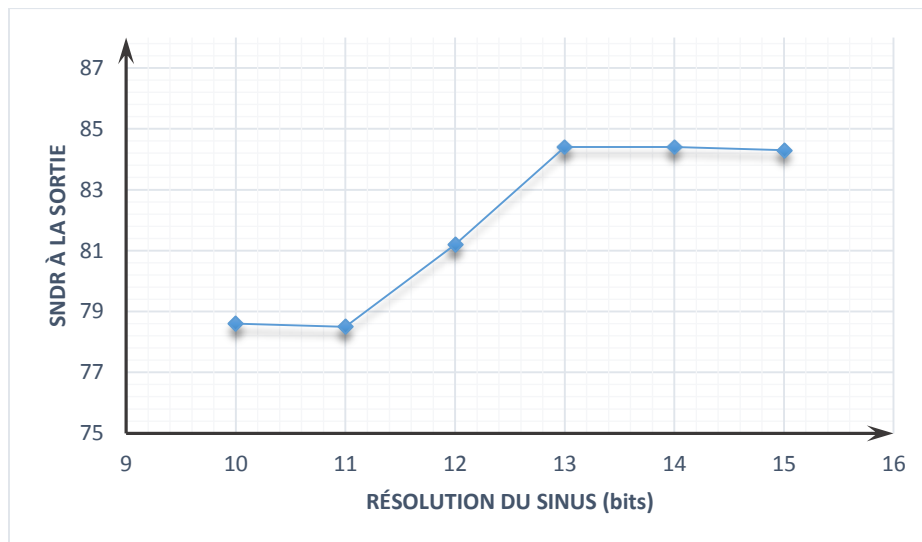


Figure 4-9 : SNDR du signal de sortie selon la résolution de la sinusoïde de démodulation

Pour éviter la dégradation du SNDR à la sortie du démodulateur en amplitude, le nombre de bits minimal du signal sinusoïdal est de 13 bits. Le nombre de bits à la sortie du mixeur est égal à 26 bits. Nous passons à la partie de filtrage à trois étages cascades. Comme la démontre la figure 4.1, chaque étage est formé successivement par un filtre FIR, un décimateur et un réducteur de résolution. Les modifications touchent les coefficients, qui deviennent des nombres codés en

virgule fixe au lieu de nombre réels, ce qui ajoute au signal de sortie un bruit à haute fréquence et affecte le SNDR du signal après les décimations (Voir figure 4.10).

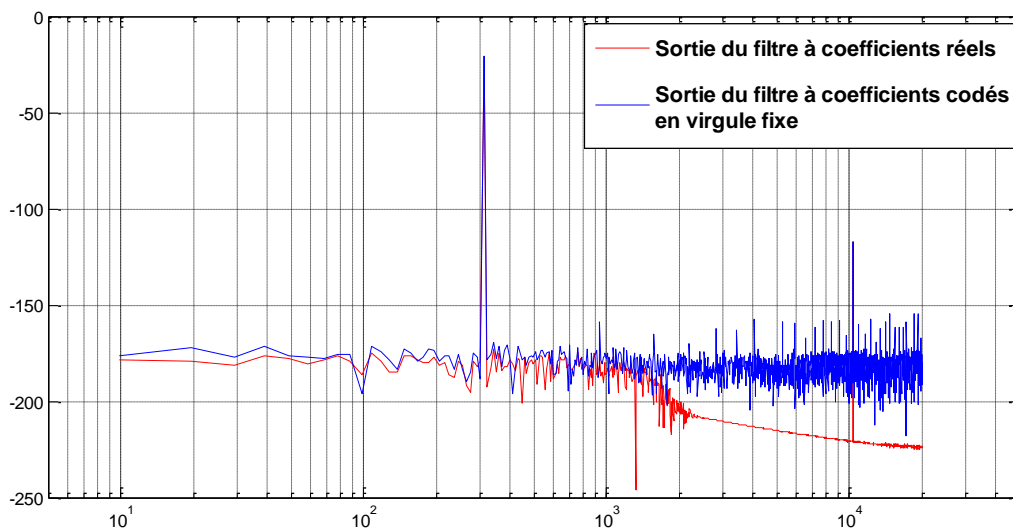


Figure 4-10 : Comparaison de la sortie du filtre à coefficients réels avec celui à coefficients codés en virgule fixe

Les coefficients des filtres seront tous fixés par simulation à 18 bits (afin de réduire la dégradation du SNDR à la sortie des trois filtres). Le résultat de la simulation est le suivant :

Tableau 4-4 : Évolution du nombre de bits et du SNDR inter-étage

Étage	N_2	N_3	N_4	N_6	N_9	N_{13}
SNDR	89,4	89,3	87,9	87,2	86,9	84,3
Nbre bits	1	13	26	37	54	71

Le nombre de bits entre étages dans la simulation a atteint de grandes valeurs (71 bits), ce qui est impossible à implémenter dans le FPGA. Nous avons utilisé des blocs « réducteur de résolution » (convert) et simulé l'effet de la minimisation de bit sur le SNDR (voir tableau 4-5 et figure 4.11).

Nous avons obtenu alors :

Tableau 4-5 : Valeur du SNDR du signal de sortie selon le nombre de bits inter-étage

Nombre de bit inter-étage	SNDR [0-500Hz] à N_{13} (dB)
19	69.7
20	72.5
21	75.5
22	81.9
23	83.9
24	84.1
25	84.1
26	84.2

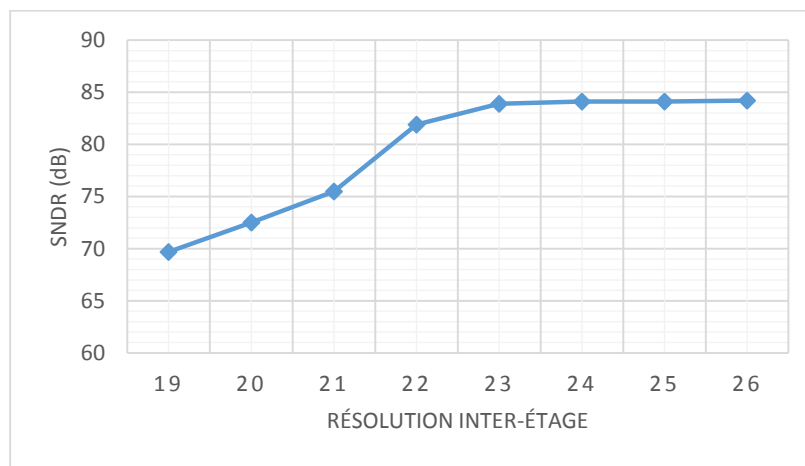


Figure 4-11 : La courbe d'évolution du SNDR à N_{13} selon le nombre de bits inter-étage

Nous avons choisi d'implémenter l'architecture en utilisant la résolution de 23 bits inter-étage. La figure montre l'architecture avec les nombres de bits.

4.8 Conclusion

Dans ce chapitre, nous avons modélisé, avec l'outil Simulink de Matlab, la solution proposée dans le troisième chapitre afin de simuler l'architecture et de valider les résultats théoriques. Cette étape permet de passer à implémenter l'architecture.

Nous présenterons dans le chapitre 5, la méthodologie de réalisation du chemin d'acquisition des données et les résultats de test.

CHAPITRE 5 : RÉALISATION ET VALIDATION DU SYSTÈME

5.1 Introduction

Le temps de réalisation et de validation est un critère intéressant à optimiser, le fait de réaliser la conception et la validation des différentes étapes de l'architecture dans le même outil permet de diminuer considérablement ce temps.

Afin de valider la conception du SSI, il est nécessaire de concevoir, mettre en œuvre et valider individuellement ses principaux modules. Nous allons nous concentrer sur la réalisation du CAD dans ce chapitre. Pour cela nous présenterons une méthodologie de réalisation et validation de ce module. En effet, nous utilisons l'environnement « System Generator » (SG) qui est intégré dans « Matlab », dans la même interface que Simulink ce qui permet de faciliter la tâche et de gagner un temps considérable de validation.

5.2 Méthodologie de réalisation et validation : « System Generator »

Cette partie se compose de deux étapes de validation, la première est la validation par simulation comportementale par interprétation directe du code VHDL avant la synthèse (sans délais de propagation de signaux), tandis que la deuxième étape est la validation par Co-Simulation, qui se réalise au sein du matériel. À ce stade, des contraintes temporelles doivent être respectées.

Nous décrivons notre méthodologie de réalisation et de validation par le diagramme de la figure 5.1. La phase initiale consiste à concevoir le filtre décimateur et à procéder à la validation des paramètres délai et SNDR en utilisant un modèle du modulateur $\Sigma\Delta$. Cette phase a été présentée dans la section précédente. Nous avons utilisé dans cette phase l'environnement Simulink de Matlab.

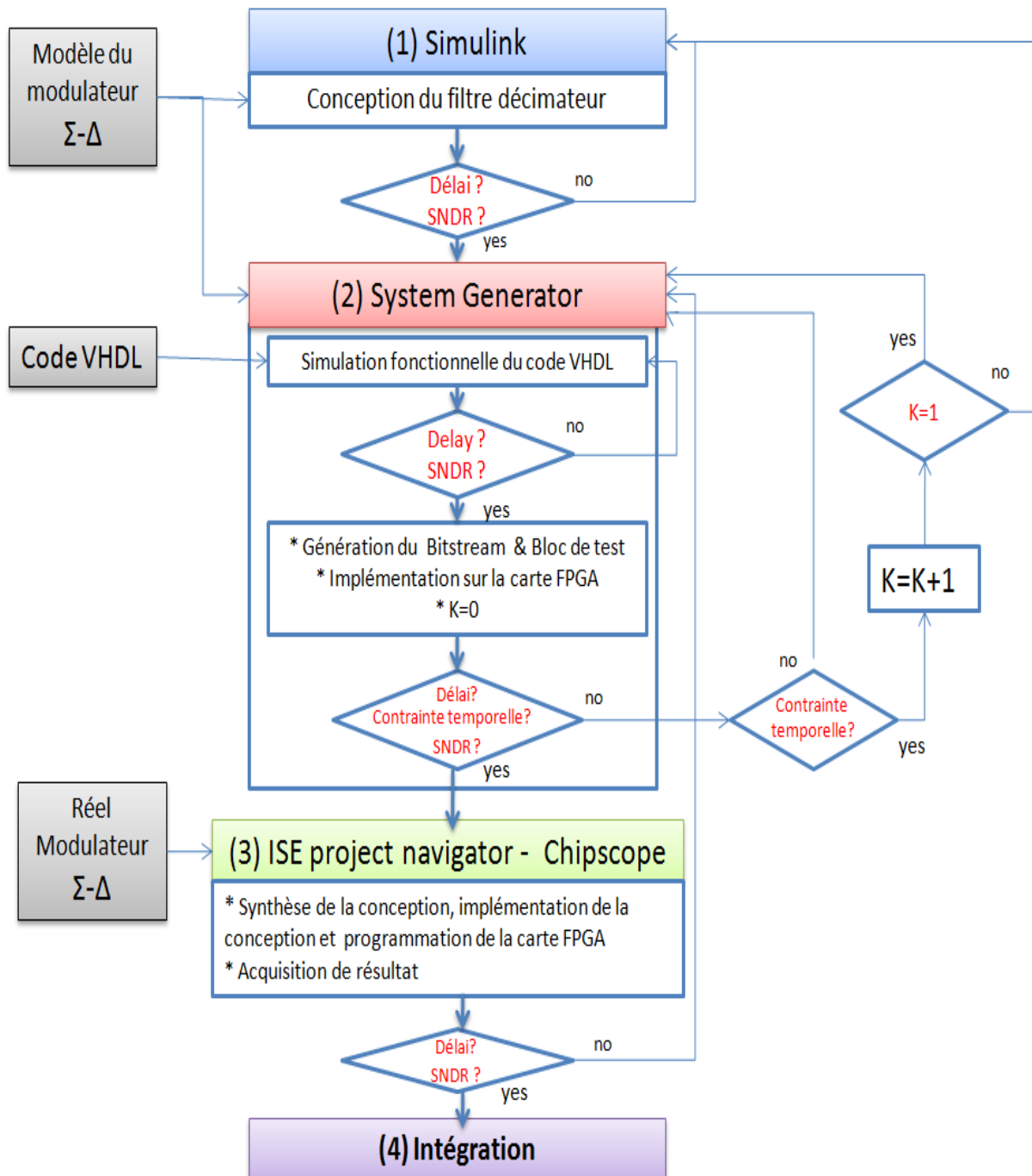


Figure 5-1 : Méthodologie de réalisation et validation du chemin d'acquisition des données

Dans la deuxième phase, nous avons codé la partie numérique du chemin (filtre décimateur + démodulateur d'amplitude et unité ratio-métrique) en VHDL (VHSIC Hardware Description Language) afin de réaliser une simulation comportementale par interprétation directe du code VHDL (sans délais de propagation de signaux). Ensuite, nous avons procédé à la validation

initiale des paramètres délai et SNDR en utilisant également un modèle du modulateur $\Sigma\Delta$. Puis, nous avons généré le bit stream et le bloc de test pour la validation des paramètres délai et SNDR directement dans la carte FPGA. À ce stade, des contraintes temporelles ont dû être respectées, toujours en utilisant un modèle du modulateur $\Sigma\Delta$. Dans ce stade (2), nous avons utilisé l'environnement « System Generator » (SG) qui est intégré en Matlab dans la même interface que Simulink ce qui a permis de faciliter la tâche et de gagner un temps considérable de validation par rapport à ModelSim par exemple.

Dans la troisième phase, nous avons utilisé le circuit de modulation $\Sigma\Delta$ déjà implémenté, au lieu du modèle Simulink. À cette étape se retrouvait la synthèse, l'implémentation de la conception ainsi que la programmation dans la carte FPGA, ceci en utilisant l'environnement ISE Project navigator. Nous avons enfin fait l'acquisition des résultats en utilisant l'environnement ChipScope, avant de terminer par l'intégration avec les autres parties du système.

5.2.1 Simulation comportementale (Behavioral Simulation) avec l'outil SG

5.2.1.1 Importation des modules HDL

Il peut être important d'ajouter à notre conception un ou plusieurs modules HDL existants dans le SG. Le bloc « Black Box » (boîte noire) de SG permet au code VHDL d'être mené à l'intérieur d'une conception. Ce bloc se comporte comme les autres; il est câblé dans la conception, puis est synthétisé (compiled into hardware) afin de participer à des simulations. Quand SG compile un bloc de « black box », il câble automatiquement le module importé et les fichiers associés dans la netlist [67].

5.2.1.2 Description des blocs du chemin d'acquisition en SG

Dans le cadre de cette description, nous nous plaçons dans les mêmes conditions de simulation de la partie Simulink afin de pouvoir comparer les résultats issus de Simulink avec ceux du codage VHDL avec SG. La figure 5.2 montre les blocs de simulation du code VHDL du chemin d'acquisition des données en utilisant deux black box et un bloc DDS intégré à l'un des deux black box.

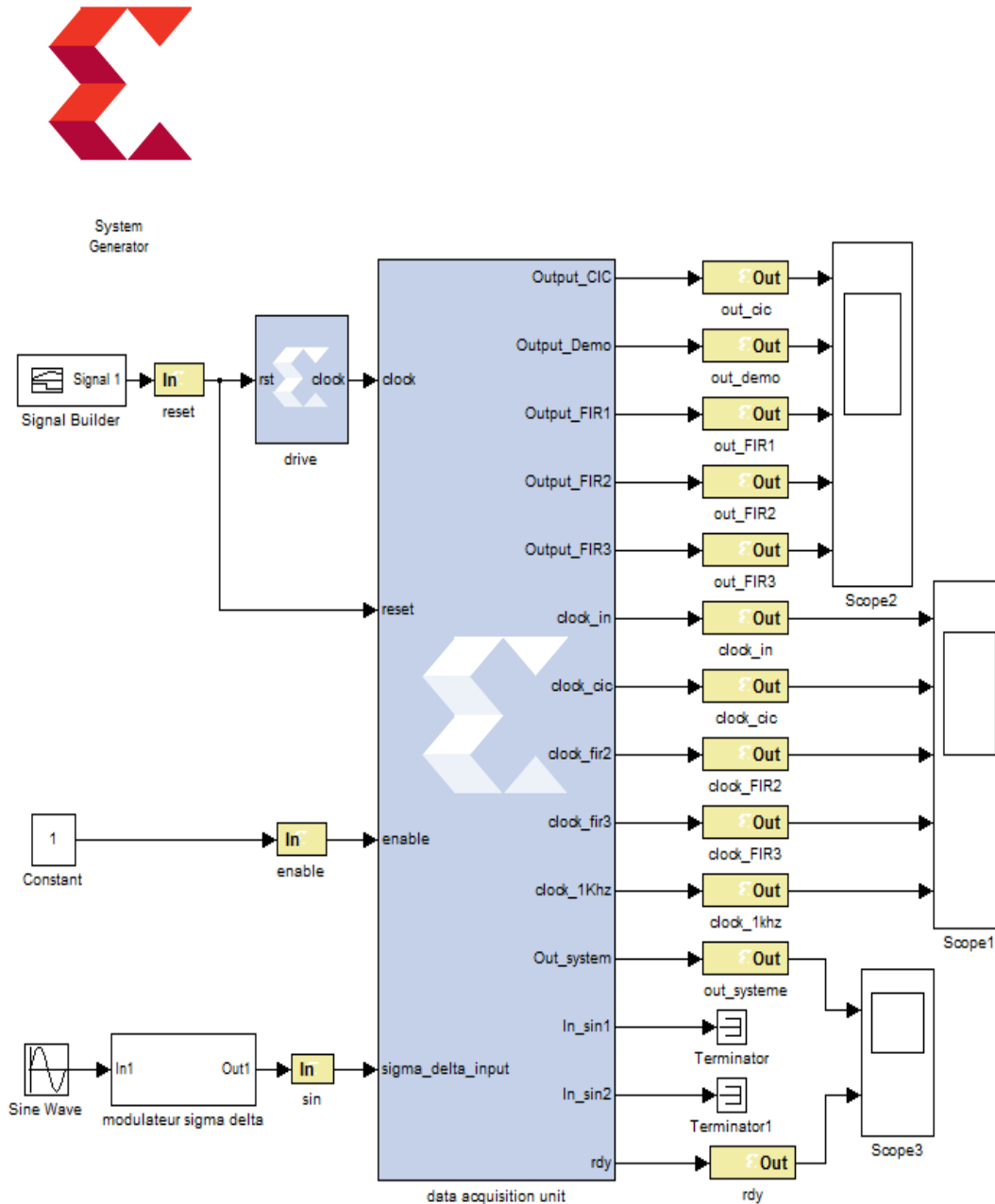


Figure 5-2 : Schéma des blocs de simulation comportementale du code VHDL du chemin

Le premier « black box », nommé drive sert à gérer l'horloge du système entier afin de lui permettre de fonctionner sur une cadence plus faible. En réalité, ce bloc n'est utile que lorsqu'on passe en Co-simulation à cause des contraintes temporelles que nous expliquerons plus loin.

Le deuxième « black box » est le chemin d'acquisition des données qui va réaliser la fonction montrée dans la partie Simulink à la figure 5.2.

Le DDS (Direct Digital Synthesizers) est géré par le second « black box » (chemin d'acquisition des données). Il s'agit d'un IP (Intellectual Property) core fourni par Xilinx. Son rôle est de générer les différentes sinusoïdes qui seront utilisées pour la démodulation. Le DDS accélère le temps de test en facilitant le changement des caractéristiques du signal généré (fréquence, nombre de bits de sortie) pour les différents protocoles de test effectués [68].

Le black box du chemin d'acquisition des données se compose des mêmes éléments présentés dans la figure 4.7 : filtre CIC, démodulateur, filtres FIR 1, 2, 3, et décimation par 4, 4, 8 et 40. L'annexe décrit, à l'aide d'un tableau, des ports E/S du chemin d'acquisition des données de même que des ports E/S de ses différents éléments.

5.2.1.3 Résultats de la simulation comportementale

Le tableau 5-1 résume les valeurs du SNDR à la sortie du filtre FIR 3 et à la sortie du chemin d'acquisition des données pour la partie précédente (Simulink) ainsi que pour la partie SG.

Nous constatons à nouveau la diminution du SNDR en passant de la sortie du filtre FIR 3 par la décimation par 40 jusqu'à la sortie du chemin d'acquisition des données. Nous remarquons aussi une brève amélioration du SNDR en passant du Simulink à SG qui est induite à priori par le bloc DDS qui génère le signal de démodulation.

Tableau 5-1 : SNDR en simulation comportementale

Sortie	SNDR [0-500Hz] (dB)	SNDR [0-500Hz] (dB)
	Simulink	Simulation comportementale SG
Filtre FIR (N ₁₁)	86.7	87.2
Chemin d'acquisition (N ₁₃)	83.9	85.1

Le délai n'est pas le même en passant du modèle Simulink au codage VHDL du chemin d'acquisition des données. En effet, dans le codage VHDL un délai a été ajouté pour répondre à des contraintes matérielles (temps d'exécution des opérations : multiplication, addition, ...) qui seront expliquées en détail dans la section suivante.

5.2.2 Co-simulation en matériel (Hardware Co-simulation)

SG fournit la possibilité d'une Co-simulation dans le matériel, ce qui rend possible l'incorporation d'un motif (design) en cours d'exécution dans un FPGA directement dans une simulation Simulink. " Hardware Co-simulation " vise à créer automatiquement un flux binaire (bit stream) et à l'associer à un bloc. Lorsque la conception est simulée dans Simulink, les résultats de la partie compilée sont calculés au niveau matériel. Cela permet de tester la partie compilée dans le matériel réel et d'accélérer de façon spectaculaire les simulations [67].

5.2.2.1 Génération du bloc de Co-Simulation

À l'aide de l'outil SG, nous générons un nouveau bloc à partir du schéma de la figure 5.2 illustrant des blocs de simulation comportementale du chemin d'acquisition des données afin de réaliser une Co-Simulation par le biais de la carte ML605. La figure 5.3 montre cette carte ML605 utilisée pour la Co-Simulation.

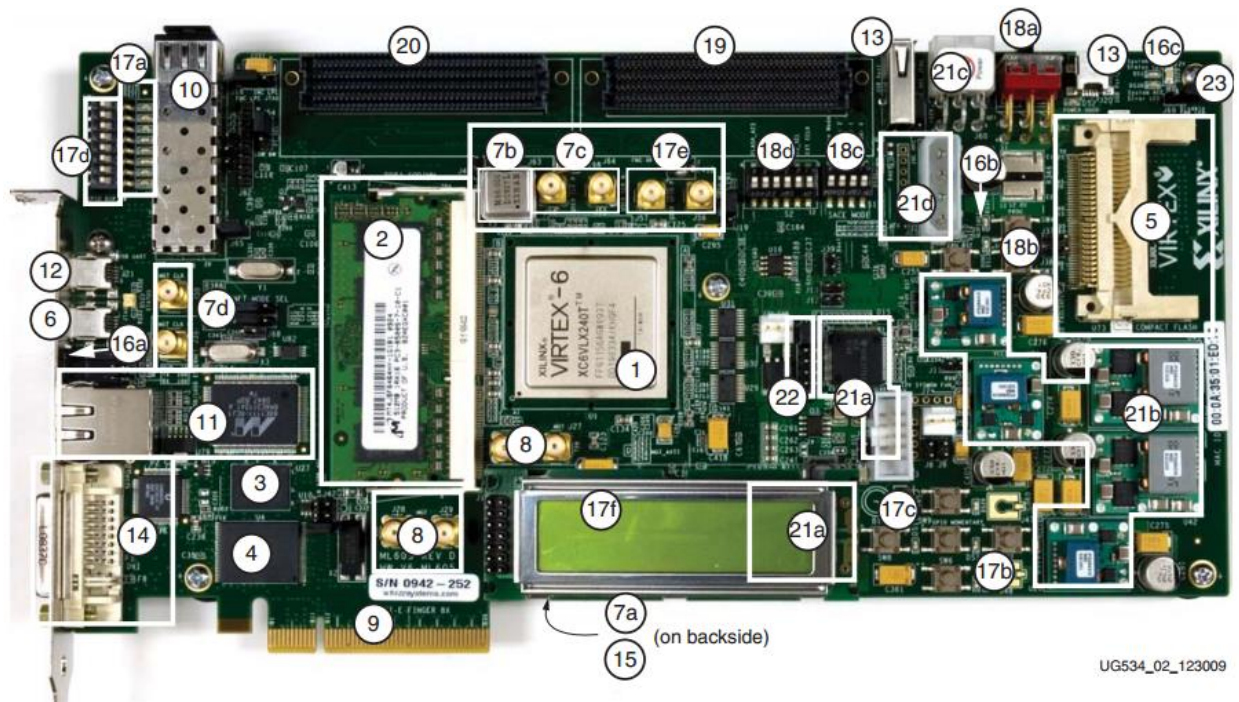


Figure 5-3 : Carte ML605 utilisée en Co-Simulation

5.2.2.2 Analyse et contrainte temporelle

La figure 5.4 montre deux bascules qui sont contrôlées par la même horloge et qui sont interconnectées par une logique combinatoire. Quand un front montant de l'horloge se produit, il lance les données depuis la première bascule vers la logique pour ensuite arriver à la deuxième bascule avec un certain retard. Supposons que l'horloge du système est de 1 ns, Pour que cette logique fonctionne avec succès, le plus long délai par le réseau doit être inférieur à 1 ns.

Le délai (figures 5.4) est causé par :

- Temps de propagation à travers les deux bascules
- Temps de préparation des bascules
- Retards introduit par les circuits combinatoires qui si situent entre les deux bascules

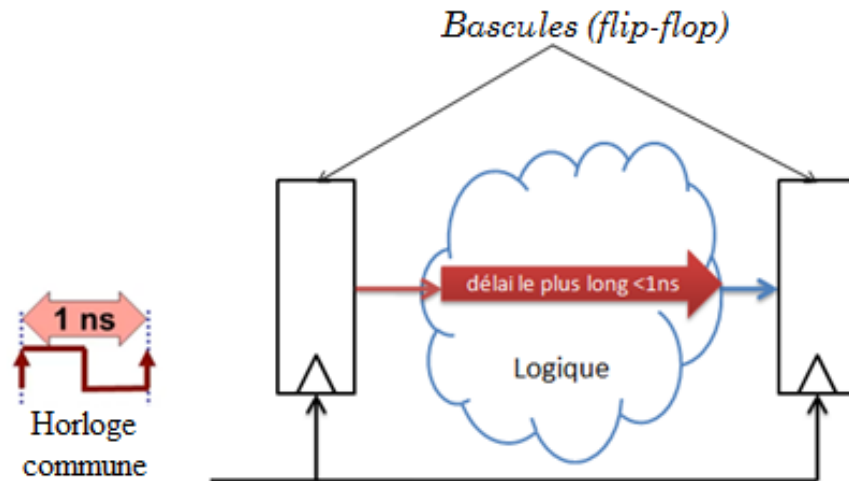


Figure 5-4 : Délai dans le matériel

Dans notre cas, lorsqu'on passe à la Co-simulation, l'outil SG fournit quatre possibilités de choix de l'horloge qui sont 100 MHz, 50 MHz, 66,66 MHz ou 33,33 MHz. Avec ces quatre choix d'horloge, le système ne peut être fonctionnel en matériel à cause des contraintes temporelles décrites dans la partie précédente. Nous avons donc ajouté la boîte noire « Driver », ainsi que des délais supplémentaires, dans le but d'avoir un système qui, tout en répondant à ces contraintes temporelles, possède la capacité d'être fonctionnel en matériel.

5.2.2.3 Analyse temporelle des composants du chemin d'acquisition des données

Analyse temporelle du filtre CIC :

Le diagramme de temps pour le filtre CIC est présenté à la figure 5.5. Dans cet exemple, un nouvel échantillon d'entrée est appliqué sur chaque front d'horloge « clock » et le signal « enable » doit être tenu en permanence à un niveau logique haut (enable = 1). Le signal « clock_cic » est de période 8 fois celle de l'entrée « clock » et a la même fréquence de sortie du filtre CIC. Nous remarquons aussi un retard, délai 1 de la décimation par 8, d'une période de « clock » qui sera ajouté au retard théorique du filtre CIC. Un autre retard, délai 2 des différentiateurs, est présent dans la figure 5.5 et est causé par les interconnexions matérielles.

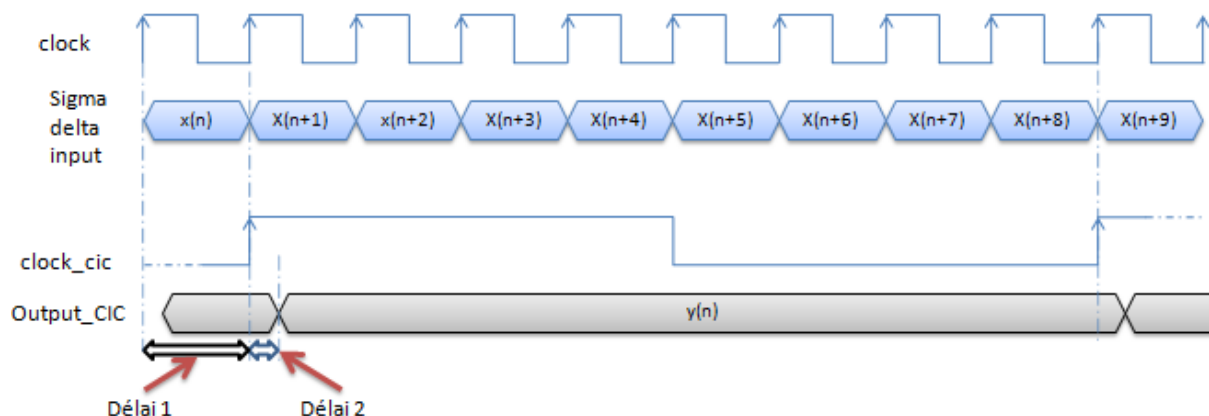


Figure 5-5 : Analyse temporelle du filtre CIC

Analyse temporelle des filtres FIR 1, 2,3 :

Le diagramme de temps pour les filtres FIR [69] est présenté à la figure 5.6. Dans cet exemple, un nouvel échantillon d'entrée est appliqué sur chaque front d'horloge « clock » et « enable » doit être tenu en permanence à haut (enable=1). La sortie est de même cadence que l'entrée et nous remarquons également le retard ajouté par le filtre en raison du délai causé par les interconnexions matérielles.

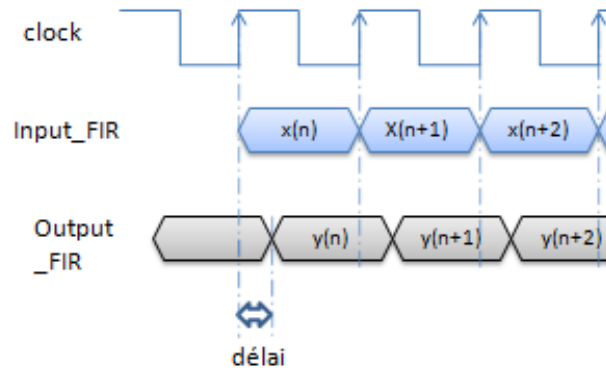


Figure 5-6 : Analyse temporelle des filtres FIR

Analyse temporelle de la démodulation :

Le diagramme de temps pour la démodulation est présenté à la figure 5.7. Dans cet exemple, l'entrée « Input_Demo » ainsi que l'entrée « Input_DDS » sont de même cadence mais ne sont pas synchrones à l'entrée, d'où l'utilité du signal « Synchro » qui s'occupera dès lors de la synchronisation. La sortie est de même cadence que l'entrée. Nous remarquons aussi le retard ajouté par le démodulateur.

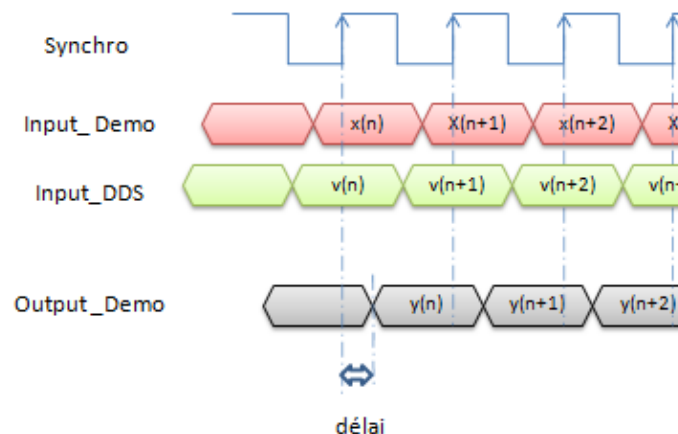


Figure 5-7 : Analyse temporelle du démodulateur

Analyse temporelle de la décimation :

Le diagramme de temps du décimateur un facteur de 4 est présenté à la figure 5.8. Pour les autres décimateurs la configuration est la même. Lorsque le signal reset est actif haut (reset = 1) la sortie « Output_clk » est égal à 0. Dans le cas contraire (lorsque reset = 0), la sortie « Output_clk » est de période 4 fois plus long que celle de l'entrée « Input_clk ». Nous remarquons aussi un délai de période « Input_clk » pour la sortie. C'est ce délai qui sert à contrôler celui ajouté par la logique ainsi que la contrainte temporelle expliquée auparavant.

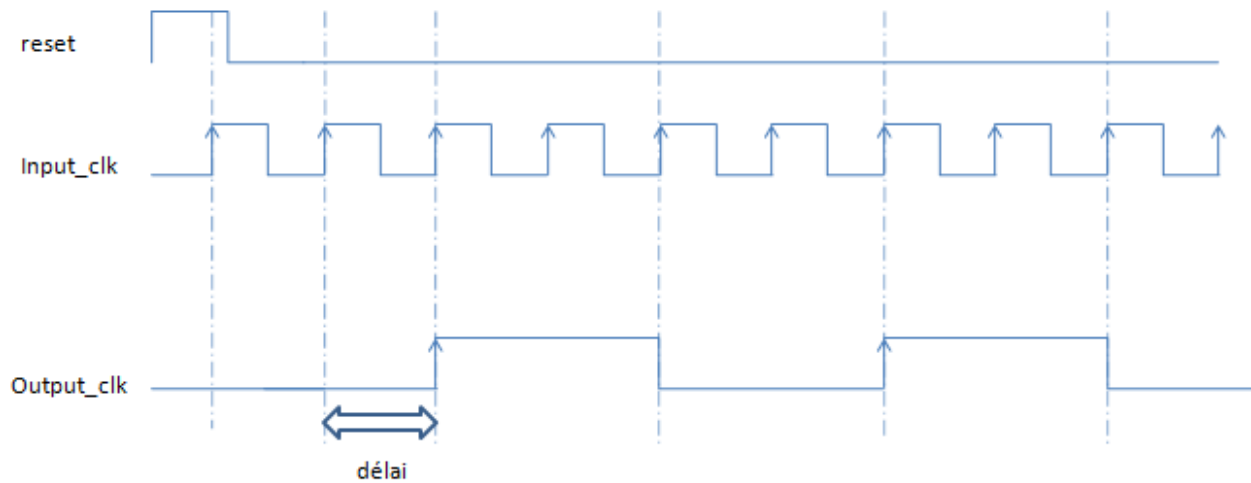


Figure 5-8 : Illustration du délai causé par la décimation

5.2.2.4 Résultats de la Co-Simulation en matériel

À cause des contraintes temporelles d'implémentation matérielles décrites dans la section précédente, un délai supplémentaire est ajouté au délai décrit dans (3.11) dans la partie Simulink. Ce délai ($\tau_{matériel}$) est composé du délai des 4 décimateurs (décimateurs 8, 4, 4 et 40 : $\tau_{dec8}, \tau_{dec4_1}, \tau_{dec4_2}, \tau_{dec40}$) et celui de la synchronisation de la démodulation ($\tau_{Synchro}$) :

$$\begin{aligned} \tau_{matériel} &= \tau_{dec8} + \tau_{Synchro} + \tau_{dec4_1} + \tau_{dec4_2} + \tau_{dec40} \\ &= \frac{1}{5120} + \frac{1}{640} + \frac{1}{640} + \frac{1}{160} + \frac{1}{40} = 0.0346 \text{ ms} \end{aligned} \quad (5.1)$$

Nous présentons dans la figure 5.9 le diagramme de phase du signal à la sortie des trois premiers décimateurs (8, 4 et 4).

Alors le délai total devient :

$$\begin{aligned} \tau_{total} &= \tau_{Aquisition} + \tau_{matériel} \\ &= 0.9058 \text{ ms} + 0.0346 \text{ ms} = 0.9404 \text{ ms} \end{aligned} \quad (5.2)$$

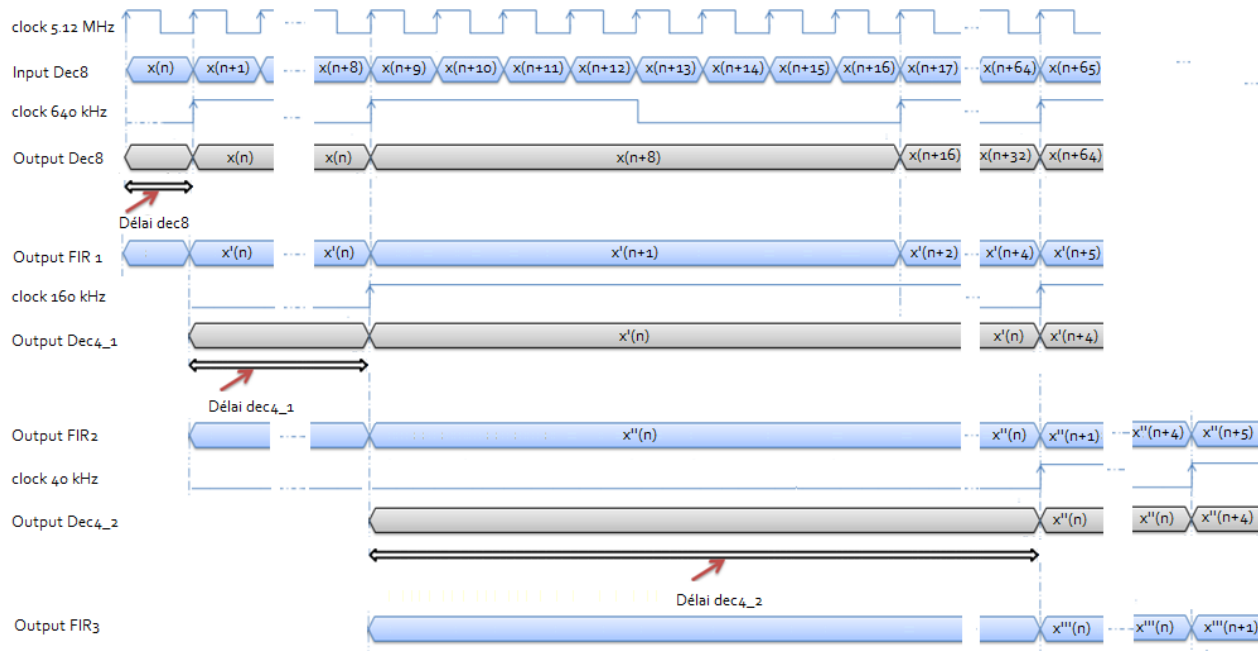


Figure 5-9 : Diagramme de phase pour le délai engendré par les décimations

Le tableau 5-2 résume les valeurs du SNDR à la sortie du filtre FIR 3 et à la sortie du chemin d'acquisition des données pour les parties précédentes (Simulink+SG (simulation comportementale)) ainsi que la partie Système Generator Co-Simulation en matériel. Nous constatons de nouveau la diminution du SNDR en passant de la sortie du filtre FIR 3 par la décimation par 40 jusqu'à la sortie du chemin d'acquisition des données et de plus, les résultats de la simulation comportementale sont presque identiques aux résultats de Co-Simulation.

Tableau 5-2 : SNDR de la sortie par simulation comportemental & Co-simulation en matériel SG

Sortie	SNDR [0-500Hz] (dB)	SNDR [0-500Hz] (dB)
	System Generator B.S.	System Generator H. Co-S.
Filtre FIR (N_{11})	87.2	87.5
Chemin d'acquisition (N_{13})	85.1	85.2

5.3 Réalisation : ISE project navigator & ChipScope

5.3.1 Description du banc de tests d'un seul chemin d'acquisition des données

La figure 5.9 montre un banc de tests réalisé afin de valider le fonctionnement du chemin d'acquisition des données. Un générateur de signaux fournit un signal analogique sinusoïdal de fréquence variable, qui est envoyé à un modulateur $\Sigma\Delta$. Ce dernier produit un signal en mode différentiel sur 1 bit. Ce signal est ensuite envoyé à travers deux connecteurs SMA en émission et deux autres en réception vers la carte ML605. Cette carte génère l'horloge qui contrôle le modulateur sigma delta à travers un connecteur SMA en utilisant un module de la compagnie Xilinx (IP core, Clocking Wizard) et est accessible à travers une connexion JTAG-USB à un ordinateur (voir figure 5.10). L'ordinateur est utilisé d'une part pour implémenter le « bit stream » de la fonction du chemin d'acquisition des données par le logiciel ISE Project Navigator et, d'autre part pour l'acquisition de la sortie finale du chemin d'acquisition des données en utilisant un logiciel ChipScope.

Dans les prochaines sections, nous allons détailler les différents constituants du montage réalisé ainsi que les outils utilisés.

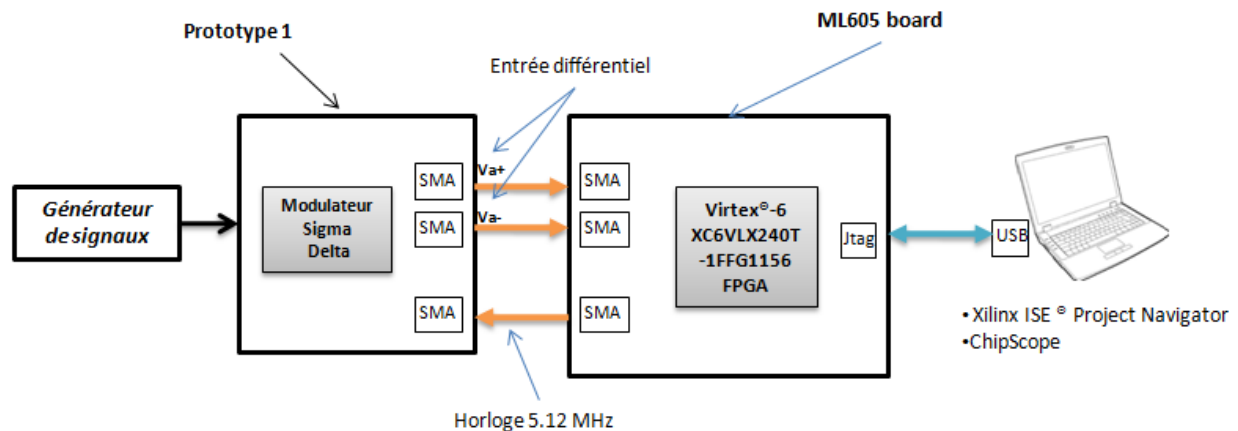


Figure 5-10 : Le banc de tests d'un seul chemin d'acquisition des données

5.3.1.1 Méthode d'acquisition de la sortie du chemin d'acquisition des données

Dans cette phase, nous avons besoin d'une méthode efficace pour déterminer le SNDR à la sortie du chemin d'acquisition des données. Une solution classique consiste à utiliser un analyseur logique pour l'acquisition des données numériques et ensuite faire leurs traitements avec Matlab. Cette méthode de test est fastidieuse. Elle nécessite plusieurs interconnexions. Pour chaque test,

des configurations différentes des ports de l’FPGA et un retraitement entier des signaux est requis. Les validations deviennent donc pénalisantes en temps et en ressources. Une autre solution se base sur l’utilisation du logiciel « ChipScope ». C’est un outil fourni par Xilinx qui permet de visualiser n’importe quel signal interne. Les signaux sont capturés dans le système en temps réel et sont mis en évidence à travers l’interface de programmation sans utilisation de broches supplémentaires. Les signaux captés sont ensuite affichés et analysés en utilisant l’interface « ChipScope Pro Analyzer » du logiciel ChipScope. [70]. Nous avons choisi cette solution pour l’avantage décrit ci-dessus qu’elle présente par rapport à la première.

5.3.1.2 Environnement de travail et flux de conception

Cette partie décrit brièvement les étapes de synthèse et de mise en œuvre en FPGA pour le flux de conception de Xilinx.

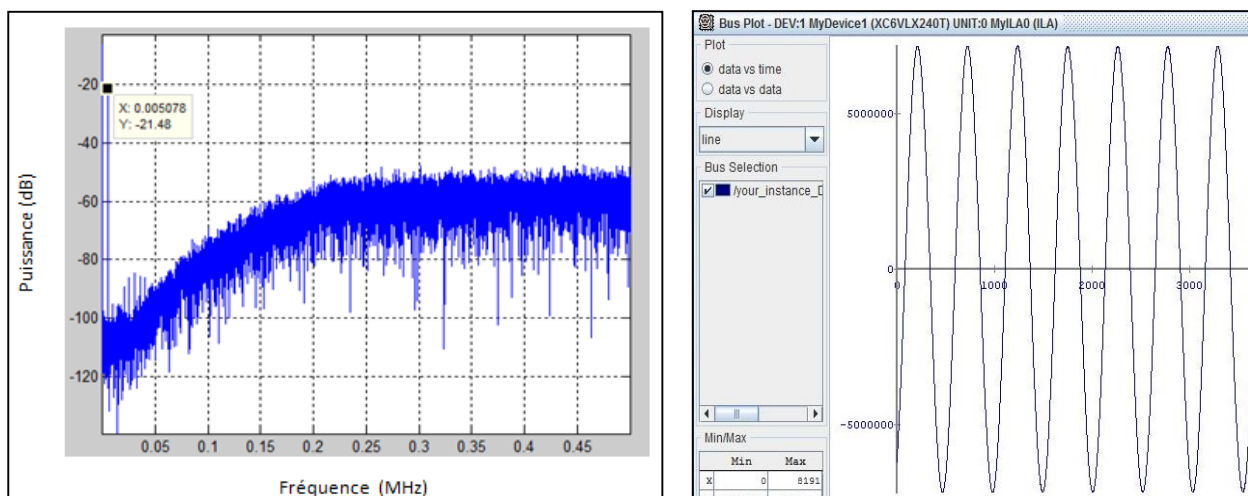
Le synthétiseur convertit le code HDL (VHDL / Verilog) dans une liste d’interconnexions (netlist) au niveau porte. La mise en œuvre du design (design implementation) est le processus de traduction (translating), la cartographie (mapping), le placement (placing), le routage (routing) et la génération d’un fichier binaire (bit stream). Les outils de mise en œuvre de conception sont intégrés dans « Xilinx ISE Suite Design » pour faciliter l’accès et la gestion du projet [71].

5.3.1.3 Génération de l’horloge de fonctionnement du système

Dans la section 4.3, nous avons présenté les blocs de simulation du code VHDL du système proposé. Le premier bloc, nommé « Drive », qui sert à gérer l’horloge du chemin d’acquisition des données, est remplacé par un autre bloc qui est un IP core, Clock wizard, de Xilinx. Le LogiCORE™ IP Clocking Wizard génère un code source VHDL pour configurer un circuit d’horloge aux besoins des utilisateurs. Dans notre cas, ce nouveau bloc convertit la fréquence 66.00 MHz issue par l’une des horloges de la carte ML605 (figure 5.3), en une fréquence de 5.12MHz, qui est la fréquence réelle du fonctionnement de notre système. L’assistant (Clock wizard) peut sélectionner automatiquement les paramètres de configuration de l’horloge (configuration tampon, synchronisation d’un réseau d’horloge etc.) ce qui facilite la tâche et qui permet d’avoir une meilleure performance [72, 73].

5.3.1.4 Résultats du chemin d'acquisition des données

Lorsqu'un signal sinusoïdal, est injecté dans le modulateur $\Sigma\Delta$, depuis un générateur de signaux de fréquence 5078,125 Hz et d'amplitude 50mv, nous trouvons à la sortie du modulateur le signal modulé à la fréquence 5.12 MHz. La figure 5.11.a montre la réponse spectrale du signal, nous pouvons vérifier la mise en forme du bruit (noise shaping). En effet, la mise en forme du bruit est contrôlée par le modulateur $\Sigma\Delta$ à travers les paramètres : (tension) « $VH_{1,2,3}$ (mV) et $VL_{1,2,3}$ (mV) » et aussi 3 bits de contrôle. La figure 5.11.b présente la sortie du chemin d'acquisition des données, qui est démodulée, à une fréquence d'échantillonnage de 1 KHz. Cette sortie est enregistrée par le logiciel ChipScope.



(a)

(b)

Figure 5-11 : (a) Spectre du signal à la sortie du modulateur (b) Signal de sortie du chemin d'acquisition des données capturé à l'aide de ChipScope

À partir de cette configuration, nous obtenons un SNDR égale à 64 dB. Pour calculer le nombre effectif de bits (ENOB : Effective number of bits), il est nécessaire de trouver l'entrée pleine échelle du modulateur $\Sigma\Delta$, car si le niveau de signal est réduit, la valeur de SNDR diminue [55]. Nous ajoutons un facteur pour le calcul d'ENOB avec le SNDR d'un signal à l'entrée pleine échelle :

$$\text{ENOB} = \frac{\text{SNDR}_{\text{MESURED}} - 1.76 \text{ dB} + 20 \log\left(\frac{\text{Fullscale Amplitude}}{\text{Input Amplitude}}\right)}{6.02} \quad (5.3)$$

L'entrée pleine échelle est l'amplitude maximale qui permet un fonctionnement du modulateur $\Sigma\Delta$ sans avoir d'instabilité. Nous avons augmenté l'amplitude à l'entrée du modulateur $\Sigma\Delta$ jusqu'à 270mV, sans entrer dans la sphère de l'instabilité. Nous avons de plus constaté que le SNDR diminue et que la forme du signal à la sortie du chemin d'acquisition des données se détériore au niveau des extremums.

Ces résultats sont pris pour une configuration optimale des tensions V_H et V_L ainsi que pour une entrée pleine échelle égale à 270mV (ces paramètres sont fixés suite à des mesures expérimentales en premier lieu).

Pour augmenter le SNDR, il faut ajouter un filtre anti-repliement à la sortie du générateur de signaux.

5.3.2 Banc d'essai et résultats du Chemin d'acquisition des données

5.3.2.1 Banc d'essai

Dans cette partie, nous allons valider le fonctionnement du chemin d'acquisition des données indiqué par la figure 1.5, qui implique deux chemins d'acquisition des données, l'unité Ratio métrique, le capteur RVDT, le CNA et le modulateur $\Sigma\Delta$. Pour réaliser la fonction de l'unité ratio métrique, nous avons utilisé un IP core de Xilinx qui est Divider Generator v3.0 [74].

La figure 5.12 montre le banc d'essai réalisé afin de valider le fonctionnement du prototype finale du SSI connecté à un capteur de position RVDT fournit par Thales. Ce capteur reçoit un signal d'excitation depuis le CNA qui lui aussi reçoit des signaux numériques à partir de la carte ML605. Selon le signal d'excitation et la position du capteur, ce dernier fournit deux signaux analogiques qui contiennent l'information sur la position, chacun de ces deux signaux sont ensuite envoyés à deux modulateurs $\Sigma\Delta$ distincts. Chaque modulateur $\Sigma\Delta$ fournit un signal numérique sur 1 bit qui sera envoyé vers la carte ML605 à travers une connexion SMA. La carte génère également l'horloge qui contrôle les deux modulateurs $\Sigma\Delta$ à travers deux connecteurs SMA. Elle est liée à un ordinateur via une connexion JTAG-USB. L'ordinateur est utilisé d'une part pour implémenter le bit stream de la fonction du système global (deux chemins d'acquisition des données, l'unité Ratio métrique, les données de contrôle du CNA) par l'entremise du logiciel ISE Project Navigator et, d'autre part pour l'acquisition de la sortie du système global qui est, dans ce cas, la position en utilisant le logiciel ChipScope. Une image réelle équivalente au banc de tests de la figure 5. 12 est présentée à la figure 5.13.

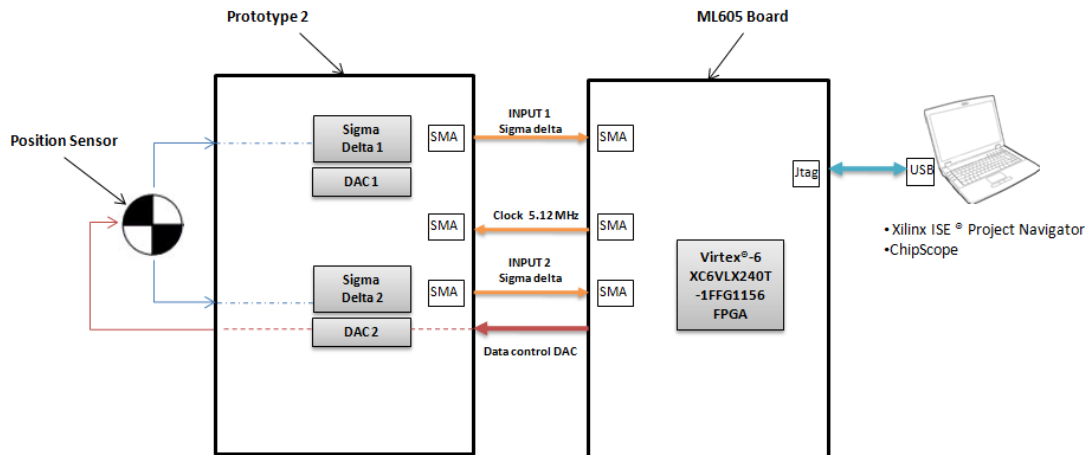


Figure 5-12 : Banc d'essai du chemin d'acquisition des données

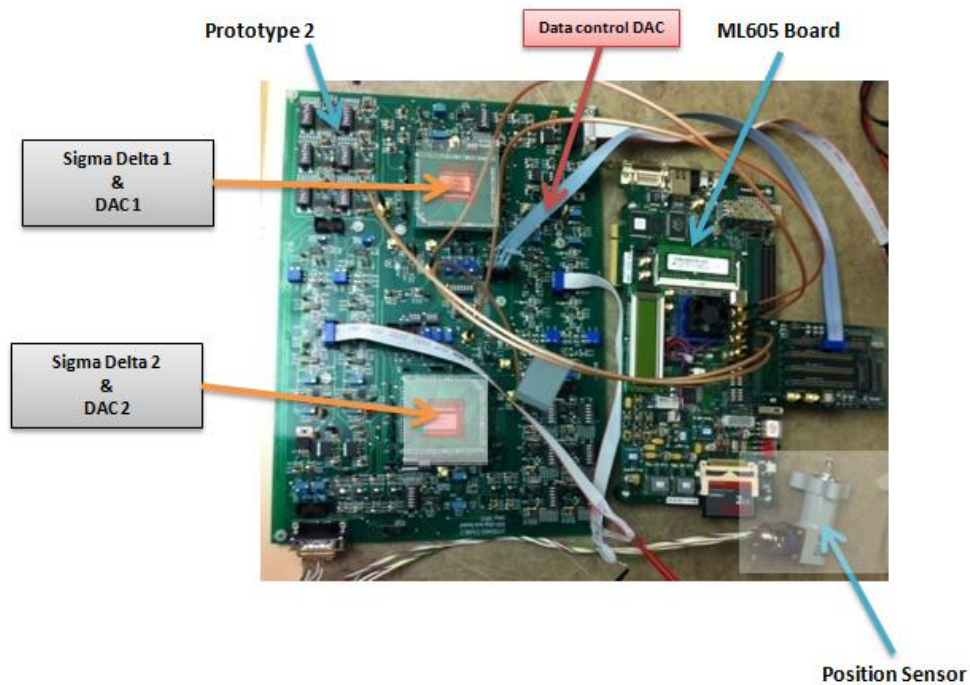


Figure 5-13 : Image réelle du banc d'essai

5.3.2.2 Résultat

Nous avons appliqué un mouvement alternatif, presque sinusoïdal, au capteur de position RVDT à travers un moteur et nous avons utilisé un signal d'excitation avec une amplitude qui ne cause pas de débordement à la sortie du filtre CIC. Nous avons ainsi obtenu la variation correspondante, presque sinusoïdale, à la sortie du système global comme le démontre la figure 5.14, ce qui nous a permis de valider le bon fonctionnement du chemin d'acquisition des données.

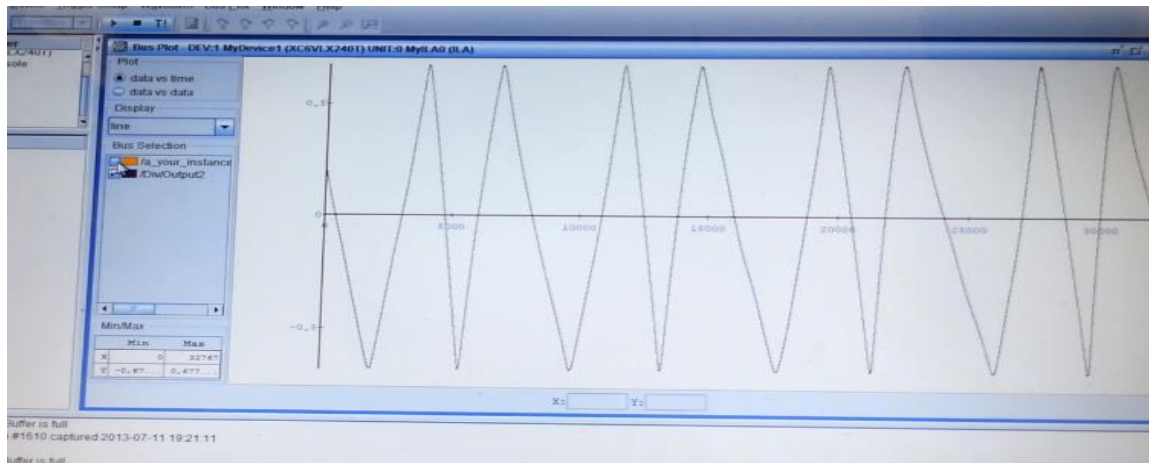


Figure 5-14 : Signal de sortie du chemin d'acquisition des données mesuré par ChipScope

5.4 Conclusion

Dans ce chapitre, nous avons exposé en détail notre stratégie d'implémentation du chemin d'acquisition des données. Cette stratégie est basée sur la modélisation de Simulink accomplie dans la première section de ce chapitre. Notons que le fait d'utiliser le logiciel SG qui est intégré à Simulink a permis d'accélérer de façon remarquable les simulations et la vérification en matériel.

Finalement nous avons présenté les résultats obtenus après réalisation en utilisant le logiciel ChipScope. Cet outil du Xilinx permet d'accélérer et de faciliter l'acquisition des données numériques. Nous avons ajouté dans notre implémentation un tampon (IBUFDS) pour convertir la sortie du modulateur $\Sigma\Delta$ en mode non différentiel et, un IP Clocking Wizard de Xilinx pour gérer l'horloge du système.

CHAPITRE 6 : CONCLUSION GÉNÉRALE

L'objectif de ce travail était la conception, la réalisation ainsi que la validation du chemin d'acquisition des données dans le cadre du projet AVIO402. Ce module est une partie intégrante de l'interface de détecteur intelligent (SSI). Le SSI dédié aux capteurs de position avioniques a été implémenté pour répondre à des objectifs comme l'intégrabilité, l'adaptabilité avec différents types de capteur de position tout en affichant une faible consommation d'énergie.

Les objectifs généraux et le cadre du projet global (AVIO402) ont été présentés en premier lieu dans ce mémoire, afin de définir les principaux composants du SSI proposé et souligner la contribution de notre travail de recherche.

Nous avons exposé par la suite une revue de la littérature sur les interfaces intelligentes des capteurs de position, le principe de fonctionnement du capteur de position R/LVDT et les différentes solutions existantes pour interfacier ces capteurs. Le CAN représente le cœur de ces interfaces, puisqu'il est responsable de la résolution et la rapidité de l'acquisition. Nous avons comparé alors les principaux types de CAN et leurs principes de fonctionnement afin de justifier notre choix de CAN- $\Sigma\Delta$ et déterminer les parties critiques de notre architecture.

Nous avons ensuite étudié la théorie des filtres décimateurs pour le CAN- $\Sigma\Delta$. Cette étude nous a permis de démontrer la possibilité d'obtenir une latence optimale (1.2 ms maximale) avec une résolution minimale de 14 bits. Nous avons de même confirmé que l'utilisation d'une décimation en cascade pour des fins d'intégration, augmente automatiquement le délai d'acquisition du signal du capteur. Le choix des facteurs de décimation intermédiaires affecte également la latence totale de l'acquisition. L'architecture que nous avons proposée suite à l'étude théorique, a été implémentée selon une méthodologie de réalisation et de validation. Tirant profit des outils de Mathworks (Simulink) et de Xilinx (ISE Project navigator, System Generator et ChipScope), cette méthodologie nous a permis de réduire le temps de validation et la complexité de réalisation du système proposé. A la fin des tests nous avons obtenu un SNDR de 83,9 dB sans utilisation de filtre anti-repliement à l'entrée du modulateur $\Sigma\Delta$, avec un délai de 0.9904 ms. La valeur du SNDR affichée par le prototype du SSI n'est pas suffisante pour obtenir une résolution de 14 bits. Ceci est dû à la qualité des signaux provenant du capteur ainsi qu'à l'absence du filtre anti-repliement. L'ajout d'un étage analogique de filtrage en amont du modulateur et d'une

architecture de décimation polyphasée permettrait de remédier à cette insuffisance d'SNDR tout en réduisant la consommation énergétique.

Comme travaux futurs, nous proposons d'augmenter à 16 bits la résolution du CAN ce qui permettra de tirer pleinement avantage des capteurs MEMS et de satisfaire les exigences des applications aérospatiales exosphériques.

Nous proposons de même d'ajouter un contrôleur de gigue dans la conception du modulateur afin d'améliorer le signal d'horloge. Il serait de même avantageux de réduire l'ordre du modulateur $\Sigma\Delta$ à deux (au lieu de trois) pour garantir une meilleure stabilité du convertisseur. Au final, avec les améliorations proposées et l'intégration de l'interface complète sur un seul circuit mixte, nous aboutirons à une interface intelligente, compacte et à faible consommation énergétique, conforme aux standards de l'industrie aérospatiale et permettant des acquisitions de données à haute résolution.

RÉFÉRENCES

- [1] A. Varga, A. Hansson, and G. Puyou, *Optimization Based Clearance of Flight Control Laws: A Civil Aircraft Application* vol. 416: Springer, 2011.
- [2] R. J. Baker, *CMOS: circuit design, layout, and simulation* vol. 18: Wiley-IEEE Press, 2011.
- [3] D. Krol, "On superiority of successive approximation register over Sigma Delta AD converter in standard audio measurements using Maximum Length Sequences," in *Signals and Electronic Systems, 2008. ICSES '08. International Conference on*, 2008, pp. 51-54.
- [4] C. R. Spitzer and C. Spitzer, *Digital Avionics Handbook*: CRC Press, 2000.
- [5] E. E. Herceg, *Handbook of Measurement and Control: An authoritative treatise on the theory and application of the LVDT*: Schaevitz Engineering, 1972.
- [6] R. Wegener, F. Senicar, C. Junge, and S. Soter, "Low cost position sensor for permanent magnet linear drive," in *Power Electronics and Drive Systems, 2007. PEDS'07. 7th International Conference on*, 2007, pp. 1367-1371.
- [7] A. Yoo, S.-K. Sul, D.-C. Lee, and C.-S. Jun, "Novel speed and rotor position estimation strategy using a dual observer for low-resolution position sensors," *Power Electronics, IEEE Transactions on*, vol. 24, pp. 2897-2906, 2009.
- [8] G. F. Coulouris, *Distributed Systems: Concepts and Design, 4/e*: Pearson Education India, 2009.
- [9] G. Hardier, C. Seren, and P. Ezerzere, "On-line estimation of longitudinal flight parameters," in *SAE 2011 AeroTech Congress and Exhibition, AEROTECH 2011, October 18, 2011 - October 21, 2011*, Toulouse, France, 2011.
- [10] X. Duan, C. Wu, H. Chen, and J. Zhang, "A rapid test platform of redundant flight control computer software based on RFM," in *Computer Science & Education (ICCSE), 2012 7th International Conference on*, 2012, pp. 403-406.

- [11] R. P. G. Collinson, *Introduction to avionics systems*, 3e ed. Dordrecht, [Pays-Bas]: Springer, 2011.
- [12] G. Zhu, M. Sawan, and A. Naderi, "System Architecture: Data Networks and Smart Sensors for Safety-Critical Avionics Applications," É. P. Montréal, Ed., ed. Montreal, QC,: System Architecture, 2012.
- [13] D. Trentin, "Design and Architecture of a Hardware Platform to Support the Development of an Avionic Network Prototype," École Polytechnique de Montréal, 2012.
- [14] M. Karimian-Sichany, "High-Accuracy Digital to Analog Converter Dedicated to Sine-Waveform Generator for Avionic Applications," École Polytechnique de Montréal, 2013.
- [15] E. Y. Song and K. Lee, "Understanding IEEE 1451-Networked smart transducer interface standard-What is a smart transducer?," *Instrumentation & Measurement Magazine, IEEE*, vol. 11, pp. 11-17, 2008.
- [16] P. Paces, M. Reinštein, and K. Draxler, "Fusion of smart-sensor standards and sensors with self-validating abilities," *Journal of Aircraft*, vol. 47, pp. 1041-1046, 2010.
- [17] R. L. Oostdyk, C. T. Mata, and J. M. Perotti, "A Kennedy Space Center implementation of IEEE 1451 networked smart sensors and lessons learned," in *Aerospace Conference, 2006 IEEE*, 2006, p. 20 pp.
- [18] J. Fraden, *Handbook of modern sensors*: Springer, 2010.
- [19] R. DO, "160 "Environmental Conditions and Test Procedures for Airborne Equipment"," *July1997*, 2004.
- [20] S. Hashemi, "Generic Architecture for a Self-Powered Smart Sensor Interface in Avionic Application," *SAE International Journal of Aerospace*, vol. 5, pp. 196-200, 2012.
- [21] S. C. Saxena and S. B. L. Seksena, "A self-compensated smart LVDT transducer," *Instrumentation and Measurement, IEEE Transactions on*, vol. 38, pp. 748-753, 1989.

- [22] G. Spiezia, R. Losito, M. Martino, A. Masi, and A. Pierno, "Automatic Test Bench for Measurement of Magnetic Interference on LVDTs," *Instrumentation and Measurement, IEEE Transactions on*, vol. 60, pp. 1802-1810, 2011.
- [23] Y. Wang, "Latency Measurements of Audio Sigma Delta Analogue to Digital and Digital to Analogue Converts," in *Engineering Brief, 131st AES Convention, New York, USA*, 2011.
- [24] H. Zhang, C. Saudemont, B. Robyns, and M. Petit, "Comparison of technical features between a More Electric Aircraft and a Hybrid Electric Vehicle," in *Vehicle Power and Propulsion Conference, 2008. VPPC '08. IEEE*, 2008, pp. 1-6.
- [25] M. H. Rashid, *Power electronics handbook*: Academic Pr, 2001.
- [26] E. H. J. Pallett, *Aircraft electrical systems*: Longman Scientific & Technical, 1987.
- [27] A. Boglietti, A. Cavagnino, A. Tenconi, and S. Vaschetto, "The safety critical electric machines and drives in the more electric aircraft: A survey," in *Industrial Electronics, 2009. IECON '09. 35th Annual Conference of IEEE*, 2009, pp. 2587-2594.
- [28] B. W. Parkinson and J. J. Spilker, *Global Positioning System: part 1 GPS fundamentals, part 2 GPS performance and error effects; vol. 2, part 3 differential GPS and integrity monitoring, part 4 integrated navigation systems, part 5 GPS navigation applications, part 6 special applications* vol. 2: Aiaa, 1996.
- [29] L. Kinnan, J. Wlad, and P. Rogers, "Porting applications to an ARINC 653 compliant IMA platform using VxWorks as an example," in *Digital Avionics Systems Conference, 2004. DASC 04. The 23rd*, 2004, pp. 10. B. 1-10.1-8 Vol. 2.
- [30] C. B. Watkins and R. Walter, "Transitioning from federated avionics architectures to Integrated Modular Avionics," in *Digital Avionics Systems Conference, 2007. DASC'07. IEEE/AIAA 26th*, 2007, pp. 2. A. 1-1-2. A. 1-10.
- [31] J. Zhang, S. Hashemi, M. Karimian, Z. Koubaa, and M. Sawan, "Power recovery from data line in avionic applications," in *Microelectronics (ICM), 2012 24th International Conference on*, 2012, pp. 1-4.

- [32] G. C. M. Meijer, *Smart sensor systems*. Chichester, U.K.: John Wiley & Sons, 2008.
- [33] S. M. Sze, *Semiconductor sensors* vol. 55: Wiley New York, 1994.
- [34] M. Jagiella and S. Fericean, "Miniaturized inductive sensors for industrial applications," in *Sensors, 2002. Proceedings of IEEE, 2002*, pp. 771-778 vol.2.
- [35] G. Zhang, C. Youping, Z. Zude, and S. Li, "Design of an Inductive Long Displacement Measurement Instrument," in *Intelligent Control and Automation, 2006. WCICA 2006. The Sixth World Congress on, 2006*, pp. 5098-5101.
- [36] A. Drumea, A. Vasile, M. Comes, and M. Blejan, "System on chip signal conditioner for LVDT sensors," in *ESTC 2006 - 1st Electronics Systemintegration Technology Conference, September 5, 2006 - September 7, 2006*, Dresden, Saxony, Germany, 2007, pp. 629-634.
- [37] J. Fan, S. Jia, W. Lu, Z. Wang, X. Li, and J. Sheng, "Application of LVDT sensor data acquisition system based on PCI-1716," in *2011 IEEE International Conference on Computer Science and Automation Engineering, CSAE 2011, June 10, 2011 - June 12, 2011*, Shanghai, China, 2011, pp. 548-552.
- [38] W. Lei, W. Xi, and S. Yongxia, "Intelligent Acquisition Module for Differential Transformer Position Sensor," in *Intelligent System Design and Engineering Application (ISDEA), 2010 International Conference on, 2010*, pp. 878-883.
- [39] M. Rahal, A. Demosthenous, D. Jiang, and D. Pal, "A signal conditioner for high-frequency inductive position sensors," in *20th International Conference on Microelectronics, ICM'08, December 14, 2008 - December 17, 2008*, Sharjah, United arab emirates, 2008, pp. 118-122.
- [40] C. RECOQUILLON. (2005). *ALMA - DiGitizer : numérisation du signal*. Available: [En ligne]. http://www.obs.u-bordeaux1.fr/electronique/ALMA/ALMA_dg.htm
- [41] W. A. Kester, *Data conversion handbook*: Newnes, 2005.

- [42] N. Instruments. (2013). *Analog Sampling Basics*. Available: [En ligne].
<http://www.ni.com/white-paper/3016/en/>
- [43] J.-P. Troadec, *Principes de conversions : analogique-numérique et numérique-analogique : cours, exercices et problèmes résolus*. [S.l.]: Dunod, 2003.
- [44] B. Black, "Analog-to-digital converter architectures and choices for system design," *Analog Dialogue*, vol. 33, pp. 1-4, 1999.
- [45] P. Horowitz, "Traité de l'électronique analogique et numérique Vol. 2: techniques numériques et analogiques," 1999.
- [46] G. Regis, "Conception de circuits analogique-numérique pour le conditionnement de micro-capteurs embarqués," Université de Grenoble, 2011.
- [47] S. H. Lewis and P. R. Gray, "A pipelined 5-Msample/s 9-bit analog-to-digital converter," *Solid-State Circuits, IEEE Journal of*, vol. 22, pp. 954-961, 1987.
- [48] W. T. Colleran and A. A. Abidi, "A 10-b, 75-MHz two-stage pipelined bipolar A/D converter," *Solid-State Circuits, IEEE Journal of*, vol. 28, pp. 1187-1199, 1993.
- [49] R. Schreier and G. C. Temes, *Understanding delta-sigma data converters* vol. 74: IEEE press Piscataway, NJ, 2005.
- [50] S. R. Norsworthy, R. Schreier, and G. C. Temes, *Delta-sigma data converters: theory, design, and simulation* vol. 97: IEEE press New York, 1996.
- [51] W. Kester, "Which ADC architecture is right for your application II," *Electronic Engineering Times*, pp. E26-E29, 2006 Feb 27 2006.
- [52] P. Claude, "Conversions analogique-numérique et numérique-analogique. Partie 3," *Techniques de l'ingénieur Électronique analogique*, vol. base documentaire : TIB279DUO, 2010.
- [53] J. M. de la Rosa, "Sigma-Delta Modulators: Tutorial Overview, Design Guide, and State-of-the-Art Survey," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 58, pp. 1-21, 2011.

- [54] J. C. T. G. C. I. o. E. Candy, I. C. Electronics Engineers, and S. Systems, *Oversampling delta-sigma data converters : theory, design, and simulation*. Piscataway, NJ: IEEE Press, 1992.
- [55] W. Kester. (2009). *Understand SINAD, ENOB, SNR, THD, THD+ N, and SFDR so You Don't Get Lost in the Noise Floor*. Available: [En ligne].
<http://www.analog.com/static/imported-files/tutorials/MT-003.pdf>
- [56] E. CHARMOIS. (2011). *La Conversion A/N « Single Bit » (Delta-Sigma)*. Available: [En ligne]. <http://www.thdstudio.com/Conversion-Delta-Sigma.htm>
- [57] M. P. Donadio. (2000). *CIC filter introduction*. Available: [En ligne].
<http://www.dspguru.com/sites/dspguru/files/cic.pdf>
- [58] B.-S. Cheah, S. Ren, and R. Siferd, "Design algorithm and hardware implementation of high-performance FIR compensation filter for - ADC in 0.13 m CMOS technology," *WSEAS Transactions on Circuits and Systems*, vol. 4, pp. 1826-1833, 2005.
- [59] J. C. Candy, "Decimation for Sigma Delta Modulation," *Communications, IEEE Transactions on*, vol. 34, pp. 72-76, 1986.
- [60] S. Park and M. Semiconductors, *Principles of Sigma-Delta Modulation for Analog-To-Digital Converters*: Motorola, 1990.
- [61] W. Chen, Q. Fu, X. Liu, Y. Xiao, B. Zhang, and Y. Yang, "Design of a digital decimation filter for high-precision 4-order Sigma-Delta ADC," in *13th Annual Conference of Chinese Society of Micro-Nano Technology, CSMNT 2011, September 28, 2011 - September 30, 2011*, Changchow, China, 2012, pp. 415-419.
- [62] E. Hogenauer, "An economical class of digital filters for decimation and interpolation," *Acoustics, Speech and Signal Processing, IEEE Transactions on*, vol. 29, pp. 155-162, 1981.
- [63] S. M. F. Dia, "Conception et réalisation d'un filtre à décimation parallélisé sous forme de noyau programmable," *École de technologie supérieure*, 2006.

- [64] R. E. Crochiere and L. Rabiner, "Interpolation and decimation of digital signals—A tutorial review," *Proceedings of the IEEE*, vol. 69, pp. 300-331, 1981.
- [65] P. P. Vaidyanathan, *Multirate Systems and Filter Banks*: Dorling Kindersley, licensees of Pearson Education in South Asia, 1993.
- [66] C. Bertrand and P. Sehier, "Digital device and method for filtering, decimation and transposition into distributed baseband and corresponding digital modulator," ed: Google Patents, 2002.
- [67] XILINX. (2009). *System Generator for DSP, User Guide*. Available: [En ligne].
http://www.xilinx.com/support/documentation/sw_manuals/xilinx11/sysgen_user.pdf
- [68] XILINX. (2011). *LogiCORE IP DDS Compiler*. Available: [En ligne].
http://www.xilinx.com/support/documentation/ip_documentation/ds794_dds_compiler.pdf
- [69] R. H. Drake, *Aircraft electrical systems, hydraulic systems, and instruments*. New York: Macmillan Co., 1949.
- [70] XILINX. (2013). *ChipScope Pro and the Serial I/O Toolkit*. Available: [En ligne].
<http://www.xilinx.com/tools/cspro.htm>
- [71] XILINX. (2013). *FPGA Design Flow Overview*. Available: [En ligne].
http://www.xilinx.com/support/documentation/sw_manuals/xilinx11/ise_c_fpga_design_flow_overview.htm
- [72] XILINX. (2013). *Clocking Wizard*. Available: [En ligne].
http://www.xilinx.com/products/intellectual-property/clocking_wizard.htm
- [73] XILINX. (2011). *LogiCORE IP Clocking Wizard*. Available: [En ligne].
http://www.xilinx.com/support/documentation/ip_documentation/clk_wiz/v3_2/clk_wiz_ds709.pdf
- [74] XILINX. (2011). *LogiCORE IP Divider Generator v3.0*. Available: [En ligne].
http://www.xilinx.com/support/documentation/ip_documentation/div_gen_ds530.pdf