

A Thesis for the Degree of Ph.D. in Engineering

Multi-layer Key-value Cache Architecture with  
In-NIC and In-kernel Caches

February 2019

Graduate School of Science and Technology  
Keio University

Yuta Tokusashi

## 主 論 文 要 旨

報告番号	甲 乙 第	号	氏 名	徳差 雄太
主論文題名： Multi-layer Key-value Cache Architecture with In-NIC and In-kernel Caches (In-NIC 及び In-kernel キャッシュを用いたマルチレイヤ Key-value キャッシュアーキテクチャ)				
(内容の要旨) <p>データセンタでは、数十万に及ぶ計算機を収容しており、様々なサービスを顧客に提供している。データセンタの消費電力の約半分程度をCPUと冷却システムが占めており、高効率なデータセンタの構築は重要な課題である。近年、ネットワークの速度が増加している一方で、CPUの性能向上は鈍化しつつある。このCPUとネットワークの速度差は今後も拡大すると予測され、ネットワークベースアプリケーションの性能改善はCPUによって律速されると予測される。従来、コンピュータアーキテクチャの歴史ではCPUとメモリの速度差の問題に直面した際にキャッシュ階層が研究され、コンピュータアーキテクチャに導入されてきた。本論文では、ネットワークベースアプリケーションを高速化するために、In-NICキャッシュとカーネル内キャッシュ (In-kernelキャッシュ) を併用するネットワークアプリケーション向けキャッシュ階層を提案する。</p> <p>本論文では、ネットワークベースアプリケーションの一つであるKey-value storeにおけるキャッシュ階層を研究する。CPUのキャッシュ階層と同様にその設計手法は様々な存在し、その設計手法の探求は重要な課題である。設計手法には、書き込みポリシー、evictionポリシー、キャッシュの包含関係などがあり、それぞれの設計オプションをシミュレーションでそのキャッシュミス率などについて解析した。さらに実用的な設計として、Key-value storeを高速化するために、パイプライン化されていない小さなコアを並列化したIn-NICキャッシュを実装した。さらに、使用するFPGAカードには、オンチップRAMとオンボードDRAMモジュールの二つの異なるメモリがあり、In-NICキャッシュ上でオンチップRAMをL0キャッシュ、オンボードのDRAMモジュールをL1キャッシュとしたキャッシュ階層化を提案した。実際にFPGAに実装し、性能を計測したところ、オンチップRAMにヒットした場合10GbEラインレートを処理することができ、さらに低遅延を達成することができた。既存のハードウェアシステムやソフトウェアと比較して、遅延、スループット、電力効率は大幅に改善された。</p> <p>さらに In-NIC キャッシュを分散型サービス拒否攻撃(DDoS)のセキュリティシステムに応用した。近年、DDoS 増幅攻撃トラフィックは増加している。これを防ぐために、ICMP ベースの検出方式を用いて、FPGA 上に実装した key-value store でフローを管理することで、DDoS mitigation を実現した。実際のインターネットトラフィックに疑似DDoS トラフィックを混在させた実験により、本実装の有用性を示した。</p> <p>従来までは、In-NIC キャッシュおよび In-kernel キャッシュは個々に研究されてきた。本論文では、In-NIC キャッシュおよび In-kernel キャッシュを用いた Key-value store の階層化を提案し、その設計空間を研究した。本キャッシュ階層は、ワークロードに時間的局所性がある場合に小容量の下位レベルのキャッシュにヒットすることでアプリケーションの高速化を実現している。</p>				

Thesis Abstract

No. \_\_\_\_\_

Registration Number	<input checked="" type="checkbox"/> “KOU” <input type="checkbox"/> “OTSU” No. _____ *Office use only	Name	Yuta Tokusashi
Thesis Title Multi-layer Key-value Cache Architecture with In-NIC and In-kernel Caches			
Thesis Summary <p>In datacenters, e-commerce and cloud computing services are deployed for customers, accommodating hundreds of thousands of computers. CPUs and cooling systems take more than half of a datacenter’s power consumption. Thus, building highly efficient datacenters is an important challenge. Recently, the growth of network interface speed is increasing, while the growth of CPU performance is leveling off. This gap would be increasing continuously. That is, network-based applications would be CPU bound for more performance. Traditionally, cache hierarchy has been installed on computer architecture and has been studied when we faced the gap between CPU and memory. Through this thesis, we discuss cache hierarchy for network-based application, which we build caches on both NIC and network protocol stack as network datapath.</p> <p>In this thesis, we explore cache hierarchy for key-value store as one of representative network-based applications. Similar to cache hierarchy on CPU, there are a variety of design options for building cache hierarchy, which is an important challenge to explore them. There are a variety of design options such as write policy, eviction policy, inclusive cache vs. non-inclusive cache and so on. We build in-NIC cache as proof of concept on a NetFPGA platform. In addition, we show the hardware-based architecture of memcached for an FPGA equipped with NIC as one of key-value store. On an FPGA card, there are two types of store region: an on-chip RAM and on-board DRAM modules. So, the architecture is used as level 0 cache with on-chip RAM and level 1 cache with on-board DRAM modules. As results, our in-NIC cache achieves full line rate throughput on 10GbE, while maintaining a low latency and better power efficiency than an existing hardware based memcached design. We show practical performance results using this NIC, compared with an existing hardware-based memcached and software. Latency, throughput and power consumption are drastically improved, compared with existing systems.</p> <p>We apply in-NIC cache to distributed denial of service attack (DDoS) as a practical case, because DDoS amplification attack traffic is critically increasing. We also propose ICMP-based detection scheme to fit with key-value store. We conduct an experiment with the Internet backbone traffic and pseudo DDoS traffic and show the feasibility of implementation proposed in this thesis.</p> <p>Traditionally, in-NIC cache and in-kernel cache have been separately researched. Through this thesis, we study in-NIC cache, in-kernel cache and cache hierarchy for network-based application. In case the workload has temporal locality, key-value store can be accelerated by hitting on the lower level cache with small cache capacity.</p>			