

## 論文審査の要旨および学識確認結果

報告番号	(甲)乙第 号	氏 名	奥原 颯
論文審査担当者：			
主査	慶應義塾大学教授	工学博士	天野英晴
副査	慶應義塾大学教授	博士（工学）	黒田忠広
	慶應義塾大学教授	博士（工学）	山崎信行
	芝浦工業大学教授	博士（工学）	宇佐美公良
<p>(論文審査の要旨)</p> <p>学士(工学)、修士(工学)、奥原颯君の学位請求論文は、「Power-efficient Body Bias Control for Ultra Low-power VLSI Systems（超低電力大規模集積回路のための電力効率の高い基板バイアス制御）」と題し、6章から成る。</p> <p>IoT(Internet of Things)などに用いられるバッテリー駆動のデジタル製品において低電力化は重要な課題である。特に先進プロセスでその割合を増しているリーク電流は、回路が動作しない間でも電力を消費するため、その削減のために様々な手法が提案されている。基板バイアス制御は、トランジスタの基板に電圧を掛けることにより、そのスレッシュホールドレベルを制御することで、性能とリーク電流のバランスを取る手法である。リバース方向に掛けると性能は下がるがリーク電流が減り、フォワード方向にかけるとリーク電流は増えるが性能を上げることができる。この手法は、最近の FD-SOI(Fully Depleted Silicon On Insulator)デバイスで特にその効果が大きくなるため、研究が盛んになっている。本論文では、動作中のチップに対して、基板バイアス手法をより効果的に適用するための手法を2つ提案し、実チップによりその効果を確認している。</p> <p>1章で背景と研究の動機をまとめた後、2章で、最近の SoC(System-on-a-Chip)における基本的電力モデルと電力削減手法を紹介し、基板バイアス制御と、本論文で対象とする FD-SOI について紹介している。次に3章で、現在の基板バイアス制御の問題点を二つ指摘している。一つは、現在は、nMOS、pMOSそれぞれのトランジスタに対して対称な電圧を与えるため、電圧が段階的にしか与えられない場合に、制御の効率が悪くなる点であり、もう一つは、基板バイアスを自動的に最適化するシステムの電力面のオーバーヘッドが大きくなる点である。</p> <p>4章では、最初の問題点を解決するため、nMOS、pMOS に対するバイアスを非対称にすることにより、組み合わせ数を増やして制御効率を高める方法を提案している。与えられた周波数に応じて、消費電力を最適にする組み合わせを求め、実チップにより測定したパラメータを用いた電力モデルと、最適化手法を提案している。65nm プロセスを用いた組み込み用 CPU チップに対してこの手法を適用し、非対称化により最大 22.77%の電力を削減できることを示している。次に5章では二つ目の問題を解決するため、基板バイアス制御システム自体の改善に取り組み、チップに目標周波数を与えてやると自動的に最適な基板バイアスを生成する制御システム DABT(Digitally Assisted automatic Body bias Tuning scheme)を提案している。DABT は従来の自動制御方式に比べ、ほとんどの部分がデジタル回路で構成されており、このためデジタル・アナログ変換器を用いる従来方式よりも低い電圧で動作可能である。実チップでの実装結果により、DABT は 0.35V で動作可能であり、電力制御のオーバーヘッドは数 <math>\mu\text{W}</math> で、今まで提案されたどの方式よりも優れていることを確認している。6章では研究のまとめと今後の課題を示している。</p> <p>以上、本論文は、基板バイアス制御に新しい制御手法と自動制御システムを提案し、実チップ上で効果を明らかにした点で、その貢献は工学上少なくない。</p> <p>よって、本論文の著者は博士(工学)の学位を受ける資格があるものと認める。</p>			
学識確認結果	学位請求論文を中心にして関連学術について上記審査委員で試問を行い、当該学術に関し広く深い学識を有することを確認した。 また、語学（英語）についても十分な学力を有することを確認した。		