

**Perancangan *Phase-Locked Loop Mobile* WiMAX Pada Frekuensi 2,3 GHz
Dengan Fractional-N PLL**

Gunawan Wibisono, Feri Fajri, Agus Santoso T, Purnomo Sidi P, dan NR Poespawati

Departemen Teknik Elektro Universitas Indonesia

Kampus Baru UI Depok 16424 INDONESIA

Telp. 021-727-0077/78

Email: gunawan@eng.ui.ac.id

Perancangan *Phase-Locked Loop Mobile WiMAX* Pada Frekuensi 2,3 GHz Dengan Fractional-N PLL

Abstrak

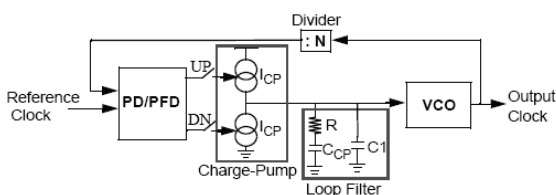
Sinyal yang diterima pada receiver didemodulasikan dengan sebuah sinyal *carrier* RF yang akurat yang harus dibangkitkan pada receiver. Maka, pensintesa frekuensi dibutuhkan baik pada receiver maupun transmitter. Pensintesa frekuensi merupakan perangkat yang membangkitkan satu atau beberapa sumber frekuensi. Pada hampir seluruh aplikasi frekuensi radio (RF) menggunakan *Phase-Locked Loop (PLL)* sebagai pensintesa frekuensi dengan menggunakan *integer-N PLL* sederhana. Pada penelitian ini akan dirancang dandisimulasikan pensintesa frekuensi yang digunakan untuk *mobile worldwide interoperability for microwave access (WiMAX)*. Parameter PLL pensintesa frekuensi yang dirancang untuk *mobile WiMAX* mengacu pada standar WiMAX IEEE 802.16e. Penggunaan *integer-N PLL* sederhana memiliki kelemahan disebabkan *spur* serta harmonik-harmoniknya terletak pada frekuensi *offset* yang rendah serta kinerja derau fasa *in-band* yang buruk. *Fractional-N PLL* diusulkan untuk mengatasi masalah tersebut dengan menggunakan teknik penekanan *spur* untuk menurunkan derau fasa. Teknik *delta-sigma modulator fractional-N* dipilih untuk mereduksi derau fasa untuk sistem *mobile WiMAX* disebabkan waktu *settling*, tingkat *spur*, dan derau fasa yang kecil dapat dicapai dengan menggunakan teknik ini. Hasil simulasi menunjukkan bahwa sistem dalam keadaan stabil, dikarenakan nilai *phase margin* yang melebihi 45 derajat. *Settling time* dan derau fasa yang diperoleh dengan rancangan ini senilai 6,997 μ s, dan -114 dBc/Hz.

Kata kunci:

Mobile WiMAX, pensintesa frekuensi, PLL, teknik penekanan *spur*, pensintesa frekuensi *fractional-N*.

1. Pendahuluan

WiMAX (*Worldwide Interoperability for Microwave Access*) merupakan teknologi nirkabel yang memiliki lebar pita yang lebar dan bit rate yang besar. Untuk memenuhi kebutuhan pelanggan dengan mobilitas tinggi, dikembangkanlah *Mobile WiMAX* yang diatur oleh standard IEEE 802.16e. *Mobile WiMAX* bekerja pada rentang frekuensi tertentu, yakni 2.3–2.7 GHz. Biasanya, transmisi data dilakukan dengan memodulasikannya dengan *carrier* frekuensi radio (RF) dan kemudian sinyal yang termodulasi ditransmisikan lewat udara. Sinyal yang diterima pada sisipenerima kemudian didemodulasikan, sebuah sinyal *carrier* RF yang akurat harus dibangkitkan pada sisi penerima. Maka dari itu, pensintesa frekuensi dibutuhkan pada sisi pengirim dan penerima. Pensintesa frekuensi merupakan perangkat yang membangkitkan satu atau beberapa sumber frekuensi [1]. Pada hampir seluruh aplikasi frekuensi radio (RF) menggunakan *Phase-Locked Loop (PLL)* sebagai pensintesa frekuensi sebagaimana ditunjukkan pada Gambar 1.



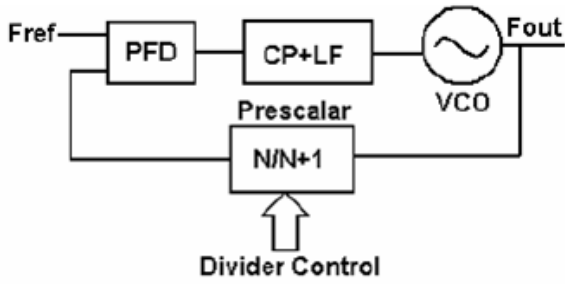
Gambar 1. Rangkaian dasar PLL [2]

Komponen pada PLL terdiri atas *Phase-frequency detector(PFD)*, *charge pump (CP)*, *low pass*

filter (LPF), *Voltage Controlled Oscillator VCO*, dan *frequency divider*. Pada PLL, sinyal keluaran fout akan diumpan balik menuju pembagi frekuensi yang kemudian akan menjadi salah satu masukan bagi PFD. Masukan lainnya berasal dari sinyal acuan yang biasanya dibangkitkan dengan menggunakan *crystal oscillator*. Kedua sinyal ini kemudian dibandingkan dan selisih beda fasa/frekuensinya akan diumpankan menuju CP untuk kemudian akan ditapis oleh LPF dan keluaran LPF akan menjadi tegangan tuning yang akan mengendalikan tegangan VCO sehingga PLL akan menuju kondisi *locked* ($f_{out} = f_{ref} \cdot N$).

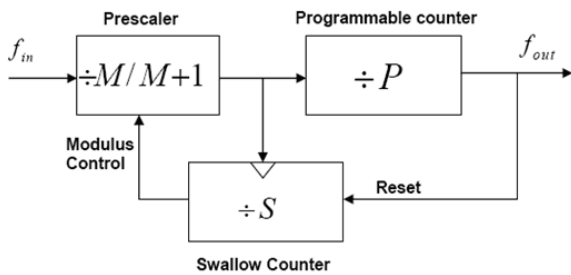
Metode ini dinamakan *Integer-N PLL*. Terdapat beberapa kekurangan dari metode ini, diantaranya frekuensi keluaran VCO hanya akan setara dengan kelipatan bilangan integer dari frekuensi acuan. Selain itu, waktu *settling* akan sangat lama disebabkan lebar pita PLL sangat sempit. Pada grafik spektrum frekuensi akan terdapat *spur* pada frekuensi *offset* yang rendah. Serta nilai rasio pembagi (N) yang sangat besar akan meningkatkan derau *in-band* pada PLL.

Untuk mengatasi masalah pada *Integer-N PLL*, digunakan metode *fractional-N PLL* untuk mendapatkan resolusi frekuensi yang lebih baik dibandingkan frekuensi acuan. Blok rangkaian PLL *fractional-N* ditunjukkan sebagai berikut:



Gambar 2 Pensintesa frekuensi *Fractional-N* [3]

Frekuensi keluaran pada *fractional-N* PLL dapat bervariasi berdasarkan rasio fraksional dari frekuensi acuan. Bagian fraksional dari *frequency divider* diimplementasikan menggunakan *prescaler*, *programmable counter* dan *swallow counter* sebagaimana ditunjukkan pada gambar berikut :



Gambar 3 Frekuensi *divider pulse-swallow* [4]

Cara kerja dari *pulse-swallow counter* dijelaskan sebagai berikut. Pada mulanya, *swallow counter* akan *reset* sehingga mengeluarkan sinyal *low* kepada *prescaler*, menyebabkan *prescaler* memulai dengan rasio pembagi $M+1$. Setelah *swallow counter* menghitung pulsa S , sinyal *high* akan dikirim menuju *prescaler*. Maka rasio pembagi *prescaler* akan menjadi M . Pada saat itu, pulsa S dengan pewaktuan *divide-by-M+1* dihitung oleh *programmable counter*. Setelah itu, *programmable counter* akan menyelesaikan hitungannya, $P-S$, dengan pewaktuan *divide-by-M*. Maka rasio pembagi dapat dinyatakan sebagai

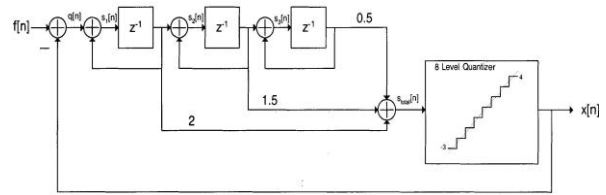
$$N = S \times (M + 1) + (P - S) \times M = PM + S \quad (2.27) [4]$$

Salah satu masalah pada *fractional-N* PLL adalah adanya sinyal-sinyal *spurious* yang terbentuk pada frekuensi keluaran.

2. Delta-Sigma Modulator

Rangkaian DSM merupakan sebuah konverter analog ke digital yang digunakan pada *highly over-sampled* konversi analog ke digital. DSM merupakan bagian penting karena menghasilkan derau kuantisasi *power spectral density* pada keluaran DSM yang memiliki kandungan frekuensi rendah, hal ini dicapai dengan membuang derau kuantisasi pada frekuensi yang lebih tinggi. Konsep penggunaan DSM sebagai pembangkit sekuensial $x[n]$ untuk *Fractional-N* PLL pertama kali diperkenalkan pada tahun 1993 [5].

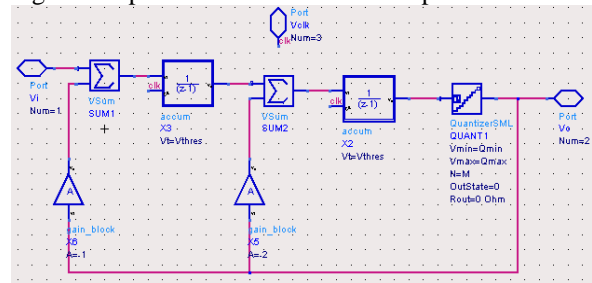
Struktur DSM ditunjukkan pada gambar berikut :



Gambar 4 Struktur DSM orde tiga [6]

DSM pada Gambar 4 digunakan untuk membangkitkan sekuensial $x[n]$ untuk nilai $f[n] = f$, dengan $0 < f < 1$. DSM orde dua dan yang lebih tinggi akan mendorong derau dari frekuensi rendah menuju frekuensi yang lebih tinggi. Derau frekuensi tinggi akan ditekan oleh *loop filter* pada PLL. Arsitektur DSM ini dapat mengatasi masalah *spur* keluaran pada topologi *fractional-N* namun tetap memberikan resolusi frekuensi yang baik.

Pada desain ini digunakan *loop filter* orde tiga, maka dari itu arsitektur DSM yang dipilih ialah DSM orde dua. Gambar 5 merupakan struktur DSM orde dua yang digunakan pada desain di ADS 2008 update 1.



Gambar 5 Struktur orde dua *Delta Sigma Modulator*

3. Pemodelan dan hasil simulasi.

Pada penelitian ini akan dirancang sebuah PLL yang akan menjadi masukan *local oscillator* pada *mobile WiMAX* yang bekerja pada pita frekuensi 2,3-2,7 GHz. Sedangkan untuk spesifikasi dan parameter desain yang akan dicapai dapat dirangkum dalam Tabel 1 berikut:

Tabel 1 Spesifikasi dan parameter desain

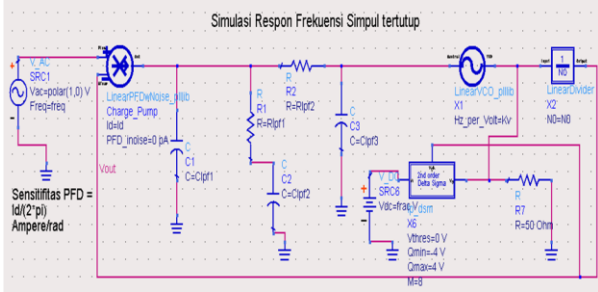
Simbol	Deskripsi	Nilai	Satuan
Fref	Frekuensi acuan	20	MHz
Fvco	Frekuensi keluaran	2.2	GHz
PM	<i>Phase margin</i>	50	derajat
Kvco	Penguatan VCO	200	MHz/V
Kd	Penguatan PFD/CP	3.6	mA
Fc	Lebar pita <i>loop</i>	15	kHz
N	Nilai pembagi	110	

Simulasi yang dilakukan meliputi simulasi respon *loop* frekuensi, respon transien pll, dan respon derau fasa.

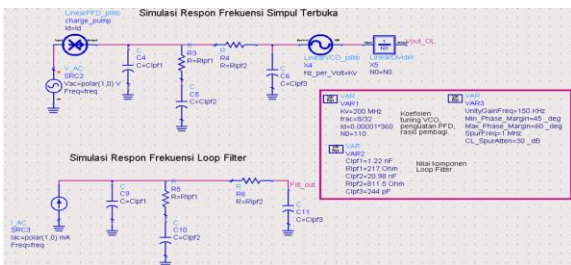
Respon *loop* PLL sangat tergantung pada desain *loop filter*. Untuk mendapatkan kestabilan sistem, dibutuhkan *phase margin* yang besar. Namun *settling time*

yang cepat dan optimal didapatkan saat *phase margin* setara dengan 50 derajat.

Berikut ini merupakan gambar skematik dari simulasi respon *loop* frekuensi. Parameter yang harus dimasukkan diantaranya adalah penguatan VCO (K_{vco}), rasio pembagi (N), karakteristik PD, serta nilai hasil perhitungan komponen *loop filter*.



Gambar 6 Simulasi respon frekuensi simpul tertutup



Gambar 7 Simulasi respon frekuensi simpul terbuka dan *loop filter*

Simulasi dilakukan dengan memasukkan parameter komponen *loop filter* dengan perhitungan sebagai berikut. Pertama kali yang dilakukan adalah menentukan nilai pembagi, N , dan nilai lebar pita *loop*, ω_c .

$$N = \frac{F_{vco}}{F_{ref}} = \frac{2.2GHz}{20MHz} = 110$$

$$\omega_c = 2 \cdot 3.14 \cdot F_c = 2 \cdot 3.14 \cdot 150kHz = 942 \times 10^3 \text{ rad/s}$$

Asumsi berikut ini digunakan untuk menurunkan persamaan *loop filter* orde tiga :

1. Frekuensi *zero* lebih kecil dibandingkan frekuensi *pole* yang lebih tinggi.
2. Kapasitor $C_2 \gg C_1$ dan C_3 .
3. Konstanta waktu *zero* $T_2 \gg$ konstanta waktu *pole* T_1 dan T_3 .

Setelah itu menentukan konstanta waktu T_1 , T_3 , dan T_2 dengan spesifikasi *phase margin* yang diinginkan 50° dan lebar pita *loop* $942 \times 10^3 \text{ rad/s}$ serta dengan mengasumsi perbandingan *pole* $\frac{T_3}{T_1} = 0.8$, maka

didapatkan :

$$T_1 + T_3 = \frac{1}{2\omega_c \tan \phi} \quad (3.16) [3]$$

$$T_1 = \frac{1}{2 \cdot 1.8 \cdot \omega_c \tan \phi} = 0.2475 \cdot 10^{-6} \text{ detik}$$

$$T_3 = \frac{1}{2\omega_c \tan \phi} - T_1 = 0.198 \cdot 10^{-6} \text{ detik}$$

$$T_2 = \frac{1}{\omega_c^2 T_1} = 4.553 \cdot 10^{-6} \text{ detik}$$

Setelah mendapatkan nilai-nilai konstanta waktu T_1 , T_2 , dan T_3 kemudian menghitung nilai C_{total} dengan rumus:

$$C_{total} = C_1 + C_2 + C_3 = \frac{K_d \cdot K_{vco}}{\omega_c^2 \cdot N} \sqrt{\frac{1 + (\omega_c \cdot T_2)^2}{(1 + (\omega_c \cdot T_1)^2) \cdot (1 + (\omega_c \cdot T_3)^2)}} = 22.45nF [7]$$

Nilai-nilai komponen C_1 , C_2 , C_3 , R_2 , dan R_3 didapatkan sebagai berikut [3]:

$$C_1 = \frac{T_1}{T_2} \cdot C_{total} = 1.22nF$$

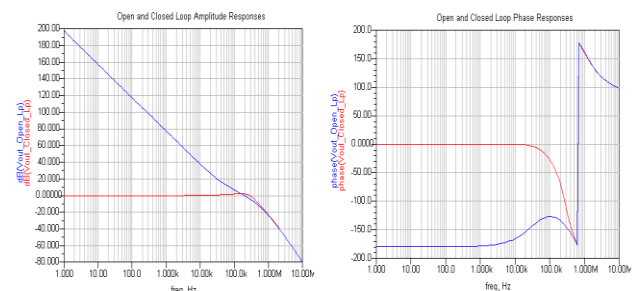
$$C_3 = \frac{C_1}{5} = 244pF$$

$$C_2 = C_{total} - C_1 - C_3 = 20.98nF$$

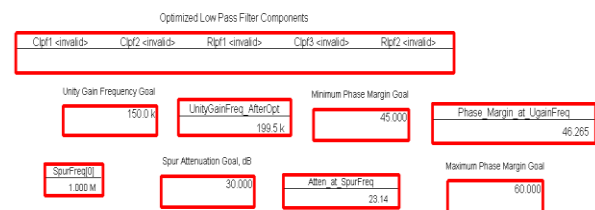
$$R_2 = \frac{T_2}{C_2} = 2170\Omega$$

$$R_3 = \frac{T_3}{C_3} = 811.50\Omega$$

Gambar 8 berikut ini adalah respon frekuensi lup terbuka dan lup tertutup dengan nilai parameter komponen *loop filter* sesuai dengan hasil perhitungan.

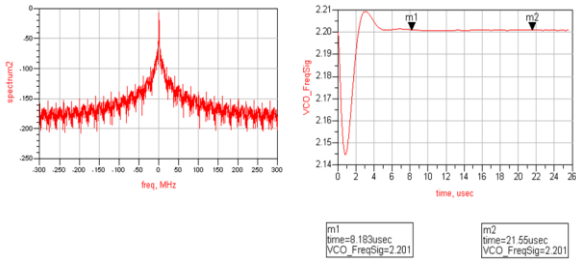


Gambar 8 Hasil simulasi respon frekuensi simpul terbuka dan tertutup



Gambar 9 Hasil simulasi parameter respon frekuensi

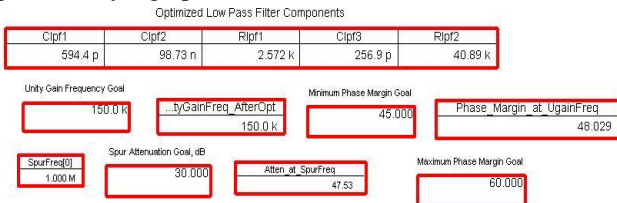
Hasil simulasi dengan nilai parameter *loop filter* seperti pada Gambar 9 terlihat baik. *Phase margin* bernilai 46,265, atenuasi *spur* bernilai 23,14, serta frekuensi *crossover* bernilai 199,5k. Jika hasil ini dimasukkan pada simulasi respon transien, meskipun frekuensi keluaran PLL pada Gambar 10 memiliki respon transien dengan *settling time* yang baik namun terdapat *spike* pada grafik spektrum dan hasil ini tentunya tidaklah diinginkan.



Gambar 10 Respon transien PLL dengan parameter awal

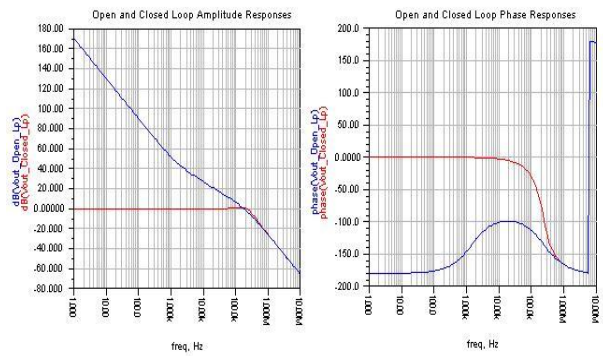
Jika hasil simulasi desain tidak menemui sasaran, kita dapat merubah komponen *loop filter* dengan mengatur nilai tuning pada blok optimisasi, kemudian menjalankan ulang simulasi. Blok optimisasi digunakan untuk mendapatkan *phase margin*, *unity gain* frekuensi, serta atenuasi *spur* yang diinginkan. Ketika menggunakan blok optimisasi, kita harus menentukan frekuensi *crossover*, *phase margin*, serta atenuasi *spur* yang diinginkan. Optimasi dilakukan dengan menggunakan blok *optimization* sebagaimana diperlihatkan pada gambar berikut:

Blok optimisasi tidak membangkitkan nilai optimisasi yang unik, melainkan bervariasi. Semakin dekat nilai komponen awal dengan tujuan yang diinginkan, semakin baik optimisasi yang dihasilkan. Optimasi terus dilakukan hingga didapatkan nilai-nilai parameter yang optimal.



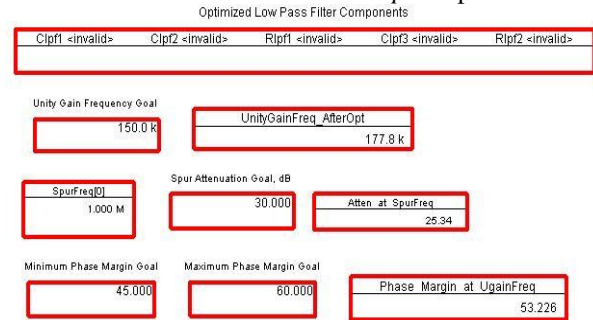
Gambar 12 Hasil simulasi respon frekuensi saat dilakukan optimisasi

Terlihat jelas dari gambar 12, nilai *phase margin* sistem adalah 48,029 derajat, sehingga sistem dapat dikategorikan stabil. Namun untuk mendapatkan nilai *phase margin* yang optimal dan diiringi dengan hasil respon transien yang baik, hal yang harus dilakukan adalah dengan meningkatkan nilai kapasitor dan resistor seri, R1 dan C1 pada *loop filter* orde 3. Namun dikarenakan meningkatkan resistor R1 akan meningkatkan pula derau fasa pada keluaran VCO. Maka dari itu yang dipilih adalah meningkatkan nilai kapasitor seri C1 dan menurunkan nilai resistor R1. Gambar 13 memperlihatkan respon *loop* frekuensi dengan *phase margin* PLL yang telah diperbaiki yang setara dengan 53.226 derajat.



Gambar 13 Hasil simulasi respon frekuensi simpul terbuka dan tertutup setelah optimisasi

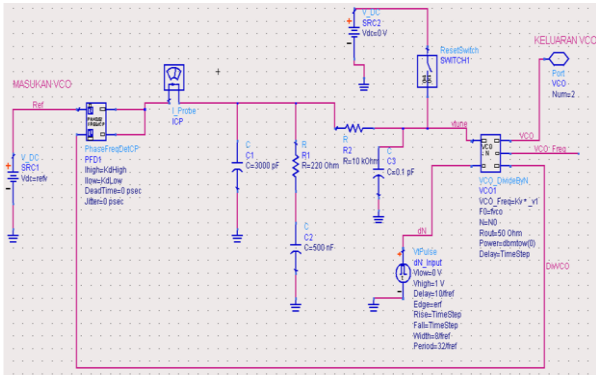
Untuk mengevaluasi nilai komponen, blok optimisasi dinonaktifkan dahulu, sehingga *bode plot* yang dihasilkan merupakan hasil refleksi pemilihan desain kita. Ketika blok optimisasi dinonaktifkan, komponen *loop filter* tidak diperlihatkan, akan tetapi nilai *phase margin*, frekuensi *cross-over* serta atenuasi *spur* diperlihatkan.



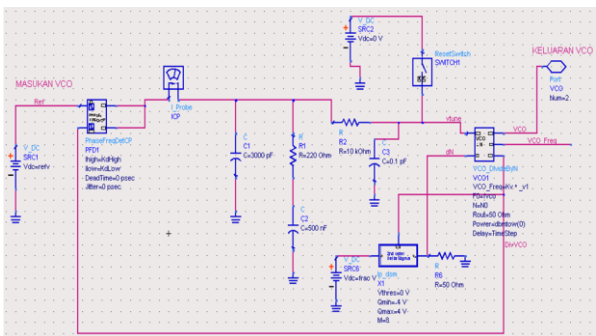
Gambar 14 Hasil simulasi respon frekuensi setelah optimisasi

Respon transien *loop* PLL digunakan untuk melihat *time settling* dari rancangan serta memperlihatkan spektrum frekuensi keluaran VCO yang dihasilkan. Spektrum frekuensi keluaran VCO yang dihasilkan digunakan untuk melihat adanya *spur* yang dihasilkan disekitar frekuensi tengah spektrum.

Berikut ini merupakan gambar skematik dari simulasi respon transien PLL. Parameter *loop filter* yang dihasilkan dari respon *loop* frekuensi dimasukkan pada simulasi ini begitu pula dengan penguatan VCO dan konstanta *phase detector*. Respon transien memerlukan parameter tambahan yang mesti dimasukkan diantaranya frekuensi acuan, waktu stop, waktu langkah, dan juga rasio pembagi.



Gambar 15 Rangkaian PLL pensintesa frekuensi *fractional-N*

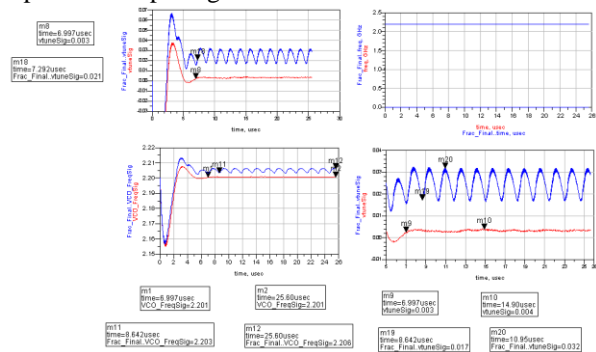


Gambar 16 Rangkaian PLL pensintesa frekuensi *fractional-N delta-sigma modulator*

Dalam simulasi respon transien ini, kita akan membandingkan desain PLL *fractional-N* dengan desain PLL *fractional-N delta-sigma modulator*. Keduanya memiliki nilai parameter yang sama sesuai dengan gambar 17 berikut.

Gambar 17 Parameter simulasi respon transien

Hasil simulasi respon transien dari *fractional-N PLL* dan PLL *fractional-N delta-sigma modulator* diperlihatkan pada gambar berikut.

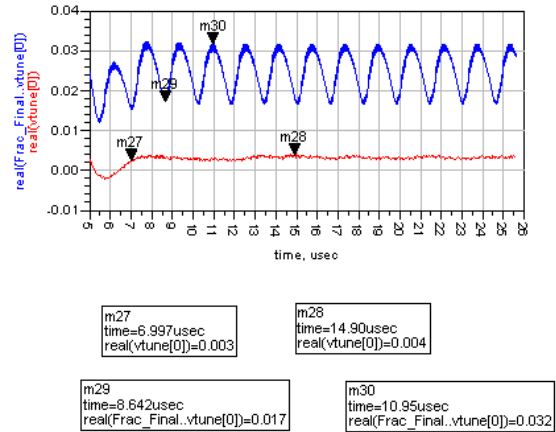


Gambar 18 Hasil simulasi respon transien PLL *fractional-N* (biru) dan *fractional-N delta-sigma modulator* (merah)

Hasil simulasi pada Gambar 18 menunjukkan respon transien dari PLL *fractional-N delta sigma modulator* memberikan nilai hasil *settling time* sebesar 8,642 μ s. Namun *settling time* yang lebih kecil didapatkan oleh respon transien pada disain PLL *fractional-N delta*

sigma modulator dengan nilai *settling time* 6,997 μ s. Respon transien pada PLL *fractional-N delta sigma modulator* menunjukkan peningkatan *settling time* sebesar 1,645 μ s.

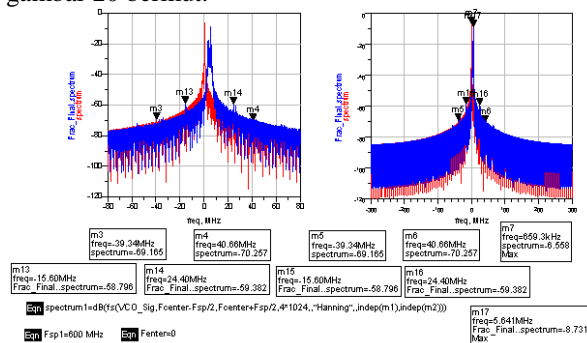
Riak pada tegangan kendali VCO saat keadaan terkunci merupakan indikasi adanya jitter pada frekuensi keluaran. Gambar 19 menunjukkan gambar yang diperbesar dari gambar tegangan kendali VCO pada Gambar 4.14. Riak pada tegangan kendali VCO dari PLL *fractional-N* pada Gambar 19 bernilai rV (tegangan riak) sebesar 15 mV.



Gambar 19 Riak pada tegangan kendali pada keadaan terkunci untuk PLL *fractional-N* (biru) dan *fractional-N delta-sigma modulator* (merah)

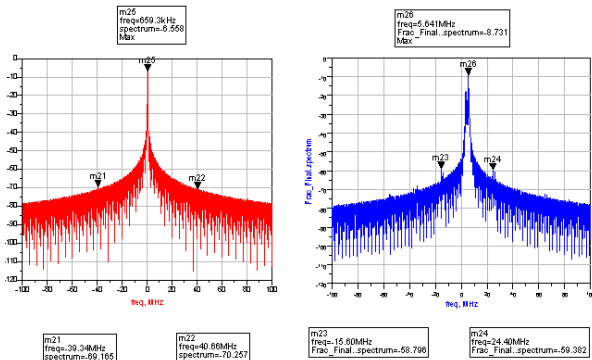
Riak pada tegangan kendali VCO dari PLL *fractional-N delta-sigma modulator* pada Gambar 4.15 bernilai rV (tegangan riak) sebesar 1 mV. Tegangan riak pada Gambar 4.15 menunjukkan penurunan tegangan riak sebesar 14 mV pada PLL *fractional-N delta sigma modulator*.

Gambar spektrum frekuensi keluaran dari pensintesa frekuensi *fractional-N PLL* diperlihatkan dalam gambar 20 berikut:



Gambar 20 Spektrum frekuensi keluaran PLL *fractional-N* (biru) dan *fractional-N delta-sigma modulator* (merah)

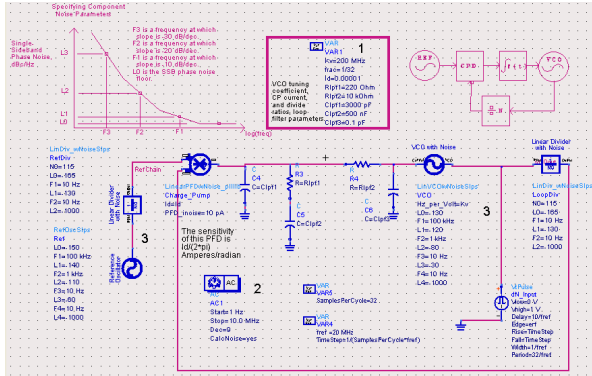
Dengan melihat lebih dekat pada daerah sekitar frekuensi tengah pada gambar spektrum sebagaimana ditunjukkan pada Gambar 21, kita dapat melihat adanya *spur* yang disebabkan oleh adanya distorsi. *Spur* ini sangat tidak diinginkan dan dapat menyebabkan kesalahan penguncian pada PLL.



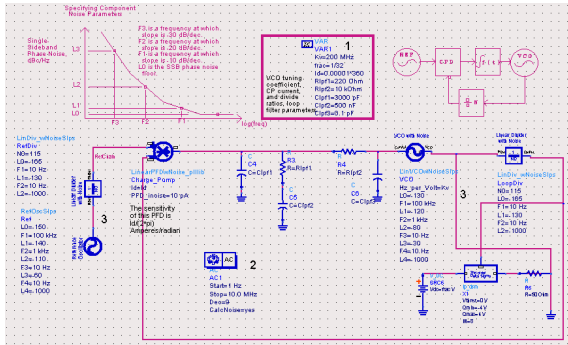
Gambar 21 Spektrum frekuensi keluaran PLL *fractional-N* (biru) dan *fractional-N delta-sigma modulator* (merah) yang diperbesar

Dari hasil simulasi pada Gambar 21 dapat kita lihat adanya penurunan *spur* yang terlihat pada desain PLL *fractional-N delta sigma modulator* sesuai dengan yang diinginkan pada spesifikasi rancangan.

Berikut ini merupakan gambar skematik dari simulasi respon transien PLL. Parameter yang dimasukkan pada simulasi kali ini adalah sensitifitas *tuning* atau penguatan VCO K_v (MHz/volt), arus *phase detector* I_d (ampere), rasio pembagi N_0 , dan rasio pembagi frekuensi acuan N_0 ref.



Gambar 22 Skematik rangkaian simulasi derau fasa PLL *fractional-N*

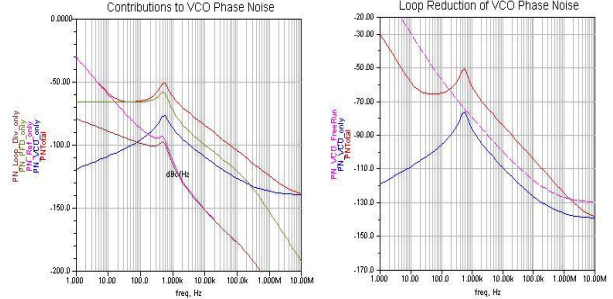


Gambar 23 Skematik rangkaian simulasi derau fasa PLL *fractional-N delta sigma modulator*

Dalam memodelkan derau fasa dari berbagai komponen PLL, tiga frekuensi berbeda (F_3, F_2, F_1) merupakan karakteristik derau fasa pada saat kemiringan single sideband (-30,-20,-10 dBc/Hz) secara berurutan. Ketiga frekuensi tersebut memiliki nilai derau fasa sebesar

(L_3, L_2, L_1). Sedangkan L_0 merupakan derau dasar broadband.

Grafik sebelah kiri menunjukkan kontribusi derau fasa berbanding waktu yang dihasilkan oleh masing-masing komponen PLL pada keadaan terkunci. Sedangkan grafik sebelah kanan menunjukkan kinerja derau fasa VCO keseluruhan.



freq	PNTTotal[0:9:maxindex]
1.000 Hz	-29.956
10.00 Hz	-58.648
100.0 Hz	-64.824
1.000 kHz	-61.221
10.00 kHz	-84.104
100.0 kHz	-104.149
1.000 MHz	-124.086
10.00 MHz	-137.992

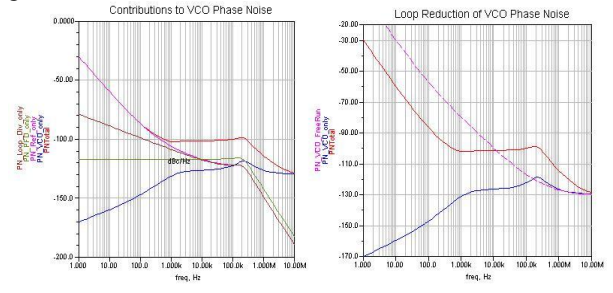
Gambar 24 Hasil simulasi derau fasa *fractional-N* PLL

Tabel berikut ini menunjukkan derau fasa PLL *fractional-N* tiap dekade frekuensi yang berbeda. Pengukuran dilakukan mulai dari frekuensi 1 Hz hingga 10 MHz..

Tabel 2 Derau fasa tiap dekade pada *fractional-N* PLL

freq	PNTTotal[0:9:maxindex]
1.000 Hz	-29.956
10.00 Hz	-58.648
100.0 Hz	-64.824
1.000 kHz	-61.221
10.00 kHz	-84.104
100.0 kHz	-104.149
1.000 MHz	-124.086
10.00 MHz	-137.992

Sedangkan hasil simulasi derau fasa untuk PLL *fractional-N delta-sigma modulator* diperlihatkan pada gambar berikut.



freq	PNTTotal[0:9:maxindex]
1.000 Hz	-29.957
10.00 Hz	-58.425
1.000 kHz	-101.500
10.00 kHz	-101.159
100.0 kHz	-99.667
1.000 MHz	-114.007

Gambar 25 Hasil simulasi derau fasa *fractional-N* PLL *delta-sigma modulator*

Hasil simulasi derau fasa pada Gambar 24 dan 25 menunjukkan derau yang dihasilkan oleh *fractional-N* PLL *delta-sigma modulator* memiliki derau yang jauh

Parameter	Desain	Regulasi WiMax
Frekuensi keluaran	2.201 GHz (sebagai masukan <i>mixer mobile</i> WiMAX 2,3 GHz)	2,3 – 2,7 GHz
<i>Settling time</i>	6,997 μ s	< 50 μ s
<i>Loop Bandwidth</i>	177,8 kHz	< 100 kHz
Derau fasa	-101,159 dBc/Hz @ 10 kHz	-58 dBc/Hz @ 10 kHz
	-99,957 dBc/Hz @ 100 kHz	-71 dBc/Hz @ 100 kHz
	-114,097 dBc/Hz @ 1 MHz	-98 dBc/Hz @ 1 MHz
Frekuensi acuan	20 MHz	< 30 MHz
<i>Loop filter</i>	Orde tiga	Orde tiga
<i>Arus charge pump</i>	3,6 mA	-
Rasio pembagi	110	64-78
<i>Delta-sigma modulator</i>	Orde dua	Orde tiga

lebih kecil dibandingkan dengan *PLL fractional-N* biasa. Hasil pengukuran derau fasa total pada Tabel 2 dan 3 menunjukkan derau fasa yang dihasilkan oleh *fractional-N PLL delta-sigma modulator* lebih kecil dibandingkan yang dihasilkan oleh *fractional-N PLL* kecuali pada frekuensi 100 kHz dan yang lebih besar. Namun derau fasa pada frekuensi 100 kHz dan yang lebih besar telah cukup untuk memenuhi standar regulasi yang dibutuhkan untuk pensintesa frekuensi *Mobile WiMAX*.

Tabel 3 Derau fasa tiap dekade pada *PLL fractional-N delta-sigma modulator*

freq	PNTotal[0::9::maxindex]
1.000 Hz	-29.957
10.00 Hz	-59.575
100.0 Hz	-86.425
1.000 kHz	-101.9
10.00 kHz	-101.159
100.0 kHz	-99.957
1.000 MHz	-114.097
10.00 MHz	-128.445

4. Kesimpulan

Penggunaan *delta sigma-modulator* pada *fractional-N PLL* memiliki efek besar dalam hal

mereduksi derau fasa dan *spur*. Kinerja keseluruhan dari pensintesa frekuensi menunjukkan hasil yang memuaskan. Desain pensintesa frekuensi ini akan menjadi masukan lokal osilator untuk *mixer mobile* WiMAX yang beroperasi pada pita frekuensi 2,3 GHz. Tabel 4 menunjukkan hasil keseluruhan dari desain *PLL pensintesa frekuensi fractional-N delta-sigma modulator*.

Tabel 4 Ringkasan hasil simulasi desain

5. Daftar Acuan.

- [1]. Intel Corp., "Understanding Wi-Fi and WiMAX as Metro-Access Solutions", White paper, 2004, www.intel.com/netcomms/technologies/wimax/305471.pdf.
- [2]. Mozghan Mansuri, *Low-Power Low-Jitter On-Chip Clock Generation*, Dissertation, Electrical Engineering Department, University of California, Los Angeles, 2003.
- [3]. Saurabh Kumar Singh, Study of Fully on Chip Frequency Synthesizer and Design of PLL Based Frequency to Voltage Converter & Frequency Synthesizer for ZigBee, Thesis, Electronics and Electrical Communication Engineering Department, Indian Institute of Technology, 2004.
- [4]. Hsin-Che Chiang, A PLL BASED FREQUENCY SYNTHESIZER IN 0.13 μ m SIGE BICMOS FOR MB-OFDM UWB SYSTEMS, Thesis, Faculty of the Graduate School of the University of Maryland, College Park, 2007.
- [5]. Tom A. D. Riley, "Delta-sigma Modulation in Fractional-N Frequency Synthesis", IEEE Journal of Solid State Circuits, vol. 28, Issue 5, pp553-560, May 1993.
- [6]. Mark Allen Hiebert, Phase Noise Analysis of a 0.18 μ m CMOS Fractional-N PLL for 802.11 a/b/g/n Application, Project Report, School of Engineering Science, Simon Fraser University, 2006.
- [7]. Dean Banerjee, PLL Performance, Simulation and Design Fourth Edition, Dog Ear Publishing, National Semiconductors, 2006.
- [8]. J P Silver, "PLL Theory Tutorial", RF,RFIC and Microwave Theory, Design, <http://www.rfic.co.uk>
- [9]. Lalith Karsani, B.E, A Dual-Loop Frequency Synthesizer, Thesis, Electrical Engineering Department, Texas Tech University, 2006.
- [10]. Himanshu Arora, Design of 5-MB/S Fractional-N RF Transmitter in 900 MHz ISM Band Using GMSK Data Modulation Techniques, Dissertation, Electrical and Computer Engineering Department, graduate School of Duke University, 2005.
- [11]. William F. Egan, Frequency Synthesis by Phase Lock, John Wiley & Sons Inc, New York, 2000.