

PLL SYNTHESIZER UNTUK MEMANTAPKAN DAN MENSINTESIS FREKUENSI 88 – 108 MHz

Muchlas¹), Sunardi²), Soni Sukowati³)

Program Studi Teknik Elektro Universitas Ahmad Dahlan
Kampus 3 UAD Jl. Prof. Soepomo Janturan Yogyakarta
Telp. (0274) 379418 Fax. (0274) 381 523
Email: muchlas@uad.ac.id

Abstrak

Salah satu faktor penyebab ketidak setabilan frekuensi sebuah osilator adalah terjadinya perubahan karakteristik komponen aktif ataupun pasif yang disebabkan oleh perubahan suhu atau lamanya pemakaian, keadaan yang statis, dan hembusan udara. Untuk mengatasi hal tersebut dapat diterapkan PLL Synthesizer yaitu sebuah sistem pengendali umpan balik terkontrol yang menjaga perbedaan fase antar sinyal referensi dengan sinyal output osilator. PLL Synthesizer dapat dirancang untuk menstabilkan frekuensi keluaran VCO dari perubahan suhu, getaran dan hmbusan angin yang menyebabkan perubahan karakteristik komponen yang dipakai. PLL Synthesizer dapat dirancang untuk mengendalikan frkuensi keluaran VCO. Sistem dianggap brhail apabila PLL FM Synthesizer telah mampu mensintesis frekuensi kluaran pada rentang 88 sampai 108 MHz dengan step 100 KHz dan mampu mempertahankan (mengunci) frekuensi VCO seuai kluaran frekuensi refensi.

Kata Kunci: PLL FM Synthesizer, Fase, frkuensi

1. PENDAHULUAN

Frekuensi radio khususnya pada rentang 88 sampai 108 MHz banyak digunakan untuk keperluan broadcasting. Dalam beberapa tahun terakhir ini, mulai bermunculan sekumpulan atau bahkan pribadi mendirikan stasiun radio broadcasting di jalur ini. Apalagi otonomi daerah mulai diperlakukan sehingga kebebasan pengembangan daerah diserahkan sepenuhnya pada daerah tersebut. Faktor pembiayaan yang relatif murah dan faktor kemudahan perakitian sebuah sitem tranmitter FM berdaya rendah adalah hal-hal yang menyebabkan banyaknya stasiun radio broadcating didirikan pada frekuensi ini.

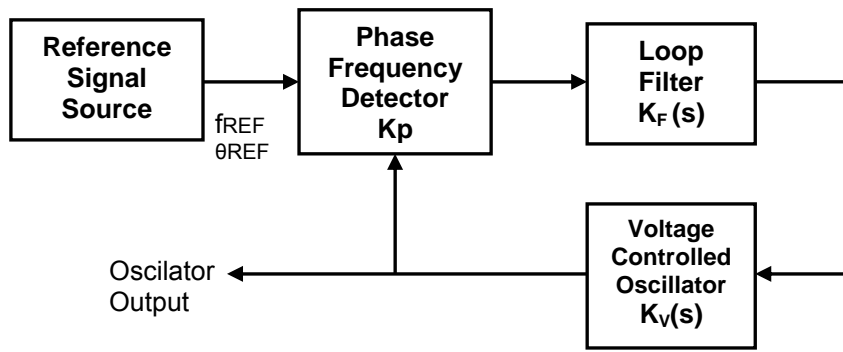
Kesetabilan frekuensi keluaran osilator dari sebuah sistem pemancar sangat dipelukan untuk pemakaian dalam kurun waktu lama terutama dalam bidang radio broadcasting. Stasiun radio broadcasting biasanya menggunakan tranmitter dalam kurun waktu yang cukup lama bahkan ada yang 24 jam non stop.

Ksetabilan yang tinggi dari VCO (Votag Control Oscilator) dapat dijaga dengan sebuah PLL Synthesizer. Pada penelitian ini akan dirancang sebuah PLL Synthesizer untuk menjaga frekuensi keluaran sebuah VCO dan sekaligus mensintesis frekuensi keluaranya sehingga diperoleh komponen yang murah dan mudah didapat dipasaran.

2. PERANCANGAN ALAT

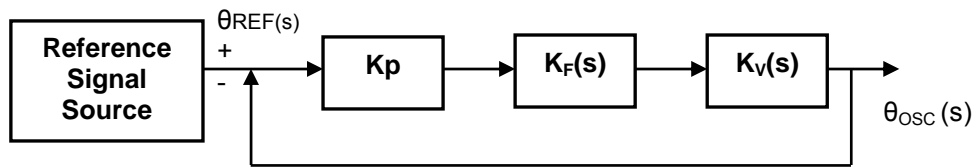
2.1. Dasar-dasar PLL

PLL (Phase Locked Loop) adalah untai umpan balik terkontrol yang menjaga perbedaan fase antara sinyal referensi dengan sinyal output osilator. Gambar 1 meunjukkan diagram dasar dari sebuah PLL. Sebuah detektor fase membandingkan fase dari frekuensi keluaran VCO (f_{osc}) dengan fase dari sinyal frekuensi referensi (f_{ref}). Pulsa keluaran dari detektor fase dibangkitkan dalam perbandingan lurus dengan perbedaan fase yang tredeteksi. Pulsa ini diratakan dengan melewati pada sebuah loop filter. Hasilnya adalah sebuah komponen dc yang dijadikan sinyal input untuk mengontrol VCO. Keluaran dari VCO (f_{osc}) dikembalikan (feedback) ke input detektor fase untuk dibandingkan kemudian frekuensi dan fase keduanya dibuat sama. Dengan demikian fase dan frekuensi dari VCO dan sumber sinyal referensi dalam keadaan terkunci (locked state).



Gambar 1. Diagram blok dasar PLL

Analisis untuk sistem PLL ini dapat dilakukan dengan diagram blok pada gambar 2 berikut:



Gambar 2. Diagram blok PLL

Dengan:

- K_p : penguatan (gain) dari detektor fase (V/rad)
- K_f : fungsi transfer (transfer function) dari loop filter (V/V)
- K_v : fungsi transfer (transfer function) dari VCO
- V_c : level kontrol VCO
- s : variabel laplace

Penggunaan transformasi laplace (laplace transform) digunakan untuk mendapatkan fungsi transfer dari loop tertutup yang dapat dikresikan sebagai:

$$\frac{\theta_{osc}(s)}{\theta_{ref}(s)} = \frac{K_p \times K_f \times K_v(s)}{1 + K_p \times K_f \times K_v(s)} = W(s) \dots\dots\dots(1)$$

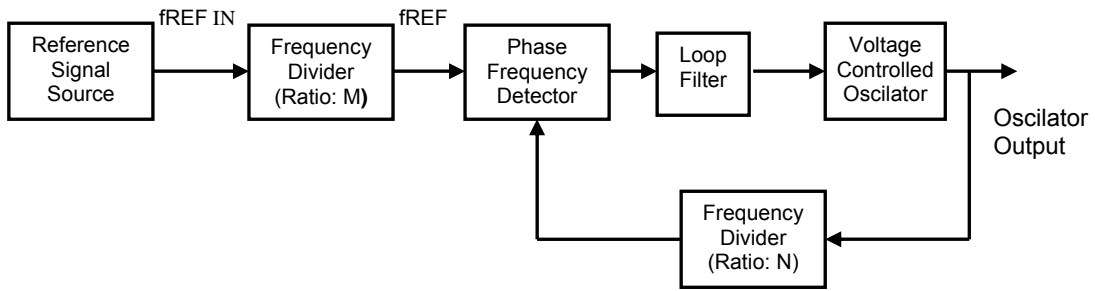
Transformasi penguatan VCO (K_v) adalah sebuah fungsi waktu. Fase adalah integral waktu dari frekuensi. Penguatan dapat diekspresikan sebagai berikut:

$$K_v(s) = \frac{K_v}{s} \dots\dots\dots(2)$$

Penguatan detektor fase diasumsikan untuk tidak menjadi sebuah fungsi frekuensi. Dari persamaan (1) dan persamaan (2) diperoleh:

$$W(s) = \frac{K_p \times K_f(s) \times K_v}{s + K_p \times K_f(s) \times K_v} \dots\dots\dots(3)$$

Persamaan tersebut adalah dasar dari transfer fungsi linear untuk sebuah PLL. PLL dapat dikembangkan lebih luas digunakan sebagai sebuah frekuensi synthesizer dengan menghasilkan frekuensi-frekuensi dari sebuah sumber sinyal tunggal yaitu sebuah osilator kristal. Blok dari aplikasi PLL untuk frekuensi synthesizer ditunjukkan pada gambar 3.



Gambar 3. Diagram blok PLL Frequency Synthesizer

Sinyal dari sumber sinyal frekuensi digunakan untuk menghasilkan frekuensi yang diinginkan dalam sebuah frequency synthesizer, hanya frekuensi-frekuensi pada kelipatan frekuensi yang dapat dicapai.

Detektor fase membandingkan sinyal dari pemagi frekuensi 1/N yang membagi sinyal output dari VCO, sinyal dari pembagi frekuensi 1/M yang membagi sinyal output dari sumber sinyal referensi, dan mengontrol frekuensi VCO dalam sebuah keadaan kedua fase dan frekuensi sama, yaitu:

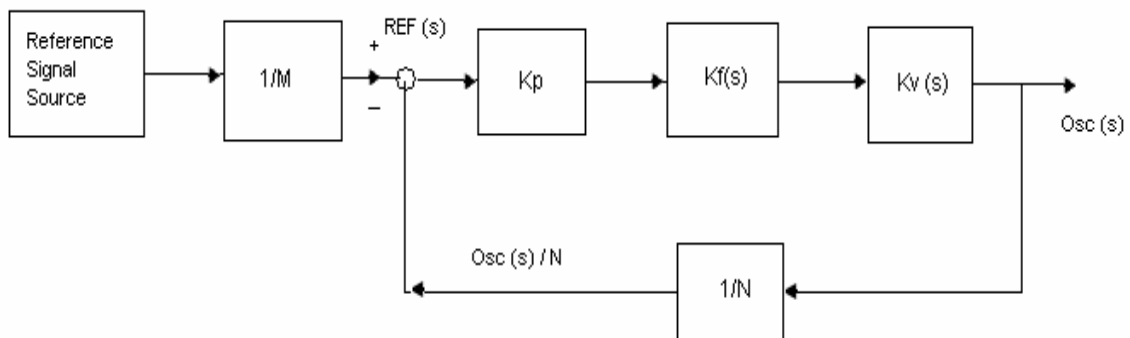
$$\frac{f_{refin}}{M} = \frac{f_{osc}}{N} \dots\dots\dots(4)$$

dan frekuensi osilasi

$$f_{osc} = f_{refin} \times \frac{N}{M} \dots\dots\dots(5)$$

fungsi transfer dari loop tertutup PLL dalam persamaan (1) dapat dicari dengan mengacu pada gambar 4 sebagai berikut:

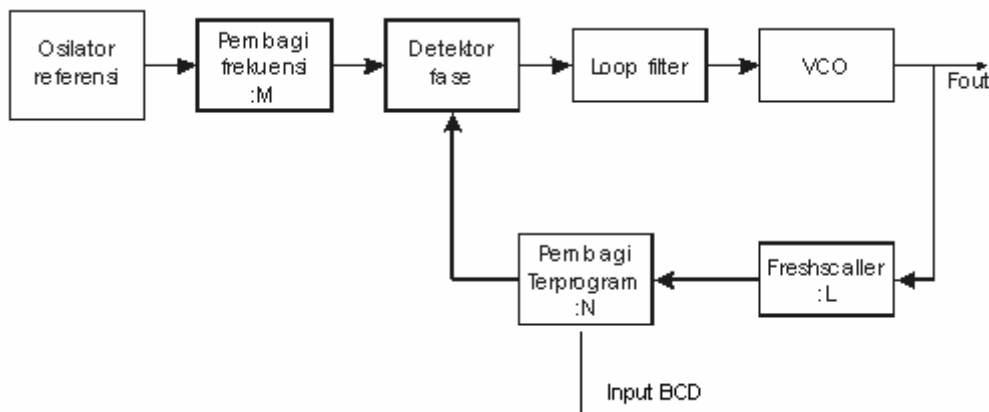
$$W(s) = \frac{K_p \times K_f(s) \times K_v}{s + \frac{K_p \times K_f(s) \times K_v}{N}} \dots\dots\dots(6)$$



Gambar 4. Diagram blok PLL Frequency Synthesizer untuk analiis

2.2. Perancangan

PLL FM Synthesizer yang pernah dirancang bekerja pada rentang frekuensi 88 sampai dengan 108 MHz dengan langkah (step) 100 KHz. Hasil perancangan diperoleh diagram blok berikut ini.



Gambar 5. Diagram blok PLL FM Synthesizer

Tabel 1. Komponen pada blok sistem pada PLL FM Synthesizer

Blok	Komponen inti
Osilator referensi	TC5082P
Pembagi frekuensi ÷ M	TC508P
Detektor fase	TC5081
Loop filter	RC
VCO	MC1648
Freshcaller ÷ L	LB3500
Pembagi terprogram ÷ N	TC9122P

Penambahan freshcaller bertujuan untuk menurunkan taraf frekuensi keluaran VCO yang besar supaya mampu diterima oleh pembagi terprogram sehingga persamaan (4) menjadi:

$$\frac{f_{refin}}{M} = \frac{f_{osc}}{N.L} \dots\dots\dots(7)$$

osilator referensi dicari berdasarkan besarnya step pada synthesizer dengan persamaan sebagai berikut:

$$step = f_{ref} \times L \dots\dots\dots(8)$$

$$f_{ref} = \frac{step}{L} \dots\dots\dots(9)$$

$$f_{ref} = \frac{100000Hz}{8}$$

$$f_{ref} = 12500Hz$$

$$f_{ref} = 12,5KHz$$

Bagian ini menggunakan IC TC5082 sebagai pembangkit frekuensi dengan kristal serta sekaligus sebagai pembagi dengan bilangan 1024 pada pin 7. Dengan demikian dibutuhkan kristal sebagai f_{refin} sebesar :

$$f_{refin} = 1024 \times f_{ref} \dots\dots\dots(10)$$

$$f_{refin} = 1024 \times 12,5KHz$$

$$f_{refin} = 12800KHz$$

$$f_{refin} = 12,8MHz$$

Berdasarkan persamaan (1), pembagi terprogram TC9122P membagi dengan bilangan sebagai berikut :

$$N = \frac{f_{osc} \times M}{f_{refin} \times L} \dots\dots\dots(11)$$

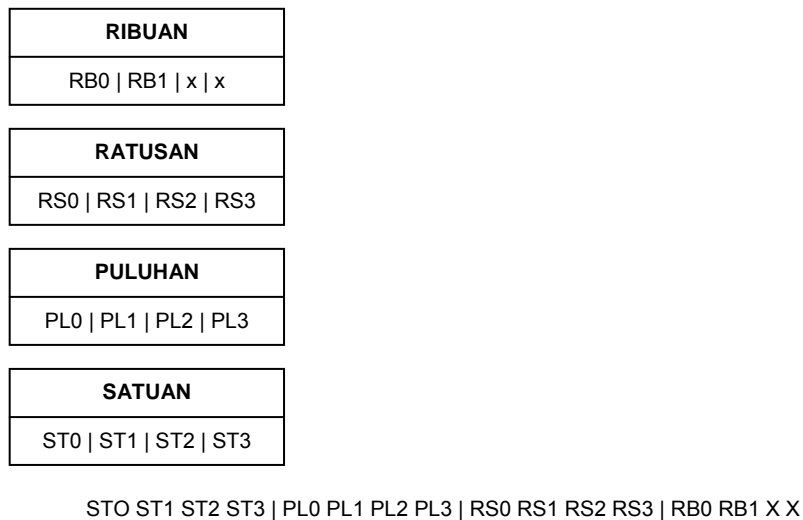
bilangan hasil dari perhitungan ini kemudian dikodekan ke dalam bentuk BCD sebagai input pembagi terprogram TC9122P.

Misalkan diinginkan *synthesizer* mengeluarkan frekuensi $f_{osc} = 102,5MHz$ maka besarnya bilangan pembagi N adalah:

$$N = \frac{102500 \times 1024}{12800 \times 8}$$

$$N = 1025$$

Chip IC TC9122P yang dipakai untuk pembagi terprogram dengan rasio pembagi N mempunyai konfigurasi input paralel 4 kali bilangan BCD sebagai berikut:



Gambar 6. Konfigurasi input TC9122P

Berdasarkan konfigurasi pada gambar 2 maka hasil N dari perhitungan di atas diuraikan dalam bentuk kode BCD sebagai berikut:

- Ribuan (RB) : 1 = 1000
- Ratusan (RS) : 0 = 0000
- Puluhan (PL) : 2 = 0100
- Satuan (ST) : 5 = 1010

Kemudian data tersebut dimasukkan pada input TC9122P dengan konfigurasi paralel sebagai berikut:

1010 0100 0000 1000

loop filter yang dipakai adalah lag-lead Filter. Perancangan loop filter ini dapat dilakukan dengan karakteristik dari tiap-tiap komponen penyusun blok sistem PLL FM Synthesizer. Untuk merancangnya dilakukan langkah-langkah sebagai berikut:

1. ζ adalah ukuran kesetiaan dan biasanya dipilih antara 0.6 sampai 0.8. diasumsikan untuk ζ dipilih pada 0.7.
2. Nilai $\omega_n t = 4,5$
3. lock-up time, t_s sesuai kemampuan detektor fasa yang dipakai.
4. frekuensi natural sudut $\omega_n = \frac{\omega_n t}{t_s} = \frac{4,5}{t_s} rad / sec$

frekuensi naturalnya $f_n = \frac{\omega_n}{2\pi}$

5. Rasio pembagian frekuensi $N = \frac{108\text{MHz}}{100\text{KHz}} = 1080$
6. Gain dari VCO, $K_v = \frac{f_{\text{MAX}} - f_{\text{MIN}}}{V_{\text{MAX}} - V_{\text{MIN}}} \times 2\pi$

Dengan:

f_{MAX} : Frekuensi keluaran maksimum
 f_{MIN} : frekuensi keluaran minimum
 V_{MAX} : tegangan masukan maksimum
 V_{MIN} : tegangan masukan minimum

$$K_v = \frac{108 - 88}{6 - 4} \times 2\pi$$

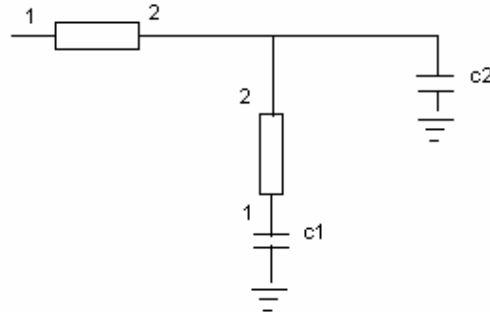
$$K_v = 62,8 \text{ rad/sec/v}$$

7. Gain dari detektor fase, $K_p = \frac{V_{\text{OH}} - V_{\text{OL}}}{4\pi}$

Dengan:

V_{OH} : tegangan keluaran maksimum
 V_{OL} : tegangan keluaran minimum

8. Selanjutnya dapat dibuat loop filter sebagai berikut:



Gambar 7. Leg-Lead Filter

Nilai komponen yang dipakai dapat dicari dengan rumus berikut:

$$C_1 = \frac{I_{cp} \times K_v}{N \times (2\pi \times f_n)^2}$$

dengan:

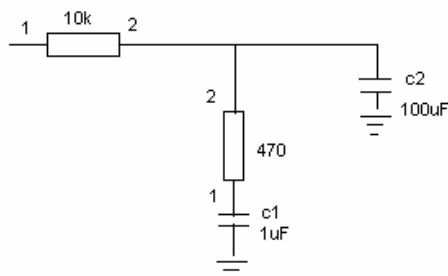
I_{cp} : PLL IC Charge Pump Current

$$R_1 = \left(\frac{K}{\omega_n^2} \times \frac{1}{N} - \frac{2\zeta}{\omega_n} + \frac{N}{K} \right) \times \frac{1}{C_1}$$

$$R_2 = \left(\frac{2\zeta}{\omega_n} - \frac{N}{K} \right) \times \frac{1}{C_2}$$

$$C_2 = \frac{C_1}{10}$$

Pada kenyataannya ternyata pada beberapa parameter yang dibutuhkan tidak terdapat pada datasheet komponen yang dipakai yaitu pada detektor fase dengan IC TC508P sehingga tidak mungkin dilakukan perhitungan dengan rumus-rumus yang ada. Untuk tetap memperoleh rancangan sistem PLL dilakukan dengan mencoba untuk memperoleh loop filter yang dimaksudkan sehingga diperoleh loop filter seperti pada gambar 8.



Gambar 8. Leg-Lead Filter hasil eksperimen

3. PENGUJIAN

Pengujian dilakukan untuk menguji apakah sistem dapat berjalan sesuai dengan yang diharapkan. Sistem dianggap berhasil apabila PLL FM Synthesizer telah mampu mensintesis frekuensi keluaran pada rentang 88 sampai 108 MHz dengan step 100 KHz dan mampu mempertahankan (mengunci) frekuensi keluaran VCO sesuai frekuensi referensi.

Langkah-langkah pada pengujian sistem adalah sebagai berikut:

1. Menghidupkan sistem PLL FM Synthesizer.
2. Memasukkan set frekuensi melalui input BCD dari IC TC9122P pada rentang 88 sampai 108 MHz dengan step 100 KHz.
3. Mengukur keluaran VCO f_{osc} dengan frekuensi counter atau dengan penerima FM yang dilengkapi dengan detektor sinyal dan frekuensi counter.

4. KESIMPULAN DAN SARAN

Dari penelitian ini dapat diambil kesimpulan sebagai berikut:

1. PLL Synthesizer dapat dirancang untuk menstabilkan frekuensi keluaran VCO dari perubahan suhu, hembusan angin yang menyebabkan perubahan karakteristik komponen yang dipakai.
2. PLL dapat dirancang untuk mensintesis frekuensi keluaran VCO.

Untuk pengembangan alat dimasa mendatang, kami usulkan beberapa saran sebagai berikut:

1. Membuat pengontrol input TC9122P pada PLL FM Synthesizer dengan masukan matrix keypad dan penampil menu LCD display untuk melakukan setting frekuensi dengan mikrokontroler.
2. membuat software pada mikrokontroler sebagai pembatas rentang frekuensi pada 88 sampai 108 MHz.

DAFTAR PUSTAKA

- [1] Agfianto Eko Putra, 2002, *Belajar Mikrokontroler AT89C51/52/55 Teori dan Aplikasi*, Gava Media, Yogyakarta.
- [2] Comer David. J., 1981, *Electronic Design with Integrated Circuit*, California State University, Chico.
- [3] <http://Atmel.com>, 2000, Datasheet, Atmel corporation.
- [4] <http://www.elico.net>, FM Exciter 20C.
- [5] <http://www.texasinstrument.com>, Application Report TLC2932, 1997.
- [6] <http://www.tcdata.com>, TC5082P Oscillator and Reference Divider.
- [7] <http://www.tcdata.com>, TC5081P PLL Phase-Locked-Loop.

- [8] <http://www.tcddata.com>, TC9122P Programmable Devicer.
- [9] Nalwan Andi. P., 2003, ***Panduan Praktis Teknik Antarmuka dan Pemrograman Mikrokontroler AT89C51***, Elex Media Komputindo, Jakarta
- [10] Shrader Robert. L., 1985, ***Electronic Communication***, Fifth Edition, McGraw-Hill, Inc., New York.
- [11] Susanto Budhy, 2002, ***Teknik Interface 1a Keypad Heksadesimal***, <http://alds.stts.edu>.
- [12] Susanto Budhy, 2000, ***Teknik Interface 2b Seiko Instrument M1632 LCD Modul***, <http://alds.stts.edu>.