

VŠB - Technická univerzita Ostrava
Fakulta elektrotechniky a informatiky
Katedra elektroniky

**Řídicí systém pro výkonovou elektroniku s mikrokontrolérem NXP řady
Kinetis**

**Control System for Power Electronics with NXP Microcontroller from
Kinetis Series**

Zadání diplomové práce

Student: **Bc. Daniel Kouřil**
Studijní program: N2649 Elektrotechnika
Studijní obor: 2612T003 Aplikovaná elektronika
Téma: **Řídicí systém pro výkonovou elektroniku s mikrokontrolérem NXP řady Kinetis**
Control System for Power Electronics with NXP Microcontroller from Kinetis Series

Jazyk vypracování: čeština

Zásady pro vypracování:

1. Proveďte specifikaci požadavků na řídicí systém pro výkonovou elektroniku.
2. Navrhněte podle požadavků řídicí systém pro výkonovou elektroniku.
3. Vytvořte základní programové vybavení řídicího systému.
4. Pomocí měření ověřte funkčnost řídicího systému.

Seznam doporučené odborné literatury:


Dle pokynů vedoucího závěrečné práce.

Formální náležitosti a rozsah diplomové práce stanoví pokyny pro vypracování zveřejněné na webových stránkách fakulty.


Vedoucí diplomové práce: **Ing. Martin Šobek, Ph.D.**

Datum zadání: 01.09.2016

Datum odevzdání: 28.04.2017


doc. Ing. Petr Palacký, Ph.D.
vedoucí katedry




prof. RNDr. Václav Snášel, CSc.
děkan fakulty

Prohlášení studenta

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně. Uvedl jsem všechny literární prameny a publikace, ze kterých jsem čerpal.

V Ostravě

datum odevzdání: 26. 4. 2017

podpis:



Poděkování

Rád bych na tomto místě poděkoval své rodině za podporu při studiu. Dále bych rád poděkoval vedoucímu diplomové práce Ing. Martinu Sobkovi, Ph.D. za odbornou pomoc a konzultace.

Abstrakt

Cílem této diplomové práce je na základě specifických požadavků pro řídicí systém výkonové elektroniky popsat návrh a realizaci řídicího systému s vybraným mikrokontrolérem firmy NXP, řady Kinetis, rodiny KV5. Diplomová práce seznamuje se specifickými nároky řídicího systému a používanými periferiemi obecně. V dalších částech pak konkrétně popisuje vybraný mikrokontrolér a jeho využití periferie. Dále je v práci popsán návrh a praktická realizace celého řídicího systému a jsou k ní přiloženy přílohy obsahující schémata zapojení jednotlivých částí systému a soubory usnadňující následnou práci s řídicí deskou.

klíčová slova

řídicí systém pro výkonovou elektroniku, mikropočítačová elektronika, mikrokontrolér

Abstract

The aim of the thesis is, based on the specific requirements for the power electronics control system, to describe the design implementation of the control system with the selected NXP microcontroller, Kinetis series, KV5 family. The thesis introduces the specific requirements of the control system and used peripherals in general. The next section describes specifically the selected microcontroller and its utilized peripherals. The thesis describes the design and the practical implementation of the control system it is accompanied by circuit diagrams of each part of the system and files to facilitate subsequent work with the control board.

key words

control system for power electronics, microcomputer electronics, microcontroller;

Obsah

SEZNAM OBRÁZKŮ A TABULEK	1
ÚVOD.....	3
1 SPECIFIKACE ŘÍDICÍHO SYSTÉMU.....	4
1.1 POŽADAVKY NA OBVODY ŘÍDICÍ DESKY	5
1.1.1 PWM modulátor.....	5
1.1.2 Analogové vstupy.....	7
1.1.3 Analogové výstupy.....	7
1.1.4 Jednotka pro připojení rotačních snímačů polohy a rychlosti (Enkodérů).....	7
1.1.5 GPIO.....	8
1.1.6 Styk s okolím (komunikační rozhraní)	8
1.1.6.1 UART.....	8
1.1.6.1.1 RS 422 a RS 485.....	8
1.1.6.2 CAN.....	9
1.1.6.3 I2C.....	10
1.1.6.4 SPI.....	11
2 MIKROKONTROLÉR KINETIS KV58F1M0VLQ24.....	12
2.1 ZÁKLADNÍ SEZNÁMENÍ S MKV58F1M0VLQ24.....	12
2.2 ARCHITEKTURA JÁDRA A SYSTÉMOVÉ PERIFÉRIE.....	14
2.3 DISTRIBUCE HODINOVÝCH SIGNÁLU	16
2.4 ROZHRANÍ PRO LADĚNÍ PROGRAMU JTAG	17
2.5 MODUL PRO ZPRÁVU NAPÁJENÍ (PMC)	19
2.6 ŘÍDICÍ MODUL PRO FUNKCI RESET (RCM).....	20
2.7 SYSTÉM PRO KONTROLU PROVOZNÍCH REŽIMŮ (SMC)	20
2.8 VYUŽITÉ PERIFERIE MCU PRO NÁVRH ŘÍDICÍHO SYSTÉMU	21
2.8.1 eFlex PWM modulátory	21
2.8.2 ADC převodník	23
2.8.3 HSADC převodník.....	24
2.8.4 Periférie pro připojení snímače polohy a otáček (ENC)	25
2.8.5 Sériová rozhraní (SPI, I2C, CAN, UART).....	26
2.8.5.1 SPI.....	26
2.8.5.2 I2C.....	27
2.8.5.3 CAN.....	28
2.8.5.4 UART.....	29
2.8.6 GPIO.....	30
2.8.7 Křížový přepínač XBARA	31
3 NÁVRH ŘÍDICÍHO SYSTÉMU.....	32
3.1 TOPOLOGIE NAVRŽENÉHO ŘÍDICÍHO SYSTÉMU PRO VÝKONOVOU ELEKTRONIKU.....	32
3.2 ZÁKLADNÍ DESKA SYSTÉMU	33
3.2.1.1 Obvody napájení.....	33
3.2.1.2 Externí krystalový oscilátor	34
3.2.1.3 JTAG.....	34
3.2.1.4 Připojení PWM.....	35
3.2.1.5 Zapojení rozhraní pro enkodér	36
3.2.1.6 Analogové vstupy	37
3.2.1.7 Analogové výstupy	38
3.2.1.8 Zapojení obvodů pro styk s okolím.....	38

3.2.1.9	Další vyvedené periférie.....	40
3.2.2	3D model základní desky systému.....	41
3.3	DESKA ANALOGOVÝCH VSTUPŮ.....	42
3.3.1	Návrh vstupního obvodu	42
3.3.2	Návrh „Low-pass“ filtru	43
3.3.3	3D model desky analogových vstupů.....	45
3.4	DESKA ANALOGOVÝCH VÝSTUPŮ	45
3.4.1	DAC převodník AD5624.....	45
3.4.2	3D model desky analogových výstupů.....	46
3.5	DESKA PWM	47
4	ZÁKLADNÍ PROGRAMOVÉ VYBAVENÍ.....	48
4.1	VÝVOJOVÉ PROSTŘEDÍ A PODPORA	48
5	OVĚŘENÍ FUNKČNOSTI ŘÍDICÍ DESKY.....	49
	ZÁVĚR	50
	LITERATURA	51
	PŘÍLOHY NA CD.....	52

Seznam obrázků a tabulek

OBRÁZEK 1-1 OBECNÉ BLOKOVÉ SCHÉMA ŘÍDICÍHO SYSTÉMU	4
OBRÁZEK 1-2 SIGNÁL PWM.....	6
OBRÁZEK 1-3 PRINCIP MODULÁTORU PWM.....	6
OBRÁZEK 1-4 PŘÍKLAD ZAPOJENÍ FYZICKÉ VRSTVY CAN.....	9
OBRÁZEK 1-5 PŘÍKLAD ZAPOJENÍ FYZICKÉ VRSTVY I2C	10
OBRÁZEK 1-6 PŘÍKLAD ZAPOJENÍ FYZICKÉ VRSTVY SPI.....	11
OBRÁZEK 2-1 ARCHITEKTURA JÁDRA MIKROKONTROLÉRU [5] STR.78	15
OBRÁZEK 2-2 BLOKOVÉ SCHÉMA VNITŘNÍHO USPOŘÁDÁNÍ DISTRIBUCE HODINOVÝCH SIGNÁLŮ.....	17
OBRÁZEK 2-3 BLOKOVÉ SCHÉMA INTEGROVANÉHO JTAG ROZHRAŇÍ	18
OBRÁZEK 2-4 BLOKOVÉ SCHÉMA STRUKTURY PWM MODULU	22
OBRÁZEK 2-5 BLOKOVÉ SCHÉMA STRUKTURY ADC [5] STR. 916 FIGURE 40-2	23
OBRÁZEK 2-6 BLOKOVÉ SCHÉMA STRUKTURY HSADC [5] STR. 976 FIGURE 41-1	24
OBRÁZEK 2-7 BLOKOVÁ STRUKTURA ENKODÉRU [5] STR. 1271 FIGURE 47-1	25
OBRÁZEK 2-8 BLOKOVÉ SCHÉMA MODULU SPI [5] STR. 1420 FIGURE 50-1	26
OBRÁZEK 2-9 BLOKOVÉ SCHÉMA FUNKCE I2C [5] STR. 1613 FIGURE 52-1.....	27
OBRÁZEK 2-10 BLOKOVÉ SCHÉMA PERIFÉRIE CAN [5] STR. 1744 FIGURE 54-1.....	28
OBRÁZEK 2-11 BLOKOVÉ SCHÉMA ZAPOJENÍ XBARA PŘEPÍNAČE [5] STR. 644 FIGURE 30-1	31
OBRÁZEK 3-1 TOPOLOGIE NAVRŽENÉHO ŘÍDICÍHO SYSTÉMU S KINETIS MKV58FX.....	32
OBRÁZEK 3-2 NAPÁJECÍ VĚTEV 3,3V PRO DIGITÁLNÍ OBVODY.....	33
OBRÁZEK 3-3 ZAPOJENÍ EXTERNÍHO KRYSTALOVÉHO OSCILÁTORU.....	34
OBRÁZEK 3-4 ZAPOJENÍ ARM-10-JTAG KONEKTORU	34
OBRÁZEK 3-5 ZAPOJENÍ KONEKTORU PWM MODUL.....	35
OBRÁZEK 3-6 ZAPOJENÍ KONEKTORU PRO PŘIPOJENÍ ROTAČNÍHO ENKODÉRU	36
OBRÁZEK 3-7 OBVOD PRO ÚPRAVU SIGNÁLŮ Z ENKODÉRU	36
OBRÁZEK 3-8 ZAPOJENÍ KONEKTORŮ PRO PŘIPOJENÍ DESKY ANALOGOVÝCH VSTUPŮ	37
OBRÁZEK 3-9 BLOKOVÉ SCHÉMA ZAPOJENÍ ANALOGOVÝCH VÝSTUPŮ	38
OBRÁZEK 3-10 BLOKOVÉ SCHÉMA ZAPOJENÍ CAN	38
OBRÁZEK 3-11 BLOKOVÉ SCHÉMA ZAPOJENÍ RS485	39
OBRÁZEK 3-12 BLOKOVÉ SCHÉMA ZAPOJENÍ RS422	39
OBRÁZEK 3-13 ZAPOJENÍ KONEKTORU PRO I2C.....	40
OBRÁZEK 3-14 ZAPOJENÍ KONEKTORU PRO SPIO.....	40
OBRÁZEK 3-15 ZAPOJENÍ KONEKTORU PRO GPIO.....	40
OBRÁZEK 3-16 3D MODEL ZÁKLADNÍ DESKY ŘÍDICÍHO SYSTÉMU KINETIS MKV58FX.....	41
OBRÁZEK 3-17 BLOKOVÉ SCHÉMA ZAPOJENÍ DESKY ANALOGOVÝCH VSTUPŮ	42
OBRÁZEK 3-18 SCHÉMA ZAPOJENÍ VSTUPNÍHO ROZDÍLOVÉHO ZESILOVAČE	42
OBRÁZEK 3-19 ČASOVÉ PRŮBĚHY SIMULOVANÉHO VSTUPNÍHO ZESILOVAČE.....	43
OBRÁZEK 3-20 SCHÉMA ZAPOJENÍ LP FILTRU TYPU SALLÉN KEY.....	43
OBRÁZEK 3-21 LAFFCH NAVRŽENÉHO FILTRU (VÝSTUP ZE SIMULACE V PROGRAMU MICROCAP	44
OBRÁZEK 3-22 3D MODEL DESKY ANALOGOVÝCH VSTUPŮ	45
OBRÁZEK 3-23 BLOKOVÉ SCHÉMA VNITŘNÍ STRUKTURY DAC A5624 [11]STR.1.....	46
OBRÁZEK 3-24 3D MODEL DESKY ANALOGOVÝCH VÝSTUPŮ	46
OBRÁZEK 4-1 PROSTŘEDÍ FREEMASTER, PRŮBĚHY	48
OBRÁZEK 5-1 FÁZOVÁ NAPĚTÍ STATORU.....	49
OBRÁZEK 5-2 PRŮBĚH NAPĚTÍ A PROUDU JEDNÉ FÁZE PŘI ROZBĚHU MOTORU.....	49

<i>TABULKA 3-1 PROPOJENÍ VSTUPŮ S ADC A HSADC</i>	37
<i>TABULKA 3-2 PARAMETRY NAVRŽENÉHO FILTRU</i>	43

Úvod

Diplomová práce svým obsahem zasahuje do problematiky řídicí elektroniky výkonových měničů, zejména pak návrhem a konstrukcí řídicí desky systému. Obecně bývá takovýto systém vybaven komponenty pro zajištění řízení technologického procesu, obvody pro styk s řízeným objektem, komunikačním rozhraním a dalšími podpůrnými obvody. S nasazením mikropočítačové techniky je pak rozšíření funkcí a dodatečné úpravy systému, často už jen softwarovou záležitostí, na rozdíl od analogové techniky, kde by neúměrně rostla složitost zapojení a ovládání. V dnešní době jsou tedy řídicí systémy postaveny na mikrokontrolérech. *Volně přejato z [1].*

S použitím moderního mikrokontroléru firmy NXP řady Kinetis MKV58F1M0VLQ24 bylo úkolem diplomové práce navrhnout a realizovat základní desku řídicího systému pro výkonovou elektroniku, vybavenou vhodnými periferiemi pro řízení měničů a styk s okolím s možností případného rozšíření o další zařízení. Dále byly navrženy obvody pro analogové vstupy a výstupy formou rozšiřujících desek plošných spojů, kterými lze rozšířit základní desku, podle potřeb dané aplikace. To dělá celý návrh řídicího systému velmi univerzálním pro další práci a vývoj nových rozšiřujících desek.

V následující kapitole je popsána problematika požadavků na řídicí systém obecně. V dalších kapitolách je pro seznámení stručně specifikován použitý mikrokontrolér Kinetis KV58 a jeho využití periférie. Dále je popsán návrh a realizace jednotlivých částí řídicí desky a rozšiřujících karet. Poslední část práce je věnována popisu základního programového vybavení a ověření funkčnosti navrženého systému.

1 Specifikace řídicího systému

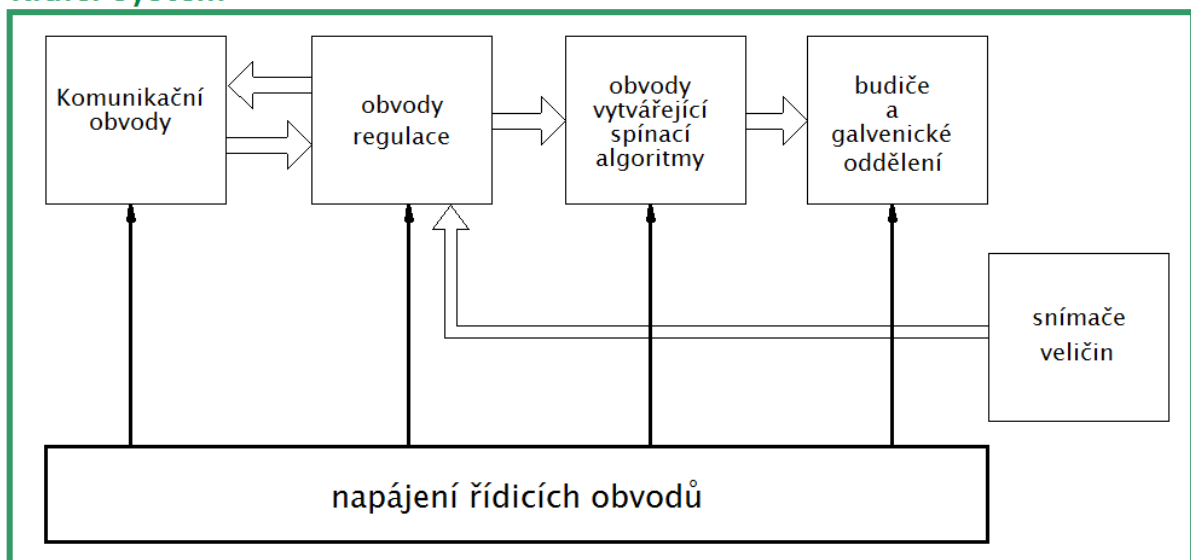
Moderní měniče často vyžadují propracovaný algoritmus spínání, který vytváří optimální tvar řídicího signálu jednotlivých spínačů zároveň i účinný a bezpečný způsob jištění výkonových prvků. O tyto požadavky se musí postarat řídicí systém.

Ten je jako celek tvořen obvody pro nastavování parametrů a jeho ovládání. V případě řešené práce by to mohlo být PC s vytvořeným softwarem pro nastavování parametrů, připojené k řídicí desce přes komunikační rozhraní nebo programovací rozhraní.

Pro regulaci a diagnostiku je nutné zavést do systému zpětnou vazbu, proto je systém obohacen o snímače skutečných veličin. Nejčastěji napěťového a proudového typu, ale i snímači pro vyhodnocení polohy a rychlosti tzv. rotačních enkodérů a dalších snímačů. Nedílnou součástí řídicího systému jsou i obvody sloužící ke galvanickému oddělení řídicí části a budících obvodů od výkonové části.

Řídicí deska systému je tvořena obvody pro digitální zpracování signálu, slouží k vytvoření algoritmů spínání a řídicího signálu směrem k budiči měniče. Obsahuje obvody pro styk s okolím. Další části diplomové práce jsou věnovány specifikaci řídicí desky jejím návrhem a realizací.

Řídicí systém



Obrázek 1-1 obecné blokové schéma řídicího systému

1.1 Požadavky na obvody řídicí desky

Mikrokontrolér vznikl na základě neustále rostoucích požadavků průmyslových aplikací na výpočetní výkon a speciální periférie. Základem řídicí desky pro výkonovou elektroniku je mikrokontrolér, jehož hlavním úkolem je vytvoření algoritmů spínání pro řízení regulace. *Volně přejato z [1].*

Pro tuto aplikaci se bude jednat hlavně o rozšíření periférie PWM modulátoru co do počtu výstupů, tak i o různé přídavné funkce. Dále bude vybaven analogově digitálním převodníkem (ADC) a vysokorychlostním analogově digitálním převodníkem (HSADC) pro připojení analogových vstupů. Analogové výstupy bude zpracovávat digitálně analogový převodník. Pro styk s okolím bude vybaven perifériemi pro průmyslovou komunikaci. Mikrokontrolér a další komponenty desky budou napájeny ze zdroje, který je rozdělen na část napájení pro digitální obvody desky a část analogovou.

Na řídicí desce je možné se setkat i s dalšími rozšiřujícími obvody. Příkladem může být rozšíření paměti, ve které mohou být uloženy programy pro řízení, ale také může sloužit pro ukládání měřených dat. Signalizace různých stavů nebo i přítomnosti napájecího napětí, může být také velmi vhodným doplněním systému řídicí desky.

Následující část kapitoly blíže seznamuje s principy funkce výše uvedených periférií, které lze považovat za základní obsah řídicí desky pro výkonovou elektroniku.

1.1.1 PWM modulátor

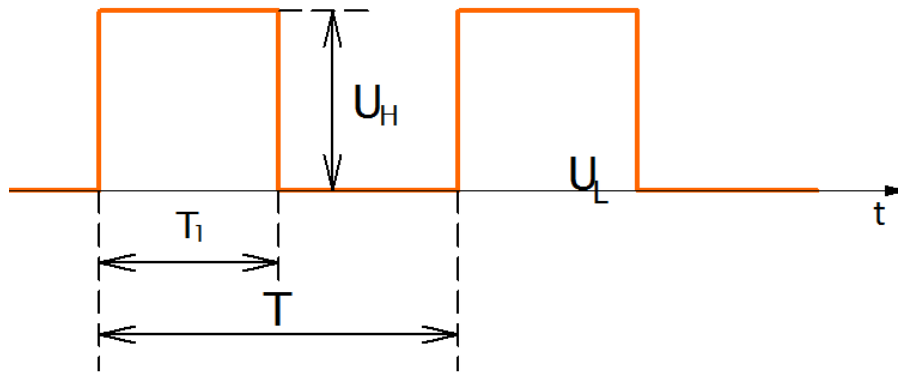
Velmi častá periférie, kterou je vybaven téměř každý mikrokontrolér. V případě řízení elektropohonů má důležitou roli vytváření spínacích impulsů pro výkonové spínače. Je to velmi vhodný způsob pro přenášení signálu i ke vzdáleným zařízením.

PWM (*Pulse width modulation*) je pulzně šířková modulace. V případě, že jsou přesně definovány napěťové úrovně, střední hodnota výstupního napětí z PWM modulátoru bude závislá jen na poměru dvou časů vytvářejících střidu.

$$U_{stř} = \left(\frac{T_1}{T}\right) U_H + U_L \quad (1.1)$$

Kde:

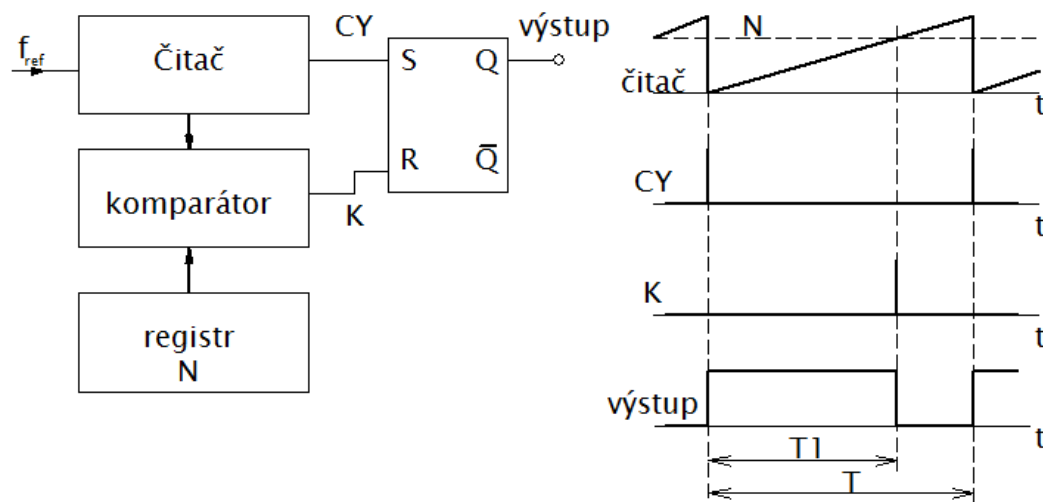
- $U_{stř}$ střední hodnota výstupního napětí
- T_1 čas průběhu napěťové úrovně U_H
- U_H vysoká napěťová úroveň
- U_L nízká napěťová úroveň



Obrázek 1-2 signál PWM

V nejjednodušším případě je PWM modulátor vytvořen čítačem, který čítá nahoru nebo dolů a komparátor porovnává shodu s hodnotou nastavenou v registru. V případě shodnosti dochází k vynulování klopného obvodu na výstupu. V případě neshody je klopný obvod v logické 1. Tímto způsobem vzniká pravoúhlý impuls s přesně definovanou periodou a střídou. *Volně přejato z [2].*

Výše popsaný princip je ilustrován na následujícím obrázku



Obrázek 1-3 Princip modulátoru PWM

1.1.2 Analogové vstupy

Analogové vstupy zde slouží například k připojení čidel, tedy obecně k úpravě signálu pomocí operační sítě na úroveň zpracovatelnou mikro počítačem. Ten pak analogový signál převede na digitální za pomoci periférie AD převodníku, je tak možné s ním dále pracovat.

1.1.3 Analogové výstupy

Mohou být na desce například z důvodu připojení externích měřících zařízení jako osciloskop apod.

1.1.4 Jednotka pro připojení rotačních snímačů polohy a rychlosti (Enkodérů)

Periférie, kterou mohou být vybaveny mikrokontroléry používané pro řízení pohonů a polohové řízení. Rotační enkodér jako zařízení, není přímo obsaženo na řídicí desce, ale na hřídeli motoru. K mikrokontroléru je připojeno přes obvody, které upravují signál pomocí operační sítě a galvanickým izolátorem. Signál je pak veden na periférii enkodéru.

Rotační optický enkodér

Patří mezi inkrementální enkodéry. Je to zařízení, které se používá pro přesné zjištění polohy a rychlosti otáčení motorů. Jde v podstatě o elektromechanický převodník, kdy se pohyb rotace převádí na digitální pulsní signál, principem optické závory.

Zařízení se skládá z:

- Kotouče s průhlednými a neprůhlednými plochami
- Optického vysílače
- Optického přijímače
- Optiky pro zaostření

Kotouč je spojen s otočnou hřídelí motoru, otáčí se tedy zároveň a stejným směrem. Optický vysílač, tvořený nejčastěji světelnou diodou LED je umístěn před kotoučem. Optický přijímač tvořený fototranzistorem je naopak za kotoučem. Světelný signál dorazí k přijímači pouze v místech s průhlednými plochami. Takto je generován impulzní signál. Ten je třeba ještě filtrovat a zesílit dalšími obvody, často se impulzní signál snímá diferencially pro potlačení šumu. *Volně přežato z [8].*

Dalším principem inkrementálního enkodéru, je magnetický princip.

Dále existují absolutní enkodéry. Ty jsou ideální pro přesné polohování a je možné je využít pro nastavení referenční polohy hned po zapnutí pohonu.

Rozlišení optických enkodérů bývá 16-10000 impulsů na otáčku. Rozlišení absolutních enkodérů je 4096 impulsů na otáčku.

Přežato z [7].

1.1.5 GPIO

Jedná se o digitální vstupně/výstupní obvody, které lze použít pro spojení mikrokontroléru s okolím. Mohou přenášet najednou všechny bity paralelní brány, mohou přenést i jednotlivé bity. Vstupní členy jsou zavedeny na datovou sběrnici přes třístavové členy. Brána je u mikropočítačů dvousměrná. Řízení přenosu je prováděno přes řídicí registry. Několik různých periférií se často dělí o vývody mikrokontroléru. Ten je vybaven obvody, které připojují jednotlivé periférie k vývodům na základě ovládání určeným řídicím registrem. Signály jsou směřovány pomocí multiplexeru, ten je řízen registrem směru. *Volně přejato z [2].*

1.1.6 Styk s okolím (komunikační rozhraní)

Pro styk s okolím jsou mikrokontroléry vybaveny podpůrnými periferními obvody, které umožňují komunikaci mikrokontroléru s dalšími zařízeními. Nejčastěji se jedná o sériové komunikační periférie.

1.1.6.1 UART

(Univerzal Asynchronous Receiver – Transmitter) je sériová periférie využívající asynchronního přenosu. Synchronizace je znaková, v klidovém stavu je vysílač v log 1. Vysílání signálu je zahájeno start bitem tzn. změnou hodnoty na úroveň log. 0. Jednotlivé znaky tedy mohou po sobě následovat s libovolnou mezerou.

Po start bitu následuje přenos dat, ten probíhá od nejnižšího LSB datového bitu k největšímu MSB bitu. Komunikace je ukončena stop bitem. Počet stop bitů může být zvolen 1-2 bity. Může být zvolen i počet datových bitů, 7-8. Někdy je komunikace před stop bitem doplněna o volitelný paritní bit, který slouží ke kontrole přenosu.

UART má dva hlavní společné vodiče pro datové signály.

TX vysílání signálu
RX příjem signálu

Volně přejato z [2].

1.1.6.1.1 RS 422 a RS 485

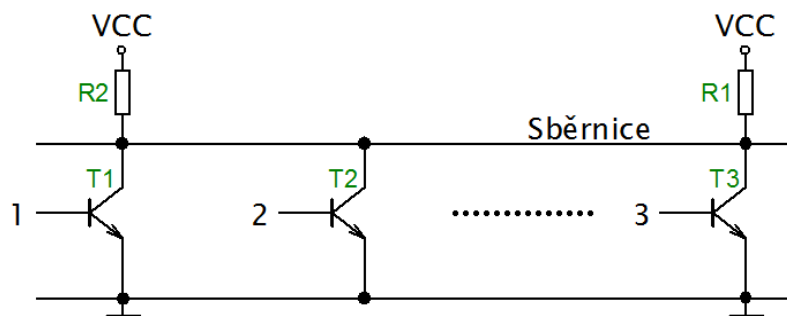
UART periférie je používána v rámci normy (standardu) RS 422/ RS485 a dalších. Normy přesně definují zapojení, konektory (ne u RS 485), řídicí a stavové signály i elektrické parametry a úrovně.

RS 422/ RS 485 vychází ze stejného základu jako RS232. Rozdíl je v napět'ových úrovních, navíc je založená na detekci rozdílového napětí mezi vodiči označovanými „A“ a „B“. To je výhodné zejména k eliminaci rušení, takže možností delších vedení. Existují dvou a čtyřvodičové verze komunikace pro jednosměrný a obousměrný provoz. *Volně přejato z [2].*

1.1.6.2 CAN

Fyzická vrstva

Fyzické přenosové médium protokolu CAN realizuje funkci logického součinu. Standardem CAN jsou definovány dvě logické úrovně bitu – **dominant** (aktivní stav) a **recessive** (pasivní stav). Stav dominant odpovídá logické 0 a recessive odpovídá stav logické 1. Sběrnici tvoří dva vodiče (označované CAN_H a CAN_L), kde dominant či recessive úroveň na sběrnici je definována rozdílovým napětím těchto dvou vodičů. Logické hodnoty nemají striktně dány napěťové úrovně, ty upřesňuje použitý standard ISO. (11898-1, 11898-2, 11898-3, 11519 a další)



Obrázek 1-4 příklad zapojení fyzické vrstvy CAN

Je-li jeden z tranzistorů sepnutý, objeví se na sběrnici úroveň logické 0, tzn. dominant. V případě, že ani jeden tranzistor není sepnut na sběrnici je úroveň recessive (logická 1).

Přenosové médium může být dvou vodičové nebo i jednovodičové.

Linková vrstva

CAN Specifikace definuje dvě varianty, které se od sebe liší počtem bitů v identifikátoru:

CAN 2.0A – je kompatibilní s druhou variantou a využívá 11 bitový identifikátor,

CAN 2.0B – představuje dva typy rámců a to standardní CAN 2.0A a rozšířený.
(29 bitový identifikátor)

Linkovou vrstvu je možné rozdělit do dvou částí:

MAC (Multiple Access Control)

- Zajišťuje přístup k médiu a kódování
- Přenos a přístup na základě identifikátoru
- Kontrola a diagnostika

LLC (Logic Link Control)

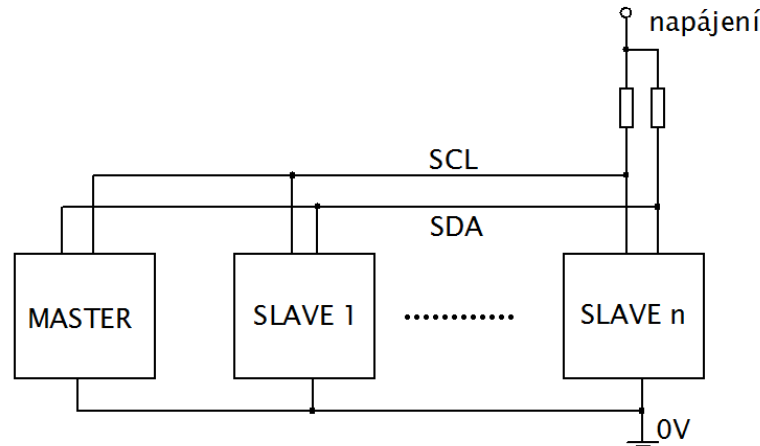
- Filtrace dat
- Kontrola přetížení sítě
- Operace se zprávami

Volně přejato z [9]

1.1.6.3 I2C

I2C Bus (*Internal Integrated Circuit Bus*), periferní obvod, který obecně není až tak častou výbavou mikropočítačů. Sběrnice je podobná sběrnici CAN, kterou předcházela. Je vhodná pro připojení zařízení na malou vzdálenost, nejčastěji tedy v rámci desky plošného spoje, kdy spojuje MCU s okolními obvody jako jsou například obvody pro RTC (*Real Time Clock*) nebo Displeje.

Fyzická vrstva



Obrázek 1-5 příklad zapojení fyzické vrstvy I2C

Pro komunikaci používá dva vodiče

SDA - datový vodič

SCL – synchronizační vodič

Rozlišují se 3 typy podle rychlosti synchronizačních pulzů SCL

- Standardní (100kHz)
- Rychlá (400kHz)
- Vysokorychlostní (3,4 MHz)

Oba vodiče umožňují obousměrný přenos. Zařízení na sběrnici jsou připojena adresou. Jedno ze zařízení je nastaveno jako MASTER, nejčastěji řídicí mikrokontrolér a všechny ostatní obvody jsou SLAVE. Sběrnici lze zapojit i jako MULTIMASTER, kdy je najednou připojených několik zařízení MASTER.

Linková vrstva

Začátek komunikace je označen start značkou, následuje adresa. Zařízení s nižší hodnotou adresy má vyšší prioritu, bude mít proto přednost při komunikaci. Adresa může mít 7 až 10 bitů. Zpráva je členěna do libovolného počtu 8 bitových rámců. V posledním bitu adresy je uvedena informace o tom zda bude zařízení vysílat nebo přijímat data, komunikace je ukončena stop značkou. Za každým přeneseným rámcem je vsunut bit pro potvrzení příjmu. *Volně přejato z [2]*

Alternativou k I2C je SPI, této periférii je věnována následující podkapitola.

1.1.6.4 SPI

(*Serial peripheral interface*) je sériová periférie, kterou obsahuje převážná většina kontrolérů. Využívá se pro spojení s blízkými obvody, jako paměti, senzory, hodiny reálného času, převodníky atd., nejčastěji v rámci jedné desky plošného spoje.

Má jednoduchou synchronizaci tvořenou jedním uzlem, který rozesílá hodinové impulzy ke všem podřízeným uzlům. Způsob řízení není definován žádnou normou na rozdíl od UART.

Kmitočet synchronizace se proto pohybuje od kHz–MHz, v závislosti na použitých periferních obvodech a napěťové úrovni TTL /CMOS.

Komunikace na SPI probíhá jako MASTER a SLAVE. U moderních kontrolérů i MULTIMASTER. Komunikace probíhá bit po bitu, sériově od nejvyššího po nejmenší bit.

SPI má tři společné vodiče

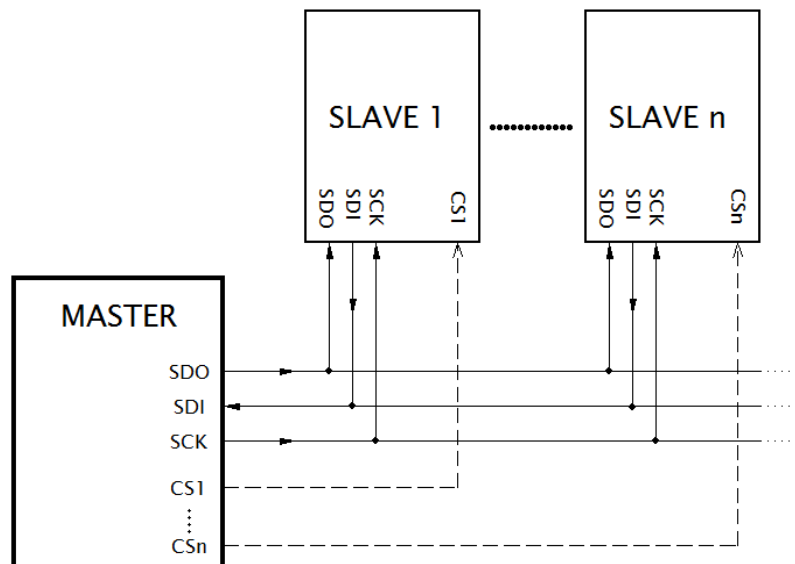
SDO sériová výstupní data

SDI sériová vstupní data

SCK synchronizační pulzy

Pro výběr periférie slouží vodič \overline{CS} chipselect (výběr periférie)

Pro začátek komunikace nastaví MASTER \overline{CS} na log. 0 pro vybrané zařízení. Následují **SCK** impulzy, během kterých probíhá posílání dat 8-16 bitů. Komunikaci ukončuje MASTER zařízení natavením \overline{CS} na log. 1. *Volně přejato z [2]*



Obrázek 1-6 příklad zapojení fyzické vrstvy SPI

2 Mikrokontrolér Kinetis KV58F1M0VLQ24

Tato kapitola je věnována specifikaci vybraného mikrokontroléru MKV58F1M0VLQ24, který tvoří základ celého systému. V následujících podkapitolách je možné se seznámit už konkrétně s funkcí periférií mikrokontroléru, které byly na základě 1. kapitoly *Specifikace řídicího systému*, zvoleny jako vhodné a důležité pro aplikaci do řídicího systému výkonové elektroniky. Referenční manuál pro práci s MCU se počtem stran blíží ke dvěma tisícům, proto s ohledem na rozsah celé práce je smyslem kapitoly vytvořit jednoduchý a ucelený přehled o základní skladbě MCU a funkcích periférií, které byly použity v této aplikaci. Pro hlubší porozumění je nutné nastudovat manuály výrobce a navštívit webovou podporu.

Následující podkapitola stručně seznamuje s použitým mikrokontrolérem KV58F1M0VLQ24.

2.1 Základní seznámení s MKV58F1M0VLQ24

MKV58F1M0VLQ24 nabízí špičkové periférie pro práci v reálném čase. Je přímo určen pro aplikaci s průmyslovými pohony a jejich řízení, průmyslovou automatizaci, vícemotorové systémy, fotovoltaické systémy, záložní zdroje (UPS) a další.

Celá rodina řady Kinetis KV5x je postavena na 32 bitové architektuře ARM Cortex-M7, které je věnována následující podkapitola 2.2. Následující části podkapitoly popisují vlastnosti tohoto Mikrokontroléru.

Jádro

- může být taktováno až na 240MHz a je vybaveno jednotkou pro práci s plovoucí řadovou čárkou FPU (*Floating Point Unit*). Více konkrétních informací o jádře je popsáno v podkapitole 2.2.

Paměťový prostor

- Až 1MB paměti typu Flash pro paměť programů
- Až 256KB paměti RAM
- Externí paměťové rozhraní (FlexBus)

Systémové periférie

- 32 kanálový DMA řadič (*Direct Memory Access*)
- jednotka pro buzení systému
- jednotky pro komunikaci s vývojovým prostředím JTAG/cJTAG a SWD

více k systémovým perifériím v podkapitole 2.2.

Časování

- možno připojit 32 kHz až 40kHz nebo 3 až 32 MHz externí krystalový oscilátor
- Víceúčelový hodinový generátor MCG (*Multiply Clock Generator*)

Komunikační rozhraní

- 6x UART/FlexSCI modul
- 3x 16 bitové SPI
- 2x I2C modul
- 3x FlexCAN modul
- ETHERNET modul s šifrovací jednotkou

Periférie pro analogové vstupy/výstupy

- 2x 12 bitový Vysokorychlostní analogový převodník HSADC s vzorkováním až 10Ms/s při rozlišení 6 bitů
- 1x 16 bitový analogový převodník ADC
- 4x ACMP s 6 bitovým DAC
- 1x 12 bitový DAC

PWM modulátory

- 2x eFlexPWM se 4 submoduly, 12 PWM výstupů pro modulátor, rozlišení menší než 285ps

Čítače/Časovače

- 2x 8 kanálový čítač/časovač FlexTimer (FTM0 a FTM3)
- 2x 2 kanálový čítač/časovač FlexTimer (FTM1 a FTM2)
- 2x zpožďovací bloky (PDB)
- kvadrurní enkodér/ dekodér (ENC)

Digitální vstupy/ výstupy

- GPIO

Křížové přepínače

- XBARA meziperiferní přepínač s AND, OR a invertující logikou pro spojení periférií s vývody MCU

Přejato z [4].

2.2 Architektura jádra a systémové periférie

Jádro mikrokontroléru je tvořeno mikroprocesorem architektury ARM Cortex-M7. Ve srovnání s aplikačními procesory tvořící řadu Cortex-A, které je možné najít například v mobilních aplikacích a systémech s Operačními systémy, jako Microsoft Windows, Linux, Android a podobně, a procesory pro práci v reálném čase Cortex-R, se jedná o nejnižší rodinu ARM Cortex mikroprocesorů, co do schopností jádra a výkonu.

ARM Cortex-M je 32 bitová architektura obecně zaměřená na energetickou úsporu, při zachování co nejvyššího možného výpočetního výkonu. Cortex-M7 je nejnovější a nejvýkonnějším zástupcem této rodiny. Je zpětně kompatibilní se staršími zástupci rodiny, jako M4 A M33. Již od verze M4 obsahují jádra digitální signálový procesor DSP (*Digital Signal Processor*) a jednotku pro práci s plovoucí řadovou čárkou FPU (*Floating Point Unit*), která umožňuje rychlé energeticky úsporné zpracování algoritmů.

Použitím je tato architektura zacílena zejména na zabudování do mikrokontrolérů pro průmyslové aplikace. Jsou tedy vhodné pro řízení elektrických pohonů. Dále je zacílena na vestavěné systémy a dnes velmi oblíbené zařízení pro „Internet věcí“ IoT (*Internet of Things*). Zároveň se snaží architektura zachovat snadné ovládání celého mikrokontroléru.

Usnadnění ovládání je docíleno snahou vytvořit neměnnou architekturu jádra pro všechny produkty, to usnadňuje práci při přechodu na jiný mikrokontrolér s mikroprocesorem s architekturou rodiny Cortex M. Pro snadnější a rychlejší vývoj programové části a přenositelnost vyvinula firma ARM standard programového rozhraní CMSIS (*Cortex Microcontroller Software Interface Standard*).

CMSIS vytváří standardizované programové rozhraní pro funkce v mikroprocesorech napříč všemi výrobci mikrokontrolérů s jádry Cortex. V knihovně ovladačů vývojového softwaru, lze najít například ovladače CMSIS-Core pro práci s jádrem a dále třeba ovladač CMSIS-DSP pro práci s digitálním signálovým procesorem, tyto ovladače umožňují různé funkce a optimalizace pro danou architekturu.

Použitý mikrokontrolér MKV58F1M0VLQ24 má integrováno popsané jádro Cortex-M7. Jádro může být taktováno až na 240MHz, dále obsahuje jednotku pro zřetězení instrukcí tzv. „in-order super-scalar pipeline“, jednotku pro práci s plovoucí řadovou čárkou SPFPU (*Single Precision Floating Point Unit*) a vícepaměťová rozhraní.

Vícepaměťová rozhraní jsou tvořena úzce spojeným paměťovým rozhraním TCM (*Tightly Couple Memory*). To lze rozdělit na dvě části, 64 bitovou ITCM (*Instruction Tightly Couple Memory*) sloužící k propojení 64KB rychlé paměti RAM, tak aby nedocházelo k prodlevám při provádění instrukcí a 64 bitovou DTCM (*Data Tightly Coupled Memory*) k propojení 128 KB paměti RAM, tak aby se urychlilo čtení dat z paměti.

Jádro dále obsahuje samostatné 64 bitové rozhraní pro připojení externího paměťového prostoru tzv. AXIM. Ten tvoří vyrovnávací mezipaměti pro data (8 KB) a instrukce (16 KB) k efektivnějšímu přístupu k externím paměťovým zdrojům.

Procesor je vybaven jednocelovým 32 bitovým portem pro integrované periférie s nízkou reakční dobou tzv. AHBP, které poskytuje přístup do paměti, zápis a přístupy pro víceprocesorové systémy.

Architektura dále obsahuje 32 bitový port tzv. AHBS pro přístup do systému k paměťovým prostorům z podřízených jednotek přes 32 kanálovou jednotku přímého přístupu do paměti DMA (*Direct Memory Access*). Data tedy neprochází procesorem, tak se může dosahovat vyššího výkonu. *Volně přejato z [10] a [5].*

Procesor obsahuje i jednotku pro ochranu paměťového prostoru MPU (*Memory Protection Unit*). Paměť je možné rozdělit až na 16 oblastí, které budou chráněny.

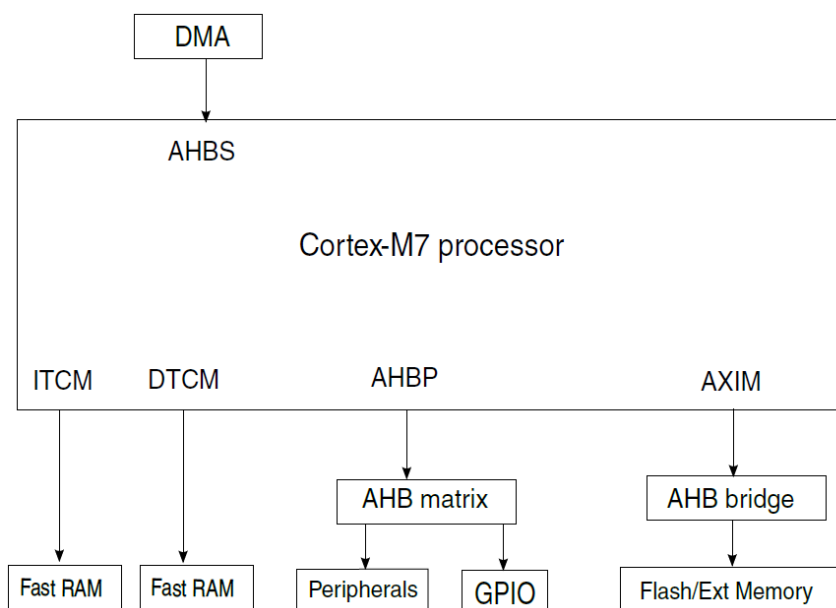
Systémové periférie

MCU obsahuje dva křížové přepínače tzv. Crossbar. AXBS se 4 nadřazenými a 7 podřízenými porty. Ty zprostředkují výše popsaným jednotkám jádra přístup k perifériím, RAM, externím paměťovým prostorům a DMA. Druhý křížový přepínač PL301 zprostředkovává 64 bitové rozhraní paměti FLASH přes řadič FLASH.

Další systémové periférie jádra jsou:

- vnořený řadič přerušení
- řadič přerušení pro probuzení systému AWIC (*Asynchronous Wake-up Interrupt Controller*), který může probudit systém bez nutnosti hodinových pulzů.
- Jednotku pro odladění programu, kontrolu běhu programu a trasování tzv. *Debug and Trace Unit*, ta je připojena přes standardní ARM programovací rozhraní ARM JTAG/cJTAG a SWD
- rozšířený watchdog

Obrázek níže ilustruje blokové propojení systémových periférií s jádrem procesoru pro architekturu Cortex-M7 použitého mikrokontroléru MKV58F1M0VLQ24. *Přejato z [4].*



Obrázek 2-1 architektura jádra mikrokontroléru [5] str.78

2.3 Distribuce hodinových signálu

Základ systému pro distribuci hodinových impulzů tvoří 4 bloky:

- OSC
- MCG
- SIM
- PMC

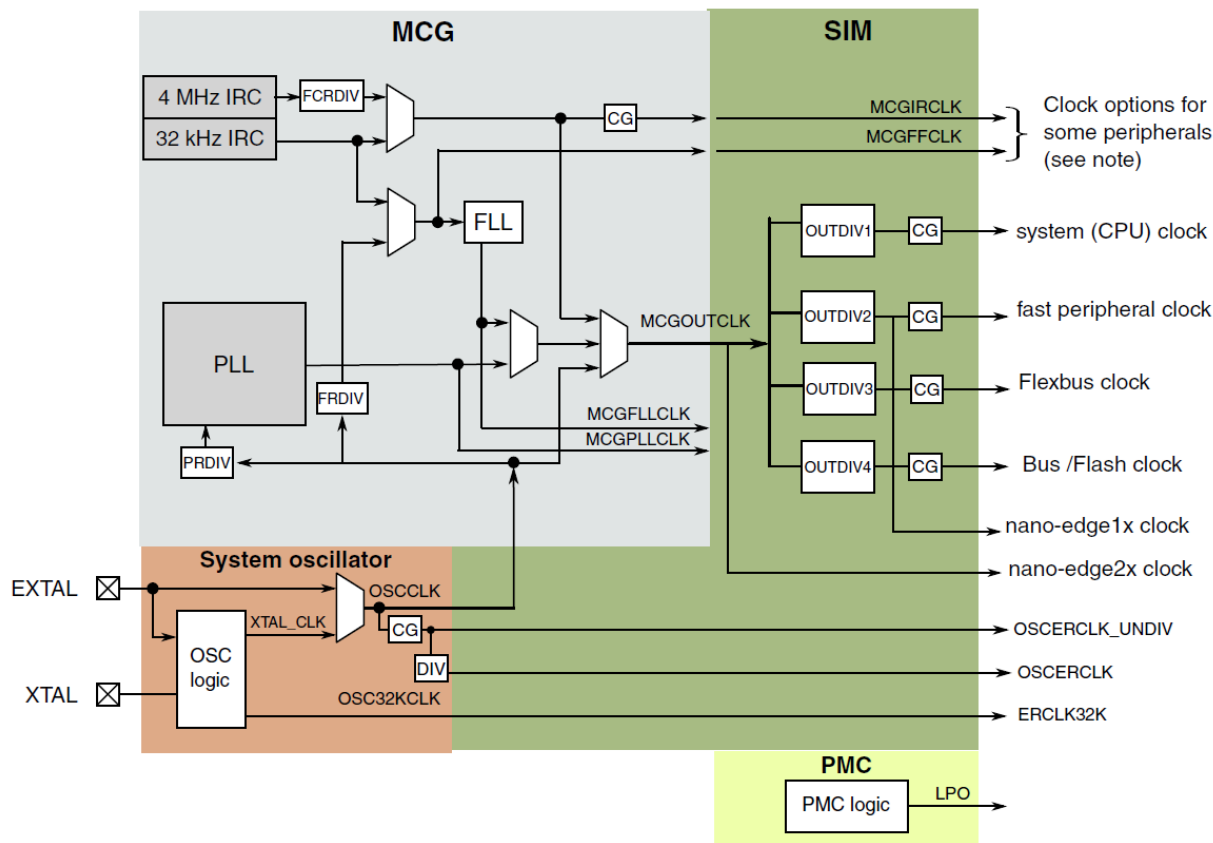
OSC (*System Oscillator*) je systémový oscilátor, který má na svém vstupu připojen vnější zdroj hodin, tvořený nejčastěji keramickým rezonátorem. Systémový oscilátor ve skruktuře obsahuje logické obvody kterými lze například nastavit interně zátěž pro rezonátor v rozsahu od 1pF do 30pF a další funkce. Dále obsahuje výstupní bránu tzv. CG (*Clock Gate*) pro možnost přímého připojení oscilátoru na vstup periférií a děličku tzv. DIV (*Divider*) k úpravě frekvence rezonátoru pro rozvod hodin. Ve struktuře je obsažen i multiplexer k přepínání signálu hodin.

MCG (*Multipurpose Clock Generator*) je víceúčelový generátor hodin, který poskytuje hodinové impulzy pro modul **SIM**. Generátor ke své funkci přijímá impulzy ze systémového oscilátoru **OSC** nebo vnitřních oscilátorů IRC (4MHz a 32kHz). Ve své struktuře obsahuje fázový závěs PLL (*Phase Locked Loop*) pro nastavení hodin v rozsahu od 110MHz do 240MHz, a frekvenční závěs FLL (*Frequency Locked Loop*) pro nastavení hodin v rozsahu od 20MHz do 100MHz. Rozdíl je v použití, kdy fázový závěs může být využit pouze v případě připojení externího zdroje hodin na rozdíl od Frekvenčního závěsu, který lze využít pro oba zdroje, jak externího rezonátoru, tak interních IRC oscilátorů. Dále je možné ve struktuře nalézt fázovou a frekvenční děličku PRDIV a FRDIV, blok výstupní brány pro přímé připojení interních oscilátorů ke vstupům periférií a několik multiplexerů pro přepínání režimů.

SIM (*System Integration Modul*) je modul poskytující hodinové impulzy pro CPU, periférie, paměti a sběrníkový systém. Je to modul, který zprostředkovává přímé propojení s uvedenými obvody a je schopen rozvody hodinových impulzů podle potřeby a aktuálního režimu funkce připojovat nebo odpojovat za pomoci výstupních bran. Dále obsahuje ve struktuře výstupní děličky OUTDIV1 až 4, kterými je možné nastavovat podle zvolených režimů výstupní frekvence hodinových signálů pro danou distribuci.

PMC (*Power Management Contoller*) Jde o blok sloužící k distribuci hodinového signálu k obvodům pro správu napájení. Tento blok generuje hodinový signál s frekvencí 1kHz.

Na obrázku níže je uvedena struktura distribuce hodinových signálů s výše popsanými bloky. Každá periférie pro svou funkci potřebuje určitý rozvod hodinových pulzů. Tyto rozvody je možné vidět na výstupu z modulu SIM. Nejčastěji periférie využívají rozvod pro rychlé hodinové pulzy „*fast peripheral clock*“. *Volně přejato z [5].*



Obrázek 2-2 blokové schéma vnitřního uspořádání distribuce hodinových signálů
[5] str. 102 Figure 6-1

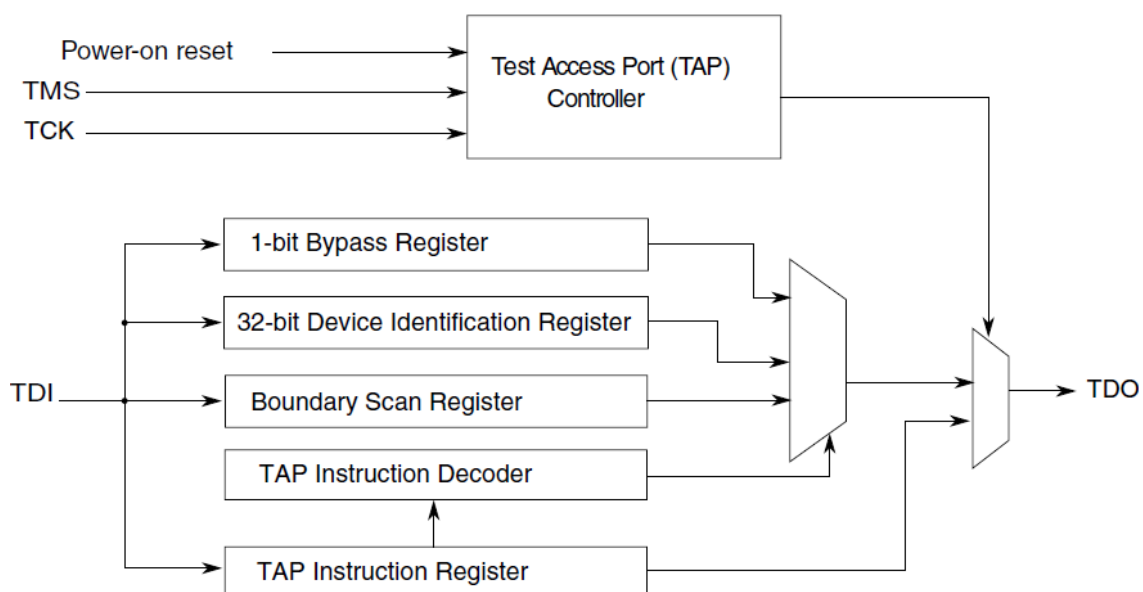
2.4 Rozhraní pro ladění programu JTAG

Mikrokontrolér je vybaven rozhraním pro ladění programu „Debuggerem“, ten podporuje čtyři standardy

- IEEE 149.1 JTAG
- IEEE 1149.7 JTAG (cJTAG)
- Serial Wire Debug (SWD)

Dále je popsána funkce JTAG rozhraní podle standardu IEEE 149.1-2001, který je využíván v této popisované práci. Tento standard se používá pro testování funkce čipů. Komunikace MCU s vývojovým prostředím probíhá sériově.

Následující obrázek popisuje zjednodušené blokové schéma JTAG kontroléru.



Obrázek 2-3 blokové schéma integrovaného JTAG rozhraní
[5] str. 1845 Figure 56-1

Ke komunikaci jsou využívány podle standardu 4 signály TDI, TMS, TCK a TDO

TDI

(*Test Data Input*) přijímá vstupní sériová data, jako sériové testovací instrukce a další. TDI je vzorkován na náběžnou hranu **TCK**.

TCK

(*Test Clock Input*) pin mikrokontroléru používaný pro synchronizaci obvodů testovací logiky a kontrolu přístupových registrů přes TAP (*Test Access Port*).

TMS

(*Test Mode Select*) je vstupní pin pro kontrolu stavu mikrokontroléru. TMS je vzorkován na náběžnou hranu TCK.

TDO

(*Test Data Output*) je výstupní pin, který přenáší sériový výstup pro zkušební instrukce a data.

TAP

(*Test access port*) je synchronní stavový port, který předává sekvenci logických hodnot na TMS piny.

Seriál Wire Debug (SWD)

Tento port pro ladění programu plně nahrazuje JTAG rozhraní. Ke komunikaci používá pouze dva signálové vodiče. Jeden pro hodinový signál a druhý jako obousměrný datový vodič. Poskytuje veškeré normální JTAG funkce testování. Navíc je možné přistupovat do paměti v reálném čase bez nutnosti zastavit běh programu. *Volně přejato z [5].*

2.5 Modul pro zprávu napájení (PMC)

Mikrokontrolér obsahuje jednotku pro správu napájení tzv. PMC (*Power Management Controller*). Tato jednotka je tvořena interním napěťovým regulátorem, obvody POR (*Power On Reset*), systémem LVD (*Low Voltage Detect system*) a systémem HVD (*High Voltage Detect system*).

LVD (*Low Voltage Detect system*)

Mikrokontrolér je vybaven systémem pro ochranu opakovatelné, nízkonapěťové úrovně. Tím je chráněn obsah paměti a kontrolovány provozní stavy mikrokontroléru v průběhu napěťových změn v napájení. Pro indikaci stavů jsou k dispozici dva příznaky, které rozpoznává tento systém.

- **LVDF (*Low Voltage Detect Flag*)**
Pokud je napájení v nízkém stavu nastaví se hodnota registru LVDS1. K vymazání registru dochází zápisem log. 1, ale až po návratu hodnoty napětí interního regulátoru nad vypínací úroveň. Jinak zůstává registr nastaven.
- **LVWF (*Low Voltage Warning Flag*)**
Pokud je napájení v nízkém stavu nastaví se hodnota registru LVDS2. K vymazání registru dochází zápisem log. 1, ale až po návratu hodnoty napětí interního regulátoru nad vypínací úroveň. Jinak zůstává registr nastaven.

Nízkonapěťovému resetu dochází při detekci nízkého napětí, které je pod prahovou hodnotou určenou bitem LVDV v registru LVDS1. Nastavením bitu LVDRE registru LVDS1 systém generuje reset, systém následně udržuje mikrokontrolér ve stavu reset do doby, kdy stoupne napětí nad prahovou hodnotu.

Systém LVD je možné konfigurovat i pro přerušení provozu, to se provádí nastavením bitu LVDIE v registru LVDS1. Při detekci nízkého napětí potom dochází k přerušení. Přerušení lze smazat nastavením bitů LVDF a LVACK zmíněného registru LVDS1.

HVD (*High Voltage Detect system*)

Dále je mikrokontrolér vybaven systémem pro ochranu opakovatelné, vyšší úrovně napětí. Funkce je obdobná jako u výše popsaného LVD systému, s tím rozdílem, že kontroluje vysokou úroveň. Systém se skládá z obvodu HVD s uživatelsky volitelnými napájecími úrovněmi VHVDH a VHVDL, kterými je nastavena spínací hystereze. Systém má opět příznak, který je využíván pro indikaci stavu vysoké úrovně napětí. Ten je možné nastavit v registru HVDS1 bitem HVDF. Funkce příznaku HVDF je obdobná funkci příznaků LVDF.

Systém HVD je taktéž jako v předchozím případě LVD, vybaven funkcí reset při vysoké úrovni napětí, práh pro reset určuje hodnota bitu HVDV v registru HVDS1. Funkce je obdobná jako u reset funkce LVD systému.

Systém HVD obsahuje i funkci přerušení systému. Nastavení se provádí v registru HVDS1 bitem HVDF. Nastavením bitů HVDF a HVDS1 se provede smazání nastaveného přerušení.

Volně přejato z [5].

2.6 Řídicí modul pro funkci RESET (RCM)

RCM (*Reset Control Modul*) je jednotka obstarávající mnoho resetovacích funkcí. Pro řízení těchto funkcí je mikrokontrolér vybaven řadou registrů, které zprostředkovávají informace o stavu a můžou nastavovat i filtr pro kontrolu funkce reset.

Funkce řídicího modulu například souvisí i s funkcí reset výše popsaných systémů LVD a HVD v předchozí podkapitole. Kdy je bit LVD ve stavovém registru SRS0 a SRS1 modulu RCM nastaven po resetu systémů LVD a HVD.

2.7 Systém pro kontrolu provozních režimů (SMC)

SMC (*System Mode Controller*) je jednotka, která je zodpovědná za přepínání systému mikrokontroléru do provozních režimů. Sleduje události, na základě kterých spouští přechody mezi jednotlivými režimy systému. Zároveň ovládá napájení, časování a systémové paměti aby se dosáhlo co nejlepší spotřeby, výkonu a funkčnosti v požadovaném režimu. Jednotka je schopna fungovat i v režimu nejmenší spotřeby.

Základní režimy MCU:

- **RUN** kdy CPU mikrokontroléru je taktováno na omezenou rychlost a vnitřní zdroj je regulovaný. Obdobou je HSRUN (*High Speed RUN*) režim, ve kterém je MCU taktován na nejvyšší možné frekvenci jádra a vnitřní zdroj je plně regulovaný. Další obdobou režimu je VLPR (*Very Low Power RUN*) s omezenou maximální frekvencí pro jádro, sběrnice a periférie.
- **SLEEP (WAIT)** V tomto režimu je jádro odpojeno od zdroje hodinových pulzů. Systémové hodiny pokračují dále v činnosti, hodinové pulzy pro sběrnice jen pokud jsou povoleny. Další obdobou základního režimu je VLPW (*Very Low Power WAIT*), kde dochází opět k omezení maximální taktovací frekvence jádra.
- **DEEP SLEEP (STOP)** V tomto režimu je jádro, systémové periférie i sběrnice odpojeny od zdroje hodinových pulzů.

2.8 Využití periferie MCU pro návrh řídicího systému

Následující část kapitoly 2 je věnována základnímu popisu funkce periférií použitých v diplomové práci. *Popis všech periférií je přejat z [5].*

2.8.1 eFlex PWM modulátory

Mikrokontrolér obsahuje dva PWM moduly, PWM0 a PWM1 z nichž modul PWM0 je vybaven obvody pro tzv. „*nano-edge*“ funkci. Ta by se dala vysvětlit jako schopnost PWM modulátoru přesně nastavit jak celočíselnou střihu, tak i střihu s desetinným rozlišením, pomocí desetinné (*Fractional*) aritmetiky. Tak se obecně dosahuje zvýšení rozlišení PWM.

Například pokud by PWM modul použil 5MHz jako hlavní hodinové pulzy, perioda bude 200nS, vnitřní fázový závěs PLL (*Phase Locked Loop*) uvnitř modulu, může tyto hodinové pulzy znásobit až 32krát. Výstup tedy může být v tomto případě až 160MHz s rozlišením pro desetinné hodinové pulzy. Uživatel si pak může nastavit střihu s řadou hlavních hodinových pulzů a počtem desetinných (*Fractional*) hodinových pulzů s krokem 0,03125.

PWM modul má 4 submoduly 0 až 3, z nichž každý submodul má vyvedeny 3 PWM výstupy PWMx_A[n], PWMx_B[n] a PWMx_X[n]. Kde x je číslo modulu (0 nebo 1) a n je číslo submodulu (0 až 4). Je tedy možné vyvést až 12 PWM výstupů. PWMx_A[n], PWMx_B[n] výstupy mohou být nezávislé nebo tvořit komplementární výstupní dvojici. Pokud nejsou potřeba jako výstupy je možné je konfigurovat i jako vstupy, které vedou do vstupních snímacích obvodů.

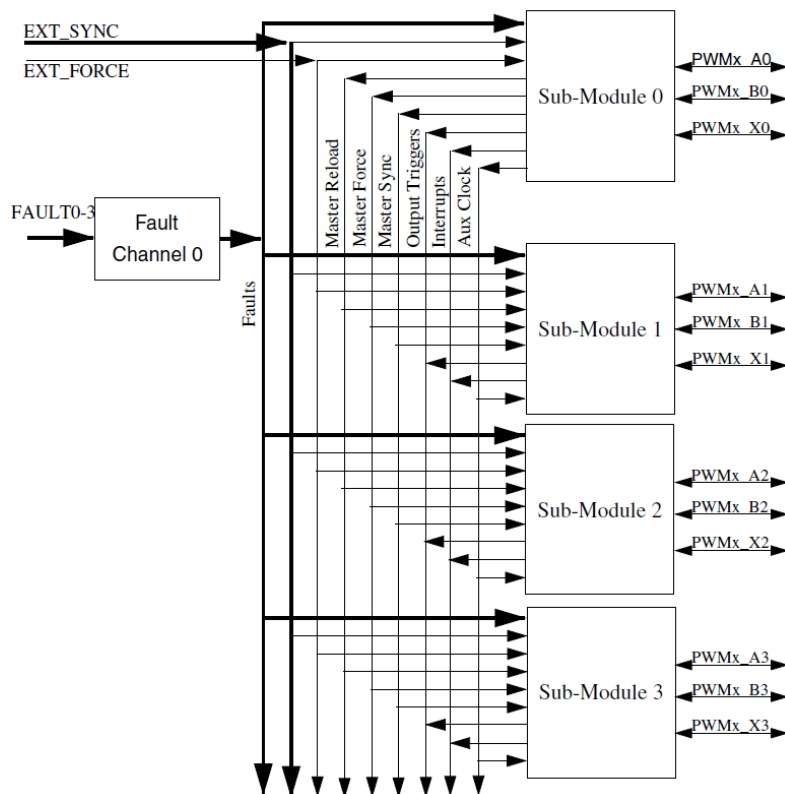
PWMx_X[n] jsou pomocné výstupní vývody PWM kanálů. Vývody mohou být nezávislé PWM výstupy, konfigurovány jako vstupy nebo využity pro detekci polaritu proudu protékajícího komplementární větví spínačů měniče a korekci tzv. „*deadtime*“.

PWMx_EXT_SYNC[n] je externí synchronizační vývody umožňují inicializovat čítače PWM. Tímto způsobem může být modul synchronizován s vnějšími obvody.

EXT_FORCE je vstupní signál umožňující zdrojem mimo PWM inicializovat čítače PWM modulu a synchronizaci PWM modulu s vnějším obvodem.

PWM moduly dále obsahují 4 poruchové vstupy „*Fault Channel*“, pro zakázání vybraných PWM výstupů. K poruchovým vstupům lze přistupovat jen z křížového přepínače XBARA, který je popsán v kapitole 2.8.7.

Následující obrázek 2-4 ilustruje výše popsanou strukturu modulu PWM.



Obrázek 2-4 blokové schéma struktury PWM modulu
[5] str. 1299 Figure 48-1

Druhy výstupu PWM

PWM výstup zarovnaný na střed

„Center Aligned PWM“, každý ze submodulů má vlastní časovač, který je schopen generovat PWM na dva výstupy A a B. Hrany signálů jsou ovládány nezávisle na sobě.

PWM výstup zarovnaný na hranu

„Edge Aligned PWM“, každý ze submodulů má vlastní časovač, který je schopen generovat PWM signál, kdy hrana každého impulsu je specifikována tak aby se vyrovnaly hrany PWM. Změnu šířky pulzu je pak možné měnit změnou hodnoty v registru pro řízení hran. Hrany pro signály A i B každého submodulu jsou řízeny nezávisle na sobě.

Fázově posunutý PWM výstup

„Phase Shifted PWM“ je způsob generování PWM signálu poskytující výhody například při práci s vícefázovým měničem s nízkým stupněm modulace. Všechny spínací hrany jsou velmi blízko sebe, to je problematické z hlediska rušení a zejména pro snímání veličin pomocí ADC. Fázovým posunem PWM signálu vznikají další časové úseky mezi spínacími hranami, může tak být navzorkován signál veličiny.

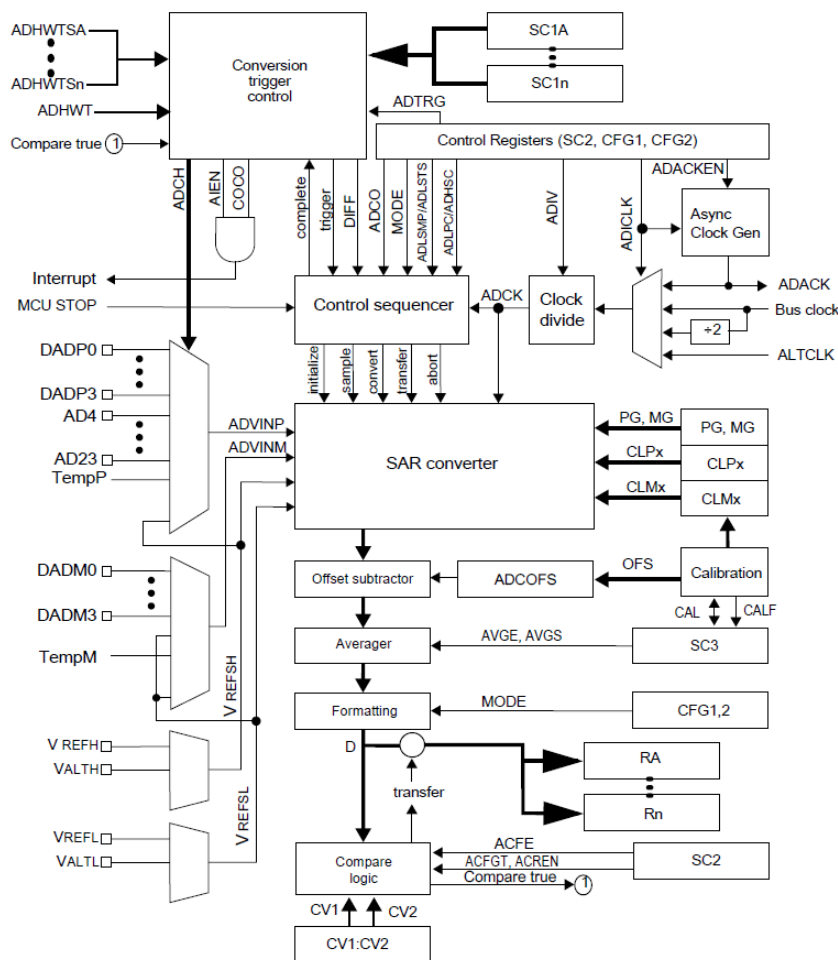
Dalším druhem je zdvojený výstup PWM „Double Switching PWM“ a výstup PWM „triggerovaný“ ADC převodníkem.

2.8.2 ADC převodník

Mikrokontrolér je vybaven jedním modulem lineárně aproximovaného 16 bitového ADC převodníku. Lze vytvořit 4 páry diferenciálních vstupů a 24 jednočinných externích analogových vstupů. Modul podporuje několik výstupních režimů s nastavitelným rozlišením, pro diferenciální vstupy je to 16, 13, 11 a 9 bitový režim. Pro jednočinné vstupy je to 16, 12, 10 a 8 bitový režim. Dále podporuje jednoduchý nebo pokročilý převod s automatickým návratem do klidového stavu. Možnost konfigurovat délku vzorku a rychlost převodu. ADC převodník může pracovat v nízkospotřebovém režimu „*Low-power modes*“, lze tak snížit šum. Podporuje asynchronní zdroj hodinových pulzů pro snížení šumu. Lze připojit volitelný hardwarový „*trigger*“ s výběrem kanálu. Možnost připojit teplotní senzor. Volitelná alternativní nebo externí napěťová reference. Režim automatické kalibrace.

K modulu ADC je možné připojit 4 zdroje hodinových pulzů podle režimu provozu ADC prostřednictvím registru.

Následující blokové schéma popisuje strukturu ADC převodníku.



Obrázek 2-5 blokové schéma struktury ADC [5] str. 916 Figure 40-2

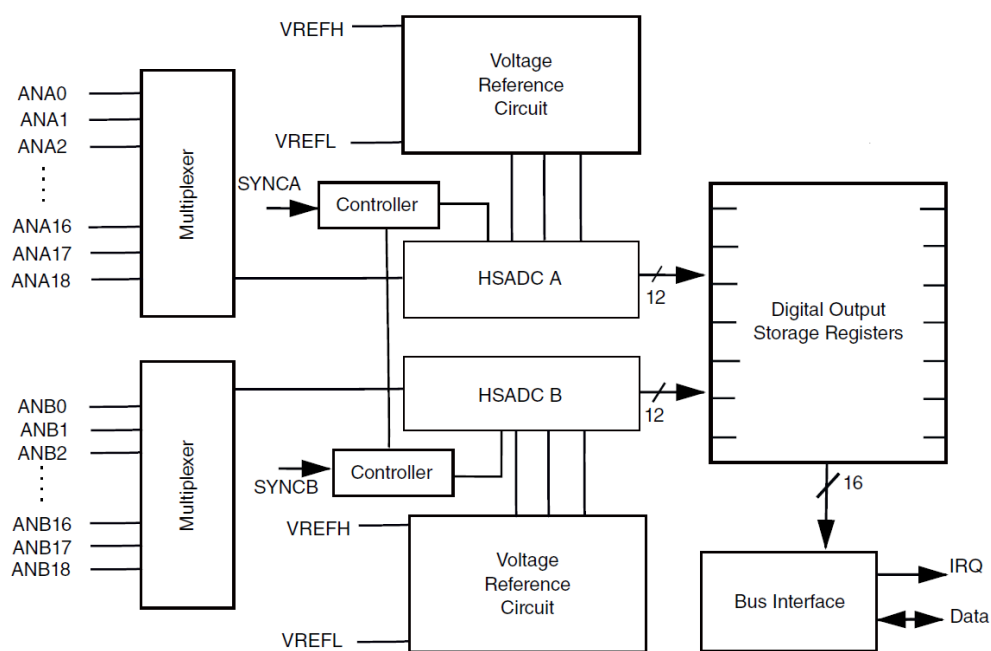
2.8.3 HSADC převodník

HSADC (*High Speed Analog- to- Digital Converter*) je 12 bitový rychlý převodník s maximální vzorkovací rychlostí 5Ms/s při 12 bitovém rozlišení. Při rozlišení 6 bitů až 10Ms/s. Mikrokontrolér obsahuje dva 19 kanálové HSADC převodníky HSADC0 a HSADC1. Každý z převodníků obsahuje dva vnitřní ADC převodníky A a B. Modul SIM obsahuje konfigurovatelný registr SOPT7 pro řízení synchronizačních signálů SYNCA a SYNCB pro oba vnitřní převodníky A a B. Převodník může být synchronizován s dalšími perifériemi v mikrokontroléru. Například s modulem PWM skrze jednotku křížového přepínače. Nastavení zdroje hodin pro převodník je možné prostřednictvím registru SIM_ADCOPT. Minimální frekvence hodinových pulzů je 140kHz a maximální 80MHz. Maximální doba konverze je 200ns při 75MHz.

Vstupní kanály je možné rozdělit na 15 pro externí analogové vstupy a 4 pro vnitřní připojení vstupů. Signály je možné zapojit jednočinně i jako diferenciální vstupy. HSADC má funkci korekce, kdy je možné do signálu přidávat korekční vzorek.

Multiplexer vybírá jeden z 19 vstupních kanálů s připojeným analogovým signálem, který má být zpracován. Volba se provádí zápisem do registru CLISTn. Převodník převede vstup na 12 bitový výsledek za 12,5 strojových taktů. Při paralelním provozu obou převodníků je možné provádět a ukládat až 8 měření na obou HSADC. Při sériovém provozu až 16 měření.

Na níže uvedeném blokovém schématu struktury převodníku je možné najít analogové bloky, tvořené vstupními multiplexery, obvody pro napěťové reference a ADC převodníky HSADCA a HSADCB. Digitální bloky struktury tvoří řídicí obvody vnitřních převodníků, výstupní úložné registry „*Digital Output Storage Registers*“ a rozhraní sběrnice.



Obrázek 2-6 blokové schéma struktury HSADC [5] str. 976 Figure 41-1

2.8.4 Periférie pro připojení snímače polohy a otáček (ENC)

Mikrokontrolér je vybaven modulem kvadrurního enkodéru (ENC). Připojení jednotky je možné přes křížový přepínač XBARA, jehož funkce bude vysvětlena v kapitole 2.8.7. Modul je možné řídit přes vnější piny nebo připojit na časovač. U periférie je možné testovat její funkci bez nutnosti připojení snímače polohy. Jednotka je taktována rozvodem pro rychlé hodinové pulzy „*fast peripheral clock*“.

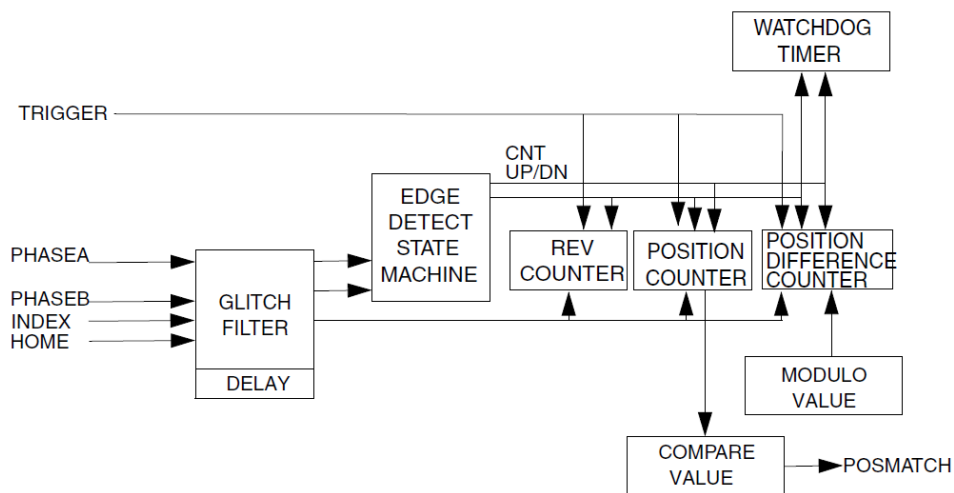
Typická konfigurace kvadrurního enkodéru je se třemi výstupy. Signál PHASEA, PHASEB a INDEX. Pokud impulzní signál PHASEA vede signál PHASEB a fázově ho předbíhá, pak pohyb probíhá v kladném směru, v případě že je signál PHASEA vlečen za PHASEB a je fázově zpožděn, pak je pohyb v záporném směru. Integrací těchto fází je možné získat údaj o přesné poloze. Derivací pak informace o rychlosti. Signál INDEX resetuje čítač polohy (*Position Counter*), pulzní akumulátor a mění režim směru otáčkoměru. TRIGGER nuluje čítače.

Logika enkodéru musí snímat rychlé přechody z tohoto důvodu je modul vybaven digitálním „*glitch*“ filtrem. Filtr obsahuje zpožďovací linku pro vzorkování signálu, ověřuje stabilitu nového stavu před vstupem do obvodů. Rychlost vzorkování je programovatelná podle šířky pásma signálu.

Signál dále vstupuje do obvodu pro detekci hrany „*Edge Detect State Machine*“, ten vyhledává změny ve stavech signálů PHASEA a PHASEB, vypočítává směr pohybu prostřednictvím čítače. Čítač čítá nahorů nebo dolů. Signál je dále veden do 32 bitového čítače polohy (*Position Counter*), který se chová jako integrátor, jehož načtená hodnota je přímo úměrná poloze. Signál vstupuje i do 16 bitového otáčkoměru (*Revolution Counter*), který integruje otáčky od index impulsu. Odlišný počet směru nástupných a sestupných hran index pulzu udává, že došlo ke změně směru. Signál vstupuje nakonec i do 16 bitového čítače rozdílu polohy (*Position Difference Counter*), který se chová jako derivátor, jehož načtená hodnota v čítači je přímo úměrná změně v pozici od poslední čítačem načtené polohy uložené v paměťovém registru POSDH (*Position Difference Counter Hold*).

Pro kontrolu činnosti obsahuje periférie obvod WATCHDOG, který v případě chyby generuje přerušení.

Následující obrázek ilustruje blokové zapojení struktury modulu enkodéru s výše popsanými bloky.



Obrázek 2-7bloková struktura enkodéru [5] str. 1271 Figure 47-1

2.8.5 Sériová rozhraní (SPI, I2C, CAN, UART)

2.8.5.1 SPI

(*Serial Peripheral Interface*) je sériové rozhraní pro komunikaci. Mikrokontrolér je vybaven 3 SPI moduly. Každý z modulů má 4 úrovně RX a TX vyrovnávací paměti typu FIFO s šířkou 4 bajty pro každou úroveň. Dále obsahuje podporu pro přímý přístup do paměti DMA.

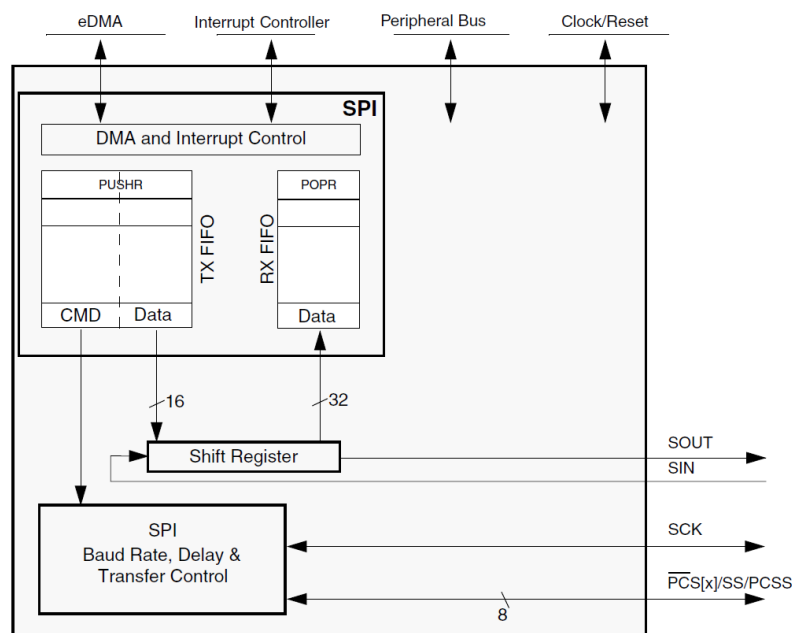
Modul SPI je taktován rozvodem pro rychlé hodinové pulzy „*fast peripheral clock*“. Modul obsahuje vlastní děličku hodin s minimálním dělicím poměrem 2. Maximální taktovací frekvence SPI je tedy polovina pulzů z „*fast peripheral clock*“ rozvodu hodin.

Jednotka podporuje funkci „*Full-duplex*“, třívodičový synchronní přenos dat, MASTER a SLAVE režim, vysílání dat s průběžným výběrem SLAVE zařízení, programovatelnou polaritu a fázi linky hodinových pulzů SCK, programovatelnou velikost přenosových rámců 4 až 16 bitů, rozšíření funkce „*chip select*“ o vnější demultiplexer, to umožňuje připojení až 64 dalších „*chip select*“ signálů.

Konfigurace periférie SPI umožňuje modulu pracovat s vnitřními vyrovnávacími uložišti FIFO, které tak umožňují podporu pro vnější obsluhu. Odesílaná a přijímaná data jsou umístěna v oddělených datových bufferech. CPU nebo řadič DMA přímého přístupu do paměti provádí čtení přijatých dat z datového bufferu pro příjem dat a zapisuje data k přenosu do vysílacího datového bufferu.

Při komunikaci, může docházet ke vzniku datových front, ty bývají ukládány do systémové paměti RAM. K frontám se pak přistupuje prostřednictvím DMA přímého přístupu do paměti.

Následující obrázek popisuje blokovou strukturu modulu SPI.



Obrázek 2-8 blokové schéma modulu SPI [5] str. 1420 Figure 50-1

2.8.5.2 I2C

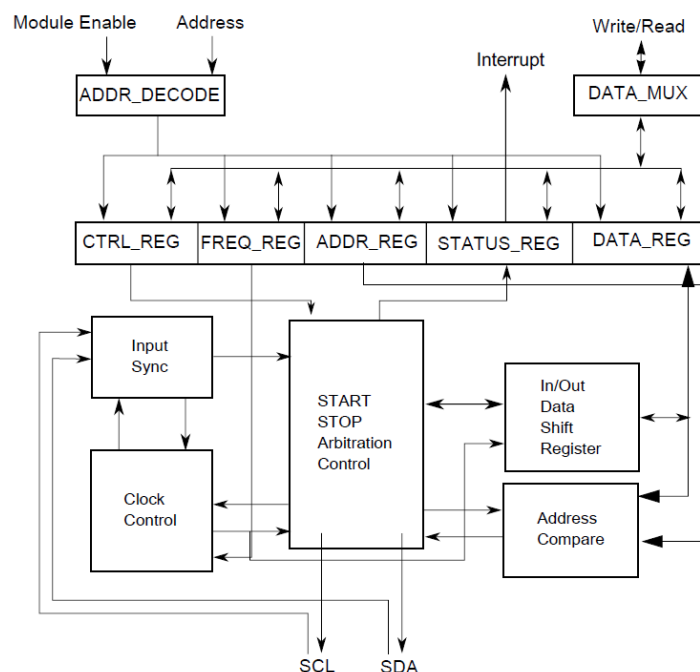
(*Inter Integrated Circuit*) je modul pro komunikaci mezi zařízeními. Počet připojených zařízení je omezen maximální kapacitou sběrnice, která je 400 pF. Rozhraní je navrženo pro přenosovou rychlost 100 kbit/s. Jednotka je schopna pracovat i při vyšších přenosových rychlostech, maximálně však do násobku jedné dvacetiny maximálního hodinového taktu.

I2C modul podporuje MULTIMASTER komunikaci, přerušitelný řízený sériový přenos dat, softwarově řízený výběr taktovací frekvence z 64 možností, softwarově volitelný potvrzovací bit, rozšíření adresy o 10 bitů, DMA přímý přístup do paměti a mnoho dalších funkcí.

Pro komunikaci využívá sériové datové linky SDA a hodinové linky SCL. Všechna připojená zařízení musí být typu „otevřený kolektor“ a mít na výstupu externí „pull-up“ rezistory.

Komunikace může být zahájena, je-li volná sběrnice, to je v případě, že jsou obě linky (SDA, SCL) v logické 1. Master zařízení pak započne komunikaci vysláním signálu START. Dále následuje přenos adresy podřazeného zařízení z nadřazeného. Důležitý je bit R/W, kterým je nastaveno, zda půjde o čtení či zápis dat (1 = čtení, 0 = zápis). Podřazené zařízení s odpovídající adresou vyšle potvrzující bit a proběhne přenos dat. V případě neúspěšného potvrzení komunikace zahájí Master zařízení novou komunikaci nebo vygeneruje STOP signál a komunikace bude ukončena.

Následující obrázek popisuje blokově funkci modulu I2C. Je na něm možné vidět dekodér adres ADDR_DECODE. Dále registry pro ovládání funkčních bloků modulu, jako kontrolní registr CTRL_REG, kterým lze ovládat zahájení komunikace, nastavovat režim MASTER a SLAVE a další. Následují další registry pro nastavení předděličky hodinových pulzů FREQ_REG, adresový registr pro nastavení pole adres ADDR_REG spojený s adresovým komparátorem, registr pro nastavení příznaku a přerušování STATUS_REG a registr pro nastavení pole dat DATA_REG.



Obrázek 2-9 blokové schéma funkce I2C [5] str. 1613 Figure 52-1

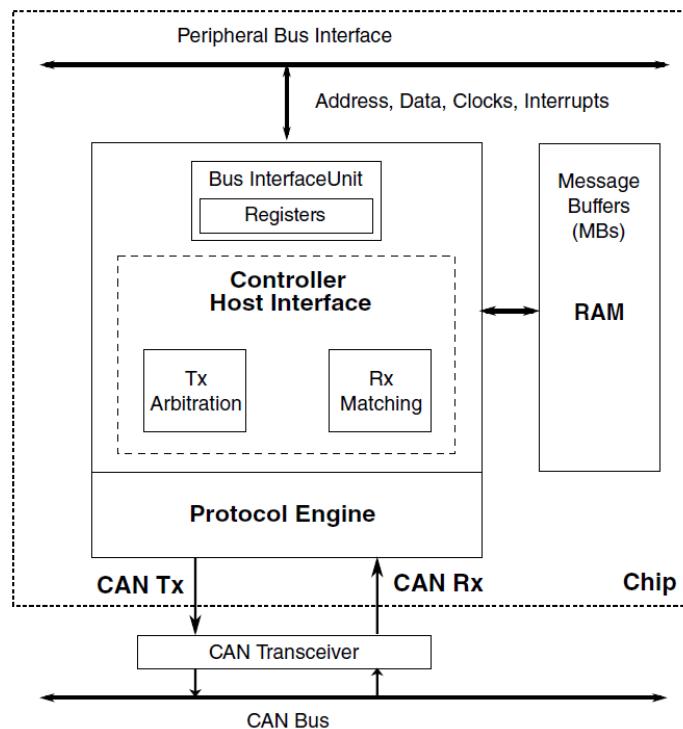
2.8.5.3 CAN

Mikrokontrolér Kinetis KV58FX je vybaven 3 CAN moduly. Periférie plně podporují CAN standard ISO 11898-1 verze 2.0 B, tedy i 2.0 A. Standardní a rozšířený datový rámec linkové vrstvy komunikace. Linková vrstva může obsahovat až 8 bajtovou délku datového rámce. Programovatelná přenosová rychlost je až 1 Mb/s.

Mikrokontrolér podporuje funkci probuzení z režimu STOP a spánkového režimu prostřednictvím přerušování. Přejechod ze stavu recessive na dominant může probudit kontrolér z režimu spánku a STOP režimu.

Na přijímači modulu CAN je možné povolit funkci filtru odstraňujícího nežádoucí impulzy z digitálního signálu tzv. „*Glitch*“ filtru, kromě této funkce filtrování nežádoucích složek v digitálním signálu, filtr může vybírat zdroje pro probuzení ze spánkového režimu z filtrované a nefiltrované sběrnice CAN. Tyto zdroje může filtr následně směřovat do dalších obvodů modulu CAN. Filtr je taktován hodinovými pulzy 4 MHz.

Na následujícím obrázku je uvedeno obecné blokové schéma, které popisuje hlavní bloky implementované v modulu CAN. Je možné vidět paměť typu RAM sloužící jako vyrovnávací paměť pro rámce zpráv. Řídicí hostitelské rozhraní **CHI** (*Controller Host Interface*), které zpracovává vybrané zprávy z vyrovnávací paměti a předává je dál přijímači a vysílači. Dále sběrnice **BUI** (*Bus Interface Unit*)



Obrázek 2-10 blokové schéma periférie CAN [5] str. 1744 Figure 54-1

2.8.5.4 UART

UART (*Universal Asynchronous Receiver Transmitter*) je jednotka, která umožňuje komunikaci s dalšími zařízeními. Teoretická funkce této periférie byla vysvětlena v první kapitole.

Mikrokontrolér obsahuje šest UART modulů. Moduly standardně podporují RS 485, hardwarové řízení toku komunikace pomocí signálů RTS (*Request to send*)/CTS (*Clear to send*). Dále 9 bitovou adresu s kontrolou parity. Podporují plně duplexní provoz, programovatelný 8 bitový nebo 9 bitový datový formát s možností 1 nebo 2 stop bitů v rámci. Oddělené zapínání pro vysílač a přijímač. Všechny UART moduly jsou taktovány přes rychlý periferní hodinový rozvod „*fast peripheral clock*“. Maximální přenosová rychlost je 1/16 taktovací frekvence ze zdroje hodinových pulzů. Moduly UART0 a UART1 obsahují kromě standartních funkcí navíc standard ISO 7816 a obsahují 8 výstupních vyrovnávacích pamětí FIFO pro vysílač a 8 vstupních vyrovnávacích pamětí FIFO pro přijímač, ostatní moduly UART2 až UART5 mají jeden vstupní datový buffer a jeden výstupní datový buffer pro vysílač a přijímač.

UART moduly lze nakonfigurovat, tak aby generovali přerušení nebo probuzení při první aktivní hraně, kterou přijmou. Periférie UART může vyhodnocovat požadavky na přerušení z více zdrojů. Některé z těchto zdrojů jsou pomocí logických obvodů pro disjunkci sčítány a tak vytváří jeden požadavek na přerušení.

Vysílání dat

CPU monitoruje stav UART, zapisuje data, která mají být vysílána a provádí příslušné procesy s přijatými daty. Pro přenos dat mikrokontrolér zapíše datové bity do výše zmíněné vyrovnávací paměti FIFO pomocí datových registrů C3 a D. Data se následně přenesou z datového bufferu do posuvného registru vysílače, ten pak po zahájení komunikace vyše celý rámec ven. Pak provádí mikrokontrolér další různá nastavení příznaků a registrů podle potřeb komunikace.

Příjem dat

Během příjmu dat posuvný registr v přijímači posouvá signál z nesynchronizovaného přijímacího kanálu a vytváří tak rámec, který předává do vyrovnávací paměti přijímače. Během tohoto procesu je vyhodnocováno i případné rušení na komunikačním kanálu a vypočítávány chyby parity. Řízení vyrovnávací paměti je opět přístupné přes registry D a C3.

2.8.6 GPIO

(General Purpose Input/Output) Jedná se o periférii s funkcí digitálních vstupů/ výstupů, kdy není předem definovaná funkce. To zda bude pin využit jako vstupní nebo výstupní si pak určuje sám uživatel.

Modul GPIO obsahuje:

- registr vstupních dat na portu, viditelný ve všech přepínacích režimech
- registr výstupních dat na portu s registry pro nastavení
- registr pro směrování dat z portu

Osm GPIO pinů je schopných řídit větší zátěž- PTB0, PTB1, PTD4, PTD5, PTD6, PTD7, PTC3 a PTC4. Port PTA4 je vybaven pasivním vstupním filtrem, který je možné řídit registrem PORTA_PCR4 bitem PFE. Ve výchozím nastavení je tato funkce vypnuta.

Registr pro směrování dat a výstupní registr kontrolují směr a výstupy každého pinu, který je konfigurován jako GPIO.

GPI (*General Purpose Input*)

Logický stav každého pinu je možné ovládat skrze vstupní registr za předpokladu, že pin je konfigurován pro digitální funkce. Vstupní registry vrací synchronizované stavy pinů po libovolně aktivovaném digitálním filtru. Vstupní obvody pro synchronizaci pinů jsou sdílené s modulem řízení portu a přerušení, takže v případě, že je modul řízení portu a přerušení zakázán, pak jsou zakázány i obvody pro synchronizaci vstupních pinů. To je výhodné z hlediska snížení spotřeby.

GPO (*General Purpose Output*)

Logický stav každého pinu je možné ovládat skrze výstupní registr, za předpokladu, že pin je konfigurován pro digitální funkce GPIO.

Modulu pro řízení portu a přerušení nemusí být umožněno aktualizovat stav registru pro směrování dat a výstupnímu registru dat z portu.

2.8.7 Křížový přepínač XBARA

Tento modul poskytuje funkci flexibilního křížového přepínače, který umožňuje připojovat vstupy k žadáním výstupům. Vstupy jsou tvořeny nejčastěji výstupy z externích GPIO nebo interních periférií. Výstupy představují typicky vstupy z externích GPIO nebo interních periférií.

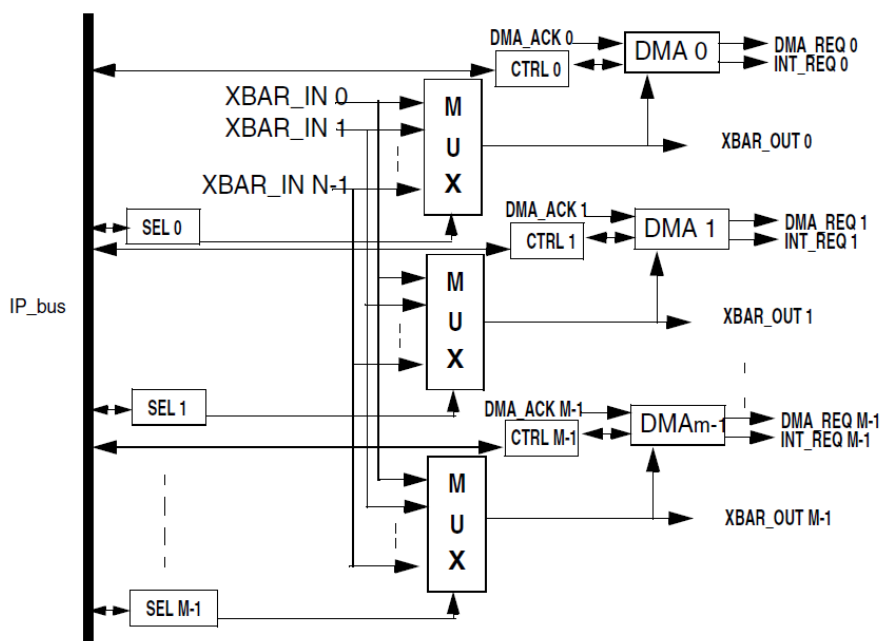
Modul je tvořen M počtem identických kombinačních multiplexerů s N počtem vstupů. Všechny multiplexery sdílí stejné vstupní signály ve stejném pořadí, ale každý multiplexer má individuálně zvolené pole. Multiplexery mohou být konfigurovány pro podporu detekce signálových hran na výstupu, na základě kterých je pak možné vygenerovat požadavky pro přerušení INT_REQ (*Interrupt Request*) a DMA_REQ (*Direct Memory Access Request*). To umožňuje signálovým vývodům přepínače spouštět přerušení nebo zahajovat datové přenosy přes modul přímého přístupu do paměti DMA do nebo z periférií systému.

Hodnota každého výstupu multiplexeru má přidělený vstup, na kterém je připojen výstup z periférie. $XBAR_OUT[n] = XBAR_IN[SELn]$, kde se hodnota SELn volí z registru pro příslušný XBAR_OUT.

Například pro připojení signálu z periférie Enkodéru (ENC_PHA) na vývod portu PTC6, kterému odpovídá vstup XB_IN3, bude postup následující. Z katalogu pro přiřazení XBARA výstupů je možné zjistit, že signálu ENC_PHA odpovídá výstup XBAR_OUT 44, který je ovládán signálem SEL44. Nastavení signálu SEL44 je možné provést v registru XBARA_SEL22 nastavením bitů 0 až 5. Zápis pak bude vypadat následovně.

```
XBARA_SEL44 = 0x0003;
```

Následující obrázek popisuje blokovou strukturu XBARA přepínače



Obrázek 2-11 blokové schéma zapojení XBARA přepínače [5] str. 644 Figure 30-1

3 Návrh řídicího systému

Specifikace řídicího systému pro výkonovou elektroniku je věnována 1. kapitola diplomové práce. Použitý mikrokontrolér byl zadáním jasně zvolen. Popisem funkcí jednotlivých periférií je věnována 2. kapitola. Na základě prostudování dostatečného množství informací o mikrokontroléru Kinetis KV58FX a informací, které jsou uvedeny ve zkrácené podobě v předešlých kapitolách, je možné přistoupit k samotnému návrhu řídicí desky.

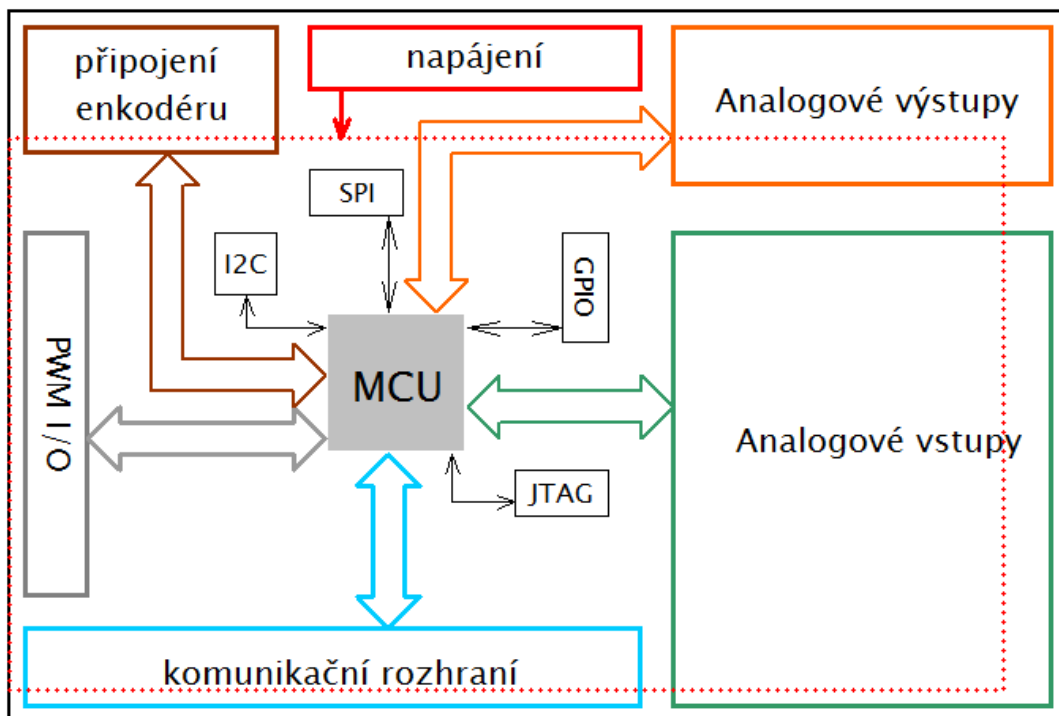
Následující podkapitoly jsou proto věnovány popisu návrhu a realizace řídicí desky. Dále jsou v práci pro přesnější ilustraci návrhu uvedeny i 3D modely navržených desek plošných spojů.

3.1 Topologie navrženého řídicího systému pro výkonovou elektroniku

Jak již bylo naznačeno v úvodu diplomové práce, řídicí systém je navržen jako souhrn několika desek plošných spojů. Základ je tvořen deskou vybavenou mikrokontrolérem s vhodnými perifériemi pro řízení měničů a obvody pro styk s okolím, je proto nazvána jako „základní deska systému“.

Základní desku systému je možné rozšířit obvody pro analogové vstupy a výstupy a to formou rozšiřujících desek plošných spojů. Desky jsou proto nazvány jako „deska analogových vstupů“ a „deska analogových výstupů“

To dělá celý návrh řídicího systému velmi univerzálním pro další práci a vývoj nových rozšiřujících desek.



Obrázek 3-1 Topologie navrženého řídicího systému s Kinetis MKV58Fx

3.2 Základní deska systému

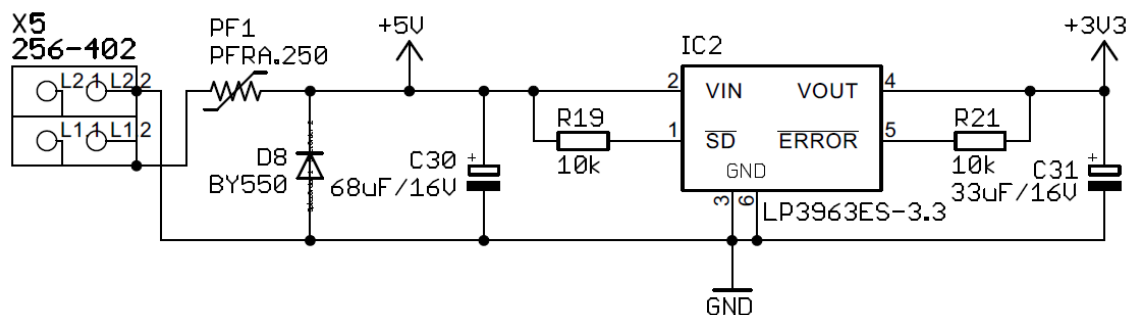
Rozložení obvodů na DPS odpovídá výše uvedené topologii navrženého systému. Následující podkapitoly, s ohledem na stručnost, popisují hlavní části zapojení základní desky řídicího systému. Vzhledem k rozsahu jsou všechna schémata zapojení uvedena v přílohách na CD.

3.2.1.1 Obvody napájení

Napájení je rozděleno na část pro analogové obvody a digitální obvody.

Digitální napájení

Vstupní napětí pro digitální obvody je 5V, tímto napětím jsou napájeny DC/DC měniče s galvanickým oddělením pro komunikační rozhraní a rozhraní enkodéru. Napájení je na vstupu chráněno vratnou pojistkou „poly switch“ a paralelní diodou. Dále je zapojen stabilizátor 3,3V/1,5A (LP3963ES-3.3), který slouží k napájení mikrokontroléru, ten má jednotné napájení z větve 3,3V pro všechny vnitřní periférie, napětí si upravuje sám vnitřním regulátorem. Pro moduly ADC jsou napájecí cesty odrušeny feritovými perlami. Napájecí větev 3,3V je přivedena i na okolní digitální obvody jako jsou komunikační rozhraní a obvody pro připojení rotačního enkodéru.



Obrázek 3-2 napájecí větev 3,3V pro digitální obvody

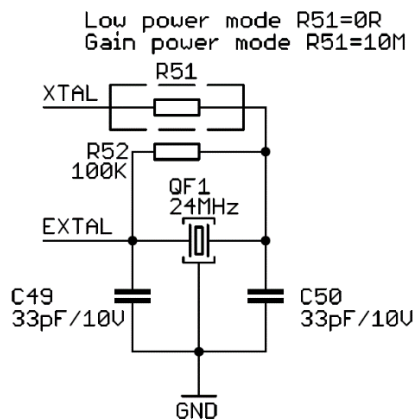
Analogové napájení

Tato část je tvořena napájecími svorkami k připojení symetrického napájení +15V/-15V pro napájení operačních zesilovačů ve struktuře analogových vstupních a výstupních obvodů. Na vstupu jsou připojeny sériové diody, jako ochrana proti přepólování. Napájení je možné ovládat pomocí relé z mikrokontroléru, je to tak z důvodu ochrany vstupů ADC. Nejdříve je tedy vždy zapnut mikrokontrolér a až poté programově zapnuto napájení pro analogové obvody. Zvolený „rail to rail“ operační zesilovač AD823ARZ v zapojení desky analogových vstupů, je možné napájet ze zdroje 5V nesymetricky. Z tohoto důvodu byla přidána další 5V větev oddělená od digitální části přes feritové perly a přivedena na druhé relé, které je také řízeno mikrokontrolérem.

Obvody napájení jsou doplněny signalizací s LED9 až 12 pro jednotlivé napájecí větve.

3.2.1.2 Externí krystalový oscilátor

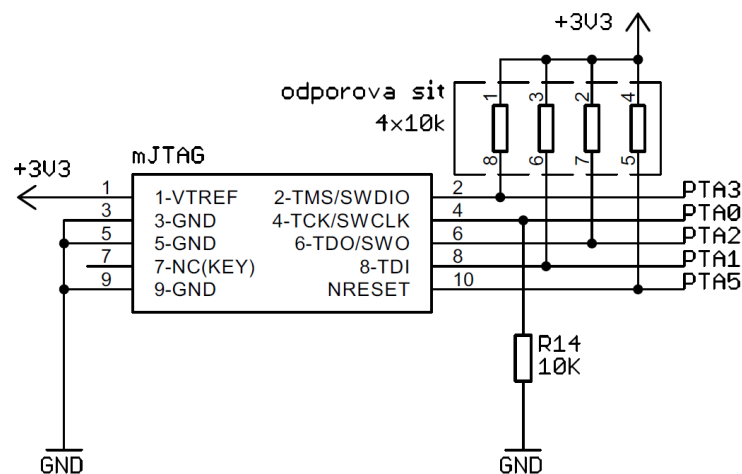
Krystalový oscilátor je možné připojit na vývody XTAL a EXTAL, které vedou do modulu OSC (*System Oscillator*) pro rozvod hodinových signálů, který je popsán v rámci kapitoly 2. 3. V návrhu je použito „*Pierceovo zapojení*“ s krystalovým oscilátorem 24 MHz s připojenými vnějšími kondenzátory zátěž je zvolena 33pF. Modul OSC umožňuje interně nastavovat zátěž pro krystal v rozsahu od 1pF do 30pF. Rezistor R52 je připojen pro optimalizaci spotřeby energie při vysoké provozní frekvenci. Rezistor R51 je nutné použít jen v případě vysokofrekvenčního režimu s velkým ziskem. V návrhu je zvolen vysokofrekvenční režim s nízkou spotřebou, R51 je proto zvolen 0 Ω . *Návrh byl proveden podle doporučení výrobce ze zdroje [3] (strana 15-18), [4] (strana 27-28) a [5] (strana 709-711).*



Obrázek 3-3 zapojení externího krystalového oscilátoru

3.2.1.3 JTAG

Funkce JTAGu a jednotlivých signálů je popsána v kapitole 2.4. JTAG je zapojen podle standardu MIPI-10-nRESET, ARM-10-JTAG. V návrhu byl použit 10 pinový konektor s roztečí 1,27 mm. „*Pull-up*“ a „*Pull-down*“ rezistory se obecně volí v rozmezí 1k Ω až 47k Ω . V návrhu byla zvolena hodnota 10k Ω .

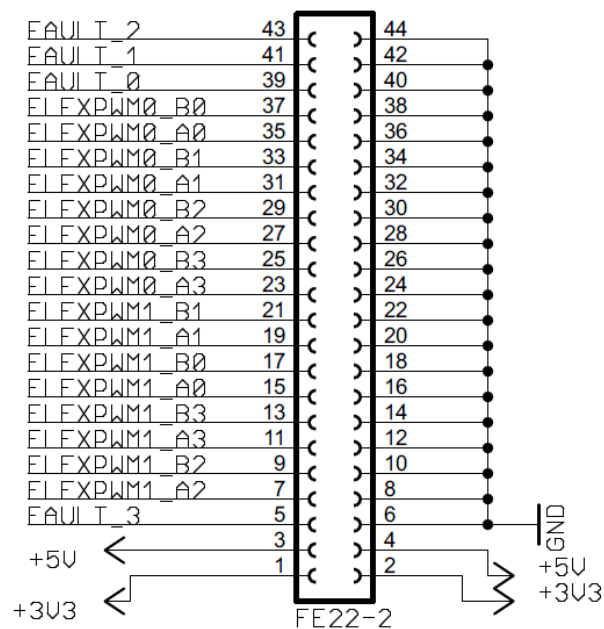


Obrázek 3-4 zapojení ARM-10-JTAG konektoru

3.2.1.4 Připojení PWM

PWM moduly obsahují 4 poruchové vstupy „Fault Channel“, ke kterým lze přistupovat jen z křížového přepínače XBARA, který je popsán v kapitole 2.8.7. Navíc jsou poruchové vstupy pro oba moduly na stejných pozicích výstupů v tomto křížovém přepínači, nelze je tedy použít zvlášť pro každý modul PWM při využívání obou modulů. Prakticky to tedy znamená, že má uživatel k dispozici reálně 4 vstupy, které může použít zvlášť pro jeden modul, případně pomocí vnitřní hradlové logiky připojit tyto 4 vstupy na oba moduly PWM. Vyvést najednou 8 poruchových vstupů pro oba moduly není možné. Proto jsou v návrhu vyvedeny dvě identicky zapojené pinové lišty s výstupy a poruchovými vstupy obou modulů PWM, kde je možné si podle aplikace konfigurovat poruchové vstupy, případně si vyvést například dva poruchové vstupy pro jeden modul PWM0 a dva pro modul PWM1 nebo pokud uživatel nepotřebuje velké množství PWM výstupů, může si konfigurovat zvolený PWM výstup jako vstup.

Následující obrázek ilustruje zapojení jednoho ze dvou použitých konektorů, s vyvedenými signály PWM. Pro usnadnění práce je DPS opatřena popisky jednotlivých vývodů. Periférie PWM je popsána v kapitole 2.8.1.

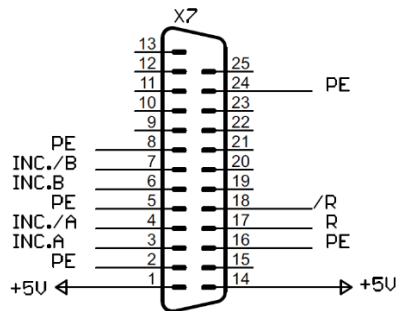


Obrázek 3-5 zapojení konektoru PWM modul

3.2.1.5 Zapojení rozhraní pro enkodér

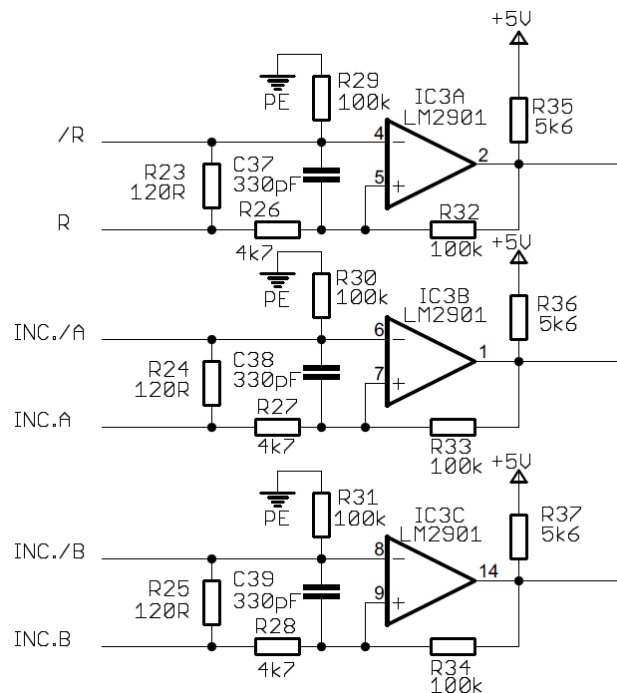
Princip a funkce enkodéru byly vysvětleny v kapitole 1.1.4. Popis a funkce vnitřní periférie ENC mikrokontroléru jsou uvedeny v kapitole 2.8.4.

Pro připojení snímače je použitý 25 pinový M SUB D konektor. Pro potlačení šumu jsou jednotlivé signály snímány diferenciálně. Pro PHASE A jsou to inkrementální signály INC.A a INC./A. Pro PHASE B INC. B a INC./B. Pro INDEX je to referenční signál, proto R a /R. Propojení konektorů je dáno standardem, takto zapojený konektor, lze najít například u měničů SINAMIC SMC20 firmy Siemens s rozhraním X520 pro enkodér.



Obrázek 3-6 zapojení konektoru pro připojení rotačního enkodéru

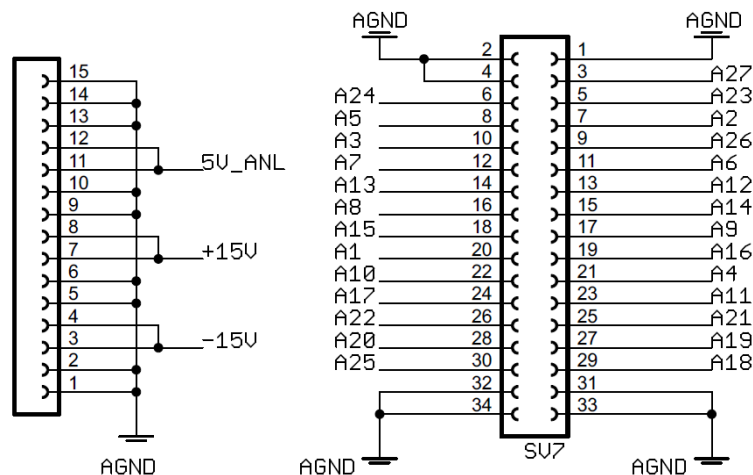
Diferenciální páry signálu jsou dále vedeny na vstupy operační sítě. Výstupní signál je dále přiveden na digitální galvanický izolátor ISO 7240, který zároveň upravuje logické úrovně signálu z 5V na 3,3V. Takto upravené signály jsou přivedeny na vstupy mikrokontroléru. Rozhraní je napájeno z galvanicky odděleného napájecího zdroje na DPS. Zapojení je doplněno kondenzátorem 1nF/2000V jako ESD ochrana.



Obrázek 3-7 Obvod pro úpravu signálů z enkodéru

3.2.1.6 Analogové vstupy

Funkce modulů ADC a HSADC je popsána v kapitole 2.8.2 a 2.8.3. V návrhu je připojeno 27 kanálů pro analogové vstupy. Pro lepší orientaci jsou vstupy všech 27 kanálů A1-A27 opatřeny popisy na DPS. Následující obrázek uvádí zapojení konektorů pro připojení desky analogových vstupů na základní desku. Pro omezení napěťové úrovně jsou na vstupech přidány obousměrné omezovače s diodou BAT54S. Následující tabulka pak uvádí propojení vstupů na DPS s kanály ADC a HSADC převodníku.



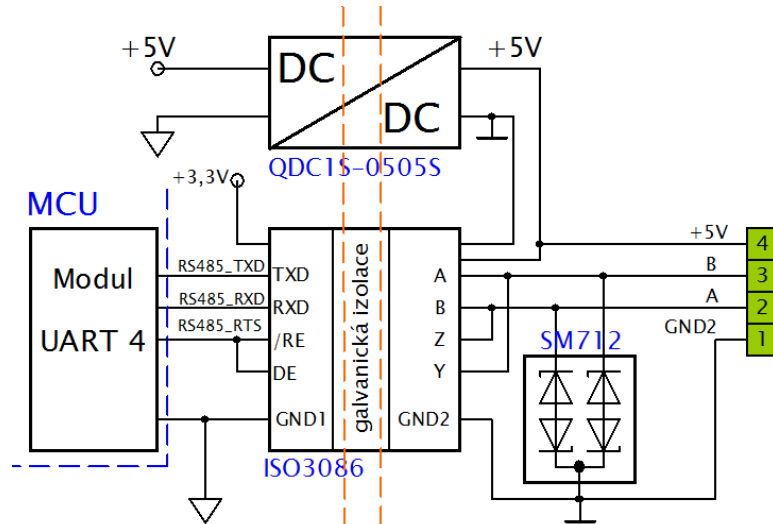
Obrázek 3-8 zapojení konektorů pro připojení desky analogových vstupů

Tabulka 3-1 propojení vstupů s ADC a HSADC

pin MCU	kanál ADC a HSADC	označení na DPS	pin MCU	kanál ADC a HSADC	označení na DPS
3	HSADC0B_CH10	A23	30	HSADC0A_CH11/HSADC1B_CH3	A16
4	HSADC0B_CH11	A24	35	ADC0_SE0/ADC0_DP0	A1
7	ADC0_SE2/ADC0_DP2	A2	36	ADC0_SE8	A4
8	ADC0_SE10	A5	37	HSADC0A_CH4	A10
9	HSADC1B_CH7	A26	38	HSADC0A_CH5	A17
14	ADC0_SE3/ADC0_DP3	A3	39	HSADC0A_CH12	A12
15	ADC0_SE11	A6	45	HSADC0B_CH4	A21
18	HSADC0A_CH0/ADC0_SE1/ADC0_DP1	A7	46	HSADC0B_CH5	A22
23	HSADC0A_CH6	A12	81	HSADC0B_CH2	A19
24	HSADC0A_CH7	A13	82	HSADC0B_CH3	A20
25	HSADC0A_CH8	A14	83	HSADC0A_CH14	A18
27	HSADC0A_CH2/HSADC1A_CH2	A8	84	HSADC0B_CH15	A25
28	HSADC0A_CH3/HSADC1A_CH3	A9	132	HSADC1A_CH8	A27
29	HSADC0A_CH10/HSADC1B_CH2	A15			

RS485

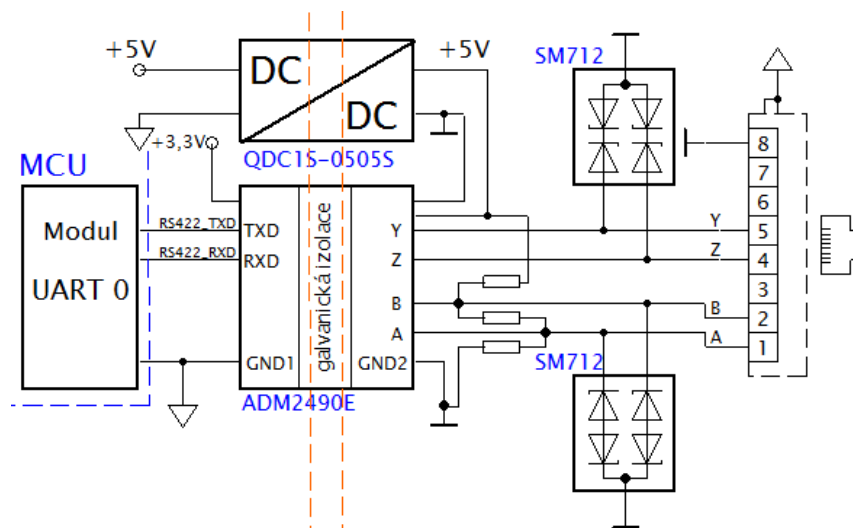
Základní princip funkce UART je popsán v kapitole 1.1.6.1. Modul UART je popsán v kapitole 2.8.5.3. Na obrázku níže je možné vidět blokové schéma navrženého obvodu pro komunikační standard RS485, který je připojen na modul UART4 mikrokontroléru. Základem je obvod ISO3086 s galvanickým oddělením. Návrh je doplněn signalizací komunikace s LED 3 a signalizací napájení s LED 4.



Obrázek 3-11 Blokové schéma zapojení RS485

RS422

Na obrázku níže je možné vidět blokové schéma navrženého obvodu pro komunikační standard RS422, který je připojen na modul UART0 mikrokontroléru. Základem je obvod ADM2490E s galvanickým oddělením. Návrh je doplněn signalizací komunikace s LED 5 a signalizací napájení s LED 6. Obvod trvale vysílá.

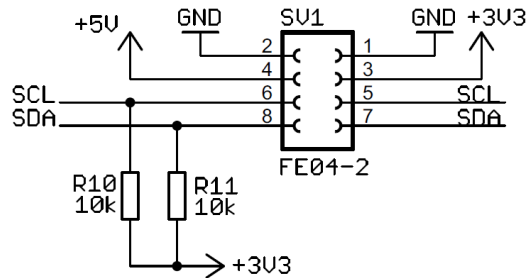


Obrázek 3-12 Blokové schéma zapojení RS422

3.2.1.9 Další vyvedené periférie

I2C

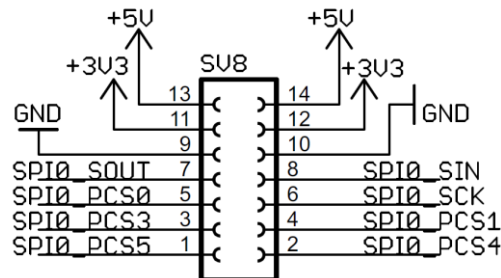
Obecnému popisu funkce I2C je věnována kapitola 1.1.6.3, popisu periférie I2C v mikrokontroléru je věnována kapitola 2.8.5.2. Následující obrázek zobrazuje návrh připojení vyvedených signálů na konektor.



Obrázek 3-13 Zapojení konektoru pro I2C

SPI0

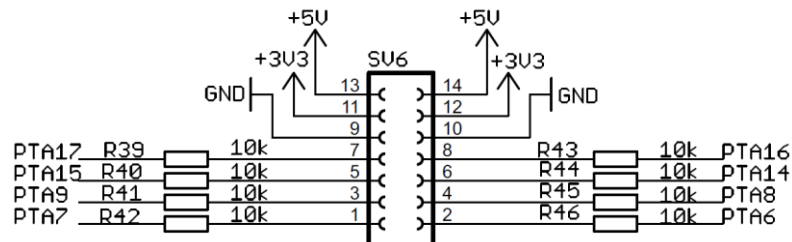
Obecnému popisu funkce SPI je věnována kapitola 1.1.6.4, popisu periférie SPI v mikrokontroléru je věnována kapitola 2.8.5.1. Následující obrázek zobrazuje návrh připojení vyvedených signálů na konektor.



Obrázek 3-14 Zapojení konektoru pro SPI0

GPIO

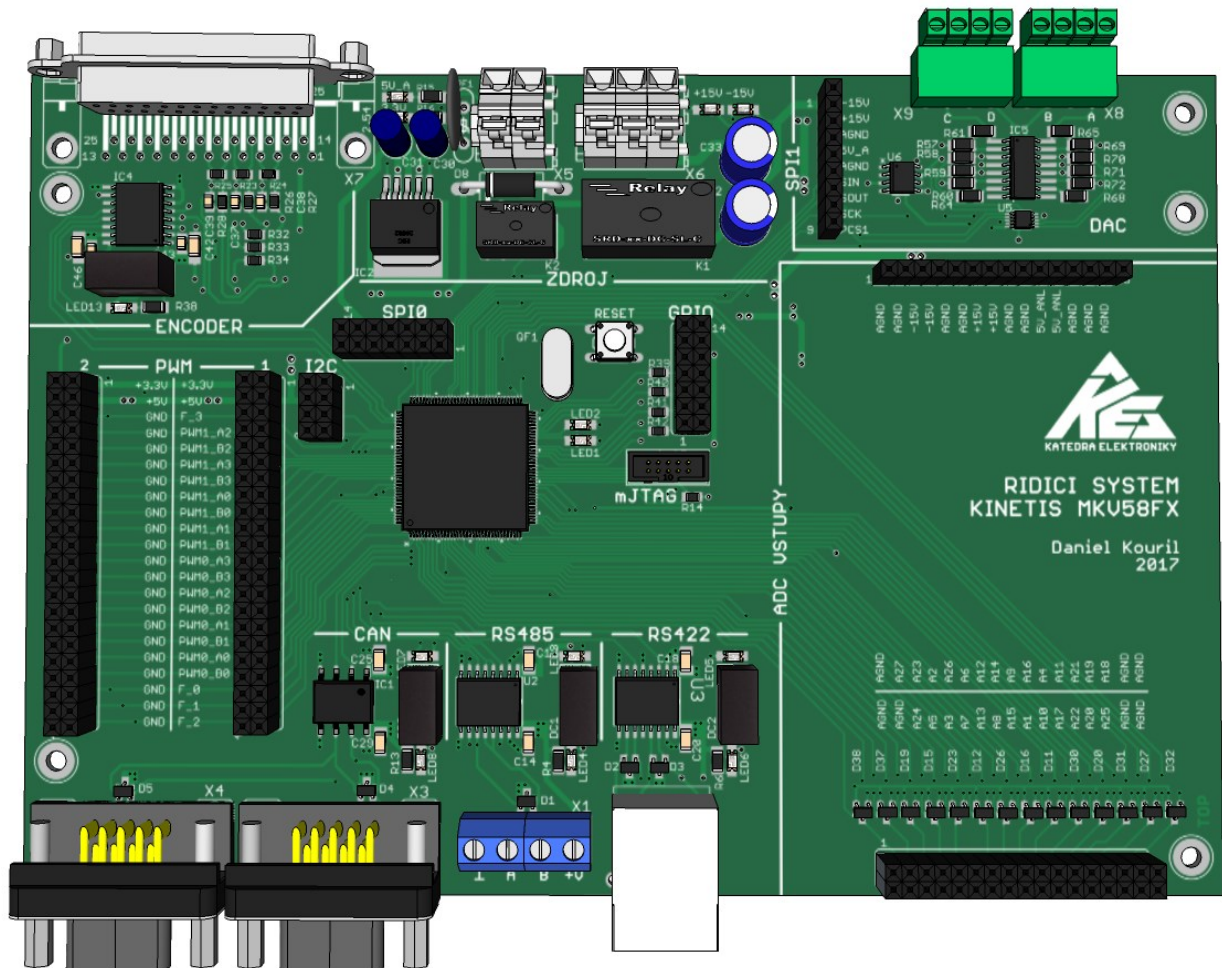
Obecnému popisu funkce GPIO je věnována kapitola 1.1.5, popisu periférie GPIO v mikrokontroléru je věnována kapitola 2.8.6. Následující obrázek zobrazuje návrh připojení vyvedených signálů na konektor.



Obrázek 3-15 Zapojení konektoru pro GPIO

3.2.2 3D model základní desky systému

Návrhy DPS byly vyexportovány z programu EAGLE a upraveny v programu Sketch up. Vložení všech potřebných součástek, byly vytvořeny 3D modely všech DPS.

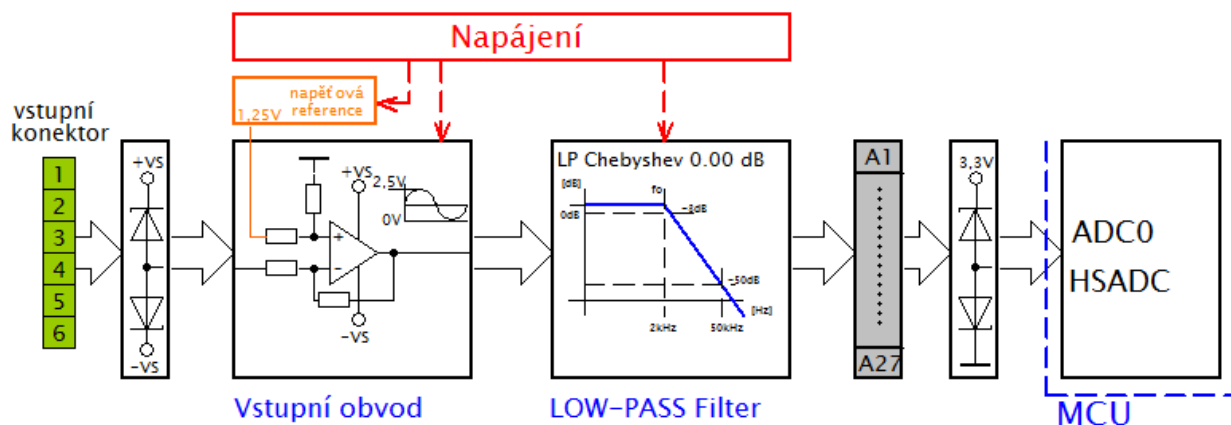


Obrázek 3-16 3D model základní desky řídicího systému Kinetis MKV58FX

3.3 Deska analogových vstupů

Deska analogových vstupů slouží k úpravě analogových signálů z čidel. Na DSP lze připojit až 6 vstupních signálů. DPS je možné nasazovat nad sebe. Celkově je možné připojit až 27 vstupů. Pro připojení proudového čidla je na vstupech možné osadit rezistor paralelně k zemi.

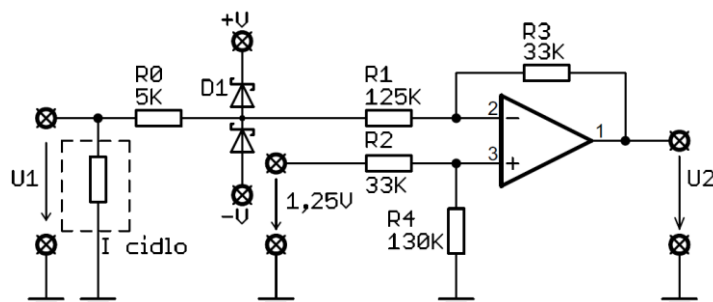
Změna rozsahu pro vstupní signály je provedena v bloku „vstupní obvod“, který je tvořen rozdílovým zesilovačem s připojenou napětovou referencí. Vstupy OZ jsou chráněny omezovacími diodami. Signál je dále filtrován dolní propustí v bloku „LOW-PASS Filter“. V návrhu je zvoleno zapojení „Sallen key“ s aproximací typu „chebyshev“ 2. řádu, zvlnění je 0,01 dB. Při návrhu byl využit online nástroj Filter wizard společnosti Analog Devices [6]. Navržený obvod byl pro ověření simulován v programu MicroCAP. Výstupní signály z analogových obvodů jsou vyvedeny na systém propojek, kde je možné si zvolit na který kanál ADC A HSADC bude vstupní signál připojen, rozsah napětové úrovně signálů je omezen diodami, pro ochranu vstupních kanálů ADC a HSADC mikrokontroléru. Následující obrázek uvádí blokové schéma zapojení desky analogových vstupů.



Obrázek 3-17 blokové schéma zapojení desky analogových vstupů

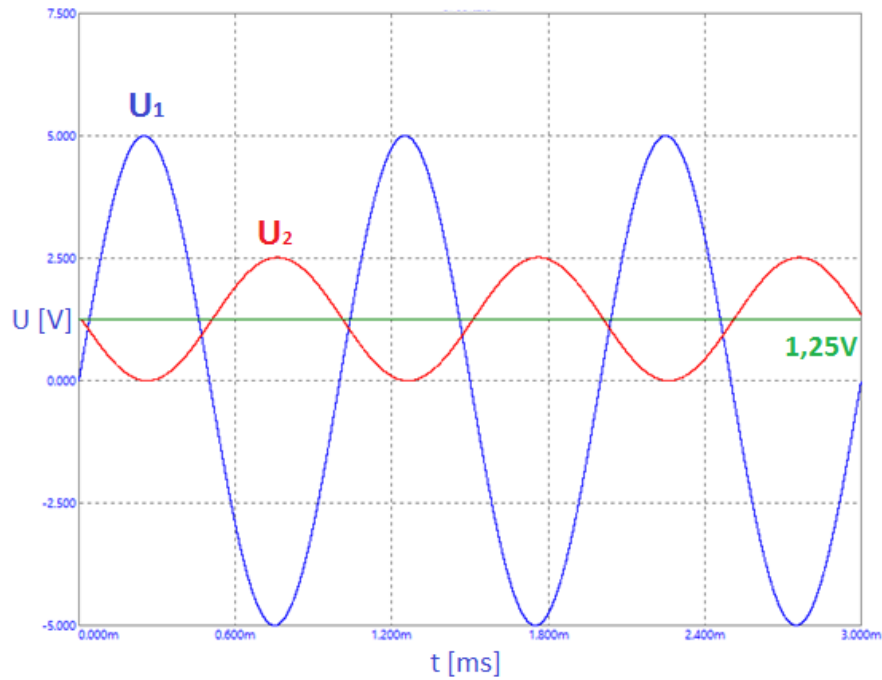
3.3.1 Návrh vstupního obvodu

Vstupní obvod je tvořen invertujícím rozdílovým zesilovačem s připojenou napětovou referencí. Zapojení je nastaveno tak aby se výstupní signál pohyboval v rozsahu 0V až 2,5V. Při amplitudě $U_1=5V$ vstupního signálu je na výstupu $U_2=0V$ a při amplitudě $U_1=-5V$ je výstupní signál $U_2=2,5V$. Následující obrázek popisuje zapojení pro jeden kanál. V zapojení je použit nízkošumový OZ AD823.



Obrázek 3-18 schéma zapojení vstupního rozdílového zesilovače

Následující obrázek 3-23 zobrazuje časový průběh vstupního signálu U_1 , výstupního signálu U_2 a napěťové reference 1,25V. Simulace ověřuje výše popsanou funkci zapojení rozdílového zesilovače z obrázku 3-22. Simulované průběhy odpovídají teoretickým předpokladům.

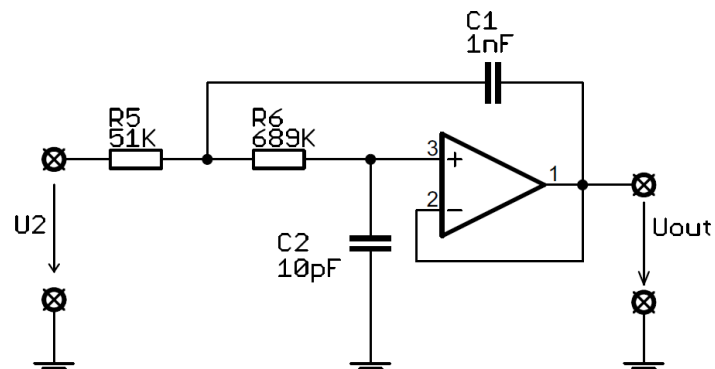


Obrázek 3-19 časové průběhy simulovaného vstupního zesilovače

3.3.2 Návrh „Low-pass“ filtru

Tabulka 3-2 Parametry navrženého filtru

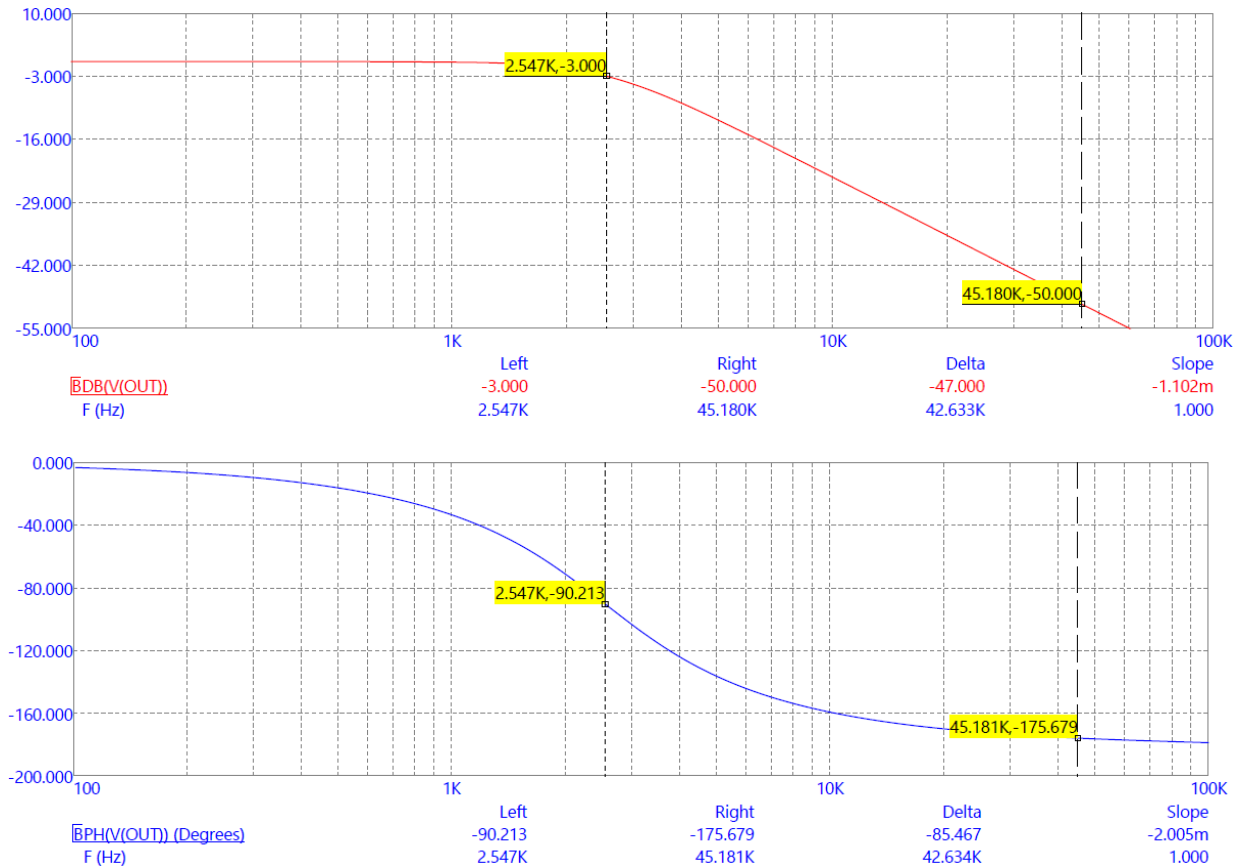
Filtr	LP-Dolní propust
aproximace	Chebyshev 0.01 dB
zesílení	0 dB
Propustné pásmo	-3dB na 2,5 kHz
nepropustné pásmo	-50dB na 50kHz
zapojení	Sallen Key 2. řád



Obrázek 3-20 schéma zapojení LP filtru typu Sallen Key

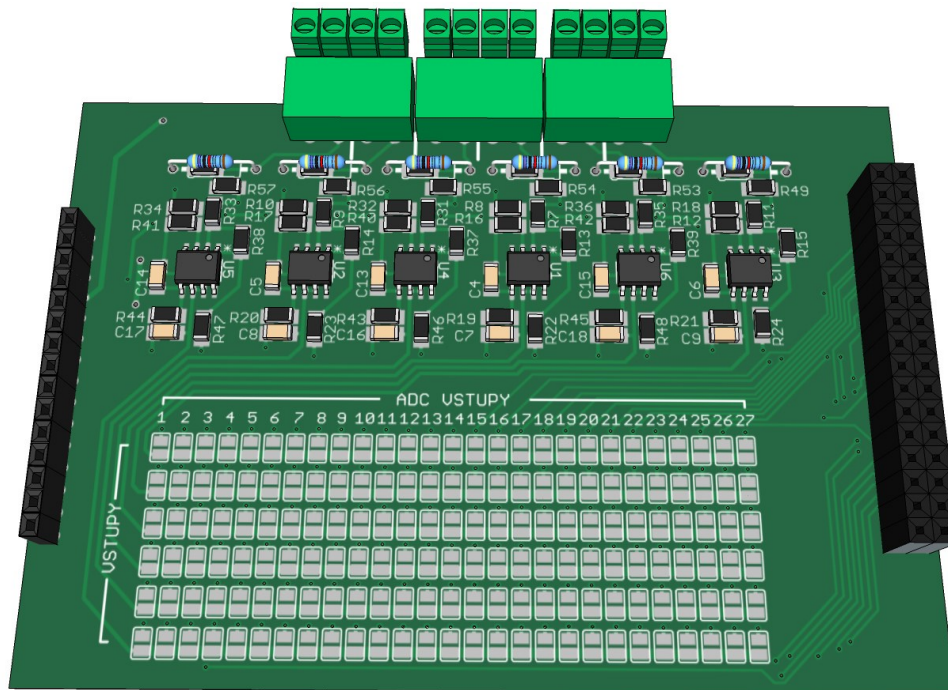
Při návrhu filtru dolní propusti, byla využita online aplikace Filter Wizard [6] společnosti Analog Devices. Filtr byl navržen s parametry uvedenými v tabulce 3-2. V zapojení je použit nízkošumový duální OZ AD823 se vstupem JFET. Schéma zapojení je uvedeno na obrázku 3-24.

Návrh filtru byl pro ověření funkce simulován v programu Micro Cap. Následující obrázek 3-25 zobrazuje LAFFCH (*Logaritmická Fázová Frekvenční Charakteristika*) navrhovaného filtru. Frekvence zlomu je 2,547kHz což odpovídá zvolené frekvenci 2,5kHz. Reálně mohou vzniknout malé nepřesnosti vlivem tolerance součástek.



Obrázek 3-21 LAFFCH navrhovaného filtru (výstup ze simulace v programu MicroCap)

3.3.3 3D model desky analogových vstupů



Obrázek 3-22 3D model desky analogových vstupů

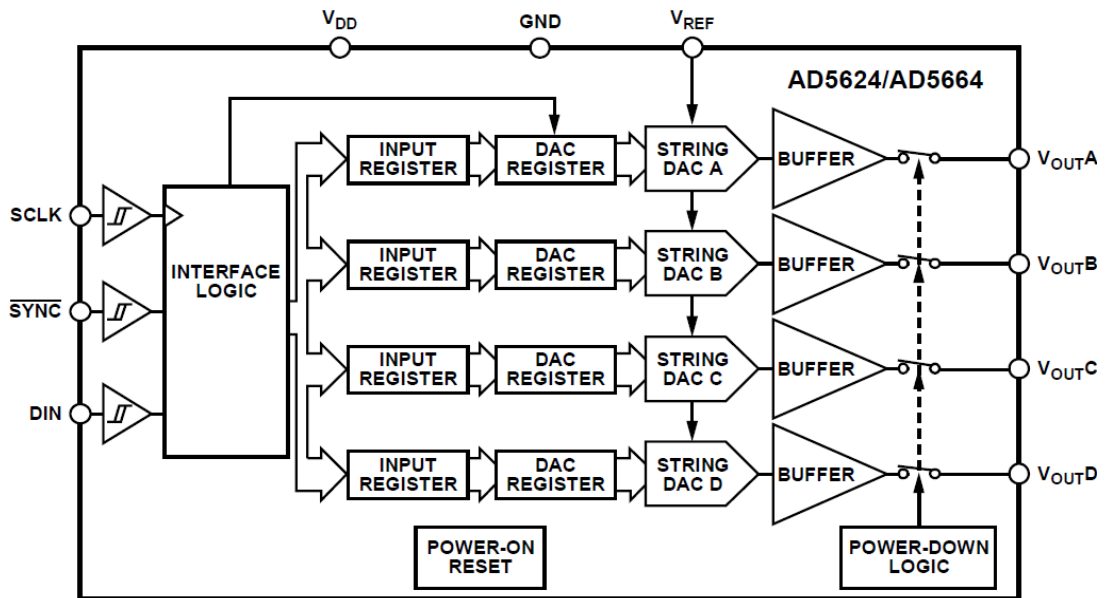
3.4 Deska analogových výstupů

Popis funkce a návrhu analogových výstupů na základní desce systému je popsán v kapitole 3.2.1.7. Rozšiřující deska analogových výstupů má stejné obvodové řešení. Blokové schéma zapojení je uvedeno na obrázku 3.9. Další část kapitoly je věnována stručnému popisu použitého sériového DAC převodníku AD5624.

3.4.1 DAC převodník AD5624

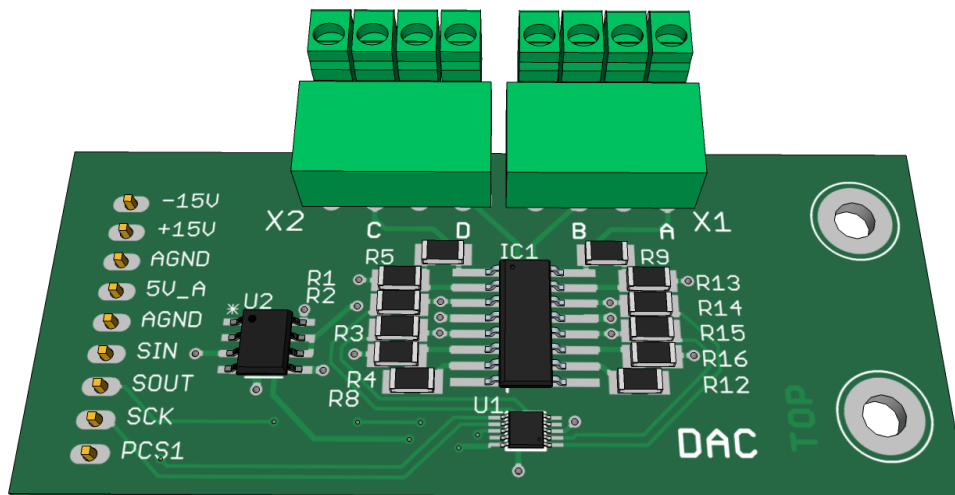
AD5624 je 12 bitový sériový DAC převodník pro sériová rozhraní do 50MHz. Nízká spotřeba 2,25mW ho řadí do rodiny nanoDAC. Převodník má 4 výstupní kanály A až D. Pro nastavení výstupního rozsahu je připojena napěťová reference 2,5 V s LM4040-2.5. Výstupní napětí se pohybuje v rozsahu 0 až 2,5 V. Obvod má integrovaný „zapínací obvod“ Power-on reset, který zajišťuje výstupní výkon DAC i při 0 V a setrvává v tomto stavu, dokud se neuskuteční platný zápis. Obvod dále obsahuje „funkci vypnutí“ Power-down logic, která snižuje spotřebu a poskytuje softwarovou volbu výstupní zátěže.

Vstupní registr je tvořen posuvným 24 bitovým registrem. Datový rámeček obsahuje tři příkazové bity a 3 bitovou adresu pro zvolený DAC, dále následuje 12 bitový rámeček pro vstupní data. Zápisem do DAC registru je provedeno nastavení uzlu na odporovém řetězci, ze kterého je následně vyvedeno napětí do výstupního zesilovače (blok „BUFFER“). Výstupní zátěž při 5V je 5k Ω . Výstupní zesilovač může řídit zatížení do hodnoty 2k Ω to odpovídá výstupnímu napětí 2V. Obrázek 3-29 zobrazuje vnitřní blokovou strukturu převodníku.



Obrázek 3-23 blokové schéma vnitřní struktury DAC A5624 [11] str.1

3.4.2 3D model desky analogových výstupů



Obrázek 3-24 3D model desky analogových výstupů

3.5 Deska PWM

„*Deska PWM*“ vznikla jako přípravek pro připojení řídicího systému k 3 fázovému nepřímému měniči frekvence s napěťovým meziobvodem pro praktický test navrženého zařízení.

Pro připojení modulů PWM k budiči je třeba provést změnu napěťové úrovně z 3,3V na 15V vhodné je i proudové posílení výstupů, protože MCU je schopen dodávat pouze 100mA na všechny výstupní porty. Z modulu PWM0 je vyvedeno 6 kanálů A0-A2, B0-B2. Proudové posílení PWM kanálů zajišťuje buffer SN74LS244, posun úrovní zapojení invertoru s tranzistory BC547. Galvanické oddělení řídicího systému je provedeno v rámci zapojení budiče na měniči. Schéma zapojení je uvedeno v přílohách.

4 Základní programové vybavení

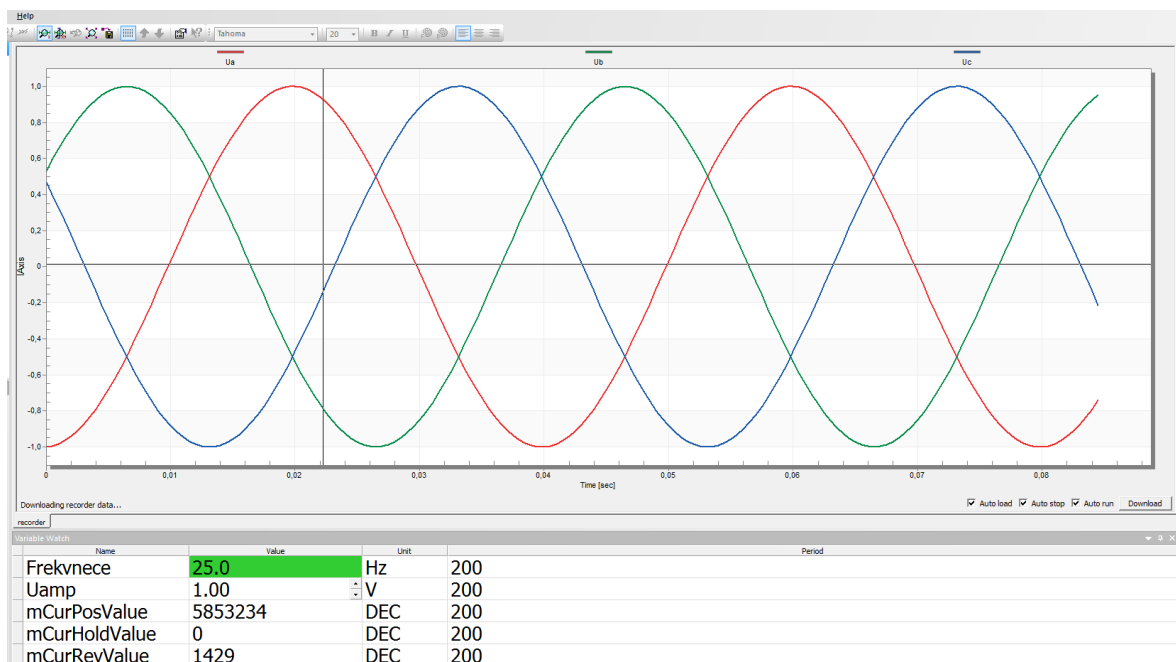
4.1 Vývojové prostředí a podpora

Firma NXP vytvořila pro nové MCU řady Kinetis KV5 a LPC vývojové prostředí MCUXpresso IDE, které je dostupné teprve od 22. 3. 2017. Řady nejsou podporovány modulem Procesor Expert v prostředí Kinetis design studio. Procesor Expert je nahrazen konfiguračním modulem MCUXpresso, který je možné spouštět jako online nebo offline verzi aplikace. V nástroji lze například přiřazovat signály z periférií na vývody mikrokontroléru pomocí nástroje „Pins Tool“, nastavit rozvody systémových hodin (*popsáno v kapitole 2.3*). pomocí „Clocks Tool“. Nástroji nastavenou konfiguraci je možné následně stáhnout a importovat jako konfiguraci do projektu. Exportovaný SDK archiv obsahuje i příklady programů.

FreeMASTER

je grafický nástroj ke čtení nebo zápisu paměti na cíl, a to buď pomocí sériového COM port na hostitelském počítači, nebo pomocí vyhrazeného komunikačního protokolu (JTAG, CAN...). K navržené desce je připojen přes RS422 komunikační standard.

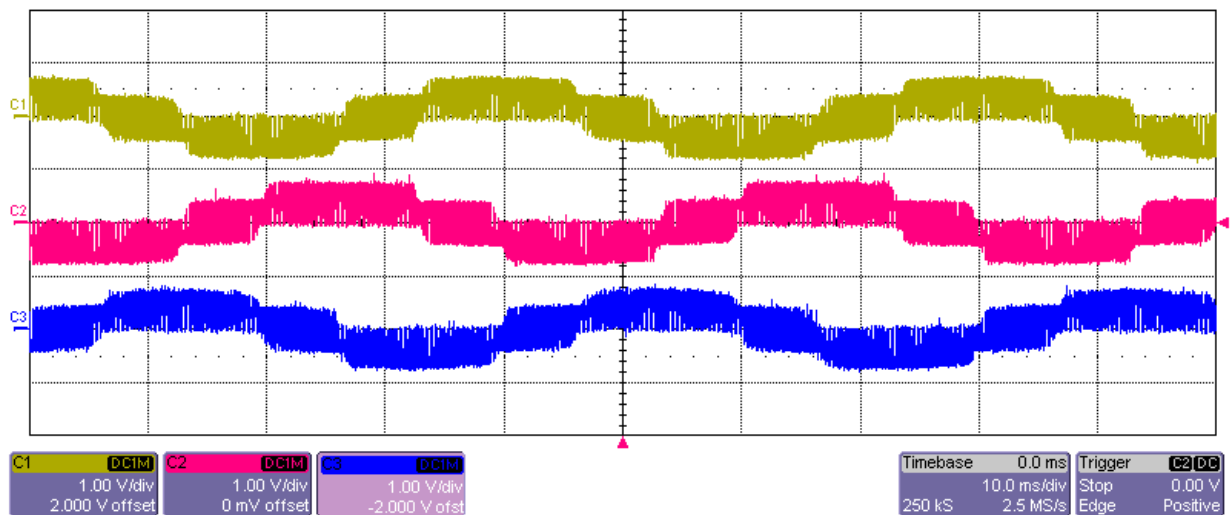
FreeMASTER používá binární soubor aplikace a informace o ladění pro umístění globální proměnné v cílové paměti, a je schopný zobrazovat je v reálném čase. Nemá vliv na spuštění kódu. To z něj dělá skvělý nástroj pro vizualizaci nebo úpravy proměnné za běhu programu.



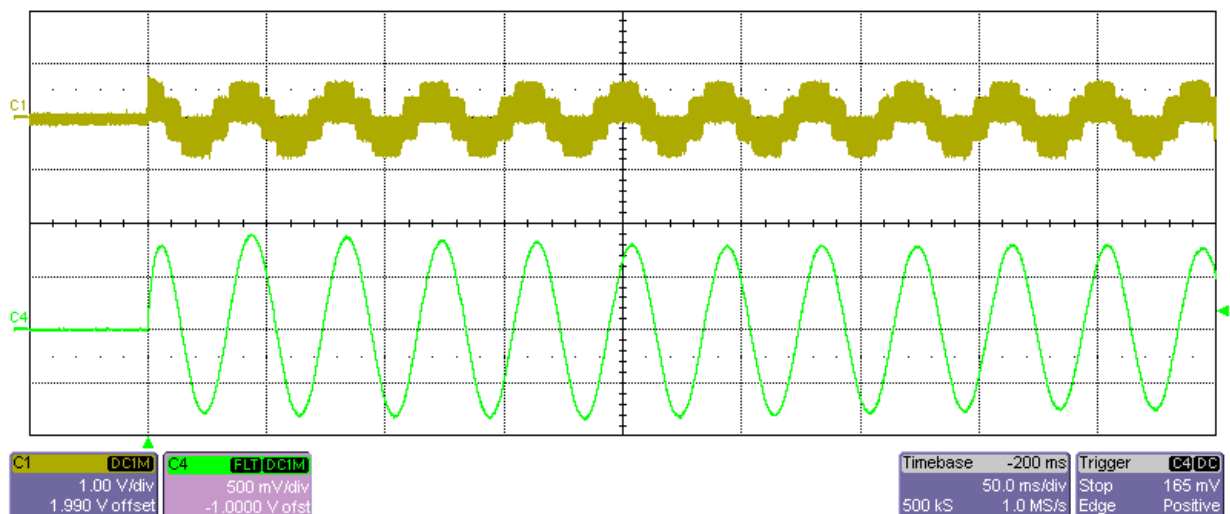
Obrázek 4-1 Prostředí FreeMaster, průběhy

5 Ověření funkčnosti řídicí desky

Pro ověření byl systém připojen k elektrickému pohonu tvořeného třífázovým nepřímým měničem frekvence s napětiovým meziobvodem a asynchronním kroužkovým motorem. Výstupní napětí ze střídače byla řízena komparačními PWM (*Pulse Width Modulation*) signály s hloubkou modulace 1 a frekvencí základní harmonické 25 Hz. Následující časové průběhy na obrázku 5-1 zobrazují naměřená napětí fází na statoru motoru. Průběhy na obrázku 5-2 zobrazují napětí jedné fáze a proud při rozběhu motoru.



Obrázek 5-1 fázová napětí statoru



Obrázek 5-2 Průběh napětí a proudu jedné fáze při rozběhu motoru

Závěr

Obsahem diplomové práce je návrh a realizaci řídicího systému s mikrokontrolérem firmy NXP, řady Kinetis KV58F1M0VLQ24. První část práce seznamuje se specifickými nároky řídicího systému pro výkonovou elektroniku a používanými periferiemi obecně. Další část práce je zaměřena na popis vybraného mikrokontroléru a jeho využitých periferií. Dále je v práci popsán návrh a praktická realizace celého řídicího systému. Poslední část práce je věnována popisu základního programového vybavení a ověření funkčnosti navrženého systému měřením.

Výsledkem práce je funkční základní deska řídicího systému pro výkonovou elektroniku a rozšiřující desky plošných spojů pro obvody analogových vstupů a výstupů.

Literatura

1. JAVŮREK, Jiří. *Regulace moderních elektrických pohonů*. Praha : Grada, 2003. ISBN 80-247-0507-9.
2. PINKER, Jiří. *Mikroprocesory a mikropočítače*. Praha : BEN-Technická literatura, 2004. ISBN 80-7300-110-1.

Online zdroje

3. *Kinets V Series Peripheral Module: Quick Reference* [online]. 2014, 15-18 [cit. 2017-04-19]. Dostupné z: <http://www.nxp.com/assets/documents/data/en/user-guides/KVQRUG.pdf>
4. *KV5x Data Sheet: 240 MHz Cortex-M7 based MCU for Real-time, high performance connected control* [online]. In: NXP Semiconductors, 2016 [cit. 2017-04-19]. Dostupné z: <http://www.nxp.com/assets/documents/data/en/data-sheets/KV5XP144M240.pdf>
5. *KV5x Sub-Family Reference Manual: Supports:MKV58F1M0Vxx24, MKV56F1M0Vxx24, MKV58F512Vxx24, MKV56F512Vxx24*. In: *Reference Manuals* [online]. NXP Semiconductors, 2016 [cit. 2017-04-19]. Dostupné z: <http://www.nxp.com/assets/documents/data/en/reference-manuals/KV5XP144M240RM.pdf>
6. *Analog Devices: filter wizard* [online]. Analog Devices, 2017 [cit. 2017-04-19]. Dostupné z: <http://www.analog.com/designtools/en/filterwizard/>
7. *Enkodéry. Rautech* [online]. c2014 [cit. 2017-04-22]. Dostupné z: <https://www.routech.cz/produkty/faulhaber/enkodery/>
8. *Automatizace: Princip optických enkodérů polohy pro řízení motorů*. *Http://automatizace.hw.cz: rady a poslední novinky z oboru* [online]. HW-server, 2006 [cit. 2017-04-22]. Dostupné z: <http://automatizace.hw.cz/clanek/2006022801>
9. ŠIMONÍK, Petr. *Automobilová elektronika II: PŘEDNÁŠKA 2- Sběrnice pro komunikaci elektronických systémů motorových vozidel*. 2014 [cit. 2017-04-22].
10. YIU, Joseph. *ARM Cortex-M for Beginners: An overview of the ARM Cortex-M processor family and comparison* [online]. 2016 [cit. 2017-04-22].
11. *Datasheet: AD5624/AD5664* [online]. In: . Analog Devices, 2006 [cit. 2017-04-23]. Dostupné z: http://www.analog.com/media/en/technical-documentation/data-sheets/AD5624_5664.pdf

Přílohy na CD

Adresářová struktura přiloženého disku

/Základní deska řídicího systému	*.sch, *.brd soubory návrhu z programu EAGLE *.pdf export schémat z programu EAGLE (A4) seznam použitých součástek „pinout“ mikrokontroléru
/Deska analogových vstupů	*.sch, *.brd soubory návrhu z programu EAGLE *.pdf export schémat z programu EAGLE (A4) seznam použitých součástek
/Deska analogových výstupů	*.sch, *.brd export návrhu z programu EAGLE *.pdf export schémat z programu EAGLE (A4) seznam použitých součástek
/Deska PWM	*.sch, *.brd export návrhu z programu EAGLE *.pdf export schémat z programu EAGLE (A4) seznam použitých součástek