

**VŠB – Technická univerzita Ostrava
Fakulta elektrotechniky a informatiky
Katedra telekomunikační techniky**

**Aplikace kmitočtových syntetizátorů s přímou digitální syntézou v
telekomunikační technice**

**Application of frequency synthesizers with direct digital synthesis
in telecommunication technology**

2017

Bc. Vít Kowalczyk

Zadání diplomové práce

Student:

Bc. Vít Kowalczyk

Studijní program:

N2647 Informační a komunikační technologie

Studijní obor:

2601T013 Telekomunikační technika

Téma:

Aplikace kmitočtových syntetizátorů s přímou digitální syntézou v
telekomunikační technice
Application of frequency synthesizers with direct digital synthesis in
telecommunication technology

Jazyk vypracování:

čeština

Zásady pro vypracování:

1. Popište princip metody přímé digitální syntézy (DDS) a vypracujte přehled aplikací využívající princip DDS.
2. Zpracujte přehled vyráběných integrovaných obvodů číslicových syntetizátorů (DDS) s ohledem na jejich použitelnost pro dané aplikační oblasti.
3. Realizujte laditelný funkční generátor s obvody DDS.

Seznam doporučené odborné literatury:

VEDRAL, Josef a FISCHER, Jan. 1999. *Elektronické obvody pro měřicí techniku*. 1. vyd. Praha : ČVUT, 1999. str. 340. ISBN 80-01-01950-0.


Vlastní literární rešerše k řešené problematice.

Formální náležitosti a rozsah diplomové práce stanoví pokyny pro vypracování zveřejněné na webových stránkách fakulty.


Vedoucí diplomové práce: **Ing. Zdeněk Tesar**

Datum zadání: 01.09.2016

Datum odevzdání: 28.04.2017


doc. Ing. Miroslav Vozňák, Ph.D.
vedoucí katedry

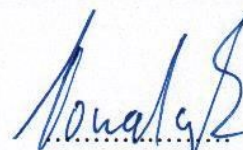



prof. RNDr. Václav Snášel, CSc.
děkan fakulty

Prohlášení studenta

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně. Uvedl jsem všechny literární prameny a publikace, ze kterých jsem čerpal.

V Ostravě dne: 7. dubna 2017



.....
podpis studenta

Poděkování

Rád bych poděkoval Ing. Zdeňku Tesáři za odbornou pomoc a konzultaci při vytváření této diplomové práce.

Abstrakt

Cílem této práce je návrh a realizace laditelného generátoru založeného na technologii přímé digitální syntézy včetně ověření jeho funkčnosti měřením. Zaměřením práce odkazuje na problematiku spojenou s vytvářením spojitého analogového signálu pomocí generování časově proměnné digitální formy signálu při využití digitálně analogové konverze. V teoretické rovině práce nejprve popisuje funkční uspořádání systému DDS včetně jevů ovlivňujících analogový výstup a následně se věnuje potřebě výstupního filtrování a posouzení jeho vlivu na výstupní spektrum signálu. V druhé části teorie se práce zabývá obecnějším popisem signálů a jejich modulace ve spojení právě s uvedenou technologií DDS. Následně je uveden přehled aplikací obvodů DDS napříč technologickými obory včetně přehledu současných vyráběných obvodových řešení převážně od firmy Analog Devices. Řešení samotného návrhu zahrnovalo volbu vhodné syntézy dle parametrů zadání včetně periferních obvodových řešení a návrhu spojeného se simulací výstupního rekonstrukčního filtru. Celý proces návrhu těchto jednotlivých částí je tak podrobně popsán. V další části se práce věnuje již samotnému programovému vybavení potřebnému pro požadovanou funkčnost zařízení. Výsledný návrh je realizován na desce plošných spojů a v samotném závěru provedeno ověření jeho funkčnosti měřením prostřednictvím osciloskopu. Výstupem práce je pak plně funkční laditelný generátor signálu s technologií DDS vhodný k použití jako stabilní a přesný zdroj hodinového signálu.

Klíčová slova

Přímá digitální kmitočtová syntéza, DDS, generátor hodinového signálu, AD9851

Abstract

The aim of this work is the design and implementation of a tunable generator based on direct digital synthesis technology and it also include verification of its performance by a measurement. Work refers to the problems associated with creating a continuous analog signal by generating a time-varying digital form of the signal with use of digital to analog conversion. The first theoretical part describes the configuration of the DDS system including phenomena that affect the analog output and consequently the need for the output filtering and its impact on the output spectrum. In the second part of the theory the work deals with general description of signals and modulation in conjunction with the DDS technology. Subsequently, the work gives an overview of the application of DDS circuits across technological fields, including an overview of the present circuit solutions produced mainly from Analog Devices. The proposal itself include the choice of synthesis with particular parameters, the choice of peripheral circuit solutions and design associated with simulation of the output reconstruction filter. The entire process of design and the individual parts are described in detail. The next part deals with the program itself and with equipment needed for the desired functionality of the device. The result design is implemented on a printed circuit board and a verification of its functionality is done by measuring on the oscilloscope at the very end of the work. The outcome of this work is fully functional tunable signal generator with DDS technology suitable for use as an agile and accurate clock source.

Key words

Direct digital synthesis, DDS, Clock signal generator, AD9851

Obsah

Seznam použitých symbolů

Seznam použitých zkratek

Seznam ilustrací a seznam tabulek

Úvod.....	- 1 -
1 Princip a teorie přímé digitální syntézy.....	- 2 -
1.1 Úvodem.....	- 2 -
1.2 Funkční uspořádání.....	- 3 -
1.2.1 Možnosti ve funkčním uspořádání.....	- 6 -
1.3 Analogový výstup DDS obvodů.....	- 7 -
1.4 Vliv rozlišení digitálně analogového převodníku.....	- 8 -
1.5 Vliv převzorkování.....	- 10 -
1.6 Vliv zkracování registru fáze.....	- 11 -
1.7 Prvky ovlivňující úroveň nežádoucích impulzů.....	- 12 -
1.8 Prvky ovlivňující rozložení nežádoucích impulzů.....	- 13 -
1.9 Zkrácení fáze.....	- 17 -
1.10 Další zdroje nežádoucích impulzů v DDS.....	- 17 -
1.10.1 Nelinearita D/A převodníku.....	- 17 -
1.10.2 Průchod hodinového signálu.....	- 19 -
1.10.3 Optimální umístění nežádoucích složek v rámci ladícího rozsahu DDS.....	- 19 -
1.10.4 Posouzení vlivu jitteru a fázového šumu na systém DDS.....	- 20 -
1.11 Posouzení výstupního filtrování.....	- 22 -
1.11.1 Čebyšev.....	- 26 -
1.11.2 Gauss.....	- 27 -
1.11.3 Legendre.....	- 28 -
2 Teorie digitálního DDS modulátoru.....	- 29 -
2.1 Signály.....	- 29 -
2.2 Signály v základním pásmu.....	- 30 -
2.3 Pásmově propustné signály.....	- 32 -
2.4 Modulace.....	- 33 -
2.5 Metodika datového kódování a jejich DDS implementace.....	- 36 -
2.5.1 Kódování FSK.....	- 36 -

Seznam použitých symbolů

2.5.2	Kódování PSK.....	- 37 -
2.5.3	Kódování QAM.....	- 38 -
2.5.4	Modulace FM	- 39 -
3	Aplikace DDS a přehled obvodových řešení	- 40 -
3.1	Průmyslové a medicínské aplikace	- 40 -
3.2	DDS v komunikacích	- 41 -
3.2.1	Referenční jemné ladění pro fázový závěs PLL	- 42 -
3.2.2	PLL s interním offsetem generovaným DDS	- 42 -
3.2.3	Vláknová optika a identifikace kanálu s DDS.....	- 43 -
3.3	Přehled vyráběných obvodových řešení.....	- 44 -
4	Návrh generátoru obdélníkového signálu s DDS	- 49 -
4.1	Požadavky na návrh	- 49 -
4.1.1	Podmínky pro výběr obvodu DDS	- 49 -
4.1.2	Podmínky kladené na rekonstrukční filtr	- 49 -
4.1.3	Návrh realizace.....	- 50 -
4.2	Návrh generátoru s obvodem AD9851	- 50 -
4.2.1	Krystalový oscilátor	- 51 -
4.2.2	Napájecí struktura pro krystalový oscilátor.....	- 51 -
4.2.3	AD9851 a volba operačního režimu.....	- 52 -
4.2.4	Pasivní dělicí obvod	- 53 -
4.2.5	Externí komparátor TLV3501	- 54 -
4.2.6	Rekonstrukční filtr.....	- 54 -
4.2.7	Deska plošných spojů.....	- 57 -
4.2.8	Programátor AT89S52 - vývojový prostředek SDK8252	- 58 -
4.2.9	Popis komunikace a registru AD9851	- 59 -
4.2.10	Výpočet frekvence a nastavení registru AD9851	- 61 -
4.2.11	Zdrojový kód	- 62 -
4.2.12	Měření	- 66 -
	Závěr	- 72 -
	Použitá literatura	- 73 -
	Seznam příloh.....	- 74 -

Seznam použitých symbolů

Symbol	Jednotky	Význam symbolu
A	dB	Útlum
A_{max}	dB	Maximální útlum propustného pásma
A_{min}	dB	Minimální útlum nepropustného pásma
B	Hz	Šířka pásma
C	F	Kapacita
f	Hz	Frekvence
f_c	Hz	Vnitřní referenční frekvence
FFS	%	Část z plného rozsahu D/A převodníku
f_{LO}	Hz	Frekvence lokálního oscilátoru v PPL s interním offsetem generovaným DDS
F_M	Hz	Zlomový kmitočet filtru
f_{max}	Hz	Mez horní frekvence
f_{offset}	Hz	Součtová/rozdílová frekvence v PPL s interním offsetem generovaným DDS
F_p	Hz	Propustné pásmo filtru
f_{ref}	Hz	Referenční frekvence v PLL s interním offsetem generovaným DDS
F_s	Hz	Nyquistův kmitočet vzorkování
f_s	Hz	Frekvence nepropustného pásma
F_{sos}	Hz	Kmitočet převzorkování
f_{výstup}	Hz	Výstupní frekvence DDS
K_C, K_L	-	Koeficienty pro výpočet obvodových prvků filtru
K_{zvl}	dB	Zvlnění v propustném pásmu filtru
L	H	Indukčnost

Seznam použitých symbolů

M	bit	Binární ladící slovo
N	bit	Délka registru fáze v bitech
R	Ω	Rezistence
SQR	dB	Poměr výkonu signálu vůči výkonu kvantizačního šumu
T	$^{\circ}\text{K}, ^{\circ}\text{C}$	Teplota
V_{šum}	V	Efektivní hodnota šumového napětí
V_{výstup}	V	Označení výstupního napětí regulátoru lineárního napětí

Seznam použitých zkratek

Zkratka	Význam
AC	Alternating current [V]
AES	Audio Engineering Society
ASK	Amplitude-shift keying
BER	Bit Error Rate [-]
BNC	Bayonet Neill–Concelman
BPSK	Binary-Phase Shift Keying
BTS	Base Transceiver Station
BW	Bandwidth [Hz]
CDMA	Code Division Multiple Access
CMOS	Complementary Metal–Oxide–Semiconductor
COM	Communication port
D/A	Digital - Analog
DACBP	Digital – Analog converter bypass
DC	Direct Current [V]
DDS	Direct Digital Synthesis
DIP	Dual in-line package
DNL	Differential nonlinearity
DPS	Deska plošných spojů
DPSK	Differential Phase-shift keying
DQAM	Differential Quadrature Amplitude Modulation
DQPSK	Differential Quadrature Phase Shift Keying
DSP	Digital Signal Processing
EBU	European Broadcasting Union
EMI	Electromagnetic Interference
ETW	Equivalent Tuning Word
FFS	Fraction of Fullscale
FFT	Fast Fourier Transform
FM	Frequency modulation

Seznam použitých zkratk

FQ_UD	Frequency update
FSK	Frequency-shift keying
GMSK	Gaussian minimum-shift keying
HW	Hardware
I	In-phase, synfázní složka
IEEE	Institute of Electrical and Electronics Engineers
INL	Integral nonlinearity
LSB	Least Significant Bit
MFSK	Multiple frequency-shift keying
MSB	Most Significant Bit
NSD	Největší společný dělitel
PLL	Phase-locked loop
PROM	Programmable read-only memory
PSK	Phase shift keying
Q	Quadrature, kvadrurní složka
QAM	Quadrature amplitude modulation
QPSK	Quadrature phase-shift keying
RAM	Random Access Memory
REFCLK	Reference Clock
RF	Radio frequency
RMS	Root Mean Square
S/PDIF	Sony/Philips Digital InterFace
SFDR	Spurious-Free Dynamic Range [dBc]
SMA	SubMiniature version A
SMD	Surface mount device
SNR	Signal to Noise ratio [dB]
SOT	Small outline transistor
SPI	Serial Peripheral Interface
SPUR_n	Frekvence N-té harmonické složky
SQR	Signal to Quantizing noise Ratio [dB]
SSOP	Shrink Small-Outline Package

Seznam použitých zkratek

SW	Software
TDMA	Time Division Multiple Access
TTL	Transistor-transistor-logic
VCO	Voltage controlled oscillator
W_CLK	Word clock
WDM	Wavelength-division multiplexing
ZOH	Zero-order hold

Seznam ilustrací a seznam tabulek

Číslo ilustrace	Název ilustrace	Číslo stránky
1.1	Základní model přímé digitální syntézy	3
1.2	Frekvenčně laditelný systém DDS	4
1.3	Fázové otáčení	4
1.4	Spektrální analýza výstupního signálu DDS	7
1.5	Vliv rozlišení D/A převodníku	8
1.6	Porovnání spektra 4bit D/A převodníku s 8bit D/A převodníkem	9
1.7	Vliv převzorkování na hodnotu SQR	10
1.8	Znázornění fázových kruhů a fázových chyb	11
1.9	Formát ladícího slova vedoucího k vysoké úrovni nežádoucích impulzů	12
1.10	Formát ladícího slova bez vzniku nežádoucích impulzů	13
1.11	Sekvence registru	14
1.12	Průběh zkráceného slova v časové oblasti	15
1.13	Spektrum sekvence zkráceného slova	16
1.14	Nyquistovy oblasti a frekvenční zobrazení	18
1.15	Vliv jitteru na hodinový signál	21
1.16	Výstupní spektrum DDS	22
1.17	Antialias filtr	23
1.18	Odezva v časové doméně	24
1.19	Impulsní odezva	24
1.20	Teoretická frekvenční odezva filtru dolní propust	25
1.21	Odezvy filtrů Čebyšev	26
1.22	Odezvy Gaussovských filtrů	27
1.23	Odezva Legendre	28
2.1	Periodická komplexní exponenciála	29
2.2	Kladná a záporná frekvence	30
2.3	Jednostranně omezené spektrum	30
2.4	Oboustranné spektrum	31

2.5	Komplexní spektrum v základním pásmu	31
2.6	Pásmově propustné spektra	32
2.7	Základní modulační schémata	33
2.8	Základní digitální modulační schémata	34
2.9	Základní DDS modulační struktura	35
2.10	Modulátor DDS	35
2.11	FSK kodér založený na DDS	36
2.12	I-Q diagram 16QAM	38
3.1	Testování odezvy	40
3.2	Blokový diagram pro testování odezvy s AD9834	41
3.3	DDS referenční kmitočtový generátor pro PLL	42
3.4	AD9834 generující frekvenční offset pro PLL ADF41xx	43
3.5	DDS ve vláknově-optické aplikaci	43
4.1	Krystalový oscilátor CFPS-39 (30MHz) a jeho zapojení	51
4.2	Zapojení regulátoru lineárního napětí LM317EMP	52
4.3	AD9851 v sériovém módu	53
4.4	Pasivní dělicí obvod s 0,5V středem	53
4.5	Zapojení externího komparátoru TLV3501	54
4.6	Eliptický filtr 7. řádu ve schématickém návrhu EAGLE 7.2.0	55
4.7	Simulované zapojení filtru v prostředí OrCAD PSpice 17.2	56
4.8	Výstup simulace PSpice - modulová charakteristika filtru	56
4.9	DPS syntézy v programu EAGLE 7.2.0	57
4.10	Osazená DPS vrchní strana včetně drátové propojky	58
4.11	Osazená DPS spodní strana - strana země GND	58
4.12	Paralelní režim a přenos 5x8bit datového slova	59
4.13	Proces aktivace sériového režimu programování	60
4.14	Nastavení 8-bit slova xxxxx011	60
4.15	Sériový režim a přenos 40-bit slova po bitu	60
4.16	Blokové schéma programu	65

Seznam ilustrací a seznam tabulek

4.17	Blokové schéma měření a struktura přípravku	66
4.18	Pracoviště při probíhajícím měření	67
4.19	Obdélníkový průběh s frekvencí 500kHz	67
4.20	Obdélníkový průběh s frekvencí 1MHz	68
4.21	Obdélníkový průběh s frekvencí 2MHz	68
4.22	Obdélníkový průběh s frekvencí 11.2896MHz	69
4.23	Obdélníkový průběh s frekvencí 12.288MHz	69
4.24	Obdélníkový průběh s frekvencí 24,5707MHz	70
4.25	Obdélníkový průběh s frekvencí 49,1528MHz	70
4.26	Obdélníkový průběh referenčního krystalového 30MHz oscilátoru	71
4.27	Sinusový 500kHz průběh na vstupu komparátoru	71

Číslo tabulky	Název tabulky	Číslo stránky
1.1	Hodnota N a její vliv na počet bodů při fázovém otáčení	5
4.1	Tabulkové hodnoty - Cauerův filtr 7. řádu	55
4.2	Hodnoty jednotlivých obvodových prvků filtru	55
4.3	Struktura registru AD9851 v sériovém režimu	61

Úvod

Cílem této diplomové práce je čtenáři přiblížit problematiku přímé digitální syntézy a poskytnout pohled do základních teoretických principů této technologie. Jednotlivé kapitoly se zabývají nejprve teoretickou podstatou, poskytují tak potřebný základ k vytvoření znalostí a postupně přechází ke konkrétnějším konceptům. Práce tak nesetrvává pouze na poli teoretickém, ale ve své druhé části široce popisuje potřebné předpoklady, uvádí možnosti realizací společně s výpočty a simulace nutné pro praktickou realizaci zařízení právě s technologií přímé digitální syntézy. Výstupem této práce je pak plně funkční zařízení založené na obvodu DDS.

V první kapitole se práce postupně zabývá popisem jednotlivých funkčních celků, z nichž se technologie přímé digitální syntézy skládá a následně plynule přechází k potřebným teoretickým základům a jevům spojeným s touto technologií. Kapitola ve svém závěru rovněž popisuje základní rozdělení potřebných externích prvků a požadavky vyplývající z teoretických předpokladů na tyto prvky kladené.

Druhá kapitola se skládá ze dvou částí. V první části se věnuje obecně signálům jako takovým, jejich popisu a základnímu rozdělení v rozsahu potřebném jako teoretický základ pro další kapitoly. Ve druhé části postupně přechází ke komplexnějším operacím se signály a tedy základním principům modulace a jejich návaznosti na technologii přímé digitální syntézy. Kapitola se ve svém závěru následně zabývá rozdělením těchto modulací avšak nikoli v pohledu obecném, ale právě s ohledem na jejich implementaci v probírané technologii.

Třetí kapitola se ve svém počátku zabývá širokou možností aplikací v daných technologických odvětvích, rozebírá a popisuje struktury konkrétních aplikačních řešení. Ve své druhé a závěrečné části kapitola poskytuje ucelený přehled aktuálně nabízených obvodových řešení na trhu a podrobný popis nejen jejich parametrů.

Ve čtvrté kapitole práce opouští striktní teoretickou rovinu a ve svém úvodu se zabývá požadavky na realizaci laditelného generátoru s obvodem přímé digitální syntézy. Z předpokladů definuje konkrétní nároky na návrh zařízení a uvádí jednotlivé možnosti realizace a následně předkládá schématická řešení jednotlivých funkčních celků. Popisuje proces návrhu od výpočtů a simulace obvodových struktur až po tvorbu konečného zařízení a přechází k aplikačnímu řešení, komunikačním protokolům a programové struktuře daného zařízení. Zahrnuje tak míru komplexnosti jak po hardwarové, tak po softwarové stránce a veškeré skutečnosti, které je potřeba před návrhem i v jeho průběhu pečlivě uvážit. V obecnějším pohledu je ukázána i tradičnější cesta návrhu navzdory trendu urychleného vývoje a tvorbě velmi snadno modifikovatelných funkcí zařízení skrze softwarové prostředky PC. V samotném závěru kapitola předkládá bloková schémata celého zařízení, popisuje jeho funkce a chování a uvádí výsledky měření výstupu zařízení včetně jejich zhodnocení.

1 Princip a teorie přímé digitální syntézy

1.1 Úvodem

Schopnost přesného vytvoření a řízení křivky průběhu signálu o různých frekvencích a profilech se stala klíčovým požadavkem pro mnohá odvětví. S rozvojem a všudypřítomným využitím digitálních metod v zařízeních a komunikacích se vyvíjela i metoda přímé digitální syntézy v angličtině označována zkráceně jako DDS. Jedná se o metodu vytváření spojitého analogového signálu pomocí generování časově proměnné digitální formy signálu při využití digitálně analogové konverze. Dnešní moderní DDS obvody pracují výhradně na digitální bázi, a tudíž nabízí možnost rychlého přepínání výstupních frekvencí, velké frekvenční rozlišení a široké spektrum možných operačních frekvencí v kombinaci s kompaktními rozměry při současně nízké spotřebě během samotného provozu.

Tyto prvky společně s dalšími jako cenová dostupnost, sjednocenost funkcí či malé rozměry výsledných pouzder integrovaných obvodů dělají z DDS velmi vhodnou alternativu k analogovým řešením frekvenční syntézy. Společná integrace DDS architektury a D/A převodníků do podoby jednoho čipu umožňuje široký záběr možných aplikací a v mnoha případech i vhodnější nasazení namísto fázového závěsu PLL, jenž ve své podstatě pracuje na analogovém principu. Mezi hlavní výhody DSS spadá:

- Díky digitálnímu řízení je možné nastavení výstupního frekvenčního rozlišení v řádech μHz včetně přesného nastavení fáze výstupního signálu
- Velmi rychlá změna výstupní frekvenci i fáze bez potřebných časových intervalů potřebných pro ustálení nově požadované hodnoty signálu
- Odpadává potřeba nastavení prvků trpícími teplotním posunem, jenž ovlivňuje výsledný signál v analogových řešeních
- Možnost procesorového řízení a s tím spojené přívětivější uživatelské rozhraní a s tím spojená teoretická možnost vzdáleného nastavení hodnot v krátkém časovém rozestupu
- V případě aplikace DSS pro potřeby kvadraturní syntézy souběžné přizpůsobení a kontrola složek I a Q na výstupu.

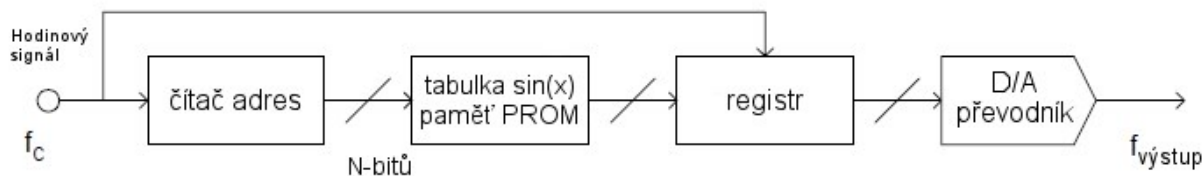
Právě široký rozsah v kombinaci s velice rychlou možností přeladění umožňuje tyto typy obvodů využít v nepřeberném množství aplikací jako v případě reference pro fázový závěs PLL, při konstrukci modulátoru ASK, FSK, PSK, QPSK, jako součást základnových stanic BTS v buňkových sítích typu TDMA či CDMA nebo poslouží i funkci podstatně prostší například jako generátor testovacích signálů potřebných při testování parametrů různých druhů obvodových řešení. Velice vhodným příkladem ve vztahu k telekomunikační technice poslouží právě funkce jakožto reference pro fázový závěs PLL používaná mobilními telefony, kde je právě možnost neustálého přeladování frekvence mezi kanály kritickou funkcionalitou, bez které by se nedalo v současných systémech obejít.

Technologii DDS lze nalézt jako součást funkčních bloků nebo jako samostatné specializované obvody firem Analog Devices, Texas Instruments, Cirrus Logic, Qualcomm nebo Maxim.

1.2 Funkční uspořádání

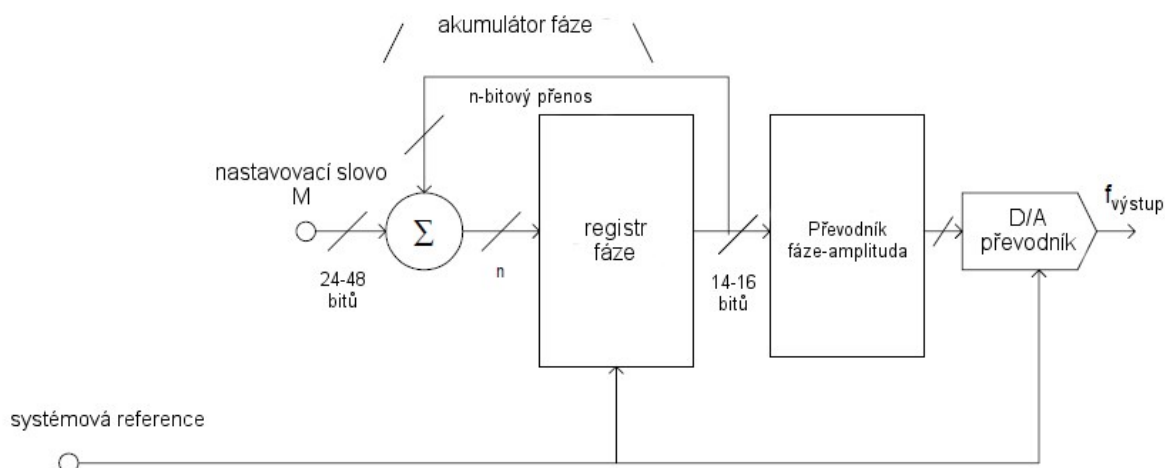
Přímá digitální syntéza anglický též Direct Digital Synthesis (DDS) je technika založená na zpracování užitečných bloků digitálních dat k vytvoření frekvenčně a fázově nastavitelného signálu výstupu vztaženého k referenčnímu zdroji hodinového signálu o neměnné výchozí frekvenci. Je potřeba poznamenat, že v základu je ještě referenční frekvence hodinového signálu v DDS architektuře ovlivněná výchozím nastavením měřítka dělení frekvence, které je programovatelné skrze slovo v binárním tvaru. Slovo obvykle nabývá délky 24 až 48 bitů a umožňuje tak velmi přesné nastavení požadované frekvence výstupu pro konkrétní aplikaci. Uvedená teorie dále vychází a je většinou citována z překladu [1].

V základní podobě se obvod přímé digitální syntézy skládá z přesné reference hodinového signálu, čítače adres, programovatelné paměti PROM a D/A převodníku. Řekněme například, že bude požadována výstupní frekvence sinusového tvaru, pak blokové uspořádání ilustruje Obrázek 1.1 níže.

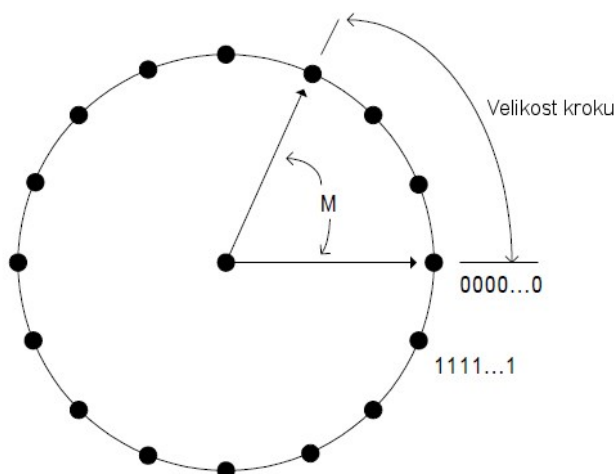


Obrázek 1.1: Základní model přímé digitální syntézy

V paměti PROM je uložen kompletní digitální popis amplitudy odpovídající jedné periodě funkce $\sin(x)$. Paměť PROM tedy slouží jako vyhledávací tabulka pro rekonstrukci sinové funkce. Čítač adres postupně prochází a přistupuje ke každé položce v paměti a výsledek předává do D/A převodníku. Jedná se vždy o informaci o konkrétní velikosti amplitudy v daném čase, jenž nabývá podoby binárního slova. Na základě předložené informace o amplitudě z paměti PROM provede D/A převodník rekonstrukci analogového průběhu funkce. Výsledná výstupní frekvence výše uvedeného modelu závisí na dvou faktorech a to frekvenci referenčního zdroje hodinového signálu a také na velikosti kroku vzorků sinové křivky uložených v paměti PROM. Tato zjednodušená koncepce sice může dosahovat dobré přesnosti výstupní křivky a jitteru, ale postrádá jakoukoli flexibilitu při přenastavení požadované frekvence. Výstupní frekvence může být v tomto případě nabývat dalších požadovaných hodnot pouze díky změně referenčního hodinového signálu nebo přeprogramováním paměti PROM. Jak je již asi zřejmé, koncepce postrádá možnost rychlé změny výstupní frekvence. Z tohoto důvodu je potřeba do modelu přidat další prvek a tím je registr fáze. Přidáním registru fáze do signálového řetězce zapojení Obrázku 1.1 vzniká jádro DDS architektury - číslicově řízený oscilátor. Jak vyplývá z Obrázku 1.2 proměnný N-bitový modulo čítač a registr fáze jsou v obvodu umístěny před tabulkou funkce $\sin(x)$ namísto původního čítače adres.

Obrázek 1.2: *Frekvenčně laditelný systém DDS*

Funkce n-bitového přenosu v DDS architektuře pracuje na principu fázového otáčení. Pro snadnější pochopení této funkce si lze představit sinovou oscilaci jako vektor, který se otáčí okolo fázového kruhu, jenž je uveden na Obrázku 1.3

Obrázek 1.3: *Fázové otáčení*

Každý určitý bod odpovídá bodu na sinusové křivce průběhu. Rotací vektoru okolo kruhu pak vzniká sinusový průběh na výstupu celku. Jedno otočení vektoru ve fázovém kruhu s konstantní rychlostí odpovídá přesně jedné periodě výsledného výstupního průběhu. Registr fáze plní funkci fázového kruhu a jeho obsah odpovídá jednotlivým bodům. Počet diskretních bodů fáze nacházejících se na pomyslném kruhu je určen rozlišením a počtem N registru fáze. Závislost hodnoty N a počtu bodů znázorňuje Tabulka 1.1 Výstup registru fáze je lineární a není možné jej bezprostředně použít k vytvoření sinusové křivky nebo jiného tvaru průběhu s výjimkou průběhu schodovitého. Z tohoto důvodu je potřeba převodní tabulka fáze-amplituda k převodu okamžité hodnoty výstupu registru fáze na informaci o amplitudě pro D/A převodník. Většina aplikací DDS architektury využívá symetrické podstaty sinusové křivky k dopočítání celého průběhu z 1/4 periody při vycházení z dat v registru fáze. Všechna potřebná data pro rekonstrukci tak převodník fáze-amplituda získá nejprve přirozeným čtením s jednotkovou inkrementací a posléze využije zpětné čtení pro kompletnost dat.

Tabulka 1.1: Hodnota N a její vliv na počet bodů při fázovém otáčení

n	Počet bodů
8	256
12	4096
16	65535
20	1048576
24	16777216
28	268435456
32	4294967296
48	281474976710656

Registr fáze je v podstatě M -bitový modulo čítač, který inkrementuje uložené číslo pokaždé, když je přijat pulz hodinového signálu. Velikost inkrementace je určena slovem M v binárním tvaru, jenž je obsaženo v registru fáze delta a následně sečteno s přetečením čítače. Samotné slovo v registru fáze delta určuje velikost fázového kroku mezi každou obnovou referenčního hodinového signálu. Takto se efektivně určí počet bodů, které budou při fázovém přetáčení vynechány. Čím je krok větší, tím rychleji dojde k přetečení registru fáze a k dokončení periody průběhu. Bude-li N nabývat 32bitů a hodnota M bude rovna 0000...0001 (jedna), pak k přetečení registru fáze dojde po 2^{32} inkrementacích. Pokud by se hodnota M změnila například na 0111...1111, pak k přetečení dojde už po 2^1 inkrementacích - či dvou obnovách referenčního hodinového signálu. Právě velikost kroku určuje výstupní frekvenční rozlišení DDS architektury.

Vztah mezi registrem fáze a registrem fáze delta udává následující základní rovnice v architektuře DDS:

$$f_{\text{výstup}} = \frac{M \cdot f_c}{2^N} \quad (1.1)$$

Kde $f_{\text{výstup}}$ je výstupní frekvence DDS, M je ladící binární slovo, f_c je vnitřní referenční frekvence - systémová reference a N je délka v bitech registru fáze

Změnou hodnoty M dochází v DDS architektuře k okamžité kontinuální změně fáze ve výstupní frekvenci. V praktických aplikacích je ladící slovo M nahráno do vnitřního sériového registru nebo byte registru, který předchází registr fáze delta s paralelním výstupem. Minimalizuje se tak počet vývodů u pouzder DDS obvodů. Ke změně výstupní frekvence dochází po naplnění vnitřního registru a příchodem hrany referenčního hodinového signálu do paralelního registru delta fáze. Jedinou výkonnostní limitací při změně výstupní frekvence tak zůstává samotná rychlost registru při nahrávání a čtení dat, zde mají výhodu především byte registry s paralelním rozhráním.

Rychlost ladění v DDS je závislá na použití typu registru ať paralelního či sériového, na dané konfiguraci a na samotné rychlosti rozhrání. V aplikacích jako modulace GMSK či FSK je rychlost ladění kritická k profilování spektrálních změn mezi modulačními frekvencemi. Při nahrávání ladícího

slova pro změnu frekvence je omezujícím faktorem rychlost rozhrání a typicky se k podpoře co nejvyšší rychlosti zpracování používá paralelní registr pro čtení po celých bytech. Při rychlosti nahrávání dat přes rozhrání do registru s hodinovým kmitočtem 100MHz je možné dosáhnout nové frekvence výstupu každých 10ns. Fázově spojitý výstup pak umožňuje i použití v aplikacích s rychlými frekvenčními přeskoky. V DDS zařízeních je obvykle dostupná sada registrů s možností předprogramování pomocí ladících slov a jejich obsah pak může být později aktivován skrze externí pin na pouzdře. Díky tomu dochází zefektivnění při změně frekvence, neboť již nedochází k prodlevám při čtení nových hodnot z externího zdroje. Výhodné je to zejména při aplikaci modulace FSK, kdy značková frekvence jedničky a mezerová frekvence pro přenos nuly může být rovnou předprogramována a tak již není potřeba dalších vstupů v průběhu.

1.2.1 Možnosti ve funkčním uspořádání

Jednou z výhod DDS architektury je možnost mimo jiné rozšiřování o další funkční bloky a tím i rozšíření možností daných zařízení. Není tak překvapením integrace D/A převodníku přímo do pouzdra obvodu a tím tak i možnost přímého analogového výstupu. Tyto kompletní DDS obvody rozšiřují a především usnadňují možnosti návrhu. V současné nabídce firmy Analog Devices lze nalézt obvody s integrovaným D/A převodníkem o rozlišeních od 10bit až po 14bit s podporou referenčního hodinového signálu REFCLK až do rychlosti 3,5GHz. Společně s integrovaným D/A převodníkem ještě obvyklá DDS řešení obsahují i další digitální bloky, které umožňují další operace v signálové cestě. Výčet různých bloků je uveden níže.

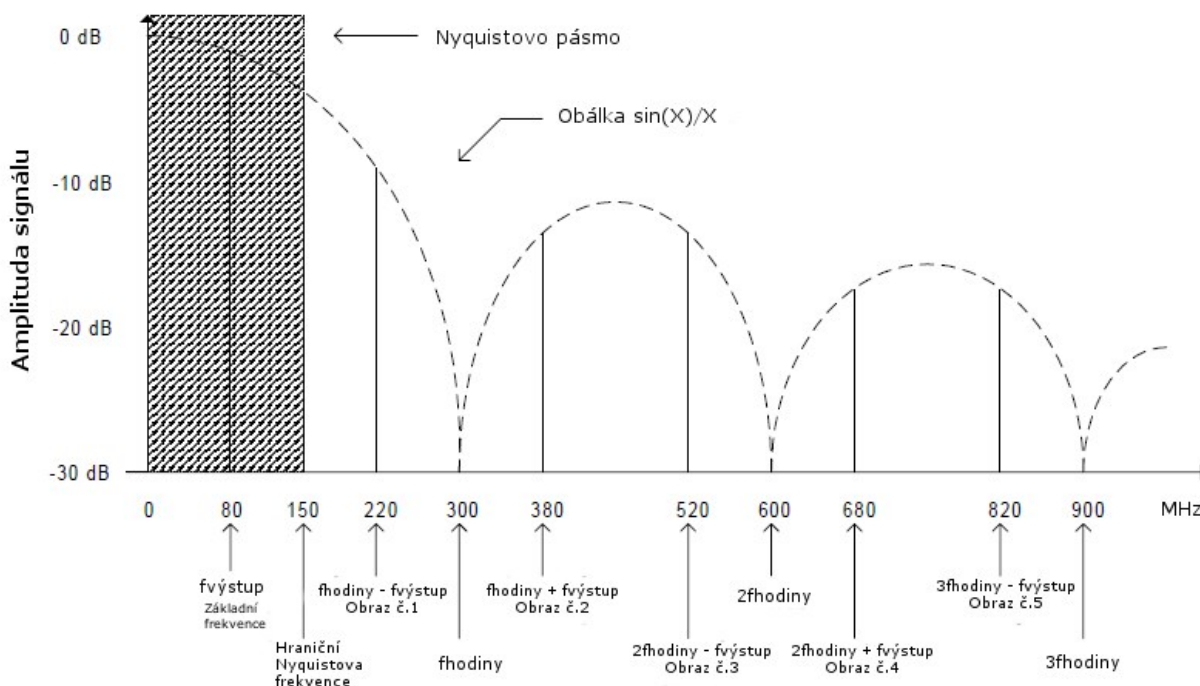
- Programovatelná REFCLK násobička hodinového signálu. Snižují se tak nároky na rychlost externího referenčního zdroje signálu
- Přidáním sumátoru za registr fáze umožní výstupnímu signálu fázové posunutí v závislosti s fázovým ladícím slovem. Rozlišení posunutí či délku sumátoru určuje počet bitů ladícího slova, běžně se však jedná o 14bit délku
- Inverzní blok SINC vložený před D/A převodník kompenzuje odezvu $\sin(x)/x$ na kvantizační výstup D/A, tím je zaručena konstantní výstupní amplituda v celém Nyquistově rozsahu
- Digitální násobička vložená mezi tabulku hodnot funkce a D/A převodník umožňuje amplitudovou modulaci výstupního signálu. Šířka slova určuje rozlišení velikosti kroku výstupní amplitudy
- Přidáním D/A převodníkem lze dosáhnout výstupu vektorových složek I a Q, jejichž frekvence, fáze a amplituda budou totožné. Druhý D/A převodník je možné taky ovládat skrze ovládací rozhrání a může tak sloužit ve funkci kontrolního D/A převodníku v různých aplikacích
- Integrace funkce komparátoru usnadňuje použití DDS zařízení jako generátoru hodinového signálu. Komparátor může být nakonfigurován k přeměně sinusového průběhu výstupu z D/A převodníku na obdélníkový průběh signálu.
- Přidáním registrů fáze či frekvence je umožněna funkce přeprogramování obsahu slov pro frekvenci a fázi včetně jejich jedno pinového výstupu na pouzdře. Konfigurace tak zaručuje podporu modulace klíčování fázovým zdvihem FSK

Běžně dosažitelné parametry obvodů mohou být pak například

- Délka ladícího slova frekvence 48bitů s výstupním rozlišením 1uHz
- Délka ladícího slova fáze 14bitů, což umožňuje kontrolu fáze v rozmezí 0,022 stupňů
- Multiplikátor REFCLK nastavitelný v rozmezí 4 až 20x
- Shoda vektorových složek 0.01 stupňů

1.3 Analogový výstup DDS obvodů

K přiblížení problematiky výstupního spektra signálu DDS je vhodné si nejprve uvést teorii vzorkování. Spektrum výstupního signálu je uvedeno na Obrázku 1.4. Vzorkovací kmitočet (f_{hodiny}) zde nabývá hodnoty 300MHz a základní výstupní frekvence (f_{výstup}) má hodnotu 80MHz.



Obrázek 1.4: Spektrální analýza výstupního signálu DDS

Nyquistův teorém říká, že k rekonstrukci požadované výstupní křivky signálu je potřeba provést minimálně dva vzorky během jednoho cyklu. Obrazové spektrální čáry vznikají ve spektru na frekvenci $f_{\text{hodiny}} \pm f_{\text{výstup}}$. První obrazová spektrální čára je objevena na $f_{\text{hodiny}} - f_{\text{výstup}}$, tedy na frekvenci 220MHz. Druhá, třetí, čtvrtá a pátá se vyskytuje na frekvencích 380MHz, 520MHz, 680MHz a 820MHz. Na celistvých násobcích vzorkovací frekvence se vyskytují nuly.

V případě, že by výstupní frekvence $f_{\text{výstup}}$ překročila vzorkovací frekvenci f_{hodiny} , pak by se první obrazová spektrální čára vyskytovala uvnitř Nyquistova pásma zkresleně. Zkreslený obraz by nemohl být odfiltrován Nyquistovým anti-aliasing filtrem a je nutno použít jinou metodu filtrace typickou v aplikacích DDS a tím je dolnoproustný filtr.

Dolnoproustný filtr se používá k potlačení efektu obrazových jevů ve výstupním spektru. Obecně přijímaným pravidlem pro udržení nároků na zlomovou frekvenci filtru je omezení pásma výstupní frekvence $f_{\text{výstup}}$ na přibližně 40% frekvence vzorkovací f_{hodiny} a tím klesají nároky na

komplikovanost a náročnost konstrukce výsledného dolnoproustného filtru na výstupu. Samotný návrh filtru bude blíže rozebrán v některé z dalších kapitol.

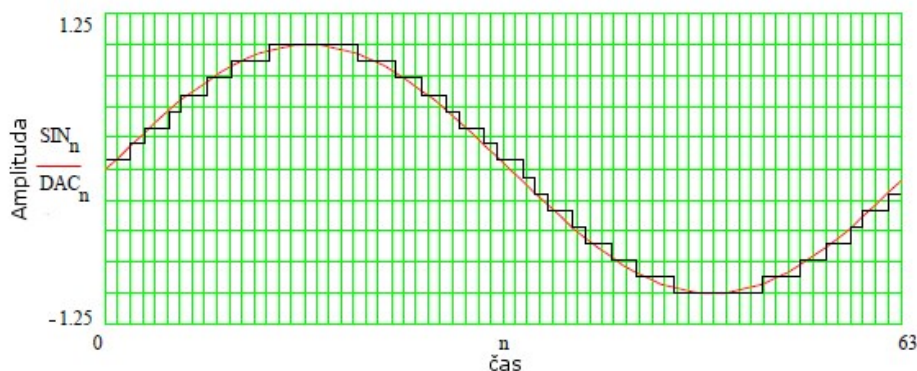
Jak ilustruje Obrázek 1.4 amplituda výstupní frekvence $f_{\text{výstup}}$ a obrazových spektrálních čar klesá s funkcí $\sin(x)/x$, což je dáno zejména povahou kvantování vzorkovacího výstupu. Amplitudu základní frekvence a jakéhokoliv obrazu lze určit z funkce $\sin(x)/x$. S klesající funkcí amplituda základní frekvence klesá se současně rostoucí frekvencí. Pokles amplitudy v důsledku funkce $\sin(x)/x$ činí $-3,92\text{dB}$ oproti $f = 0$. Jak bylo popsáno v kapitole 1.2.1 možnosti funkčního uspořádání, v případě přítomnosti inverzního digitálního filtru SINC je možná kompenzace poklesu funkce $\sin(x)/x$ a tak udržení ploché amplitudy výstupu D/A převodníku s rozdílem $\pm 1\text{dB}$ až do 45% vzorkovací frekvence nebo 80% nyquistova pásma.

Je důležité připomenout, že v odezvě křivky funkce $\sin(x)/x$ uvedené na Obrázku 1.4 je první obraz pevně dán vztahem $f_{\text{výstup}} = 0,33 \times f_{\text{hodiny}}$ včetně 3dB z amplitudy základní frekvence. Proto je nutné si při návrhu DDS aplikace vytvořit frekvenční rozvržení a provést analýzu spektrálních požadavků na obrazové spektrální čáry včetně analýzy požadavků na amplitudu $\sin(x)/x$ pro požadované výstupní a vzorkovací frekvence.

Další odchylky jako nelinearity D/A převodníků či například přechodové jevy (tzv. glitches) či rušení pronikáním hodinového signálu ve výstupním signálu nejsou součástí poklesu dle $\sin(x)/x$. Objevují se jakožto harmonické a rušivé signály ve výstupním spektru avšak jejich amplituda nabývá mnohem nižších hodnot než obrazy spektrálních čar. Obecně šum DDS obvodu pak definuje kombinace indukovaného šumu, efektu tepelného šumu, rušení zemního signálu a dalších nízkoenergetických signálových poruch. Vliv na celkovou odezvu a jitter DDS obvodu nemá pouze šum, ale také zde hraje roli rozvržení desky plošných spojů, kvalita napájecího zdroje a zdroje referenčního hodinového signálu.

1.4 Vliv rozlišení digitálně analogového převodníku

Rozlišení D/A převodníku je dáno počtem vstupních bitů. Dopad rozlišení lze přiblížit ilustrací rekonstrukce průběhu sinusové křivky Obrázek 1.5. Na obrázku je uvedena rekonstrukce sinusové křivky (červený průběh) pomocí 4bitového D/A převodníku (černý schodovitý průběh).

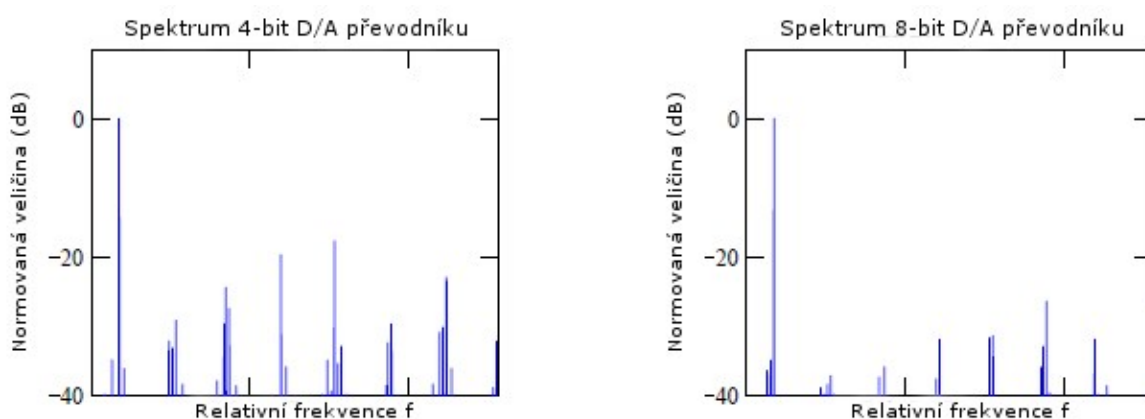


Obrázek 1.5: Vliv rozlišení D/A převodníku

Vertikální rozestupy na černé křivce indikují čas potřebný ke změně výstupu D/A převodníku na novou hodnotu, za to horizontální rozestup na křivce značí periodu vzorkování. Vertikální rozdíl

mezi křivkami v bodech vzorkování křivky je chyba způsobená omezujícím rozlišením D/A převodníku a je známá jako kvantizační chyba a obecně je tento efekt znám jako kvantizační zkreslení. Podstatou kvantizačního zkreslení je přítomnost vyšších frekvencí superponovaných na základní frekvenci a jenž se projevují na Obrázku 1.5 ve formě ostrých hran. Ve frekvenční oblasti se kvantizační zkreslení objevuje v nyquistově pásmu v podobě nespojitých impulzů ve výstupním spektru D/A převodníku.

Se zvyšujícím se rozlišením převodníku klesá kvantizační zkreslení a tím klesá i množství nespojitých pulzů ve výstupním spektru. Odpovídá to tak teorii, že zvýšení rozlišení vede ke snížení kvantizační chyby. Jak graficky ukazuje Obrázek 1.6 ve výsledku to tak vede k nižšímu počtu chyb při samotné rekonstrukci sinusové křivky. Počet nespojitých pulzů 8bit D/A převodníku je ve srovnání se 4bitovým převodníkem obecně nižší.



Obrázek 1.6: Porovnání spektra 4bit D/A převodníku s 8bit D/A převodníkem

Vztah mezi rozlišením D/A převodníku a množstvím zkreslení je možné vyčíslit. Předpokládejme, že D/A převodník pracuje na svém nejvyšším výstupním rozsahu, pak poměr výkonu signálu vůči výkonu kvantizačního šumu SQR bude dán vztahem

$$SQR = 1,76 + 6,02B \text{ (dB)} \quad (1.2)$$

Kde B udává počet bitů rozlišení D/A převodníku

Například 8bitový D/A převodník bude mít hodnotu SQR rovnu 49,92dB. Je potřeba uvést, že rovnice SQR udává pouze celkové množství výkonového šumu způsobeného kvantizačními chybami. Jedná se tak pouze o kombinovaný výkon všech impulzů vztahených k základní frekvenci a nelze tedy získat konkrétnější představu o rozmístění či maximální úrovni jednotlivých impulzů. Je nutné také zmínit, že vztah SQR je platný pouze v případě plného rozsahu D/A převodníku. V případě nižšího rozsahu je výkon základní frekvence sice nižší, ale kvantizační chyba zůstává nadále konstantní. Hlavním jevem je snížení hodnoty SQR, ke kterému dochází tehdy, když se zvýší poměr kvantizačního šumu vzhledem k základní frekvenci. Vliv provozu D/A převodníku na nižším než plném rozsahu popisuje následující vztah

$$A = 20 \log(FFS) \text{ (dB)} \quad (1.3)$$

Kde FFS je část z plného rozsahu D/A převodníku, pak

$$SQR = 1,76 + 6,02B + A$$

$$= 1,76 + 6,02B + 20 \log(FFS) \text{ (dB)} \quad (1.4)$$

Například při rozsahu 70% z plného rozsahu 8bit D/A převodníku ($FFS=0,7$) by výsledná hodnota SQR nabývala hodnoty 46,82dB. Jedná se tak o pokles 3,1dB oproti původní hodnotě SQR rovné 49,92dB při plném rozsahu.

1.5 Vliv převzorkování

Pro účely převzorkování je vzorkovací kmitočet vyšší než požadovaný Nyquistovým teorémem. Jak již bylo zmíněno v předchozím textu dle definice, rozsah vzorkovaného signálu musí být poloviční vůči vlastní vzorkovací frekvenci. Jestliže je rozsah vzorkovaného signálu záměrně ponížěn pod požadovanou poloviční hranici, pak vzorkovací kmitočet přesahuje požadavky Nyquistova teorému a jedná se tak o převzorkování.

Jak samotný proces převzorkování ovlivňuje SQR je zobrazeno na Obrázku 1.7. Jak již bylo zmíněno dříve, výkon kvantizačního šumu je úzce spjatý s vlastním rozlišením D/A převodníku a je zde vyobrazen v šedé oblasti. V případě převzorkování je celkové množství výkonu kvantizačního šumu stejné jako v případě vzorkování dle Nyquista. V obou dvou případech nabývá vyobrazený kvantizační šum stejné hodnoty vzhledem k měřítku a je po celou dobu konstantní. Z hlediska vyššího výkonu v užitém pásmu v případě převzorkování je tím i vyšší hodnota signál-šum.

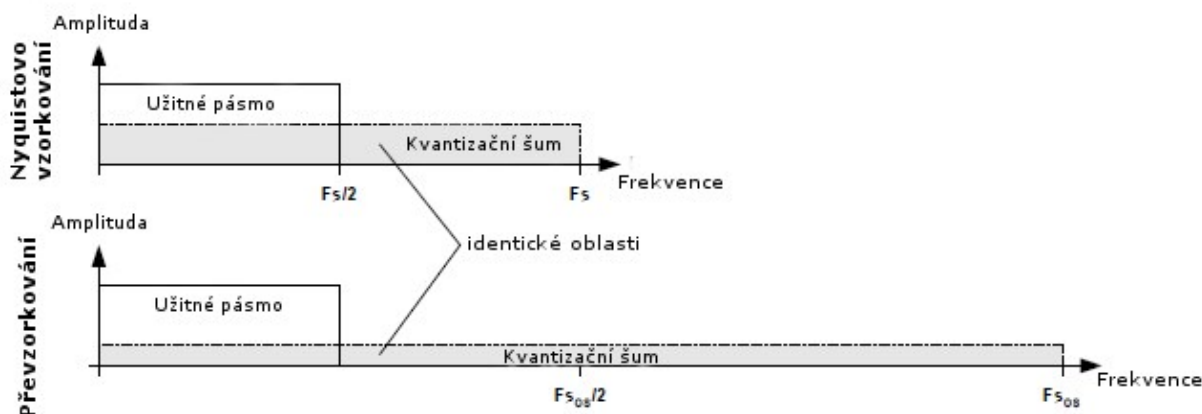
Vliv převzorkování lze vyjádřit jako

$$C = 10 \log \left(\frac{F_{sos}}{F_s} \right) \text{ (dB)} \quad (1.5)$$

Kde F_s je Nyquistův kmitočet vzorkování a F_{sos} označuje převzorkování. Upravený vztah pro výpočet SQR pak bude následující

$$\begin{aligned} SQR &= 1,76 + 6,02B + A + C \\ &= 1,76 + 6,02B + 20 \log(FFS) + 10 \log \left(\frac{F_{sos}}{F_s} \right) \text{ (dB)} \end{aligned} \quad (1.6)$$

Pak při výchozích hodnotách vztahu 1.4 a s faktorem převzorkování 3 bude hodnota SQR rovna 51,59dB, což dělá zlepšení o 1,67dB oproti původnímu plnému rozsahu D/A převodníku. V tomto případě převzorkování více nežli jen kompenzuje pouze 70% rozsah.



Obrázek 1.7: Vliv převzorkování na hodnotu SQR

1.6 Vliv zkracování registru fáze

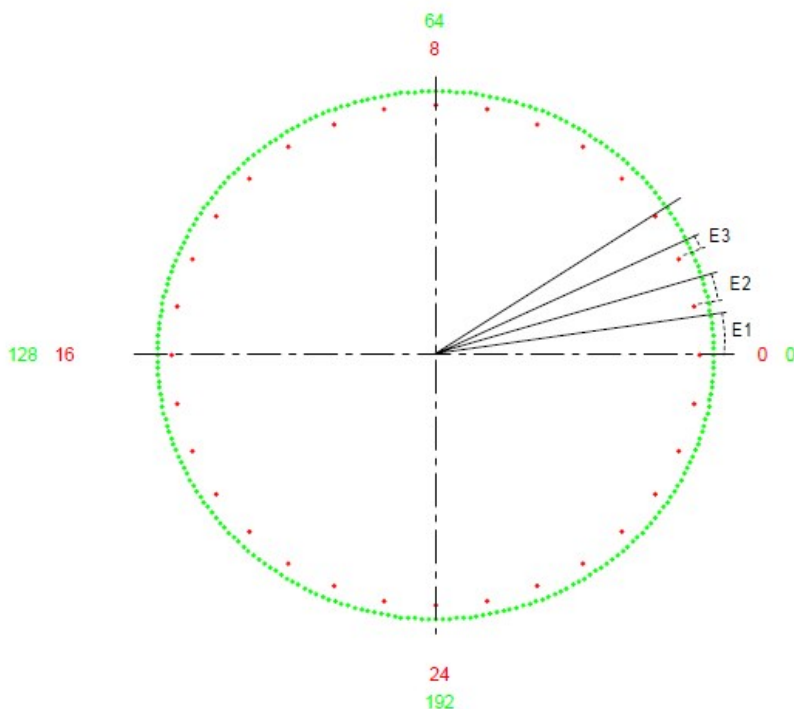
Důležitým prvkem v DDS architektuře je možnost zkrácení fáze. Uvažujme obvod DDS s registrem fáze o velikosti 32bit. Pro přímé převedení 32bit fáze na odpovídající amplitudu by bylo potřeba 2^{32} položek v tabulce a to znamená celkem 4 294 967 296 řádků. Pokud je položka uložena s 8bit přesností, pak by bylo potřeba vyhradit pro tabulku zhruba 4GB místa. Jak je vidno, tento koncept by byl značně nepraktický pro většinu aplikací.

Řešením je použití pouze části nejvíce významných bitů na výstupu registru. Například pro 32bit DDS stačí využít pouze horních 12bit a zbylých 20bitů může být zahozeno.

K lepšímu pochopení významu zkracování výstupu registru fáze lze opět použít koncept fázového kruhu. Budeme-li uvažovat DDS architekturu s 8bit registrem a horních 5bitů bude rozhodovat o fázi, pak fázový kruh bude nabývat podoby jako na Obrázku 1.8.

Při použití 8bit registru lze získat rozlišení fáze o hodnotě $1/256$ kruhu či ve stupních $1,41^\circ$ ($360/2^8$). Na obrázku jsou jednotlivé stupně zobrazeny na vnějším kruhu jednotlivými zelenými tečkami. Pakliže bychom použili z registru pouze horních 5bitů, pak by výsledné rozlišení mělo hodnotu odpovídající $1/32$ kruhu či ve stupních pak $11,25^\circ$ ($360/2^5$). Tyto hodnoty jsou pak vyobrazeny na vnitřním kruhu červenými tečkami.

Předpokládejme, že ladící slovo bude mít hodnotu 6. To znamená, že registr se bude procházet s krokem 6 při každém cyklu. První čtyři fázové úhly vyznačené na Obrázku 1.8 odpovídají daným 6-ti krokům v registru. Je nutno poznamenat, že první fázový krok (6 kroků na vnějším kruhu) nedosahuje první značky vnitřního kruhu, protože vzniká odchylka mezi fází registru (vnější kruh) a fází určenou z 5bitového rozlišení (vnitřní kruh). Odchylka pak vede k fázové chybě E1 o hodnotě $8,46^\circ$ ($6 \times 1,41^\circ$).



Obrázek 1.8: Znárodnění fázových kruhů a fázových chyb

Ve druhém fázovém kroku a posunutí o dalších 6 kroků v registru (vnější kruh) se fáze bude nacházet mezi první a druhou značkou na vnitřním kruhu. Opět se zde projevuje odchylka mezi fází registru a fází určenou s 5bit rozlišením. Výsledná chyba fáze zde nabývá hodnoty $5,64^\circ$ ($4 \times 1,41^\circ$) a je vyznačena na Obrázku 1.8 jako E2. Podobně je na tom také třetí fázový krok s chybou E3 o hodnotě $2,82^\circ$ ($2 \times 1,41^\circ$). Ve čtvrtém fázovém kroku dochází ke shodě registru fáze a fáze určené s rozlišením 5bit, a tudíž zde fázová chyba nabývá nulové hodnoty. Pakliže je dodržen krok inkrementace 6 fázového registru (vnější kruh), pak další fázové kroky již pouze následují výše popsanou posloupnost.

Fázové chyby vzniklé zkrácením samozřejmě vedou k chybám v amplitudě během následného převodu fáze-amplituda. Jak ovšem bylo naznačeno v předchozím odstavci, výskyt chyb má periodický charakter. Periodický neboť nezávisle na zvoleném ladicím slově dojde ke shodě obou fází a to vždy po dostatečném počtu otáček ve fázovém kruhu. Jestliže jsou chyby amplitudy periodické v časové oblasti, pak se objeví i ve frekvenční oblasti v podobě impulzů (impulzy zkrácené fáze).

Rozsah a rozložení impulzů zkrácené fáze je závislý na následujících faktorech

- Velikosti registru (A bitů)
- Velikosti fázového slova (P bitů), tzn. počet bitů po zkrácení fáze
- Na ladicím slově (T)

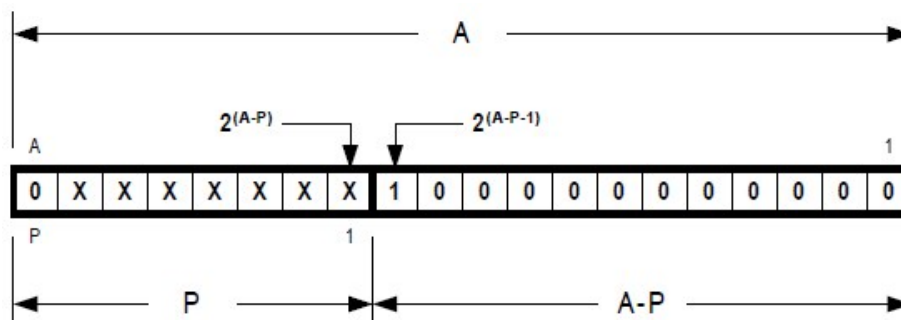
1.7 Prvky ovlivňující úroveň nežádoucích impulzů

Některá ladicí slova vedou k vysoké úrovni nežádoucích impulzů ve spektru z důvodu zkrácení fáze, zatímco u jiných k výskytu těchto impulzů nedochází vůbec. Pokud délka A-P nabývá hodnoty 4 a více (což platí pro většinu reálných aplikací DDS), pak maximální úroveň těchto impulzů je přibližně blízká hodnotě $-6,02P$ dBc, tzn. $6,02P$ decibelů pod úrovní frekvence danou ladicím slovem (blíže o jednotce dBc v pozn.). Uvažujme 32bit obvod DDS s 12bitovým fázovým slovem, pak hodnota nežádoucích impulzů nebude vyšší než přibližně -72 dBc a to nezávisle na zvoleném ladicím slově.

Ladicí slova vedoucí k vysoké úrovni nežádoucích impulzů ve výstupním spektru jsou ta, která splňují následující

$$NSD(T, 2^{(A-P)}) = 2^{(A-P-1)} \quad (1.7)$$

Kde NSD (X,Y) je největší společný dělitel čísel X a Y. Aby byl tento vztah platný, musí biti v ladicím slově dodržet následující formát zápisu uvedeného na Obrázku 1.9 níže.



Obrázek 1.9: Formát ladicího slova vedoucího k vysoké úrovni nežádoucích impulzů

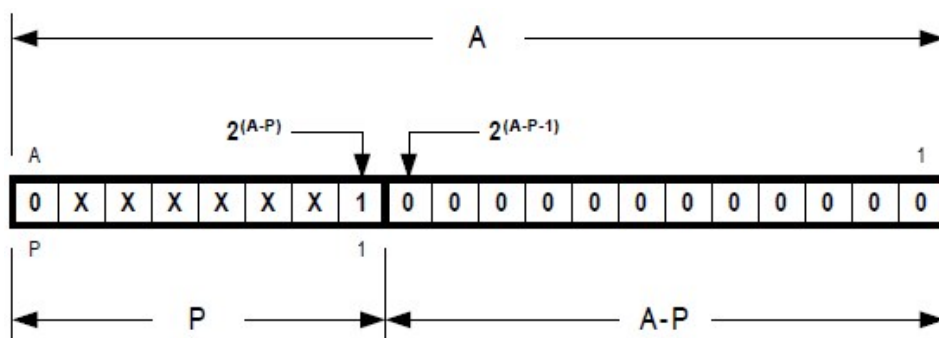
Vyobrazené slovo o počtu bitů A odpovídá registru fáze s A -bitovým rozlišením. Horních P bitů tvoří fázové slovo (bity pro účely konverze fáze-amplituda). Dolních $A-P$ bitů je zkráceno, tzn. budou zahozeny při použití rozlišení fáze. Ladící slovo T tvoří $A-1$ nejméně významných bitů (nejvíce významný bit ladícího slova musí nabývat log. 0, aby se zamezilo problému s aliasingem). Jak je patrné z Obrázku 1.9 výše, jakékoliv ladící slovo s log. 1 na pozici $2^{(A-P)}$ a na všech méně významných bitech s log. 0 vede k nejhoršímu možné úrovni nežádoucích impulzů a to $-6,02P$ dBc.

Pozn. dBc (decibels relative to the carrier) je výkonový poměr užitečného signálu vzhledem k nosnému signálu vyjádřený v decibelech. Například fázový šum je vyjádřen v jednotkách dBc/Hz a daném frekvenčním offsetu od hlavní nosné. Jednotka dBc se také používá v měření dynamického rozsahu nežádoucích impulzů (SFDR - Spurious-Free Dynamic Range) tzn. mezi užitným signálem a nežádoucími impulzy na výstupu převodníků signálu jako D/A převodníku či směšovače signálu. Pokud dBc nabývá kladných hodnot, pak je relativní síla signálu větší než síla signálu nosné a analogicky pokud dBc nabývá záporných hodnot, pak je relativní síla signálu nižší než síla signálu nosné.

Druhý z krajních případů je ladící slovo, u něhož k výskytu nežádoucích impulzů nedochází vůbec a musí pak splňovat následující

$$NSD(T, 2^{(A-P)}) = 2^{(A-P)} \quad (1.8)$$

Platnost tohoto vztahu musí být opět podpořena formátem ladícího slova uvedeného na Obrázku 1.10 níže.



Obrázek 1.10: Formát ladícího slova bez vzniku nežádoucích impulzů

Ladící slovo je charakterizováno log. 1 na pozici bitu $2^{(A-P)}$ a log. 0 ve všech méně významných bitech.

Veškeré ostatní formáty ladícího slova nespádající do dvou výše uvedených kategorií vedou k úrovním nežádoucích pulzů nacházejících se mezi těmito dvěma extrémy.

1.8 Prvky ovlivňující rozložení nežádoucích impulzů

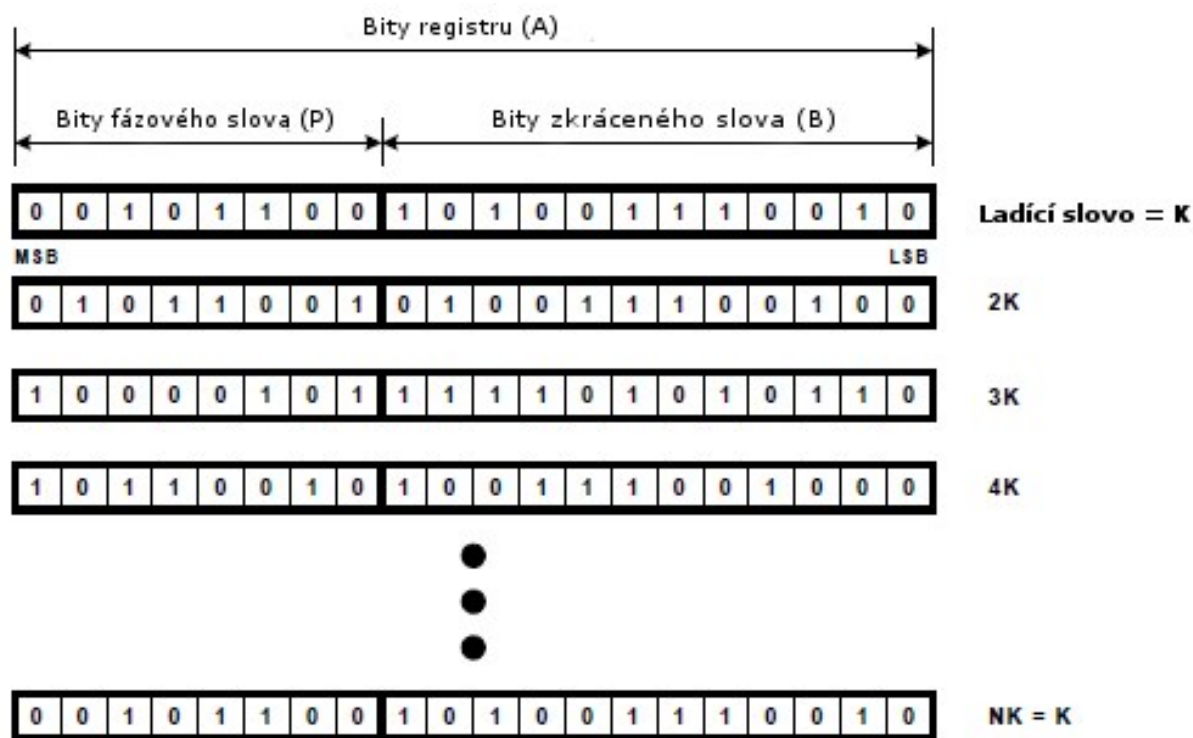
Jak již bylo uvedeno v předchozích několika kapitolách, jádro architektury DDS se skládá z registru, který rekurzivně přičítá hodnotu uloženou v ladícím slově. Několik průchodů tohoto procesu je zobrazeno na Obrázku 1.11. Ve výchozím stavu registr obsahuje hodnotu ladícího slova. V případě uvedeném níže se jedná o libovolné binární číslo, které je zde označeno jako proměnná K . V každém následném cyklu je ladící slovo sečteno s předchozím obsahem registru. Registr je modulo 2^A , takže všechny ostatní bity mimo MSB budou jednoduše zahozeny. Po průchodu celé sekvence

registru se následně hodnota ladícího slova navrátí do původní hodnoty a sekvence se opakuje. Počet kroků (nebo hodinových cyklů) potřebných k tomuto procesu, známá jako hlavní rychlost opakování (HRO) se určí z následujícího vztahu.

$$\text{HRO} = \frac{2^A}{\text{NSD}(T, 2^A)} \quad (1.9)$$

Z příkladu na Obrázku 1.11 vyplývá, že A nabývá hodnoty 20 a T hodnoty 182 898 dekadicky. Výsledná hodnota HRO pak bude 524 288. To znamená, že před opakováním celé sekvence je potřeba právě tolik hodinových cyklů, kolik udává hodnota HRO. Ačkoliv se zdá tato hodnota vysoká, je třeba dodat, že DDS obvody se 48bitovým registrem dosahují hodnot HRO mnohem vyšších.

Vrátíme-li se zpět k Obrázku 1.11, pak slovo P a jeho bity je podstoupeno dále k převodu fáze-amplituda, tedy k té části DDS obvodu, kde se vytváří již samotná výstupní křivka signálu. Slovo B bude zkráceno a nedochází k jeho dalšímu zpracování následným převodem. Jestliže celé slovo A reprezentuje úplnou podobu fáze, pak pouze jeho část a to slovo P bude použito dále k určení amplitudy v dalším procesu. Velikost chyby výstupního signálu určuje hodnota slova B . Výstupní signál může být považován za kombinaci signálu o plném rozlišení (ten, u něhož nebude docházet ke zkrácení bitů fáze) a signálu chybového z důvodu zkráceného slova B .



Obrázek 1.11: *Sekvence registru*

Chybový signál je zdrojem šumu a neboť je definován zkráceným slovem B , pak analýzou tohoto slova lze lépe pochopit podstatu chybového signálu jako takového. Provedeme-li analýzu zkráceného slova B a pomíne-li na chvíli slovo fázové P , tak zjistíme, že je možné z bitů tohoto slova určit periodu, se kterou se slovo opakuje tzn. je možné určit HRO zkráceného slova. Například z podmínek

daných v Obrázku 1.11 výše vyplývá, že hodnota A nabývá 12 (počet bitů zkráceného slova). Zkrácené slovo bude tedy B-bitový registr s odpovídajícím ladícím slovem (ETW) daným jako

$$ETW = T \text{ modulus } 2^B \quad (1.10)$$

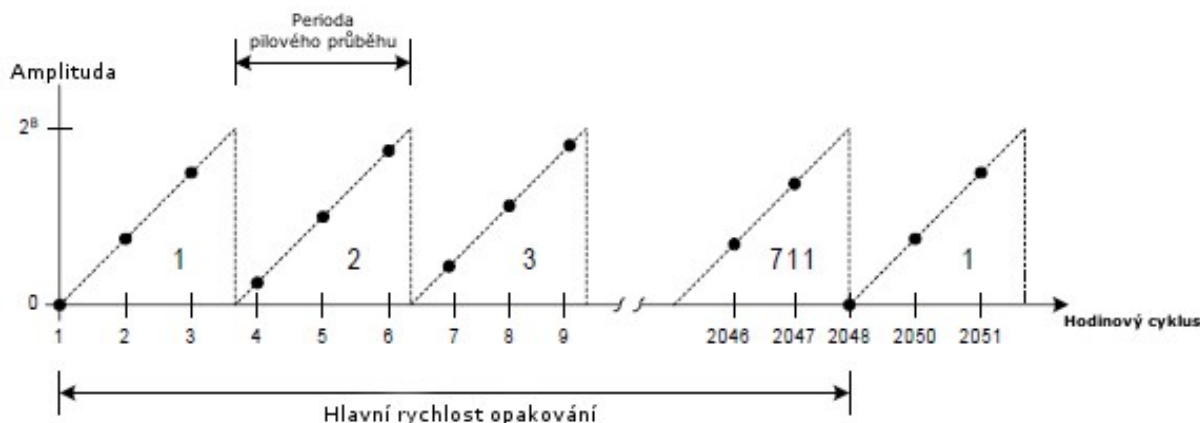
Kde T je původní ladící slovo. Výsledkem rovnice není nic jiného nežli hodnota zkráceného slova B - tedy část původního ladícího slova A. Pro daný příklad bude dekadická hodnota ETW nabývat čísla 2674. Tedy pro A rovné 12 a T rovno 2674 bude výsledná hodnota HRO nabývat 2048. Z toho vyplývá, že se celá sekvence zkráceného slova bude opakovat každých 2048 hodinových cyklů. Jak je nyní zřejmé, chybový signál se bude periodicky opakovat v intervalu 2048 hodinového cyklu. Průběh během výše uvedené periody ve zkráceném slově může být popsán kapacitou slova 2^B . Podělením kapacity hodnotou ETW určíme počet cyklů potřebných k přetečení registru. Kapacita slova o délce 12 se tedy určí jako 2^{12} , což vede k celkové kapacitě 4096. Před dělením hodnotou ETW je potřeba si povšimnout, že nejvýznamnější bit MSB je u ETW log. 1 a dojde tak k přetečení za méně než 2 hodinové cykly. To by vedlo ve výsledné frekvenci ke zkreslení, proto je potřeba upravit hodnotu ETW odečtením od kapacity ladícího slova 4096. Výsledná nová hodnota ETW bude 1422 (4096-2674). Avšak pokud nejvýznamnější bit MSB u ETW bude log. 0, pak se výše uvedená procedura neprovádí. Jestliže máme správnou hodnotu ETW a známe kapacitu zkráceného slova, pak můžeme určit periodu přetečení zkráceného slova jako

$$\frac{\text{Kapacita}}{ETW} = \frac{2^B}{1422} = \frac{4096}{1422} = 2,88045 \quad (1.11)$$

Výsledná hodnota udává průměrný počet hodinových cyklů potřebných k přetečení zkráceného slova. Z výše uvedeného známe hodnotu HRO zkráceného slova rovno 2048 cyklům a k přetečení dojde přibližně za 2,88 cyklů, pak počet přetečení lze určit z následujícího vztahu

$$\text{Počet přetečení} = \frac{HRO}{\left(\frac{\text{Kapacita}}{ETW}\right)} = \frac{2048}{\frac{4096}{1422}} = 711 \quad (1.12)$$

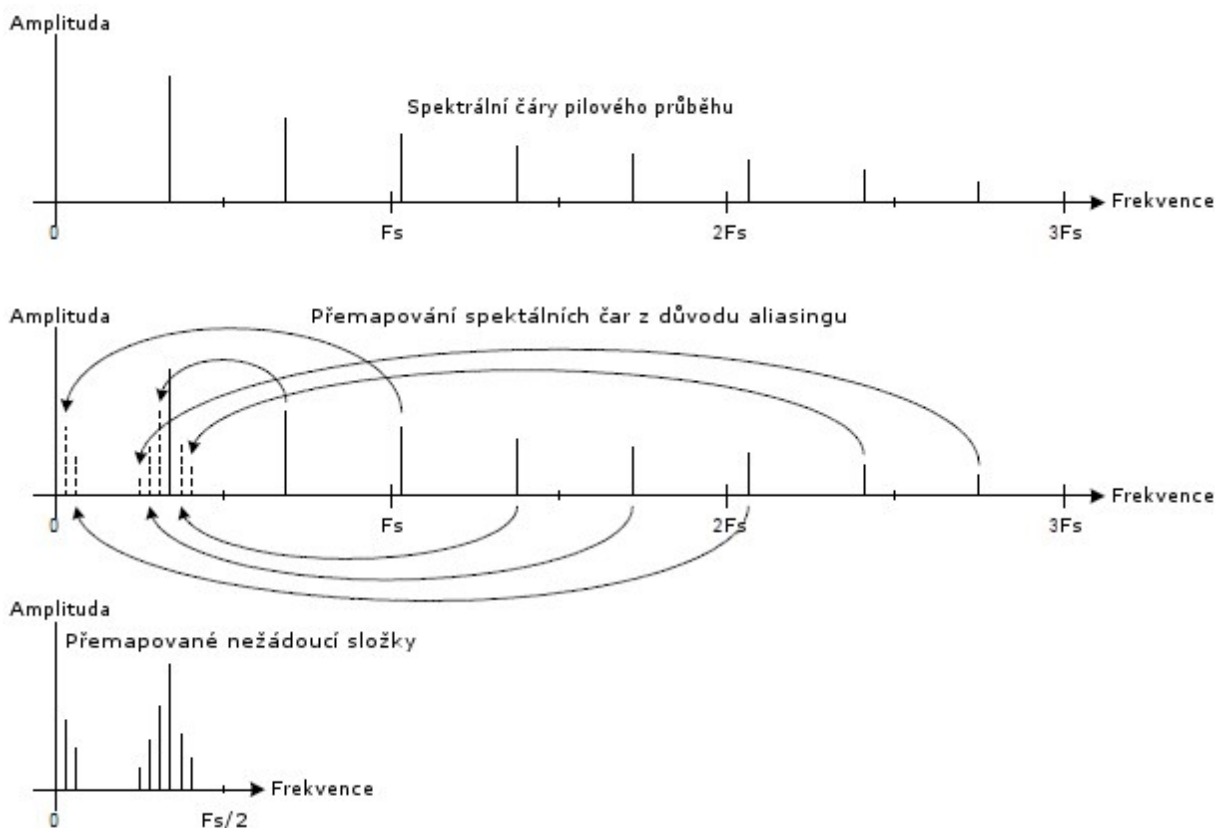
S výše uvedenými hodnotami lze sestavit průběh funkce zkráceného slova na Obrázku 1.12 níže



Obrázek 1.12: Průběh zkráceného slova v časové oblasti

Zkrácené slovo může nabývat maximální kapacity 2^B . Každý jednotlivý průběh nabývá pilového tvaru s periodou 4096/1422 hodinových cyklů. Křivka má tvar pilového průběhu, neboť to plyne z charakteristiky přetečení registru. Celá sekvence se opakuje s periodou 2048 hodinových cyklů. Jelikož je chování zkráceného slova periodické v časové oblasti, pak jeho Fourierova transformace je

periodická v oblasti frekvenční. Protože sekvence zkráceného slova je reálná posloupnost, pak Fourierova transformace bude reprezentována polovičním počtem bodů ve frekvenční doméně oproti počtu bodů v doméně časové a to z důvodu, protože Fourierova transformace reálné posloupnosti v časové doméně je symetrická dle počátku v doméně frekvenční. Z toho vyplývá, že vznikne celkem 1024 diskretních frekvencí vztažených ke zkrácenému slovu a představující vlastní nežádoucí impulzy. Frekvenční spektrum zkráceného slova bude závislé na pilovém průběhu. Pro výše uvedený příklad je základní frekvence pily rovna $F_s \cdot (ETW/Kapacita)$ nebo také $0,3472F_s$. Frekvenční spektrum pily se skládá z harmonických složek základní frekvence. Jelikož je zde 1024 diskretních frekvencí spojených se sekvencí zkráceného slova, pak se spektrum skládá z 1024 frekvencí oddělených od sebe v intervalech $0,3472F_s$ a dává tak frekvenční rozsah $355,5F_s$ a což vede k aliasingu na harmonických vyšších řádů v nyquistově pásmu $F_s/2$. Tento jev je vyobrazený na Obrázku 1.13 níže.



Obrázek 1.13: *Spektrum sekvence zkráceného slova*

První část obrázku výše zobrazuje neúplné spektrum pilového průběhu. Druhá část obrázku znázorňuje přemapování spektrálních čar z důvodu aliasingu. Aliasing způsobuje nežádoucí složky ve frekvenčním pásmu. Jevo aliasingu se projevuje tak, že jednotlivé liché celočíselné násobky $F_s/2$ jsou namapovány právě do oblasti $F_s/2$ a sudé impulzy $F_s/2$ objevující se ve frekvenčním pásmu jsou namapovány jako zrcadlové obrazy do oblasti $F_s/2$. Poslední část obrázku znázorňuje pouze oblast $F_s/2$ (nyquistovo pásmo) s přemapovanými spektrálními čárami, jenž je vlastní zkrácené impulzní spektrum vytvořené obvodem DDS. Poznamenejme, že Obrázek 1.13 ukazuje pouze frekvenční rozsah od 0 do $3F_s$. Celé spektrum pilového průběhu má rozsah až do $355,5F_s$. Tímto je těchto impulzů ve spektru mnohem více než jak ukazuje Obrázek 1.13. Účelem obrázku bylo pouze demonstrovat základní koncepci.

1.9 Zkrácení fáze

Obecně zkrácení fáze registru vede k chybě signálu na výstupu DDS. Chybový signál je charakteristický chováním zkráceného slova (zkrácené slovo tvoří část registru fáze, který obsahuje zkrácené bity). Chybový signál způsobuje výskyt diskretních frekvencí na výstupu DDS a tyto složky se nazývají jako složky zkrácené fáze.

Velikost složek zkrácené fáze má horní hranici určenou počtem bitů ve fázovém slově (P). Horní hranice nabývá hodnoty $-6.02P$ dBc v případě specifických ladících slov. Jedná se převážně o ladící slova, kde všechny bity ve slově nabývají hodnoty log. 0 kromě hodnoty nejvýše významného bitu. Ostatní varianty ladících slov nevykazují výskyt složek zkrácené fáze. V tomto případě se jedná o slova charakteristická log. 0 na všech místech ladícího slova až na log. 1 na místě nejméně významného bitu LSB. Všechny ostatní varianty ladícího slova vykazují výskyt složek zkrácené fáze o hodnotě nižší než $-6.02P$ dBc.

Ačkoli bylo zmíněno výše, že část zkráceného slova registru je považován za zdroj chyb fáze signálu, tak rozložení složek zkráceného slova není tak jednoznačně určitelné jako jejich maximální velikost. Chybový signál nabývá formy pilového průběhu s frekvencí dle vztahu níže

$$F_s \left(\frac{ETW}{2^B} \right) \quad (1.13)$$

Kde F_s je frekvence hlavního hodinového signálu v DDS, ETW je ekvivalentní ladící slovo reprezentováno zkrácenými bity (po korekci aliasu) a B udává počet zkrácených bitů. Počet harmonických této frekvence, který musí být uvažován k analýze fázových složek, je dán jako

$$\frac{2^{B-1}}{NSD(ETW, 2^B)} \quad (1.14)$$

Kde $NSD(x, y)$ je největší společný dělitel čísla x a y . Výsledkem je spektrum zahrnující několik násobků F_s . Z důvodu aliasingu musí být provedeno přemapování harmonických spektra pilového průběhu. Výsledkem je přemapování všech složek impulzů spektra do nyquistova pásma ($F_s/2$) a ustanovení rozložení složek zkrácené fáze.

1.10 Další zdroje nežádoucích impulzů v DDS

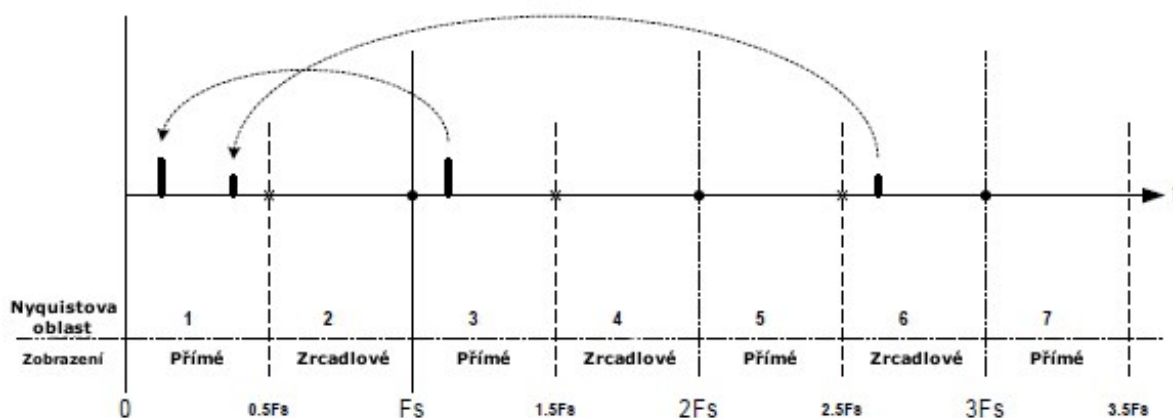
Předchozí kapitoly byly věnovány dvěma zdrojům nežádoucích složek v DDS obvodech a to vlivu rozlišení D/A převodníku a zkrácení fáze. Mezi další zdroje těchto složek patří

- Nelinearita D/A převodníku
- Přechodové děje spojené s D/A převodem
- Průchod hodinového signálu

1.10.1 Nelinearita D/A převodníku

Jedná se o důsledek nedokonalosti designu D/A převodníku oproti ideálnímu D/A převodníku. Předpokládaná výstupní úroveň D/A převodníku při dané vstupní sekvenci bude vždy odlišná oproti vlastní výstupní úrovni zatížené chybou. Výrobci D/A převodníků označují tuto chybu jako DNL (rozdílová nelinearita) a INL (integrační nelinearita). Výsledkem těchto dvou chyb je, že vztah mezi očekávanou hodnotou výstupu D/A převodníku a opravdovou hodnotou na výstupu není zcela lineární. Znamená to, že vstupní signál bude podstoupen určitému nelineárnímu procesu před samotným

výskytem na výstupu převodníku. Pokud je na vstupu D/A převodníku sinový průběh v digitální podobě a předpokládejme, že jeho digitální podoba je bezchybná - jedná se tedy o ideální sinusovou křivku, pak nelinearita v procesu převodu způsobí, že na výstupu bude sinový průběh doplněn o určité harmonické složky. Tudíž D/A převodník vytvoří zkreslený průběh sinového signálu. Tento druh chyby se nazývá jako harmonické zkreslení. Výsledkem pak jsou harmonicky spojené složky ve výstupním spektru. Amplituda těchto složek není jednoznačně určitelná, neboť se jedná o důsledek linearity D/A převodníku. V případě umístění těchto složek je již situace opačná, neboť složky jsou vztaheny k ladícímu slovu frekvence v DDS. Například pokud je DDS naděno na 100kHz, pak druhá harmonická činí 200kHz, třetí 300kHz atd. Obecně pro výstupní frekvenci f_0 v obvodech DDS platí, že n -tá harmonická je $n \cdot f_0$. Jelikož DDS pracuje na určité vzorkovací frekvenci F_s , musí zde platit nyquistův teorém. Jakákoliv harmonická složka větší než $1/2F_s$ se objeví jako zkreslení ve frekvenčním rozsahu mezi 0 a $1/2F_s$ (jedná se o Nyquistův rozsah). Druhá část nyquistova rozsahu pokrývá oblast od $1/2F_s$ do F_s . Třetí oblastí pak je rozsah od F_s do $1,5F_s$ atd. Frekvence z lichých nyquistových oblastí jsou přímo a beze změny zaneseny do první nyquistovy oblasti, zatímco sudé násobky nyquistových oblastí jsou do první nyquistovy oblasti zaneseny zrcadlově. Podrobněji tento proces ilustruje obrázek níže



Obrázek 1.14: Nyquistovy oblasti a frekvenční zobrazení

Proces k určení frekvence N -té harmonické je následující: Necht' R je zbytek po operaci dělení $\frac{N \cdot f_0}{F_s}$, kde N je celočíselná proměnná a necht' $SPUR_N$ bude frekvence N -té harmonické složky, pak $SPUR_N$ se spočte jako

$$SPUR_N = R \text{ jestliže } \left(R \leq \frac{1}{2} F_s \right), \text{ jinak } SPUR_N = F_s - R \quad (1.15)$$

Výše uvedený postup představuje možnost odhadu umístění harmonických složek, které jsou výsledkem nelinearit v reálném D/A převodníku. Jak bylo zmíněno již dříve, velikost těchto složek není určitelná, neboť je přímo vztahena k množství projevených nelinearit konkrétního D/A převodníku (tzn. nelineární jevy jsou závislé na konkrétním D/A převodníku).

Dalším zdrojem nežádoucích složek jsou přechodové jevy, které vznikají ve vnitřní architektuře D/A převodníku. K harmonickému zkreslení rovněž přispívají nesymetrické vzestupné a sestupné spínací charakteristiky jako náběžný a sestupný čas hrany. Množství zkreslení je dáno střídavou efektivní funkcí nebo dynamickou přenosovou funkcí. Přechody mohou způsobovat zvlnění

na náběžné a/nebo sestupné hraně ve výstupním průběhu D/A převodníku. Zvlnění má tendenci se objevovat ve výstupním spektru při vlastní rezonanční frekvenci příslušného zapojení.

1.10.2 Průchod hodinového signálu

Jedná se o jeden z dalších zdrojů nežádoucích složek v DDS. Mnoho obvodů využívající směšování signálu obsahuje jeden nebo více obvodů s vysokým základním hodinovým kmitočtem na jednom čipu. Tudíž není úplně neobvyklé, když se tyto hodinové signály objeví ve výstupu D/A převodníku ve formě kapacitní nebo induktivní vazby. Očividně jakákoliv vazba hodinového signálu do výstupu D/A převodníku způsobí spektrální čáru o frekvenci interferovaného hodinového signálu. Dalším z možných jevů je, že se hodinový signál dostane do vazby s vzorkovacím signálem D/A převodníku, což vede k modulaci výstupního signálu D/A převodníku právě daným hodinovým signálem. Výsledkem jsou složky symetrické dle frekvence výstupního signálu.

Správný návrh a vhodný výrobní postup jsou jediná opatření vůči výskytu těchto forem nežádoucích složek. Umístění těchto složek ve spektru je navíc možno určit předem díky známé vnitřní hodinové frekvenci daného zařízení, proto jejich výskyt v případě modulace bude spíše koincidenční s jejich přidruženou frekvencí (či jejich zobrazení) nebo offsetem od výstupní frekvence.

Širokopásmový výkon složek je měření objemu nežádoucích složek ve výstupním spektru DDS v celém Nyquistově pásmu. Obecně nejvíce zhoršujícím parametrem jsou právě harmonické složky vygenerované D/A převodníkem. V systému DDS závisí na kvalitě obou částí, tedy jak na kvalitě D/A převodníku, tak i na architektuře jádra DDS. Jak již bylo zmíněno dříve, jádro DDS architektury je zdrojem nežádoucích složek z důvodu zkrácení fáze. Úroveň těchto složek je omezena počtem nezkrácených bitů fáze a jejich rozložení je funkcí ladícího slova. Obecně tedy lze říci, že složky zkrácené fáze budou náhodně rozloženy podél celého výstupního spektra a musí být brány do úvahy jako součást širokopásmového výkonu DDS systému.

Úzkopásmový výkon složek je měření výstupního spektra DDS při velice úzkém pásmu (jedná se o méně než jedno procento frekvence hodinového signálu) soustředěném ve výstupní frekvenci DDS. V tomto případě závisí výkon převážně na kvalitě a stálosti systémových hodin DDS systému a menší měrou na rozložení složek ve spektru. Avšak zásadnější vliv na výkon je pouze v případě výskytu těchto složek blízko výstupní frekvence DDS.

Pokud hodinový signál systému DDS je ovlivněn jitterem, pak budou přechody v DDS systému nehomogenní. Výsledek tohoto bude rozprostření spektrální čáry výstupní frekvence DDS. Rozsah rozprostření je přímo úměrný množství přítomného jitteru. Úzkopásmový výkon je také ovlivněn v případě použití PLL (fázového závěsu) jako zdroje hodinového signálu pro buzení DDS. Podstatou fázového závěsu je spojitě regulovat frekvenci a fázi výstupního hodinového signálu tak, aby odpovídal referenčnímu signálu. Takováto spojitá regulace má ovšem vliv na výstupní spektrum DDS a objevuje se zde ve formě fázového šumu. Výsledkem je ještě větší míra rozprostření spektrální čáry spojené s výstupní frekvencí DDS.

1.10.3 Optimální umístění nežádoucích složek v rámci ladícího rozsahu DDS

V mnoha DDS aplikacích není vhodné omezit výstupní frekvenci pouze na jednu konkrétní frekvenci, ale je možno použít jakoukoliv frekvenci v určeném pásmu, které vyhovuje konkrétní aplikaci. V mnoha případech se jedná o aplikace s velmi striktními nároky na rušivý šum, ale pouze ve

velmi úzkém pásmu v těsné blízkosti základní výstupní frekvence DDS. V těchto aplikacích je obvykle ve výstupní části použit pásmový filtr a lze tak zvolit výstupní frekvenci DDS, která leží v požadované šířce pásma, ale vykazuje minimální rušivý šum.

Jak již bylo zmíněno harmonické složky (jako jsou například ty, způsobené nelinearitou D/A převodníku) se objevují na předem určitelných umístěních ve výstupním spektru. Znalost těchto umístění a složek (včetně jejich zobrazení) může být při vlastním návrhu nápomocná a usnadnit výběr optimální výstupní frekvence. Jednoduše se vybere taková základní frekvence, při které budou harmonické složky mimo požadované propustné pásmo filtru. Také znalost umístění složek zkrácené fáze může být nápomocná. Výběrem vhodného ladícího slova může být omezen výskyt nežádoucích složek v propustném pásmu, kdy větší počet nežádoucích složek zkrácené fáze se bude objevovat mimo pásmo zájmu - tedy propustné pásmo.

Použitím výše uvedených technik při vlastním návrhu může designér vybrat takovou výstupní frekvenci, která bude mít minimální rušivý šum v propustném pásmu, což sice se sice projeví zvýšeným šumem mimo zvolené pásmo, ale v mnoha aplikacích je použit právě pásmový filtr k potlačení signálu mimo pásmo zájmu. Výsledek pak je úspěšná implementace DDS návrhu. V minulosti designéři často DDS řešení opomíjeli převážně kvůli nevýraznému výkonu spojeného s výskytem nežádoucích rušivých složek, ale použitím výše uvedených technik společně s výrazným vylepšením DDS technologie se DDS aplikace již používá i tam, kde se dříve uvažovalo pouze o analogovém řešení.

1.10.4 Posouzení vlivu jitteru a fázového šumu na systém DDS

Spektrální čistota vytvořeného sinusového průběhu je zcela závislá na čistotě hodinového signálu použitého k buzení systému DDS. Důvod je prostý, jedná o vzorkovací systém, který je závislý na časových intervalech mezi vzorky, resp. na konstantních vzorkovacích intervalech. Poměrně často je rozdíl v čase mezi vzorky a to vede k odchylkám v požadovaných vzorkovacích intervalech. Tyto odchylky se označuje jako časový jitter. Existují dva hlavní mechanismy způsobující jitter v systémovém hodinovém signálu. První z nich se nazývá tepelný šum a z nich je označován jako vazební šum.

Tepelný šum je produkovan díky náhodnému pohybu elektronu v elektrickém obvodu. Jakékoliv zařízení ovlivňující elektrickou rezistenci slouží jako zdroj tepelného šumu. Jelikož je výskyt tepelného šumu náhodný, je zároveň jeho frekvenční spektrum neurčitě. V podstatě v jakémkoliv daném kmitočtovém rozsahu je množství výkonu tepelného šumu dané rezistencí konstantní, což vede k matematickému vyjádření šumového napětí jako $V_{\text{šum}}$, produkované rezistencí R, v šířce pásma B dané rovnicí

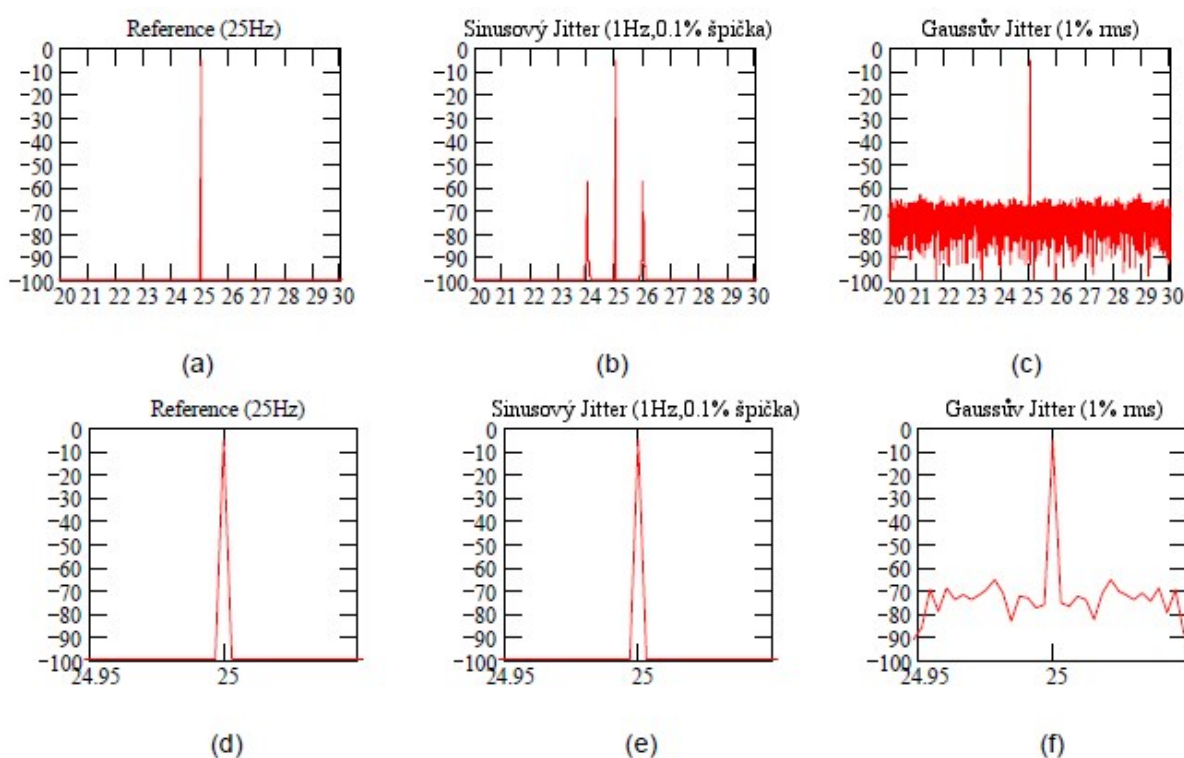
$$V_{\text{šum}} = \sqrt{4kTRB} \quad (1.16)$$

Kde $V_{\text{šum}}$ je RMS efektivní hodnota napětí, k je označení pro Boltzmannovu konstantu ($1,38 \cdot 10^{-23} \text{ J/K}^{-1}$), T je absolutní teplota v stupních Kelvina (°K), R je rezistence v ohmech (Ω) a B šířka pásma v Herzích (Hz). Jako příklad mějme šířku pásma 3000Hz o teplotě místnosti (300°K) vytvoří 50 Ω rezistor tepelný šum o hodnotě 49,8nV_{rms}. Je podstatné poznamenat, že umístění centrální 3kHz frekvence v pásmu nemá vliv. Teplotní šum dané teploty místnosti a rezistoru 50 Ω je stále 49,8nV_{rms} i když je měřený při 10kHz či 10MHz (pokud je šířka měřeného pásma 3kHz).

Z výše uvedeného vyplývá, že ať je použit jakýkoliv obvod pro generování hodinového signálu, vždy bude vykazovat určité množství časového jitteru v důsledku tepelného šumu a což dělá z tepelného šumu obecně limitující faktor při snaze o minimalizaci časového jitteru.

Dalším ze zdrojů časového jitteru je vazební šum. Vazební šum může nabývat formy lokální vazby šumu způsobeného přeslechem nebo zemními smyčkami uvnitř nebo v přilehlé oblasti obvodu. Rovněž může pocházet ze zdrojů vzdálených celému obvodu. Takováto interference, která je navázána na obvod z okolního prostředí je známá jako EMI (elektromagnetická interference). Zdroje EMI mohou být přilehlé napájecí linky, rádio a TV vysílače, motory atd.

Existence jitteru vede k otázce, jak časový jitter v hodinovém signálu ovlivní DDS spektrum syntetizované sinusové křivky. Vliv na křivku zobrazuje Mathcad simulace sinusoidu ovlivněného jitterem na obrázku níže.



Obrázek 1.15: *Vliv Jitteru na hodinový signál*

Části (a) až (c) na obrázku 1.15 pokrývají 10Hz rozsah vycentrovaný na základní frekvenci o hodnotě 25Hz a části (d) až (e) ukazují detail spektra okolo základní frekvence.

Pakliže se budeme zabývat bližším popisem, pak v části (a) a (d) je zobrazeno spektrum čisté sinusoidy o frekvenci 25Hz. Povšimněme si jedné spektrální čáry o hodnotě 25Hz - právě ta napovídá, že se jedná o čistou sinusoidu. Rozšíření spektrální čáry v části (d) je výsledkem konečného rozlišení FFT (rychlá Fourierova transformace) použité v simulaci.

Část (b) a (e) zobrazují identickou sinusoidu, ale již s přidáním časovým jitterem. Jitter se mění na frekvenci 1Hz s velikostí danou jako 0,1% z periody 25Hz základní frekvence. Jelikož je perioda základní frekvence 40ms, je velikost jitteru ve špičce 40 μ s. Tudíž vzorkování nosné se objevuje v intervalech, které nejsou rovnoměrně rozdělené v čase a jednotlivé vzorkovací okamžiky jsou

zatíženy časovou chybou, která způsobuje, že skutečné vzorkovací okamžiky se objevují okolo těch ideálních se sinusovou časovou chybou. Z uvedeného příkladu vyplývá, že časová chyba osciluje okolo ideálních vzorkovacích bodů s rychlostí 1Hz a špičkovou výchylkou o hodnotě 40μs a všimněme si také, že sinusový jitter ve vzorkovacím signálu způsobuje výskyt postranního modulačního pásma ve spektru. Při porovnání části (d) a (e) můžeme vidět, že spektrální čára zůstává nezměněna.

Frekvence jitteru je snadno určitelná oddělením postranního pásma od základní frekvence (v tomto případě 1Hz). Velikost jitteru je dána relativní amplitudou postranního pásma. Pro převod mezi dBc a velikosti špičky jitteru můžeme použít následující vztah

$$\text{Velikost špičky jitteru} = \frac{10^{\frac{dBc}{20}}}{\pi} \quad (1.17)$$

Z příkladu výše s postranním pásmem jitteru o hodnotě -50dBc lze určit velikost špičky tedy jako

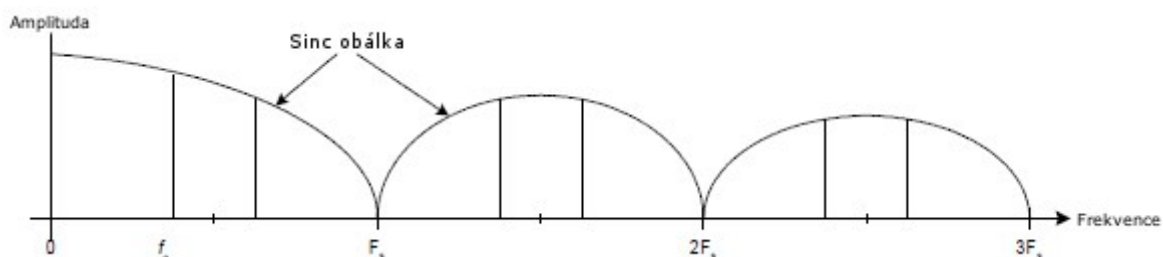
$$\frac{10^{\frac{-50}{20}}}{\pi} = 0,001 = 0,1\% \quad (1.18)$$

Jedná se o hodnotu vztaženou k periodě základního signálu. Absolutní hodnotu velikosti jitteru lze získat přenásobením výsledné hodnoty periodou základního signálu (40ms), tudíž velikost špičky jitteru bude 40μs (0,1% ze 40ms).

Vraťme se ještě na okamžik o obrázku 1.15, konkrétně k části (c) a (f), ty sice také zobrazují čistou sinusoidu, ale tentokrát s přidaným náhodným časovým jitterem. Naznačuje to, že vlastní vzorkovací okamžiky budou okolo ideálních časových bodů fluktuovat nahodilým způsobem. Jitter v tomto případě následuje Gaussovo (či normální) rozdělení. Střední hodnota (μ) a standartní odchylka (σ) jsou 0 respektive 0,0004. Standartní odchylka 0,0004 udává 1% základní periody (nebo 0,4ms). Časový jitter je definován jako Gaussovský se standartní odchylkou 0,0004. Statisticky je zde 68% pravděpodobnost, že časová chyba jakéhokoliv vzorkovacího okamžiku nedosahuje hodnoty vyšší jak 0,4ms. Všimněme si, že v části (c) přítomnost náhodného jitteru ve vzorkovacím hodinovém signálu vedla ke zvýšení šumové úrovně. Navíc v části (f) a (d) můžeme zaznamenat rozšíření základní frekvence, což je známo pod termínem fázový šum.

1.11 Posouzení výstupního filtrování

Jak již bylo zmíněno o DDS dříve, jedná se o vzorkovací systém. Výstupní spektrum DDS systému je tedy nekonečné. Ačkoliv je zařízení "naladěno" na konkrétní frekvenci a za předpokladu, že tato frekvence leží uvnitř Nyquistova pásma ($0 \leq f_0 \leq \frac{1}{2}F_s$), ve skutečnosti se jeho výstupní spektrum skládá z f_0 a obrazových frekvencí jak je zobrazeno na obrázku níže

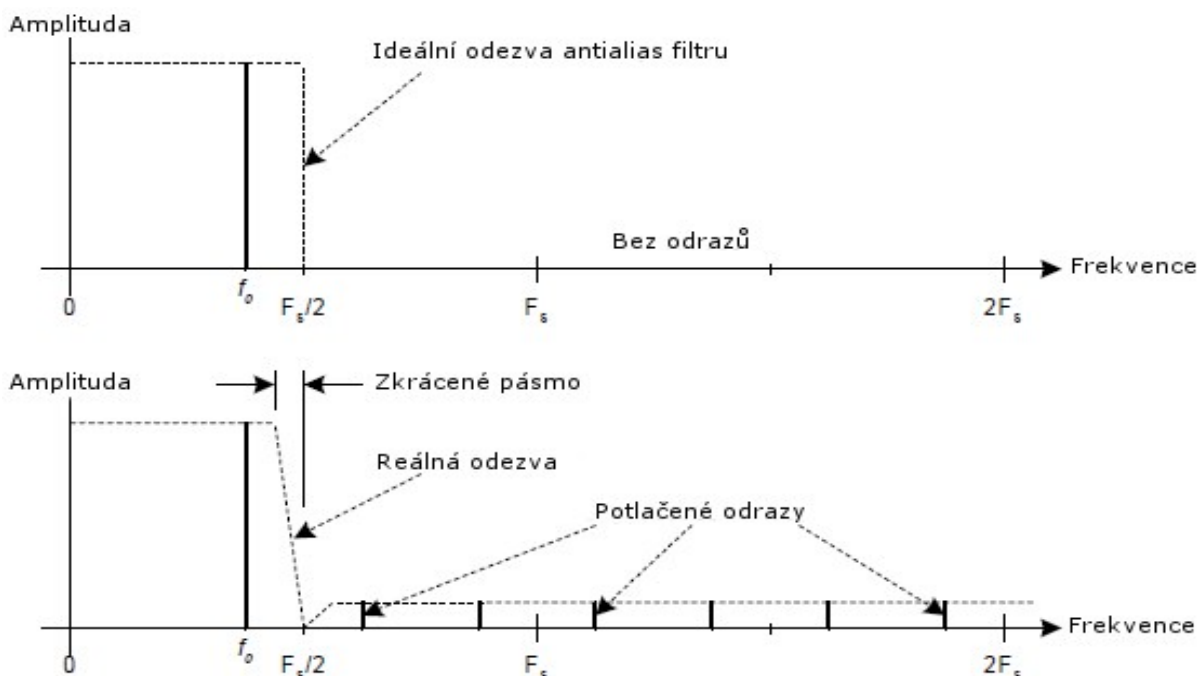


Obrázek 1.16: Výstupní spektrum DDS

Sinc (nebo $\sin \frac{x}{x}$) obálka je výsledkem nultého řádu tzv. zero-order hold alias ZOH (viz. v poznámce) spojeného s výstupním obvodem DDS (typicky D/A). Obrazy f_0 pokračují donekonečna, ovšem se stále se snižující velikostí danou sinc odezvou. Na obrázku 1.16 výše byl vzat do úvahy pouze výsledek vytvoření základní frekvence ze středních hodnot vzorkovacího procesu.

Pozn. Zero-order hold (ZOH) je matematický model rekonstrukce signálu provedeného digitálně-analogovou konverzí (tedy typicky D/A převodníkem). Popisuje efekt konverze diskrétního signálu na v čase spojité signál a to takovým způsobem, že zadrží každý vzorek po jeden vzorkovací interval. Skládá se ze dvou modelů a to časové domény a frekvenční domény.

Ve většině aplikací jsou obrazy tj. rozštěpení hlavní frekvence samozřejmě nežádoucí a tudíž je obvykle výstupní část obvodů DDS doplněna o filtr typu dolní propust, jenž je nazýván jako antialiasingový filtr. Jak udává obrázek 1.17, frekvenční odezva ideálního antialias filtru by měla být jednotná v celém Nyquistově pásmu ($0 \leq f \leq \frac{1}{2}F_s$) a v ostatních případech nulová.



Obrázek 1.17: Antialias filtr

Takový filtr ovšem není v praxi realizovatelný. V nejlepším možném případě lze dostáhnout poměrně ploché odezvy v určitém procentním pokrytí Nyquistova pásma (zhruba 90%) s rychle rostoucím útlumem na frekvenci $\frac{1}{2}F_s$ a dostatečným útlumem frekvencí za $\frac{1}{2}F_s$, což ovšem z důvodu neideální odezvy reálného antialias filtru vede ke zkrácení pásma, tedy obětování určitého množství dostupné šířky výstupního pásma (obrázek 1.17). Filtr typu antialias je kritickým prvkem v návrhu DDS systému. Požadavky, jenž jsou kladeny na návrh filtru jsou velmi závislé na jednotlivých specifikacích DDS systému. Předtím, než zde budou uvedeny některé typy DDS systémů, je vhodné si oživit některé znalosti o typech filtrů resp. jejich charakteristiky v časové a frekvenční doméně. Nejdříve ze všeho je důležité ujasnit souvislost mezi časovou a frekvenční oblastí a jak se vztahují k filtrům. V časové oblasti uvažujeme chování filtru v čase, tedy například pokud chceme provést analýzu filtru v této oblasti, můžeme jej vybudit pulsem a sledovat výstup na osciloskopu. Osciloskop zobrazí odezvu

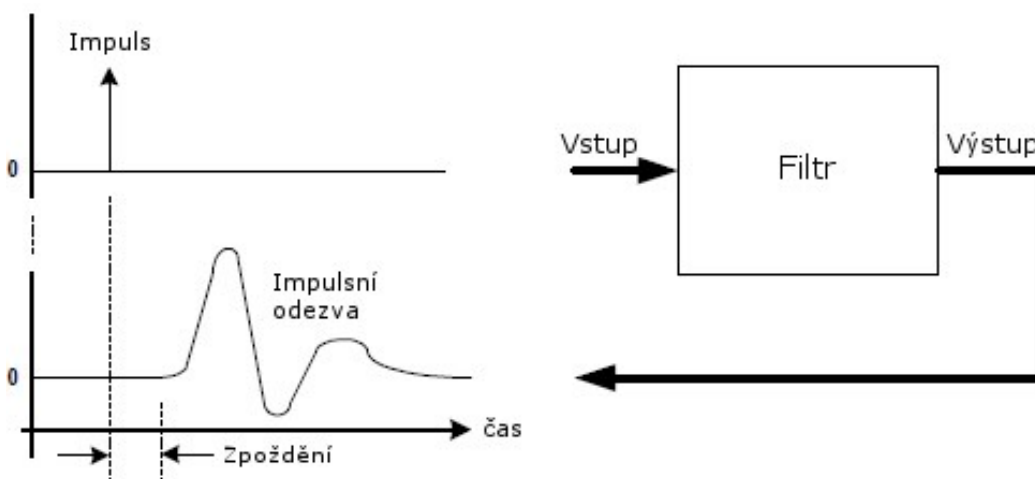
filtru na vstupní puls v časové doméně. Příklad takovéto odezvy je uveden na obrázku 1.18. Pakliže se zabýváme filtry (nebo pro tento účel jakýmkoli lineárním systémem), je zde speciální případ odezvy v časové doméně, jenž určuje základní charakteristiku výkonu filtru. Tento případ se nazývá impulsní odezva. Impulsní odezva je koncepčně identická obrázku časové domény 1.18 a jediný rozdíl spočívá v náhradě obdélníkového pulsu pulsem ideálním, jenž představuje nekonečně velkou napěťovou špičku při nulovém čase - tzv. Diracův jednotkový impuls.

Pozn. Diracův jednotkový impuls nebo Diracova δ -funkce je funkce, jenž v nule nabývá hodnoty nekonečno a všude jinde v jejím okolí hodnoty nulové. Integrál této funkce přes celý prostor je roven jedné.



Obrázek 1.18: Odezva v časové doméně

Očividně koncept ideálního pulsu je ve své podstatě teoretický, ale odezva filtru na takovýto vstup je podstatou impulsní odezvy filtru. Impulsní odezva hypotetického filtru je znázorněna na obrázku 1.19 níže.



Obrázek 1.19: Impulsní odezva

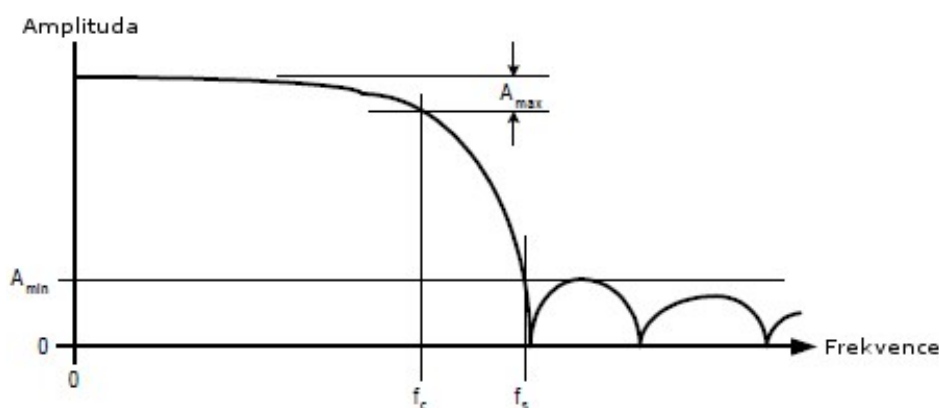
Při popisu samotného chování filtru obvykle volíme pohled z frekvenční domény namísto z domény časové. V tomto případě již neplatí dříve uvedená analogie s osciloskopem sloužící ke zkoumání chování filtru, nýbrž je zapotřebí zvolit pro tyto účely frekvenčního analyzátoru. Frekvenční analyzátor umožňuje měřit veličinu vůči frekvenci a slouží tak k analýze signálu ve frekvenční oblasti,

kdežto osciloskop pracuje s měřením amplitudy vůči času a slouží tak k analýze časového průběhu. Frekvenční odezva filtru udává, jaké množství signálu projde filtrem při dané frekvenci. Předpokládaná odezva filtru typu dolní propust je znázorněna obrázkem 1.20. Za typické parametry filtru, které jsou kritické při jeho návrhu, lze považovat mezní frekvenci f_c , jenž je dána vztahem 1.19 níže

$$f_c = \frac{1}{2\pi RC} \quad (1.19)$$

, kde R představuje hodnotu odporu rezistoru a C kapacitu kondenzátoru a f_c udává hodnotu frekvence, při které zisk poklesne o 3dB.

Dalšími důležitými parametry jsou frekvence nepropustného pásma f_s , maximální útlum propustného pásma A_{max} a minimální útlum nepropustného pásma A_{min} .



Obrázek 1.20: Teoretická frekvenční odezva filtru dolní propust

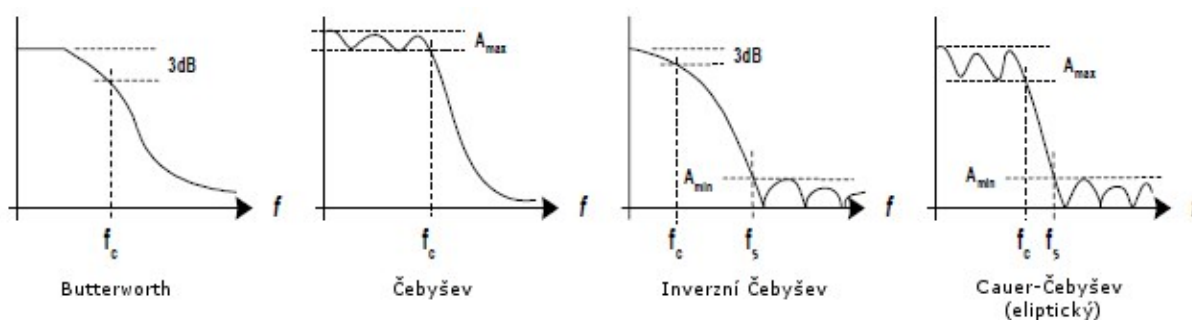
Existuje zde přímé spojení mezi impulsní odezvou a frekvenční odezvou zvané jako Fourierova transformace. Pakliže impulsní odezva je známá resp. je známé chování filtru v časové doméně, pak Fourierova transformace udává frekvenční odezvu filtru a tedy chování filtru ve frekvenční oblasti. Podobně je využívána inverzní Fourierova transformace, kde dochází opět k převodu, ale tentokrát z frekvenční odezvy na odezvu impulsní. Fourierova transformace nám tedy společně s její inverzní podobou slouží k posouzení filtru jak z časového tak frekvenčního hlediska. Znalost takového vztahu mezi časovou a frekvenční doménou ve vztahu k filtrům je v mnoha případech důležitá. Jedná se převážně o případy, kdy je výběr určitého typu filtru závislý na aplikačních požadavcích, jenž vyžadují filtr s určitou charakteristikou časové oblasti či naopak s požadovanou charakteristikou oblasti frekvenční. Je potřeba si uvědomit, že zde existuje kompromis mezi kýženými charakteristikami těchto dvou oblastí. Zejména poměrně hladká odezva v časové oblasti a její odezvě a ostrá odezva v doméně frekvenční. Naneštěstí filtr, jenž disponuje ostrým a dobře vymezeným propustným pásmem, bude nezbytně vykazovat zvlnění a překmit v jeho impulsní odezvě. Stejně obdobně filtr s poměrně hladkou odezvou charakteristiky v časové doméně nebude disponovat ostrým přechodem mezi jeho propustným pásmem a pásmem zádrže.

Zatímco dosud byly zmíněny odezvy v časové a frekvenční doméně jako dva podstatné aspekty filtrů, je nutno zmínit se o dalším důležitém parametru filtrů a tím je skupinové zpoždění filtru. Skupinové zpoždění je mírou rychlosti, s jakou se signály o odlišných frekvencích šíří filtrem a čímž de facto ve své podstatě tento parametr souvisí i s odezvou časové oblasti. Obecně platí, že skupinové zpoždění

o určité frekvenci není stejné jako u frekvence odlišné. Znamená to tedy, že skupinové zpoždění je typicky frekvenčně závislé. Může se tak vyskytnout problém, pakliže dochází k přenosu určitých skupin frekvencí přes propustné pásmo filtru. Když dochází k takovému šíření frekvencí o různých kmitočtech filtrem, signály mají tendenci rozprostřít se v čase jeden do druhého. Tento jev bývá problematický zejména při širokopásmových datových aplikacích, kde je potřeba při vyslání signálu skládajícího se z vícero frekvencí do filtru, aby na výstupu filtru byly všechny použité frekvenční složky ve stejný čas. V technické literatuře je popsáno mnoho typu a tříd filtrů, nicméně pro většinu aplikací lze tento výběr zúžit do tří základních skupin filtrů. Každá je optimalizována pro určitou charakteristiku ať už ve frekvenční či časové oblasti. Tyto tři skupiny jsou Čebyšev, Gauss a Legendre. U aplikací vyžadujících mírnou ostrost charakteristiky frekvenční odezvy bude vhodnou volbou a pravděpodobně ideální variantou filtru typu Čebyšev s předpokladem, že zvlnění a překmity v časové oblasti nepředstavují závažný problém v dané aplikaci. Pro aplikace vyžadující poměrně hladký průběh charakteristiky v časové oblasti, což představuje minimální překmity, nízké zvlnění a konstantní skupinové zpoždění, nejlépe poslouží filtry spadající odezvou do Gaussovy rodiny. V těchto aplikacích se předpokládá, že ostré přechody ve frekvenční charakteristice naopak nejsou vyžadovány. V neposlední řadě jsou vhodnou volbou typy filtrů rodiny Legendre pro aplikace, jež svými požadavky spadají doprostřed těchto dvou extrémů. Stručný popis tří uvedených rodin filtrů následuje níže.

1.11.1 Čebyšev

Rodina filtrů typu Čebyšev nabízí obecně ostrou charakteristiku ve frekvenční oblasti s o něco slabší odezvou v časové oblasti, jež vykazuje značné překmity a zvolnění včetně nelineární skupinové rychlosti a což dělá z této rodiny vhodnou volbu pro aplikace, kde hlavní oblastí zájmu bude charakteristika ve frekvenční doméně a časové oblasti bude přikládána pouze malá důležitost. Obecně lze filtry typu Čebyšev rozdělit dle typu odezvy do celkem čtyř podkategorií a to konkrétně s odezvou Butterworthovou, s odezvou Čebyšovou, s inverzní Čebyšovou odezvou a Cauer-Čebyšovou odezvou (známá také jako eliptická odezva). Obrázek 1.21 znázorňuje obecné odezvy dolních propustí typu Čebyšev.



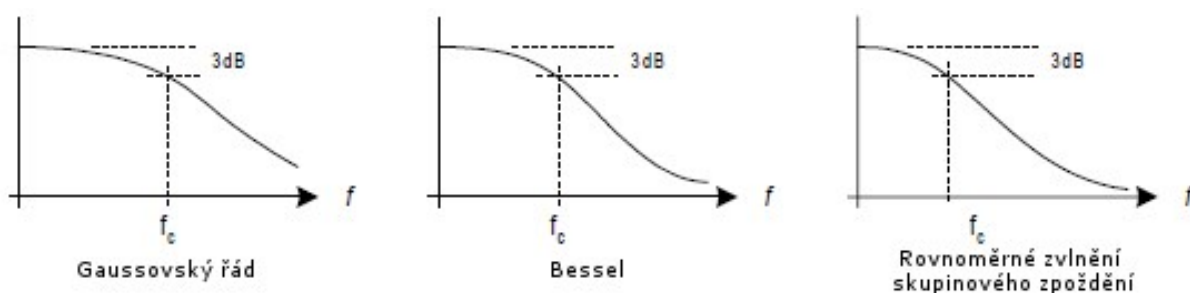
Obrázek 1.21: Odezvy filtrů Čebyšev

- Odezva typu Butterworth má povahu zcela monotónní. Útlum roste spojitě s narůstající frekvencí a nevyskytuje se zde jakékoli zvlnění na útlumové křivce. Butterworth vykazuje v propustném pásmu nejvyšší míru jednotnosti z rodiny Čebyšev. Mezní frekvence je určena bodem, kde dochází ke 3db útlumu. K dalšímu útlumu s rostoucí frekvencí dochází i za tímto bodem, ale strmost útlumu za mezní frekvencí již je o něco mírnější.

- Odezva typu Čebyšev je charakteristická útlumovým zvlněním ve svém propustném pásmu s následným růstem útlumu až do pásma zádrže. Oproti odezvě Butterworth se také vyznačuje mnohem ostřejším přechodem z propustného pásma do pásma zádrže. Daní za takovýto rychlejší nástup pásma zádrže je ovšem výskyt již zmíněného zvlnění v propustném pásmu. Strmost přechodu do pásma zádrže je přímo úměrná míře zvlnění propustného pásma, což v praxi znamená, že čím je zvlnění znatelnější, tím je přechod strmější.
- Odezva typu Inverzní Čebyšev je charakteristická monotónním růstem útlumu v propustném pásmu se zvlněním v pásmu zádrže. Je do jisté míry podobná odezvě Čebyšev a opět platí analogie, že čím větší je zvlnění v pásmu zádrže, tím strmější bude přechod z pásma propustnosti do pásma zádrže.
- Eliptická odezva vykazuje nejstrmější přechod z pásma propustnosti do pásma zádrže ze všech typů filtrů. Daní za tuto vlastnost je opět výskyt útlumového zvlnění. Avšak v tomto případě je tento výskyt platný pro oba pásma. Díky oblasti strmého přechodu mezi oběma pásma je tento typ filtru poměrně častou volbou v aplikacích zahrnujících anti-aliasingové filtry.

1.11.2 Gauss

Rodina filtrů typu Gauss je vhodná pro aplikace, kde je důležitá zejména odezva charakteristiky v časové doméně. Nabízí poměrně hladký průběh charakteristiky s téměř bez zvlnění či překmitů včetně poměrně konstantního skupinového zpoždění. Jelikož se vykazuje dobré chování charakteristiky v časové oblasti, tudíž chování ve frekvenční oblasti nedosahuje takových kvalit a nevykazuje příliš ostré přechody. Ve skutečnosti je frekvenční odezva zcela monotónní. Útlumová křivka v propustném pásmu i pásmu zádrže kopíruje zápornou tendenci sklonu bez výskytu jakýchkoliv špiček. Filtry Gaussovského typu lze opět rozdělit do tří podkategorií dle typu odezvy, neboť každý typ disponuje odezvou poměrně specifickou. Jedná se o odezvu Gaussovského řádu, Besselovu odezvu a odezvu rovnoměrného zvlnění skupinového zpoždění. Obrázek 1.22 ilustruje obecné dolní propusti každého z uvedených Gaussovských filtrů.



Obrázek 1.22: Odezvy Gaussovských filtrů

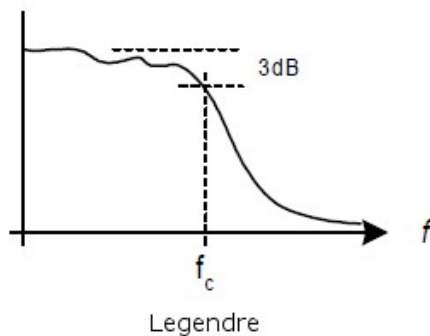
- Odezva Gaussovského řádu poskytuje takový průběh útlumové křivky, který se podobá Gaussovu rozdělení. Charakteristika časové oblasti nabízí téměř lineární fázovou odezvu s minimálním překmitem a zvlněním. Skupinové zpoždění ovšem není konstantní, ale je mnohem lepší v porovnání s filtry skupiny Čebyšev.
- Besselova odezva je zcela optimalizována vzhledem k časovému zpoždění a nabízí tak maximálně rovné skupinové zpoždění v propustném pásmu. Besselova odezva je v časové

oblasti to, co odezva Butterworthova v oblasti frekvenční. Z filtru typu Bessel se tak stává volba v případě, že časové zpoždění je hlavním parametrem při návrhu aplikace a nabízí takřka lineární fázovou odezvu s minimálním překmitem a zvlněním

- Filtr rovnoměrného zvlnění skupinového zpoždění je optimalizován tak, aby špičky v odezvě skupinovém zpoždění nepřekročili předepsané maximum pro propustné pásmo (stejně jako u míry odezvy v případě Chebyševova filtru). Jelikož celé propustné pásmo definuje určité maximum skupinového zpoždění, je tento typ filtru vhodný zejména pro širokopásmové aplikace, ve kterých je potřeba řídit skupinové zpoždění v celém pásmu zájmu. Stejně jako u ostatních Gaussových filtrů je i v tomto případě fázová odezva povětšinou lineární s minimálním výskytem zvlnění a překmitů.

1.11.3 Legendre

Rodina filtrů typu Legendre se sestává z jednoho typu, jehož odezva propustného pásma vykazuje mírné zvlnění a podobá se odezvě Čebyševově při zlnění 0,1dB. Odezva pásma zádrže má tendenci monotónně klesat. Míra útlumu za mezní frekvencí je strmější než u Butterworthova typu, avšak ne tak strmá jako u typu Čebyšev. Skupinové zpoždění je prakticky konstantní pro prvních 25% propustného pásma, avšak s blížící se mezní frekvencí vykazuje rostoucí odchylky. Obecná odezva filtru typu Legendre je uvedena na obrázku níže.



Obrázek 1.23: Odezva Legendre

2 Teorie digitálního DDS modulátoru

Abychom porozuměli digitálním modulátorům jakožto takovým, je více nežli vhodné si nejprve uvést několik základních pojmů z oblasti problematiky signálů. Postupně se tato kapitola bude věnovat rozboru základu signálu, konceptu signálu v základním pásmu, pásmově propustným signálům, což nás dovede až k podstatě modulací ve spojitém čase z pohledu analogové stránky. Jakmile bude probrána i modulace ve spojitém čase, bude následně věnována pozornost a proveden rozbor digitální modulace.

2.1 Signály

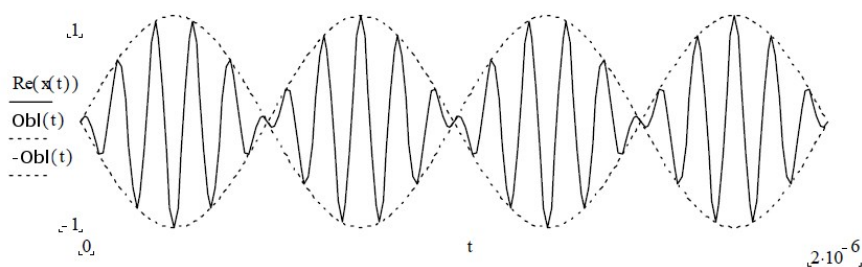
Existuje široká škála signálových typů a tříd, kterým je věnováno bezpočet různorodé literatury a jejichž důkladný přehled není bezpodmínečně nutné obsáhnout vzhledem k účelu a ten jest pochopení digitální modulace. V dalším rozboru se ovšem neobejdeme bez bližšího prozkoumání jedné konkrétní třídy signálů a tou je třída spadající do komplexní periodické exponenciální funkce, jejíž podobu uvádí vztah 2.1 níže

$$x(t) = \beta(t)e^{j\omega t} \quad (2.1)$$

, kde $\beta(t)$ je funkcí času a může nabývat jak reálného tak komplexního tvaru. Je vhodné zmínit, že $\beta(t)$ nemusí být nutně funkcí času, nýbrž může nabývat i podoby konstanty a je označováno také jako obálka signálu. Řecký symbol zde uvedený jako ω označuje úhlovou frekvenci periodického signálu. Vzhledem ke standardní frekvenci f je vzájemný vztah určen definičním vztahem úhlové frekvence 2.2.

$$\omega = 2\pi f \quad (2.2)$$

Průběh $x(t)$ je zobrazen na obrázku 2.1, kde $\beta(t) = \sin(2\pi f_a t)$, $f_a = 1$ MHz, $\omega = 2\pi f_c t$ a $f_c = 10$ MHz. Obrázek 2.1 znázorňuje z komplexní podoby pouze reálnou část $x(t)$. Obálka signálu $\beta(t)$ je označena čárkovaně.



Obrázek 2.1: Periodická komplexní exponenciála

Alternativní formu zápisu $x(t)$ lze získat pomocí rozepsání Eulerovy identity jako

$$x(t) = \beta(t)[\cos(\omega t) + j \sin(\omega t)] \quad (2.3)$$

Tato forma se zdá být oproti původnímu zápisu o něco více intuitivní, neboť je na první pohled zřejmá její komplexní povaha přítomností reálné a imaginární složky.

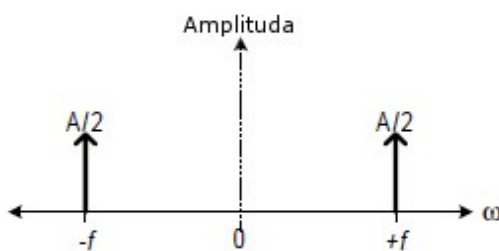
Speciální podskupinou periodické komplexní exponenciály jsou sinusové signály. Sinusový signál lze vyjádřit jako následující

$$x(t) = A \cos(\omega t) \quad (2.4)$$

Tento vztah lze opět s pomocí Eulerovy identity rozepsat jako

$$x(t) = \frac{1}{2}A(e^{j\omega t} + e^{-j\omega t}) \quad (2.5)$$

Povšimněme si z výše uvedeného vztahu, že sinusový signál se skládá ze dvou frekvenčních komponent a to kladné a záporné, kdy zároveň každá z nich tvoří polovinu A. Tyto dvě důležité skutečnosti je vhodné si prozatím zapamatovat. Obecně s pojmem záporná frekvence se nesetkáváme příliš často, nicméně matematicky je tento pojem platný. Na obrázku 2.2 je uvedena frekvence vůči amplitudě sinusového signálu



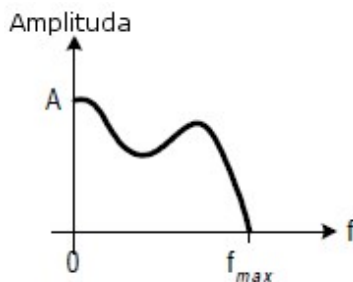
Obrázek 2.2: Kladná a záporná frekvence

Sinusový signál může být také reprezentován odvozením z reálné části periodické komplexní exponenciály

$$\Re\{Ae^{j\omega t}\} = \Re\{A \cos(\omega t) + jA \sin(\omega t)\} = A \cos(\omega t) \quad (2.6)$$

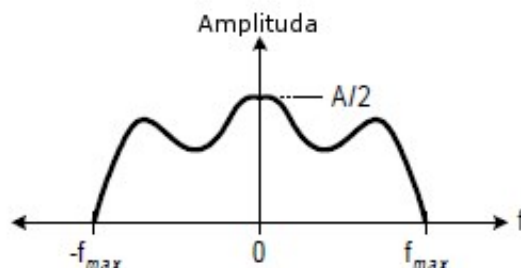
2.2 Signály v základním pásmu

Signál v základním pásmu je takový signál, jehož frekvenční spektrum začíná na hodnotě 0Hz (DC) a rozšiřuje se do určité maximální frekvence. Ačkoli signál v základním pásmu zahrnuje 0Hz, může hodnota amplitudy vykazovat při této frekvenci nulovou hodnotu (tj. bez DC složky). I když se signál v základním pásmu rozšiřuje až do určité maximální frekvence, stanovení horního frekvenčního limitu není podmínkou a tudíž se signál může rozšiřovat teoreticky do nekonečna. Ve skutečnosti jsou signály v základním pásmu pásmově limitovány a horní frekvenční limit má definovanou mez označovanou jako f_{max} . Pásmově limitovaný signál v základním pásmu může být reprezentován graficky jako průběh signálu amplituda vůči frekvenci, což označujeme jako spektrum. Obrázek 2.3 zobrazuje příklad takového spektra signálu v základním pásmu, jenž nabývá maxima amplitudy ve frekvenci 0Hz (DC) a jehož mez horní frekvence je dána f_{max} .



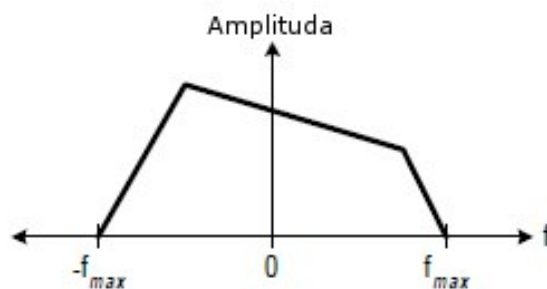
Obrázek 2.3: Jednostranně omezené spektrum

Poznamenejme, že je zobrazena pouze kladná část frekvenční osy. Tento typ spektra se obvykle označuje jako jednostranné spektrum. Jako výhodnější varianta zobrazení se ovšem jeví reprezentace spektra včetně záporné části frekvenční osy. Takovéto zobrazení se pak nazývá jako oboustranné spektrum. Na obrázku 2.3 jsme si uvedli příklad jednostranně omezeného spektra a nyní si ukážeme, jak by vypadala reprezentace oboustranného spektra.



Obrázek 2.4: *Oboustranné spektrum*

Povšimněme si, že v tomto případě nabývá amplituda poloviční hodnoty oproti předchozímu zobrazení a což je dáno právě zápornou frekvenční částí. V případě jednostranného spektra je energie záporné frekvenční komponenty jednoduše přidána ke komponentě kladné, což ve výsledku vede ke zdvojnásobení amplitudy v porovnání s hodnotou oboustranného spektra. V celkovém rozložení je pravá strana spektra (+f) zrcadlově otočena dle počátku 0Hz v porovnání s levou stranou spektra (-f). Spektrum symetrické dle počátku (v tomto případě horizontální symetrie) reprezentuje reálné signály v základním pásmu. Samozřejmě existují i signály v základním pásmu, jež tuto symetrii dle $f=0$ nesplňují. Těmto signálům říkáme signály komplexní. Příklad takového komplexního spektra signálu je uveden na obrázku níže.



Obrázek 2.5: *Komplexní spektrum v základním pásmu*

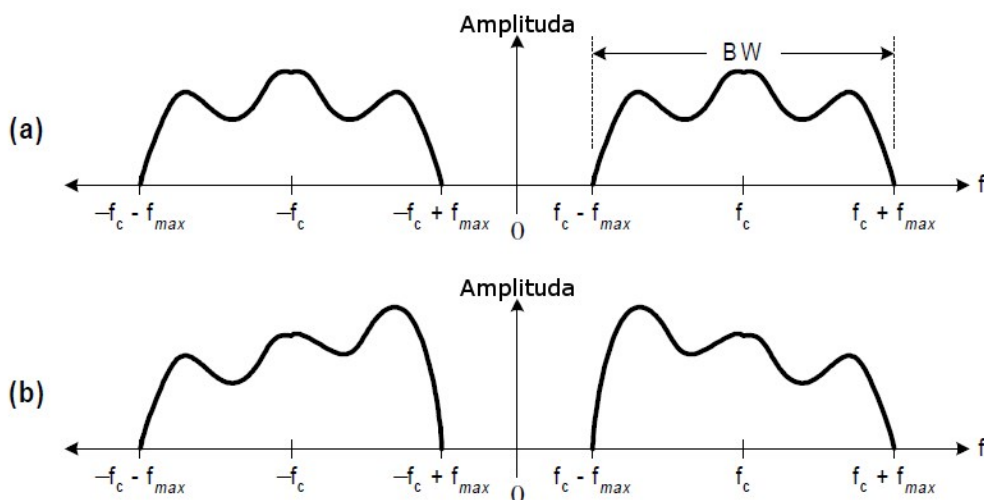
V tomto případě pravá strana není zrcadlovým obrazem strany levé, což je nám napovídá, že se bude jednat o komplexní spektrum. Jak už název napovídá, takovéto spektrum nemůže být popsáno pomocí reálného signálu. Avšak lze jej popsat součtem dvou reálných signálů $a(t)$ a $b(t)$ jako následující

$$x(t) = a(t) + jb(t) \quad (2.7)$$

Ukazuje se, že prakticky není možné přenést komplexní spektrum základního pásma a je tak možné přenášet pouze signály reálné. Existuje však výjimka, kdy komplexní signál v základním pásmu může být transformován do reálného pásmového signálu díky procesu zvanému jako frekvenční posun či chceme-li modulace. Právě modulace je v dnešní době základním prvkem v podstatě pro všechny formy signálového přenosu.

2.3 Pásmově propustné signály

Pásmově propustný signál můžeme považovat za pásmově omezený obecný signál v základním pásmu soustředěný na určitou frekvenci f_c a její zápornou složku $-f_c$. Připomeňme si, že signál v základním pásmu je soustředěn dle $f=0$, pak pásmově propustný signál je soustředěn dle určité nenulové frekvence $\pm f_c$ a platí, že $|f_c| > 2f_{max}$. Hodnota $2f_{max}$ je šířka pásma (BW) pásmově propustného signálu. Obrázek 2.6 popisuje dva typy pásmově propustných signálů včetně zobrazené šířky pásma. Obrázek se dělí na dvě části, z níž v části (a) je zobrazeno spektrum symetrické a v části (b) spektrum nesymetrické (kvadrurní).



Obrázek 2.6: Pásmově propustné spektra

Matematicky je pásmově propustný signál reprezentován pomocí dvou forem, pro případ (a) z obrázku výše platí

$$x(t) = g(t) \cos(\omega_c t) \quad (2.8)$$

, kde $g(t)$ je signál v základním pásmu a ω_c je úhlová frekvence (vztah pro úhlovou frekvenci byl uveden v textu výše). Poznamenejme, že vynásobením signálu v základním pásmu pomocí $\cos(\omega_c t)$ dojde k posunu signálu tak, že je soustředěn dle frekvence $\pm f_c$.

Dva signály v základním pásmu $g_1(t)$ a $g_2(t)$ sdružené v kvadrurním tvaru (b) jsou reprezentovány jako

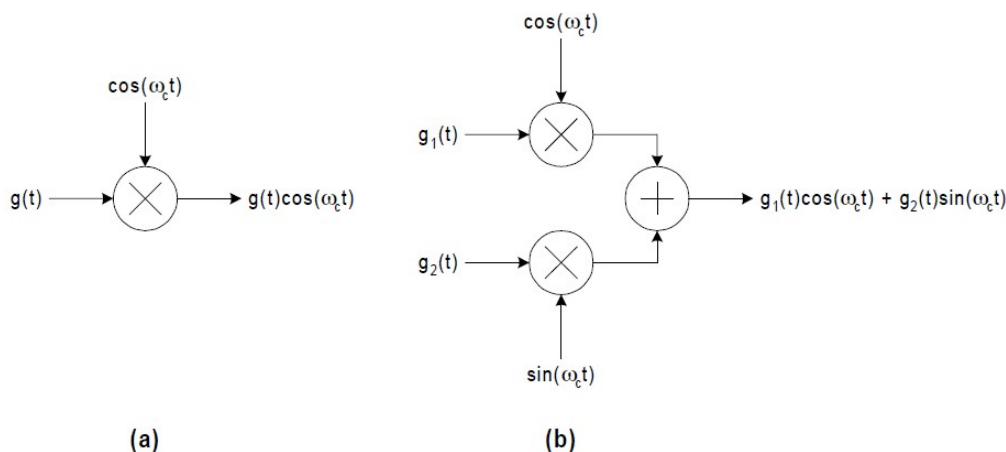
$$x(t) = g_1(t) \cos(\omega_c t) + g_2(t) \sin(\omega_c t) \quad (2.9)$$

Signály jsou i v tomto případě soustředěny dle frekvence $\pm f_c$. Je vhodné zmínit skutečnost, že pro pásmově propustné kvadrurní signály $g_1(t)$ a $g_2(t)$ platí, že se nemusí nutně jednat o rozdílné signály základního pásma. Signál $g_1(t)$ není nijak omezen a může být signálu $g_2(t)$ roven a naopak. V případě stejných signálů základního pásma dojde ke sdružení kvadrurního tvaru a vytvoří se pásmově propustný signál.

2.4 Modulace

Koncept pásmově propustných signálů nás přivádí ke k podstatě modulací. V podstatě převod spektra z jedné centrální frekvence do jiné je popis modulace. Vztahy uvedené v předchozí pod kapitole pro pásmově propustné signály indikují, že vynásobením signálu $g(t)$ sinusoidou (o frekvenci ω_c) získáváme vše potřebné pro provedení funkce modulace. Jediný rozdíl mezi těmito dvěma pojmy spočívá v tom, že není nutné v případě modulace omezovat $g(t)$ jako signál v základním pásmu, nýbrž $g(t)$ může být dalším pásmově propustným signálem s převodem ve frekvencích $\pm f_c$. S pojmem modulace je samozřejmě spojen proces demodulace, jenž je umožněn vynásobením pásmově propustného signálu soustředěného na f_c funkcí $\cos(\omega_c t)$. Dochází tak k posunu pásmově propustného signálu soustředěného v okolí f_c na signál v základním pásmu se soustředěním v okolí 0Hz a zároveň k posunu na pásmově propustný signál soustředěný v okolí $2f_c$. Vše, co je tomto okamžiku potřeba provést aby transformace z pásmově propustného signálu na signál v základním pásmu byla úspěšná je, provedení odfiltrování komponenty spektra soustředěné právě kolem frekvence $2f_c$.

Obrázek 2.7 ukazuje funkční blokové uspořádání dvou základních modulačních struktur. Část (a) reprezentuje sinusovou modulaci a v části (b) je uvedena modulace kvadraturní. Existují různé variace těchto dvou schémat, jejíž výsledkem je specializovanější forma modulace jako například modulace s nebo bez potlačení nosné či modulace s jednoduchým či dvojitým postranním pásmem.



Obrázek 2.7: Základní modulační schémata

Předchozí podkapitoly napomohly utříbit základní pojmy a dostali jsme se takto až k samotné disciplíně digitálních modulací. K lepšímu pochopení následující části je užitečné, aby čtenář byl rámcově obeznámen alespoň s obecným principem vzorkování včetně znalostí zahrnující Nyquistův teorém.

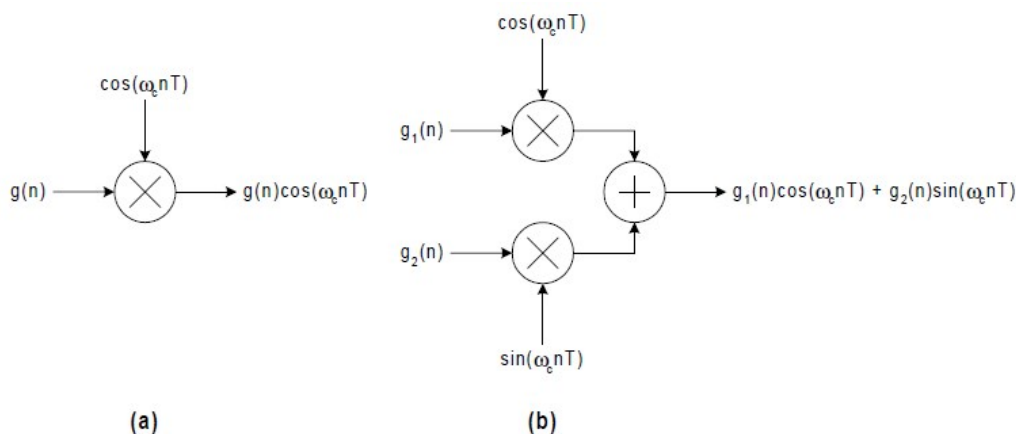
Digitální modulace je oproti výše uvedeným konceptům opakem a jedná se tedy o v čase nesouvislou či chceme-li diskretní modulaci. V tomto případě se již nezabýváme analogovým průběhem $x(t)$, nýbrž pracujeme tentokrát s okamžitými vzorky takového průběhu $x(n)$. Změna označení indikuje, že n bude reprezentovat celočíselný index, jenž nese označení odpovídající jednotlivým vzorkovacím okamžikům v daném čase. Uvažujeme-li, že T reprezentuje časový interval mezi po sobě jdoucími vzorky, pak nT reprezentuje časové okamžiky, ve kterých byly jednotlivé vzorky odebrány. Podobnost mezi signály v čase souvislými a v čase diskretními začne být o to zřetelnější, jakmile jejich formy porovnáme vedle sebe. Jako příklad uvažujme sinusový signál, nejprve tedy v čase souvislý signál

$$x(t) = A \cos(\omega t) \quad (2.10)$$

a nyní si uveďme v čase diskretní signál

$$x(n) = A \cos(\omega n T) \quad (2.11)$$

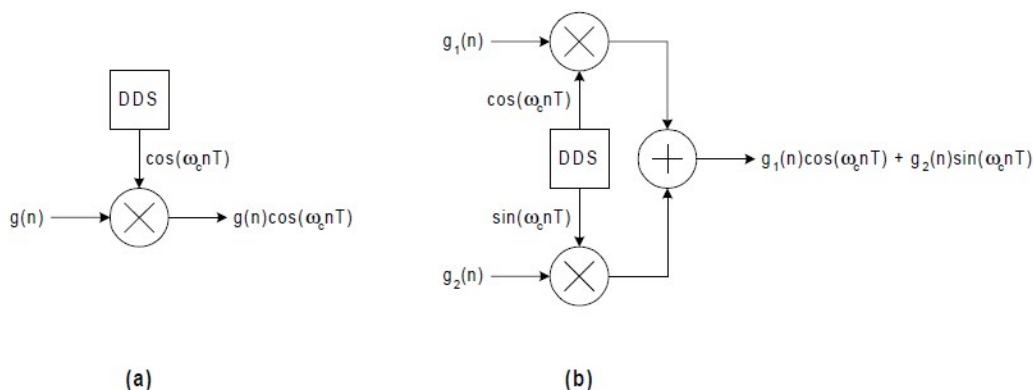
Hlavním rozdíl spočívá v čase diskretním signálu, kdy pro ω a T platí určitá omezení dané především Nyquistovým teoremem. Především T musí nabývat hodnoty nižší než podíl π vůči ω (připomeňme, že pro úhlovou rychlost platí vztah $\omega = 2\pi f$ a T zde představuje periodu vzorkování). Jelikož představuje $x(n)$ sérii okamžitých vzorků $x(t)$, pak může být $x(n)$ vyjádřeno sérií čísel, kdy každé z nich je okamžitou hodnotou $x(t)$ v daném okamžiku nT . Důležitost této skutečnosti je rozhodující k pochopení digitálních modulátorů. Modulace v analogovém případě je dosaženo vynásobením časově spojitých průběhů pomocí specializovaných analogových obvodů. V digitálním případě je modulace dosaženo jednoduše manipulací se sekvencí čísel a tedy pouze numerickou operací. Modulační struktury pro signály spojitě v čase lze upravit na digitální modulátory následovně



Obrázek 2.8: Základní digitální modulační schémata

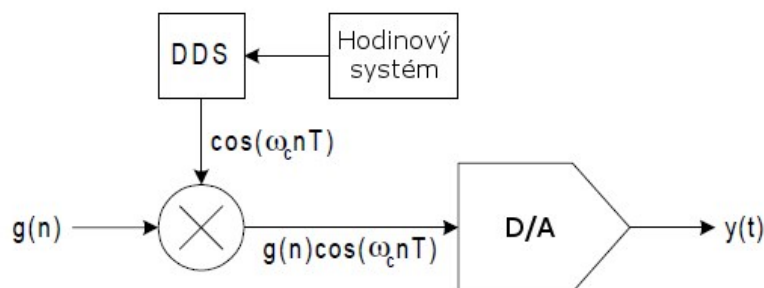
Nyní $g(n)$, $g_1(n)$, $g_2(n)$, $\sin(\omega_c n T)$ a $\cos(\omega_c n T)$ představují sekvence čísel. Násobení a sčítání představují logické prvky (digitální násobičky a sčítačky). Jejich složitost je dána počtem bitů použitých pro reprezentaci vzorků vstupního průběhu. V teorii toto nepředstavuje žádný zvláštní problém, nicméně v případě hardwarové implementace může díky tomuto docházet k nárůstu počtu obvodových prvků velice rychle. Například pokud je digitální průběh reprezentován 8bitovými čísly, budou přirozeně potřeba násobičky a sčítačky s minimálně těmito parametry a struktura nebude nijak zvláště složitá. Ovšem v případě 64bitové reprezentace digitálního průběhu čísel s plovoucí čárkou s dvojitou přesností dle IEEE již bude potřeba výrazně rozsáhlejších struktur.

Jak již pozornějšímu čtenáři jistě neuniklo, technologie DDS bude pro použití vzhledem k digitálním modulátorům velice nápomocná. Je to dáno převážně skutečností, že DDS generuje sérii čísel, jenž reprezentují vzorky sinového či kosinového průběhu. Struktura digitálního modulátor založeného na bázi DDS je uvedena na obrázku 2.9.



Obrázek 2.9: Základní DDS modulační struktura

Výše uvedená struktura je pouze zjednodušeným popisem DDS modulační struktury. Je zde několik neuvedených důležitých prvků, bez nichž by takový digitální modulátor nemohl fungovat. Nejdůležitějším z těchto prvků je zdroj hodinového signálu. Systém DDS může generovat vzorky pouze za předpokladu, že buzen vzorkovacím hodinovým signálem. Za předpokladu absence tohoto signálu je digitální modulátor zcela nefunkční. Uvedená struktura zároveň nevykazuje podobnost s reálnou aplikací, neboť výstupem uvedeného digitálního modulátoru je pouze souvislá posloupnost čísel. Ve všech vzorkovacích systémech obecně vzniká požadavek převodu této posloupnosti zpět na v čase souvislý signálový průběh a což nás přivádí k druhému stěžejnímu prvku digitálního modulátoru a tím je digitálně analogový převodník (D/A). Struktura doplněná o výše uvedené prvky se nachází na obrázku 2.10 a pro zachování jednoduchosti tato struktura reprezentuje sinusový modulátor. Rozšíření struktury na kvadraturní modulátor by vyžadovalo již pouze minimum změn.



Obrázek 2.10: Modulátor DDS

Na první pohled se jeví tento DDS modulátor poměrně jednoduše, nicméně je zde jeden nepatrný požadavek, který dělá implementaci digitálního modulátoru o něco složitější. Jedná se o skutečnost, že složení $g(n)$ musí nabývat pouze vzorků signálu, jenž byly vzorkovány se stejnou frekvencí jako vzorkovací kmitočet DDS. Pokud nebude splněn tento požadavek, bude násobící část násobit hodnoty, které byly vzorkovány v zcela odlišných okamžicích. Pro příklad si uveďme následující vztah

$$g(n) = \cos[2\pi(1\text{kHz})nT_1] \quad (2.12)$$

, kde T_1 nabývá hodnoty 0,00025 (0,25ms). Tudiž $g(n)$ může být popsán jako 1kHz signál vzorkovaný 4kHz ($1/T_1$). Předpokládejme také, že výstup DDS je následující

$$DDS = \cos[2\pi(3\text{kHz})nT_2] \quad (2.13)$$

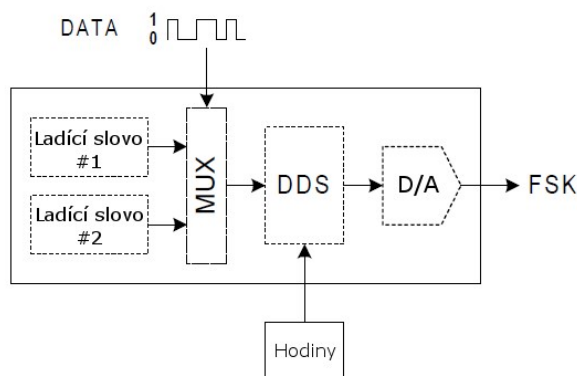
V tomto vztahu T_2 nabývá hodnoty 0,0001 (0,1ms), což znamená, že výstupem DDS je 3kHz signál vzorkovaný na 10kHz ($1/T_2$). V DDS modulátoru pro hodnotu vzorkovacího indexu n platí, že v případě multiplikátoru se jedná o stejnou hodnotu jak pro vstup, tak i pro výstup. Tedy v případě konkrétní hodnoty n , řekněme $n=10$ (tzn. 10-tý vzorek) platí pro DDS časový index nT_2 roven 0,001 (1ms). Očividně tedy $nT_1 \neq nT_2$ ($2,5ms \neq 1ms$). Pro hodnotu časového indexu $n=10$ je čas DDS roven 1ms, kdežto pro $g(n)$ je roven 2,5ms. Výstup násobičky a tedy výsledný produkt $g(n) \cos(\omega_c nT)$ neodpovídá předpokladům, neboť časová reference pro $g(n)$ se neshoduje s referencí pro $\cos(\omega_c nT)$. Stejná vzorkovací rychlost je tedy hlavním kritériem při návrhu digitálního modulátoru. Je potřeba provést určité kroky k nápravě nesouladu vzorkovacích rychlostí, pakliže v DDS systému zdroj $g(n)$ pracuje s jinou vzorkovací rychlostí než DDS. Návrh takového DDS modulátoru již však vyžaduje zahrnutí vícenásobného digitálního signálového zpracování (DSP).

2.5 Metodika datového kódování a jejich DDS implementace

Pro kódování dat ještě před samotnou modulací na nosnou vlnu existuje široké množství metod. Tato část se bude postupně věnovat jednotlivým kódovým schémátům a jejich implementaci v systémech DDS. Jelikož teoretická část této práce vychází z úvodu do přímé digitální syntézy z poznatků aplikačních inženýrů firmy Analog Devices, budou zde uvedeny demonstrační příklady s obvody DDS výše uvedené firmy. Rovněž si tato část nedává za cíl zcela dopodrobna zmapovat a popsat veškeré existující typy kódových schémat, ale spíše nastínit některé koncepty využití ve vztahu k systémům DDS.

2.5.1 Kódování FSK

Klíčování frekvenčním posunem (FSK) je jednou z nejzákladnějších forem kódování dat. Binární jedničky a nuly jsou reprezentovány dvěma odlišnými frekvencemi f_0 respektive f_1 . Toto kódové schéma je rovněž snadno realizovatelné pomocí aplikace s DDS. Toho dosáhneme změnou frekvenčního ladícího slova DDS tak, aby generované frekvence f_0 a f_1 byly v souladu s vysílanou strukturou jedniček a nul. Zjednodušená základní struktura obvodu vychází z již nedostupných obvodů Analog devices, ale v praxi jsou tyto struktury v jejich současných ekvivalentech zachovány a popis je tak platný i pro ně. Před započítím přenosu je potřeba, aby uživatel naprogramoval dvě požadovaná ladící slova do prvku DDS. Následně je možno využít samostatný pin zařízení pro volbu konkrétního ladícího slova. Jakmile je na tento pin přivedena logická 0, pak bude výstupem frekvence f_0 a analogicky při přivedení logické 1 bude na výstupu frekvence odpovídající f_1 .



Obrázek 2.11: FSK kódér založený na DDS

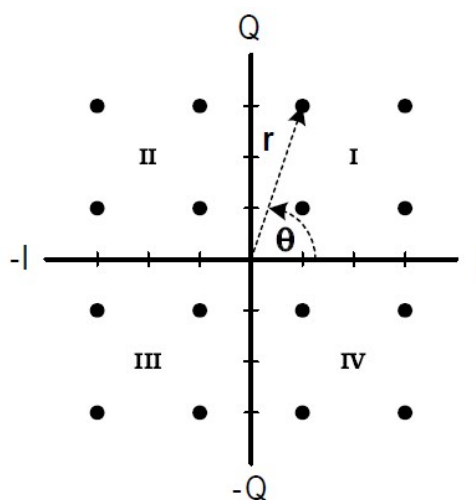
Zjednodušený blokový diagram na obrázku 2.11 demonstruje implementaci FSK kódování na prvcích ADI. V některých aplikacích může při rychlých změnách mezi frekvencemi docházet k problémům. Je to dáno zejména tím, že takovýto rychlý přeběh vytváří nežádoucí impulzy, které následně interferují se sousedními kanály ve vícekanálovém prostředí. Pro zmírnění tohoto nežádoucího jevu se využívá schodovitého FSK. Místo rychlého přepínání mezi frekvencemi dochází k postupnému přeběhu z jedné frekvence na druhou, což značně redukuje nežádoucí signály spojené s metodou FSK. V některých typech odvodů DDS je funkce schodovitého FSK dokonce přímo integrována společně s nastavitelnou rychlostí přeběhu dle požadavku uživatele a dělá tak implementaci o to snazší. Je vhodné zde ještě zmínit variantu FSK zvanou jako MFSK (mnoho-frekvenční FSK). V tomto případě je použito 2^B frekvencí (kde $B > 1$) a datový proud je seskupen do paketů o B bitech. Binární číslo reprezentované libovolným B-bitovým slovem je zobrazeno na jednu z 2^B možných frekvencí. Například při hodnotě $B=3$ zde budeme mít 8 možných kombinací hodnot při 3bitovém složení. Každá z kombinací může odpovídat jedné z osmi možných výstupních frekvencí f_0 až f_7 .

2.5.2 Kódování PSK

Klíčování fázovým posunem je další ze základních forem kódování dat. Frekvence nosné zůstává neměnná a binární jedničky a nuly jsou reprezentovány posunem fáze nosné o určitý úhel. Je potřeba zde zmínit kvadraturní modulátor, neboť právě použití kvadraturního modulátoru je běžnou metodou při modulaci fáze nosné a označujeme pak PSK modulaci jako QPSK. Avšak asi nejběžnější formou je její binární varianta BPSK. V případě BPSK fázový posun 0° označuje logickou 1 a posun 180° značí, že na vstupu je logická 0. Metodu lze samozřejmě rozšířit na kódové skupiny o B bitech a zobrazit je na 2^B možných úhlů ($B > 1$) v rozsahu 0° až 360° . Jedná se o podobný princip jako u uvedeného MFSK, ale proměnná je v tomto případě fáze nikoliv frekvence. K odlišení jednotlivých variant PSK se používá binární rozsah jako prefix. Pakliže bude $B=3$ bude se jednat o 8PSK, stejně tak $B=4$ bude 16PSK popřípadě 16QPSK dle implementace. Dekódování PSK vyžaduje znalost absolutní fáze nosné a označuje se také jako detekce koherence. Pro správné dekodování přenosu musí mít přijímač přístup k nosné vysílače. Tento problém lze obejít pomocí diferenčního PSK či DPSK s možným rozšířením na DQPSK. V tomto případě je změna ve fázi nosné závislá na hodnotě předchozího vyslaného bitu (nebo symbolu) a přijímači stačí pouze určit relativní fázi prvního symbolu. Všechny následující symboly tak jde určit na základě fázových změn vzhledem k prvnímu symbolu. Tato metoda detekce je označována také jako nekoherentní. Realizace PSK kódování je poměrně snadno implementovatelná. Většina obvodů má oddělený vstupní registr (fázový registr), jenž může být naplněn hodnotou fáze a tato hodnota je následně přímo přičtena k fázi nosné bez změny její frekvence. Změnou obsahu registru tedy dochází k přímému ovlivnění fáze nosné a tak ke generování PSK výstupního signálu. Existuje zde však určitý limit v podobě datové rychlosti, neboť určitou dobu trvá změna samotného obsahu registru. K eliminaci tohoto problému se například používá samostatný pin obvodu k tomu určený, kde lze přivést sériové data a obejít tak čas potřebný k přeprogramování registru. Obvod pak automaticky rozebere vstupní data do 2bitových symbolů a moduluje nosnou jak je potřeba.

2.5.3 Kódování QAM

Kvadrurní amplitudová modulace je takové kódovací schéma, kde k přenosu informace je využíváno jak změny amplitudy nosné, tak i změny fáze nosné. Jak název napovídá, bude aplikace této modulace využívat kvadrurní modulátor. V QAM jsou vstupní data rozdělena do skupin po B -bitech zvané jako symboly. Každý symbol nabývá 2^B možných stavů. Každý jednotlivý stav může být reprezentován kombinací určité hodnoty fáze a amplitudy. Počet stavů se obvykle značí jako prefix v označení typu QAM a tedy udává počet zakódovaných bitů na symbol. Například při $B=4$ budeme označovat modulaci jako 16QAM. Přiřazení možných hodnot amplitudy a fáze je v QAM systémech optimalizováno tak, aby byla co největší pravděpodobnost přesné detekce přijímačem. K zobrazení vzájemného vztahu mezi amplitudou a fází se využívá konstelačního diagramu neboli I-Q diagramu. Typický diagram 16QAM je vyobrazen na obrázku níže.



Obrázek 2.12: I-Q diagram 16QAM

Každá tečka reprezentuje určitý symbol (4-bit). Konstelace využívá hodnot I a Q ± 1 a ± 3 k určení umístění tečky. Příkladem může být první kvadrant, kde konstelace (I,Q) bude definována v následujících párech jako $(1,1)$; $(1,3)$; $(3,1)$ a $(3,3)$. V druhém kvadrantu bude umístění jednotlivých teček definováno jako $(-1,1)$; $(-1,3)$; $(-3,1)$ a $(-3,3)$. V následujících kvadrantech třetím a čtvrtém bude zobrazení analogické. Připomeňme, že každá z teček může být zároveň reprezentována vektorem začínajícím v počátku a rozšiřujícím se ke konkrétní tečce. Jinými slovy lze interpretovat tečku její amplitudou r a fází θ . Tyto dva parametry pak definují, jakým způsobem bude nosný signál modulován. Každá kombinace amplitudy a fáze reprezentuje jeden z 16-ti možných 4bitových symbolů a kombinace určité fáze a hodnoty amplitudy určuje přesně jednu z 16-ti teček za předpokladu, že každá z teček je spojena s konkrétním 4bitovým formátem či symbolem.

Přenosová datová linka a její možný poměr signálu k šumu (SNR) mají přímý vliv na hodnotu BER systému. Dostupné SNR a požadovaná chybovost BER kladou určitá omezení na výběr kódovacího schémata. Tato omezení jsou ztlačena především s rostoucí hustotou QAM kódování. Například některé přenosové systémy mají dán výkonostní přenosový limit, což nám určuje horní mez SNR našeho příkladového systému. S exponenciálním růstem BER klesá SNR a hustota QAM schémata tuto exponenciální závislost ještě umocňuje a v některých případech vede další zvýšení hustoty QAM k neakceptovatelným hodnotám BER. Existuje rovněž diferenční varianta QAM zvaná jako DQAM.

Standardní QAM vyžaduje koherentní detekci na straně přijímače, ovšem to není vždy možné. DQAM řeší tento problém zakódováním symbolů takovým způsobem, že každý symbol je závislý na symbolu předcházejícím. Odstraňuje se tak potřeba detektoru mít k dispozici referenční signál v absolutní fázi s vysílanou nosnou. Některé obvody DDS jsou vhodné pro přímou implementaci 16QAM či D16QAM, ale v obecném použití za předpokladu 12-bit kvadraturního modulátoru lze dosáhnout v podstatě libovolného typu QAM. Záměrně neuvádím konkrétní typy těchto obvodů, neboť aktuální typy obvodů od firmy Analog Devices budou rozebrány v následujících částech této práce.

2.5.4 Modulace FM

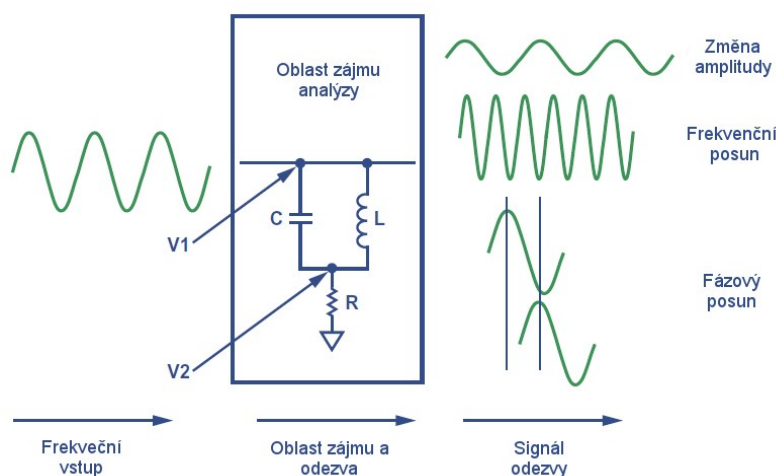
Frekvenční modulace je dosažena změnou frekvence nosné v závislosti na signálu zprávy. V DDS systémech je implementace FM provedena rychlou změnou frekvenčního ladícího slova v závislosti na předepsané amplitudě signálu zprávy. Provedení FM modulace s DDS vyžaduje dodatečné prvky k vzorkování signálu zprávy a výpočtu vhodné hodnoty pro frekvenční ladící slovo z daného vzorku. Bude tedy zapotřebí obvodu DDS, jenž je schopen pracovat jako FM vysílač.

3 Aplikace DDS a přehled obvodových řešení

V mnoha případech je důležité přesné vytvoření signálového průběhu o různých frekvencích a tvarech včetně možnosti rychlé regulace daného průběhu. Namátkou lze zmínit frekvenční zdroje s nízkým fázovým posunem bez obsahu rušivých signálů pro komunikace nebo jednoduché generátory frekvenčních impulzů pro průmysl a biomedicínské aplikace, kde při návrhu obvodového řešení v těchto aplikacích je možnost snadného nastavení průběhu a efektivita prostředků klíčovým prvkem realizace. Ve všech těchto případech se nabízí vhodné řešení v podobě prvků DDS. DDS nabízí přesné frekvenční ladění s dobrou spektrální výkonností. V komunikacích je typickým použitím DDS vytváření řídicích signálů pro identifikaci optického kanálu WDM, rozšířená nastavitelnost referenčních frekvencí pro fázový závěs PLL, jako lokální oscilátor nebo přímý vysílací prvek. V případě průmyslových a biomedicínských aplikací DDS není na rozdíl od tradičních generátorů průběhu potřeba dalších externích komponent, neboť v případě DDS se jedná o digitálně vytvořený a plně programovatelný průběh. Rychlé frekvenční přenastavení může být zde použito k nalezení rezonancí či ke kompenzování teplotních změn. DDS lze využít také jako flexibilní frekvenční stimul k měření impedance senzorů, k vytváření pulzně šířkově modulovaných signálů pro mikroaktuátory nebo k určení útlumu v ethernetových a telefonních kabelech. Další příklady aplikací kromě níže uvedených lze nalézt v [5].

3.1 Průmyslové a medicínské aplikace

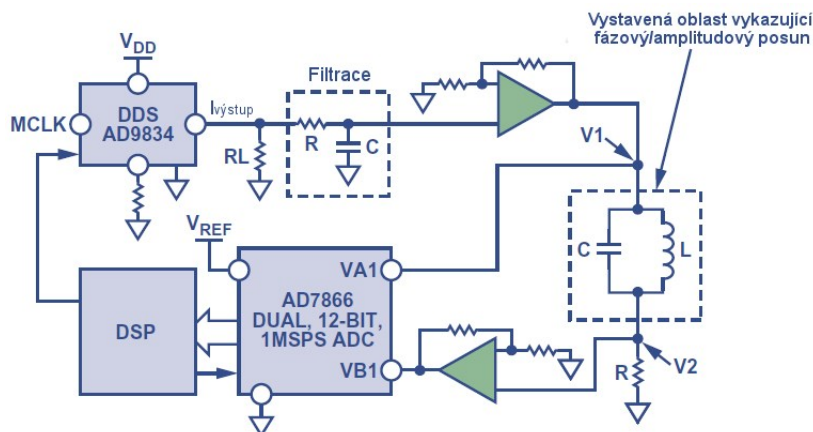
Třída těchto aplikací zahrnuje stimulaci obvodu nebo systému frekvencemi o známé amplitudě a fázi a následnou analýzu charakteristiky odezvy k poskytnutí požadované informace. Na obrázku 3.1 uvedená oblast zájmu analýzy může být cokoli od délky kabelu až k měřicímu či sensorovému systému. Typickým požadavkem je porovnání fáze, frekvence a amplitudy signálu odezvy se vstupním signálem.



Obrázek 3.1: *Testování odezvy*

Systém pracuje na principu aplikování signálu se známou frekvencí, amplitudou a fází na bod V1 oblasti (v tomto případě se jedná o pasivní obvod pro zachování jednoduchosti). V bodě V2 bude naopak amplituda a fáze signálu proměnná v závislosti na analyzované oblasti. Časový rozdíl mezi signály V2 a V1 umožňuje zjistit fázový posun a změna v hodnotě amplitudy udává její relativní

změnu. Rozdíl mezi frekvenčními spektry navíc umožní změřit zkreslení. Frekvence používané v těchto typech aplikací nabývají hodnot od 0kHz do 200kHz - v podstatě tedy převážně na dolním rozsahu DDS. Pro některé aplikace je dostatečná skupina frekvencí o jedné známé frekvenci k získání požadované informace, ale pro většinu aplikací se využívá celá řada frekvencí a následná analýza fázových a amplitudových dat pro několik frekvencí. Na obrázku 3.2 je uveden DDS obvod AD9834 v konfiguraci s 50MHz krystalem a plnicí funkci analogového buzení. Frekvenční rozlišení AD9834 je 28bitů se řízením změny frekvence okolo 0.2Hz. Výstupní amplituda DDS je řízená externím rezistorem přivedeným na zem a externí operační zesilovače zvyšují zisk vystavené oblasti.



Obrázek 3.2: Blokový diagram pro testování odezvy s AD9834

Výstup zatížený rezistorem R_L je vyveden do RC filtru typu dolní propust, jenž pásmově omezuje signál a filtruje frekvence hodinového signálu, obrazové a vyšší frekvence. Výstupní zesilující buffer budí oblast zde reprezentovanou RLC obvodem. Referenční signál je přiveden na kanál 1 dvoukanalového analogově-číslicového převodníku (v tomto případě 12-ti bitového AD7866) a signál odezvy je přiveden na kanál 2. Signálový procesor je použit jako systémový kontrolér, jenž řídí DDS a vzorkování A/D převodníku.

Podobný přístup lze použít i v mnoha dalších aplikacích s různými obvodovými variacemi. Frekvenční rozmítání lze například použít v detektorech blízkosti s použitím kapacitních senzorů, v detekci kovů, měření krve s použitím chemického senzoru, měření průtoku s použitím ultrazvukového senzoru či jako elektronický dohledový článek s přívěsky reagující na RF - jenž se používají v obchodech pro detekci krádeže.

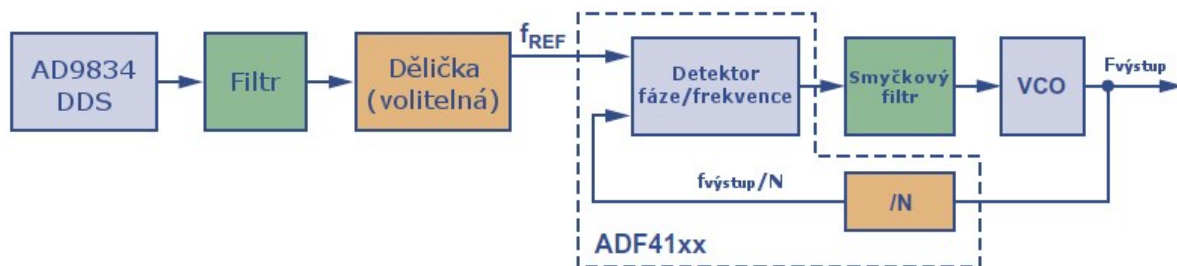
3.2 DDS v komunikacích

Obecně pro návrh kmitočtového syntetizátoru máme k dispozici dva běžné přístupy, na jedné straně máme fázový závěs a na straně druhé přímou digitální syntézu. Výběr není vždy jednoznačný a často musí návrhář přistoupit k jistým kompromisům nebo k dodatečným obvodovým prvkům aby vykompenzoval slabé stránky jedné či druhé techniky syntézy. V dnešní době jsou obvodová řešení jak PLL tak DDS obvodů relativně dostupná a stává se výhodným kombinovat při návrhu obě dvě koncepce a vytvářet tak hybridní obvody a vyhnout se tak kompromisům. Návrhář tak může využít výhod obou metod k získání řešení, jenž předčí ty založené pouze na jedné z metod PLL nebo DDS. Uvedeme si dva přístupy k PLL a DDS hybridním kmitočtovým syntetizátorům. V prvním případě

DDS poskytuje jemné referenční ladění pro PLL a druhým případem je PLL s interním offsetem z frekvence lokálního oscilátoru generované DDS obvodem.

3.2.1 Referenční jemné ladění pro fázový závěs PLL

Fázový závěs ve funkci kmitočtového syntetizátoru s referenční frekvencí generovanou pomocí DDS je zobrazen na obrázku 3.3. Jedná se o hybridní řešení, kde ladící rozlišení DDS vylepšuje samotnou laditelnost celého systému na takovou úroveň, že by takového rozlišení se samotným fázovým závěsem nebylo možno dosáhnout. PLL se skládá z celočíselného frekvenčního syntetizátoru ADF4106 včetně externí smyčky filtru a VCO. V této konfiguraci je umožněno návrháři zvolit takové VCO, které splní zadané frekvenční podmínky a smyčka filtru zase plní funkci pro danou aplikaci. Reference je v tomto případě tvořena DDS obvodem AD9834 následovaným filtrem a volitelným děličkem pro redukci šumu a rušení. Obvod DDS disponuje 28-bitovým ladícím slovem, jenž umožňuje ladění referenční frekvence s úzkými kroky a tedy velmi jemné nastavení výstupní frekvence oproti celočíselným dílčím N násobkům pomocí PLL. Například jestliže VCO má frekvenční rozsah 100MHz až 500MHz a výstup DDS je okolo 5MHz, bude rozsah N od 20 do 100. Každý krok N vede k 5MHz krokům ve výstupní frekvenci (100MHz, 105MHz, 110MHz atd.). Výstup AD9834 lze nastavit v malých krocích jednoduchým zapsáním hexadecimálního čísla do frekvenčního registru a tak dosáhnout kroku 0,2Hz s obnovovacím kmitočtem 50MHz. Výsledkem tedy je velmi jemná laditelnost hybridního řešení PLL/DDS.



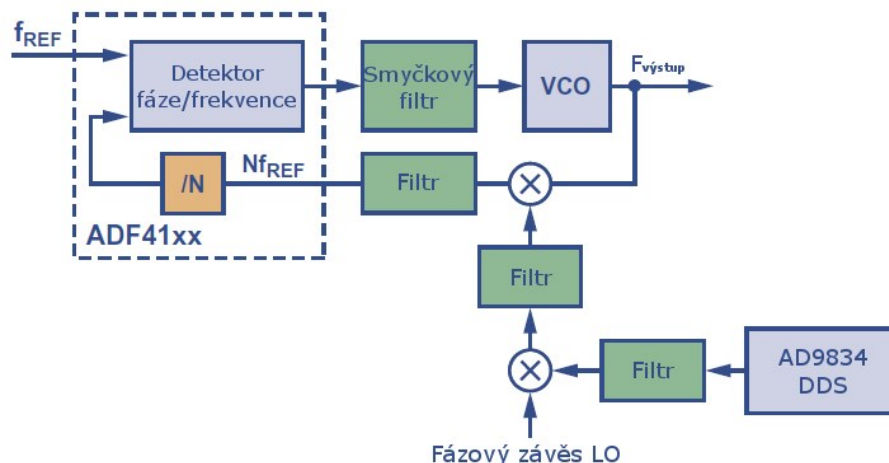
Obrázek 3.3: DDS referenční kmitočtový generátor pro PLL

3.2.2 PLL s interním offsetem generovaným DDS

Obvod využívá možnosti jemného nastavení frekvence DDS k modulaci frekvence lokálního oscilátoru pomocí součtové/rozdílové frekvence, která pakliže je filtrována, moduluje referenční frekvenci. Toto vede k výstupní frekvenci danou jako.

$$f_{výstup} = Nf_{ref} \pm (f_{LO} \pm f_{OFFSET}) \quad (3.1)$$

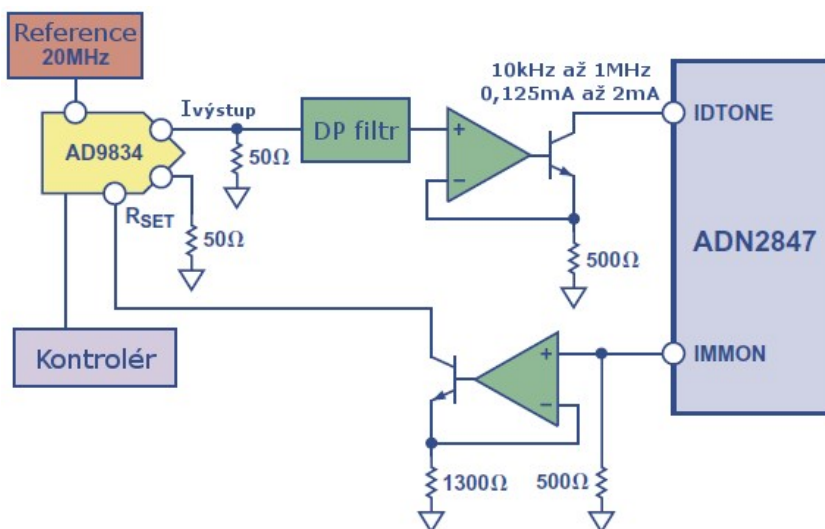
Koncepce je podobná více smyčkovému syntetizátoru s rozdílem, že PLL smyčky jsou nahrazeny jediným DDS obvodem. Hybridní zapojení v tomto případě nabízí lepší frekvenční rozlišení než PLL s mnoha smyčkami. PLL stejně jako v přechodném případě poskytuje hrubé nastavení frekvence se stejným výstupním rozlišením jako vstupní frekvenční reference f_{ref} . DDS naopak poskytuje jemné kroky mezi každým hrubým krokem a tímto získáváme velmi jemný výstupní krok. AD9834 s 50MHz hodinovým kmitočtem umožní získat krok 0,2Hz. Takovýto syntetizátor realizovaný pomocí fázového závěsu s interním kmitočtovým offsetem generovaným pomocí DDS je zobrazen na obrázku níže.



Obrázek 3.4: AD9834 generující frekvenční offset pro PLL ADF41xx

3.2.3 Vlákenná optika a identifikace kanálu s DDS

Komunikace využívající světelných vln přenášených pomocí vláknově optických kabelů dosahují významného zvýšení šířky pásma a kapacity oproti klasickým řešením. Kapacitu lze navíc ještě zvýšit použitím více kanálů v podobě vlnově děleného multiplexu (WDM) při udržení relativně nízkých nákladů. WDM slučuje kombinaci oddělených světelných vlnových délek z několika simultánních datových proudů a přenáší součet těchto kanálů přes jediné optické vlákno. Zpravidla se jedná i o odlišné služby a protokoly, jenž jsou takto přenášeny po stejné lince. Na přijímacím konci je světlo opět rozděleno na jednotlivé komponenty a demodulováno. Neboť jsou všechny signály přenášeny ve stejný čas, je tak žádoucí identifikace kanálu, z něhož signál pochází. Jednou cestou k rozlišení mezi jednotlivými kanály je přidat řídicí signál s identifikovatelnými parametry (jako amplituda, frekvence, fáze atd.) do každého kanálu digitálních dat. V optických vysílačích je řídicí signál přidán změnou proudu protékajícího laserovou diodou. Obrázek 3.5 zobrazuje, jak je této změny dosaženo.



Obrázek 3.5: DDS ve vláknově-optické aplikaci

Driver laserové diody ADN2847 může nabývat pracovních rychlostí mezi 50Mbit/s až 3,3Gbit/s. Označení IDTONE značí proudový kanál uzpůsobený pro vláknovou identifikaci ve WDM a moduluje optickou úroveň přes možný rozsah od 2% minima I_{mod} do 10% maxima I_{mod}. AD9834 vytváří modulační průběh a řídí tok proudu z výstupu IDTONE změnou napětí skrze 500Ω rezistor. DC proud na pinu IMMON označuje modulační proud a slouží ve funkci zpětnovazební smyčky k regulaci výstupní úrovně AD9834 skrze pin R_{SET} .

3.3 Přehled vyráběných obvodových řešení

Výrobcem s pravděpodobně s největší tradicí výroby DDS obvodu bude nesporně firma Analog Devices. K dnešnímu dni čítá seznam aktuálních obvodů v nabídce přes třicítku obvodů lišící se v rozlišení převodníku, počtu kanálů, délkou ladícího slova, maximální výstupní frekvencí, dodatečnými funkčními bloky, energetickou náročností apod.

Obvody řady AD59xx

Jmenovitě se jedná o obvody AD5930 a AD5932 a impedanční konvertory využívající jádro DDS AD5933 a AD5934

- **AD5930** je jednakanálová syntéza s frekvencí zpracování 50MHz, 10-bit digitálně analogovým převodníkem s ladícím slovem délky 24-bit. Maximální možná výstupní frekvence může nabývat hodnoty 25MHz sinusového, pilového nebo obdélníkového průběhu. Disponuje funkcí power-down (odběr 20uA) pro úsporu energie, jenž v normálním provozu činí pouhých 8mA. Dva operační módy a to průběžný nebo burst mód. 20-ti vývodové pouzdro TSSOP
- **AD5932** v jádru funkcí je obvod prakticky identický s AD5930. Obvod je ochuzen o výstupní funkci burst. Absence nastavení proudu výstupu bez diferenčního D/A. Spotřeba oproti AD5930 nižší o hodnotě 6,7mA. 16-ti vývodové pouzdro TSSOP

Obvody řady AD91xx

Jmenovitě se jedná o AD9102 a AD9106.

- **AD9102** DDS s 14-bitovým D/A převodníkem. Doplněné o paměť typu SRAM. 24-bitové ladící slovo. Data uložené v paměti SRAM (4096 x 14-bit) umožňují přímé generování uložených průběhů. Programovatelné rozhraní SPI. Pouzdro LFCSP s 32 vývody
- **AD9106** DDS s 12-bitovým D/A převodníkem, jímž tento obvod disponuje hned 4x. U každého z D/A převodníků lze nastavit fázový posun nezávisle na sobě. Rovněž přítomnost SRAM paměti (4096 x 12-bit). Frekvence zpracování až 180MHz s sinusovým výstupem. 24-bitové ladící slovo. Možnost upravení zisku a offsetu digitálního signálu ještě před vstupem do D/A převodníků. Pouzdro LFCSP s 32 vývody

Obvody řady AD98xx

Jmenovitě AD9830, AD9831, AD9832, AD9833, AD9834, AD9835, AD9837, AD9838, AD9850, AD9851, AD9858 a AD9859.

- **AD9830** DDS s kmitočtem 50MHz, 10-bit D/A převodníkem, paměť ROM funkce sinus, paralelní registr a port. Energetická spotřeba 250mW, funkce power-down. Možnost fázové a frekvenční modulace. Pouzdro typu TQFP se 48 vývody

- **AD9831** DDS s operačním kmitočtem oproti AD9830 nižším a to 25MHz, rovněž přítomnost tabulky sin v paměti ROM, 10-bit D/A převodník, paralelní registr s portem a spotřeba poloviční díky nižšímu kmitočtu rovna 125mW při 5V napájení. Pouzdro TQFP se 48 vývody
- **AD9832** DDS oproti AD9831 se liší převážně přítomností sériového portu a registru. Parametry se jinak shodují a to 10-bit D/A převodník, 25MHz kmitočet, tabulka sin v paměti ROM. Energetická náročnost 200mW v 16-ti vývodovém TSSOP pouzdru.
- **AD9833** DDS oproti předchozím obvodům z řady AD98xx disponuje kromě sinového průběhu i pilovým a obdélníkovým výstupním průběhem. Programovatelná sběrnice SPI, výstupní frekvenční rozsah 0MHz až 12,5MHz, 10-bit D/A převodník, 28-bitové ladící slovo, operační kmitočet 25MHz a udávané výstupní rozlišení při tomto kmitočtu 0,1Hz. Při napájení 3V odběr pouhých 12,65mW. Pouzdro 10-ti vývodové MSOP
- **AD9834** DDS s výstupní frekvencí až 37,5MHz pouze sinového nebo pilového průběhu. Přítomnost interního komparátoru, programovatelná SPI sběrnice, 28-bit ladící slovo, operační kmitočet 75MHz s výstupním rozlišením 0,28Hz, 20mW odběr při 3V a 20-ti vývodové pouzdro TSSOP.
- **AD9835** DDS s operačním kmitočtem 50MHz, kosinovou tabulkou funkce v paměti ROM, 10-bitovým D/A převodníkem, 32-bitovým ladícím slovem, SPI sběrnice, sériový registr, 200mw při 5V. Pouzdro 16-ti vývodové TSSOP
- **AD9837** DDS s kmitočtem 16MHz a výstupním rozlišením 0,06Hz, 28-bitovým ladícím slovem, možné výstupní sinusové, pilové a obdélníkové průběhy, 10-bit D/A převodník, sběrnice SPI, odběr pouhých 8,5mW při 2,3V. Pouzdro LFCSP 10-ti vývodové
- **AD9838** DDS s kmitočtem 16MHz stejně jako AD9837 a 28-bitovým ladícím slovem. Výstupní frekvence do 8MHz s omezením na sinusové nebo pilové možné výstupní průběhy, přítomnost interního komparátoru, programovatelná SPI, 11mW odběr při 2,3V. Pouzdro 20-ti vývodové LFCSP
- **AD9850** DDS je prvním obvodem v tomto přehledu, který pracuje s kmitočtem nad 100MHz a to na 125MHz s výstupním rozlišením 0,0291Hz. Také disponuje 32-bitovým ladícím slovem, 10-bit D/A převodníkem a vysokorychlostním komparátorem. Datový registr dovoluje paralelní i sériové nahrávání dat. Digitální nastavení fázové modulace v krocích 180°, 90°, 45°, 22,5°, 11,25° a jejich kombinací. Výkonová náročnost činí 155mW při 3,3V napájení nebo 380mW při 5V a nativní frekvenci 125MHz. Obvod je umístěn do 28-mi vývodového pouzdra SSOP.
- **AD9851** DDS disponuje kmitočtem 180MHz s volitelným 6x referenčním multiplikátorem (REFCLK), 10-Bit D/A převodníkem, vysokorychlostním komparátorem s hysterezí, 32bitovým ladícím slovem, paralelním nebo sériovým asynchronním datovým rozhráním, 5bitovou fázovou modulací s možností offsetu v krocích po 11,25°. Při 180MHz odběr 555mW. Pouzdro je vývodově identické s AD9850 a tedy stejné 28-mi vývodové SSOP pouzdro.
- **AD9858** DDS je zástupcem DDS s velmi vysokým kmitočtem a v tomto případě rovným 1GHz, vstupní kmitočet je možný až do 2GHz s možností dělení dvěma, dále obsahuje 10bitový D/A převodník, 32bitovým ladící slovo, 8bit paralelní nebo SPI rozhrání, možnost automatické změny frekvence, 4 frekvenční profily, integrovanou nabíjecí pumpu, detektor

fáze a frekvence s rychlým uzamykacím obvodem. Výstupní frekvence může dosahovat již poměrně vysoké hodnoty 400MHz. Obvod je dodáván již v poměrně komplexním pouzdru TQFP/EP o celkem 100 vývodech.

- **AD9859** DDS pracuje s kmitočtem řádově nižším oproti AD9858 o hodnotě 400MHz a není tedy jeho vylepšeným ekvivalentem, jak by se na první pohled mohlo zdát. Disponuje 10-bit D/A převodníkem, 32-bitovým ladícím slovem, PLL referenční násobičkou 4x až 20x, interním oscilátorem, možností synchronizace vícero čipů mezi sebou. Výstupní frekvence může dosahovat poloviny výstupních možností AD9858 a to rovných 200MHz. Obvod je umístěn také v méně náročném pouzdru o 48-mi vývodech typu TQFP/EP.

Obvody řady AD99xx

Jmenovitě AD9910, AD9911, AD9912, AD9913, AD9914, AD9915, AD9951, AD9952, AD9953, AD9954, AD9956, AD9958 a AD9959

- **AD9910** DDS pracuje s vnitřním kmitočtem 1GHz při maximálním výstupním kmitočtu 400MHz s výstupním rozlišením 0,23Hz. Obsahuje 14-bit D/A převodník, paměť RAM (1024 slov x 32-bit), interní oscilátor, korekci funkce $\sin(x)/x$ díky přítomnosti inverzního sinc filtru, seriové vstupně výstupní rozhraní, 8 frekvenčních a fázových offset profilů, násobičku PLL REFCLK, paralelní datové rozhraní, lineární ramp generátor a 32-bitové ladící slovo. Obvod se nachází ve 100 vývodové pouzdru typu TQFP_EP.
- **AD9911** DDS se vyznačuje vylepšenou technologií pro potlačení rušení a nežádoucích impulzů zvanou jako SpurKiller, jež zajišťuje výborný širokopásmový i úzkopásmový dynamický rozsah. Pomocné kanály jsou využívány k redukci rušení, generování multitone nebo test-tone modulace. Mód multitone dovoluje vytvoření až čtyř souhlasných nosných signálů s nezávislou frekvencí, fází nebo amplitudou. Tuto funkcionalitu lze využít pro testování systému na intermodulační zkreslení, citlivost přijímače aj. Mód test-tone umožňuje efektivní modulaci amplitudy sinového výstupního průběhu využitím jednoho ze tří pomocných DDS jader. Technologie SpurKiller vylepšuje hodnotu SFDR redukcí amplitudy harmonických komponent a obrazů těchto komponent. Samozřejmě je plná podpora modulace frekvence, fáze nebo amplitudy (FSK, PSK, ASK). Modulace je implementována přímo v uložených profilech v registrech a lze tak jednoduše dosáhnout potřebné modulace využitím některých z těchto dat. Zbylé parametry jsou 32-bitové ladící slovo, 10-bit D/A převodník, 14-bit rozlišení offsetu fáze, 10-bit rozlišení škálování amplitudy, kmitočet 500MHz, volitelný násobič PLL od 4x do 20x REF_CLK, 16 uložených úrovní modulací apod. Obvod je uložen v 56-ti vývodovém pouzdru LFCSP.
- **AD9912** DDS s kmitočtem 1GHz s výstupním kmitočtem dosahující maxima 400MHz a díky 48-bit ladícímu slovu dosahuje výstupního rozlišení 4uHz. Obsahuje po vzoru AD9911 celkem dva kanály disponující technologií SpurKiller. Z dalších parametrů je možno vyzdvihnout diferenční HSTL komparátor, 14-bit D/A převodník, PLL REF_CLK multiplikátor, programovatelnou děličku pro CMOS výstup a seriový vstupně výstupní porty. Obvod je uložen v 64 vývodovém pouzdru LFCSP.
- **AD9913** DDS s kmitočtem 250MHz a výstupní frekvencí dosahující maxima 100MHz s výstupním rozlišením 0,058Hz, 0,022° rozlišením fáze a integrovaným 10-bit D/A

převodníkem. Dalšími přednostmi je celkem 8 frekvenčních a fázových profilů offsetu a určení pro bateriově napájená koncová zařízení. Uložen je v 32 vývodovém LFCSP pouzdru.

- **AD9914** DDS s operačním kmitočtem účtyhodných 3,5GHz je jednou z nejužší taktovaných syntéz v aktuální produkci s frekvenčním rozlišením 190pHz. Obsahuje 12-bit D/A převodník a dosahuje 16-bit rozlišení fáze a 12-bit škálování amplitudy. Dále lze zmínit například 32-bit paralelní rozhraní sloužící k datovému přenosu, 8 frekvenčních a fázových profilů offsetu, vstupně výstupní sériové porty, PLL REF_CLK násobičku. Obvod je uložen v 88-mi vývodovém pouzdru LFCSP.
- **AD9915** DDS s kmitočtem 2,5GHz a výstupním rozlišením 135pHz a maximální výstupní frekvencí 1GHz se řadí mezi vysokofrekvenční DDS. Obvod je vybaven 12-bit D/A převodníkem, 16-bit rozlišením fáze a 12-bit rozlišením amplitudy, 32-bit paralelním datovým rozhráním a sériovým vstupně výstupním portem. Do výbavy spadá i 8 profilů pro frekvenční a fázový offset a multiplikátor PLL REF_CLK. Obvod je umístěn v 88-mi vývodovém pouzdře typu LFCSP.
- **AD9951** DDS disponuje 400MHz kmitočtem a výstupním kmitočtem do 200MHz, 14-bit D/A převodníkem, 32-bit ladícím slovem a multiplikátorem PLL od 4x do 20x REF_CLK. Obvod je také vybaven možností mezi obvodové synchronizace a sériovým vstupně výstupním portem. Umístěn je ve 48-mi vývodovém pouzdře TQFP/EP.
- **AD9952** DDS stejně jako AD9951 pracuje na kmitočtu 400MHz s maximální výstupní frekvencí rovnou 200MHz, obsahuje rovněž 14-bit D/A převodník, 32-bit ladící slovo a multiplikátor PLL. Jedná se o velice podobný obvod jako AD9951 a rovněž je umístěn ve stejném pouzdře.
- **AD9953** DDS je identický s AD9952 a AD9951 s výjimkou přítomnosti statické paměti RAM (1024 x 32-bit).
- **AD9954** DDS disponuje 400MHz kmitočtem a výstupním kmitočtem do 160MHz sinusového průběhu s rozlišením 0,01Hz a fází s krokem 0,022°. Stejně jako u AD9953 je tento obvod vybaven statickou pamětí RAM. Dalšími parametry je například 14-bit D/A převodník, 32-bit ladící slovo, 14-bit rozlišení nastavení fáze, 4 frekvenční a fázové profily offsetu, násobička kmitočtu PLL a vysokorychlostní komparátor. Umístěn je ve 48-mi vývodovém pouzdře TQFP.
- **AD9956** DDS pracuje rovněž s kmitočtem 400MHz, je ale vybaven ladícím slovem o délce 48-bit, 14-bit D/A převodníkem, 14-bit rozlišením fázového offsetu, programovatelnými děličkami o frekvenci 655MHz pro detekci fáze a frekvence od 1 do 16. Jak již bývá standardem u těchto vyšších obvodů, obvod obsahuje celkem 8 frekvenčních a fázových profilů a synchronizaci více obvodů. Obvod je umístěn v 48-mi vývodovém pouzdře typu LFCSP.
- **AD9958** DDS jedná se o dvou kanálový synchronní DDS obvod s kmitočtem 500MHz. Dva kanály umožňují na sobě navzájem nezávislou kontrolu frekvence, fáze a amplitudy. Každý z kanálů disponuje vlastním 32-bit ladícím slovem. Možnost až 16-ti násobné frekvenční, fázové a amplitudové modulace. Dále obsahuje 2x 10-bit D/A převodníky, multiplikátor PLL 4x a 20x. Výstupní rozlišení činní 0,12Hz se 14-bit rozlišením offsetu fáze a 10-bit škálováním amplitudy. Sériový vstupně výstupní port SPI s rychlostí komunikace až do 800MHz. Obvod je uložen v 56-ti vývodovém pouzdře LFCSP.

- **AD9959** DDS je čtyř kanálovým 500MHz synchronním DDS se 4x 10-bit D/A převodníky. Výstupní rozlišení činí 0,12Hz se 14-bit rozlišením offsetu fáze a 10-bit škálováním amplitudy. Možnost až 16-ti násobné frekvenční, fázové a amplitudové modulace. Obvod je podobný dvoukanálovému AD9958 s tím, že obsahuje ještě dva kanály navíc. Obvod je rovněž uložen v 56-ti vývodovém pouzdře LFCSP.

Cílem tohoto přehledu bylo nastínit parametry současných DDS řešení. Celkem zde bylo uvedeno přes třicítku obvodů od nízkofrekvenčních s maximálním výstupem do jednotek MHz až po obvody s možností výstupu v řádech GHz nebo DDS více jádrové s oddělnými kanály a několikanásobnými D/A převodníky. Při samotném návrhu obvodového řešení s DDS je nutno vzít v úvahu náročnost a požadavky na obvod DDS a s ohledem na aplikaci zvolit nejvhodnější obvod, tím chci naznačit, že je na samotném konstruktérovi, který obvod bude pro jeho aplikaci nejvhodnějším. Nelze tedy označit jeden konkrétní obvod DDS jako nejuniverzálnější a záleží tedy na požadavcích konkrétní aplikace.

4 Návrh generátoru obdélníkového signálu s DDS

4.1 Požadavky na návrh

Zadání diplomové práce neklade konkrétní požadavky na návrh a uvádí pouze, aby realizovaný funkční generátor byl laditelný a pracoval s obvodem DDS. Po zvážení využití generátoru pro další osobní využití jakožto hlavního word clocku, jenž je ve funkci externí synchronizace a slouží jako zdroj hodinového signálu pro synchronizaci podřízeným audio zařízením s nejen S/PDIF a AES/EBU standardy, ale i jako možnost navázání na předchozí bakalářskou práci a její praktické rozšíření, vzešly z těchto předpokladů konkrétní nároky na návrh. Požadavky jsou následující: Výstupní obdélníkový signál, výstupní napěťová úroveň vhodná pro CMOS nebo TTL logiku, laditelnost mezi frekvencemi 49,152MHz; 24,576MHz; 12,288MHz a 11,2896MHz.

4.1.1 Podmínky pro výběr obvodu DDS

V podkapitole 3.3 byl uveden přehled třicítky obvodu DDS firmy Analog Devices, jenž jsou k dnešnímu dni v nabídce. Z Nyquistova teorému vyplývá, že k úspěšné rekonstrukci signálu je zapotřebí vzorkovat s frekvencí, jenž je větší, nežli dvojnásobek nejvyšší harmonické složky signálu ve frekvenčním spektru. Požadované frekvence nás omezují na použití pouze těch syntéz, jenž disponují pracovním kmitočtem 125MHz a vyšším. Takovýto pracovní kmitočet udává maximální generovaný kmitočet 50MHz ($0,4f_s$). Nejvyšší požadovaná hodnota frekvence je ovšem příliš blízko možnému maximálnímu kmitočtu, a tudíž se vhodnější volbou jeví syntéza s pracovním kmitočtem 180MHz s maximálním generovaným kmitočtem 72MHz. Při výběru obvodu DDS bylo potřeba zohlednit i jeden ne na první pohled zřejmý parametr a tím je použité pouzdro. S ohledem na výrobu DPS a ruční pájení v domácích podmínkách bylo nutné zároveň vybrat takový typ pouzdra, se kterým lze ještě v těchto podmínkách pracovat. U více vývodových pouzder je již rastr vývodů tak jemný, že nelze pájení realizovat bez použití specializovanějších metod jako například nanášení pasty a následného zapékání. Výše uvedené nároky bezezbytku splňuje obvod AD9851. Jeho operační frekvence činí potřebných 180MHz, je dodáván v 28-mi vývodovém SSOP pouzdru a zároveň disponuje vysokorychlostním komparátorem s CMOS/TTL kompatibilním výstupem. Maximální generovaný kmitočet 70MHz bude poskytovat zároveň dostatečnou rezervu například pro budoucí eventuální změny frekvenčních nároků podřízených audio obvodů. Blokové schéma obvodu AD9851 lze nalézt v Příloha C: včetně datového listu v Příloha G:

4.1.2 Podmínky kladené na rekonstrukční filtr

Dalším neméně podstatným prvkem při návrhu obvodového řešení s DDS je rekonstrukční filtr. Obecně je filtr umístěn mezi výstup D/A převodníku a vstup komparátoru pro potlačení neharmonických produktů a dalších rušivých signálů a tak přispívá ke snížení jitteru [7]. Cílem bylo zachovat možnost široké laditelnosti, tudíž úzkopásmové selektivní filtry pro konkrétní frekvenční složku nebyly uvažovány. Zároveň bylo vhodné zachovat jednoduchost celého návrhu. Jasnou volbou se v tomto případě stal selektivní filtr typu dolní propust. Konkrétně se jedná o typ Cauer-Čebyšev (Eliptický filtr). Eliptická odezva vykazuje nejstrmější přechod z pásma propustnosti do pásma zádrže ze všech typů filtrů a díky strmé oblasti přechodu se stává tak vhodným kandidátem pro tuto aplikaci. Nízký řád zároveň redukuje počet použitých obvodových prvků a je zachována potenciální

jednoduchost obvodového návrhu. Zlomová frekvence tohoto filtru je definována již zmiňovanými 40% z pracovního kmitočtu a tedy 70MHz.

4.1.3 Návrh realizace

Ještě před samotnou realizací je potřeba se zamyslet nad koncepcí zařízení. Požadavek na zařízení je, aby pracovalo nezávisle na PC, neboť v jeho následné aplikaci by bylo použití PC nežádoucí a zařízení má být samostatné. Pakliže vyžadujeme dedikované zařízení s vlastními ovládacími prvky, pak nás tato úvaha nepochybně vede k nutnosti použití mikrokontroléru. V rámci požadavku spíše na experimentální ověření funkčnosti návrhu a nikoliv kompletní konstrukci zařízení uložené například v rack boxu, jsem se přiklonil k efektivnějšímu způsobu urychleného vývoje a rozhodl se využít k tomuto účelu zkonstruovaného kitu programátoru SDK8252 s procesorem AT89S52 a návrh DPS s DDS směřoval k použití nejprve s tímto kitem. Tento koncept má hned několik výhod a to

- Vhodný způsob oživení a ověření funkčnosti zařízení
- Eliminace chyb v návrhu
- Odladění programového vybavení.

Zároveň ovšem bylo potřeba návrh uskutečnit jako kompaktní modul, jenž lze následně osadit do jiného systému již mimo programátor samotný. Prvotním předpokladem bylo rovněž i co nejvíce využít návrh programátoru, tedy využít i samotné napájení programátoru pro napájení DPS s DDS a eliminovat tak použití dalšího napájecího zdroje. Komunikace s DDS obvodem nabízí jak paralelní rozhraní, tak sériové rozhraní SPI. Z důvodu úspory portů a předpokládanému i dalšímu použití daného mikrokontroléru, jsem zvolil ke komunikaci tří vodičovou SPI sběrnici, neboť může být potřeba v pozdějších fázích dodávat další periférie z řad ovládacích a zobrazovacích prvků náročných na počet komunikačních pinů.

Cílem celé koncepce a vzhledem k předchozím zkušenostem je co nejvíce potřeba eliminovat počet neznámých, které by mohly realizaci zkomplikovat, tzn. vycházet z funkčního a ověřeného základu tj. programátoru a v případě nefunkčnosti zaměřit pozornost spíše na DPS s DDS nebo programové chyby. Výrazně se tak samotný vývoj usnadní a lze tak efektivně postupovat při dalším návrhu.

Díky modulové koncepci lze jednotlivé prvky obměnit a například využít jiného mikrokontroléru v dalším vývoji a ponechat tak návrh DPS s DDS beze změny nebo prostřednictvím dodatečného rozhraní zapojit do konceptu PC a rozvíjet návrh dále. V tomto ohledu je perspektiva zachována a další využití není limitováno pouze na využití s mikrokontrolérem a závisí pouze na konkrétních požadavcích dané aplikace.

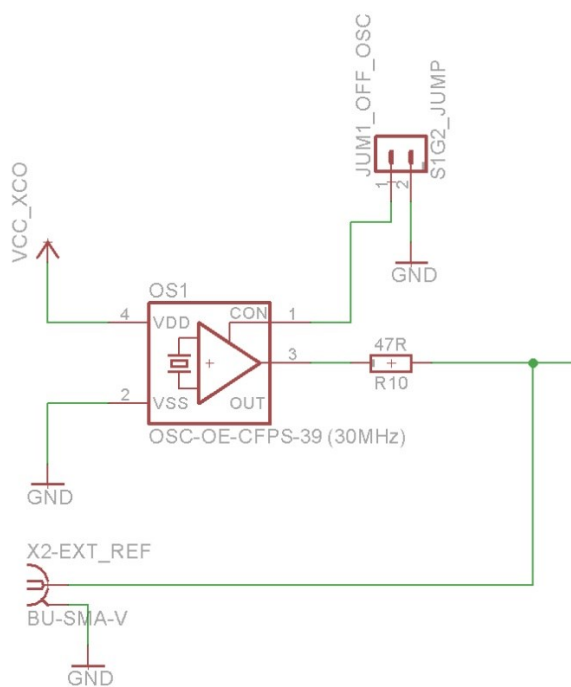
4.2 Návrh generátoru s obvodem AD9851

Návrh schéma a DPS probíhal v prostředí programu EAGLE 7.2.0. V následující podkapitole si projdeme jednotlivé funkční části schémata. Celkem se schéma obecně skládá ze šesti dílčích částí a těmi jsou krystalový oscilátor, napájení struktura pro krystalový oscilátor, syntéza AD9851, dělič napětí, rekonstrukční filtr, externí komparátor. Vzhledem k tomu, že se zde pracuje s frekvencemi i za mimo slyšitelné pásmo a z pohledu elektroniky se již jedná o vř. techniku, bylo nutné pracovat při návrhu DPS s přihlédnutím k této skutečnosti. Předpokladem proto bylo použít dvouvrstvý Fotocuprextit FR4, via propojky a součástky pro povrchovou montáž SMD s rezistory a kondenzátory

typu 1206 a cívkami 0603. Výjimku s montáží skrze DPS tvoří pouze dutinkový konektor 5x2, dvoupinový oboustranný kolík pro jumper a koaxiální konektory SMA. Kompletní schéma pak lze nalézt v Příloha A: včetně seznamu součástek v Příloha B:

4.2.1 Krystalový oscilátor

Prvním podstatným prvkem schémata je krystalový oscilátor. Jedná se o referenční oscilátor udávající pracovní kmitočet syntézy. Z datového listu AD9851 vyplývá, že lze použít buďto krystalový oscilátor s kmitočtem 180MHz nebo využít vestavěného multiplikátoru 6xREFCLK syntézy a použít dostupnější oscilátor s kmitočtem 30MHz k dosažení plného operačního kmitočtu syntézy a to 180MHz. Daní za použití multiplikátoru je obecně zvýšení fázového šumu na výstupu. Tento nárůst je způsoben přenosovou funkcí fázového zesílení 6x (15.5dB) REFCLK multiplikátoru a stejně tak i šumem generovaným interním násobícím obvodem. V našich podmínkách bylo obtížné zakoupit krystalový oscilátor s kmitočtem 180MHz a tudíž bylo nutné přistoupit v tomto případě ke kompromisu a spokojit se 30MHz oscilátorem z řady CFPS-39 a použitím 6xREFCLK multiplikátoru. Zapojení oscilátoru je uvedeno na obrázku níže. Datový list lze nalézt v Příloha I:



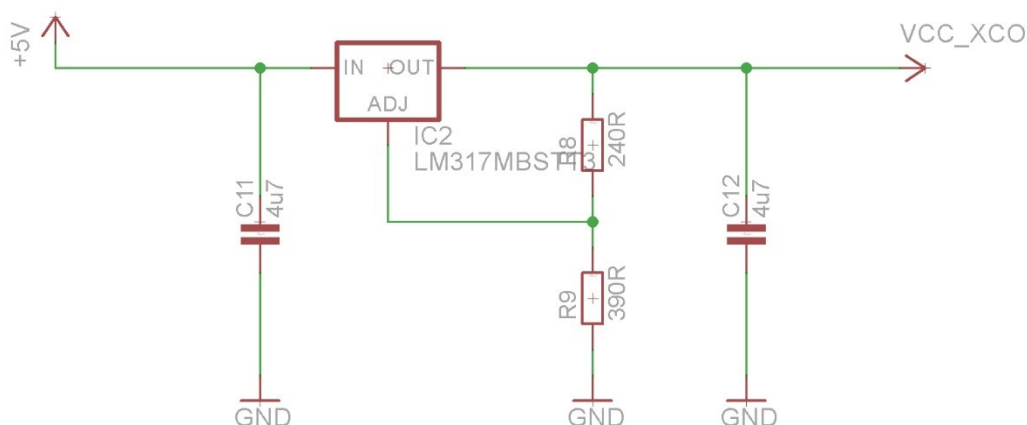
Obrázek 4.1: *Krystalový oscilátor CFPS-39 (30MHz) a jeho zapojení*

Jeho výstup vede do vstupu č. 9 AD9851 označeného jako REFCLK. Propojka JUM1_OFF_OSC umožňuje zakázat výstup oscilátoru a prostřednictvím konektoru SMA přivést externí referenční hodinový signál.

4.2.2 Napájecí struktura pro krystalový oscilátor

Vzhledem k 5V napájení z desky programátoru a 3,3V napájení krystalového oscilátoru bylo nutné použít regulátor lineárního napětí, jenž 5V převede na požadovaných 3,3V v rámci dané DPS. K tomuto účelu byl vybrán LM317EMP s nastavením výstupního rozsahu od 1,2 do 37V s maximem

1A odběru v čtyř pinovém SMD pouzdře typu SOT-223. Zapojení regulátoru je uvedeno na obrázku níže.



Obrázek 4.2: Zapojení regulátoru lineárního napětí LM317EMP

Hodnoty rezistorů jsou dány dle rovnice níže

$$V_{výstup} = 1,25V \left(1 + \frac{R2}{R1} \right) \quad (4.1)$$

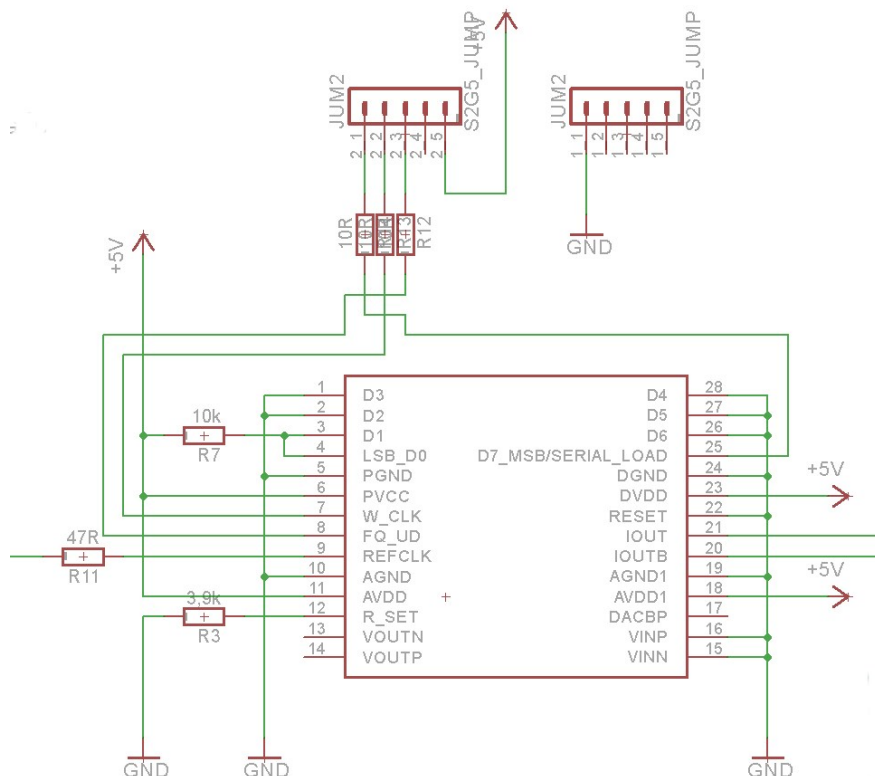
Pakliže R1 je v datovém listu udávána hodnotou 240Ω a námi požadované výstupní napětí má nabývat hodnoty 3,3V, pak dle rovnice 4.1 musí být hodnota rezistoru 393,6 a tedy nejbližší normovaná hodnota je 390Ω. Výstup regulátoru VCC_XCO je přiveden na kladné napájení krystalového oscilátoru.

4.2.3 AD9851 a volba operačního režimu

Jak již bylo uvedeno v předchozích podkapitolách, syntéza AD9851 nabízí dva režimy nahrávání dat a to paralelní a sériový. Abychom vstoupili do sériového režimu je zapotřebí nejprve naprogramovat 8-bit kombinaci xxxxx011 (slovo W0) skrze piny D0 až D7 ve výchozím paralelním režimu. Abychom nemuseli využívat k tomuto účelu datové linky portů programátoru, je tato kombinace napevno zvolena logická 1 pomocí přivedení +5V skrze ochranný rezistor 10kΩ na pin D0 a D1 a logická 0 pomocí připojení na zem u pinů D2 až D6. Pin D7 je již připojen na linku mikrokontroléru, neboť skrze něj se v sériovém režimu provádí přenos 40-bit datového slova do registru syntézy. Externí 3,92kΩ rezistor připojený na zem a do vstupu R_{SET} definuje celý rozsah výstupního proudu D/A převodníku a to 10mA z výstupů IOUT a IOUTB. Hodnotu rezistoru R_{SET} lze v případě potřeby omezení výstupního proudu upravit dle rovnice níže

$$R_{SET} = \frac{39,93}{IOUT} \quad (4.2)$$

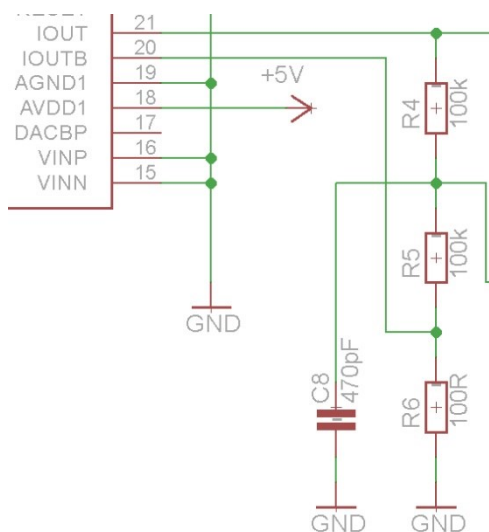
Datové linky pro sériovou komunikaci s mikrokontrolérem jsou vyvedeny do dutinkového konektoru 5x2 přes ochranné 10Ω rezistory. Jedná se o vstupní piny W_CLK, FQ_UD a D7/Serial_load. Obvod využívá společné 5V větve pro napájení jak digitální, tak analogové části. Zapojení je uvedeno na obrázku níže



Obrázek 4.3: AD9851 v sériovém módu

4.2.4 Pasivní dělicí obvod

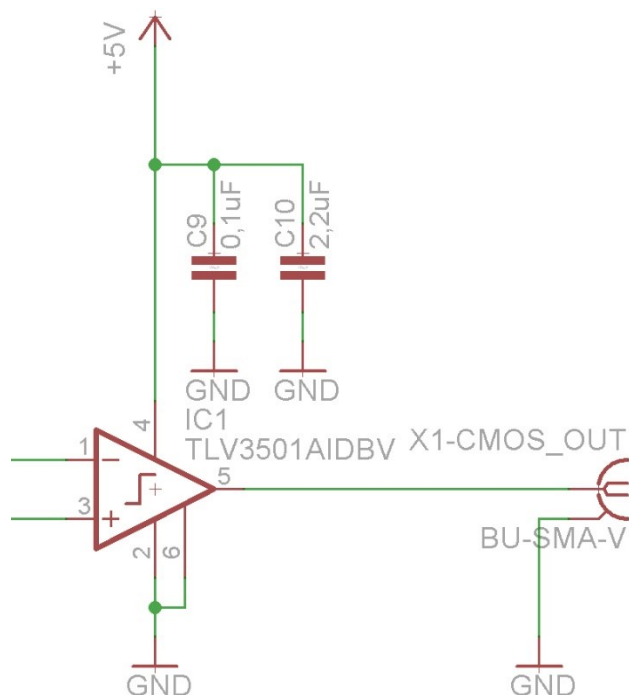
Proudové výstupy D/A převodníku IOUT a IOUTB jsou rovnoměrně zatíženy rezistorem 100Ω. Dva 100kΩ rezistory vzorkují výstup a průměrují obě napětí, jedná se o pasivní dělicí obvod a napětí zde odpovídá středovému bodu sinusového průběhu (typicky 0,5V). Výsledek je filtrován 470pF kondenzátorem a přiveden na vstup externího komparátoru sloužící jako prahová DC spínací úroveň. Zapojení děliče je uvedeno na obrázku níže



Obrázek 4.4: Pasivní dělicí obvod s 0,5V středem

4.2.5 Externí komparátor TLV3501

Sinusový výstup D/A převodníku je po průchodu filtrem následně přiveden do zbývajících vstupů externího komparátoru. Komparátor je spouštěn s 50% střídou v okamžiku, kdy sinusoida střídavě prochází přes středový prahový bod. I když syntéza AD9851 obsahuje integrovaný komparátor s obdélníkovým výstupem, nebyl v tomto návrhu na doporučení v datovém listu využit. V datovém listu je doporučeno pro optimální omezení jitteru využít vysokorychlostního externího komparátoru, neboť integrovaný komparátor je vystaven rušení v čipu způsobeného digitálním prostředím. Jako externí komparátor byl vybrán obvod TLV3501 firmy Texas Instruments v provedení pro povrchovou montáž s pouzdrém SOT-23. Jedná se o vysokorychlostní komparátor s prodlevou šíření 4,5ns s výstupem vhodným jak pro CMOS, tak TTL logiku. V pouzdrě je umístěn pouze jeden komparátor v porovnání s verzí TLV3502, jenž obsahuje tyto komparátory celkem dva. Komparátor lze napájet v rozsahu 2,7V až 5,5V, takže lze použít 5V napájení zároveň jak pro syntézu, tak pro komparátor. Komparátor v jednotné verzi je navíc doplněn o funkci shutdown, která ovšem v tomto návrhu využita nebyla a proto je shutdown pin přiveden na zem. Návrh dále zahrnuje dva blokové kondenzátory a výstup komparátoru je vyveden na konektor SMA. Na kladný vstup je přiveden výstup z rekonstrukčního filtru a na záporný hodnota napětí z pasivního dělicího obvodu, jenž určuje onu 50% střídu signálu. Schématické zapojení je vyobrazeno na obrázku níže. Datový list komparátoru lze nalézt v Příloha H:



Obrázek 4.5: Zapojení externího komparátoru TLV3501

4.2.6 Rekonstrukční filtr

Z datového listu AD9851 plyne doporučení, že při použití syntézy za účelem hodinového generátoru je vhodné omezit výstupní frekvenci na 40% z referenčního 180MHz hodinového signálu (tedy na přibližně 70MHz). Je to nutné zejména z důvodu vyhnutí se vytváření zkreslených signálů, jenž by byly příliš blízko pásmu zájmu (obecně dc složka při nejvyšší zvolené výstupní frekvenci,

kerou je třeba odfiltrovat). Z výše uvedeného nám tedy vychází parametry pro návrh filtru. Propustné pásmo $F_p = 180\text{MHz}$, zlomový kmitočet $F_M = 70\text{MHz}$, zvlnění v propustném pásmu $K_{ZVL} = 0,5\text{dB}$, vstupní a výstupní impedance filtru 200Ω . Následující princip výpočtů vychází z [2].

Útlum filtru v nepropustném pásmu se vypočte jako následující

$$K_{POT} = 20 \log(\sqrt{1,5} \cdot 2^{B+1}) = 20 \log(\sqrt{1,5} \cdot 2^{13}) = 80\text{dB} \quad (4.3)$$

Kmitočet potlačení pak

$$F_{Pn} = \frac{F_p}{F_M} = \frac{180 \cdot 10^6}{70 \cdot 10^6} = 2,571 \quad (4.4)$$

Z těchto dvou rovnic a dle katalogu pro návrh přičkových filtru RLC z [3] jsem získal hodnoty prvků pro Cauerův filtr 7. řádu jako následující

Tabulka 4.1: Tabulkové hodnoty - Cauerův filtr 7.řádu

Prvek	c1	l2	c2	c3	l4	c4	c5	l6	c6	c7
Hodnota	1,6626	1,1864	0,087	2,2329	1,0038	0,4193	2,0873	1,0222	0,2897	1,4874

Výpočet koeficientů se pak provede jako

$$K_C = \frac{1}{2\pi F_M R} = \frac{1}{2\pi \cdot 70 \cdot 10^6 \cdot 200} = 1,1368 \cdot 10^{-11} \quad (4.5)$$

$$K_L = \frac{R}{2\pi F_M} = \frac{200}{2\pi \cdot 70 \cdot 10^6} = 4,5473 \cdot 10^{-7} \quad (4.6)$$

Příklad výpočtu obvodových prvků

$$C_1 = c_1 \cdot K_C = 1,6626 \cdot 1,1368 \cdot 10^{-11} = 18,90\text{pF} \quad (4.7)$$

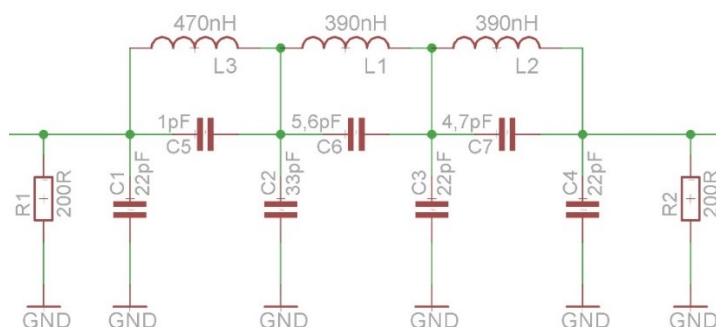
$$L_2 = l_2 \cdot K_L = 1,1864 \cdot 4,5473 \cdot 10^{-7} = 539,49\text{nH} \quad (4.8)$$

Tabulka 4.2 pak ukazuje vypočtené hodnoty pro všechny obvodové prvky se zaokrouhlením do řady E12.

Tabulka 4.2: Hodnoty jednotlivých obvodových prvků filtru

Prvek	C1 [pF]	L2 [nH]	C2 [pF]	C3 [pF]	L4 [nH]	C4 [pF]	C5 [pF]	L6 [nH]	C6 [pF]	C7 [pF]
Vypočtená hodnota	18,90	539,49	0,98	25,38	456,46	4,77	23,73	464,83	3,29	16,91
Zaokrouhlení řada E12	22	470	1	33	390	5,6	22	390	4,7	22

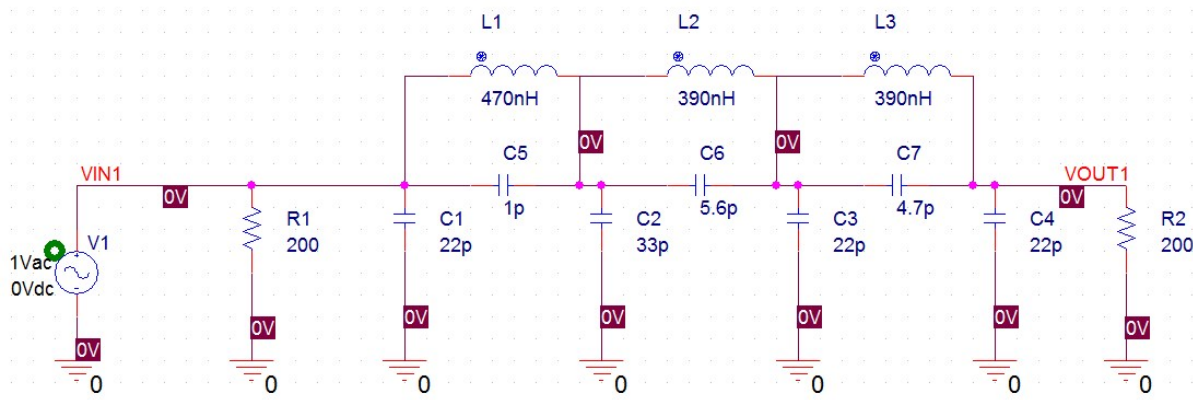
Filtr je pak reprezentován následujícím schématickým zapojením



Obrázek 4.6: Eliptický filtr 7.řádu ve schématickém návrhu EAGLE 7.2.0

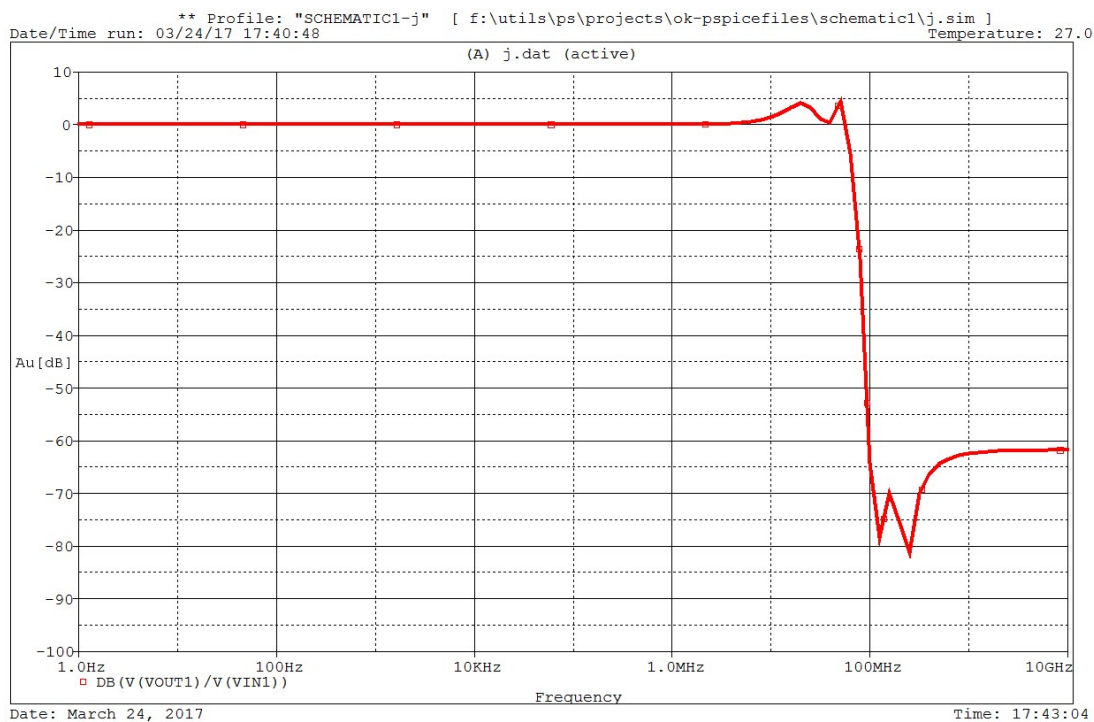
Návrh generátoru obdélníkového signálu s DDS

Simulace filtru byla provedena v programu OrCAD PSpice 17.2. Při návrhu v prostředí OrCAD bylo potřeba dbát, aby vložené prvky včetně zemí vycházely z knihovny prvků simulace PSpice, nikoliv z knihovny OrCAD. Pro simulaci bylo nutné vložit zdroj rozmítaného napětí generátor VAC a upravit parametry simulace, konkrétně nastavení typu rozmítání AC jako následující: Dekadické logaritmické měřítko, počáteční frekvence 1Hz, konečná frekvence 10GHz s počtem 10 bodů na dekádu. Podoba simulovaného zapojení v programu OrCAD je uvedena na obrázku níže.



Obrázek 4.7: Simulované zapojení filtru v prostředí OrCAD PSpice 17.2

Ještě před samotným vytvořením simulačního profilu bylo nutné označit propojení od zdroje VAC jako VIN1 a propojení u rezistoru R2 a kondenzátoru C4 jako VOUT1. Toto je podstatné zejména pro provedení samotné simulace v PSpice. Následně bylo zapotřebí vytvořit simulační profil a spustit simulaci. V programu PSpice bylo následně potřeba přes příkaz Trace definovat samotný průběh k zobrazení, konkrétně s parametrem $DB(V(VOUT1)/V(VIN1))$. Tento parametr definuje vykreslení

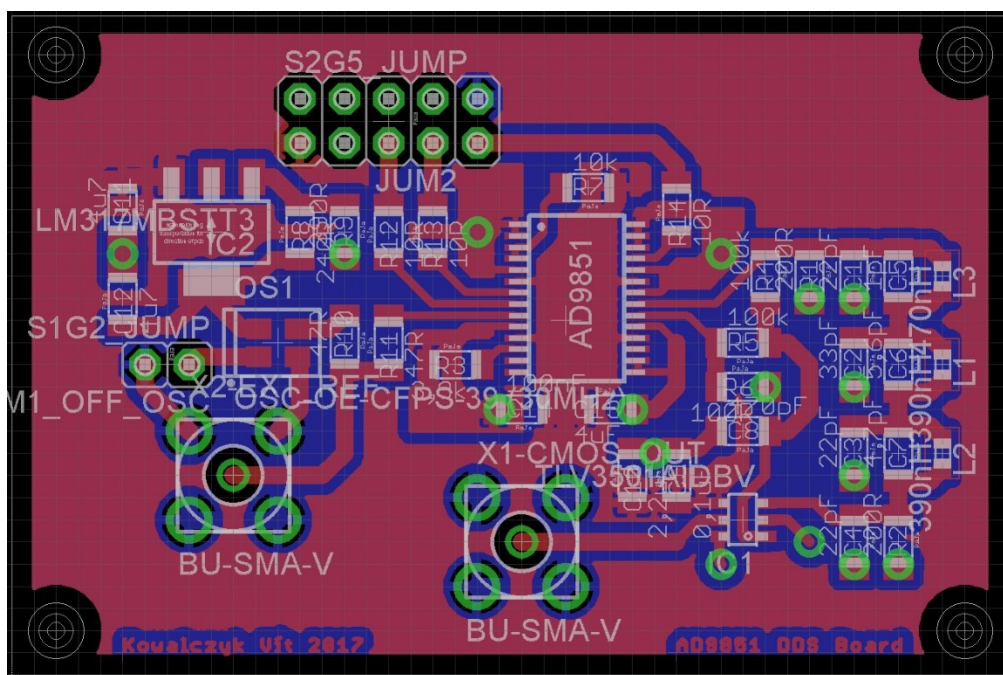


Obrázek 4.8: Výstup simulace PSpice - modulová charakteristika filtru

velikosti přenosové funkce $20\log\left(\frac{V_{OUT1}}{V_{IN1}}\right)$. Výsledkem pak bude modulová charakteristika filtru uvedená na obrázku 4.8 výše. Z výstupu lze vidět, že propustné pásmo disponuje minimálním zvlněním a zlomová frekvence činí žádaných 70MHz. Nepropustné pásmo je potlačeno o zhruba 62dB. Pro kompletnost je pak výstup simulace pro fázovou charakteristiku filtru uveden v Příloha F: .

4.2.7 Deska plošných spojů

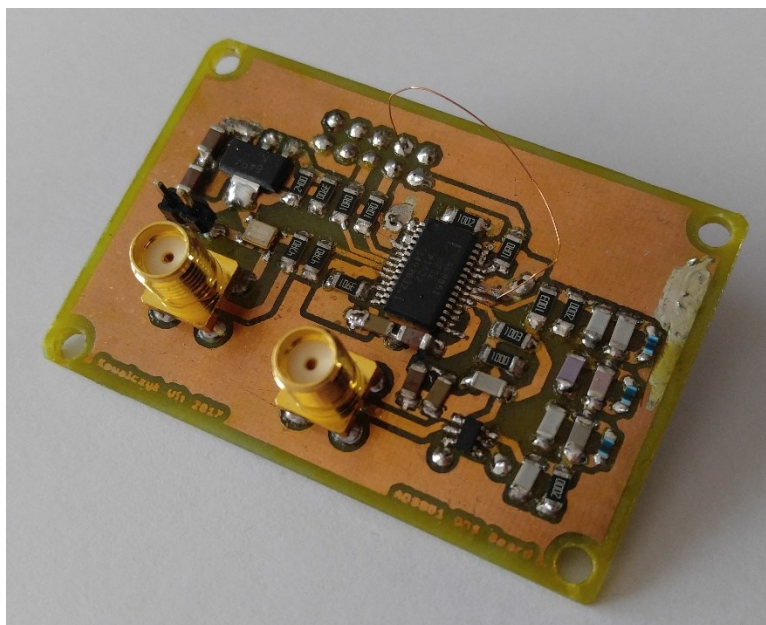
Z výše uvedených schématických struktur bylo potřeba vytvořit desku plošných spojů. Při návrhu bylo už z počátku nutné počítat s co největší plochou pro zem a pro napájení. Spodní strana desky (modrá) představuje polygon země a vrchní strana (červená) polygon napájení +5V. Vzhledem k umístění země na spodní stranu desky se nabízelo využít prokovené propojky via, které v potřebných místech propojují zem na vrchní stranu. Výrazně se tímto celý návrh zefektivní. Na vrchní straně byly také vytvořeny polygony země - zejména u samotného obvodu syntézy a všude tam, kde to bylo možné. Zároveň bylo nutné vyvarovat se vedení digitálních cest pod obvodem syntézy, jenž by zvyšovaly rušení. V dalším přístupu návrh vychází z doporučení datových listů v Příloha G: a Příloha H: , zejména co se týče umístění blokovacích kondenzátorů co nejbližže pouzdra syntézy a v případě komparátoru ideálně v pořadí od nejnižší hodnoty kapacity. Výsledné rozměry desky jsou 57x38mm.



Obrázek 4.9: DPS syntézy v programu EAGLE 7.2.0

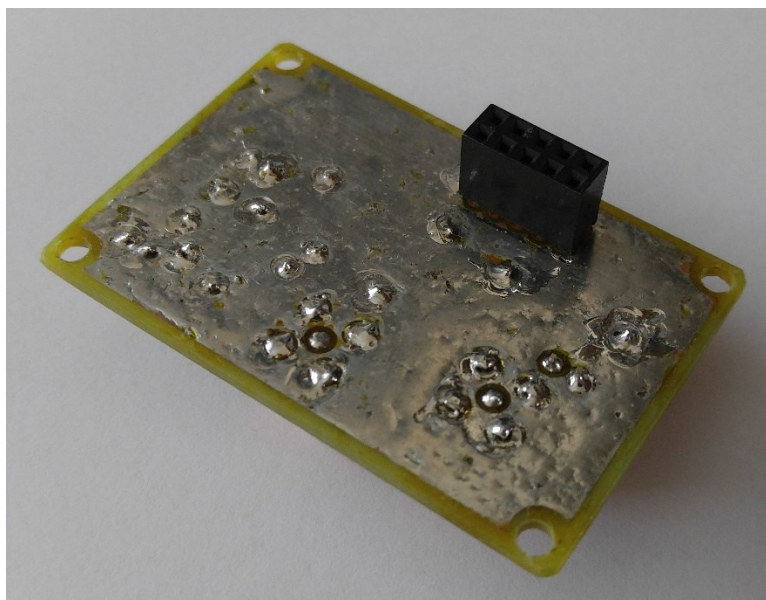
Při ožiování uvedené desky nastalo několik potíží. Prvním problémem bylo spojení vývodu 17 - DACBP s vývodem 18 - AVDD1 na pouzdrě syntézy TSSOP28 vlivem pájení. Vývod 17 má být ponechán bez zapojení a udává referenční napětí pro D/A převodník. Tímto bylo na výstupu komparátoru +5V ve všech stavech. Po opravě tohoto problému se obvod nehledě na programové vybavení dostával do tzv. factory mode a tedy módu, kdy již dále nereaguje na jakékoliv vnější impulzy a z tohoto stavu jej lze dostat pouze aktivací reset pinu. Příčinou byl stav log.1 na všech pinech portu programátoru po jeho resetu a tímto nechtěná aktivace FQ_UD při neznámém obsahu registru syntézy, došlo tak k zápisu nevalidních hodnot a k upadnutí obvodu do factory módu. Bohužel při návrhu s reset pinem nebylo počítáno a musel jsem přistoupit k neefektivnímu přidání drátové

propojky na pin 22 syntézy a dutinkového konektoru. Inicializační sekvenci programu jsem následně doplnil o sekvenci resetu obvodu a od tohoto okamžiku byl již návrh bez HW problémů. Osazená a HW funkční DPS vybavená o výše zmíněnou propojku je zobrazena na obrázku 4.10 a 4.11 níže.



Obrázek 4.10: Osazená DPS vrchní strana včetně drátové propojky

Spodní strana DPS byla záměrně pocínována z důvodu snadnější aplikace prokovených via propojek na vrchní stranu DPS.



Obrázek 4.11: Osazená DPS spodní strana - strana země GND

4.2.8 Programátor AT89S52 - vývojový prostředek SDK8252

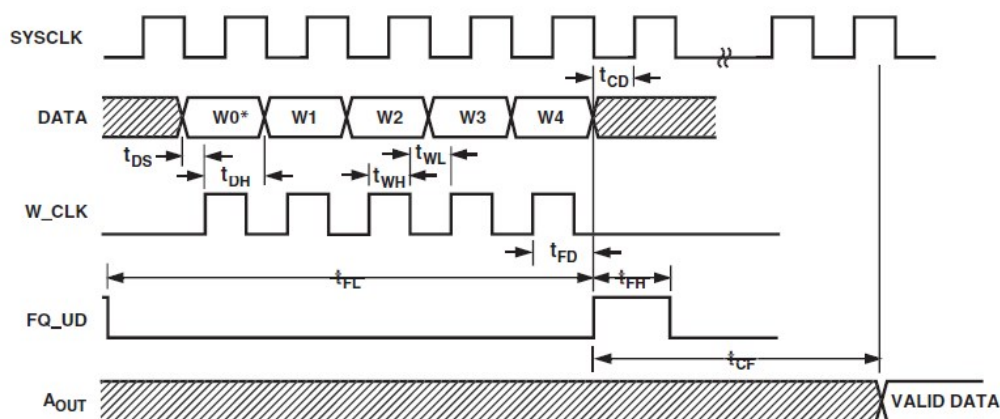
Jedná se o vývojový prostředek uzpůsobený pro použití s procesorem AT89S52. Disponuje celkem porty P0 až P3 s limitovaným počtem linek na portu P1. Pro DPS se syntézou byl vyhrazen

port P0, port P2 byl osazen LCD 2x16 s kompatibilním řadičem s HD44780 pro zobrazení aktuální frekvence a port P3 osazen osminásobným DIP přepínačem pro volbu naprogramovaných frekvencí. Samotný program pro syntézu a přípravku byl psán v jazyce C v prostředí Keil uVision5 a zkompileovaný soubor.hex naprogramován prostřednictvím programu SDK51.exe s přenosem skrze adaptér usb na sériový COM port. Program SDK51.exe bylo nutné mít i po naprogramování po celou dobu práce s přípravkem spuštěný, neboť jinak je procesor uveden do stavu resetu. Kompletní schéma programátoru SDK8252 lze nalézt v Příloha D: včetně rozvržení DPS v Příloha E:

4.2.9 Popis komunikace a registru AD9851

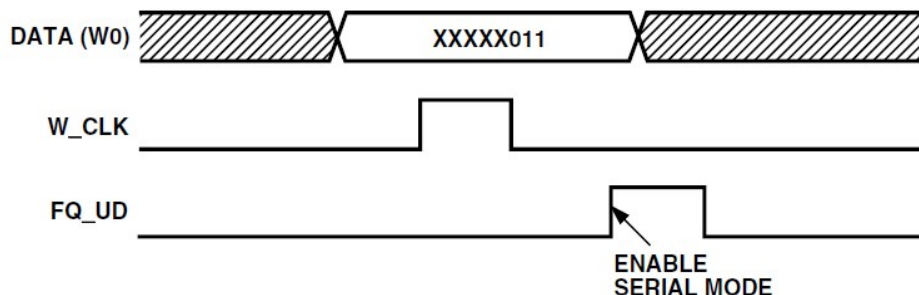
Syntéza AD9851 umožňuje celkem dva módy komunikace s mikrokontrolérem. Jak už bylo zmíněno v přechozích kapitolách, jedná se o mód paralelní a mód sériový. V této podkapitole si blíže popíšeme komunikační protokoly obou zmíněných módů.

V paralelním módu je 40-bit informace rozdělena do celkem pěti 8-bit slov W0 až W4. V paralelním režimu se tudíž využívá 8-bit datové sběrnice realizované prostřednictvím pinů D0 (LSB) až D7 (MSB). Prvních 32-bit tvoří frekvenční slovo, následuje bit pro aktivaci 6x REFCLK multiplikátoru referenčního hodinového kmitočtu, kontrolní bit vždy ve stavu log. 0, bit pro aktivaci režimu nízké spotřeby a posledních 5-bit tvoří fázové slovo. Komunikaci pro zápis 40-bit slova blíže popisuje obrázek níže



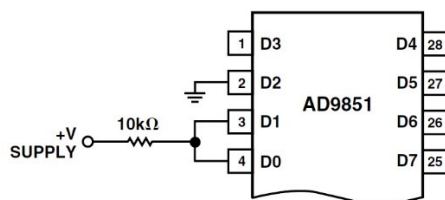
Obrázek 4.12: Paralelní režim a přenos 5x8bit datového slova

Na piny D0 (nejméně významný bit LSB) až D7 (nejvýše významný bit MSB) je přivedena 8-bit informace, která tvoří jedno z pěti slov W. Následně je hodinový signál W_CLK nastaven na log. 1 a vrací se zpět na log. 0. Na piny syntézy je posléze přivedena nová 8-bit informace reprezentující další slovo W a proces se opakuje až do posledního slova W4. Zde následuje po poslední změně stavu W_CLK změna stavu FQ_UD (změna frekvence) do log.1 a po návratu na log.0 je zápis do registru dokončen. Pokud zápis proběhl v pořádku, pak lze na výstupu očekávat zadanou hodnotu frekvence a fáze (včetně nastavení funkcí kontrolních bitů). Paralelní mód vyžaduje v porovnání se sériovým módem použití většího počtu vývodů kontroléru, což může být v některých případech nežádoucí. Proto syntéza nabízí i sériový režim. Po resetu se syntéza nachází mimo jiné v paralelním režimu programování a pro aktivaci sériového režimu je potřeba provést nejprve paralelní zápis předepsaného 8-bit slova skrze piny D0 až D7. Proces aktivace sériového režimu popisuje obrázek níže



Obrázek 4.13: Proces aktivace sériového režimu programování

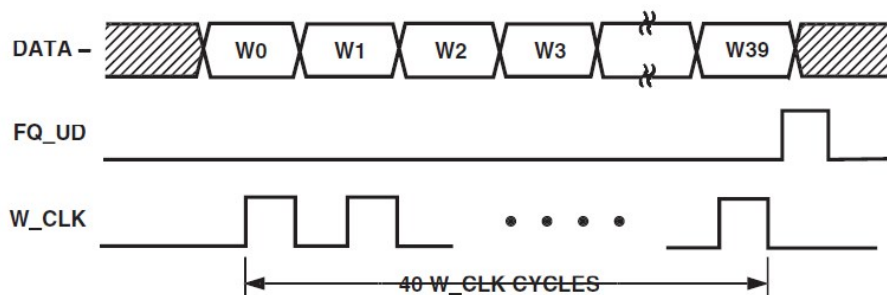
Proces spočívá v zapsání 8-bit kombinace xxxxx011, kde x reprezentuje hodnotu libovolnou a tudíž nezáleží na jejím log. stavu. Tuto kombinaci lze nastavit napevno přivedením vývodů D0 a D1 přes rezistor na napájení +5V a D2 na zem jak zobrazuje obrázek 4.14. Zbylé vývody D3 až D6 lze ponechat nezapojeny nebo lépe připojit na zem, jak bylo ostatně provedeno v schématickém zapojení na obrázku 4.3. Vývod D7 pak slouží pro samotný sériový zápis 40-bit datového slova.



Obrázek 4.14: Nastavení 8-bit slova xxxxx011

Následný proces nahrání slova do registru je jinak téměř identický s paralelním režimem a po nastavení dané 8-bit kombinace je aktivován hodinový signál W_CLK a po jeho zpětném stažení do stavu log. 0 je aktivován signál frekvenční změny FQ_UD. Od tohoto okamžiku pracuje syntéza AD9851 v sériovém režimu programování.

Sériový režim programování se skládá z přenosu 40-bit slova po jednotlivých bitech W0 až W39 počínaje nejméně významným. Vždy po přivedení bitu na port D7 následuje změna log. stavu hodinového signálu W_CLK do úrovně 1 a po návratu zpět na úroveň 0 lze pokračovat v zápisu dalšího bitu. Proces se opakuje až do bitu W39, kde je změna obsahu registru potvrzena změnou log. stavu signálu FQ_UD na úroveň log. 1 a zpět na log. 0. Celý proces sériového zápisu do registru ilustruje obrázek 4.15



Obrázek 4.15: Sériový režim a přenos 40-bit slova po bitu

4.2.10 Výpočet frekvence a nastavení registru AD9851

Syntéza obsahuje 40-bitový registr pro nastavení frekvence, fáze a funkčních bitů. Z čehož 32-bitů slouží pro nastavení frekvence. K výpočtu hodnoty slova odpovídající požadované frekvenci se využívá rovnice 4.9 níže

$$f_{\text{výstupní}} = \frac{(\Delta \cdot Ref)}{2^{32}} \quad (4.9)$$

, kde $f_{\text{výstupní}}$ je hodnota požadované výstupní frekvence, Δ představuje dekadickou hodnotu 32-bit frekvenčního slova a Ref je hodnota v MHz referenčního hodinového signálu (přímá hodnota vstupního referenčního signálu nebo hodnota reference po vynásobení 6x REFCLK multiplifikátorem v případě jeho použití).

Předpokládáme použití multiplifikátoru a krystalového oscilátoru o hodnotě 30MHz, pak $Ref = 6 \cdot 30MHz = 180MHz$ a požadovanou výstupní frekvenci 1MHz. Po úpravě vztahu 4.9 je jedinou neznámou Δ , jejíž dekadickou hodnotu potřebujeme zapsat do registru.

$$\Delta = \frac{f_{\text{výstupní}} \cdot 2^{32}}{Ref} \quad (4.10)$$

Následné dosazení hodnot a získání dekadické hodnoty

$$\Delta = \frac{1 \cdot 2^{32}}{180} = 23860929,42 \quad (4.11)$$

Zaokrouhlení výsledku a převod do hexadecimální soustavy

$$\Delta = 23860929_D \rightarrow 16C16C1_H \quad (4.12)$$

V sériovém režimu programování je pak výsledek zapsán v binární podobě od nejméně významného bitu W0 až po nejvýše významný bit W31. V případě potřeby je binární tvar výsledku doplněn nulami zleva tak, aby byl zapsán do 32-bit vymezeného slova. Následují tři bity kontrolní a pět bitů nastavení fáze. Zápis je nutno vždy provést pro celý obsah 40-bit registru. Celkové složení registru v sériovém režimu pak zobrazuje tabulka níže

Tabulka 4.3: Struktura registru AD9851 v sériovém režimu

bit	funkce						
W0	frek-b0 (LSB)	W10	frek-b10	W20	frek-b20	W30	frek-b30
W1	frek-b1	W11	frek-b11	W21	frek-b21	W31	frek-b31 (MSB)
W2	frek-b2	W12	frek-b12	W22	frek-b22	W32	6x REFCLK
W3	frek-b3	W13	frek-b13	W23	frek-b23	W33	log. 0*
W4	frek-b4	W14	frek-b14	W24	frek-b24	W34	Power-Down
W5	frek-b5	W15	frek-b15	W25	frek-b25	W35	Fáze-b0 (LSB)
W6	frek-b6	W16	frek-b16	W26	frek-b26	W36	Fáze-b1
W7	frek-b7	W17	frek-b17	W27	frek-b27	W37	Fáze-b2
W8	frek-b8	W18	frek-b18	W28	frek-b28	W38	Fáze-b3
W9	frek-b9	W19	frek-b19	W29	frek-b29	W39	Fáze-b4 (MSB)
							*vždy stav logické 0

Bit W32 v případě log. 1 aktivuje funkci 6x REFCLK multiplifikátoru, Bit W33 musí být vždy ve stavu log. 0 za všech okolností. V případě chybného zápisu a vyskytnutí log. 1 na místě bitu W33 jsou data

nekonzistentní a obvod aktivuje factory test mode a je nutný reset obvodu. Bit W34 ve stavu log. 1 aktivuje funkci power-down a obvod přechází do režimu nízké spotřeby.

4.2.11 Zdrojový kód

V této podkapitole si rozebereme inicializaci obvodu AD9851 a další programové struktury nutné pro úspěšný zápis do registru obvodu a jeho funkci.

V hlavní funkci programu main() je potřeba ze všeho nejdříve provést aktivaci sériového režimu programování. To se provede zavoláním funkce serialmode().

```
void serialmode()  
{  
    //vstup do serioveho modu  
    W_CLK=0;                //vynulovani  
    FQ_UD=0;                //vynulovani  
    RESET=0;  
  
    W_CLK=1;  
    W_CLK=0;  
    FQ_UD=1;                //ENABLE SERIAL MODE  
    FQ_UD=0;  
}
```

Funkce provede sekvenci popsanou na obrázku 4.13. Na vstupech obvodu D0 až D7 se nachází kompatibilní kombinace s xxxxx011. Reset programátoru způsobí nastavení všech signálů na úroveň log. 1 a tudíž je potřeba nejprve nastavit signály W_CLK a FQ_UD na log. 0 a následně až aktivovat obvod nastavením signálu RESET na log. 0. K aktivaci sériového režimu pak již stačí provést změnu úrovně signálu W_CLK a celý proces zakončit aktivací signálu FQ_UD. Nyní je možno s obvodem pracovat v sériovém režimu.

Kromě funkcí pro počáteční zpoždění a inicializace 2x16 LCD displeje je ve funkci main() přítomna struktura switch(cmd), jenž rozhoduje o změně frekvence na základě získané kombinace cmd z osminásobného dipu. Uvedme si, jak vypadá taková obsluha, pakliže je na dipu nastavena kombinace 11110111b a tedy odpovídající dekadické hodnotě 247.

```
case 247: {                //1111 0111  
    ddswrite(0x16C16C1,0x09);  
    wait(10);  
    LCDrow();  
    printf("    1.000 MHz    ");  
    while(cmd==dip())
```

```
        {  
            wait(50);  
        }  
}; break;
```

V tomto případě je nejprve zavolána funkce `ddswrite(unsigned long deltaphase, unsigned long mltpphase)` se vstupy bezznaménkového datového typu `long`. Tato funkce provádí samotný zápis do registru obvodu a bude popsána podrobněji níže. První vstupní proměnou tvoří číslo Δ v hexadecimálním tvaru o 32-bit a jeho hodnota vychází z rovnice 4.12. Druhou vstupní proměnou tvoří posledních 8-bit pro nastavení funkčních bitů a fáze. V dalším kroku je vyžádáno zpoždění a výpis konkrétní hodnoty frekvence na druhý řádek LCD displeje.

Bez návratovou funkci `ddswrite(unsigned long deltaphase, unsigned long mltpphase)` jsme si uvedli již v odstavci výše a nyní si jí popíšeme blíže. Její podoba je následující

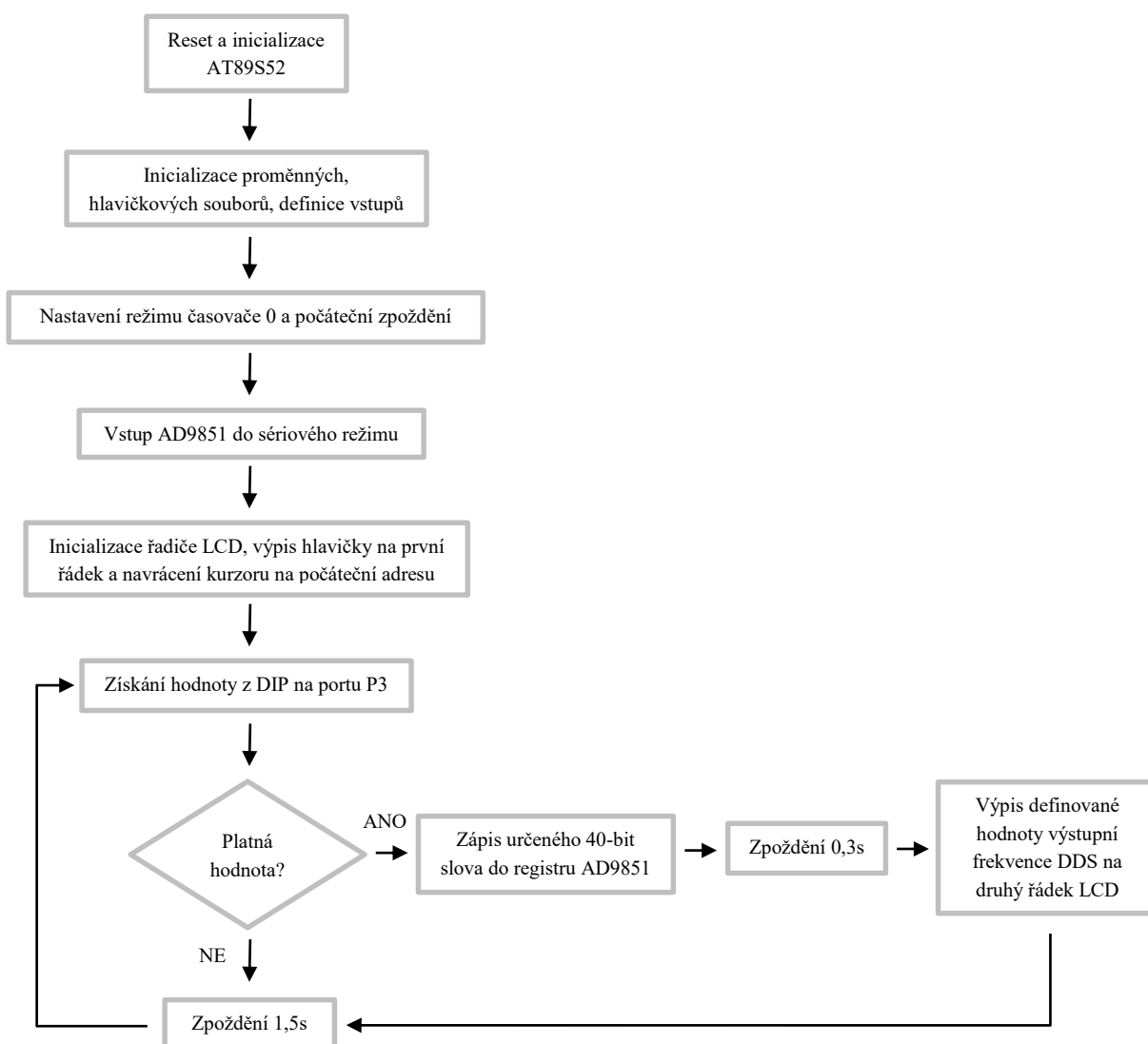
```
void ddswrite(unsigned long deltaphase, unsigned long mltpphase)  
{  
    int i=0;  
    unsigned long pointer= 0x01;  
    for (i=0;i<32;i++)  
    {  
        if ((deltaphase&pointer)>0)  
        {  
            DATA=1;  
            cekej(10U);  
            W_CLK=1;  
            cekej(10U);  
            W_CLK=0;  
        }  
        else  
        {  
            DATA=0;  
            cekej(10U);  
            W_CLK=1;  
            cekej(10U);  
            W_CLK=0;  
        }  
    }  
}
```

```
        pointer=pointer<<1;
    }
    pointer= 0x01;
    for (i=0;i<8;i++)
    {
        if ((mltphase&pointer)>0)
        {
            DATA=1;
            cekej(10U);
            W_CLK=1;
            cekej(10U);
            W_CLK=0;
        }
        else
        {
            DATA=0;
            cekej(10U);
            W_CLK=1;
            cekej(10U);
            W_CLK=0;
        }
        pointer=pointer<<1;
    }
    cekej(10U);
    FQ_UD=1;
    cekej(10U);
    FQ_UD=0;
}
```

Nejprve je vytvořen pointer rovněž datového typu unsigned long v hexadecimálním zápisu 0x01. Nastín možnosti řešení problému pomocí pointeru a nikoliv pomocí pole pochází z [6]. Hlavní podmínka využívá funkce bitového násobení a ověřuje, zda $(\text{deltaphase}\&\text{pointer})>0$. Podmínka je platná tehdy, když bitový součin frekvenčního slova a pointeru je větší jak 0 a do registru bude zapsána log. 1. Bude-li součin nulový, je do registru zapsána log. 0. Následně je využita funkce posun vlevo a hodnota 0x01 pointeru je zprava doplněn nulou. Jeho následující hodnota bude tedy 0x10 atd.

Celý proces se opakuje celkem 32krát tak, aby bylo frekvenční slovo zapsáno do registru bit po bitu. Stejného principu je využito i u následujících 8-bit pro funkční bity a hodnotu fáze. Celkově se tedy vyše 40-bit datové slovo a změna obsahu registru je potvrzena změnou stavu signálu FQ_UD (frequency update). Nyní je přenos po třívodičové sběrnici ukončen. Pakliže byly zapsány do registru validní data, bude na výstupu D/A převodníku požadovaná hodnota.

Byly zde popsány pouze hlavní funkce potřebné pro volbu frekvence, volbu sériového režimu syntézy a sériový zápis 40-bit datového slova do registru. Kompletní program včetně funkce pro ošetření zákmitů tlačítkového dipu, funkce realizující zpoždění, obsluha přerušení čítače, nastavení režimu čítače, upravený program MLCD.C z [4] pro přímou obsluhu LCD displeje o funkci změny zápisu na 2 řádek dvouřádkového 2x16 LCD a hlavičkový soubor MLCD.h z [4] včetně celého programu jsou k dispozici v Příloha J: . Blokové schéma programu je k dispozici níže.



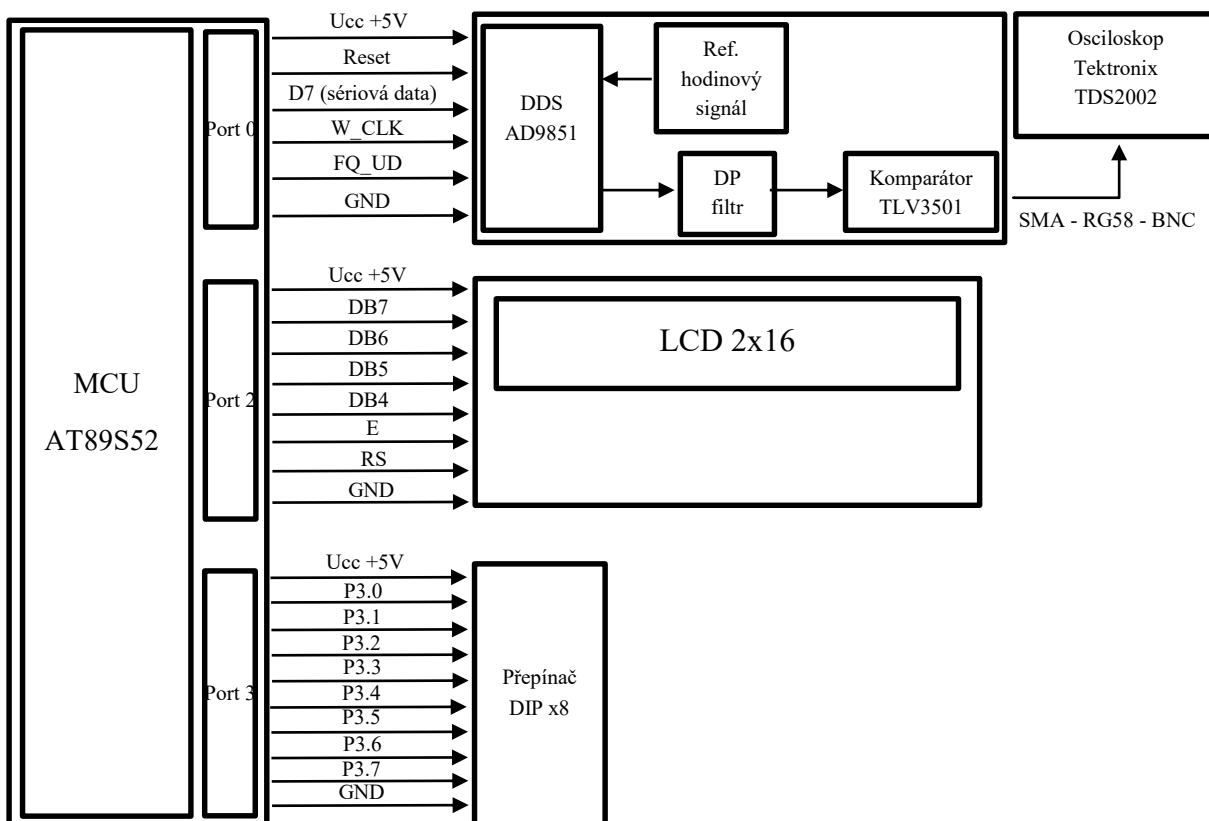
Obrázek 4.16: Blokové schéma programu

Platná hodnota je dekadická hodnota 8-bit kombinace na přepínači DIP. V tomto případě se jedná o hodnoty 127, 159, 191, 223, 239, 247 a 254. Hodnotám pak odpovídají předdefinované frekvence 24,576 MHz; 12,288 MHz; 2 MHz; 500 kHz; 49,152 MHz; 1 MHz a 11.2896 MHz. Z demonstračních

důvodů byly tedy k předpokladům návrhu přidány frekvence 1 MHz, 2MHz a 500kHz. Hodnoty jednotlivých slov pro zápis do registru jsou pak následující (uvedeno v hexadecimálním tvaru): 22F3D93A, 1179EC9D, 2D82D83, B60B61, 45E7B273, 16C16C1 a 100E6AFD.

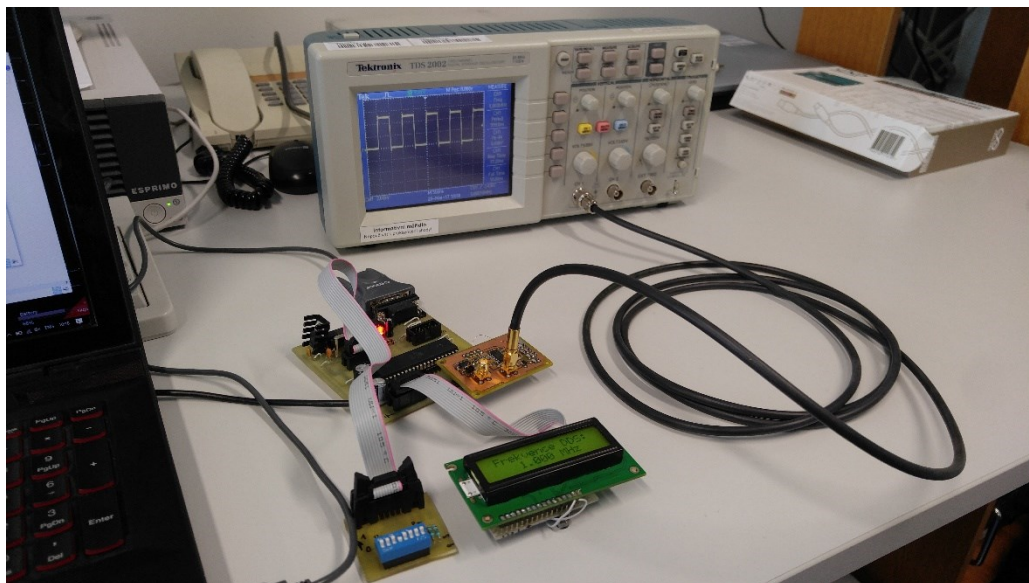
4.2.12 Měření

Měření výstupního signálu bylo realizováno prostřednictvím připojeného osciloskopu Tektronix TDS2002. Osciloskop byl propojen s přípravkem kabelem typu RG-52 s koncovkami SMA a BNC. Blokové schéma měření a strukturu přípravku vyobrazuje obrázek 4.17. Při změně kombinace na přepínači DIP a tedy změně dekadického hodnoty na portu 3 docházelo k změně výstupní frekvence DDS v předem daném rozsahu možných hodnot. Měřené hodnoty byly následující 11.2896 MHz, 12,288 MHz, 24,576 MHz, 49,152 MHz a 500 kHz, 1 MHz, 2 MHz. První skupina hodnot vychází z požadavku ze zadání. Lze ověřit jak přesnost nastavení frekvence, tak i chování výstupu v téměř celém výstupním rozsahu. Druhá skupina hodnot demonstruje chování výstupu při nízkých hodnotách z rozsahu zařízení.



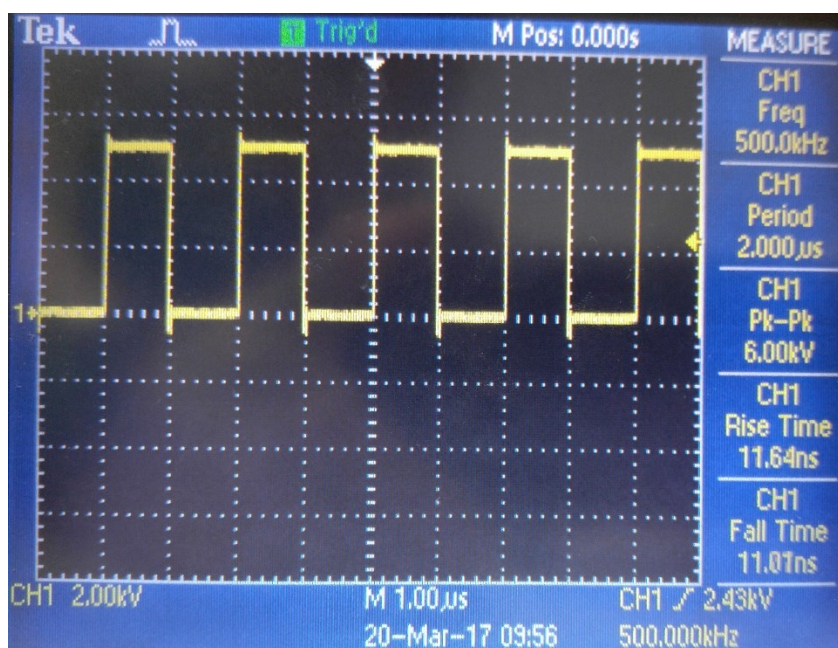
Obrázek 4.17: *Blokové schéma měření a struktura přípravku*

Přípravek se skládal z programátoru s mikrokontrolérem AT89S52, na portu 0 byla připojena DPS se syntézou AD9851 s výstupem do osciloskopu TDS2002, na portu 2 byl připojen dvouřádkový LCD displej pro zobrazení aktuálně nastavené frekvence a na portu 3 byl připojen přepínač DIP pro volbu kombinace odpovídající dané frekvenci. Ve schématu jsou zároveň uvedeny veškeré datové linky a napájení mezi jednotlivými bloky tak, aby sloužilo zároveň jako popis celé struktury přípravku. Reálné měřicí pracoviště s funkčním přípravkem je zachyceno na obrázku 4.18.



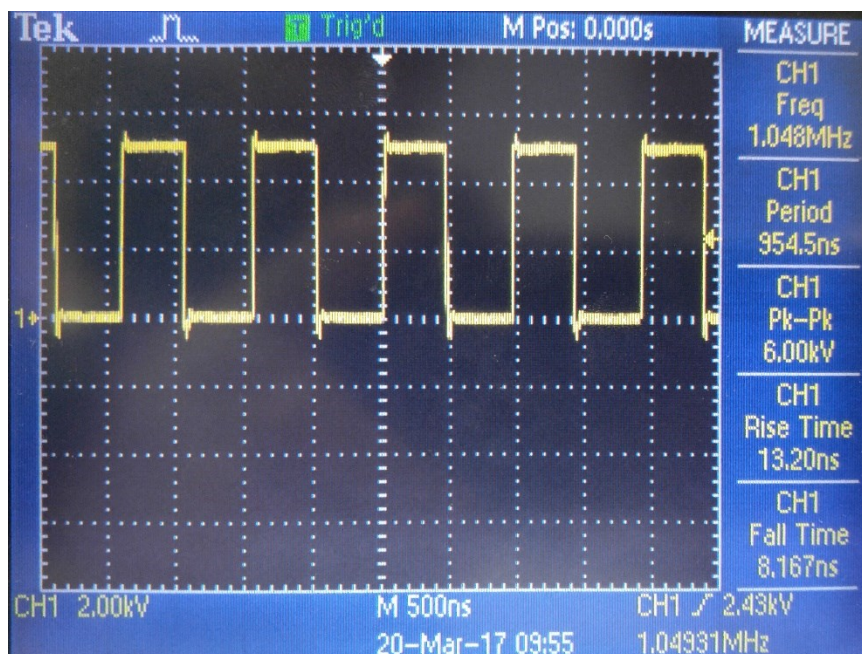
Obrázek 4.18: Pracoviště při probíhajícím měření

Výsledky měření jsou uvedeny v pořadí od nejnižší nastavené frekvence jako následující



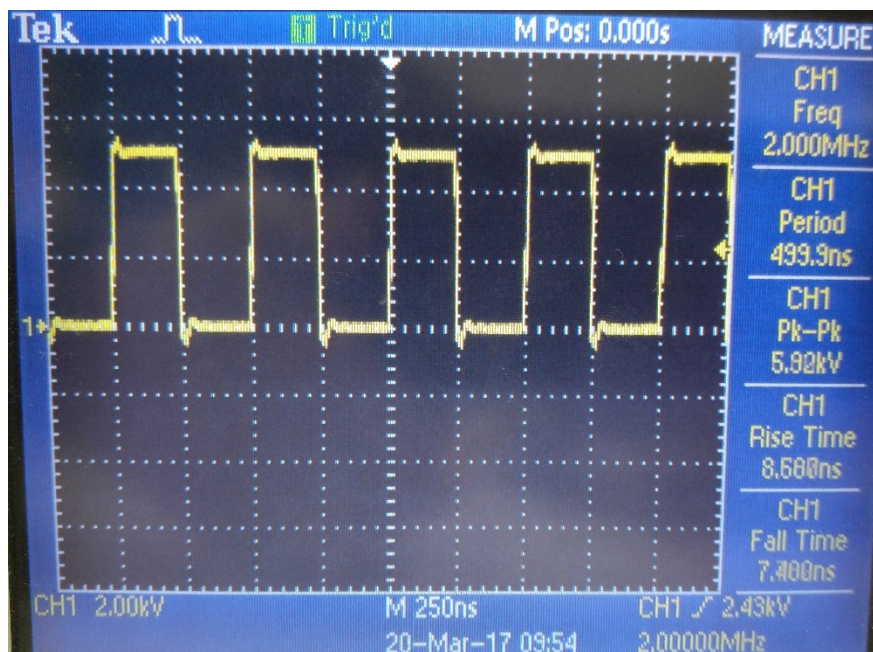
Obrázek 4.19: Obdélníkový průběh s frekvencí 500kHz

Na obrázku 4.19 lze pozorovat přesný obdélníkový průběh se střídou 50% a frekvencí 500kHz a tedy přesně odpovídající nastavení slova v registru syntézy v hexadecimálním tvaru B60B61.



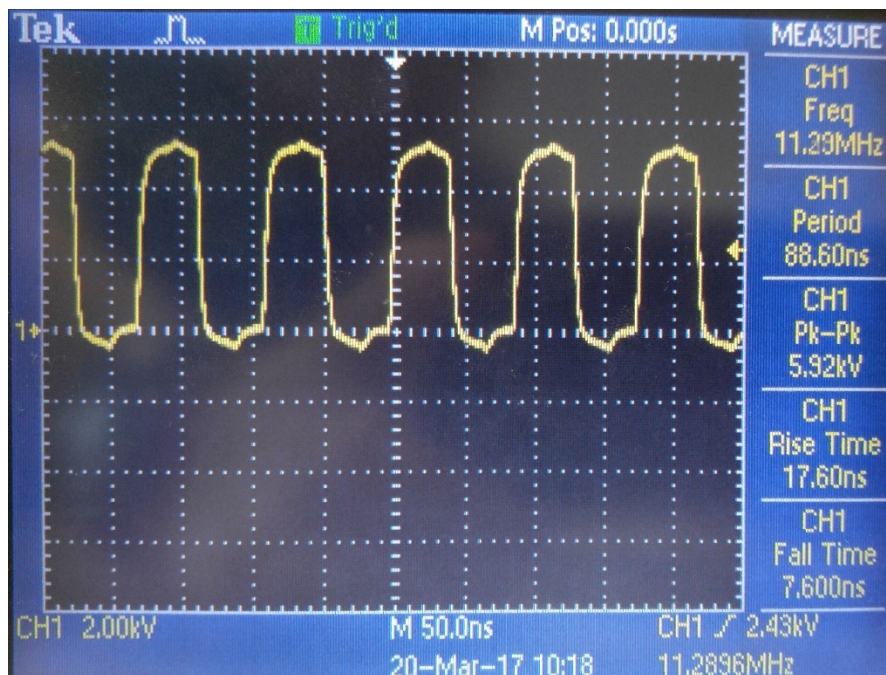
Obrázek 4.20: *Obdélníkový průběh s frekvencí 1MHz*

Obrázek 4.20 zobrazuje obdélníkový průběh s frekvencí 1,048MHz. Nastavená frekvence 1MHz odpovídající hexadecimálnímu tvaru slova 16C16C1.



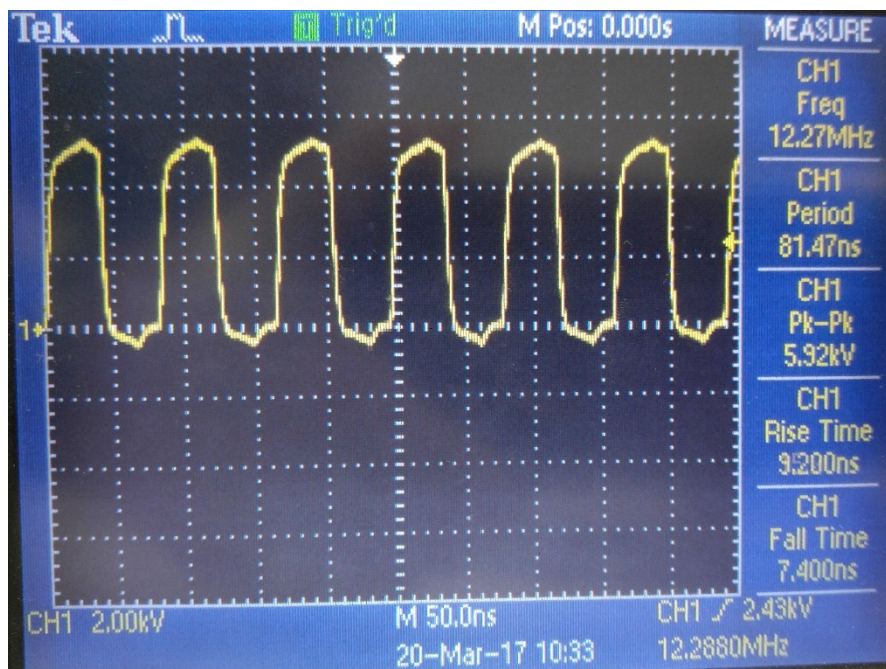
Obrázek 4.21: *Obdélníkový průběh s frekvencí 2MHz*

Obrázek 4.21 zobrazuje obdélníkový průběh s frekvencí 2MHz. Nastavená frekvence 2MHz odpovídající hexadecimálnímu tvaru slova 2D82D83. Lze pozorovat, že náběžná a sestupná hrana již není tak striktně strmá jako u přechozích měřených hodnot 500kHz a 1MHz.



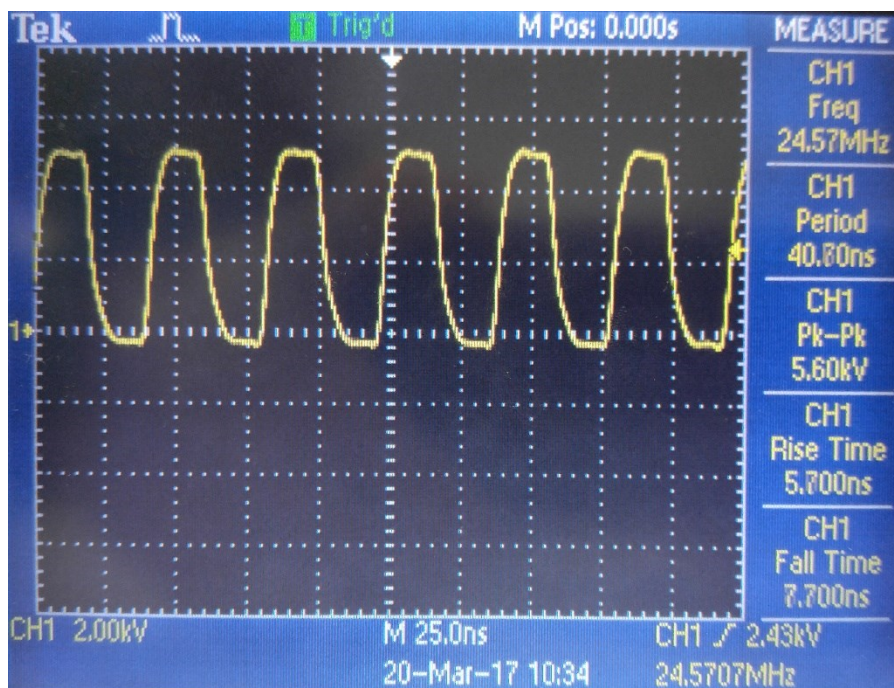
Obrázek 4.22: *Obdélníkový průběh s frekvencí 11.2896MHz*

Obrázek 4.22 zobrazuje obdélníkový průběh s frekvencí 11,2896MHz. Nastavená frekvence 11,2896MHz odpovídající hexadecimálnímu tvaru slova 100E6AFD. Lze vidět, že požadované nastavení s přesností v řádu 10^{-4} se shoduje s měřeným průběhem. Strmost a ostrost přechodu se však již zhoršila v porovnání s předchozími průběhy.



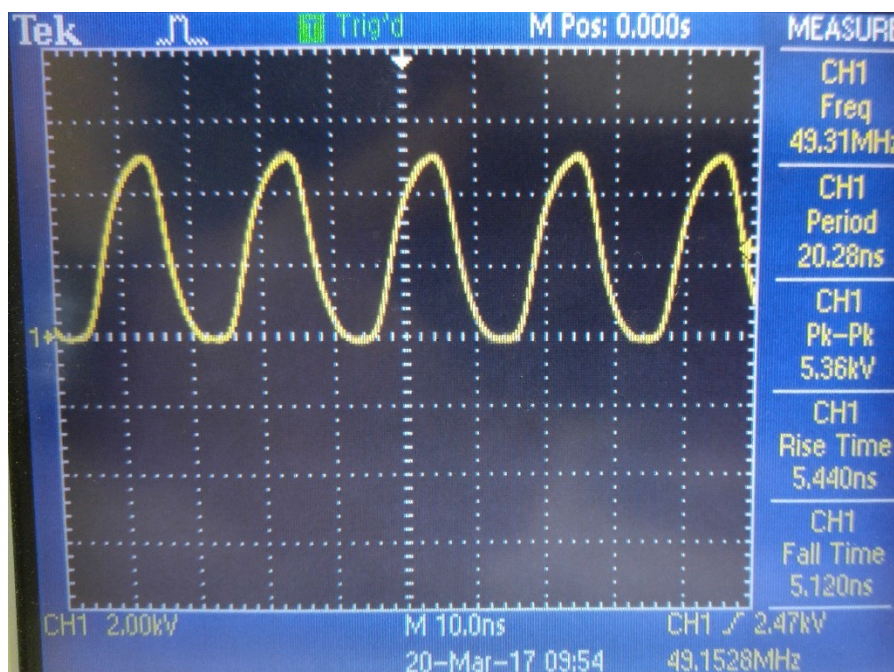
Obrázek 4.23: *Obdélníkový průběh s frekvencí 12,288MHz*

Obrázek 4.23 zobrazuje obdélníkový průběh s frekvencí 12,288MHz. Nastavená frekvence 12,288MHz odpovídající hexadecimálnímu tvaru slova 1179EC9D. Průběh se od měření frekvence 11.2896MHz nijak zásadně nezměnil.



Obrázek 4.24: *Obdélníkový průběh s frekvencí 24,5707MHz*

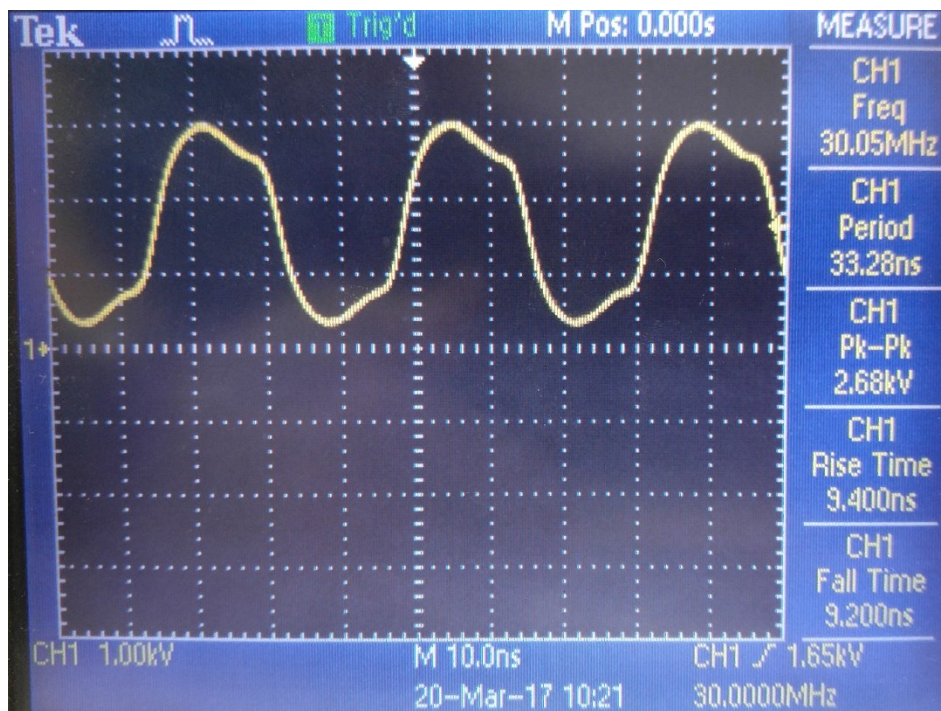
Obrázek 4.24 zobrazuje obdélníkový průběh s frekvencí 24,5707MHz. Nastavená frekvence 24,576MHz odpovídající hexadecimálnímu tvaru slova 22F3D93A. Zde se stav již mění a strmost přechodů se ještě více zhoršila oproti frekvenci dvojnásobně nižší.



Obrázek 4.25: *Obdélníkový průběh s frekvencí 49,1528MHz*

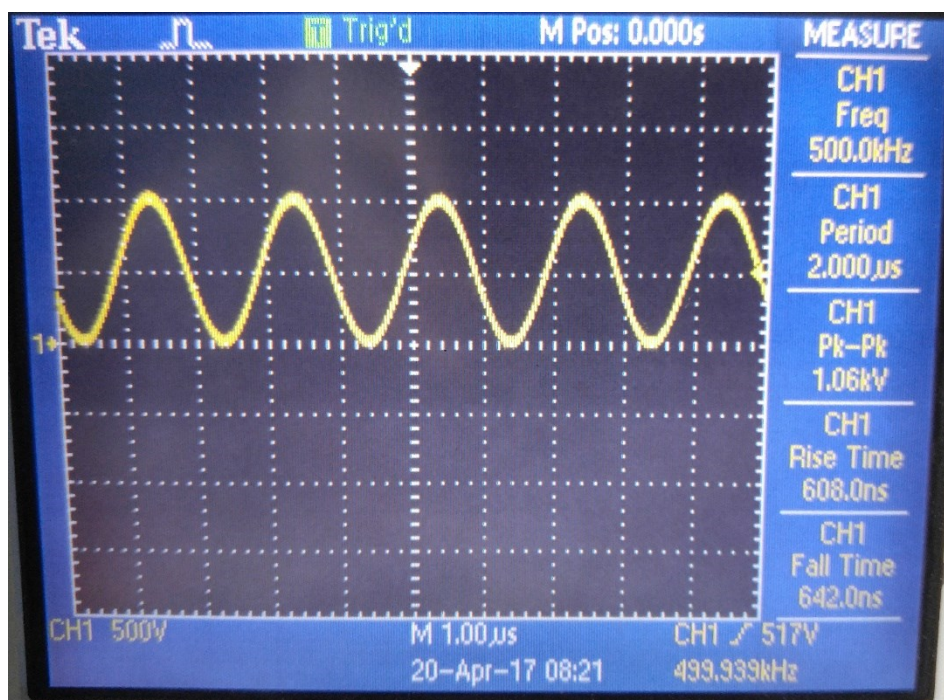
Obrázek 4.25 zobrazuje obdélníkový průběh s frekvencí 49,1528MHz. Nastavená frekvence 49,152MHz odpovídající hexadecimálnímu tvaru slova 45E7B273.

Pro úplnost je zde uvedeno měření výstupu 30MHz referenčního signálu krystalového oscilátoru měřeného skrze SMA vstup sloužící k externí synchronizaci. Jeho průběh je následující



Obrázek 4.26: Obdélníkový průběh referenčního krystalového 30MHz oscilátoru

Rovněž pomocí vyvedeného měřicího bodu na DPS byl měřen vstupní signál do komparátoru TLV3501, 500kHz průběh je uveden na obrázku níže



Obrázek 4.27: Sinusový 500kHz průběh na vstupu komparátoru

Závěr

Cílem diplomové práce bylo popsat princip metody přímé digitální syntézy. Samotný princip je znám již řadu let a postupně byl využit v řadě integrovaných obvodů ať již jako součást funkčních celků či jako samostatný specializovaný integrovaný obvod, jenž byl ostatně využit právě při této práci. Z uvedeného přehledu aplikací a obvodových řešení vyplývá, že metoda přímé digitální syntézy nabízí nepřeberné možnosti využití napříč mnoha technickými disciplínami a využití této metody ke generování referenčního signálu za pomoci elementárních funkcí je ve své podstatě pomyslným úvodem do světa přímé digitální syntézy. Nabízí se využití od testování nejrůznější odezvy v průmyslových a medicínských aplikacích po využití k tvorbě hybridních kmitočtových syntetizátorů využívajících výhod obou metod jak DDS, tak fázově zavěšených smyček PLL v problematice komunikací až k aplikacím v systémech WDM ve vláknově optických řešeních.

V práci bylo rovněž věnováno pozornosti nejrůznějším negativním jevům ovlivňujících nepříznivě výstupní frekvenční spektrum signálu při zpracování digitální informace a její následné analogové rekonstrukci včetně části věnující se obecněji signálům a modulacím ve vztahu k řešené problematice přímé digitální syntézy. V přehledu vyráběných integrovaných obvodů číslicových syntetizátorů byly uvedeny řešení od lídra v oblasti přímé digitální syntézy firmy Analog Devices, jenž díky rozdílným parametrům zahrnujícím rozdílné pracovní frekvence a funkcionality jako integrovaný komparátor, RAM, PLL či programovatelné registry naleznou široké aplikační uplatnění jako stabilní frekvenční syntetizátory v komunikačních systémech, v měřicím vybavení nebo radarové technice.

Poslední část práce byla věnována komplexnímu návrhu generátoru obdélníkového signálu s výstupními frekvencemi 11,2896 MHz, 12,288 MHz, 24,576 MHz, 49,152 MHz vhodnými nejen pro synchronizaci profesionálního audio vybavení, ale díky mikrokontroléru a změně programování přípravek umožňuje precizní nastavení libovolné výstupní frekvence až do rozsahu 70MHz. Tedy například frekvence jako 500 kHz, 1 MHz, 2 MHz, které jsou v kapitole měření rovněž uvedeny. Je tak zachována variabilita budoucího aplikačního použití například pro měřicí účely a všude tam, kde je potřebný velmi přesný referenční signál pro obvody s napětovou úrovní CMOS či TTL. V několika kapitolách tak jsou popsány kroky potřebné k vytvoření funkčního generátoru včetně výpočtu a následné simulace filtrační části v programu OrCAD PSpice, realizace DPS v programu EAGLE, výpočtu ladícího slova společně s rozbohem klíčových částí programového vybavení a uvedení rozhodovacího blokového schémata.

V samotném závěru práce jsou uvedeny veškeré výstupy měření provedeného na výstupu komparátoru pro daná ladící slova včetně měření průběhu na jeho vstupu a výstupního průběhu referenčního krystalového oscilátoru. Výstupem práce je pak laditelný a plně programovatelný generátor obdélníkového průběhu s frekvenčním nastavením do 70MHz. Dalším přirozeným rozšířením zařízení by byla tvorba sofistikovanějšího ovládacího panelu včetně dodatečného výstupu sinusového průběhu například na panelový konektor BNC, čímž by zařízení mohlo sloužit jako funkční generátor například pro účely laboratorního měření. Z výše uvedeného může čtenář zvážit veškeré potřebné aspekty návrhu a získat tak nejen inspiraci pro tvorbu vlastního řešení na bázi DDS.

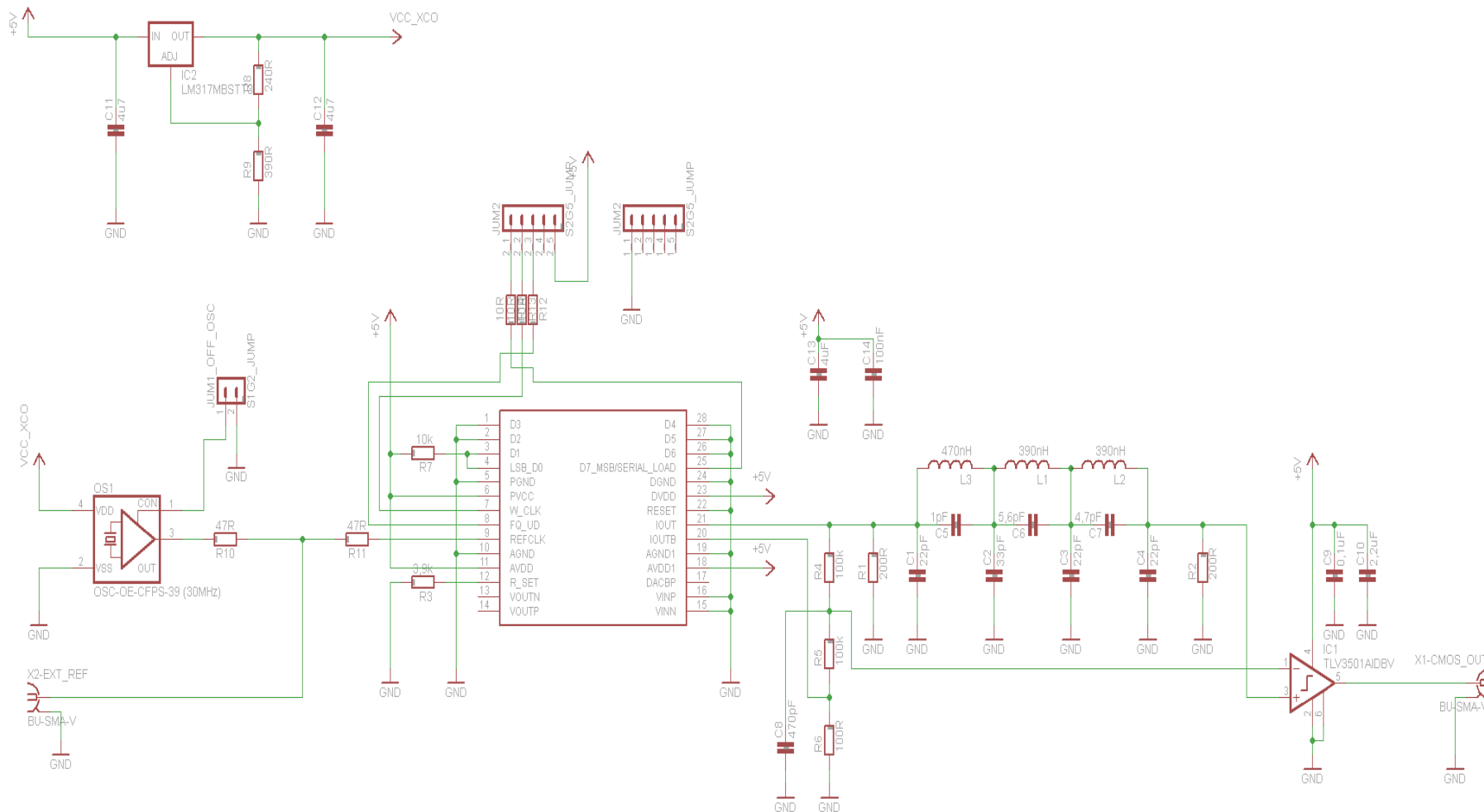
Použitá literatura

- [1] Analog Devices. *A Technical Tutorial on Digital Signal Synthesis* [online]. last revision 2nd of December 1999 [cit. 2017-03-08]. <http://www.analog.com/media/cn/training-seminars/tutorials/450968421DDS_Tutorial_rev12-2-99.pdf>
- [2] MICHALÍK, J. *Metoda přímé kmitočtové syntézy při realizaci signálních generátorů*. Ostrava, 2007. 72 s. Diplomová práce na fakultě elektrotechniky a informatiky VŠB - Technické univerzity Ostrava na katedře telekomunikační techniky. Vedoucí diplomové práce Ing. Zdeněk Tesař
- [3] Dostál, T. - Axman, V. *Elektrické filtry* [online]. 2010 [cit. 2017-03-08] <<http://www.kvetakov.net/~mira/doc/Elektricke%20Filtry.pdf>>
- [4] Matoušek, D. - Brtník, B. *Programování mikrokontrolérů s jádrem 8051 v jazyce C*. 1. vyd. Praha: BEN - technická literatura, 2010. 152 s. ISBN 978-80-7300-264-0
- [5] Murphy, E. - Slattery, C. *Direct Digital Synthesis (DDS) Controls Waveforms in Test, Measurement, and Communications* [online] 2005 [cit. 2017-03-08] <http://www.analog.com/en/analog-dialogue/articles/dds-controls-waveforms-in-test.html>
- [6] Frank, C, Alexander. Homebrew DDS Generator (with AD9851) V2.0, [online] 2015 <<http://www.changpuak.ch/electronics/AD9851.php>>
- [7] VEDRAL, Josef a FISCHER, Jan. 1999. *Elektronické obvody pro měřicí techniku*. 1. vyd. Praha : ČVUT, 1999. str. 340. ISBN 80-01-01950-0.

Seznam příloh

Příloha A:	Kompletní schéma DPS DDS v programu EAGLE 7.2.0	I
Příloha B:	Tabulka seznamu součástek, 2 s.....	II
Příloha C:	Blokové schéma AD9851.....	IV
Příloha D:	Schéma programátoru SDK8252.....	V
Příloha E:	Rozvržení DPS programátoru SDK8252	VI
Příloha F:	Výstup simulace OrCAD PSpice 17.2 pro fázovou charakteristiku filtru.....	VII
Příloha G:	Datový list AD9851	VIII
Příloha H:	Datový list TLV3501	IX
Příloha I:	Datový list krystalového oscilátoru CFPS-39	X
Příloha J:	Program pro ovládání přípravku včetně projektu uVision5	XI

Příloha A: *Kompletní schéma DPS DDS v programu EAGLE 7.2.0*



Obrázek A.1: *Schéma DDS*

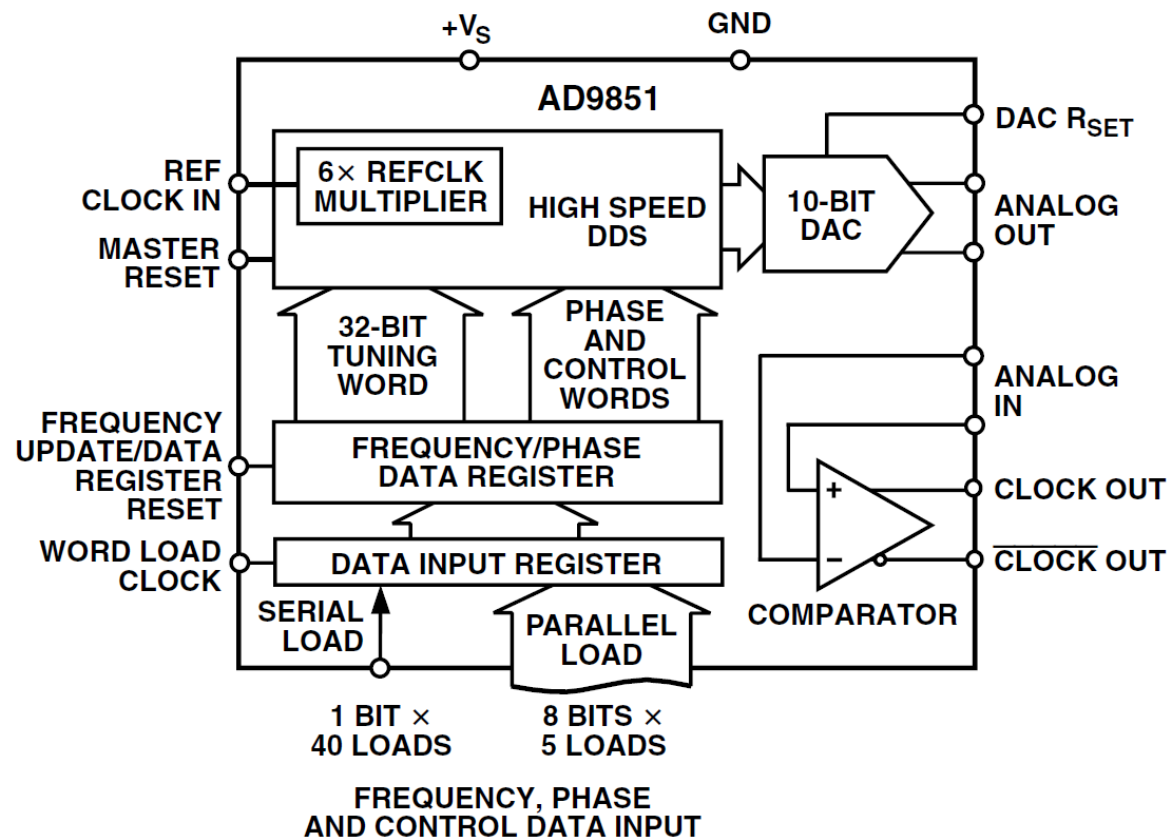
Příloha B: *Tabulka seznamu součástek, 2 s.*

Tabulka B.1: *Tabulka seznamu součástek DPS DDS*

Sočástka	Hodnota	Zařízení	Pouzdro	Knihovna	List
C1	22pF	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C2	33pF	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C3	22pF	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C4	22pF	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C5	1pF	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C6	5,6pF	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C7	4,7pF	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C8	470pF	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C9	0,1uF	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C10	2,2uF	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C11	4u7	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C12	4u7	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C13	4uF	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
C14	100nF	C-KERAMIK_SMD_1206	1206	#PaJa_30	1
IC1	TLV3501AIDBV	TLV3501AIDBV	SOT23-6	tlv350x_10	1
IC2	LM317MBSTT3	LM317MBSTT3	SOT223	v-reg	1
JUM1_OFF_OSC	S1G2_JUMP	S1G2_JUMP	S1G2_JUM	#PaJa_konektory	1
JUM2	S2G5_JUMP	S2G5_JUMP	S2G5_JUM	#PaJa_konektory	1
L1	390nH	L-USC0603	C0603	pavouk	1
L2	390nH	L-USC0603	C0604	pavouk	1
L3	470nH	L-USC0603	C0605	pavouk	1
OS1	OSC-OE-CFPS-39 (30MHz)	OSC-OE-CFPS-39	3.4X2.7-4-PAD IQD	Frequency-Products 1	1
R1	200R	R_SMD_1206	1206	#PaJa_30	1
R2	200R	R_SMD_1206	1206	#PaJa_30	1
R3	3,9k	R_SMD_1206	1206	#PaJa_30	1

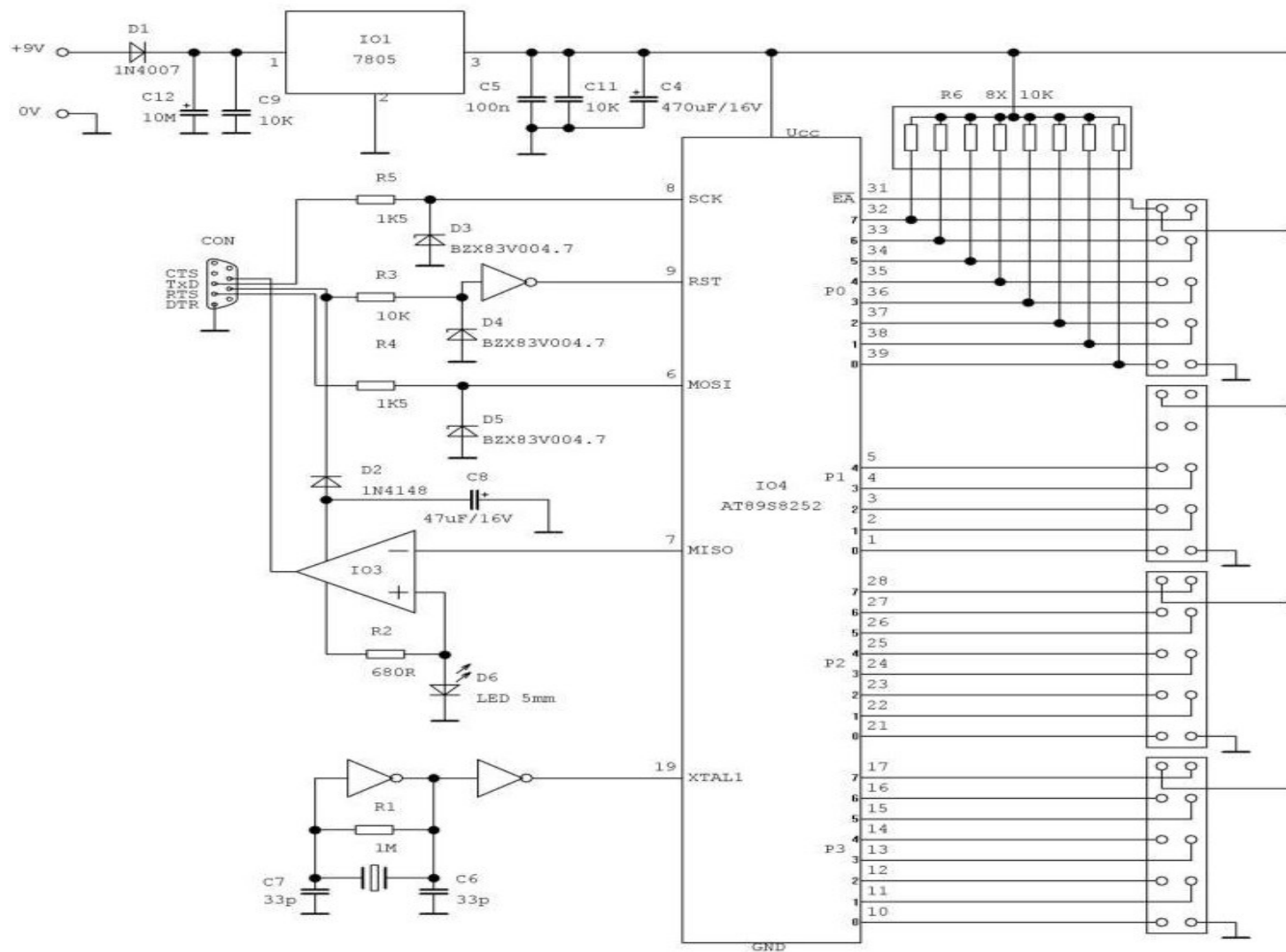
Tabulka seznamu součástek, 2 s.

R4	100k	R_SMD_1206	1206	#PaJa_30	1
R5	100k	R_SMD_1206	1206	#PaJa_30	1
R6	100R	R_SMD_1206	1206	#PaJa_30	1
R7	10k	R_SMD_1206	1206	#PaJa_30	1
R8	240R	R_SMD_1206	1206	#PaJa_30	1
R9	390R	R_SMD_1206	1206	#PaJa_30	1
R10	47R	R_SMD_1206	1206	#PaJa_30	1
R11	47R	R_SMD_1206	1206	#PaJa_30	1
R12	10R	R_SMD_1206	1206	#PaJa_30	1
R13	10R	R_SMD_1206	1206	#PaJa_30	1
R14	10R	R_SMD_1206	1206	#PaJa_30	1
U\$1	AD9851BR	AD9851BR	TSSOP28	ad9851	1
X1-CMOS_OUT	BU-SMA-V	BU-SMA-V	BU-SMA-V	con-coax	1
X2-EXT_REF	BU-SMA-V	BU-SMA-V	BU-SMA-V	con-coax	1

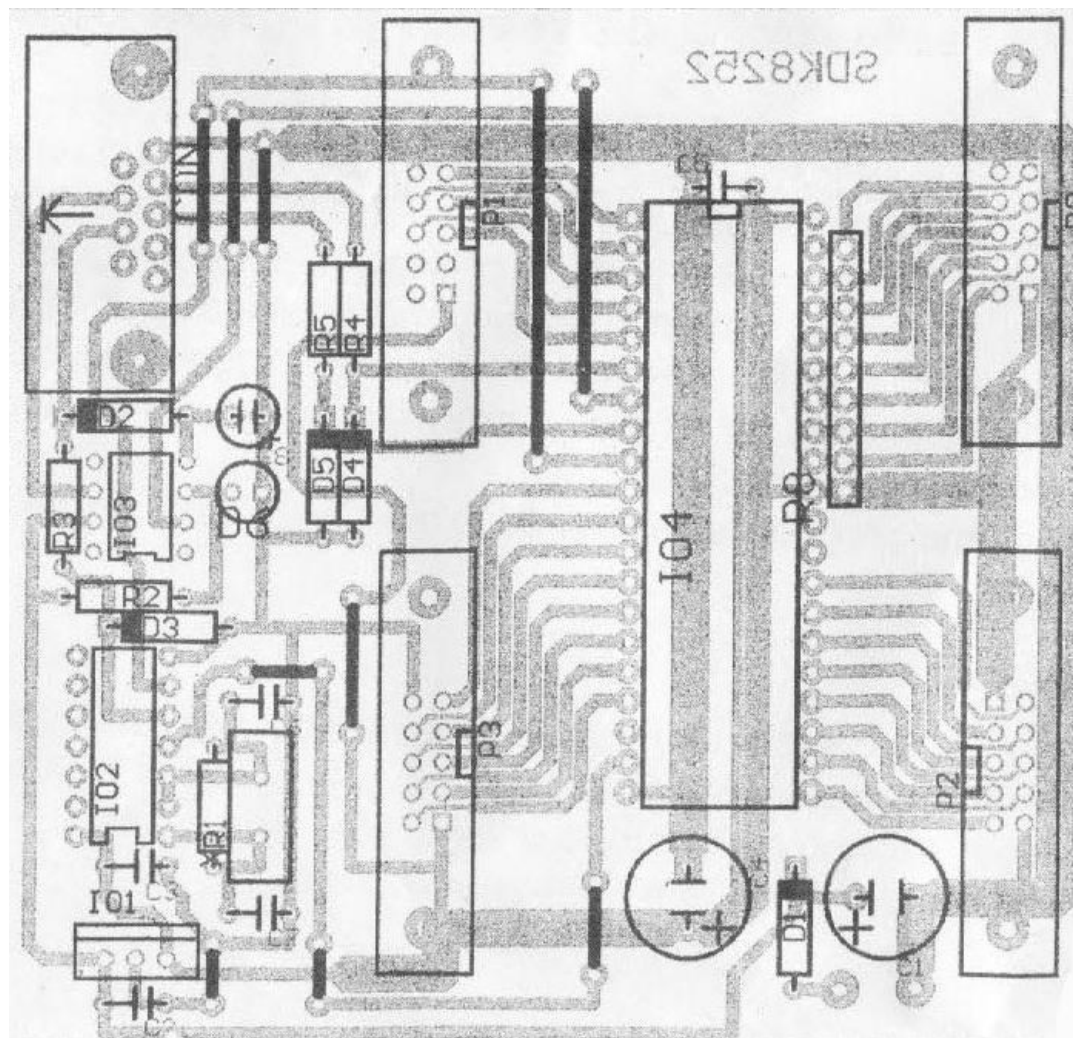


Obrázek C.1: *Blokové schéma syntézy AD9851*

Príloha D: Schéma programátoru SDK8252

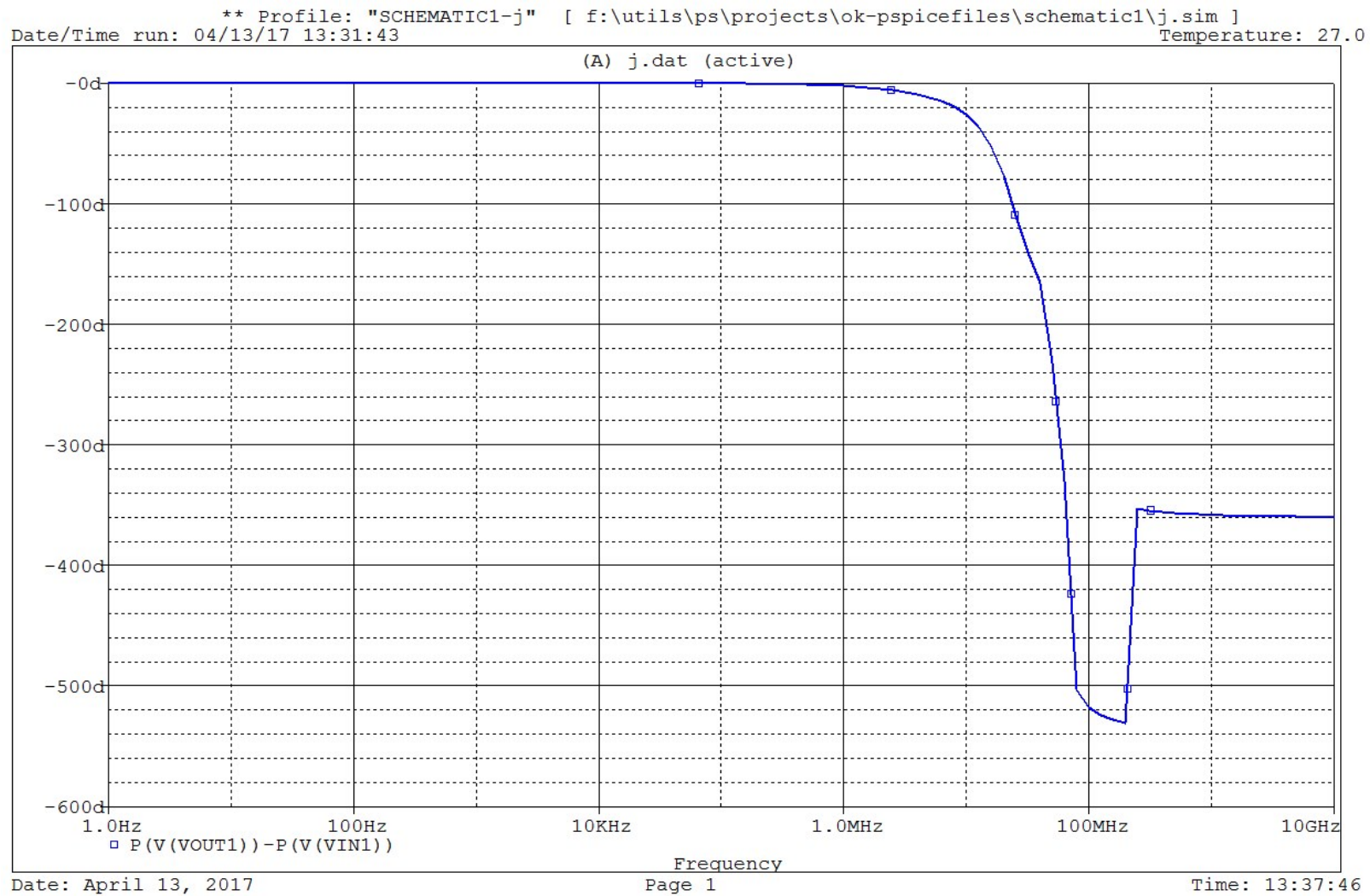


Obrázek D.1: Schéma programátoru SDK8252



Obrázek E.1: Rozvržení DPS programátoru SDK8252 (pohled strana součástek)

Příloha F: Výstup simulace OrCAD PSpice 17.2 pro fázovou charakteristiku filtru



Obrázek F.1: Fázová charakteristika filtru

Příloha G: *Datový list AD9851*

Uvedena na CD v souboru: Priloha_G.pdf

Příloha H: *Datový list TLV3501*

Uvedena na CD v souboru: Priloha_H.pdf

Příloha I: *Datový list krystalového oscilátoru CFPS-39*

Uvedena na CD v souboru: Priloha_I.pdf

Příloha J: *Program pro ovládání přípravku včetně projektu uVision5*

Uvedena na CD ve složce: Priloha_J_program