

Análisis de Eficiencia en Arquitecturas Multiprocesador para Aplicaciones de Transmisión y Procesamiento de Datos

Jorge R. Osio^{1,2}, Juan. E Salvatore¹, Eduardo Kunysz¹, Diego Montezanti^{1,4}, Daniel Alonso¹, Valentin Guarepi¹, Daniel Martin Morales^{1,3}

¹Instituto de Ingeniería y Agronomía - UNAJ

²UIDET CeTAD –Fac. de Ingeniería - UNLP

³Laboratorio LINES - Universidad Tecnológica Nacional FRLP

⁴Instituto de Investigación en Informática LIDI - Fac. de Informática – UNLP

{josio, jsalvatore, ekunysz, dmontezanti, dalonso, vguarepi, martin.morales}@unaj.edu.ar

Resumen

Las principales líneas de investigación de este proyecto están orientadas a la utilización de arquitecturas multicore para cómputo paralelo en aplicaciones de Telemedicina, Procesamiento de Imágenes Médicas, robótica y de sistemas ópticos basados en MIOC, (Multifunctional Integrated Optical Chip), que requieren procesamiento y transmisión de datos de forma remota.

Paralelamente a estos lineamientos, dentro del marco del proyecto se exploran nuevas tendencias en cómputo paralelo, siendo las tecnologías de computadoras de alta performance reconfigurable (HPCR) una alternativa interesante para optimizar la utilización de estos recursos.

investiga principalmente la utilización del protocolo UDP para la transmisión de imágenes y datos de audio y video, (donde es fundamental el envío de grandes cantidades de datos en tiempo real, pero no es crítica la pérdida de algunos datos), en combinación con TCP para la transmisión de pequeños paquetes de datos críticos.

Palabras clave: *arquitecturas paralelas, aplicaciones de telemedicina, sistemas embebidos, multicores, computadoras de alto desempeño reconfigurables.*

Contexto

Las líneas de Investigación descriptas en este trabajo forman parte del Proyecto de Investigación Científico-Tecnológico “Factibilidad y Eficiencia de Aplicaciones de Telemedicina sobre Sistemas Embebidos. Aplicaciones en Arquitecturas Multiprocesador”, que se desarrolla en la Universidad Nacional Arturo Jauretche (UNAJ).

El proyecto cuenta además con financiamiento en el marco del programa “Universidad, Diseño y Desarrollo de Aplicaciones de Software para la Educación a Distancia” de la Comisión Nacional de Desarrollo de Software de desarrollo para SW embebido” y “Sistema de Optimización en el consumo energético”.

Parte de las líneas de investigación desarrolladas se encuentran enmarcadas en los convenios de colaboración en Actividades de Investigación firmados por la UNAJ con la UIDET-CeTAD.

1. Introducción

En los últimos años, se ha buscado expandir el concepto del procesamiento paralelo con computadoras basadas en multicores hacia la utilización de plataformas de procesamiento más específicas. Para obtener mayor eficiencia, los fabricantes de computadoras de altas prestaciones, han introducido unidades FPGA(arreglo de compuertas programables en campo) en su diseño como soporte para el cómputo ([1-3]). Las mejoras con dichos dispositivos se pueden explorar en los siguientes parámetros:

Comunicaciones: dado que los dispositivos modernos permiten interfaces de alta velocidad como Gigabit Ethernet, o PCI Express, se ensayan diversas topologías conocidas y se exploran nuevas alternativas para optimizar el rendimiento general. Para ello, puede utilizarse la capacidad de reconfiguración parcial de los dispositivos de lógica programable [4].

Memoria: la flexibilidad permite que para cada problema específico se pueda utilizar una configuración de memoria determinada. Se cuenta con una cantidad limitada de memoria interna que en general puede utilizarse para procesos locales, y se puede combinar con distintas tecnologías de memoria existentes. Los dispositivos más modernos tienen incorporados módulos de control para memorias del tipo DDR3[5].

Software: es el aspecto más difícil de estandarizar en este tipo de plataformas, debido a que está constituido por drivers que manejan el hardware combinado con lenguajes de alto nivel. El desafío es identificarlos fragmentos de alto nivel que generan mayor *overhead* sobre el procesamiento, para luego implementarlos mediante compuertas lógicas [5].

Si bien el estudio de sistemas paralelos con múltiples procesadores, es un campo bien desarrollado, la utilización de múltiples dispositivos reconfigurables para HPC es un terreno que tiene múltiples posibilidades de exploración [6]. En el presente proyecto se exploran mejoras en comunicaciones y en SW (lenguaje de descripción de hardware VHDL).

Plataformas FPGAs para procesamiento paralelo

La implementación de paralelismo en plataformas FPGAs consiste en el uso de procesadores embebidos para ejecutar aplicaciones y en la utilización de las características que provee la lógica programable para manejar las porciones de código que se ejecutan concurrentemente [6].

La facilidad de implementar procesadores embebidos en forma rápida [5], junto con la posibilidad de proveer concurrencia mediante la programación en HW permiten combinar las FPGAs con el paralelismo obtenido mediante sistemas multicore para alcanzar la máxima eficiencia, que es un gran desafío en la búsqueda de optimizar el procesamiento de imágenes médicas y las señales MIOC, entre otras aplicaciones. Esto se debe a que cada algoritmo es un caso de estudio, en el que se debe decidir qué parte se implementa de manera concurrente y cuál de forma secuencial dentro el sistema multicore. Con las mejoras constantes que aporta la evolución de la tecnología sobre las FPGAs pueden lograrse diseños de gran magnitud, a tal punto que la tendencia actual es implementar microprocesadores de propósito general, conjuntamente con todo el hardware de propósito específico que requiere la aplicación, dentro de una FPGA.

Aplicaciones de transmisión y procesamiento de datos

La transmisión de grandes cantidades de paquetes de datos se realiza mediante el protocolo UDP [7]. Los datos se empaquetan y se envían a destino desde el sistema embebido basado en el LPC1769 y la EDU-CIAA (LPC4337), siendo recibidos en un servidor. Se utiliza un analizador de protocolos para determinar los tiempos de transmisión y estimar la frecuencia de envío mínima para las aplicaciones de interés [8].

La eficiencia del método de transmisión es fundamental para el envío masivo de datos, que principalmente consisten en imágenes médicas de alta calidad, hacia un servidor de almacenamiento exclusivo para telemedicina [9].

Previo a su envío, dichas imágenes requieren ser modificadas mediante la aplicación de diferentes algoritmos de procesamiento de imágenes que tienen características paralelizables, y que son los que posibilitan evaluar la eficiencia y el rendimiento de las arquitecturas paralelas estudiadas.

Adicionalmente, se utilizará la arquitectura paralela para el procesamiento de las señales obtenidas mediante un sistema MIOC, cuya salida (tensión eléctrica) es proporcional a la fase de la señal luminosa que lo atraviesa. Este dispositivo permite medir ángulos de inclinación [10].

Antecedentes del Grupo de Trabajo

Los antecedentes del grupo de trabajo parten de la dirección de tesis de grado sobre la implementación de un web server embebido orientado a telemedicina [11] y de un sistema embebido de transmisión de voz sobre IP [12]. Posteriormente se ha desarrollado investigación acerca de procesamiento de imágenes sobre diferentes arquitecturas paralelas [13].

Las líneas de investigación se enmarcan fundamentalmente en la búsqueda de técnicas innovadoras de procesamiento paralelo, sobre diferentes arquitecturas, que optimicen las prestaciones de sistemas de telemedicina. En particular, resulta de interés su incorporación y aplicación en el Hospital “El Cruce” de Florencio Varela. Adicionalmente, se pretenden encausar temas de estudios de posgrado actuales y futuros de docentes y profesionales surgidos de la UNAJ dentro de estas líneas de investigación. El director del proyecto participa en proyectos de investigación desde el año 2005 en la Facultad de Ingeniería de la UNLP como colaborador y a partir de 2010 como investigador. Actualmente, el grupo de trabajo investiga en los temas: Procesamiento Digital de Imágenes Médicas sobre plataformas FPGA, Procesamiento de Imágenes en arquitecturas FPGA multiprocesador, Envío de datos Ethernet para telemedicina, procesamiento de señales MIOC y Robot Humanoide multicore; pertenecientes a estudios de Especializaciones, Maestrías y Doctorados que se realizan en el marco de acuerdos de colaboración entre el Laboratorio CeTAD, el Lidi y la UNAJ a través del proyecto de investigación.

Como resultado del trabajo realizado recientemente en la UNAJ se han publicado artículos en diferentes congresos nacionales de Ingeniería Informática y Ciencias de la Computación [13 - 15].

2. Líneas de Investigación y Desarrollo

El grupo de investigación que se ha constituido recientemente en la UNAJ es multidisciplinario, y sus miembros

cuentan con experiencia en sistemas multiprocesador, procesamiento de imágenes, obtención y procesamiento de señales provenientes de MIOC, protocolos de comunicación TCP y UDP y robótica.

Temas de Estudio e Investigación

- Implementación de un sistema multiprocesador en Dispositivos Lógicos Programables (FPGAs).
- Análisis y determinación de la eficiencia lograda en el procesamiento de imágenes mediante la combinación de cómputo paralelo y concurrencia.
- Estudio de la frecuencia de refresco de datos para mostrar el estado actual de las variables sobre sistemas basados en microprocesadores ARM Cortex.
- Investigación relacionada con los protocolos TCP y UDP para el envío de paquetes, donde, en condiciones de red conocidas, se deben determinar las tasas de transmisión mínimas para asegurar el funcionamiento óptimo de un sistema de telemedicina.
- Estudio de las características paralelizables de las señales obtenidas de dispositivos MIOC y su procesamiento.
- Determinación de la eficiencia en la ejecución de algoritmos de control de un robot humanoide sobre un sistema multicore.

3. Resultados Obtenidos/Esperados

Investigación experimental

Hasta el momento se han obtenido resultados satisfactorios en relación a la primera parte de los objetivos principales:

- Se obtuvieron resultados en la implementación de un sistema que

permite la transmisión de datos y voz mediante internet utilizando el protocolo TCP, logrando fluidez en la emisión de voz en tiempo real.

- Se implementó un servidor web embebido en un sistema de procesamiento basado en un procesador Cortex M3, el cual permite mostrar variables vitales en tiempo real, como frecuencia cardíaca y temperatura.
- Se incorporó la plataforma CIAA (Computadora Industrial Abierta Argentina) para procesamiento paralelo, la cual contiene dos procesadores, un Cortex M4 y un Cortex M0 y cuenta con un sistema operativo de tiempo real (OSEK). Sobre esta plataforma pudieron probarse las primeras aplicaciones de cómputo paralelo, obteniendo resultados satisfactorios respecto a la ejecución del mismo algoritmo en un sistema monoprocesador.
- Por último, se encuentra en proceso de desarrollo un sistema que permite optimizar el consumo energético en instituciones educativas mediante la ejecución de algoritmos que toman en cuenta diferentes factores. Este proyecto se deriva de los objetivos principales y pretende minimizar el consumo en sistemas multiprocesador.

Para el año en curso, se esperan alcanzar importantes resultados en el área de cómputo paralelo y concurrencia posibilitados por los sistemas basados en FPGAs. Con esta arquitectura, constituida por varios procesadores implementados en una misma FPGA se espera lograr mayor eficiencia que en el sistema basado en la CIAA.

Se pretende medir la eficiencia de ejecución lograda con el sistema

multiprocesador mediante las siguientes aplicaciones:

- Ejecución de algoritmos de procesamiento de imágenes médicas.
- Ejecución de algoritmos de procesamiento de señales provenientes de sistemas ópticos basados en MIOC.
- Ejecución de algoritmos orientados a eficiencia energética.
- Ejecución de algoritmos utilizados en el control de un robot humanoide.

Para lograr una implementación eficiente de este sistema complejo se pretende que el procesamiento paralelo y la transmisión UDP se produzcan conjuntamente en tiempo real.

4. Formación de Recursos Humanos

Dentro de la temática de la línea de I+D, todos los miembros del proyecto participan en el dictado de asignaturas de la carrera de Ingeniería Informática de la UNAJ.

En este proyecto existe cooperación a nivel nacional. Hay dos investigadores realizando Doctorados y cuatro realizando Maestrías en temas relacionados con simulación de sistemas multiprocesador, sistemas embebidos y software embebido, sistemas multicore en HPC, y transmisión de datos biomédicos mediante UDP.

Adicionalmente, se cuenta con la colaboración de estudiantes avanzados.

5. Bibliografía

- [1] O. Mencer, K. Tsoi, S. Cramer, T. Todman, W. Luk, Ming Wong and P. Leong, "CUBE: a 512-FPGA Cluster", Dept. of Computing, Imperial College London, Dept. of Computer Science and Engineering The Chinese University of Hong Kong. (2009)
- [2] Keith Underwood, "FPGAs vs. CPUs: Trends in Peak Floating-Point Performance", Sandia National Laboratories. (2011)
- [3] D. Encinas, E. Kunysz, Szymanowski, Morales M., "Performance de arquitecturas multiprocesador: técnicas de simulación y plataformas reconfigurables", Instituto de Ingeniería, UNAJ, (2014)
- [4] Dong Yin, Deepak Unnikrishnan, Yong Liao, Lixin Gao and Russell Tessier, "Customizing Virtual Networks with Partial FPGA Reconfiguration", Dept. of Electrical and Computer Engineering University of Massachusetts (2010)
- [5] E. Kunysz, J. Rapallini, J. Osio, "Sistema de cómputo reconfigurable de alta performance (Proyecto HPRC)", 3ras Jornadas ITE - 2015 -Facultad de Ingeniería - UNLP
- [6] Grama A, Gupta A, Karypis G, Kumar V. "Introduction to parallel computing". Pearson Addison Wesley, 2003.
- [7] Richard Stevens, "The Protocols TCP/IP Illustrated, Volume 1", 1993
- [8] Jan Axelson, "Embedded Ethernet a internet complete", LLC, 2003
- [9] IEEE, A Unified Multimedia Database System to Support Telemedicine. Transactions of Information Technology in Biomedicine, Vol. 2, No. 3, 1998.
- [10] Rabus, "Integrated Ring Resonators", Springer, Berlín, 2007.
- [11] L. Iogna Pratt, "Implementación de un web server embebido", Fac. Ing., UNLP, 2013.
- [12] J. Salvatore, "Desarrollo de un Sistema de voz sobre IP", Fac. Ing., UNLP, 2012.
- [13] J. Osio, D. Montezanti, M. Morales, "Análisis de Eficiencia en Sistemas Paralelos", Ushuahia, Tierra del Fuego, WICC 2014
- [14] J. Osio, J. Salvatore, M. Morales, "Análisis de Eficiencia en Arquitecturas Multiprocesador en aplicaciones de Telemedicina", UNS, Ciudad de Salta, WICC 2015.
- [15] J. Osio, J. Salvatore, E. Kunysz, V. Guarepi, M. Morales, "Análisis de Eficiencia en Arquitecturas Multiprocesador para Aplicaciones de Transmisión y Procesamiento de Datos", UNER, Ciudad de Concordia, WICC 2016.