

学校编码: 10384  
学号: 19820131152984

分类号    密级     
UDC   

厦门大学

硕士 学位 论文

硅基 Ge 微区结构制备及 Ge 横向 PIN 探测器  
工艺研究

Research on Si-based Ge micro-region structure and Ge  
lateral PIN photodetector

陈超文

指导教师姓名: 赖虹凯 副教授  
专业名称: 电子与通信工程  
论文提交日期: 2016 年 月  
论文答辩时间: 2016 年 月  
学位授予日期: 2016 年 月

答辩委员会主席: \_\_\_\_\_  
评 阅 人: \_\_\_\_\_

2016 年 月

## 厦门大学学位论文原创性声明

本人呈交的学位论文是本人在导师指导下, 独立完成的研究成果。本人在论文写作中参考其他个人或集体已经发表的研究成果, 均在文中以适当方式明确标明, 并符合法律规范和《厦门大学研究生学术活动规范(试行)》。

另外, 该学位论文为( )课题(组)的研究成果, 获得( )课题(组)经费或实验室的资助, 在( )实验室完成。(请在以上括号内填写课题或课题组负责人或实验室名称, 未有此项声明内容的, 可以不作特别声明。)

声明人(签名):

年 月 日

# 厦门大学学位论文著作权使用声明

本人同意厦门大学根据《中华人民共和国学位条例暂行实施办法》等规定保留和使用此学位论文，并向主管部门或其指定机构送交学位论文（包括纸质版和电子版），允许学位论文进入厦门大学图书馆及其数据库被查阅、借阅。本人同意厦门大学将学位论文加入全国博士、硕士学位论文共建单位数据库进行检索，将学位论文的标题和摘要汇编出版，采用影印、缩印或者其它方式合理复制学位论文。

本学位论文属于：

- ( ) 1. 经厦门大学保密委员会审查核定的保密学位论文，于 年 月 日解密，解密后适用上述授权。  
( ) 2. 不保密，适用上述授权。

(请在以上相应括号内打“√”或填上相应内容。保密学位论文应是已经厦门大学保密委员会审定过的学位论文，未经厦门大学保密委员会审定的学位论文均为公开学位论文。此声明栏不填写的，默认为公开学位论文，均适用上述授权。)

声明人（签名）：

年 月 日

厦门大学博硕士论文摘要库

## 摘要

硅基光电探测器是硅基光电子技术重要的组成部分。近年来，锗（Ge）材料由于在近红外波段吸收系数高，空穴载流子迁移率大且能与硅基工艺兼容等特性在硅基探测器领域备受关注。为进一步提高光电特性，需要在 Ge 层中引入张应变，而张应变的引入可以通过微区结构来得到。基于硅基 Ge 外延材料，构造 Ge 微区结构的腐蚀过程一般只对 Si 材料的腐蚀速率有过研究，而对材料中存在的大量位错对结构制备影响的分析却并未开展。因此，研究腐蚀液中硅基 Ge 样品位错的影响，提高 Ge 微区结构应变，对提高 Ge 光电探测器性能有着重要的意义。

本文对硅基 Ge 外延材料中锗硅位错密集区在 TMAH 溶液中产生的影响进行了详细分析，并对 SOI 基 Ge 横向 PIN 探测器进行了器件性能优化模拟和制备工艺摸索。主要工作内容如下：

1. 在利用 TMAH 溶液腐蚀 Si 构造硅基 Ge 悬空结构的过程中，研究了材料中位错对腐蚀进程的影响。以 25% 浓度的 TMAH（四甲基氢氧化铵）溶液在 80°C 长时间（10 h）腐蚀 Si 材料，发现其腐蚀速率非常稳定，但在硅基 Ge 外延样品表面上产生了倒金字塔形状的位错腐蚀坑。在位错密集的硅锗界面，也会产生大小、形貌不同甚至穿透的位错腐蚀坑。根据腐蚀坑的侧向晶面变化，可以将上述腐蚀过程分为三个发展阶段，并运用 Wulff-Jaccodine 规则对位错坑的演变机理进行了解释。

2. 基于悬空式硅基 Ge 微区结构，利用 ANSYS 有限元分析软件分析了引入张应变的原理。分析显示 Ge 层应变大小由中心向边缘逐渐增大，边缘区域的应变最大达到 1.9%。对实际制备的 Ge/Si 双薄层悬空结构背面溅射应力源层钨（W）后发现，Ge 层应变随着其面积的增加而增加，但所能获得应变最大仅为 0.3%，这是由于位错坑的存在会导致应力的释放和转移。

3. 采用器件仿真软件模拟并优化了 SOI 基垂直入射型 Ge 横向 PIN 探测器的结构参数。优化结果如下：器件有源区长度设定为 2 μm、10 μm 和 20 μm，宽度定为 0.6-0.8 μm，器件 Ge 层厚度为 0.8 μm 左右。对于 Ge 层宽度为 0.7 μm，长度为 2 μm，厚度为 0.85 μm 的器件，在偏压为 -1 V 波长为 1550 nm 条件下响

应度为  $0.26 \text{ A/W}$  (光强为  $1 \text{ W/cm}^2$ )，暗电流密度为  $71.4 \text{ mA/cm}^2$ ， $3\text{dB}$  带宽可达  $41.4 \text{ GHz}$ 。

4. 基于上述探测器基本结构，研究了该器件制备中的关键性工艺。主要包括：器件有源区域的窄线条工艺研究，在经过光刻、刻蚀获得  $2.5 \mu\text{m}$  宽度的有源区后，再采用湿法腐蚀 Ge 溶液将器件有源区宽度进一步减至  $1 \mu\text{m}$ ；对侧向离子注入进行工艺模拟，确定 P 区及 N 区离子注入条件，设计其结深分别为  $170 \text{ nm}$  和  $153 \text{ nm}$ ；NiGe 侧壁形成的工艺研究，实验显示金属 Ni 沉积的水平厚度和侧壁厚度的比例为 2.8，侧壁金属 Ni 与 Ge 发生固相反应的条件定为  $450^\circ\text{C}/10 \text{ min}$ 。

关键词：微区结构；硅基 Ge 材料；位错；TMAH 溶液腐蚀；PIN 光电探测器

## Abstract

Silicon-based photodetector is the fundamental element in silicon photonics. Germanium materials has been adopted in Si-based photodetector fabrication due to its large optical absorption coefficient in the near-infrared band, huge hole carrier mobilities, and its compatibility with traditional silicon-based processes. And the photo-electric properties in tensile strained Ge membrane can be further improved compared with bulk Ge materials. The micro-region structure would be helpful in introducing the tensile strain to Ge. For Ge on Si materials, the anisotropic etching of Si substrate is necessary for obtaining the micro-structured Ge membranes and has been well studied. But the impacts of dislocations in the Ge-on-Si materials on the etching process are still unknown which comprise of the main research scope of the thesis.

In this thesis, the impacts of dislocations near the interface between Ge epilayer and Si substrate on the etching of Ge on Si materials had been investigated in details. And we designed a lateral Ge PIN photodetector with SOI(Silicon on Insulator) structure based on software simulations. The key technologies of lateral Ge photodetector were investigated. The results are summarized as followed:

1. The impacts of dislocations in Ge on Si on the anisotropic TMAH wet etching from back side for suspended Ge membrane were investigated. The etch rate of the Si kept constant during the 25% TMAH wet etching process at 80 oC for a long time (10 h). But the inverted pyramid etching pits can be found in the Ge on Si after TMAH immersing. Etching pits with different sizes and shapes (some of them were even penetrated) were also observed in dislocation-rich region near the interface between Ge and Si. Three stages of the morphology evolution can be identified according to the crossrange crystal faces in the etching pits, which can be explained by the no-mask etching rule of Wulff-Jaccodine's method

2. The finite element analysis ANSYS software was used to analyze the strain in suspended Ge membrane, which was introduced by the stressor layer. It was found that tensile strain increased to 1.9% from the middle to the border of membrane. In

experiment, 490nm thick tungsten was deposited on the suspended Ge/Si bilayer structures with various window sizes. The strain was found increased with larger window size. However, the maximum tensile strain is only measured to be 0.3% because of the strain relaxation by etch pits.

3. The structure parameters of lateral Ge PIN photodetector was analyzed by simulations. The results are as follows: the device length L is defined as 2  $\mu\text{m}$ , 10  $\mu\text{m}$  and 20  $\mu\text{m}$ ; the width  $W_{\text{Ge}}$  is defined as 0.6-0.8  $\mu\text{m}$ ; the depth of Ge layer is defined about 0.8  $\mu\text{m}$ . A simulated device with width  $W_{\text{Ge}}$  defined as 0.7  $\mu\text{m}$ , length L defined as 2  $\mu\text{m}$  and the depth defined as 0.85  $\mu\text{m}$ , is calculated to meet a the optical responsivity of 0.26A/W and a 3dB bandwidth of 41.4 GHz at bias of -1 V with an 1 W/cm<sup>2</sup> light incidence at 1550nm wavelength. The dark current density was 71.4 mA/cm<sup>2</sup>.

4. The technologies of Ge photodetector have been investigated based on the designed lateral Ge PIN photodetector. To form the narrow Ge active mesa, an initial 2.5  $\mu\text{m}$  width was first obtained by photolithography and dry etching. Then a narrowing process was performed by wet etching to reduced the mesa width to the designed 1  $\mu\text{m}$ ; the junction depth in p-type and n-type doped Ge were simulated and determined to 170 nm and 153 nm; the thickness ratio of Ni on the horizontal side and the sidewall on device region was 2.8, and the solid-phase reaction condition was optimized to be 450 °C/10 min.

Keywords: Micro structure; Silicon-based Germanium materials; Dislocations;  
Etching of TMAH solution; PIN Photodetector

# 目 录

<b>第一章 绪 论 .....</b>	1
1.1 研究背景和意义 .....	1
1.2 硅基应变 Ge 悬空结构制备方法及存在问题 .....	2
1.3 硅基 Ge PIN 光电探测器研究进展 .....	3
1.4 本论文主要工作 .....	7
参考文献 .....	8
<b>第二章 硅基 Ge 微区结构的研究与分析 .....</b>	14
2.1 硅基 Ge 微区结构应变的有限元分析 .....	14
2.1.1 硅基 Ge 悬空式结构获得应变的机理 .....	14
2.1.2 有限元模型的建立 .....	16
2.1.3 模拟结果的讨论 .....	17
2.2 硅基 Ge 悬空式结构的腐蚀 .....	19
2.2.1 Si 的湿法腐蚀 .....	19
2.2.2 硅基 Ge 中位错密集区对腐蚀过程的影响 .....	23
2.3 Ge/Si 双层悬空式结构的制备与分析 .....	30
2.3.1 制备流程 .....	30
2.3.2 应力的引入与分析 .....	31
2.4 本章小结 .....	33
参考文献 .....	34
<b>第三章 SOI 基 Ge 横向 PIN 探测器的模拟分析与设计 .....</b>	37
3.1 SOI 基 Ge 横向 PIN 光电探测器的基本结构和性能参数 .....	37
3.2 Ge PIN 探测器的 Silvaco 模拟分析与结构参数优化 .....	40
3.2.1 探测器结构生成 .....	40
3.2.2 物理模型和数值计算方法 .....	41
3.2.3 器件结构参数优化 .....	42
3.2.4 器件模拟结果与讨论 .....	45
3.3 本章小结 .....	49

参考文献 .....	50
<b>第四章 SOI 基 Ge 横向 PIN 探测器的制备工艺研究.....</b>	<b>52</b>
<b>4.1 SOI 基外延材料的表征 .....</b>	<b>52</b>
<b>4.2 SOI 基 Ge 横向 PIN 探测器制作工艺研究.....</b>	<b>54</b>
4.2.1 Ge PIN 探测器的制备流程 .....	54
4.2.2 器件有源区定义.....	56
4.2.3 离子侧向注入与 NiGe 侧壁形成 .....	60
<b>4.3 本章小结 .....</b>	<b>67</b>
<b>参考文献 .....</b>	<b>68</b>
<b>第五章 总结与展望.....</b>	<b>71</b>
<b>附录 硕士期间科研成果 .....</b>	<b>73</b>
<b>致 谢 .....</b>	<b>74</b>

## Contents

<b>Chapter 1 Introduction .....</b>	1
<b>1.1 Background and motivation .....</b>	1
<b>1.2 Fabrication method of Si-based suspended strained Ge layer .....</b>	2
<b>1.3 Research progress on Si-based Ge PIN photodetector.....</b>	3
<b>1.4 Outline of the dissertation .....</b>	7
<b>References .....</b>	8
<b>Chapter 2 Research on Si-based micro-region structure .....</b>	14
<b>2.1 Finite element analysis on Si-based Ge micro-region structure .....</b>	14
2.1.1 Theory of introducing strain to Si-based suspended Ge layer .....	14
2.1.2 Foundation of finite element model.....	16
2.1.3 Analysis on simulated result .....	17
<b>2.2 Etching of Si-based suspended Ge membrane .....</b>	19
2.2.1 Wet etching process on Si.....	19
2.2.2 Impacts of dislocation-rich region on the etching process.....	23
<b>2.3 Fabrication and analysis on suspended Ge/Si bilayer structures .....</b>	30
2.3.1 Process routing of fabrication .....	30
2.3.2 Introduction and analysis on tensile strain in Ge .....	31
<b>2.4 Conclusions .....</b>	33
<b>References .....</b>	34
<b>Chapter 3 Structural design of SOI-based Ge lateral PIN photodetector.....</b>	37
<b>3.1 Performance parameter and structure of Ge photodetector .....</b>	37
<b>3.2 Structure parameters optimization of Ge photodetector by Silvaco....</b>	40
3.2.1 Stucture generation on device .....	40
3.2.2 Physical model and numerical computation method .....	41
3.2.3 Structure parameters optimization on device.....	42
3.2.4 Results and analysis on photodetector .....	45

<b>3.3 Conclusions</b> .....	49
<b>References</b> .....	50
<b>Chapter 4 Key technologies of SOI-based Ge lateral PIN photodetector</b> .....	52
<b>4.1 Characterization of SOI-based materials</b> .....	52
<b>4.2 Research on key technologies of Ge PIN photodetector</b> .....	54
4.2.1 Process routing of device fabrication.....	54
4.2.2 Determination of active region size .....	56
4.2.3 Ion implantation and NiGe formation on crossrange sidewall .....	60
<b>4.3 Conclusions</b> .....	67
<b>References</b> .....	68
<b>Chapter 5 Conclusions and Prospects</b> .....	71
<b>Appendix publications list</b> .....	73
<b>Acknowledgements</b> .....	74

# 第一章 绪 论

## 1.1 研究背景和意义

自上世纪 50 年代集成电路诞生至今，硅基微电子技术已经成为当今信息技术革命的基石，并推动人类社会持续进步。然而，随着信息化社会的高速发展，高响应速度，高传输速度和高数据容量的要求日益迫切，此时，仅仅依靠微电子技术中线宽等比例缩小已经无法解决这个问题，因为这会导致高功耗，散热严重等物理技术难题。

另一方面，光电子技术因其信息带宽、容量大<sup>[1]</sup>，功耗低，抗干扰能力强等优点而在超高速信息通信领域发挥了重要的作用。然而，主流光电子技术均以非硅基材料（如III-V 材料）为基础，存在与硅基集成电路难兼容的问题，而且，光电子如何与微电子集成也存在许多技术问题如光波导的传播损耗等<sup>[2]</sup>亟待解决。在此背景下，旨在将光电子通信与传统硅基微电子相结合的硅基光电子技术，近十年来发展方兴未艾，代表了信息技术未来的发展方向。

Ge 材料由于具有高空穴迁移率<sup>[3]</sup>和准直接带隙特性<sup>[4]</sup>而在硅基光电技术中被广泛使用。研究表明<sup>[4-6]</sup>，在 Ge 材料中引入一定应变将更进一步提高光电集成中器件性能。如引入一定压应变的 Ge 层所获得的空穴迁移率能比 Si 高 10 倍<sup>[7]</sup>，这对提高晶体管饱和驱动电流具有重要的作用。此外，张应变还可以调控 Ge 的能带结构，增强 Ge 的光学性能。据 R. A. Soref<sup>[8-10]</sup>等研究人员报道，大小为 1.7-2.0% 的双轴张应变被引入 Ge 层中后，Ge 的直接带隙将变小，发光效率将会有数量级上的增强<sup>[5, 6]</sup>。同时，引入张应变 Ge 的直接带隙将变小，吸收边向长波长扩展，近红外波段（1.31 -1.55 μm）的吸收系数也得到增强。锗因此成为制备硅基光电子高响应度探测器件的重要材料。

利用微机械力来提高具有微区结构 Ge 材料的张应变是近些年发展起来的一种简易有效引入张应变的方法。通过应力源层（stressor layer）的沉积，微区结构在应力源层弛豫过程中发生形变，借此将应变引入 Ge 微区结构<sup>[5, 11-14]</sup>。在应力源层沉积条件相同的情况下，不同微区结构所能获得的应变从大小、分布、

难易程度来看是不同的，相关研究亟待开展。

硅基近红外光电探测器是组成硅基光电集成电路的重要元件。如前所述，相比于传统 Si 材料，Ge 材料在 1.31-1.55  $\mu\text{m}$  通信波段有很理想的吸收系数，Ge 材料与现有的 Si 工艺技术也相互兼容。而近年来，硅基 Ge 外延技术也有了进一步的发展，通过低温缓冲层技术、SiGe 材料组分变化的缓冲层技术以及选区外延技术<sup>[15]</sup>，已经在硅衬底材料上获得高质量外延的 Ge 薄膜。这些进步都引起了人们对硅基外延 Ge 材料光电探测器发展的广泛关注。

## 1.2 硅基应变 Ge 悬空结构制备方法及存在问题

以制得各式各样微结构为目的的微机械加工技术构成了微电子机械系统 (micro electromechanical system) 研究的基础。在各式微结构中，悬空式微结构无论是在热过程、电过程，还是受力过程中均较少受到来自衬底的影响<sup>[16]</sup>。悬空式结构与衬底的去耦合可应用于梳齿驱动器<sup>[17, 18]</sup>，谐振式化学传感器<sup>[19]</sup>，高 Q 值的微型螺线管<sup>[20]</sup>，微型镜片<sup>[17]</sup>及提高结构内部材料的应变<sup>[5, 16]</sup>。

近些年来，随着硅基光电子技术的发展，硅基 Ge 外延材料的微结构成为相关研究的关注点。其中，Ge 悬空结构与引入应变的关系正被逐步揭示出来。例如，Donguk Nam<sup>[5]</sup>等人在硅基 Ge 材料上，构造了完全悬空的 Ge 薄膜，并在该结构背面溅射 W 层，在 Ge 层中成功引入了 1.13% 的张应变。而据 G. Capellini<sup>[21]</sup>等研究人员报道，在 Ge 悬空式结构和非悬空式结构中同时生长内压应力为 2GPa 的  $\text{Si}_3\text{N}_4$  应力源层的情况下，非悬空式结构的张应变最高为 0.5%，而悬空式结构因为没有了衬底的束缚，张应变最高达 0.75%。因此，在硅基 Ge 材料上构造悬空式结构对施加 Ge 层内部应变提供了有效途径<sup>[21-23]</sup>。

获得悬空结构主要有两种方法。其中一种是先定义出结构平面图形，然后通过各向异性和各向同性干法刻蚀来构造悬空结构<sup>[24]</sup>。此方法制备的悬空式结构尺寸可控，对于同质材料（如纯 Si 片）具有较大的实践意义。然而，这一方法在制备过程中工艺较为复杂，需提供高昂的实验耗材费用，且处理过程中可能需要过高的温度。

另一种制备方法是溶液湿法腐蚀。对于 Si 材料腐蚀，TMAH（四甲基氢氧

化铵) 溶液不含金属离子, 腐蚀过程中速率稳定且腐蚀后表面形貌平整<sup>[25-32]</sup>, 因此被广泛使用。另一方面, 对于硅基 Ge 材料, TMAH 溶液几乎不腐蚀 Ge<sup>[5]</sup>, 是构造 Ge 悬空结构的首选。

确定腐蚀具体条件后, 采用 TMAH 溶液对硅基 Ge 材料进行的腐蚀流程主要分为定义掩膜版图形和腐蚀控制两个步骤。一般情况下, 对于几乎无位错的 Si 样品, TMAH 溶液对 Si 每个晶面的腐蚀速率是均匀的。如对(001)Si 晶片的腐蚀, 样品表面将平行地向下移动。然而, 据我们小组的研究<sup>[33-34]</sup>, 在 Si 单晶上外延生长 Ge 的过程中, 由于单晶 Ge 材料与 Si 衬底之间存在着 4.2% 的晶格失配, 将会在正式生长 Ge 材料前引入一层低温生长的 Ge 材料来湮灭所产生的大部分失配位错。同时, 位错环将基于低温 Ge 层与 Si 衬底的交界面向上下两个方向延伸, 在交界处形成一个位错密集区域。在采用 TMAH 溶液腐蚀 Si 衬底的过程中, 要形成 Ge 悬空式结构, 必然会触碰到这个位错密集区。显然, TMAH 溶液对位错的腐蚀速率将不同于对某一晶面的腐蚀速率。位错密集区域对 TMAH 溶液腐蚀构造悬空结构将产生一定影响, 而其影响尚不清楚。因此, 深入研究 Si 基 Ge 外延材料上位错密集区域对 TMAH 溶液腐蚀的影响有着重要的意义。

### 1.3 硅基 Ge PIN 光电探测器研究进展

近红外 Ge 材料光电探测器的研究近年来有很多, 按照其结构通常可分为 MSM (金属-半导体-金属) 结构<sup>[35, 36]</sup>, APD (雪崩光电二极管) 结构<sup>[37, 38]</sup>以及 PIN 结构。MSM 结构的探测器具有结构简单、器件面积大以及同光纤耦合效率高等优点。Vivien L 等人<sup>[39]</sup>通过波导耦合的方式制作了 Ge 材料 MSM 光电探测器, -6V 电压下在 1.55 μm 信号的 3dB 带宽达到 25 GHz, 但-1V 电压下暗电流却高达  $6.5 \times 10^5$  mA/cm<sup>2</sup>。通常情况下, MSM 结构的探测器难以获得较低的暗电流, APD 结构的 Ge 光电探测器在通信波段带宽增益积足够高——可达 340 GHz<sup>[38]</sup>, 但结构复杂, 对材料生长要求较高。

相比之下, Ge PIN 结构光电探测器结构简单, 易于光电集成, 暗电流也比较小。受器件结构影响, 3dB 带宽、响应度、暗电流在研制过程中要有所权衡。根据光的入射方式, Ge PIN 探测器可以分为垂直入射型和边入射型。早在 1984

年, S.Luryi 等人<sup>[40]</sup>首次制备了垂直入射型 Ge 纵向 PIN 探测器。为了减少 Ge 层表面粗糙度和位错, 他们利用 MBE 生长了组分变化缓冲层的 SiGe 材料。该器件在对应  $1.45 \mu\text{m}$  波长的量子效率为 41%, 暗电流为  $50 \text{ mA/cm}^2$ 。随着高质量 Ge 外延技术进步, S. B. Samavedam 等人<sup>[41]</sup>将 Ge 探测器暗电流减少到  $0.15 \text{ mA/cm}^2$ , 对应  $1.3 \mu\text{m}$  波长处的理论带宽为  $2.35 \text{ GHz}$ 。2009 年, S. Klinger 等人<sup>[42]</sup>采用 MBE 在 Si 衬底上生长 PIN 型 Ge 层, 构造了新型的双台面结构(如图 1-1 所示), 将纵向 PIN 探测器的带宽扩展到了当年的极致—— $2 \text{ V}$  下的  $49 \text{ GHz}$ , 但其光响应度仅为  $0.02 \text{ A/W}$ 。实际应用中, 高响应速度( $3\text{dB}$  带宽大)的探测器件也需要有高响应度。纵向结构的 Ge 探测器需要增加本征层的厚度来增加光吸收, 以提高响应度, 但另一方面, 为了增大器件  $3\text{dB}$  带宽, 减少载流子渡越时间, 本征层又不能太厚。响应度与带宽的制约关系阻碍了探测器性能的进一步提高。

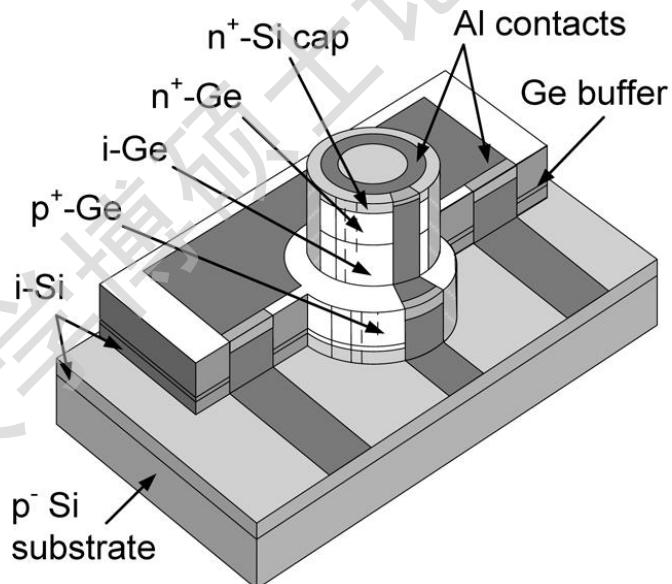


图 1-1 双台面 Ge 纵向 PIN 探测器结构<sup>[42]</sup>

在此背景下, 边入射型的 Ge PIN 探测器应运而生。边入射型的探测器一般采用波导结构。该器件中, 光的传播方向与载流子的输运方向分离, 成功地解决了高响应速度和高响应度之间的矛盾。近年来波导结构与探测器有三种耦合集成方式: 在探测器上方定义波导结构的顶部耦合<sup>[43]</sup>, 在探测器断面延伸出波导结构形成的端面耦合<sup>[44, 45]</sup>, 以及使用衬底材料(一般为 Si)作为探测器波导的底部耦合<sup>[46, 47]</sup>。三种耦合方式中, 端面耦合的效率最高。Laurent Vivien 等人<sup>[44]</sup>采用端

Degree papers are in the “[Xiamen University Electronic Theses and Dissertations Database](#)”.

Fulltexts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to [etd@xmu.edu.cn](mailto:etd@xmu.edu.cn) for delivery details.