

TEKNILLINEN KORKEAKOULU

Elektroniikan, tietoliikenteen ja automaation tiedekunta
Mikro- ja nanotekniikan laitos

David Gomes Martins

Viivelukittuun silmukkaan perustuvan kello- generaattorin suunnittelu ja toteutus

Diplomityö, joka on jätetty opinnäytteenä tarkastettavaksi
diplomi-insinöörin tutkintoa varten Espoossa 06.04.2009

Työn valvoja: Professori Kari Halonen

Työn ohjaaja: TkT Markku Åberg

Tekijä:	David Gomes Martins		
Työn nimi:	Viivelukittuun silmukkaan perustuvan kellogeneraattorin suunnittelu ja toteutus		
Päivämäärä:	06.04.2009	Kieli: Suomi	Sivumäärä: 6 + 72
Tiedekunta:	Elektroniikan, tietoliikenteen ja automaation tiedekunta		
Professori:	Piiritekniikka	Koodi: S-87	
Työn valvoja:	Professori Kari Halonen		
Työn ohjaaja:	TkT Markku Åberg		
<p>Tässä diplomityössä on esitetty korkean taajuuden kellogeneraattori joka perustuu viivelukitun silmukan topologiaan. Työ on osa Euroopan avaruusjärjestölle tehtyä tutkimusprojektia, jonka tarkoituksena oli suunnitella ja toteuttaa korkean kellotaajuuden analogia-digitaali (AD) -muunninmikropiiri. Toteutetun AD-muuntimen topologia on aikalomitettu rinnakkaisliukuhihna -tyyppinen, jossa muunnoksesta vastaavat 24 rinnakkaista liukuhihnayksikköä. Muuntimen nopeusvaatimukseksi asetettiin 2 GS/s näytteistysnopeus ja muunnoksen todelliseksi resoluutioksi 8 efektiivistä bittia.</p> <p>Diplomityö käsittelee AD-muuntimen kellogeneraattorin suunnittelu- ja toteutusvaiheita sekä prosessoitujen mikropiirien mittauksia. Viivelukittuun silmukkaan perustuva kellogeneraattori tuottaa 24 tasavälein viivästettyä 78 MHz:n kellosignaalia AD-muuntimen rinnakkaisliukuhihnoille. Suunnittelussa on kiinnitetty erityistä huomiota kellosignaalien ajoitusjitterin sekä viivevirheiden minimointiin.</p> <p>Työn alkuosa käsittelee pääosin kellogeneraattorin suunnitteluun sekä toteutukseen liittyviä seikkoja. Lisäksi työssä on esitetty lyhyt katsaus AD-muunninten topologioista ja näihin vaikuttavista näytteistysilmiöistä. Työn loppuosassa tarkastellaan kellogeneraattoripiirin viimeisimmän version mittauksia sekä viiveenkalibroitintia.</p> <p>Piirin lopulliset mittaustulokset määrittävät kellosignaaleiden ajoitusjitteriksi alle 1 ps ja maksimi viivevirheeksi noin 43 ps, joka on kalibroituavissa pois 0,5 ps tarkkuudella 8-bittisellä kalibrointilohkolla. Koska kellosignaalin virheitä ei aluksi kyetty määrittämään suoraan AD-muuntimen ulostulospektristä, jouduttiin signaalit mitaamaan testilevyiltä. Mittausjärjestelmän mitattavaan signaaliin lisäämän kohinan sekä muiden virheiden vuoksi voidaankin päätellä, että todelliset 24 kellosignaalia jotka kytkeytyvät AD-muuntimen rinnakkaisliukuhihnoille, ovat mitattuja testisignaaleja parempilaatuiset. Mikropiiri on toteutettu Austria Microsystemsin (AMS) 0,35 μm:n SiGe BiCMOS-prosessiteknologialla, mutta kellogeneraattorilohkossa on käytetty ainoastaan CMOS-teknologiaa.</p>			
Avainsanat:	viivelukittu silmukka, DLL, kellogeneraattori, ADC, AD-muunnin, viiveenkalibroitinti, viivevirhe, ajoitusjitteri		

Author:	David Gomes Martins	
Name of the Thesis:	The design and utilization of a delay-locked loop based clock generator	
Date:	06.04.2009	Language: Finnish Number of Pages: 6 + 72
Faculty:	Faculty of Electronics, Communications and Automation	
Professorship:	Microelectronics circuit design	Code: S-87
Supervisor:	Professor Kari Halonen	
Instructor:	Ph.D. (Tech.) Markku Åberg	
<p>This master's thesis presents a high-speed clock generator based on a delay-locked loop (DLL) topology. The thesis is a part of the European space agency's (ESA) research project where an analog-to-digital (AD) -converter was designed and implemented. The topology of the implemented AD-converter is a time-interleaved based where the conversion is handled by its 24 interleaved pipeline stages. The resolution of the converter was designed to be 8 effective bits and the sampling speed 2 GS/s.</p> <p>The thesis presents the designing and implementation of the clock generator that is designed for the target AD-converter. The delay-locked loop based clock generator generates 24 equally spaced phases that are each running at the speed of 78 MHz. The main focus of the design process has been on minimizing the amount of timing jitter and skew from the generated clock signals.</p> <p>The first part of this thesis mainly discusses the designing and implementation of the clock generator. Also the AD-converter topology and some of its sampling phenomenon are described briefly. The final part presents the measurement and skew calibration results of the clock generator's final version.</p> <p>The final measurements of the DLL-clock generator defines that the maximum timing jitter and skew for the output phases are 1 ps and 43 ps respectively. The skew can be calibrated using the 8-bit skew calibrator with 0.5 ps accuracy. Because either the timing jitter or the skew could not be measured at first directly from the output spectrum of the AD-converter, a test measurement board had to be used. This adds extra noise and error components into the measured signals. Due to this it can be expected that the real phases that are generated for the 24 interleaved fingers of the AD-converter are better than the measured ones. The microchip has been implemented with Austria Microsystems (AMS) 0.35 μm SiGe BiCMOS process technology, but only CMOS-transistors were used in the clock generator block.</p>		
Keywords:	delay-locked loop, DLL, clock generator, skew calibration, skew, timing jitter, ADC, AD-converter	

Alkusanat

Tämä diplomityö on tehty Valtion teknillisessä tutkimuskeskuksessa (VTT) Integroidut järjestelmäpiirit -tiimissä. Työ on osa Euroopan avaruusjärjestölle (ESA) tehtyä tutkimusprojektia jonka muut osapuolet olivat Helsingin teknillisen korkeakoulun (TKK) Piiritetkiikan laboratorio sekä Nokia.

Ensimmäisenä haluaisin kiittää Tekniikan Tohtori Markku Åbergia mielenkiintoisesta ja haastavasta aiheesta sekä sen ohjaamisesta. Kiitokset kuuluvat myös työn valvojalle Professori Kari Haloselle. Lisäksi haluan antaa erityiskiitokseni, jälleen kerran, tutkijakollegalleni Arto Rantalalle, joka lukuisilla neuvoillaan ja pitkäjänteisyydellään on mahdollistanut tämän diplomityön valmistumisen. Haluaisin kiittää myös tiimipäällikköäni Kari Tukkiniemeä, jonka avustuksella ja kärsivällisyydellä olen kyennyt sovittamaan opiskeluni ja työntekoni sujuvasti yhteen. Ja mitä olisikaan yksinäisyydessään puurtava tutkija ilman työtovereitaan, joita kutsua ystävikseen. Ilman työtovereitteni tukea tuskin jaksaisin enää päivääkään insinööritieteitä, kiitos.

Viimeisenä mutta tärkeimpänä osoittaisin arvostukseni siitä kaikesta tuesta ja äärimmäisestä jaksamisesta, joita Rakas vaimoni Erika sekä vauhdikkaat poikani Jonatan ja Anton ovat minulle osoittaneet.

— —
* *
|
_____/

Thank You Elvis!

Espoossa, 06.04.2009

David Gomes Martins

SISÄLLYSLUETTELO

Tiivistelmä

Abstract

Alkusanat..... i

Sisällysluettelo..... ii

Symboli- ja lyhenneluettelo iv

1 Johdanto 1

2 Korkean kellotaajuuden ongelmat..... 2

2.1 Ajoitusjitteri 4

2.2 Viivevirhe..... 6

3 Analogia-digitaalimuunnin 8

3.1 Erilaiset muunnintopologiat 8

3.1.1 Liukuhihnamuunnin..... 8

3.1.2 Rinnakkaismuunnin 9

3.1.3 Aikalomitettu rinnakkaisliukuhihnamuunnin 11

3.2 Ajoitusvirheen vaikutukset muuntimen toimintaan 13

3.3 Muuntimelle asetetut spesifikaatiovaatimukset 14

3.4 Analogia-digitaalimuunninjulkaisuja..... 16

4 Viivelukittu silmukka 18

5 Kellogeneraattorin toteutus 20

5.1 Kellogeneraattorijulkaisuja 20

5.2 Prosessiteknologia 21

5.3 Vertailukellopiiri 22

5.4 Piiritopologia 24

5.5 Kellogeneraattorin piirilohkot 29

5.5.1 Viivelinja..... 29

5.5.2 Jänniteregulaattori 32

5.5.3 Yhdistetty vaihevertailija ja varauspumppu 35

5.5.4 Viiveenkalibrintilohko 37

5.6 Rengasoskillaattoritestipiiri 38

5.7 Piirikuviosuunnittelu 41

5.8 Piirilevyn suunnittelu ja toteutus 45

5.9 Kellogeneraattorin mittaukset 48

5.9.1 Ajoitusjitterin mittaukset 50

5.9.1.1 Oskilloskooppimittaukset 50

5.9.1.2 vektorisignaali-analysaattorimittaukset 51

5.9.1.3 AD-muunninmittaukset 54

5.9.2 Viivevirheen mittaukset 55

5.9.3 Kalibrintilohkon mittaukset 56

6 Yhteenveto ja johtopäätökset	59
Lähdeviitteet	62
LIITE 1. Kellogeneraattorin piirikaavio.....	66
LIITE 2. Takaisinkytkentäsilman piirikaavio	67
LIITE 3. Testipiirilevyn piirikaavio	68
LIITE 4.1 Testipiirilevyn eri kerrosten piirikuviot L1 ja L2	69
LIITE 4.2 Testipiirilevyn eri kerrosten piirikuviot L3 ja L4	70
LIITE 5. Analogia-digitaalinen -muuntimen piirikuviot	71
LIITE 6. Ajoitusjitterin laskemiseen käytetty Aplac -ohjelma	72

Symboli- ja lyhenneluettelo

AD	<i>Analog to Digital</i> , analogia-digitaali-
ADC	<i>Analog to Digital Converter</i> , analogia-digitaali-muunnin
AMS	<i>Austria Microsystems</i>
CMOS	<i>Complementary Metal-Oxide Semiconductor</i> , komplementaarinen metallipuolijohderakenne
DA	<i>Design Architect</i> , Mentor Graphicsin piirikaavion piirto ohjelma
DLL	<i>Delay-Locked Loop</i> , viivelukittu silmukka
DSP	<i>Digital Signal Processing</i> , digitaalisignaali prosessointi
ENOB	<i>Effective Number of Bits</i> , efektiivisten bittien lukumäärä
ESA	<i>European Space Agency</i> , Euroopan avaruusjärjestö
ESR	<i>Equivalent series resistance</i> , kokonaissisäresistanssi
IC	<i>Integrated Circuit</i> , integroitu piiri
MPW	<i>Multi Project Wafer</i> , Moniprojekti piikiekkko (käytetään yleensä integroitujen piirien piensarjoja prosessoitaessa)
NAND	<i>Not And</i> , EI-JA-portti
PAD	Integroidulla piirillä oleva liitosalue
PADS	Mentor Graphicsin piirilevyn piirtoon ja suunnitteluun tarkoitettu ohjelma
PLL	<i>Phase-Locked Loop</i> , vaihelukittu silmukka
PSRR	<i>Power Supply Rejection Ratio</i> , käyttöjännitehäiriöiden vaimennussuhde
RIS	<i>Random Interleaved Sampling Mode</i> , lomitettu satunnaisnäytteistystila
RMS	<i>Root Mean Square</i> , tehollisarvo, tehon neliöllinen keskiarvo
RSD	<i>Redundant Signed Digit</i> , "Ylimääräiseksi merkitty bitti"
SFDR	<i>Spurious Free Dynamic Range</i> , spektrin särötön dynamiikka-alue
S/H	<i>Sample and Hold</i> , näytteistys- ja pitopiiri
SR	<i>Slew Rate</i> , seurantanopeus
S/N	<i>Signal-to-noise ratio</i> , signaali-kohinasuhde

SNDR	<i>Signal-to-noise and distortion ratio</i> , signaali-kohinasuhde (mukana särökomponentit)
SNR	<i>Signal-to-noise ratio</i> , signaali-kohinasuhde
TKK	Helsingin Teknillinen korkeakoulu
VTT	Valtion teknillinen tutkimuskeskus
f_c	Signaalin keskitaajuus
Δf	Taajuuskaista
A_i	Tietyllä taajuuskaistalla integroitu kohinapinta-ala
y_i	Yksittäisen pisteen kohinatehon taso
J_{RMS}	Ajoitusjitterin tehollisarvo
ϕ_n	Signaalinvaihe
Δt	Kahden signaalin välinen viive-ero
$\Delta\phi$	Kahden signaalin välinen vaihe-ero
f_s	Signaalitaajuus
γ	Kohinatekijä
μ_n	N-tyyppisen transistorikanavan varauksenkuljettajien liikkuvuus
μ_p	P-tyyppisen transistorikanavan varauksenkuljettajien liikkuvuus
C_{OX}	Hilaoksidin kapasitanssitiheys
W	Transistorikanavan leveys
L	Transistorikanavan pituus
SN_{REG}	Alkutilanasetus signaali
V_{CP}	Varauspumpun ulostulojännite
V_{CTRL}	Regulaattorin ulostulojännite
V_{DD}	Transistorin korkeampi käyttöjännite
V_{DD2}	Alkutilanasetuslohkon käyttöjännite
V_{IN}	Regulaattorin sisäänmenojännite
V_{SS}	Transistorin matalampi käyttöjännite
V_{T}	Transistorin kynnysjännite
I_{D}	Transistorikanavan virta
r_0	Transistorin ulostuloresistanssi
C_{L}	Ulostulon kuormakapasitanssi
i_n	Häiriövirta
\bar{V}_n	Häiriöjännite

T	Lämpötila Kelvineinä
g_m	Transistorin transkonduktanssi
Z_L	Ulostulon kuormaimpedanssi
σ_J	Näytteistyskellon normaalijakautunut epätarkkuus, ajoitusjitteri

1 Johdanto

Tulevaisuuden tiedonkäsittelyjärjestelmät ovat siirtymässä lisääntyvissä määrin kohti erittäin suuritaajuista digitaalista signaalinkäsittelyä (DSP). Nykyajan DSP-prosessorit omaavat jo kohtuullisen hyvän suorituskyvyn, mutta ongelmaksi muodostuikin nopean analogia-digitaali (AD) -muunnoksen tuottaminen laajalla sisääntulon signaali-kaistalla. Muuntimen näytteenottotaajuuden kasvaessa, nousevat myös vaatimukset erittäin hyvänlaatuiselle ja häiriöttömälle näytteistys-signaalille. Häiriöt ja kohina muunninta näytteistävän kellongeneraattorin signaalissa näkyvät suoraan muuntimen ulostulon spektrissä laskien informaation resoluutiota. Näytteistyskello-signaalin heikko laatu onkin noussut viime aikoina yhdeksi suurimmista rajoittavista tekijöistä nopeissa tietojärjestelmissä.

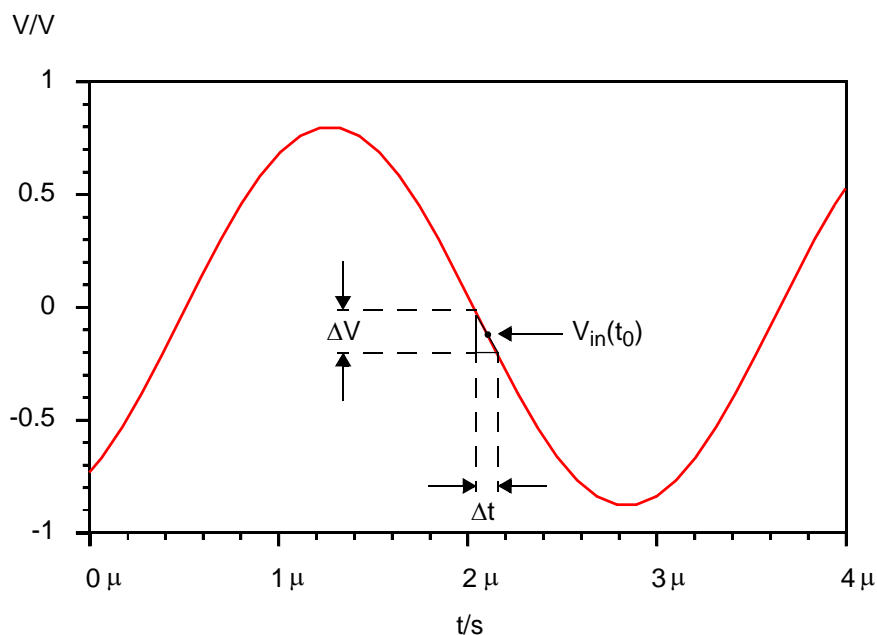
Tässä diplomityössä on esitetty viivelukittuun silmukkaan (DLL) perustuvan kellogeneraattorin suunnittelu ja toteutus. Työ on osa Euroopan avaruusjärjestölle (ESA) tehtyä tutkimusprojektia, jonka tarkoituksena oli selvittää, onko tietyt spesifikaatiovaatimukset täyttävää AD-muunninta mahdollista toteuttaa. Muuntimen efektiivisten bittien lukumäärän eli resoluution tulisi olla vähintään 8-bittinä. Lisäksi tavoiteltavaksi analogiasignaalin taajuudeksi asetettiin 1 GHz ja näytteistysnopeudeksi 2 GS/s. Jotta edellä mainittuihin spesifikaatiotavoitteisiin päästäisiin täytyisi näytteistyskellon sekä muunninjärjestelmän sisältää kokonaisuudessaan korkeintaan 0,5 ps:n ajoitusvirheen.

Projektin muita osapuolia olivat Helsingin teknillisen korkeakoulun (TKK) Piiriteknikan laboratorio, jonka tehtävänä oli suunnitella AD-muunnin osuus sekä Nokia, joka suoritti osan koko piirin lopullisista mittauksista. Valtion teknillisen tutkimuskeskuksen (VTT) Integroidut järjestelmäpiirit -tiimin osuus oli suunnitella ja toteuttaa muuntimen kellogeneraattorilohko. DLL-kellogeneraattorista on suunniteltu ja prosessoitu kolme eri versiota sekä useita testipiirejä, jotka sisältävät yksittäisten lohkojen lisäksi pienehköjä kokonaisuuksia. Diplomityössä keskitytään lähinnä viimeisimmän version piirisuunnittelun, simulointien ja mittaustulosten esittelyyn sekä tulkitsemiseen. Lisäksi työssä on käsitelty sivuavasti myös AD-muunnintopologioita sekä näihin liittyviä kellotusongelmia. Piirin viimeisin versio on prosessoitu Austria Microsystemsin (AMS) 0,35 μm :n SiGe-BiCMOS prosessiteknologialla, mutta itse kellogeneraattorilohkossa on käytetty ainoastaan perinteistä CMOS-tekniologiaa.

Kellogeneraattoripiirin lopulliset mittaustulokset määrittävät generoitujen näytteistys-signaalien ajoitusjitteriksi alle 1 ps ja maksimi viivevirheeksi noin 43 ps. Viivevirhe kyetään kalibroimaan pois 8-bittisellä kalibrointilohkolla, jonka tarkkuus on 0,5 ps ja dynamiikka-alue 100 ps:n luokkaa. Koska kello-signaalin virheitä ei aluksi kyetty määrittämään suoraan AD-muuntimen ulostulospektristä, jouduttiin signaalit mitata testilevyiltä. Tämä taas omalta osaltaan lisää kohinaa sekä muita virheitä mitattavaan signaaliin heikentäen mittaustuloksia. Mittausaineistosta voidaankin päätellä, että todelliset 24 kello-signaalia, jotka ohjaavat AD-muuntimen näytteistyslohkoja, ovat mitattuja testisignaaleita parempilaatuiset.

2 Korkean kellotaajuuden ongelmat

Monet nykyisistä AD-muuntimista ja digitaalisista järjestelmistä vaativat äärimmäisen tarkan kellosignaalin toimiakseen odotetulla tavoin. Vaikka perus kideoskillaattorit kykenevätkin helposti tuottamaan pienkohinaisen vertailusignaalin, toimivat ne usein liian matalilla taajuuksilla, jotta niitä olisi mahdollista käyttää suoraan korkean taajuuden järjestelmissä. Vaihelukittuja silmukoita (PLL) ja viivelukittuja silmukoita (DLL) käytetään yleisesti generoimaan korkean taajuuden kellosignaaleja ulkoisesta kellolähteestä tai kideoskillaattorista. Yksi nykyisten kellogeneraattoreiden suurimmista haasteista onkin tuottaa erilaisille tietojärjestelmille äärimmäisen matalan ajoitusvirheen omaava tarkka kellosignaali. Kellosignaalin sisältämä ajoitusvirhe koostuu pääosin ajoitusjitteristä sekä viivevirheestä, jotka yhdessä muodostavat kokonaisajoitusvirheen. Tämä virhe vaikuttaa kriittisesti sisääntulon analogiasignaalia näytteistävän kellon nousu- ja laskureunan sijaintiin. Kuva 2.1 esittää ajoitus- ja näytteistysvirheen suhdetta verrattuna ideaaliseen näytteistykseen $V_{in}(t_0)$. Mitä suurempi ajoitusvirhe Δt on, sitä suurempi on myös näytteistettyyn jännitteeseen muodostunut näytteistysvirhe ΔV .



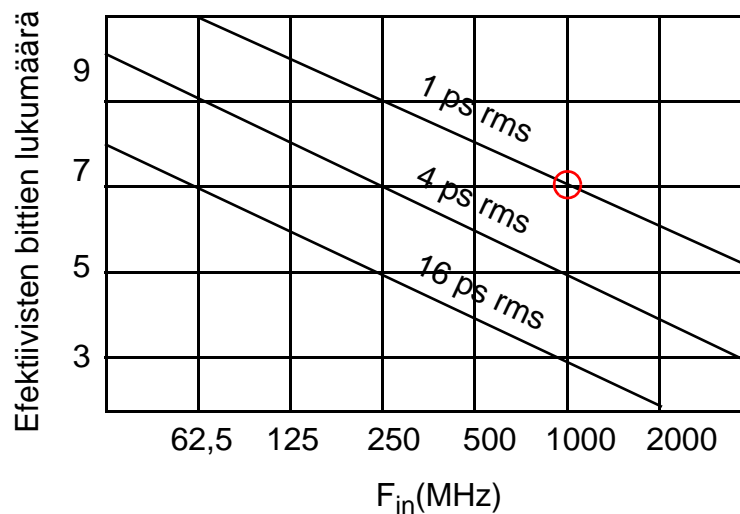
Kuva 2.1: Ajoitusvirheen Δt vaikutus signaalin näytteistysvirheeseen ΔV .

Koska näytteistettävän analogiasignaalin derivaatta dV_{in}/dt , eli tämän jyrkkyys on suurimmillaan signaalin puolivälissä, on ajoitusvirheen vaikutus suurimmillaan juuri tässä kohdassa. Yhtälöä 2.1 voidaan käyttää määrittämään ajoitusvirheen vaikutusta näytteistysvirheen suuruuteen signaalin eri osissa [All02].

$$\Delta V = \left| \frac{dV_{in}}{dt} \right| \Delta t. \quad (2.1)$$

Muuntimilla on niiden topologian määrittämä nimellisresoluutio. Niiden todellinen eli lopullinen resoluutio on kuitenkin heikompi johtuen erilaisista epätarkkuutta lisäävistä virheistä. Todellista resoluutiota kuvaa käsite efektiivisten bittien lukumäärä (ENOB).

Koska edellä mainitut virheet näytteistysajankohdassa siirtyvät suoraan näytteeseen, vaikuttaa esimerkiksi ajoitusjitterin määrä suoraan lopulliseen resoluutioon. Kuvassa 2.2 on esitetty AD-muuntimen sisältämän ajoitusjitterin sekä analogiasignaaliaajuuden F_{in} vaikutus muuntimen resoluutioon, eli efektiivisten bittien lukumäärään [Pou021].

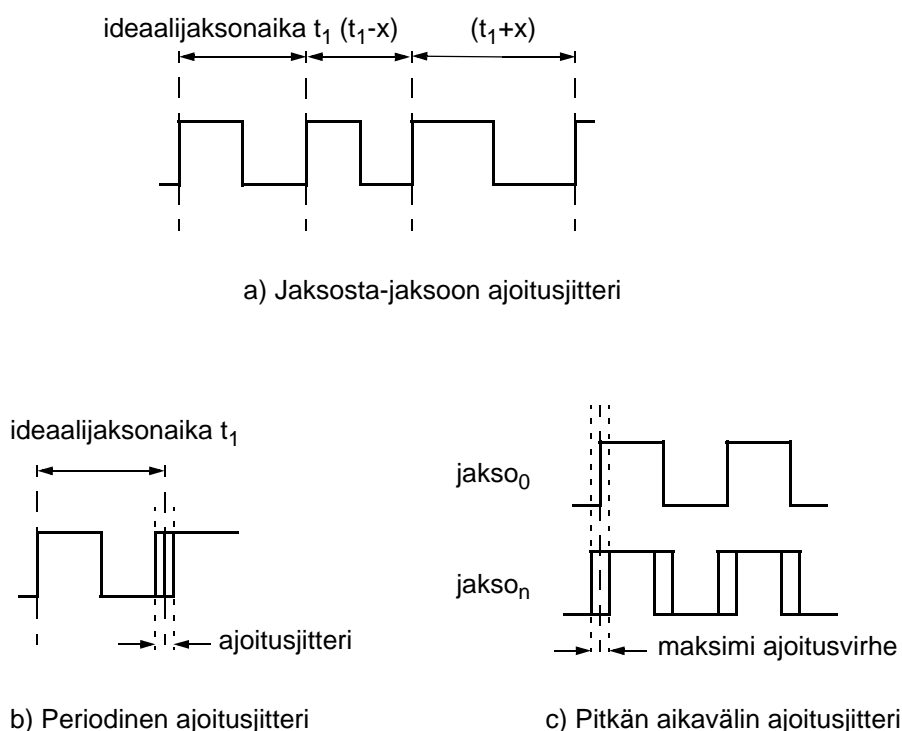


Kuva 2.2: AD-muuntimen efektiivisten bittien lukumäärä suhteessa analogiasignaaliaajuuteen sekä ajoitusjitteriin.

Esimerkkinä nähdään 1 GHz taajuinen sisääntulon analogiasignaali, jolle vaaditaan 7-efektiivisen bitin näytteistystarkkuus. Asteikolta saamme luvuksi 1 ps, jonka koko AD-muunninjärjestelmän ajoitusjitteri saa maksimissaan olla. Koska jo tämän suuruusluokan ajoitusjitteri on äärimmäisen vaikeasti saavutettavissa, on korkean suorituskyvyn kellogeneraattoria suunniteltaessa kiinnitettävä erityistä huomiota juuri ajoitusjitterin ja viivevirheiden minimointiin.

2.1 Ajoitusjitteri

Ajoitusjitteri määritellään poikkeamana ideaalisen näytteistyskellon pulssin reunasta. Poikkeama aiheuttaa todellisen- ja ideaalisen signaalin pulssinreunojen välille ajoitusvärinää, joka johtaa hetkelliseen ajoitusvirheeseen. On olemassa kahdenlaista ajoitusjitterin muodostumismekanismia; Satunnainen, joka on seurausta lämpökohinasta tai jostain muusta satunnaisesta ilmiöstä; sekä deterministinen, joka johtuu käyttöjännitteen vaihtelusta, häiriön kytkeytymisestä, läpikuulumisesta tai jostain vastaavasta jaksottaisesta ilmiöstä. Ajoitusjitteri voidaan vielä jakaa eri aliluokkiin. Näistä kolme erittäin yleistä ovat; jaksosta-jaksoon, periodinen sekä pitkän aikavälin ajoitusjitteri [Nel07][Tji07][Hug97]. Aliluokat ovat esitettyinä kuvassa 2.3.



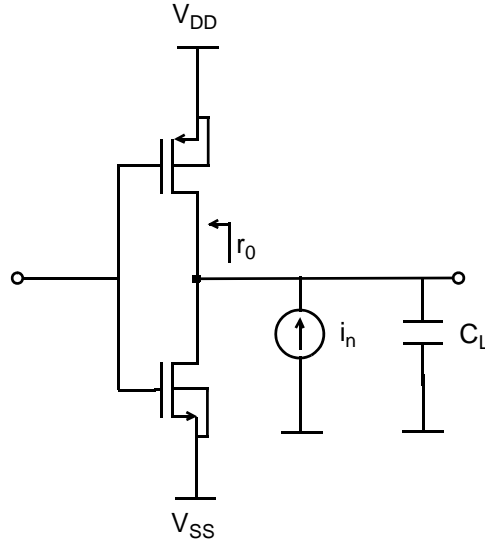
Kuva 2.3: a) Jaksosta-jaksoon-, b) periodinen- sekä c) pitkän aikavälin ajoitusjitteri.

Jaksosta-jaksoon ajoitusjitteri määrittää kuinka paljon signaalin jaksonaika muuttuu peräkkäisten jaksosten välillä. Jaksosta-jaksoon tyyppinen ajoitusjitteri on esitetty kuvassa 2.3 a).

Kuvan 2.3 b) ajoitusjitteriä, joka toistuu jaksoissa, kutsutaan periodiseksi jitteriksi. Se määrittää signaalireunan poikkeamaa ideaalijakson signaalireunaan nähden. Periodinen jitteri aiheutuu tyypillisesti ulkoisen, deterministisen häiriölähteen kytkeytymisestä järjestelmään, kuten esimerkiksi käyttöjännitteen vaihteluista.

Pitkän aikavälin ajoitusjitteriä käytetään määrittäessä signaaliin kertynyttä maksimi poikkeamaa ideaaliseen nähden usean pulssin ajalta. Tämä on esitetty kuvassa 2.3 c).

Koska järjestelmän generoima satunnainen ajoitusjitteri muodostuu pääosin transistorikanavan sekä muiden komponenttien, esimerkiksi vastusten lämpökohinasta, on syytä tutkia lähemmin tätä lämpökohinan ja ajoitusjitterin keskinäistä suhdetta. Ilmiötä voidaan tarkastella kuvan 2.4 CMOS-invertterikytkennän avulla [Haj99].



Kuva 2.4: CMOS-invertteri, jonka avulla voidaan tarkastella lähemmin transistorikohinan ja ajoitusjitterin keskinäistä suhdetta.

Invertterin ulostuloon on kytketty lämpökohinaa simuloiva virtalähde i_n .

$$\bar{i}_n = \sqrt{4kTYg_m\Delta f}, \quad (2.1.1)$$

jossa k on Boltzmannin vakio, T on lämpötila Kelvineinä, g_m on transkonduktanssi, γ on kohinatermi ja Δf on tarkasteltava taajuuskaista. Invertterin ulostuloimpedanssi Z_L voidaan johtaa kuormakapasitanssin C_L ja ulostuloresistanssin r_0 rinnakkaiskombinaatioksi.

$$Z_L = \frac{1}{\frac{1}{r_0} + sC_L}, \quad (2.1.2)$$

Kuormaimpedanssin Z_L seurauksena häiriövirta muuttuu häiriöjännitteeksi \bar{V}_n .

$$\bar{V}_n = \sqrt{\frac{kTYg_m r_0}{C_L}}, \quad (2.1.3)$$

joka saadaan integroimalla kohinaspektrin i_n tiheys taajuuskaistalla nolasta äärettömään. Aika jonka invertterin ulostulosignaalin reunan paikka muuttuu lämpökohinan seurauksesta, on kääntäen verrannollinen signaalireunan kaltevuuteen.

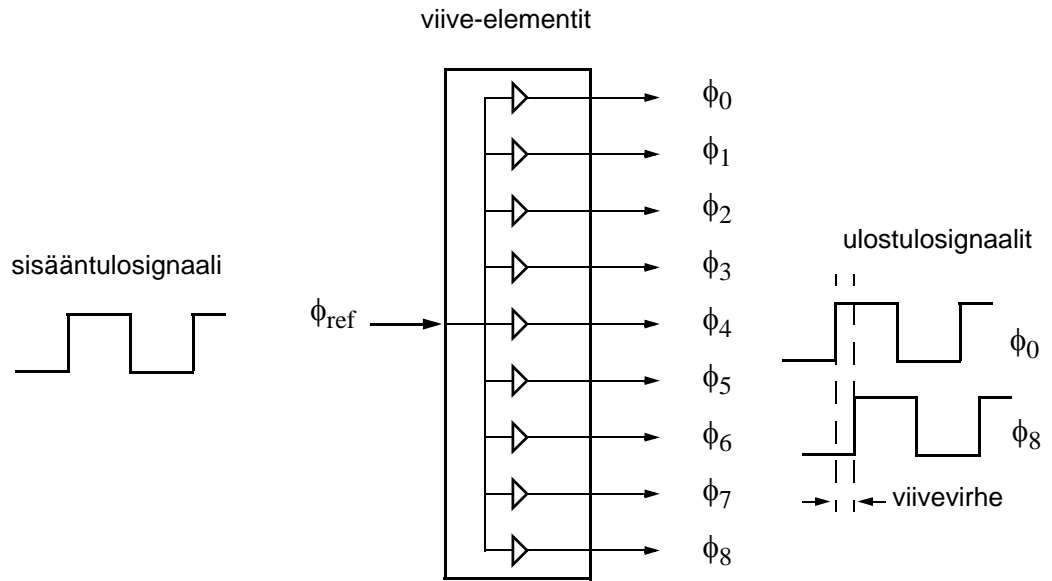
Koska signaalireunan kaltevuus on yhtenevä invertterin seurantanopeuden $SR=I_D/C_L$ kanssa, voidaan johtaa seuraava yhtälö ajoitusjitterille σ_t .

$$\sigma_t = \frac{\overline{V_n}}{SR} = \frac{\sqrt{kTYg_m r_0 C_L}}{I_D} = \sqrt{\frac{2kTYr_0 C_L}{\frac{W}{L}\mu C_{OX}(V_{DD} - V_T)^3}}, \quad (2.1.4)$$

jossa μ on transistorikanavan varauksenkuljettajien liikkuvuus, W on kanavan leveys ja L kanavan pituus, V_{DD} ja V_T ovat transistorin käyttö- sekä kynnysjännite ja C_{OX} on hilaoksidin kapasitanssitiheys. Yhtälöä tarkastelemalla nähdään ajoitusjitterin suora riippuvuus invertterin DC vahvistuksesta $g_m r_0$, joka johtuu matalilla taajuuksilla kohinavirran muuntumisesta jännitteeksi ulostuloresistanssissa r_0 . Minimoimalla ulostulovastus pienenee myös invertteripiirin generoima kohina. Yhtälö onkin erittäin hyödyllinen minimoitaessa ajoitusjitterin määrää. Esimerkiksi transistorien W/L -suhdetta, käyttöjännitettä V_{DD} ja virtaa I_D kasvattamalla voidaan myös pienentää ajoitusjitterin muodostumista [Wal02]. Muut optimointiparametrit liittyvät lähinnä komponentin lämpötilaan T sekä prosessiparametreihin γ ja C_{OX} , joita on jo astetta vaikeampi ryhtyä optimoimaan normaalein käytössä olevin suunnittelukeinoin.

2.2 Viivevirhe

Viivevirhe määritellään etenemisviiveen vaihteluna monen rinnakkaisen signaalitien välillä. Kuvassa 2.5, jokaisella signaalilla on tietty ideaalinen etenemisviive suhteessa muihin rinnakkaisiin signaaleihin. Viivevirhe aiheuttaa näihin viiveisiin ajoituspoikkeamaa. Se on pääosin seurausta signaalilinjojen sekä transistoriparametrien keskinäisestä epäsovituksista ja on jossain määrin poistettavissa. Signaalilinjojen sovitukseen voidaan vaikuttaa lähinnä suunniteltaessa ja piirrettäessä piirikuviota. Transistoriparametrien epäsovitusta voidaan minimoida piirtovaiheen lisäksi myös piiritopologian suunnittelu- ja simulointivaiheissa.



Kuva 2.5: Viivevirheen vaikutus rinnakkaisiin etenemisviiveisiin.

Yksi merkittävimmistä parametreista, jolla on vaikutusta viivevirheen suuruuteen, on transistorin kynnyksjännite ja sen vaihtelut komponenttien välillä. Yhtälöt 2.2.1 ja 2.2.2 kuvaavat komponenttiarvojen hajontaa.

$$\sigma^2(\Delta V_T) = \frac{A_{V_T}^2}{WL} + S_{V_T}^2 D^2 \quad (2.2.1)$$

$$\sigma^2(\Delta\beta) = \frac{A_{\beta}^2}{WL} + S_{\beta}^2 D^2 \quad (2.2.2)$$

Yhtälöissä esiintyvät $A_{V_T}^2$, A_{β}^2 , $S_{V_T}^2$ ja S_{β}^2 ovat käytetyn prosessin määrittämiä parametreja. Molempien yhtälöiden lopputermi riippuu komponenttien välisestä etäisyydestä D ja on useimmissa tapauksissa niin pieni, että se voidaan jättää huomioimatta. Kun tarkastellaan transistorin sovitukseen vaikuttavia tekijöitä, nähdään kuinka sekä kynnyksjännitteen ΔV_T että $\Delta\beta$:n vaihtelu ovat kääntäen verrannollisia hila-alueen WL kokoon [Pel89][Lak86]. Tästä voidaankin suoraan päätellä, että kasvattamalla transistorin hila-alueen kokoa saavutetaan parempi sovitus eri komponenttien välille käytetystä prosessista riippumatta. Edellinen päätelmä pätee myös tarkasteltaessa muidenkin komponenttien, kuten esimerkiksi vastuksien ja kondensaattoreiden pinta-alan vaikutusta sovitukseen.

3 Analogia-digitaalimuunnin

Tässä kappaleessa käsitellään analogia-digitaalinen (AD) -muuntimia sekä näiden sovelluksia. Aluksi käydään läpi joitain yleisimpiä nopeiden muuntimien topologioita sekä suuren muunnosnopeuden mukanaan tuomia ongelmia. Tämän jälkeen käsitellään toteutetulle muuntimelle asetettuja spesifikaatiovaatimuksia. Lopuksi vertaillaan nykyisiä suuren näytteistystaajuuden muuntimia sekä näiden spesifikaatioita keskenään.

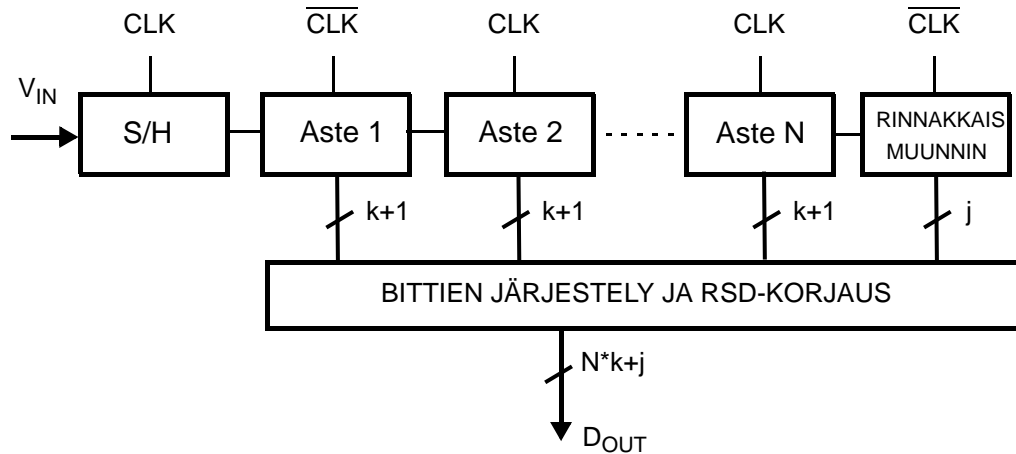
3.1 Erilaiset muunnintopologiat

Seuraavaksi esitellään nopeissa AD-muuntimissa yleisesti käytettyjä topologioita sekä näiden toimintaperiaatteet ja sovelluskohteet. Luku 3.1.3 "Aikalomitettu rinnakkaisliukuhihnamuunnin" käsittelee muita hieman laajemmin topologiaa, jota myös toteutetussa muuntimessa on käytetty.

3.1.1 Liukuhihnamuunnin

Liukuhihnamuuntimessa ajatuksena on käyttää analogista esikäsittelyä jakamaan sisääntuloalue eri ali-alueisiin ja vahvistaa signaalit näiden sisällä. Arkkitehtuuri on kehittynyt hyödyntäen kytkettyjen kapasitanssi (SC) -tekniikoiden vahvuuksia. Näitä ovat esimerkiksi erittäin tarkka ja lineaarinen analoginen vahvistus sekä summausoperaatiot diskreetissä aikamuodossa. Johtuen hyvänlaatuisesta analogisesta esikäsittelystä ja sen kattavasta käytöstä on yksittäisen asteen AD-muunnoksen resoluution oltava vain yhdestä kahteen bittiä. Tämän seurauksena näytteistyskapasitanssien lukumäärä pysyy pienenä, jolloin myös niiden väliset epäsovitukset kyetään minimoimaan hallitusti. Tämä näkyy suoraan bittien välisen sovituksen, eli resoluution paranemisena. Lisäksi muuntimen resoluutiota kasvatettaessa pinta-ala ei kasva yhtä räjähdysmäisesti, kuin esimerkiksi binääripainotteista topologiaa käyttävillä muuntimilla.

Kuvassa 3.1 on esitetty liukuhihna AD-muuntimen lohkokkaavio.



Kuva 3.1: Liukuhihna AD-muuntimen lohkokkaavio.

Liukuhihna AD-muunnoksen pääperiaate on löytää joukko vertailujännitteitä, joiden summa vastaa signaalin näytettä jota parhaillaan muunnetaan. Tämä toteutetaan vähentämällä näytteestä peräkkäin eri vertailujännitearvoja kunnes lopputulos on nolla, jolloin voidaan päätellä, että jännitearvot ovat samansuuruiset. Liukuhihna koostuu N kappaleesta yksittäisiä asteita, joista jokaisen sisääntulo on edellisen asteen ulostulo. Poikkeuksena kuitenkin ensimmäinen aste, jonka sisääntulona toimii analogiasignaali V_{IN} . Aste evaluoi aluksi sisään tulevan signaalin karkealla AD-muunnoksella, jonka tuloksena saadaan digitaalinen ulostulokoodi Q_i . Nyt kun sisään tulevan signaalin suuruusluokka tiedetään, voidaan vertailujännitteen lähin kerrannainen, $Q_i \cdot V_{REF, i}$ vähentää siitä ja tuloksena saatu signaali vahvistaa vahvistinasteessa. Tämän seurauksena saadaan asteen ulostulojännite

$$V_{OUT, i} = G_i \cdot V_{OUT, i-1} - Q_i \cdot V_{REF, i} \quad , \quad (3.1.1)$$

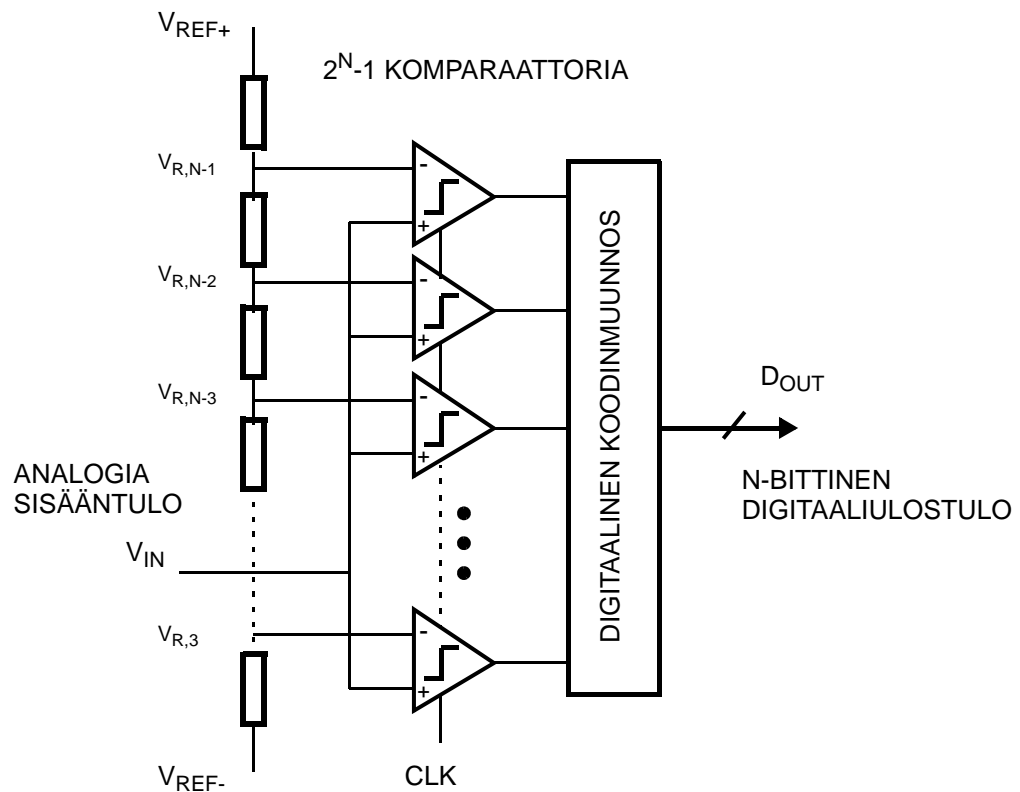
jota käytetään sisääntulona seuraavalle asteelle. Asteiden $k+1$ bittiä sekä loppupään rinnakkaismuuntimen j bittiä syötetään lopuksi digitaalilohkoon joka asettaa bitit järjestykseen sekä suorittaa näille RSD-korjauksen. Näin saadaan aikaan resoluutioltaan $N \cdot k + j$ bittinen muunnin [Sum02].

3.1.2 Rinnakkaismuunnin

Rinnakkaismuunnin on kaikkein nopein sekä yksi yksinkertaisimmista AD-muunnin topologioista. Kuvassa 3.2 on esitetty tähän topologiaan perustuvan AD-muuntimen lohkokkaavio. Muunnin toteuttaa $2^N - 1$ -tasoisen kvantisaation kyseisellä määrällä komparaattoreita. Komparaattoreiden vertailujännitteet on generoitu käyttäen vastuksista muodostettua tikapuuverkkoa, jonka päät on kytketty positiivisen V_{REF+} sekä negatiivisen V_{REF-} jännitteiden välille. Komparaattoreiden ulostulot antavat yhdistettynä $2^N - 1$

-bittisen digitaalikoodin. Kunkin komparaattorin ulostulo määräytyy siitä onko analogiasisääntulo V_{IN} suurempi tai pienempi kuin komparaattorin toinen vertailujännite $V_{R, N-1}, V_{R, N-2}, \dots, V_{R, 3}$. Lopuksi kelloitettu digitaalikoodi muunnetaan binääriseen muotoonsa D_{OUT} .

Koska sisääntulosignaali on kytketty suoraan komparaattoreiden sisääntuloon, on rinnakkaisarkkitehtuuri erittäin nopea. Sen nopeutta rajoittaa ainoastaan komparaattoreiden nopeus. Toinen erittäin hyvä ominaisuus on pieni latenssi, joka on tyypillisesti ainoastaan yhdestä kahteen kellojaksoa. Suurin heikkous rinnakkaismuuntimilla on kuitenkin se tosiasia, että sen sisältämien komparaattoreiden määrä kasvaa eksponentiaalisesti bittimäärän lisääntyessä. Tämä näkyy suoraan käytetyn pinta-alan sekä tehonkulutuksen suurena kasvuna. Tästä syystä rinnakkais -AD-muuntimet soveltuvat sellaisenaan resoluutioltaan korkeintaan seitsemän bitin muuntimiin [Wal02].



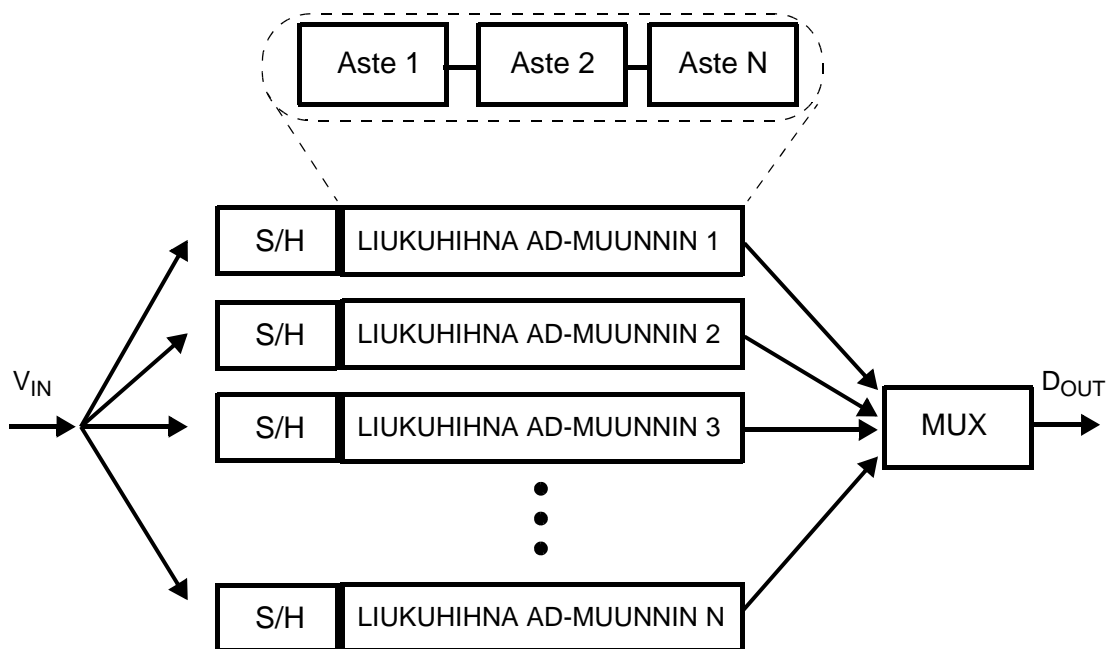
Kuva 3.2: Rinnakkais -AD-muuntimen lohkokaavio.

3.1.3 Aikalomitettu rinnakkaisliukuhihnamuunnin

Toteutetun AD-muuntimen topologia on niin sanottu aikalomitettu rinnakkaisliukuhihna-tyyppinen, jossa sisääntulosignaalin näytteistykseen ja muunnoksen hoitavat rinnakkaiset liukuhihnakanavat. Rinnakkaiskanavat ovat näytteistykseen puolesta asetettu aikalomitettuun järjestykseen, jolloin saavutettu muunnosnopeuden kasvu perinteiseen AD-muuntimeen verrattuna on huomattava. Mikäli yhden kanavan näytteistysnopeus on f_{clk} , ja kanavien lukumäärä on N , saadaan muuntimen kokonaisnäytteenottotaajuudeksi f_{TOT} .

$$f_{TOT} = N \cdot f_{clk} \quad . \quad (3.1.2)$$

Liukuhihnakanavassa näytteistetyn analogiasignaalin kvantisointi on jaettu koko liukuhihnakan alueelle, jolloin on mahdollista saavuttaa nopea sekä korkea resoluutioinen AD-muunnos [Wal02]. Yksittäiset liukuhihnakanavat koostuvat toteutetussa muuntimessa 1,5- ja 2-bittisistä asteista, jotka ovat sijoitettuina näytteistyspiirin (S/H) yhteyteen kuvan 3.3 mukaista topologiaa käyttäen.

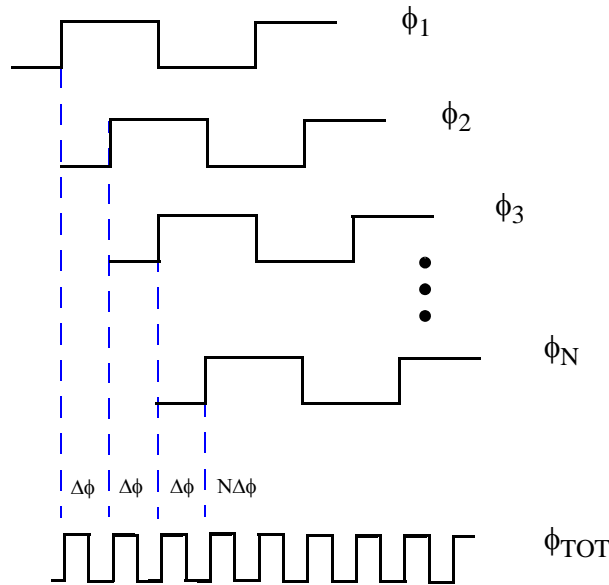


Kuva 3.3: Aikalomitetun rinnakkaisliukuhihna -AD-muuntimen lohkokkaavio.

Kuvassa 3.3 on esitetty N -asteinen aikalomitetun rinnakkaisliukuhihnakan AD-muunnin. Muuntimen S/H-piirit näytteistävät sisääntulon analogiasignaalia V_{IN} kellogeneraattorin määrittämällä näytteenottotaajuudella. Kun signaali on näytteistetty, syötetään peräkkäiset näytteet vuorollaan kuhunkin liukuhihnakanavaan.

Rinnakkaisten liukuhihnakanavien ulostulot on yhdistetty multipleksoimalla, jolloin koko muuntimen ulostuloksi saadaan f_{TOT} taajuinen yhdistetty digitaalisignaali D_{OUT} [Hak03].

Rinnakkaisten liukuhihnakanavien näytteistysignaalijärjestys, aikalomitus ja muuntimen kokonaisnäytteistys ϕ_{TOT} on esitetty kuvassa 3.4.



Kuva 3.4: Esimerkki rinnakkaisten liukuhihnakanavien kellotusjärjestyksestä.

Rinnakkaisten näytteistysignaali-ajoitus hetki on määriteltävä erittäin tarkasti. Ajoitushetken virheellä sekä tästä muodostuvalla näytteistysvirheellä on suuri merkitys muuntimen lopulliseen resoluutioon. Koska kaikki virheet näytteistysajankohdassa siirtyvät suoraan näytteistetyn jännitteen absoluuttiarvoon, on tähän seikkaan kiinnitettävä erityistä huomiota muuntimen näytteistysignaaleita suunniteltaessa. Jakamalla yhteinen näytteistyslohko useampaan ja siirtämällä nämä kunkin liukuhihnan yhteyteen, on näytteistysignaalin tilannetta kyetty parantamaan huomattavasti. Näin päästään myös suurempaan muunnosnopeuteen, koska yksittäinen kanava joutuu ottamaan näytteen ainoastaan taajuudella joka on muuntimen kokonaistaajuus jaettuna liukuhihnojen lukumäärällä. Yksittäisen kanavan näytteistystaajuuden laskiessa kasvaa puolestaan näytteistyskapasitanssijännitteen näytteistysaika. Tämä taas vaikuttaa otetun jännitteen tarkkuuteen sekä muuntimen lopulliseen resoluutioon.

Yhdistämällä näytteistys, aikalomitus- ja liukuhihnatekniikka yhteen, saadaan aikaan topologia joka on sekä erittäin nopea että myös korkearesoluutiainen. Kyseinen topologia on lisäksi tehoa ja pinta-alaa säästävää, verrattuna esimerkiksi kokonaan rinnakais-AD-muunnintopologialla toteutettuun.

3.2 Ajoitusvirheen vaikutukset muuntimen toimintaan

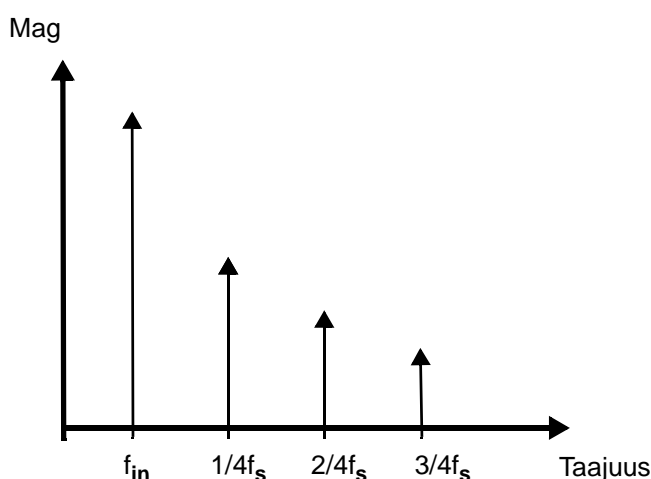
Piirin kokonaisajoitusvirhe koostuu ajoitusjitterin lisäksi viivevirheestä. Tämän luvun tarkasteluissa on keskitytty ajoitusvirheen vaikutuksiin lähinnä aikalomitetun rinnakkaisliukuhina tyyppisen muuntimen tapauksessa.

Kuten aiemmin jo on todettu, aiheuttavat kellosignaalinlinjojen epäsymmetrisyys sekä komponenttien epäsovitus viivevirhettä näytteistävien signaalien välille. Komponenttien sisäiset kohinat sekä häiriöiden erilaiset kytkeytymismekanismit taas aiheuttavat ajoitusjitteriä. Nämä molemmat ajoitusvirheet aiheuttavat epätarkkaa näytteistystä AD-muuntimen sisääntulon analogiasignaaliin. Tämä taas lisää ei-toivottuja harmonisia säröpiikkejä sekä kohinaa ulostulon spektriin, pienentäen täten särötöntä dynamiikka-aluetta (SFDR) ja signaali-kohinasuhdetta (SNR).

Viivevirheen vakiosuuruus suhteessa rinnakkaisiin näytteistyskanaviin aiheuttaa ulostulospektriin säröpiikkejä määrätuille harmonisille taajuuksille, heikentäen AD-muuntimen suorituskykyä ja pienentäen spektrin särötöntä dynamiikka-aluetta. Säröpiikit syntyvät harmonisille taajuuksille, jotka voidaan laskea yhtälön 3.2.1 avulla [Hak03][Kur01].

$$f_{\text{piikki}} = \pm f_{\text{in}} \pm \frac{k}{N} f_s \quad k = 1, 2, 3, \dots, N - 1, \quad (3.2.1)$$

jossa f_{piikki} esittää ulostulon spektriipiikkien taajuutta, f_{in} on sisääntulon signaalitaajuus, N on muuntimen rinnakkaisten näytteistyslohkojen lukumäärä ja k on kokonaislukumuuttuja. Kuvassa 3.5 on esitetty esimerkitapaus viivevirheen aiheuttamista säröpiikeistä neljä-lohkoisen aikalomitetun rinnakkaisliukuhina -AD-muuntimen ulostulospektrissä.



Kuva 3.5: Viivevirheen aiheuttamat säröpiikit neljä-lohkoisen aikalomitetun rinnakkaisliukuhina -AD-muuntimen ulostulospektrissä.

Normaalijakautuneen ajoitusjitterin satunnainen käyttäytyminen saa puolestaan aikaan pohjakohinatason nousua ulostulospektrissä. Muuntimen ulostulon SNR, suhteessa näytteistyskellon epätarkkuuteen ja signaalitajuuteen saadaan laskettua yhtälön 3.2.2 avulla [Wal02][Shi90].

$$\text{SNR} = -20\log(2\pi f_{\text{in}}\sigma_J), \quad (3.2.2)$$

jossa f_{in} on sinimuotoisen sisääntulosignaalin taajuus ja σ_J esittää normaalijakautunutta näytteistyskellon epätarkkuutta eli ajoitusjitteriä.

Yksi AD-muuntimen hyvyyttä kuvaavista parametreista on efektiivisten bittien lukumäärä (ENOB). ENOB määrittää suoraan muuntimen todellisen resoluution ja se voidaan laskea signaali-kohinasuhteesta yhtälön 3.2.3 avulla [Sum02].

$$\text{ENOB} = \frac{\text{SNDR} - 1,76\text{dB}}{6,02\text{dB}} \quad (3.2.3)$$

Yhtälöstä nähdään, että muuntimen resoluutio on suoraan verrannollinen sen ulostulospektrin signaali-kohinasuhteeseen (SNDR). SNDR määrittää signaali-kohinasuhteena, jossa kohinaosuudessa on mukana myös spektrin särökomponentit. Edellä esitetyistä yhtälöistä voidaan johtaa seuraavanlainen ajoitusjitterin määrittely 3.2.4. Tämä esittää myös ajoitusjitterin suurinta tehollisarvoa, joka voidaan sallia AD-muuntimen analogiasignaalia näytteistävissä kellosignaaleissa, kun muuntimelta vaaditaan tiettyntasoisia resoluutiota.

$$\sigma_J = \frac{1}{2\pi f_{\text{in}}} 10^{-\left(\frac{6,02 \times \text{ENOB} + 1,76}{20}\right)} \quad (3.2.4)$$

Esimerkkinä voidaan laskea, että mikäli 2 GHz analogiasignaalia näytteistetään, on näytteistävän kellosignaalin sisällettävä vähemmän kuin 0,25 ps ajoitusjitteriä, jotta AD-muuntimen ulostulon signaalikohina-suhde olisi 50 dB, joka vastaa noin kahdeksaa efektiivistä bittiä. Muuntimen efektiivisten bittien lukumäärään vaikuttavatkin suurelta osin sisääntulon analogiasignaalin taajuus ja näytteistävän kellosignaalin sisältämä ajoitusjitteri. Lisäksi on myös huomioitava muuntimen itsensä generoimat analogia- ja digitaalivirheet sekä kohina, joilla kaikilla on huomattava vaikutus efektiivisten bittien lopulliseen lukumäärään.

3.3 Muuntimelle asetetut spesifikaatiovaatimukset

Euroopan avaruusjärjestön (ESA) teettämän tutkimusprojektin tavoitteena oli toteuttaa analogia-digitaalinen (AD) -muunninmikropiiri, joka täyttäisi sille asetetut spesifikaatiovaatimukset. Koska projektin luonne on pääosin tutkimustyyppinen, tarkoituksena oli lähinnä selvittää ovatko vaaditut spesifikaatiot toteutettavissa, ja mikäli eivät, mitkä ovat käytännön rajoittavat tekijät. Keskeisimpiä parametreja, joilla on muunti-

men topologian valinnan lisäksi myös suora vaikutus kellogeneraattorin topologiaan sekä yleisiin suunnittelulinjauksiin, ovat näytteistystaajuus ja muunnosnopeus sekä resoluutio. Muuntimen nopeusvaatimukseksi asetettiin 2 GS/s näytteistysnopeus sekä 1 GHz analogiasignaalityajuus. Analogia-digitaalimuunnoksen todellisen resoluution tulisi olla 8-bittä. Taulukkoon 3.1 on koottu oleellimmat AD-muuntimelle asetetut spesifikaatioparametrit.

Spesifikaatioparametri	Arvo
Analogiasignaali taajuus	10 MHz – 1 GHz
Näytteistysnopeus	2 GS/s
Resoluutio (ENOB)	8 bittä
Signaali-kohina-suhde (SINAD)	54 dB
Särötön dynamiikka-alue (SFDR)	60 dB @ 50 MHz
Käyttöjännite	5V
Tehonkulutus	Minimoitava
Toimintalämpötila-alue	-10 – +55 C°

Taulukko 3.1: Kooste oleellisimmista AD-muuntimelle asetetuista spesifikaatioparametreista.

Johtuen prosessointi- ja piirtovaiheen aiheuttamista epäideaalisuuksista ja epäsovituksista tulisi simuloinneissa saavutetun muunnosresoluution olla vähintään 10-bittä, jotta 8-bitin spesifikaatiovaatimukseen olisi käytännössä mahdollista päästä. Yleisimpiä syitä simuloitujen ja toteutuneen resoluution väliseen eroon ovat prosessiparametrien vaihtelut eri prosessiajojen sekä simulointimallien välillä. Lisäksi piirikuvion epäideaalisuuksista aiheutuvat parasitiiviset piirikomponentit heikentävät lopullisen muuntimen suoritusarvoja.

Muunninta suunniteltaessa on myös oleellista tietää mikä järjestelmän ajoitusjitteri saa kokonaisuudessaan olla, jotta tavoite spesifikaatiot olisi edes teoriassa mahdollista saavuttaa. Käyttäen efektiivisten bittien lukumäärää sekä analogiasignaalityajuutta saadaan ajoitusvirheen enimmäismääräksi laskettua yhtälön 3.2.4 avulla 0,5 ps. Jotta tähän tavoitteeseen päästäisiin täytyy sekä kellogeneraattorin että AD-muunninjärjestelmän sisältää kokonaisuudessaan korkeintaan tämän verran ajoitusvirhettä. Ajoitusvirheen laskemiseen käytetyt yhtälöt on esitetty tarkemmin kappaleessa 3.2 “Ajoitusvirheen vaikutukset muuntimen toimintaan”.

3.4 Analogia-digitaalimuunninjulkaisuja

Seuraavaan taulukkoon (3.2) on kerätty lista nykyisistä AD-muuntimista. Lista koostuu lähinnä korkean muunnosnopeuden sekä näytteistystaajuuden omaavista muuntimista. Muuntimet on pyritty valitsemaan niin, että niiden näytteistystaajuus sekä resoluutio olisivat melko lähellä toteutetun muuntimen vastaavia, jotta vertailu olisi mahdollisimman suoraviivaista. Vaikkakin muuntimen näytteistys- ja signaalitaajuutta olisi melko helppoa nostaa käytetyn prosessiteknologian ylärajoille saakka, tulee kunkin toteutuksen kohdalla yleensä vastaan tekijöitä, jotka rajoittavat efektiivisten bittien lukumäärää (ENOB). Nämä rajoittavat tekijät liittyvät pääosin käytettyyn prosessiteknologiaan sekä piiritopologiaan. Ongelmat voivat tietysti liittyä myös siihen tosiasiaan, että mitattaessa erittäin nopeita ja matalakohinaisia järjestelmiä, olisi niitä mittaavan järjestelmän oltava huomattavasti nopeampi ja matalakohinaiempi kuin itse mittauskohde.

AD-muunnin	Prosessi	Näytteistystaajuus [GS/s]	Tehonkulutus [W]	ENOB
[Atm06]	-	2,0	6,5	7,3
[Atm061]	-	2,2	4,2	7,6
[Nat061]	-	1,5	1,2	7,3
[Nat062]	-	2,5	1,8	7,0
[Ves04]	47-GHz SiGe	2,0	3,5	6,3
[Taf04]	0,18 μm	1,6	0,8	7,3
[Pou02]	0,35 μm	4,0	4,6	5,0
[Fig06]	90 nm	1,0	0,1	5,3
[Gup06]	0,13 μm	1,0	0,2	8,3
Tämä työ [Hak07]	0,35 μm SiGe	1,7	3,9	7,8

Taulukko 3.2: Lista nykyisistä korkean muunnosnopeuden omaavista analogia-digitaalimuuntimista.

Listan neljä ensimmäistä muunninta ovat kaupallisia tuotteita ja loput tieteellisissä julkaisuissa esitetyjä. Vertailujen tekeminen näiden kahden ryhmän välillä tuottaa ongelmia pääosin sen vuoksi, ettei kaupallisten muunninten valmistajilta ole saatavilla tietoa käytetyistä prosessiteknologioista. Perussääntönä voidaan kuitenkin pitää, että viivanleveyden pienentyessä on mahdollista päästä samalla pinta-alalla parempaan sovitukseen komponenttien välillä. Tämä johtaa lukuisista eri lähteistä aiheutuvien näytteistysvirheiden pienemiseen, jolloin efektiivisten bittien lukumäärä kasvaa ilman kalibroinnin tai datan jälkikäsitteilyn osuuden kasvattamista. Lisäksi pienenevä viivanleveys kasvattaa transistorien ylärajataajuutta mahdollistaen muuntimen korkeamman näytteistysnopeuden. Yksi selkeimmin näkyvä ominaisuus on myös tarvittavan käyttöjännitteen aleneminen, joka näkyy tehonkulutuksen neliöllisenä pie-

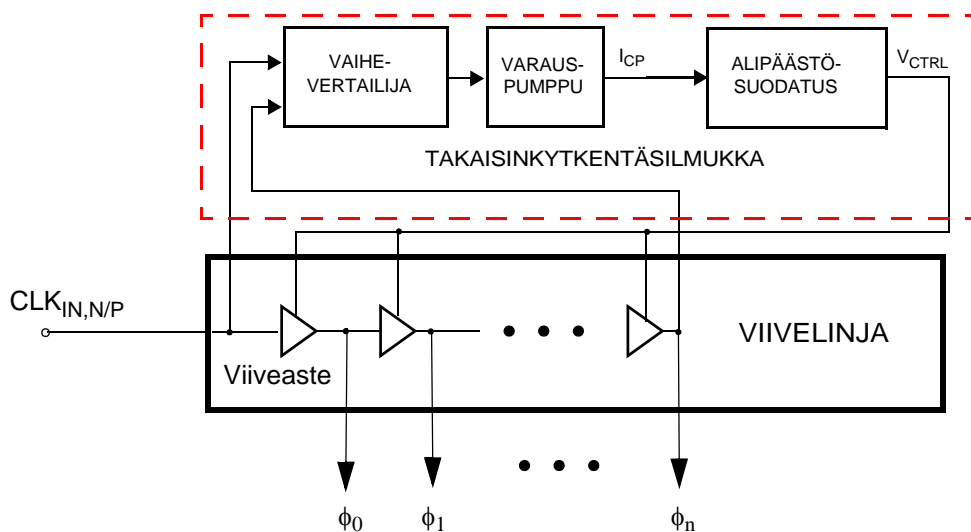
nenemisenä. Verrattaessa työssä toteutettua muunninta [Hak07] muihin taulukossa 3.2 esitettyihin havaitaan sen kuuluvan yksiin parhaimmista tarkasteltaessa efektiivisten bittien lukumäärää. Mikäli otetaan huomioon käytetyn prosessiteknologian viivanleveys, joka liki kaikissa muissa tieteellisten julkaisujen muuntimissa on pienempi, ovat myös tehonkulutus sekä näytteistystaajuus erittäin vertailukelpoisia.

Muunninten keskinäiseen vertailuun on olemassa myös laskennallisia keinoja joiden tuloksena saadaan erilaisia laatulukuja. Lukujen avulla erityyppisiä muuntimia on helpompi vertailla keskenään vaikka nämä omaisivatkin eri resoluution, näytteistystaajuuden tai tehonkulutuksen. Tarkempaa muunninvertailua käyttäen matemaattista lähestymistapaa on esitelty lähteessä [Hak07].

4 Viivelukittu silmukka

Näytteistys- ja ajoitussignaalien laadun on havaittu olevan yksi nykyisten, nopeiden muunnin- ja tiedonkäsittelyjärjestelmien kriittisimmistä parametreista. Taajuuksien yhä kasvaessa nousevat myös kellosignaalien generointiin kohdistuvat vaatimukset. Järjestelmät toisin sanoen vaativat puhtaan kellon toimiakseen oikein. Monet uusista järjestelmistä vaativat myös useita, toisiinsa nähden erittäin tarkkaan ajoitettuja kellosignaaleja. Koska kellosignaalien generointi on enenevässä määrin yhä kriittisempää, on eri tekniikoita ongelman ratkaisemiseksi tutkittu laajaltikin. Yksi yleisimmin käytetyistä tavoista toteuttaa monta rinnakkain näytteistävästä kellosignaalia on viivelukittuun silmukkaan (DLL) perustuva topologia.

Myös vaihelukittuja silmukoita (PLL) käytetään samantyyppisissä sovelluksissa kuin viivelukittuja silmukoita. Näitä käytetään usein myös sovelluksissa joissa tarvitaan kellotaajuuden kertomista tai jakamista. Vaikka PLL kykeneekin jossain määrin vähentämään ulkoisen vertailukellon mukanaan tuomaa ajoitusjitteriä sen alipäästö tyyppisen vasteensa vuoksi, tekee ajoitusjitterin pitkäaikainen kertyminen, eli akkumulaatio, siitä herkin käyttäjännite- ja substraattikohinalle. Syy, miksi DLL usein mielletäänkin paremmaksi ratkaisuksi rinnakkaisten kellosignaalien generoimiseen, on sen parempi sietoisuus piirin sisäiselle kohinalle [Bee04].

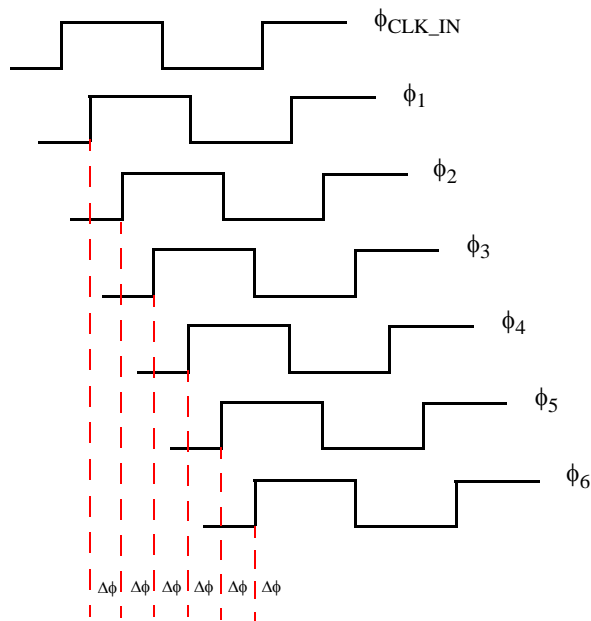


Kuva 4.1: Lohkotason esitys viivelukittusta silmukasta.

Viivelukittuun silmukan perusideana on lukita viivelinjan kokonaisviive vakiosuuruiseksi, jolloin viivelinjan ulostulovaiheet saadaan asettumaan tasavälein toisiinsa nähden. Tämä tapahtuu vertaamalla viivelinjan kahden eri viiveasteen vaihetta toisiinsa ja ohjaamalla tämän perusteella yksittäisten asteiden viiveitä, kunnes vertailtavat vaiheet ovat samat. Tällöin linjan kokonaisviive on asettunut halutun suuruiseksi.

Kuvassa 4.1 on lohkotason esitys viivelukitusta silmukasta. Yleensä keskenään vertailtavat vaiheet ovat viivelinjan ensimmäinen ja viimeinen, jolloin ulostulovaiheet $\phi_0 \dots \phi_n$ saadaan jakautumaan tasavälein, eli kaikilla on sama vaihe-ero edelliseen ja seuraavaan nähden.

Aluksi ulkoista vertailusignaalia $CLK_{IN, N/P}$ ja viivelinjan viimeistä signaalia ϕ_n verrataan keskenään vaihevertailijan avulla. Vaihevertailijan havaitseman vaihe-eron perusteella varauspumppu generoi joko negatiivisia tai positiivisia virtapulsseja I_{CP} ulostuloonsa. Lopuksi virtapulssien alipäästösuodatuksen tuloksena saatu DC-jännite V_{CTRL} syötetään ohjaamaan viivelinjan kokonaisviivettä. Näin takaisinkytkentäsil-
mukka kykenee seuraamaan järjestelmässä tapahtuvia muutoksia reaaliajassa ja tekemään niiden perusteella tarvittavat säädöt viiveisiin.



Kuva 4.2: 6-asteisen viivelinjan ulostulovaiheet.

Kuvassa 4.2 nähdään esimerkki 6-asteisen viivelinjan ulostulovaiheista. Koska vaiheet ovat jakautuneet tasaisesti koko vaiheympyrän alueelle, on jokaisen asteen vaihe-ero $\Delta\phi$ edelliseen nähden täsmälleen samansuuruinen.

$$\Delta\phi = \frac{360^\circ}{N}, \quad (4.1)$$

jossa N on viivelinjan asteiden lukumäärä. Eli vaihe-erojen yhteenlaskettu summa on 360° -astetta, joka kattaa koko kellojakson pituuden. Edellinen tilanne kuvastaa ideaalitapausta ja todellisuudessa ulostulovaiheiden välille muodostuukin viivevirhettä. Tämä viivevirhe on pääosin seurausta piirikuvion parasitiivisistä komponenteista, prosessiparametrien vaihteluista sekä esimerkiksi käyttöjännitehäiriöistä. Lopullisessa toteutuksessa olisi nämä epäideaalisuudet otettava huomioon piirikuvion jälkisi-
muloinneissa sekä yksittäisten signaalien viiveenkalibroinneilla.

5 Kellogeneraattorin toteutus

Tässä kappaleessa tutustutaan aluksi korkean suorituskyvyn kellogeneraattoritoteutuksiin tieteellisten julkaisujen avulla. Tämän jälkeen esitellään tässä työssä toteutetun DLL-kellogeneraattorin topologiaan, suunnitteluun ja prosessointiin liittyviä seikkoja. Lisäksi käsitellään kellogeneraattorin piirikuvion sekä mittaamiseen käytetyn piirilevyn suunnitteluvaiheet. Lopuksi esitetään prosessoitujen piirien mittaustuloksia sekä näiden mittauksiin liittyviä ongelmatekijöitä.

5.1 Kellogeneraattorijulkaisuja

Kellogeneraattoreita käsitteleviin tieteellisiin julkaisuihin tutustuminen ja vertailu antaa hyvän yleiskuvan käytetyistä topologioista sekä metodeista, joilla käytännön ratkaisut olisi viisainta toteuttaa. Näin kyetään heti suunnittelun alkuvaiheessa karsimaan pois toteuttamiskelvottomat lähestymistavat sekä välttymään turhilta prosessointikierros -iteraatioilta.

Erilaisia kellogeneraattoreita sekä näiden sovelluksia on tutkittu laajalti viimevuosien ajan. Erittäin korkeaan suorituskykyyn yltävistä DLL-topologiaan perustuvista kertojista sekä kellogeneraattoreista on tehty lukuisia tieteellisiä julkaisuja.

Toteutus	Käyttösovellus	Prosessiteknologia	Kellotaajuus	RMS ajoitus-jitteri
[Bro06]	PLL kellogeneraattori	0,18 μm CMOS	500 MHz - 2,5GHz	3,3 ps
[Lia06]	Impulssiradio ja UWB	0,35 μm CMOS	50 MHz - 150 MHz	3,4 ps
[Pou022]	AD-muunnin	0,35 μm CMOS	125 MHz	1,1 ps
[Pou03]	AD-muunnin	0,18 μm CMOS	250 MHz	0,7 ps
[Far02]	Kertova DLL	0,18 μm CMOS	200 MHz - 2 GHz	1,7 ps
[Fo101]	Kellosyntetisaattori	0,5 μm CMOS	600 MHz - 1,6 GHz	3,2 ps
[Hsu06]	Piirien välinen kommunikaatio	0,18 μm CMOS	1,6 GHz - 3,2 GHz	3,6 ps
[Che07]	Muuttuvavaiheinen kellopuskuri	0,18 μm CMOS	450 MHz - 600 MHz	1,8 ps
[Ran07]	AD-muunnin	0,35 μm CMOS	38 MHz - 123 MHz	<0,7 ps

Taulukko 5.1: Korkean suorituskyvyn omaavia kellogeneraattori toteutuksia.

Taulukkoon 5.1 on kerätty näiden ja joidenkin muuntyyppisten kellogeneraattoreiden oleellisimpia parametreja. Esitetyt parametrit ovat käyttösovellus, valmistukseen käytetty prosessiteknologia, kellotaajuus sekä tehollinen (RMS) ajoitusjitteri. Taulukon julkaisut on pyritty valitsemaan niin, että ne olisivat mahdollisimman hyvin verrattavissa keskenään. Tarkastellessa kellotaajuutta on taulukon parametreissa kuitenkin havaittavissa suuriakin eroja. Tämä johtuu siitä tosiasiasta, että piirilohkon, kuten esimerkiksi viivelukitun silmukan sisäinen taajuus voi erota huomattavasti toteutuksen kokonaiskellotaajuudesta. Ulostulosignaali saattaa olla mahdollisesti montakin kertaa jaettu/kerrottu sisäisestä vertailusignaalista. Koska kellotaajuus on käyttösovelluksen määrittämä ja sitä voidaan käytetyn prosessiteknologian rajoissa muuttaa, ei tämä parametri anna erityisen kuvaavaa laatulukua vertailun työkaluksi.

Tehollinen ajoitusjitteri sen sijaan on erittäin hyödyllinen ja suoraviivainen parametri kuvattaessa kellosignaalin hyvyttä. Verrattaessa tässä työssä toteutetun kellogeneraattorin ajoitusjitteriä muihin listalla oleviin voidaan sen havaita olevan kaikista matalin. On syytä kuitenkin huomata, että osassa muita julkaisuja ilmoitettu lukuarvo pitää sisällään koko järjestelmän ajoitusjitterin. Tästä voidaan päätellä itse kellogeneraattorin osuuden kokonaisajoitusjitteriin olevan ilmoitettua hieman pienempi. Joka tapauksessa on selvää, että toteutettu DLL-kellogeneraattori sijoittuu taulukon parhaimpien joukkoon verrattaessa ajoitusjittereiden suuruutta keskenään.

Vertailtaessa julkaisuissa käytettyjä topologiaratkaisuja keskenään, voidaan havaita selkeä trendi matalan ajoitusjitterin sekä tietyn tyyppisten rakenteiden välillä. Nämä rakenteet ovat esimerkiksi CMOS-viivesolu ja yhdistetty vaihevertailija-varauspumppu, joita myös tässä työssä toteutetussa kellogeneraattorissa on käytetty. Rakenteet on lisäksi pyritty toteuttamaan mahdollisimman yksinkertaisiksi ja minimoimaan käytettyjen transistorien määrää. Tämä johtaa parempaan komponenttien väliseen sovutukseen sekä pienempään määrään kohinalähteitä signaaleilla. Lisäksi matalan ajoitusjitterin julkaisuissa on yleisesti kiinnitetty erityistä huomiota käyttöjännitteiden regulointiin, joka omalta osaltaan vähentää signaaleihin ulkoapäin kytkeytyvän häiriön määrää.

5.2 Prosessiteknologia

Prosessiteknologian valinnalla on erittäin keskeinen ja kriittinen osa piirin lopullisen toimivuuden kannalta. Prosessiteknologian valinta on ensimmäisiä parametreja jotka jo suunnittelun alkumetreillä on kiinnitettävä. Päätöksellä on kauaskantoiset vaikutukset koko piirin toiminnalle. Valinnassa on otettava huomioon tarvittavan nopeuden lisäksi käyttöjännitteiden tasot sekä käytettävä piiritopologia, joista määrittyvät vaadittavien piirikomponenttien tyypit. Lisäksi valinnalla on ratkaiseva vaikutus lopullisen tuotteen hintaan ja toteutettavuuteen.

Taulukkoon 5.2 on koottu tiedot AD-muunninpiirin toteutukseen käytetystä Austria Microsystemsin 0,35 μ m SiGe-BiCMOS prosessista [Imec].

Prosessiteknologia	AMS 0,35 μ m SiGe-BiCMOS 4M/4P
Minimi viivanleveys	0,35 μ m
Metallien lkm	4 metallikerrosta (+ 2 monikerroksinen pii)
Korkea resistiivinen vastus	Kyllä
Porttiviive (NAND)	0.10 ns
Käyttöjännite	3,3 ja 5V (3.6 ja 5.5V, absoluuttinen maksimi)
Kondensaattoriarvo/pinta-ala	0.86 fF / μ m ²
Maksimi taajuus $f_{t,max}$	70 GHz @ $V_{ce} = 2$ V
Valmissolukirjastot	Kyllä
Hinta/pinta-ala (MPW)	1000 eur / mm ²
Minimi pinta-ala	7mm ²

Taulukko 5.2: Lista keskeisistä Austria Microsystemsin 0,35 μ m SiGe-BiCMOS ominaisuuksista ja prosessiparametreista.

AD-muuntimen vaatimat SiGe-bipolaaritransistorit ohjasivat pitkälti teknologian valintaa. Tästä huolimatta kellogeneraattorin toteutuksessa päädyttiin loppujen lopuksi käyttämään ainoastaan perinteisiä CMOS-transistoreja. Valittaessa prosessiteknologiaa AD-muunninpiirille on vertailujen jälkeen päädytty Austria Microsystemsin 0,35 μ m SiGe-BiCMOS prosessiteknologiaan, jota käytettiin kahden viimeisimmän piirin integrointiin. Valinta perustuu pääosin seuraaviin kriteereihin: Teknologia sisältää kaikki piirin toiminnan kannalta oleelliset komponentit ja ominaisuudet; suunnitteludokumentaatioiden hyvä saatavuus; entuudestaan tunnettu prosessi; suhteellisen nopea, mutta ei kuitenkaan uusinta teknologiaa; luotettavuus; sekä hinta. Hinnassa on kuitenkin huomioitava, että ilmoitettua 1000 euron neliöhintaa sovelletaan ainoastaan piensarjojen tuotannossa niin sanotuissa MPW-prosessiajoissa, jota käytetään lähinnä testaus- ja tutkimuskäytössä. Mikäli tilattavat määrät nousevat suurtuotanto- eli kiekkotasolle, alenee neliöhinta huomattavasti.

5.3 Vertailukellopiiri

Järjestelmän signaalitaajuuden noustessa tulevat vaatimukset näytteistyskellon ajoitusjitterin pienuudelle yhä kriittisemmiksi. On äärimmäisen vaikeaa, ellei mahdollista, suodattaa ajoitusjitteriä pois kellosignaalista jälkikäteen. Tästä johtuen on välttämätöntä valita ulkoiseksi vertailukellopiiriksi mahdollisimman hyvälaatuinen ja matalakohinainen. Tällä tavoin järjestelmään summautuvan ajoitusjitterin määrä saadaan minimoitua.

Kellogeneraattorin ajoitusjitteri sekä oskillaattorin vaihekohina riippuvat suuresti käytetystä taajuudesta. Yleisesti voidaan sanoa, että korkeampi taajuus tarkoittaa lyhyempää signaalin pulssinleveyyttä ja täten myös pienempää lyhyen aikavälin ajoitusjitteriä. Kaupallista kellopiiriä valittaessa joudutaan kellotaajuuden lisäksi käytännössä ottamaan huomioon myös ajoitusjitterin ja vaihekohinan suuruus sekä hinta ja saatavuus. Kellogeneraattorin ulkoisen vertailukellon valinnassa asetettiin tälle tietyt spesifikaatiovaatimukset. Näitä ovat esimerkiksi, että taajuusalueen olisi oltava välillä 300 MHz – 350 MHz ja että kellopiirillä tulisi olla äärimmäisen pieni ajoitusjitteri sekä matala vaihekohina. Vertailukellopiirejä olisi myös kyettävä ostamaan pienissä erissä. Tämä tarkoittaa, että sen on oltava perustuote hintansa ja saatavuutensa suhteen, toisin kuin mittatilaustyönä teetetyt.

Usean tyyppisten vertailukellojen testimittauksen jälkeen päädyttiin lopullisessa kellogeneraattorissa käyttämään Integrated Circuit Systemsin 311 MHz:n SAW oskillaattoria M650 [M650]. Ajoitusjitterin tyypilliset RMS-tehollisarvot kyseiselle oskillaattorille ovat 0,23 ps, kun vaihekohinaa on integroitu taajuuskaistalla 12 kHz – 20 MHz ja 0,46 ps, kun integrointikaista on 12 kHz – 80 MHz keskitaajuudesta mitattuna. Mikäli saman keskitaajuuden omaavia piirejä verrataan keskenään, ovat luvut astetta pienemmät kuin vertailukelloissa Tc200 ja M5rj, joita kahden aiemman kellogeneraattoriversion tapauksessa käytettiin [Tc200][M5rj].

Ajoitusjitterin mittaukset M650-piirille suoritettiin kahdella eri oskilloskoopilla sekä laskemalla mitatusta vaihekohinasta. Ajoitusjitteri voidaan laskea mitatusta vaihekohinasta integroimalla kohina tietyllä taajuuskaistalla kantaallon läheisyydessä. Tuloksena saadaan kohinan RMS-tehollisarvo aikaskaalassa, eli signaalin ajoitusjitteri. Mittalaitteina käytettiin Agilent 54830B ja Agilent 54855A oskilloskooppeja sekä Agilent 89605B vektorisignaali-analysointia. Taulukkoon 5.3 on koottu kaikki oleelliset tiedot sekä tulokset mittauksista.

Mittauslaite	Laitteen oma ajoitustarkkuus	Mitattu/laskettu ajoitusvirhe
Agilent 54830B oskilloskooppi	10 ps (RMS)	9.229 ps (RMS), mitattu
Agilent 54855A oskilloskooppi	3 ps (RMS)	2.699 ps (RMS), mitattu
Agilent 89605B Vektorisignaali-analysointia	< -97 dBc/Hz @ 20 kHz < -115 dBc/Hz @ 100 kHz	3.870 ps (RMS), laskettu mitaustuloksista

Taulukko 5.3: Kahdella eri oskilloskoopilla sekä Vektorisignaali-analysointilla suoritettujen ajoitusvirheen mittaukset M650-kellogeneraattoripiirille.

Kuten taulukosta voidaan selvästi havaita, ovat laitteiden omat, sisäiset ajoitustarkkuudet huomattavasti huonompia, kuin valmistajan piirille M650 ilmoittama ajoitusjitteri. Tästä voidaan jälleen päätellä, kuinka hankalaa on mitata äärimmäisen pienen vaihekohinan omaavia piirejä, kun kaupallisten mittalaitteiden oma pohjakohina on usein kertaluokkaa tätä suurempi. Jotta mittauksissa päästäisiin edes lähelle vaadittavaa tarkkuutta, olisi itse mittalaitteiden oltava astetta matalakohinaisempia kuin mitauksen kohteena olevan piirin. On olemassa myös matemaattisia menetelmiä

selvittää kokonaisajoitusjitteri tai jokin tämän tuntemattomista osakomponenteista. Tuntematon osakomponentti saadaan esimerkiksi selville vähentämällä neliöllisesti tunnetut osakomponentit kokonaisajoitusjitteristä. Matemaattisesta lähestymistavasta on esitetty tarkempi selvitys kappaleessa 5.9.1, “Ajoitusjitterin mittaukset”.

5.4 Piiritopologia

Erlaisia viivelukittuun silmukkaan (DLL) perustuvia kellogeneraattorin piirirakenteita ja topologioita on testattu kahdessa tätä aiemmin prosessoidussa piirissä sekä useissa testipiireissä [Ran03][Ran05]. Lukuisat mittaukset ja tulosten analysoinnit sekä jälkisiemuloinnit ovat olleet suunnannäyttäjinä viimeisimmän piirin topologiaa suunniteltaessa. Yksittäisten lohkojen osalta valintaperusteisiin vaikuttavia tekijöitä sekä valintakriteerejä esitellään tarkemmin kappaleessa 5.5 “Kellogeneraattorin piiri-lohkot”. Seuraavaksi esitellään ylemmän tason piiritopologian valintoihin vaikuttaneita seikkoja, jonka jälkeen selostetaan viimeisimmässä kellogeneraattoritoteutuksessa käytetyn piiritopologian lohkotason esitys sekä koko järjestelmän simuloititulosia.

Yksi merkittävistä piiritopologian valintoihin vaikuttaneista seikoista oli tietyn taajuuden sekä riittävän matalakohinaisen vertailukellopiirin saatavuus. Aiemmissa versioissa käytettiin 622 MHz:n ja 667 MHz:n vertailukelloja, joiden taajuus jouduttiin etuasteessa jakamaan ennen viivelinjan sisääntuloa. Jako jouduttiin suorittamaan ennen viivelinjaa siitä yksinkertaisesta syystä, ettei käytetyllä prosessiteknologialla päästy hyväksyttävään suorituskykyyn vertailukellojen tarjoamilla taajuuksilla. Viivelinjan kuuden ulostulosignaalin vaiheet ja taajuus jaettiin vielä toistamiseen, jolloin AD-muuntimen näytteistyslohkoille syötettävien kahdentoista signaalin taajuudet olivat 156 MHz ja 167 MHz. Viimeisintä versiota suunniteltaessa oli jo saatavana kaupallisia 311 MHz:n vertailukelloja, jotka täyttivät niille asetetut spesifikaatiovaatimukset kohinan ja ajoitusjitterin osalta. Taajuuden puoliintumisen seurauksena voitiin etuasteen ylimääräinen jakaja poistaa. Tämä taas osaltaan vähentää signaalitiellä olevien komponenttien ja täten myös kohinalähteiden määrää.

Toinen merkittävä muutos aikaisempiin kellogeneraattoriversioihin nähden oli ulostulovaiheiden kaksinkertaistuminen kahdestatoista kahteenkymmeneen neljään. Tämä oli seurausta AD-muuntimen sisäiseen topologiaan ja strategiaan tehdyistä muutoksista. Tämän johdosta puoliintui muuntimelle menevien vaiheiden taajuus, joka taas omalta osaltaan helpottaa muunninlohkojen näytteistystä sekä muuta toimintaa.

Viivelinjassa voi olla teoriassa yhtä monta viiveastetta, kuin tarvittavia generoitavia vaiheitakin. Joka tapauksessa, viiveasteiden suuri määrä lisää piirin tehonkulutusta sekä muodostuvaa ajoitusjitteriä ja viivevirhettä. Näihin seikkoihin vaikuttaa pääosin se tosiasia, että CMOS -viive-elementeillä on tilanvaihdoksen aikana jokin äärellinen resistanssi. Mitä pidempi tämä tilanvaihdos on, sitä pidempään kulkee virtaa resistanssin kautta maapotentiaaliin. Tämä aiheuttaa kasvavan tehonkulutuksen lisäksi viivelinjan käyttöjännitteeseen ei-toivottuja virtapiikkejä sekä jännitteen hetkellistä

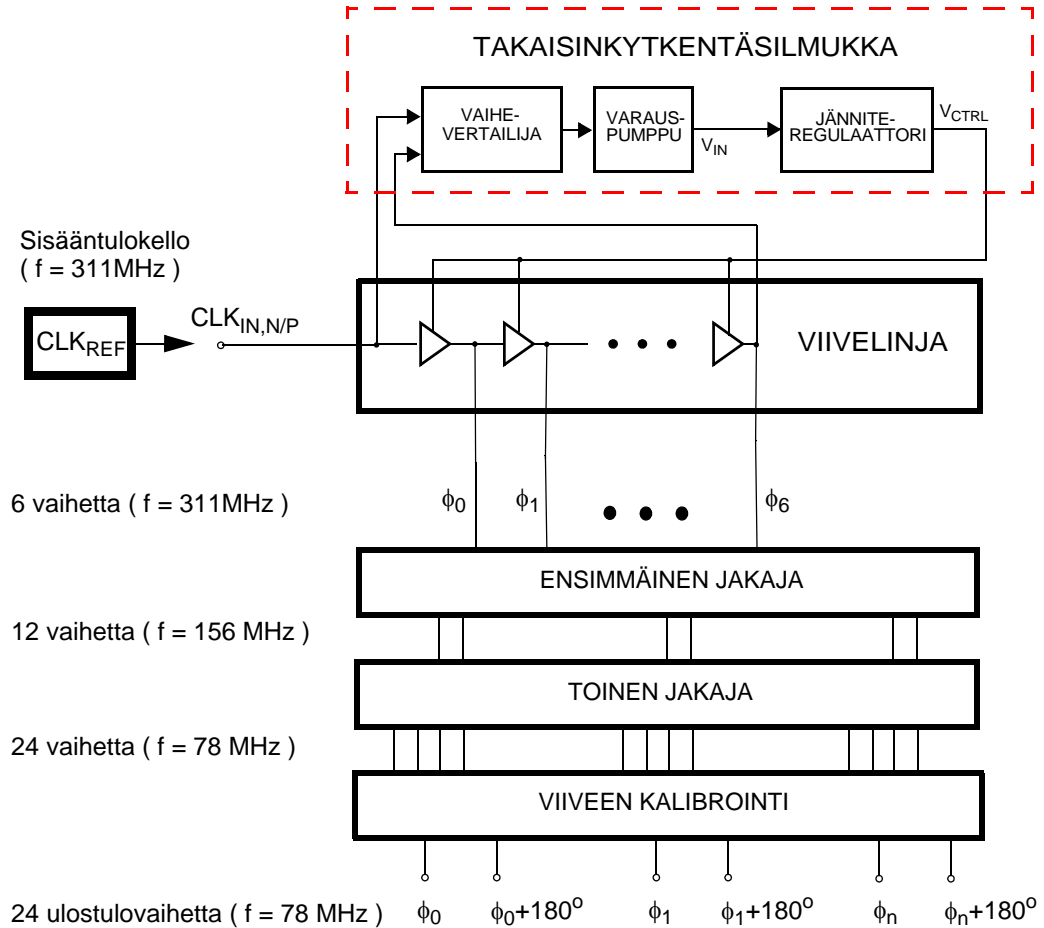
huojuntaa. Jokainen signaalitiellä oleva resistiivinen piirikomponentti myös lisää signaaliin ajoitusjitteriä lähinnä lämpökohinansa kautta, jonka poistaminen jälkepäin ei enää ole mahdollista. Komponenttien keskinäinen epäsovitus taas lisää osaltaan viivevirheen määrää. Edellä olevia epäideaalisuuksia voidaan vähentää käyttämällä yhdistettyä viivelinja-jakaja -topologiaa, jota myös toteutetuissa kellogeneraattoreissa on käytetty. Tämän topologian avulla signaalitiellä olevien piirikomponenttien määrä on pystytty minimoimaan.

Yleisesti ottaen kellogeneraattorin suunnittelussa on käytetty tiettyjä suuntaviivoja ajoitusvirheiden minimoimiseksi. Ulkoiseksi vertailukelloksi on esimerkiksi valittu mahdollisimman matalakohinainen ja pienen ajoitusjitterin omaava piiri. Kellogeneraattorin suunnittelussa on myös pyritty mahdollisimman yksinkertaiseen rakenteeseen sekä minimoimaan signaalitiellä olevien komponenttien lukumäärä. Käyttämällä erillisiä, reguloituja käyttöjännitelinjooja eri lohkokokonaisuuksille, vähenee häiriön kytkeytyminen näiden välillä, jolloin myös ajoitusjitterin määrä pienenee.

On melko hankalaa arvioida tai laskea piirin lisäämän kokonaisajoitusvirheen tarkkaa määrää. Tästä syystä kaikki toteutetut piirilohkot on suunnitellut niin, että lisätyn ajoitusjitterin sekä viivevirheen määrä olisi mahdollisimman pieni. Joitain simulointeja on tosin tehty yksittäisten lohkojen lisäämän ajoitusjitterin arvioimiseksi, mutta johdettujen komponenttien kohinamallien puutteellisuuksista sekä simulointien raskaudesta voidaan koko järjestelmän lisäämä ajoitusjitteri määrittää varmuudella vasta mittamalla prosessoitu kellogeneraattoripiiri.

Seuraavaksi on esitelty toteutetun kellogeneraattorin viimeisimmässä versiossa käytettyä piiritopologiaa.

Kuvassa 5.1 nähdään toteutetun viivelinja-jakaja-topologiaan perustuvan kellogeneraattorin yksinkertaistettu lohkotason esitys ja Liitteessä 1 kellogeneraattorin piirikaavio.



Kuva 5.1: Lohkotason kuva viivelinja-jakaja -topologiaan perustuvan kellogeneraattorista.

Toteutettu kellogeneraattori toimii seuraavalla tavoin: Aluksi ulkoisen signaalilähteen CLK_{REF} tuottama 311 MHz:n vertailukellosignaali syötetään jännitteennostajien kautta viivelinjalle. Viivelinjan kokonaisviivettä ohjataan säätämällä sen käyttöjännitettä V_{CTRL} .

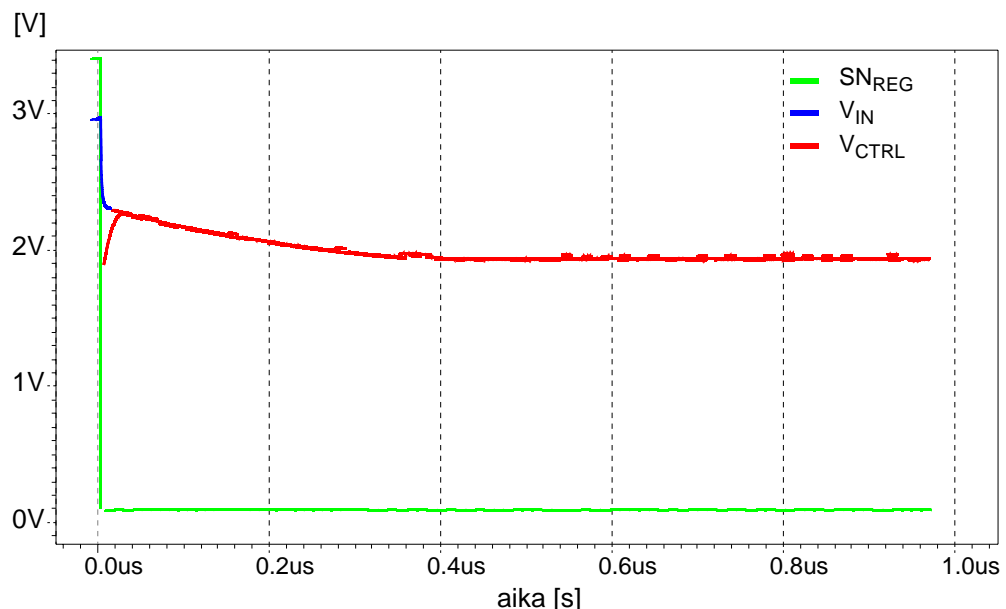
Takaisinkytkentäsilmukan tehtävänä on tarkkailla viivelinjan ensimmäisen ja viimeisen signaalin välistä vaihe-eroa ja säätää tämän seurauksena V_{CTRL} -jännitettä kunnes vaihe-ero on nolla. Kun vaiheet ovat säädetty samoiksi, on viivelinjan käyttöjännite halutun suuruinen ja takaisinkytkentäsilmukka lukittuu seuraamaan mahdollisia muutoksia järjestelmässä. Liitteessä 2 on esitetty takaisinkytkentäsilmukan tarkempi piirikaavio.

Nyt viivelinjan jokaisella yksittäisellä viivelohkolla on samansuuruinen viive ja ulostulevat kuusi vaihetta ovat asettuneet tasavälein toisiinsa nähden. Tämän jälkeen ulostulovaiheiden jännitetasot nostetaan jännitetasonnostajien avulla välille 0 V - 3,3 V ja niiden taajuudet jaetaan kahteen otteeseen kahdellajakopiirejä käyttäen. Näin saadaan kellogeneraattorin ulostuloon 24 tasavaihein jaettua, noin 78 MHz:n taajuista signaalia.

Huolimatta huolellisesta suunnittelusta muodostuu AD-muuntimen rinnakkaisia kanavia näytteistäviin vaiheisiin viivevirhettä. Tämä johtuu pääosin piirikuvion parasittisista piirikomponenteista sekä prosessivaihteluista. Näitä tekijöitä on mahdotonta ennakoida tai poistaa täysin. Tästä johtuen ohjataan näytteistysignaali lopuksi viivekalibrointilohkon läpi, jossa yksittäisten signaalien viiveet säädetään toisiinsa nähden kohdalleen.

Johtuen kellogeneraattori-AD-muunnin rajapinnan vaatimasta pitkästä signaalijohduksesta sekä testiulostuloista, on kellogeneraattorin viimeisinä lohkoina jännitepuskurit ajokyvyn parantamiseksi. Jännitepuskurit, joiden tarkoituksena on ajaa kellosignaalit joko liitäntäalueiden kautta ulos piiriltä tai suoraan AD-muuntimen näytteistyslohkoille, ovat toiminnaltaan kolmitilaiset. Liitäntäalueiden kautta ulos syötetyt signaalit ovat lähinnä ulostulovaiheiden testausta ja alkukalibrointia varten.

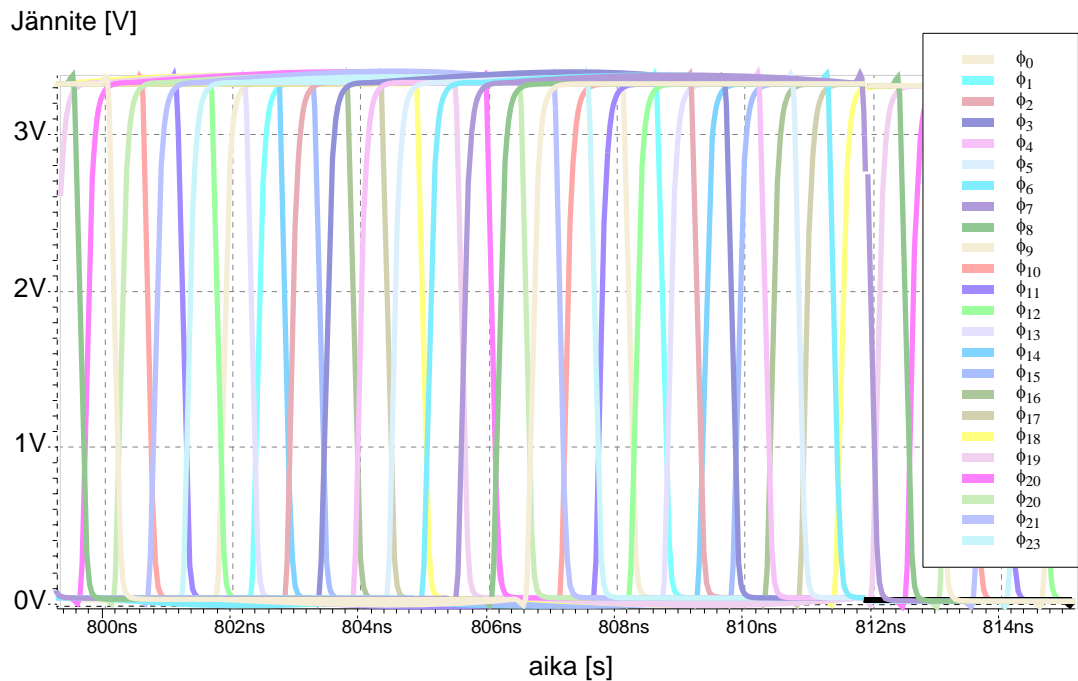
Kuvassa 5.2 on esitetty simulointi viivelinjan käyttöjännitteen V_{CTRL} asettumisesta. Simuloinnin alkuvaiheessa globaalista asetus-signaalista generoitu SN_{REG} kytkee päälle jänniteregulaattorin sisääntulossa sijaitsevan alkutilan-asetus -piirin. Tämä pakottaa regulaattorin sisääntulon V_{IN} tiettyyn oletusjännitteeseen.



Kuva 5.2: Simuloitu tilanne viivelinjan käyttöjännitteen asettumisesta ja käynnistyslohkon toiminnasta.

Tämä taas määrää regulaattorin ulostulon, eli viivelinjan käyttöjännitteen lähelle lopullista simuloinnein määriteltyä arvoaan. Kun tietyn aikaviiveen jälkeen signaali SN_{REG} vapautetaan, hakeutuu regulaattorin ulostulo vaihevertailijan määräämään tasoon. Kun lopullinen käyttöjännitetaso viivelinjalle on saavutettu noin $0,4 \mu\text{s}$:n kuluttua, lukittuu takaisinkytkentäsilmukka tarkkailemaan muutoksia järjestelmässä ja tarvittaessa säätää taas viivelinjan käyttöjännitettä.

Simulointikuvassa 5.3 takaisinkytkentäsilmukka on säätänyt viivelinjan käyttöjännitteen V_{CTRL} lopulliseen arvoonsa, jolloin ulostulon 24 vaihetta ovat jakautuneet tasavälein. Kuvassa Ulostulovaiheet $\phi_0 \dots \phi_{23}$ on esitetty eri värein kuvan oikeassa laidassa olevan värikartan mukaisesti.



Kuva 5.3: Kellogeneraattorin ulostulon simuloitut 24 ulostulovaihetta, $\phi_0 \dots \phi_{23}$.

Kuten kuvasta voidaan havaita, ovat ulostulosignaalien vaiheet jakautuneet tasavälein koko 360-asteisen vaiheympyrän alueelle. Kellogeneraattorille sekä tämän yksittäisille piirilohkoille suoritettiin myös lukuisia simuloitteja, joilla pyrittiin varmistamaan niiden vakaa toiminta eri lämpötilojen lisäksi prosessivaihteluiden äärilaidoilla.

5.5 Kellogeneraattorin piirilohkot

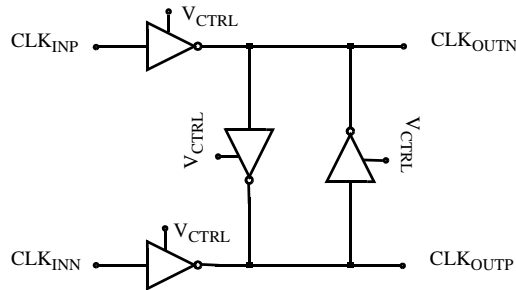
Tässä kappaleessa esitellään yksityiskohtaisemmin toteutetussa kellogeneraattorissa käytettyjä piirilohkoja. Kappaleessa esitellään lohkojen toiminnan lisäksi niille suoritettuja simulointeja sekä käsitellään yleisesti näiden suunnitteluun liittyvää problematiikkaa. Kellogeneraattorissa käytettyjen lohkojen lisäksi projektin aikana on prosessoitu myös lukuisia määriä erilaisia testipiirejä ja -rakenteita. Näiden avulla on pyritty varmistamaan lopullisen kellogeneraattorin toiminta sekä selvittämään ongelmatilanteissa syyn alkulähde. Testipiireistä esitellään ainoastaan kolmeasteinen rennaskillaattori lisäpiireineen sekä tälle suoritettut mittaukset.

5.5.1 Viivelinja

Viivelinjan toteutukseen on yleisesti ottaen käytössä kahdentyyppistä ohjattavaa viive-elementtiä. Ensimmäisessä viive-elementin signaalille aiheuttamaa etenemisviivettä kontrolloidaan säätämällä elementin esijännitettä. Nämä elementit on tyypillisesti toteutettu differentiaalipareista [Wei98][Chi00]. Toisessa lähestymistavassa säädetään elementin käyttöjännitettä. Tällä tavoin kyetään toteuttamaan erittäin yksinkertaisia rakenteita, kuten CMOS-invertteri [Pou022][Pou03].

Tässä työssä toteutetun viivelinjan yksittäiset elementit perustuvat kuvan 5.4 mukaisiin käyttöjänniteohjattuihin viivesoluihin. Viivesolut on rakennettu kahdesta vastakkaisvaiheisten kellopulssien signaalitiellä olevasta CMOS-invertteristä. Näiden tehtävänä on luoda näennäisdifferentiaaliset kellosignaalit sekä viivästä signaalia. Lisäksi solun ulostulossa on kaksi ajokyvyltään heikkoa, ristiinkytkettyä invertteriä, jotka parantavat kytkennän vastakkaisvaiheisuuden symmetriaa sekä vähentävät prosessivaihteluiden aiheuttamaa viivevirhettä. Viivesolujen viivettä ohjataan säätämällä niiden käyttöjännitettä V_{CTRL} , joka generoidaan takaisinkytkentäilmukan jänniteregulaattorin avulla. Kyseisellä kytkennällä on monia etuja verrattuna säädettävän esijännitteen viivesoluihin; komponenttien välinen sovitus on parempi johtuen transistorien pienemmästä lukumäärästä, kytkentä ei ole niin herkkä substraattikohinalle sekä viivesolujen matalampi tehonkulutus. Lisäksi signaalitiellä olevien transistorien pie-

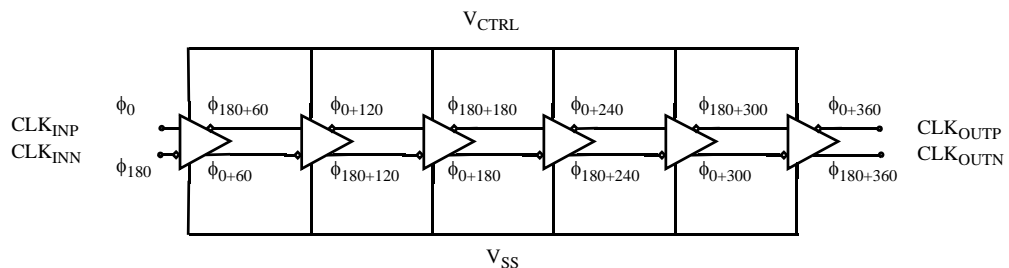
nempi lukumäärä minimoi ajoitusjitterin syntymistä. Käytettyjen viivesolujen ainoana heikkona puolena lieneekin itse signaaliin kytkeytyvien häiriöiden kannalta niiden herkkyys käyttöjännitteen vaihteluille. Tämä ongelma on kuitenkin ratkaistu kiinnittämällä erityistä huomiota suunniteltaessa viivesolujen jänniteregulointia.



Kuva 5.4: Viivelinjan yksittäinen näennäisdifferentiaalinen viivesolu.

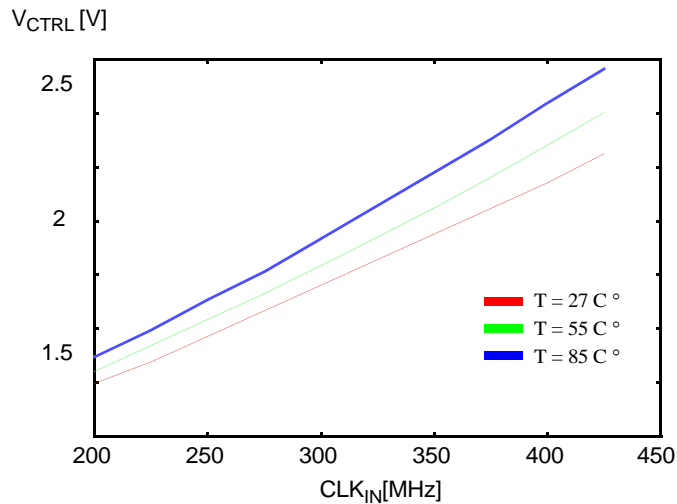
Komponenttien keskinäisen sovituksen parantamiseksi on inverttereissä käytettyjen PMOS- ja NMOS-transistorikanavien pituudet ja leveydet pyritty mitoittamaan mahdollisimman suuriksi. On kuitenkin huomioitava, että ylimitoitettujen transistorikanavien koot kasvattavat hilakapasitanssia hidastaen inverttereiden nopeutta. Tämä taas pidentää signaalien nousuaikoja, jolloin järjestelmän kohina ja ajoitusjitteri lisääntyvät.

Kuvassa 5.5 on esitetty 6-asteisen viivelinjan piirikaavio. Viivelinjan käyttöjännite V_{CTRL} säättää viivelinjan kokonaisviiveeksi 360 astetta, jolloin yksittäinen viiveaste sekä kääntää signaalin vaiheen lisäten siihen 180 astetta että viivästä sitä $\frac{1}{6}360^\circ = 60^\circ$ asteen verran. Jotta viivelinjan kokonaisviive olisi 360 astetta, on sisään- ja ulostulojen oltava saman vaiheiset, eli: $\phi_0 = \phi_{0+360}$ ja $\phi_{180} = \phi_{180+360}$. Nämä kuusi tasavälein jakautunutta vaihetta ovat samat, joista jakajalohkojen avulla generoidaan 24 kellovaihetta AD-muuntimen rinnakkaisille liukuhihnoille.



Kuva 5.5: Käyttöjänniteohjatuista CMOS-viivesoluista toteutettu 6-asteinen viivelinja.

Yksittäisen viivesolun ja näin ollen myös koko viivelinjan viive on erittäin herkkä prosessiparametri-, käyttöjännite- sekä lämpötilanvaihteluille. Tämän vuoksi on suunnittelussa otettava nämä parametrivaihtelut tarkkaan huomioon. Viivelinjalle on suoritettu seuraavat simuloinnit, jotka ottavat huomioon mahdollisista prosessiparametrien ja lämpötilan vaihteluista aiheutuvat muutokset piirin toimintaan ja vaadittavaan säätöjännitteeseen.

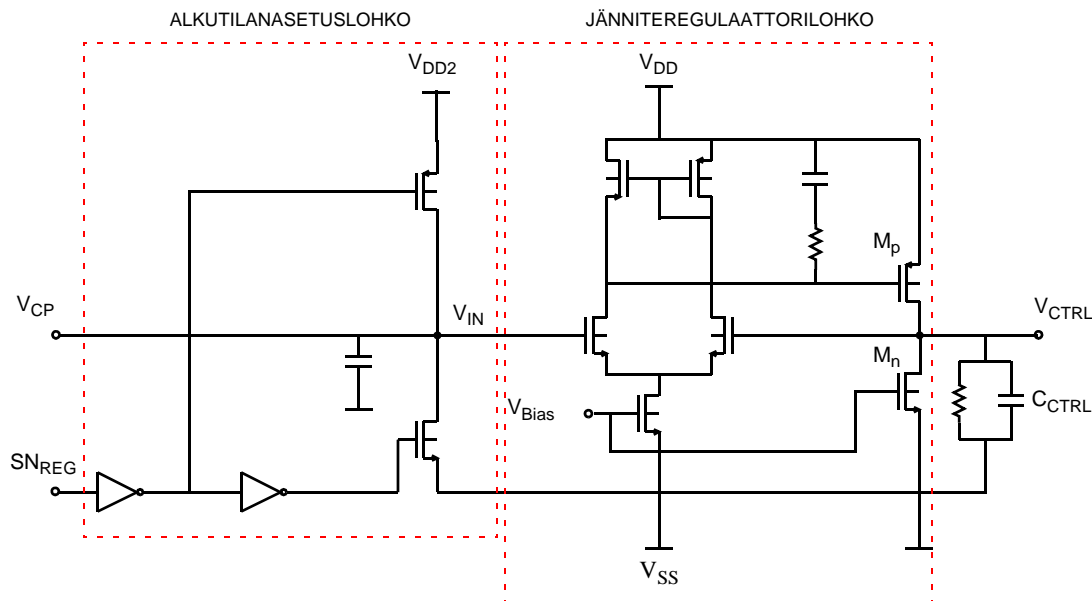


Kuva 5.6: 6-asteisen DLL-viivelinjan simuloitu lukittumistaajuus käyttöjännitteen funktiona eri lämpötiloissa.

Kuvassa 5.6 on esitetty 6-asteiselle DLL-viivelinjalle tehdyt simuloinnit, joissa lukittumistaajuus muuttuu käyttöjännitteen funktiona eri lämpötila-alueilla. Kuvaajista voidaan havaita viivelinjan melko lineaarinen lämpötilariippuvuus käytetyllä 311 MHz:n taajuudella. Jännitteenmuutos ääriämpötilojen välillä on kyseisellä taajuudella likimain 300 mV. Tämä jo itsessään aiheuttaisi erittäin suuren viivevirheen kellogeneraattorin ulostulovaiheiden välille.

5.5.2 Jänniteregulaattori

Kellogeneraattorissa käytettyjen CMOS-viive-elementtien korkea käyttöjänniteherkkyys asettaa viivelinjaa ohjaavalle jänniteregulaattorille suuret vaatimukset. Jänniteregulaattorin päätehtävänä onkin varmistaa vakaa jännite viivelinjalle ja suojata se käyttöjännitehäiriöiltä. Jänniteregulaattorin pitää myös olla tarpeeksi nopea ollakseen vaikuttamatta viivelukitus-silmukan kokonaisaika- ja leveyteen. Kuvassa 5.7 on esitetty jänniteregulaattorin ja alkutilanasetuslohkon piirikaaviot.

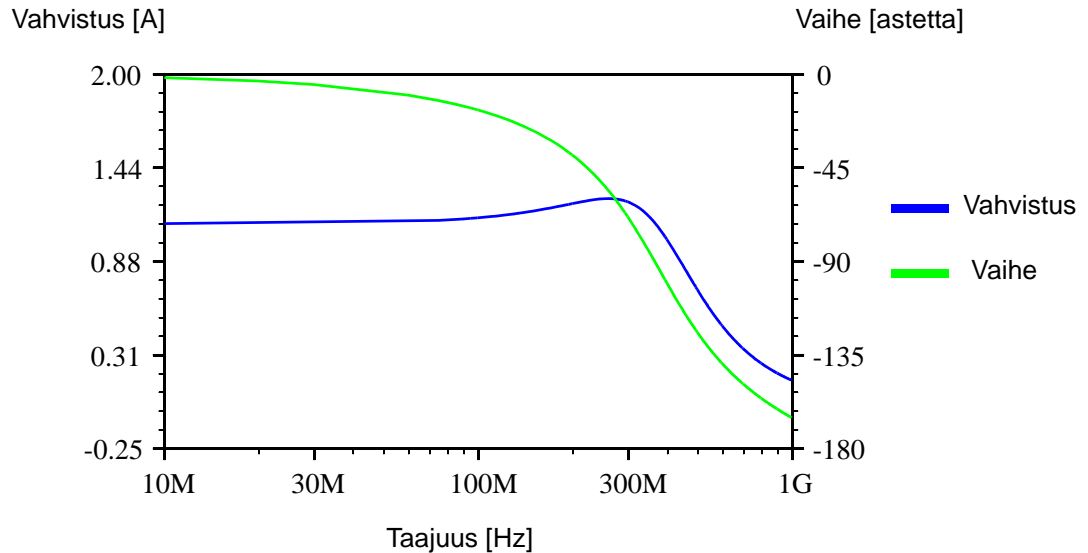


Kuva 5.7: Jänniteregulaattori- ja alkutilanasetuslohkon piirikaavio.

Jänniteregulaattori perustuu negatiivisesti takaisinkytkettyyn vahvistinkytkentään, joka toimii jännitteenseuraajana. Vahvistimen ulostuloon on kytketty PMOS-transistori M_p , jonka tehtävänä on toimia ohjattavana virtalähteenä viivelinjalle. Ulostuloon on lisäksi kytketty suuri 100 pF:n metalli-metalli kondensaattori vakauttamaan jännitteenmuutoksia sekä suodattamaan korkeataajuisia käyttöjännitehäiriöitä.

Kellogeneraattorin aloittaessa toimintansa määrittää alkutilanasetuslohko regulaattorin sisääntuloon V_{IN} alkujännitteen, joka on säätöalueen puolivälissä. Tämä tila siirtyy ulostulon PMOS-transistorin kautta viivelinjan alkujännitteeksi V_{CTRL} . Tällä varmistetaan, että vaihevertailija lukittuu alkutilassa aina oikeaan vaiheeseen. Kun piirin tila on vakaantunut, vapautetaan alkutila SN_{REG} -signaalin avulla. Tämän jälkeen regulaattori alkaa seurata varauspumpun ulostuloa V_{CP} säätäen viivelinjan käyttöjännitteen takaisinkytkennän määräämään arvoonsa.

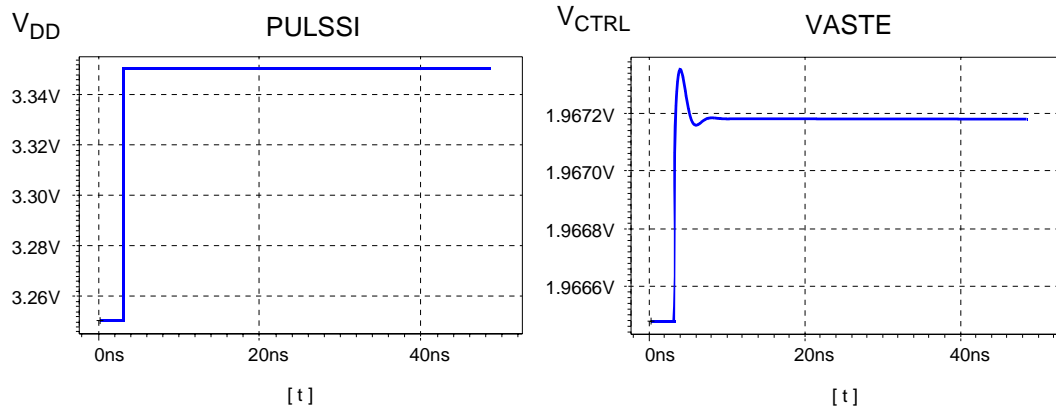
Alkutilanasetuslohkon käyttöjännite V_{DD2} on jätetty ulkoiseksi, jotta alkutilan säätäminen jälkepäin olisi mahdollista, mikäli prosessivaihtelut olisivatkin odotettua suuremmat. Jotta jänniteregulaattori pystyisi tuottamaan viivelinjalle sen tarvitseman jännitteen myös prosessivaihteluiden äärilaidoilla, on siinä käytetty myös niinsanottuja paksun hilaoksidin transistorireita, jotka kestävät tavallista korkeampaa käyttöjännitettä (maksimissaan 5 V).



Kuva 5.8: Jänniteregulaattorin operaatiovahvistinosan taajuusvaste.

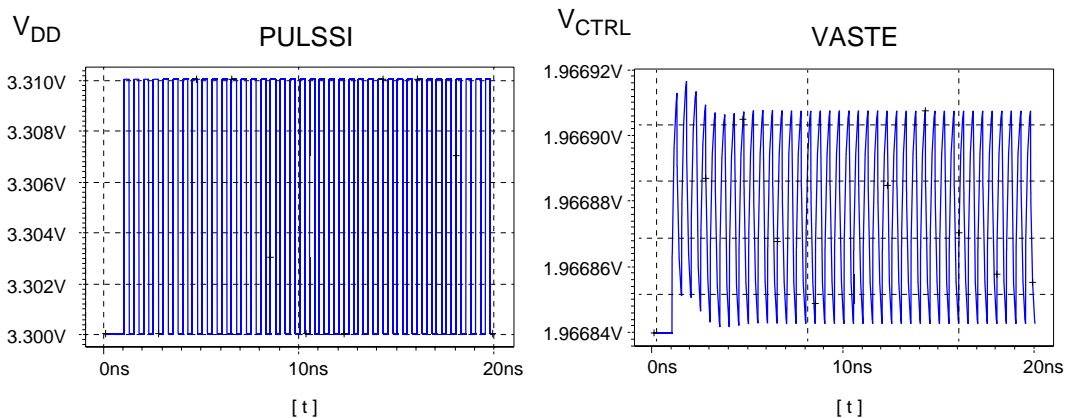
Suunnitellun jänniteregulaattorin simuloinnit ja optimointi on tehty APlac ja Smart Spice piirisimulaattoreilla. Kuvassa 5.8 on esitetty APlacilla tehty vahvistimen taajuusvasteen simulointi. Simulointitulokset osoittavat regulaattorissa käytetyn vahvistimen kaistanleveydeksi yli 400 MHz. Tämä riittää täysin pitämään takaisinkytkentäsilman vakaana ja seuraamaan käyttöjännitteessä ja koko järjestel-

mässä tapahtuvia muutoksia. Kuvassa 5.9 nähdään regulaattorin ulostulon V_{CTRL} jännitevaste, kun käyttöjännitteeseen syötetään 100 mV:n suuruinen häiriöpulssi. Häiriö aiheuttaa 0,9 mV:n piikin ulostuloon, joka vaimenee 2 ns:n aikana arvoon 0,7 mV. Häiriövaimennus on tällöin 41 dB.



Kuva 5.9: Jänniteregulaattorin ulostulon jännitevaste, kun käyttöjännitteeseen syötetään 100 mV:n suuruinen häiriöpulssi.

Kuvassa 5.10 syötetään regulaattorin käyttöjännitteeseen 10 mV huipusta-huippuun suuruista 2 GHz:n signaalia. Häiriö vaimenee ulostulossa arvoon 0.06 mV. Häiriövaimennus on tällöin 44 dB.



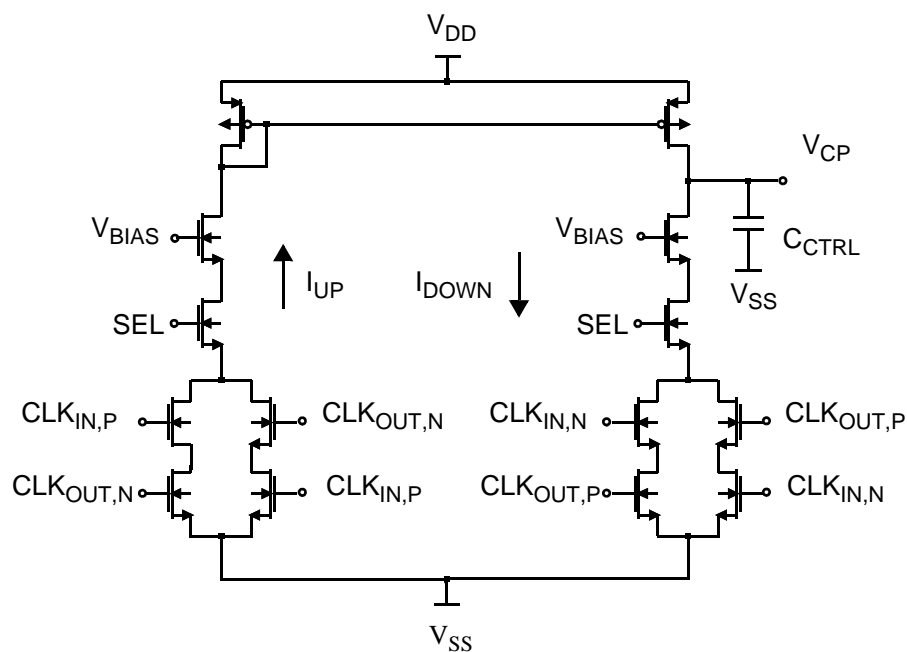
Kuva 5.10: 2 GHz:n taajuisen ja suuruudeltaan 10 mV:n huipusta-huippuun olevan häiriösignaalin aiheuttama jännitevaste regulaattorin ulostulossa.

Edellisistä simuloinneista voidaan havaita, että jänniteregulaattori pienentää käyttöjännitteen kautta kytkeytyviä häiriöitä huomattavissa määrin. Tämä vähentää viivelinjaa ohjaavassa jännitteessä esiintyvien häiriöiden näytteistys-signaaleille aiheuttamaa ajoitusvirhettä. Yleisesti voidaan todeta, että jänniteregulaattorin käyttöjännitehäiriöiden vaimennussuhde (PSRR) on vähintäänkin 40 dB, kun ulostuloon on kytketty 40 pF:n häiriönvaimennuskondensaattori. Häiriönvaimennus on toteutetussa piirissä huomattavasti simuloitua suurempi, johtuen ulostulossa käytetyn häiriönvaimennuskondensaattorin koon kasvattamisesta 40 pF:sta 100 pF:iin.

5.5.3 Yhdistetty vaihevertailija ja varauspumppu

Vaihevertailija on viivelukitun silmukan yksi keskeisimmistä elementeistä. Se vertaa kahden viivelinjalta tulevan kellosignaalin viivettä keskenään, eli mittaa näiden välistä vaihe-eroa. Varauspumpun tehtävänä on syöttää sen ulostuloon joko positiivisia tai negatiivisia virtapulseja riippuen mitatusta vaihe-erosta. Lohkon tehtävänä on myös suodattaa korkeataajuinen osa vaihevertailijan ulostulosta ja kontrolloida viivelukitun silmukan dynamiikkaa.

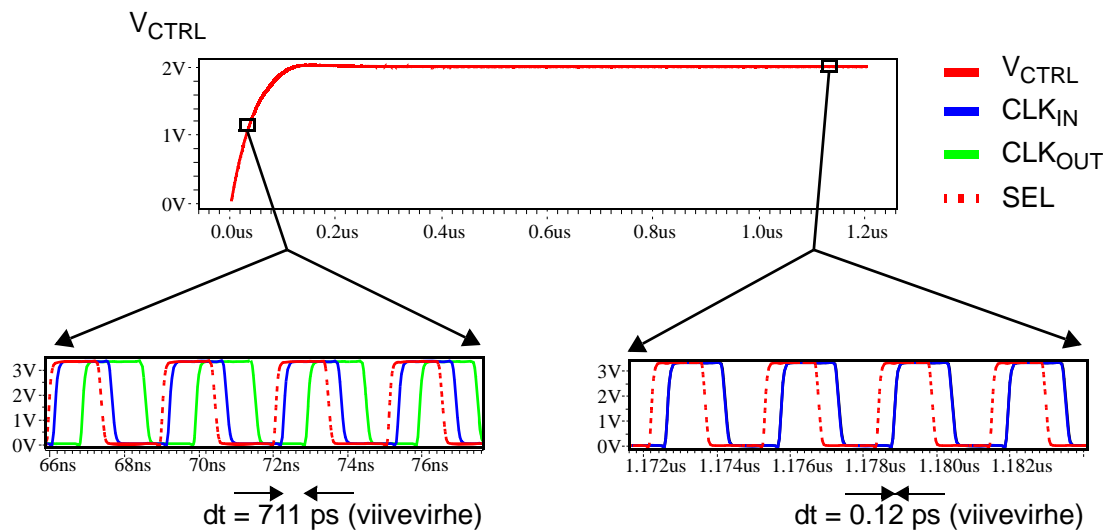
Toteutetussa kellogeneraattorissa on käytetty yhdistettyä vaihevertailija-varauspumppu topologiaa. Vaikka molemmat kyseisistä lohkoista kyettäisiin suunnittelemaan sekä toteuttamaan erikseen, on käytetystä topologiasta useita etuja. Ensinnäkin perinteiset vaihevertailijat on toteutettu käyttäen useita logiikkaportteja, jotka kuluttavat huomattavasti piirin pinta-alaa ja vaativat paljon tehoa toimiakseen oikein. Toinen logiikkaporttien huonoista puolista on porttien välinen epäsovitus. Tästä aiheutuu huomattavaa vaihesiirtymää kahden vertailtavan kellosignaalin välille niiden ollessa lukittuneessa tilassa. Käytetty topologia koostuu ainoastaan neljästätoista MOS-transistorista ja on huomattavasti immuunimpi vaihevirheelle, joka on seurauksena transistorien epäsovituksesta [Far02]. Topologia kuluttaa myös vähemmän pinta-alaa ja tehoa johtuen sen yksinkertaisesta rakenteestaan. Kuvassa 5.11 on esitetty yhdistetty vaihevertailija-varauspumppulohko.



Kuva 5.11: Yhdistetyn vaihevertailija-varauspumppulohkon piirikaavio.

Vaihevertailija koostuu toiminnaltaan kahdesta, 3-sisääntuloisesta NAND-portista. Näitä ohjataan vastakkaisilla kello-signaaleilla $CLK_{IN, P}$ ja $CLK_{OUT, N}$ sekä näiden komplementeilla $CLK_{IN, N}$ ja $CLK_{OUT, P}$. Sisääntulon MOS-transistorit ovat lisäksi ristiin kytkettyjä, jolloin niiden ajoitussymmetria paranee entisestään. Kuten jänniteregulaattorissa on myös vaihevertailijassa käytetty paksun hilaoksidin transistoreja, jotta kytkentä kykenisi toimimaan suuremmalla jännitealueella prosessivaihteluiden niin vaatiessa.

Kun SEL-signaali on ylhäällä, vaihevertailija vertaa sisään tulevien pulssien nousevia reunoja. Viivelinjalta tulevaa $\phi+120^\circ$ vaihetta voidaan suoraan käyttää SEL-signaalina, jolloin ylimääräistä lohkoa sen generoimiseen ei tarvita. UP- ja DOWN-haarojen kapeat virtapulsit I_{UP} ja I_{DOWN} johdetaan varauspumpun kondensaattoriin C_{CTRL} , riippuen CLK_{IN} ja CLK_{OUT} signaalien vaihe-erosta. Tämän seurauksesta varauspumpun ulostulojännite V_{CP} on suoraan verrannollinen CLK_{IN} ja CLK_{OUT} signaalien väliseen vaihe-eroon.



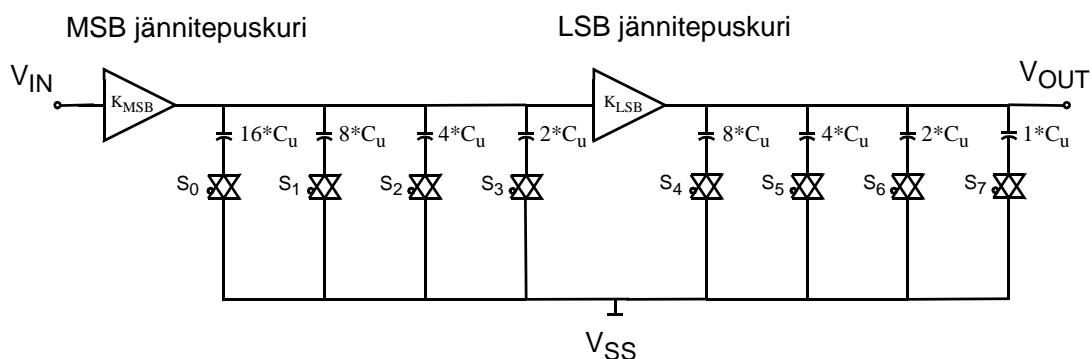
Kuva 5.12: Yhdistetyn vaihevertailija-varauspumpulohkon lukittumissimulointi.

Yhdistetyn vaihevertailija-varauspumpun simuloinneista nähdään kuvan 5.12 mukaan, kuinka CLK_{IN} ja CLK_{OUT} kello-signaalien välinen vaihe-ero pienenee alkutilanteen yli 700 ps:n viivevirheestä lukittumistilan 0,12 ps:n virheeseen 0,7 us:n aikana. Lukittumisaikaa voidaan huomattavasti pienentää asettamalla kello-signaalien aloitusvaiheet käynnistyslohkon avulla lähelle lukittumistilan vaatimaa vaihetta, jolloin sisääntulon vaihe ϕ_{CLKIN} on likimain ulostulon vaihe ϕ_{CLKOUT} , kuten jänniteregulaattorin yhteydessä on jo aiemmin esitetty.

5.5.4 Viiveenkalibrointilohko

Kellogeneraattoriin toteutuksessa on pyritty minimoimaan rinnakkaisten kellosignaalien välisiä epäsovituksia jo suunnitteluvaiheessa. Tästäkin huolimatta on mahdollista poistaa täysin kaikkia epäideaalisuuksia aiheuttavia tekijöitä, kuten prosessiparametrien vaihtelua ja simulointimalleissa esiintyvää epätarkkuutta. Näistä johtuen on kellogeneraattoriin lisätty viiveenkalibrointilohko, jonka avulla mahdolliset virheet kyetään kalibroimaan pois ennen kuin ne ehtivät aiheuttaa näytteistykseen kautta vääristymää AD-muuntimen ulostulospektriin.

Kellogeneraattorin ulostulovaiheiden viiveen kalibrointiin on käytetty kuvan 5.13 mukaisia piirilohkoja. Jokaista AD-muuntimen rinnakkaista liukuhihnaa näytteistämään generoitua ulostulovaihetta varten on oma viiveenkalibrointilohkoonsa, jossa niiden viiveet säädetään toisiinsa nähden oikeiksi. Perusideana on, että signaalilinjan kuormakapasitanssia muutetaan halutun suuruisen viiveen aikaansaamiseksi. Kokonaiskuormakapasitanssi on jaettu pienempiin yksikkökapasitansseihin C_u , joita ohjataan kytkinten $S_0 \dots S_7$ avulla. Kapasitanssien ylälevyt ovat kiinni signaalilinjassa ja alalevyjä kytketään joko maapotentiaaliin tai ne jätetään kellumaan.



Kuva 5.13: Viiveenkalibrointilohkon yksinkertaistettu piirikuvi.

Koska yksikkökapasitanssit on ryhmitelty kullekin ohjauskytkimelle noudattaen binääristä painotusta, saadaan viiveensäädön vasteesta digitaali-analogia (DA) -muunnin tyyppinen. Bittien lukumäärän kasvaessa myös pohjakondensaattorin parasitiittinen vaikutus alkaa kasvaa. Koska 8-bittisen kondensaattoripankin enitenmerkitsevän-bitin (MSB) parasitiittinen kapasitanssi ylittää vähitenmerkitsevän-bitin (LSB) kokonaiskapasitanssiarvon, on kapasitanssipankki jouduttu jakamaan kahteen eri lohkokoon. Molemmilla sekä LSB- että MSB-lohkokolla on oma, mitoitettu jännitepuskurinsa. Näin saadaan MSB-bittien parasitiittisten kapasitanssien vaikutukset ja näistä syntyvät virheet minimoitua. Binäärisesti kasvava yksikkökapasitanssien määrä veisi myös huomattavan paljon tilaa bittien lukumäärän kasvaessa, mikäli kaikki yksikkökapasitanssit olisivat yhdessä ainoassa lohkokossa.

Viiveensäädön vaste suhteessa sisään syötettyyn ohjauskoodiin noudattaa seuraavaa yhtälöä:

$$t_{\text{OUT}} = t_{\text{TOT}} \left[K_{\text{MSB}} \left(\frac{S_0}{2^1} + \dots + \frac{S_{N/2-1}}{2^{N/2}} \right) + K_{\text{LSB}} \left(\frac{S_{N/2}}{2^{N/2+1}} + \dots + \frac{S_{N-1}}{2^N} \right) \right], \quad (5.5.1)$$

jossa t_{OUT} on ulostuloviive, t_{TOT} on kokonaisviive ja N on bittien lukumäärä. Kytinten tilaa kuvaavat S -tekijät ovat joko 1 tai 0, riippuen onko kyseinen kytkin auki vai kiinni. K_{LSB} ja K_{MSB} ovat jännitepuskureiden parametreista sekä parasiittisista komponenteista riippuvat vakiot. MSB- ja LSB-lohkot on pyritty sovittamaan mahdollisimman hyvin keskenään $K_{\text{MSB/LSB}}$ kertoimien avulla, jotta viiveenkalibroinnin vaste olisi mahdollisimman lineaarinen ja monotoninen.

Mikäli piiri oletetaan ideaaliseksi, eli parasiittisten komponenttien vaikutus ja epäsovitus jätetään huomioimatta, supistuu viiveensäädön vaste yhtälö seuraavaan muotoon:

$$t_{\text{OUT}} = t_{\text{TOT}} \sum_{i=1}^N \frac{S_{i-1}}{2^i}, \quad \text{jossa } i = 1, 2, \dots, N \quad (5.5.2)$$

Edellisestä nähdään suora yhtäläisyys binääripainotetun DA-muuntimen vasteen kanssa. Tämä johtuu juuri binääripainotusta noudattavista yksikkökapasitansseista. Viiveenkalibrointi suunniteltiin viimeisimpään piiriin resoluutioltaan 8-bittiseksi. Koska viivevirheen korjaustarkkuudeksi vaadittiin 0,5 ps, saadaan kalibroinnin teoreettiseksi dynamiikaksi yhtälön (5.5.3) mukaan 128 ps.

$$t_{\text{TOT}} = \Delta t 2^N, \quad (5.5.3)$$

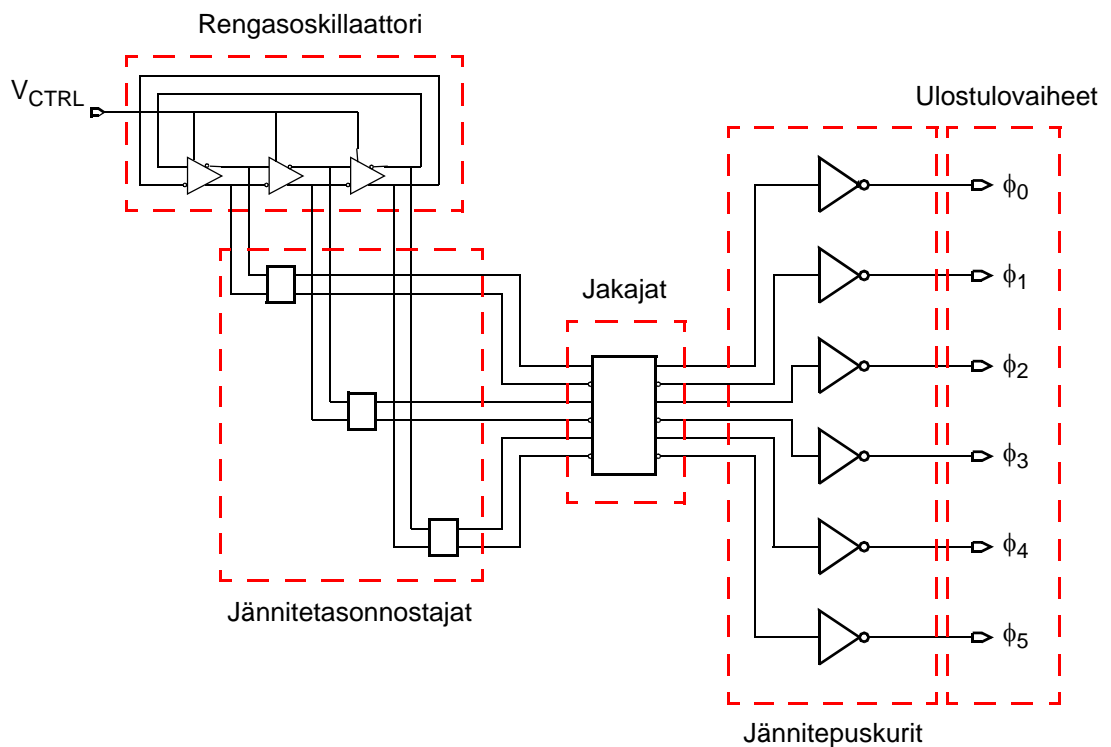
jossa Δt on yksittäisen yksikköaskeleen viive, eli viivevirheen korjaustarkkuus ja N on bittien lukumäärä. Säätoalueen tulisi kattaa sekä suurimmat ulostulovaiheissa esiintyvät viivevirheet että oltava kyllin tarkka kyetäkseen haluttuun resoluutioon.

5.6 Rengasoskillaattoritestiipiiri

Jotta prosessiparametrien sekä lämpötilan vaihteluiden aiheuttamat muutokset kellogeneraattorin toimintaan kyettäisiin selvittämään mahdollisimman tarkkaan, on ennen lopullista versiota prosessoitu rengasoskillaattori-testipiiri, jonka mittaustuloksia verrattiin simuloinneista saatuihin lukuarvoihin. Kuvassa 5.14 on esitetty kolmeasteisen rengasoskillaattorin testiipiiri. Piirissä on lisäksi jännitetason nostajat, jakajat sekä ulostulopuskurit. Kaikki käytetyt lohkot sekä perustopologia ovat samoja kuin mitä lopullisessa kellogeneraattorissa tulnaisiin käyttämään.

Rengasoskillaattorin käyttöjännitettä V_{CTRL} säätämällä saadaan kontrolloitua viivesolujen viivettä, jolloin oskillaattorin lukittumistaajuus muuttuu käyttöjännitteen funktiona. Koska kolmeasteisen rengasoskillaattorin lukittumistaajuudella on suora- vastaavuus kuusiasteisen viivelinjan lukittumistaajuuteen, voidaan kyseistä kytkentää käyttää hyväksi arvioidessa lopullisen kellogeneraattorin käyttäytymistä. Viivelinjan kolme viivästettyä ja näiden vastakkaisvaiheiset signaalit syötetään aluksi jännite- tason nostajille. Tämän jälkeen signaalit jaetaan kahdellajakopiirien avulla, jolloin ulostulon signaalitaajuus on lukittumistaajuus jaettuna kahdella. Lopuksi vaiheet $\phi_0 \dots \phi_5$ ajetaan ulos jännitepuskureiden kautta.

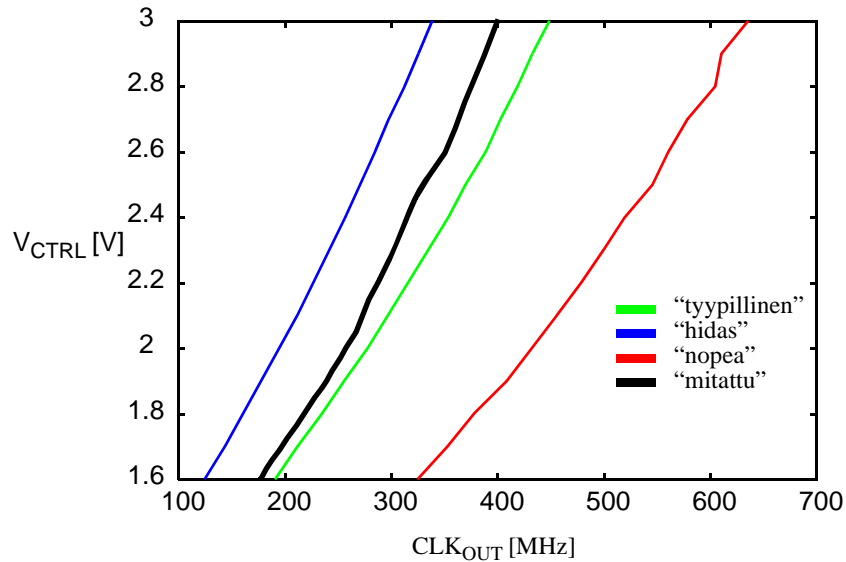
Testipiirille suoritettiin kolme eri prosessivaihteluiden ääri-laitojen simulointia, jotka käyttävät komponenttimalleinaan “nopea”, “hidas” ja “tyypillinen” -parametreja. Kun kaikki tarvittavat mittaukset saatiin valmiiksi, verrattiin tuloksia simuloituihin.



Kuva 5.14: Kolmeasteinen rengasoskillaattori-testipiiri.

Kuvassa 5.15 on esitetty rengasoskillaattorille tehdyt nopea, hidas ja tyypillinen ääri- laitojen simuloinnit sekä mitattu vaste. Simuloinneissa sekä mittauksessa rengasoskil- laattorin käyttöjännitettä V_{CTRL} säädettiin ja samaan aikaan ulostulon CLK_{OUT} taajuutta monitoroitiin. Kuvasta voidaan havaita, että mittaustulokset noudattavat melko tarkkaan “tyypillinen” -tilanteen simulointeja. Todellisissa mittauksissa on havaittavissa lievää käyttöjännitteen kulmakertoimen taajuusriippuvuutta. Tämä voi-

daan ainakin osittain selittää sekä käyttöjännitteen että taajuuden nousun aiheuttamasta lämpötilan muutoksesta. Ilmiö on suoraan havaittavissa myös kappaleessa 5.5.1 esitetyissä viivelinjan simuloinneissa, joissa lämpötilan kohoamisella on suora vaikutus viivelinjan käyttöjännite-taajuus -kulmakertoimeen.



Kuva 5.15: Kolmeasteisen rengasoskillaattorin “nopea”-, “hidas”- ja “tyypillinen” -äärilaidan simuloinnit sekä mitattu vaste.

Mittaukset osoittavat selkeästi, että viivelinjan lisäksi kaikki signaalitiellä olevat lohkot toimivat moitteettomasti laajallakin jännite- ja taajuusalueella. Kuvasta 5.15 nähdään, miten mitattu taajuusalue välillä 180 MHz – 400 MHz vastaa säätöjännitealuetta 1,6 V – 3,0 V. Tästä voidaan päätellä, että kellogeneraattori kykenee takaisinkytkentänsä avulla kompensoimaan sekä prosessi- että lämpötilavaihtelut ja toimimaan vaaditulla tavoin. Tämä silloinkin mikäli prosessiparametrien vaihtelut olisivat äärilaidoissaan, mikä kuitenkin olisi hyvin epätodennäköistä.

Kyseisenlaisesta simulointien ja testipiirin mittaustulosten välisestä vertailusta saadaan arvokasta tietoa prosessiparametrien vaihtelun ja komponenttimallien tarkkuuden lisäksi myös piiritopologian toimivuudesta. Siksi onkin erittäin suotavaa, mikäli vain mahdollista, prosessoida ainakin joitain toiminnallisia testilohkoja ennen lopullisen piirin prosessointia.

5.7 Piirikuviosuunnittelu

Kun suunnitellulle piirille on saatu suoritettua kaikki tarpeelliset simuloinnit, ja ne täyttävät piirille asetetut spesifikaatiovaatimukset, voidaan aloittaa piirikuvion suunnittelu- ja piirtämisvaihe. Kellogeneraattorin piirikuvio on piirretty ja tarkistettu Mentor Graphicsin IC-ohjelmalla. Kellogeneraattori-osuus ja signaalien välijohdotukset on piirretty VTT:llä ja AD-muunninosuus TKK:lla, jonka jälkeen osiot on yhdistetty ja tarkastettu. Koko AD-muuntimen piirikuvio nähdään liitteessä 5.

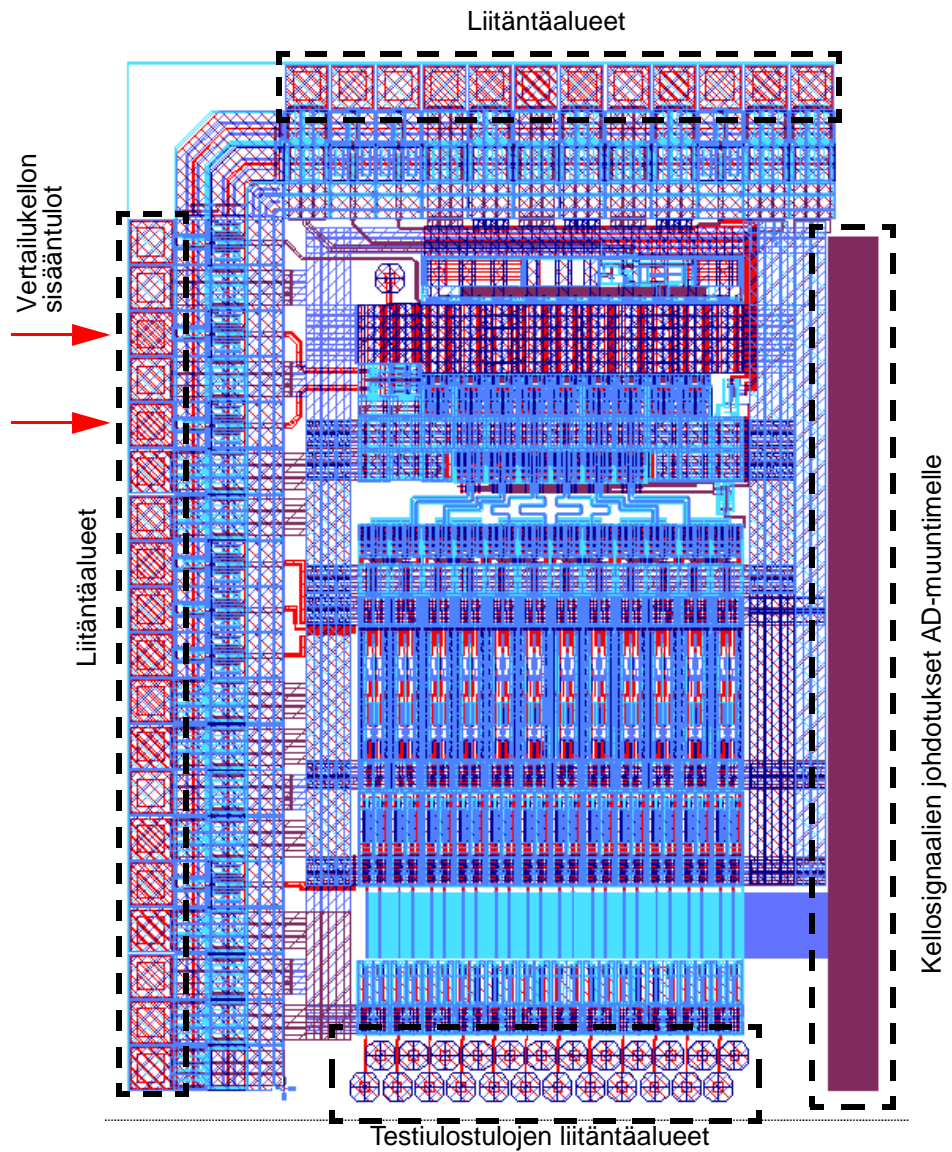
Piirikuvio on suunniteltava ja piirrettävä huolella, koska juuri tässä vaiheessa on mahdollisuus vaikuttaa suurelta osin siihen, toteutuvatko simuloinnein saavutetut tulokset myös käytännössä. Suunnittelemalla piirikuvio huolella ja noudattamalla tiettyjä suuntaviivoja voidaan parasiittisten komponenttien aiheuttamat epäideaalisuudet piirin toiminnalle minimoida sekä parantaa komponenttien keskinäistä sovitusta.

Toteutetun piirin valmistukseen käytetylle prosessiteknologialle ei valitettavasti ollut saatavilla minkäänlaista mallia eikä tilastollista mittausaineistoa komponenttiparametrien sovitussominaisuuksista. Näitä olisi voitu hyödyntää arvioitaessa komponenttien välisiä epäsovituksia. Sovitusta arvioitaessa on tästä syystä käytetty hyväksi eräästä toisesta, vastaavanlaisesta prosessista mitattuja tuloksia ja sovellettu näitä käytettyyn prosessiin. Yleisesti voidaan sanoa, että komponenttien välinen sovitus paranee huomattavasti, kun käytetyt dimensiot eivät ole minimikokoisia. Tästä syystä kellogeneraattoria suunniteltaessa onkin yleisesti pyritty käyttämään esimerkiksi niin suuria transistorihilan kokoja kuin suinkin vain mahdollista, jotta näiden keskinäinen sovitus olisi mahdollisimman hyvä. Lisäksi komponenttien keskinäisen sovituksen kannalta olisi suotuisaa sijoittaa sovitettavat komponentit mahdollisimman lähelle toisiaan. Tietenkin on huomioitava myös häiriöiden kytkeytymisen liian lähekkäin sijaitsevien komponenttien välillä.

Vaadittaessa toteutukselta äärimmäisen korkeaa suorituskykyä on komponenttiparametrien sovituksen lisäksi myös lohkojen väliseen signalointiin kiinnitettävä erityistä huomiota. Yksi yleisesti havaittavissa oleva epäideaalisuus, joka aiheutuu epäsymmetrisesti piirretystä piirikuviosta, on viivevirheen muodostuminen rinnakkaisten signaaliteiden välille. Viivevirhe signaalien välillä johtuu pääosin signaalilinjojen muodostaman kapasitiivisen ja resistiivisen kuorman epäsovituksesta. Symmetria signaalilinjojen johdotusten välillä onkin välttämätöntä, jotta jokaiselle rinnakkaiselle linjalle saavutettaisiin samansuuruiset parasiittiset kapasitanssit ja resistanssit. Edellisistä syistä johtuen on piirikuvion piirtämisessä pyritty ehdottomaan symmetriaan kaikkien signaaliin vaikuttavien komponenttien ja johdotusten kohdalla.

Kellogeneraattorin aiemmissa versioissa on käytetty myös niin sanottuja keinokuormaelementtejä [Ran03], jotta rinnakkaisten signaalien kuormat saataisiin symmetrisiksi. Viimeisimmässä versiossa ei keinokuormaelementeille ole kuitenkaan ollut tarvetta johtuen uudentaisesta topologiasta, jossa kaikkia signaaliteitä kuormitetaan samalla tavalla rinnakkaisten jännitepuskureiden avulla.

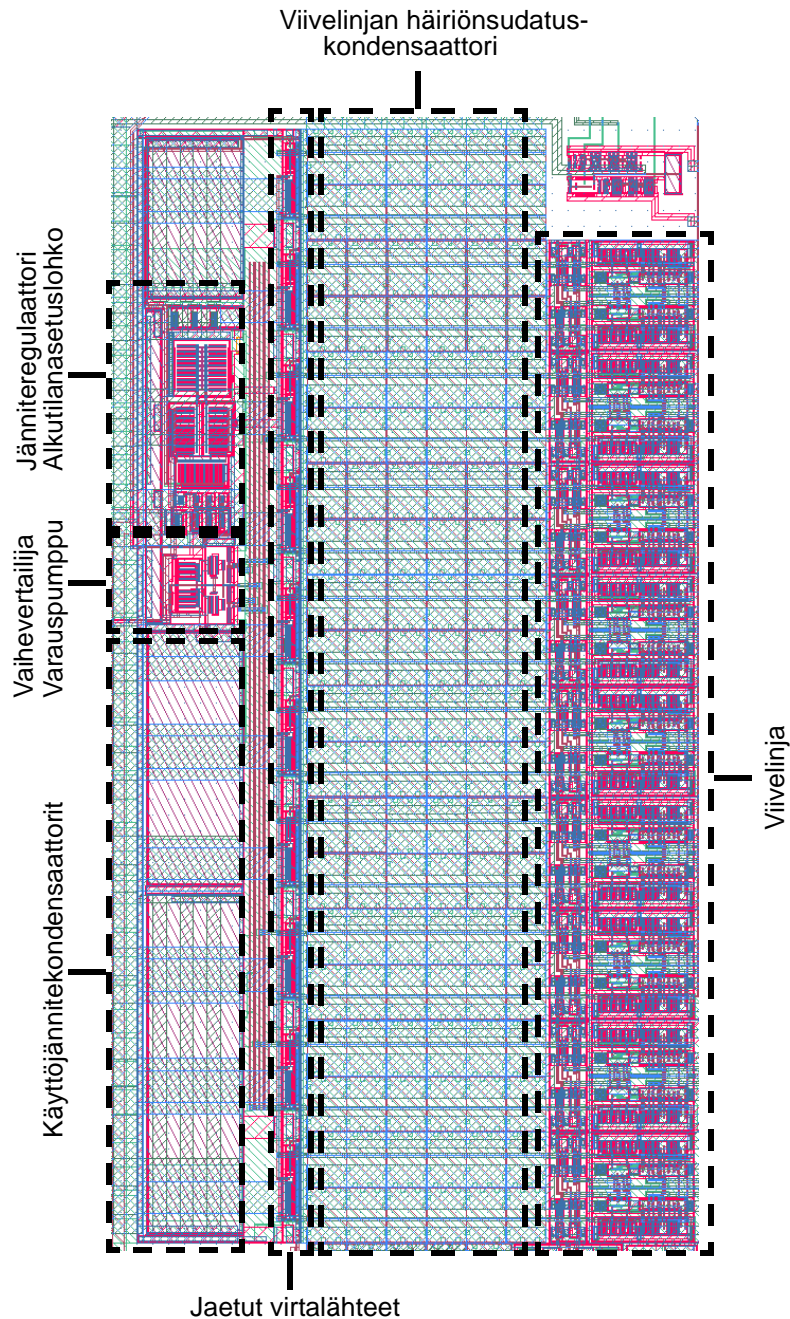
Kuvassa 5.16 on esitetty piirikuviokellogeneraattorista ja rajapinnan johdotuksista. Kuvan vasemmalla ja yläreunustalla on liitäntäalueet ohjaussignaaleja sekä käyttöjännitteitä varten.



Kuva 5.16: Piirikuviokellogeneraattorista ja rajapinnan johdotuksista.

Ulkoa tuodun vertailukellosignaalin johdotukset ovat täysin symmetriset keskenään, jotta signaalien keskinäinen sovitus olisi mahdollisimman tarkkaan toteutettu. Signaalien väliin on lisäksi piirretty maapotentiaaliin kytketty liitäntäalue, joka häiriöerottaa vastakkaisvaiheiset vertailukellosignaalit toisistaan ja ulkoisista häiriölähteistä. Vertailukellosignaalit on reititetty pitkin suoraa polkua jännitetasonnostajien kautta viivelinjalle, josta eri vaiheiset signaalit on reititetty suoraan uusille jännitetasonnostajille linjan alapuolelle. Viivelukitun silmukan takaisinkytkentä on kokonaisuudessaan sijoitettu viivelinjan yläpuolella sijaitsevan suuren kondensaattoririvistön yläpuolelle, jossa se ei häiritse signaalijohdotusten symmetriaa. Tällä tavoin kello-signaalit risteävät mahdollisimman vähän toistensa yli ja häiriöiden kytkeytyminen minimoituu. Viivelukitun silmukan vaihevertailija, varauspumppu ja jänniteregulaattori ovat erillisen

suojarenkain sisällä, eikä näiden herkkien analogiasignaalien läheltä ole piirretty häiritseviä digitaalisignaalihoitoja. Kun erivaiheiset signaalit ovat lopulta kulkenet jakajalohkojen ja viivekalibroinnin läpi, ne reititetään kolmitilajännittepuskureiden avulla piirin alalaidassa oleviin testiulostuloliitännöihin ja AD-muuntimelle. Kolmitilajännittepuskurit on toteutettu niin, että niiden signaalilinjaa kuormittava vaikutus olisi mahdollisimman pieni. Tällöin ne häiritsevät mahdollisimman vähän AD-muuntimelle reititettyjä signaaleja, eivätkä lisää suhteettomasti viivevirhettä tai ajoitusjitteriä vaiheisiin.



Kuva 5.17: Piirikuvi vaihevertailijasta ja varauspumppusta sekä jänniteregulaattorista.

Jotta signaalijohdotukset kellogeneraattorin ja AD-muuntimen rajapinnan välillä olisi mahdollista yhdistää, on johdotukset jouduttu piirtämään niin, että ne risteävät toistensa kanssa.

Koska signaalien jännitteet ovat tässä vaiheessa täysin laidasta laitaan tasoa (0 V – 3,3 V), eivät linjojen risteämisen johdosta aiheutuvat häiriön kytkeytymiset vaikuta signaaleihin yhtä ratkaisevasti kuin esimerkiksi piensignaaliatilanteessa jossa häiriöiden vaikutukset näkyvät herkemmin signaali-kohinasuhteessa. Signaalilinjojen alle on myös pyritty piirtämään mahdollisimman kattava maametalli-alue, joka suojaa signaaleja rinnakkaisten signaalilinjojen keskinäiseltä ja substraatin kautta kytkeytyvältä häiriöltä.

Parasiittiset piirikomponentit taas aiheuttavat virhettä ulostulovaiheiden symmetriaan. Koska näytteistyskellosignaalien epäideaalisuudet johtuvat pääosin piirikuvion parasiittisista komponenteista on järjestelmän simulointien lisäksi hyödynnetty jälkisolointien tuomia lisätuloksia. Näistä syistä johtuen suoritettiin viimeisimmälle kellogeneraattoriversiolle kattavat jälkisoloinnit. Jälkisoloinneissa muunnetaan piirikuvio aluksi vaadittavalla tarkkuudella erillisiksi piirikomponenteiksi kuten vastuksiksi ja kapasitansseiksi. Tämän jälkeen piirikuvion parasiittiset piirikomponentit lisätään simulointitiedostoon. Nyt simulointitulosten voidaan odottaa vastaavan hyvinkin tarkkaan prosessoidulta piiriltä mitattuja arvoja. Jälkisolointien ja mitattujen tulosten yhteneväisyys määrittäyty suurimmaksi osaksi simulointitiedostoon lisättyjen parasiittisten piirikomponenttien tarkkuuden sekä prosessivaihteluiden ja komponenttimallien tarkkuuden mukaan.

Kuvassa 5.17 on esitetty vaihevertailijan, varauspumpun sekä jänniteregulaattorin piirikuviot. Kuvasta nähdään tarkemmin myös jänniteregulaattorin ulostulotransistorin jaetut virtalähdelohkot ja johdotukset sekä käyttöjännite- ja häiriönsuodatuskondensaattorit.

Kahden aiemmin prosessoidun kellogeneraattoriversioon ongelmana oli viivelinjan käyttöjännitetason vaihtelu linjan eri osissa. Tämä havaittiin ulostuloviiveiden systemaattisena virheenä. Lukuisten mittausten ja jälkisolointien avulla ongelman aiheuttajaksi selvitettiin parasiittiset sarjavastukset, jotka muodostuivat jänniteregulaattorin ulostulon ja yksittäisen viivesolun väliin. Tästä johtuen on vaihevertailijan, varauspumpun ja jänniteregulaattorin piirikuvioita sekä lohkojen asettelua jouduttu suurelta osin muuttamaan. Koska epäsymmetrian suurimpana aiheuttajana olivat viivelinjan käyttöjännitelinjan sarjavastukset, on jänniteregulaattorin ulostulon PMOS- ja NMOS-transistorit jaettu yhtä moneen lohkoon, kuin on yksittäisiä viivesoluja. Lisäksi lohkot on jaettu tasavälein ajamaan virtaa viivesolujen yläpuolella olevalle häiriönsuodatuskondensaattorille. Tämä taas on johdotettu edelleen viivelinjan käyttöjännitteeksi. Seurauksena on, että kaikilla viivesoluilla on täsmälleen saman ajokyvyn omaava virtalähteensä, eikä jännitteen pudotusta solujen välille pääse muodostumaan.

Johtuen kondensaattorin sarjavastuksen aiheuttamista virtapiikeistä ja täten myös jännitehuojunnasta viivelinjan käyttöjännitteessä, on häiriönsuodatuskondensaattori toteutettu metalli-metalli-tyyppisenä. Näin sarjavastusta on saatu pienennettyä esimerkiksi monikiteisestä piistä valmistettuihin kondensaattoreihin nähden.

Myös erilaisia piirtämistekniikoita hyväksikäyttäen on epäideaalisuuksia saatu pienennettyä. Symmetrian parantamiseksi on esimerkiksi jokaiselle virrankulkureitille piirretty täsmälleen yhtä monta läpivientä kerrokselta toiselle siirryttäessä. Rinnakkaisten läpivientien määrä on myös pyritty kasvattamaan mahdollisimman suureksi, jolloin kokonaissarjavastus on saatu minimoitua.

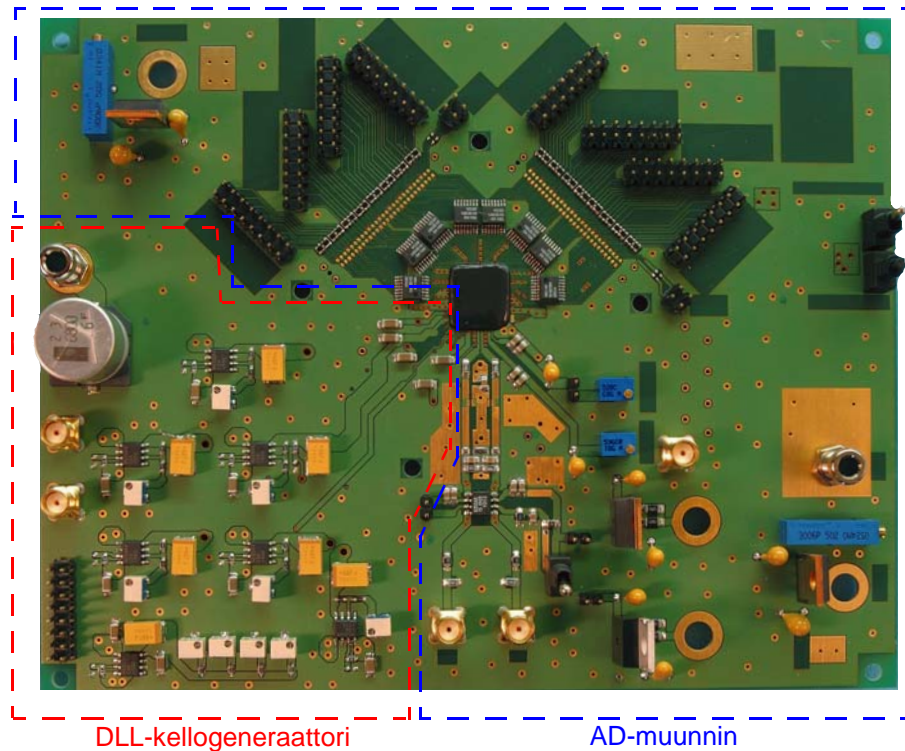
Edellä todettujen epäideaalisuuksien vuoksi on myös erittäin tärkeää, että piirin maametallointi olisi mahdollisimman kattava joka puolella piiriä, jolloin myös maapotentiaali olisi vakaa. Käyttöjännitelinjojen symmetriakysymys tuottaa hyvin harvoin minkään tasoista ongelmaa. Mutta kun kyseessä on alle pikosekuntien luokkaa olevat suuret, ei linjojen välillä tarvita epäsovittua kuin joitain ohmin osia tuottamaan jännite-eroja joista aiheutuu hallitsemattomia virheitä signaalien viiveisiin.

5.8 Piirilevyn suunnittelu ja toteutus

Testausta ja mittaamista varten valmistettiin nelikerroksinen piirilevy kultapinnoitteisesta FR4 levystä. Levyn piirtämiseen käytettiin Mentor Graphicsin PADS -piirilevynsuunnitteluohjelmaa. Piirilevyn sähköisten kytkentöjen tarkistusta varten piirretyt piirikaaviot tehtiin PADS Power Logicilla. Toteutetun piirilevyn tarkoituksena oli mitata koko AD-muunninpiiri ja varmistaa kellogeneraattorin funktionaalinen toiminta. Liitteessä 3 on esitetty piirikaavio testilevyn kellogeneraattoriosuudesta ja liitteissä 4.1 sekä 4.2 piirilevyn eri kerrosten piirikuviot. Piirilevyn kellogeneraattoriosuus on piirretty VTT:llä ja AD-muunninosuus TKK:lla, jonka jälkeen osiot on koottu yhtenäiseksi levyksi.

Piirilevyn signalointi lähellä mikrosirua on pyritty toteuttamaan päällimmäisessä kerroksessa ja vain pakolliset johdotukset levyn sisäosissa. Sekä testisignaalit että käyttö- ja esijännitteet on piirretty pääosin levyn sisemmille kerroksille. Piiriosioden maapotentiaali yhdistetään mikropiirin ulkopuolella ja se on yhteinen koko levyllä. Lisäksi maataso on pyritty piirtämään levyn jokaiselle kerrokselle mahdollisimman yhtenäiseksi. Maadoitukseen on myös kiinnitetty erityistä huomiota signaalijohtimien

suojaamisessa. Etenkin ulkoisen vertailukellon ja testiulostulojen johtimia piirtäessä on pyritty ehdottomaan symmetriaan sekä kuorman että ulkomittojen kannalta. Komponenttien asettelussa on lähdetty siitä ajatuksesta, etteivät kriittiset tai muuten herkit signaalit joutuisi risteämään keskenään aiheuttaen turhaa häiriöiden kytkeytymistä.

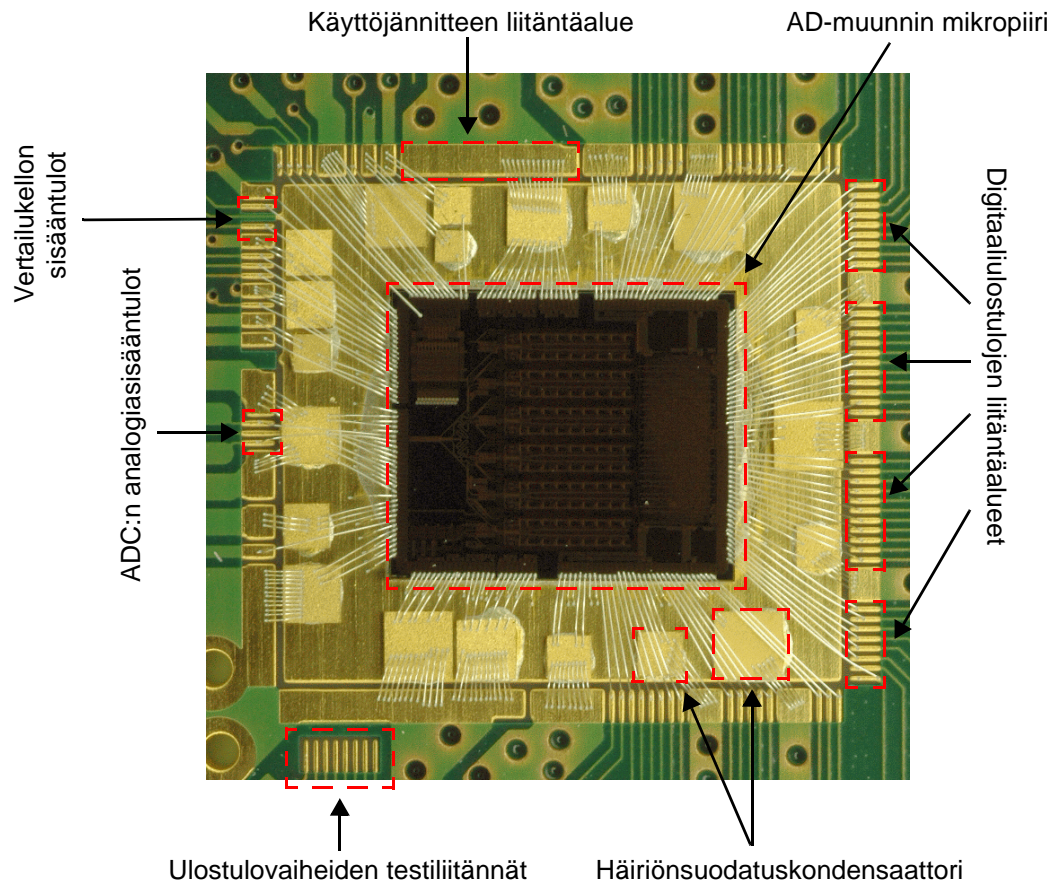


Kuva 5.18: Valokuva testipiirilevystä, jota käytettiin kellogeneraattorin ja AD-muuntimen mittaamiseen.

Kuvassa 5.18 nähdään valokuva valmiiksi kalustetusta piirilevystä, joka on tarkoitettu koko AD-muunninpiirin mittauksiin ja testaamiseen. Kuvan vasemmassa alaneljänneksessä nähdään punaisin katkoviivoin erotettu kellogeneraattorin ohjaukseen ja käyttöjännitteiden generointiin tarvittava osio. Suurin osa käyttö- ja esijännitesäädöistä on jätetty ulkoisiksi. Tällä tavoin on varauduttu prosessivaihteluihin sekä muihin suunnitteluvaiheessa mahdollisesti syntyviin epäideaalisuuksiin. Kaikki mikropiirille vietävät DC-jännitteet reguloidaan lineaarisilla jänniteregulaattoreilla ja lisäksi häiriösuodatetaan pienen sarjavastuksen (ESR) kondensaattoreilla, jotka on asetettu mahdollisimman lähelle piirikomponenttien sekä mikropiirin liitosalueita.

Lopullisessa tuotteessa kaikki käyttö- ja esijännitteet olisi kuitenkin vietävä mahdollisimman pienellä määrällä kytkentöjä piirin sisälle, jossa pääkäyttöjännitteestä generoitaisiin loput tarvittavat käyttö- ja esijännitteet. Levyn oikea- ja yläosa, jotka on merkitty sinisin katkoviivoin, ovat AD-muuntimen ohjaamista ja ulostulojen mittauksia varten. Itse AD-muunninmikropiiri sijaitsee levyn keskiosassa ja on kytketty suoraan piirilevyn lankaliitännöillä. Tällä tavoin kyetään minimoimaan kotelon mukanaan tuomat ongelmat, kuten parasittisten induktanssien sekä kapasitanssien aiheuttamat epäideaalisuudet. Lopuksi mikropiiri on suojattu läpinäkymättömällä ja

sähköä johtamattomalla suojaliimalla, jotteivät itse mikropiiri tai sen lankaliitännäkennät vaurioituisi käsittelyssä. Johtuen AD-muuntimen korkeasta toimintalämpötilasta, on lopullisissa mittauksissa suojaliiman päälle lisätty vielä metallinen jäähdytyselementti johtamaan lämpö pois mikropiirin pinnalta.



Kuva 5.19: Valokuva AD-muunninmikropiiristä ja sen kytkennöistä häiriönsuodatuskondensaattoreiden kautta piirilevyyn.

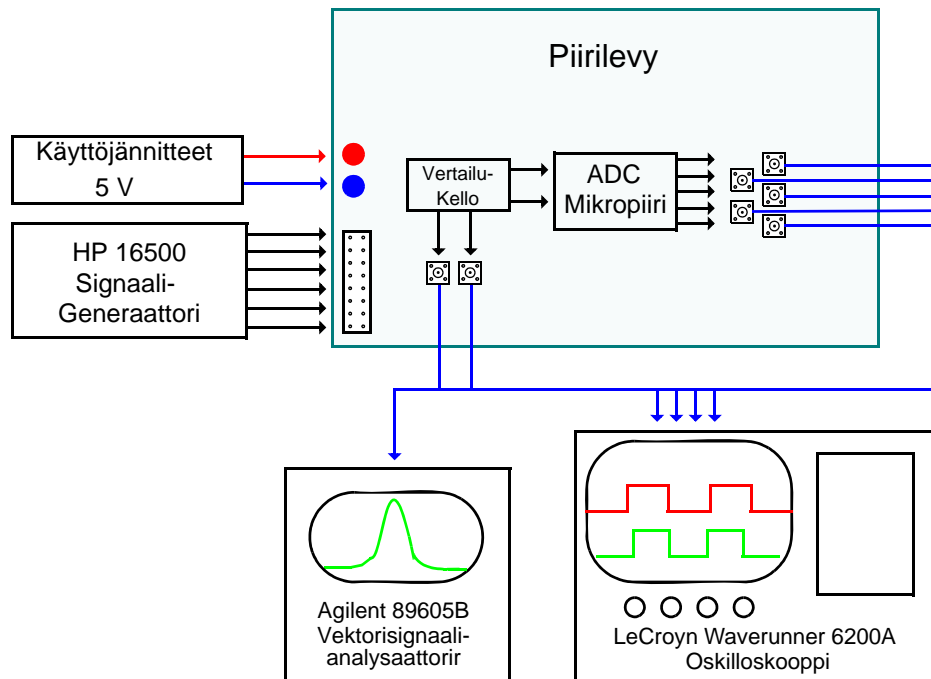
Kuvassa 5.19 nähdään mikroskooppivalokuva lankaliitännöin piirilevyyn kytketystä AD-muunninmikropiiristä, jossa suojaliima on jätetty pois. Kuvasta näkyvät selvästi piiriin lankaliitännäkennät sekä käyttö- ja esijännitelinjoihin käytetyt häiriönsuodatuskondensaattorit. Kondensaattoreiden alalevyt on kytketty johtavalla liimalla mikropiirin alla olevaan maapotentiaalitasoon ja niiden yläpuoli lankaliitännöin sekä piirilevyyn että mikropiirin liitäntäalueisiin. Kapeammat liitosalueet piirilevyllä ovat lähinnä mikropiirin analogia- ja digitaalisignaaleja varten. Käyttö- ja esijännitteille on käytetty leveämpiä liitosalueita pienemmän sarjavastuksen aikaansaamiseksi. Koska kellogeneraattorin ulostulon testiliitännät on jouduttu piirtämään erittäin lähelle toisiaan, ei ole mahdollista liittää kaikkia testisignaaleja piirilevyyn samanaikaisesti. Tämän vuoksi on jouduttu valitsemaan vain viisi ulostulovaihetta samanaikaiseen testaukseen. Näistä saadaan mittaustulosten perusteella kuitenkin pääteltyä koko kellogeneraattorin toiminnallisuus.

5.9 Kellogeneraattorin mittaukset

Kellogeneraattorin mittaukset on suoritettu pääosin edellisessä kappaleessa esitetyn testipiirilevyn avulla. Käytetty mittausjärjestely on esitetty kuvassa 5.20. Kellogeneraattorin ohjaamiseen ja kalibrointiin käytetyt signaalit on ohjelmoitu ja generoitu ulkoisesti Hewlett-Packardin 16500 digitaalisella signaaligeneraattorilla. Tämän jälkeen signaalit on syötetty piirin digitaalisäänmenoihin. Koska kellogeneraattorin toiminnallisuuden varmentamisen jälkeen mittaustestilevyt vietiin TKK:lle ja Nokialle jatkomittauksia varten, on ohjaus- ja kalibrointisignaalien generoimista varten tehty myös kaksi itsenäisesti toimivaa apupiirilevyä, joiden generoimien signaalien avulla ohjattiin kellogeneraattoripiirejä.

Kellogeneraattorin toiminnan määrittämistä varten on osa mikropiirin testiulostuloista kytketty lankaliitäntöjen avulla piirilevyyn. Nämä ulostulovaiheet ovat täsmälleen samat kuin ne, jotka on kytketty AD-muuntimen rinnakkain näytteistäville lohkoille. Signaalit on reititetty kolmitilajännitepuskureiden avulla joko ajamaan ulostulon testi-liitäntöjä tai AD-muunninta. Tilanpuutteen vuoksi on ulostulosignaaleista vain viisi kytketty piirilevyyn. Ulos tuotavat signaalit on kuitenkin valittu kahdenkymmenen neljän joukosta niin, että niistä saatava informaatio koko piirin toiminnasta olisi mahdollisimman kattava. Toisin sanoen, mikäli mitattava ulostulovaihe on halutunlainen, voidaan topologian differentiaalisesta luonteesta johtuen päätellä myös vastakkaisvaiheisen signaalin olevan kunnossa. Koska rinnakkaisten kahdellajakolohkojen toiminta on toisistaan riippuvaista, kyetään ulostulovaiheiden mittaamisella päättelemään paljon myös rinnakkaisten ulostulovaiheiden toiminnasta.

Mitattaessa ulostulosignaalien ajoitusjitteriä, viivevirhettä ja taajuutta, on apuna käytetty Agilentin 89605B vektorisignaali-analysointia sekä LeCroyn Waverunner 6200A oskilloskooppia.



Kuva 5.20: Lohkotason kuva testipiirilevyn mittauskytkennästä.

Vaikka mittausten järjestelyt ja alkuasetukset toteutettaisiinkin mahdollisimman huolellisesti, ovat mikropiirin ulkopuolelle tuodut signaalit aina huomattavasti sisäisiä signaaleja kohinaisempia, sisältäen myös piirilevyn sekä johdotusten mukanaan tuomaa viivevirhettä. Tästä huolimatta voidaan äärimmäistä tarkkuutta noudattaen saada mitattua ainakin suuntaa antavia tuloksia kellogeneraattorin sisäisestä toiminnasta. Olisi myös melko turhaa aloittaa koko AD-muuntimen laajamittaiset mittaukset tietämättä ensin toimivatko sen näytteistävät kello-signaalit edes funktionaalisella tasolla oikein.

Seuraavissa kappaleissa esitetyt tulokset on mitattu pääosin kellogeneraattorin viimeisimmästä piirilevyversiosta. Vain osa vektorisignaali-analysointia mitatuista vaiheista, joille suoritettiin jälkilaskentaa ajoitusjitterin lukuarvojen laskemiseksi, ovat piirilevyn aiemmasta versiosta.

5.9.1 Ajoitusjitterin mittaukset

Kuten jo aiemmin on todettu, saattaa ajoitusjitterin absoluuttinen mittaaminen osoitautua äärimmäisen vaikeaksi, ellei mahdottomaksi tehtäväksi. Todenmukaisin ja tarkin tapa olisi mitata AD-muuntimen digitaaliulostulon spektri ja laskea sen pohjakohinasta ajoitusjitterin kontribuutio koko järjestelmän kohinaan. AD-muuntimen mittauksissa ilmenneiden ongelmien vuoksi ei tämä kuitenkaan ollut aluksi mahdollista. Tämän seurauksena on ajoitusjitterin määrittämiseksi käytetty AD-muunnin mittausten lisäksi myös vektorisignaali-analysaattori- sekä oskilloskooppimittauksia. Eri menetelmiä on myös analysoitu arvioimalla niiden mahdollista soveltuvuutta ajoitusjitterin mittaukseen vaaditulla tarkkuudella.

5.9.1.1 Oskilloskooppimittaukset

Oskilloskooppimittauksissa on käytetty seuraavanlaista lähestymistapaa: Aluksi on mitattu järjestelmän koko ketjun kaikkien osakomponenttien ajoitusjitterit. Tämän jälkeen on neliöllisesti vähentämällä laskettu tuntemattoman osakomponentin osuus koko järjestelmän kokonaisajoitusjitteristä. Koska ajoitusjitterin RMS-tehollisarvo koko järjestelmälle on sen neliöllisten osakomponenttien summa, voidaan yhtälöstä (5.9.1) laskea halutun osakomponentin suuruus.

$$J_{\text{RMS,TOT}}^2 = J_{\text{RMS},1}^2 + J_{\text{RMS},2}^2 + \dots + J_{\text{RMS},i}^2 \quad , \quad (5.9.1)$$

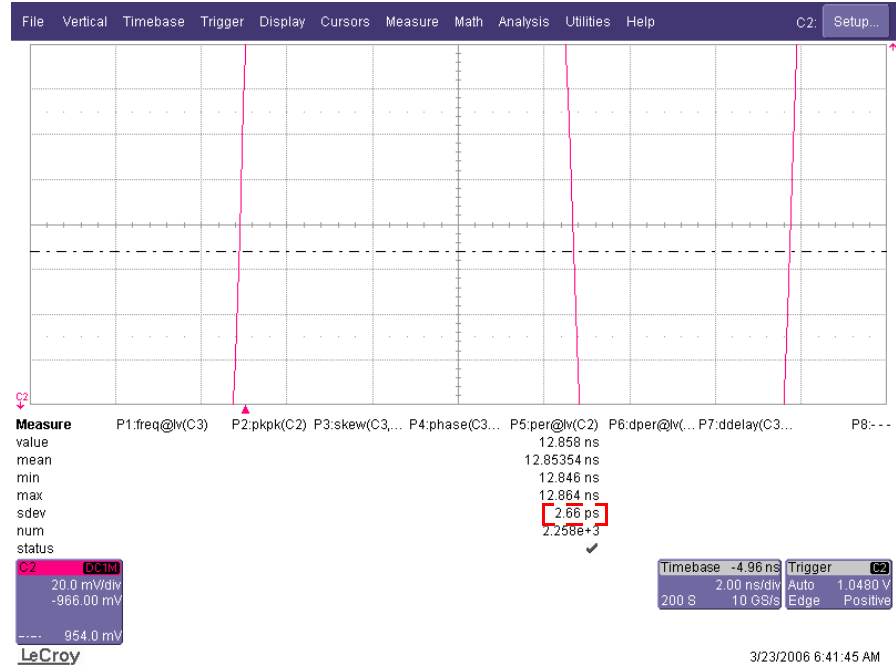
joka voidaan esittää yleisemmässä muodossa:

$$J_{\text{RMS,TOT}} = \sqrt{\sum_{i=1}^n J_{\text{RMS},i}^2} \quad , \quad (5.9.2)$$

jossa $J_{\text{RMS,TOT}}$ on koko järjestelmän ajoitusjitterin RMS-tehollisarvo ja $J_{\text{RMS},i}$ on osakomponentin iRMS-tehollisarvo.

Kuten ulkoisen vertailukellon, myös koko kellogeneraattoriin ajoitusjitteri on mitattu sekä oskilloskoopilla että vektorisignaali-analysaattorilla. Oskilloskoopilla mitatuista tuloksista on suoraan pyritty määrittämään kellogeneraattorin osuus koko järjestelmän ajoitusjitteristä. Kuvassa 5.21 nähdään tyypillinen kellogeneraattorin testiulostulovaiheen ajoitusjitterimittaus. Ulostulovaiheiden väliset erot lukuisista pisteistä mitattujen ajoitusjittereiden osalta olivat välillä 2,41 ja 2,85 ps. Mittaukset on suoritettu LeCroyn Waverunner 6200A oskilloskoopilla, jonka oma sisäinen näytteistysepätarkkuus on 3 ps [LeCroy]. Koska mittaustulokset ovat alle mittalaitteen oman sisäisen mittatarkkuuden, päästään taas samaan lopputulokseen, joka jo aiemmin on

todettu, eli kyseisellä mittalaitteella tai mittausmetodilla ei voida suoraan määrittää kellogeneraattorin ajoitusjitteriä. Suoritetuista oskillaattorimittauksista voidaan vain päätellä, että vertailukellon, kellogeneraattoripiirin ja koko mittausjärjestelmän yhteinen ajoitusjitteri on alle 3 ps:n luokkaa.



Kuva 5.21: Tyypillinen kellogeneraattorin testitulostulovaiheen ajoitusjitterimittaus.

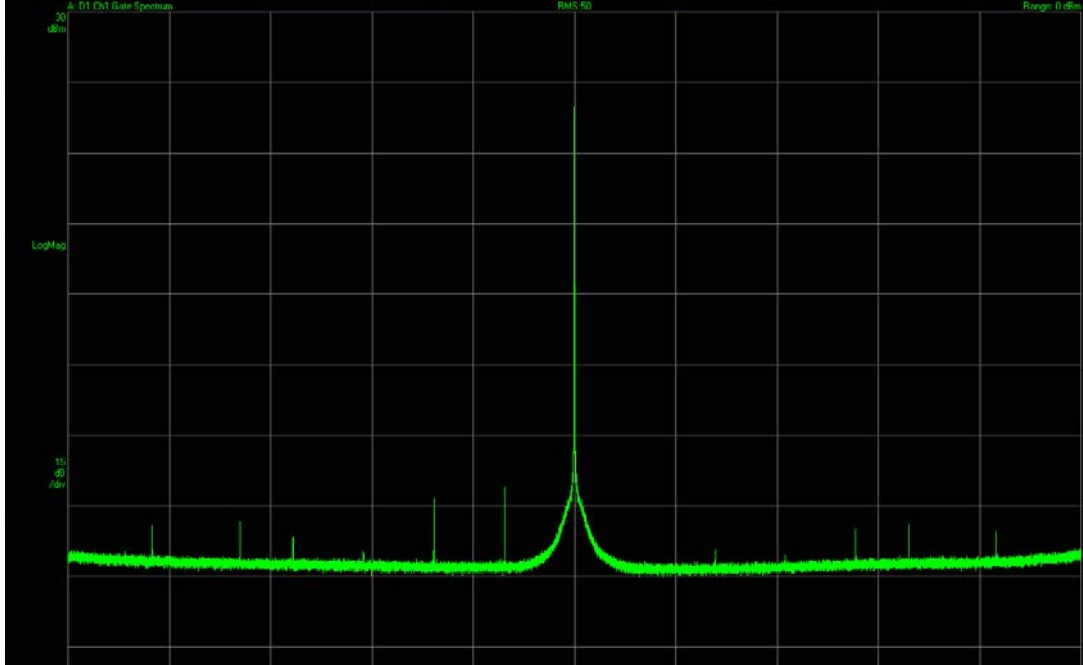
5.9.1.2 vektorisignaali-analysaattorimittaukset

Johtuen oskilloskooppimittausten epätarkkuudesta on ajoitusjitterimittauksiin otettu myös toisentyypinen lähestymistapa. Tässä ulostulosignaalien vaihekohinat mitataan vektorisignaali-analysaattorilla, jonka jälkeen mittaustulokset muutetaan laskennallisesti aikamuotoon. Tyypillinen vektorisignaali-analysaattorilla mitattu ulostulosignaalin kaksipuolinen vaihekohinaspektri on esitetty kuvassa 5.22. Mittaus on suoritettu 32 MHz:n kaistalle jonka keskitaajuutena on 77,8 MHz. Vektorisignaali-analysaattorilla mitatut vaihekohina-arvot on ensiksi muutettu ajoitusjitterimuotoon, yhtälöä 5.9.3 apuna käyttäen. Yhtälöstä nähdään ajoitusjitterin tehollisarvon suhde integroituun vaihekohinaan määritetyllä taajuuskaistalla [Mji07] [Wji07].

$$J_{\text{RMS}} = \frac{1}{2\pi f_c} \sqrt{2 \int_{f_1}^{f_2} 10^{\frac{L(f)}{10}} df} \quad , \quad (5.9.3)$$

jossa J_{RMS} on ajoitusjitterin RMS-tehollisarvo, f_c on keskitaajuus, f_1 ja f_2 ovat integroitavan taajuuskaistan ala- ja ylärajataajuudet ja $L(f)$ on vaihekohinaspektrin intensiteetti taajuuden funktiona.

Koska vektorisignaali-analysaattorilla mitatut vaihekohina-arvot ovat jatkuvan sijaan diskreettiä muotoa, on yhtälöä käsiteltävä niin, että mitattuja kohinalukuarvoja voidaan summata yhteen määrättyltä taajuuskaistalta.



Kuva 5.22: Tyypillinen vektorisignaali-analysaattorilla mitattu ulostulosignaalin vaihekohinaspektri 32 MHz:n kaistalle jonka keskitaajuutena on 77,8 MHz.

Ajoitusjitterin laskemiseksi on Aplacille toteutettu laskentaohjelma, joka laskee yhtälöä 5.9.4 apunaan käyttäen mitatuista kohina-arvoista ajoitusjitterin. Esimerkki laskentaohjelmasta on esitetty liitteessä 6.

$$J_{\text{RMS}} = \frac{1}{2\pi f_c} \sqrt{2 \sum_{i=1}^{N-1} A_i} \quad A_i = \frac{y_i + y_{i+1}}{2} \Delta f_i, \quad (5.9.4)$$

jossa J_{RMS} on ajoitusjitterin RMS-tehollisarvo määritellyllä taajuuskaistalla, f_c on keskitaajuus, A_i on taajuuskaistalla Δf_i integroitu pinta-ala, y_i on kohinateho ja mittauspiste $i = 1, 2 \dots N-1$. Tämän jälkeen, kun ajoitusjitterin arvo on laskettu, saadaan kellogeneraattorin lisäämä osuus kokonaisajoitusjitteristä laskettua yhtälön 5.9.1 avulla.

Kellogeneraattorin ulostulosignaalien vaihekohinan määrittämistä varten suoritettiin kymmenen erillistä mittausta. Näistä mittauksista laskettiin ajoitusjitterin arvot taajuuskaistalla 12 KHz – 18 MHz ja tämän jälkeen tulokset keskiarvoistettiin. Taulukoon 5.4 on kerätty tulokset kyseisistä mittauksista. Levy ”yksi” on koottu niin, että vain kellogeneraattorilohko (DLL) on liitettyä mittalevyyn. Levyssä ”kaksi” on myös AD-muunnin (ADC) liitettyä. Mittaukset on levyn ”kaksi” tapauksessa tehty

lisäksi tilanteissa, joissa AD-muuntimeen on kytketty virrat päälle tai pois. Kellogeneraattorin ajoitusjitterin lukuarvot on saatu vähentämällä neliöllisesti yhtälön (5.9.1) mukaan sekä ulkoisen vertailukellon, testipiirilevyn, että vektorisignaali-analysaattorin sisäisen kohinan osuus kokonaisajoitusjitteristä.

	Ulkoinen kello	Ulkoinen kello + DLL, ADC pois päältä	Ulkoinen kello + DLL, ADC kytketty päälle	DLL, ADC pois päältä	DLL, ADC kytketty päälle
Levy 1	3,87 ps	3,98 – 4,08 ps	ei mitattuna	0,9 – 1,3 ps	ei mitattuna
Levy 2	4,03 ps	4,32 ps	4,50 ps	1,6 ps	2,0 ps

Taulukko 5.4: Ajoitusjitterin mittaukset kahdelta eri piirilevyiltä.

Taulukon lukuarvoista voidaan todeta, että kytkemällä AD-muunnin päälle lisääntyy koko järjestelmän ajoitusjitteri. Todennäköisin syy tälle on piirin sisäisten signaalien keskinäinen läpikuuluminen sekä häiriöiden kytketyminen substraatin kautta koko järjestelmään. Tuloksista on kuitenkin vaikea vetää lopullisia johtopäätöksiä, koska testipiirien lukumäärä on vain kaksi.

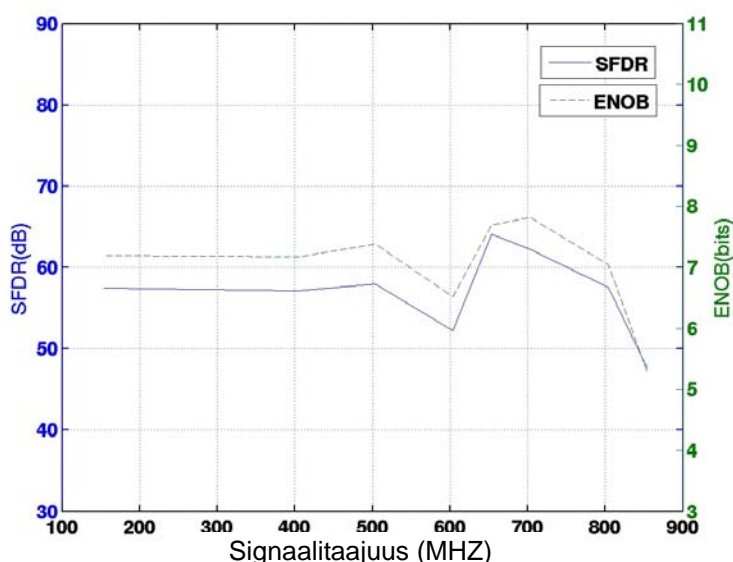
On kuitenkin huomioitavaa, että levyjen yksi ja kaksi välisissä mittaustuloksissa on havaittavia eroja kaikissa tilanteissa. Eräs melko varma syy tähän on levyjen toisistaan poikkeava ulostulosignaalien johdotustapa. Piirilevyjen ulostulojohtimet on yksinkertaisesti koottu hieman eri tavoin. Levyssä yksi on ulostulon signaalijohdinten ja -liitinten symmetriaan sekä suojaukseen kiinnitetty huomiota hieman paremmin kuin levyssä kaksi. Jo nämä seikat itsessään voivat aiheuttaa eron signaaleihin kytkettyjen häiriöiden määrässä.

Loppujen lopuksi voidaan kuitenkin varmuudella arvioida, että kellogeneraattoripiirien sisäiset häiriöt ovat huomattavasti pienemmät kuin mitä ulos piiriltä tuotujen signaalien mittauksista voitaisiin päätellä. Jotta häiriötekijöiden lähteet pystyttäisiin selvittämään tarkasti, tulisi mittaukset joka tapauksessa kyetä suorittamaan useammalle eri piirille.

5.9.1.3 AD-muunninmittaukset

Esitetyt AD-muunninmittaukset ovat viimeisimmästä muunninversiosta, jonka kellolähteenä toimi tässä työssä aiemmin esitetty viivelukittuun silmukkaan perustuva kellogeneraattori. Mittaukset on suoritettu pääosin Teknillisen korkeakoulun Piiritekniikan laboratoriossa sekä Nokian tiloissa. Osa Piiritekniikan laboratorion mittauksista on suoritettu VTT:n Integroidut systeemi- ja -suunnitteluryhmän avustuksella.

Viimeisimmän AD-muunninversion mittaustuloksia käyttäen on mahdollista päästä hyvinkin tarkkaan ajoitusjitterin määrittelyyn. Muuntimen mittauksissa ilmenneiden ongelmien vuoksi ei ajoitusjitteriä kyetty aluksi määrittämään suoraan muuntimen ulostulospektristä. Lopuksi kehitetyn laskennallisen sovitusten ansiosta muuntimen ulostulospektri kyettiin määrittämään hyvinkin tarkkaan. Kuvassa 5.23 on esitetty AD-muuntimen ulostulospektrin kohinatasoa vastaavat särötön dynamiikka-alue (SFDR) desibeleinä sekä efektiivisten bittien lukumäärä (ENOB) signaalitaajuu- den funktiona [Hak07] [Hak072].



Kuva 5.23: AD-muuntimen särötön dynamiikka-alue desibeleinä sekä efektiivisten bittien lukumäärä signaalitaajuuden funktiona.

Vaikkakin mittausaineistosta on laskennallisesti sovitettu viivevirheet sekä enitenmerkitsevät bitit, nähdään ajoitusjitterin vaikutus ulostulossa juuri vähitenmerkitsevien bittien kautta. Tästä syystä voidaan järjestelmän kokonaisajoitusjitterin määrä laskea. Sijoittamalla ENOB:n arvo tietyllä signaalitaajuudella yhtälöön 3.2.4, saadaan ajoitusjitterin määräksi esimerkiksi 700 MHz:llä noin 0,7 ps. Piste jossa ajoitusjitterin suuruus lasketaan, olisi otettava kohdasta jossa AD-muuntimen suorituskyky alkaa laskea taajuuden funktiona. Tämä siitä syystä, että juuri tässä pisteessä alkaa ajoitusjitteri rajoittaa muuntimen toimintaa. Koska tämä on kellogeneraattorin, AD-muuntimen sekä mittausjärjestelmän kokonaisajoitusjitteri, voidaankin jälleen päätellä, että kellogeneraattorin itsensä lisäämän ajoitusjitterin määrä on oltava tätä astetta pienempi.

5.9.2 Viivevirheen mittaukset

Viivevirheen vaikutusta ei saatavana olevan mittausaineiston perusteella kyetty valittavasti laskemaan suoraan AD-muuntimen ulostulospektristä. Mittaukset on tämän vuoksi suoritettu vertailemalla kahden eri kellogeneraattorin ulostulosignaalin vaihetta keskenään. Testipiirilevyn viidestä ulos tuodusta signaalista jokainen kahden ulostulosignaalin välinen kombinaatio on käyty läpi ja taulukossa 5.5 on esimerkkinä esitetty vaihevertailu signaaliin ϕ_0 . Taulukosta nähdään signaalien vaihe-eron lisäksi ideaalinen vaihe-ero ja virhe tähän nähden. Lisäksi vaihe-eron virhe on esitetty aikamuodossa, jotta sen hahmottaminen olisi helpompaa ja että se olisi vertailukelpoinen piirin kokonaisajoitusvirheen kanssa. Mittaukset on suoritettu LeCroy'n Waverunner 6200A oskilloskoopilla. Vaikka mittaustilannetta varten on valittu mahdollisimman saman kuorman omaavat mittajohdot, on näiden välillä aina olemassa pientä epäsovittusta. Vaihtamalla mittajohdot keskenään ja suorittamalla täsmälleen samat mittaukset uudelleen, saadaan johtojen välisen epäsovituksen aiheuttama viivevirhe laskettua pois. Johtojen epäsovituksesta aiheutunut virhe kahden signaalin välille on mittausten mukaan 0,75 astetta, joka on aikaskaalassa noin 27 ps. Tämä vaihe-viivevirhe-muunnos saadaan laskettua yhtälön 5.9.5 avulla.

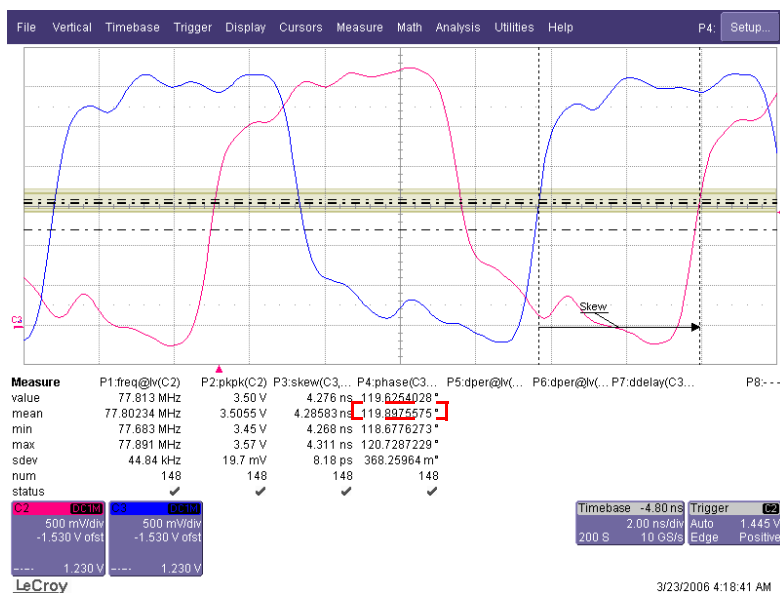
$$\Delta t = \frac{1}{f_s} \frac{\Delta \phi}{360^\circ}, \quad (5.9.5)$$

jossa Δt on viivevirhe, $\Delta \phi$ on vaihevirhe ja f_s on signaalitaajuus. Koska kellogeneraattorin vertailukellossignaalinä käytettiin 311 MHz:n taajuutta, ovat mitatut signaalit noin 77,8 MHz:n taajuisia. Mittajohdojen aiheuttama vaihevirhe on lopuksi vähennetty ulostulosignaalien mittaustuloksista ja näitä tuloksia käytetty taulukon lukuarvoina.

Mitatut vaiheet	Vaihe-ero	Ideaalinen vaihe-ero	Virhe (aikatasossa)
$\phi_0 - \phi_5$	75,79°	75°	+0,79° (28,2 ps)
$\phi_0 - \phi_8$	121,21°	120°	+1,21° (43,2 ps)
$\phi_0 - \phi_{13}$	194,58°	195°	-0,42° (15,0 ps)
$\phi_0 - \phi_{21}$	315,15°	315°	+0,15° (5,4 ps)

Taulukko 5.5: Kahden eri signaalin välisen vaihe- ja viivevirheen mittaustulokset.

Signaalien vaihemittaustuloksista nähdään suoraan, että kellogeneraattori toimii funktionaalaisella tasolla oikein. Koska myös muut kellogeneraattorin ulostulovaiheista riippuvat toisistaan, voidaan mitattujen signaalien toisiinsa nähden oikeista vaiheeroista päätellä, että kaikki loputkin yhdeksäntätoista vaihetta ovat asettuneet oikeaan järjestykseen.



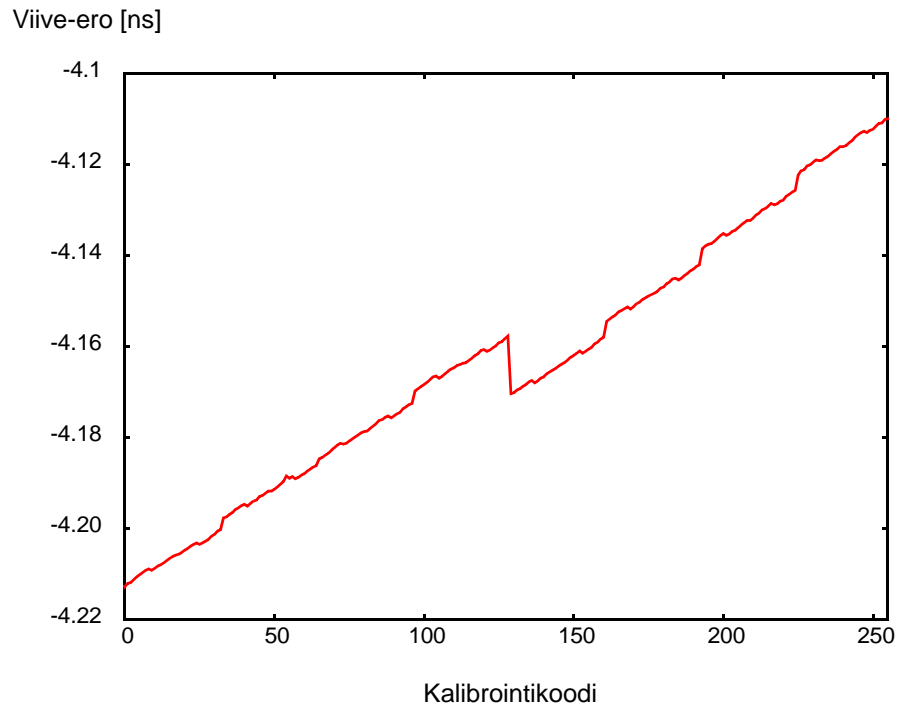
Kuva 5.24: Oskilloskoopilla mitatut kellogeneraattorin ulostulosignaalit ϕ_0 ja ϕ_8 .

Kuvassa 5.24 nähdään esimerkki oskilloskoopilla mitatuista kellogeneraattorin ulostulosignaaleista, joista viivevirhe kahden signaalin välillä on määritetty. Kuvan tapauksessa ulostulovaiheet ovat ϕ_0 ja ϕ_8 , joiden väliseksi vaihe-eroksi on mitattu likimain 120 astetta.

5.9.3 Kalibrointilohkon mittaukset

Viivevirheen kalibrointimittauksia ei voida toteuttaa käyttäen suoraviivaisia mitta-asetuksia johtuen mittatilanteesta ilmenevästä kohinasta ja epätarkkuudesta. Koska kalibrointimittauksissa pyritään säätämään ja määrittämään kohtuullisen ajan kuluessa satoja, suuruusluokaltaan 0,5 ps:n viiveen muutoksia, on kyseisessä mittauksessa käytetty apuna oskilloskoopin laskentatarkkuutta lisäävää ominaisuutta. Waverunner 6200A oskilloskoopissa on mahdollista käyttää niin sanottua lomitettua satunnaisnäytteistystä (RIS) [LeCroy]. Tämä tila lisää efektiivistä näytteistystarkkuutta jak-

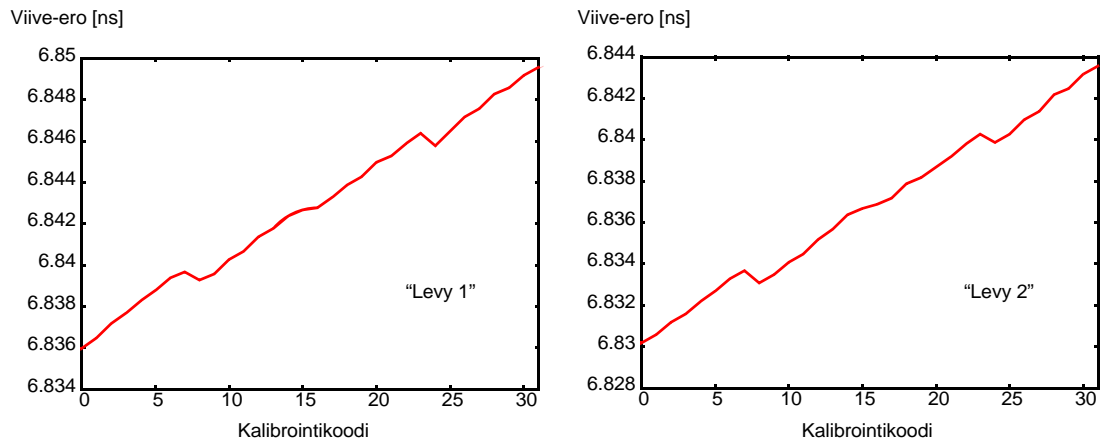
sottaisia signaaleja mitatessa ja sitä voidaan käyttää viiveen määrittämiseen. Koska ajoitusjitterin tapauksessa mitataan satunnaisilmiötä jaksottaisen sijaan, antaa RIS-tila harhaanjohtavia tuloksia, eikä tämän vuoksi voida käyttää ajoitusjitterin tarkkaan määrittämiseen.



Kuva 5.25: Mittaus viiveenkalibroitilohkon toiminnasta. Tilanne, jossa kellogeneraattorin ulostulovaiheiden ϕ_0 ja ϕ_8 välistä viivettä säädetään 8 bitin resoluutiolla.

Kalibroitilohkon toiminta on testattu käymällä läpi kaikki mahdolliset kalibroititilat ja mittaamalla eri kanavavariaatioiden väliset viive-eron muutokset kyseisen tilan aikana. Mittaukset on suoritettu kahdelle erilliselle piirilevyille, jotta välttyttäisiin prosessivaihteluiden aiheuttamilta vääriltä päätelmiltä piirin toiminnasta. Mitattu viive-ero kahden kanavan välillä syötetyn kalibroitikoodin funktiona on esitetty kuvassa 5.25. Esitetty viive-ero on mitattu ulostulovaiheiden ϕ_0 ja ϕ_8 välillä. Mittauksissa saavutettu kalibroitilohkon säätöalue on likimain 100 ps ($2,8^\circ$) ja yksittäisen askeleen tarkkuus 0,5 ps ($0,014^\circ$). Kuvasta voidaan selvästi päätellä, että viiveensäätö toimii melko lineaarisesti lukuun ottamatta säädön keskipisteen epäjatkuvuuskohtaa. Tämä epäjatkuvuus aiheutuu tilanteesta, jossa eniten merkitsevä bitti (MSB) vaihtaa tilaansa esimerkiksi ykkösestä nollaksi ja kaikki vähitenmerkitsevät bitit (LSB) vaihtavat tilaansa nolasta ykköseksi. Tämän kaltaisessa tilanteessa MSB- ja LSB-lohkojen välinen epäsovitus on suurimmillaan ja näkyy kyseisenlaisena ilmiönä. Koska kalibroitilohkon rakenne on pidettävä kohtuullisen yksinkertaisena, ilman minkäänlaista sisäisesti toteutettua automaattista säätöä, on tämäntyyppinen epälineaarisuus melko tyypillistä varsinkin kalibroitiresoluution kasvaessa. Kuvasta nähdään kuitenkin, että viiveensäätö kattaa kaikki pisteet säätöalueella, joten hyppäys ei tuota ongelmia manuaalisessa kalibroinnissa. Tämä kuitenkin monimutkaistaa viiveensäädön automatisoinnissa tarvittavan ohjausalgoritmin suunnittelua.

Jotta prosessiparametrien vaihtelusta saataisiin lisäinformaatiota, on viiveensäätömittaus suoritettu samalla tavoin kahdelle eri piirilevylle ja tuloksia vertailtu keskenään. Kuvassa 5.26 on esimerkki kahden erillisen piirilevyn viiveenkalibrointilohkon mittauksista.



Kuva 5.26: Mittaus viiveenkalibrointilohkon toiminnasta. Tilanne, jossa kahden eri piirilevyn kellogeneraattorin ulostulovaiheiden välistä viivettä on vertailtu keskenään. Sääto on suoritettu 5-bitin resoluutiolla.

Kuvan mittauksissa on käytetty vain kalibrointilohkon viittä alinta LSB-bittiä. Lukuisista mittaustuloksista voidaan päätellä erillisten mikropiirien sekä näiden ulostulovaiheiden viiveensäädön vastaavan toisiaan vaaditulla tarkkuudella. Viiden bitin tarkkuudella suoritettujen mittausten differentiaaliseksi epälinearisuudeksi (DNL) saatiin noin 1,7 bittiä.

Koska mitattu maksimi vaihevirhe on +1,2 astetta, ja kalibrointilohkon kykenee korjaamaan +/-1,4 asteen suuruiset virheet, ovat viivevirheet kalibroitavissa pois kokonaan. On kuitenkin hyvä huomioida, että piirilevy itsessään sekä mittauksissa käytetyt johdot aiheuttavat huomattavaa epätarkkuutta mittauksiin. Voidaankin olettaa, että koska AD-muuntimen sisäisten kellosignaalien viivevirheet ovat asteluokkaa mitattuja pienemmät, kykenee kalibrointilohko korjaamaan virheet prosessiparametrivaihteluista huolimatta.

6 Yhteenveto ja johtopäätökset

Tämä diplomityö on osa Euroopan avaruusjärjestön (ESA) teettämää tutkimusprojektia, jonka tarkoituksena oli suunnitella ja toteuttaa korkean kellotaajuuden analogia-digitaali (AD) -muunninmikropiiri. Valtion teknillinen tutkimuskeskus (VTT), jonka tehtävänä oli suunnitella muuntimen kellogeneraattoriosuus, toimi projektin organisoijana. Projektin muita osapuolia olivat Helsingin teknillisen korkeakoulun (TKK) Piiriteknikan laboratorio, joka suunnitteli AD-muunnin osuuden ja Nokia, joka suoritti osan koko lopullisen piirin mittauksista. AD-muuntimen topologia on aikalomitettu rinnakkaisliukuhihna-tyyppinen, jossa näytteistykseen hoitavat 24 rinnakkaista liukuhihnaa. Muuntimen nopeusvaatimukseksi asetettiin 2 GS/s näytteistystaajuus ja muunnoksen resoluutioksi 8 efektiivistä bittiä.

VTT:n osuus projektista käsittää AD-muuntimen kellogeneraattorin suunnittelu- ja toteutusvaiheet sekä prosessoitujen mikropiirien mittauksia. Toteutettu kellogeneraattoripiiri perustuu viivelukitun silmukan topologiaan. Se tuottaa 24 tasavälein viivästettyä 78 MHz:n kellosignaalia AD-muuntimen rinnakkaisliukuhihnoille. Suunnittelussa on kiinnitetty erityistä huomiota kellosignaalien ajoitusjitterin ja viivevirheiden minimointiin.

Diplomityö käsittelee pääosin kellogeneraattorin suunnitteluun ja toteutukseen liittyviä seikkoja. Lisäksi työssä on esitetty lyhyehkö katsaus AD-muunnin perustopologioista sekä näihin vaikuttavista näytteistysilmiöistä. Työssä käsitellään aluksi korkean taajuuden kellotukseen liittyviä ongelmia sekä kellonsignaalin hyvyyttä kuvaavia parametreja. Tämän jälkeen esitellään viivelukitun silmukan teoriaa ja toteutettu kellogeneraattoripiiri, joka perustuu kyseiseen arkkitehtuuriin sekä piirin simulointeja. Seuraavaksi käsitellään piirikuvion ja piirilevyn piirtämiseen sekä muihin piirin toteutukseen liittyviä suunnitteluvaiheita. Työn loppuosa tarkastelee lähinnä kellogeneraattoripiirin viimeisimmän version mittauksia ja viiveenkalibrointia sekä näistä tehtyjä johtopäätöksiä.

Kellogeneraattorista on toteutettu kolme eri versiota sekä useita testipiirejä, jotka sisältävät yksittäisten lohkojen lisäksi pienehköjä kokonaisuuksia. Diplomityössä on esitetty lähinnä viimeisimmän version piirisuunnitteluun, simulointeihin ja mittaustuloksiin liittyviä seikkoja. Lisäksi työssä on sivuavasti käsitelty myös aiempien kellogeneraattoriversioiden testilohkojen mittaustuloksia sekä simulointeja. Piirin viimeisin versio on prosessoitu Austria Microsystemsin (AMS) 0,35 μm :n SiGe BiCMOS prosessiteknologialla, mutta kellogeneraattorilohkossa on käytetty ainoastaan perinteistä CMOS-teknologiaa. Toteutettu AD-muunninpiiri on pinta-alaltaan 40 mm^2 , josta kellogeneraattorilohkon osuus on 5,2 mm^2 .

Seuraavaan taulukkoon (6.1) on koottu lista kellogeneraattorin (DLL) ja AD-muuntimen (ADC) fyysisistä ominaisuuksista kuten komponenttimääristä ja pinta-alan kulu-
tuksesta.

Prosessiteknologia	AMS 0,35 μ m SiGe-BiCMOS 4M/4P
komponenttien lukumäärä (DLL)	~ 10 000
DLL-kellogeneraattorin pinta-ala	2,0 mm x 2,6 mm = 5,2 mm ²
komponenttien lukumäärä (ADC)	~ 255 000
koko ADC:n pinta-ala	5,8 mm x 6,9 mm = 40 mm ²

Taulukko 6.1: AD-muunnin -mikropiirin fyysiset ominaisuudet.

Kellogeneraattoriin lopulliset mittaustulokset määrittävät generoitujen näytteistys-
signaalien ajoitusjitteriksi alle 1 ps ja maksimi viivevirheeksi noin 43 ps. Koska 8-bit-
tisen kalibrointilohkon mittaukset osoittavat, että kokonaisuudessaan 100 ps:n
suuruinen viive on säädettävissä 0,5 ps:n tarkkuudella, ovat viivevirheet kalibroita-
vissa pois kokonaan. Koska kellosignaalin virheitä ei aluksi voitu määrittää suoraan
AD-muuntimen ulostulospektristä, jouduttiin signaalit mittaamaan testilevyiltä. Mit-
tausjärjestelmän mitattavaan signaaliin lisäämän kohinan sekä muiden virhelähteiden
vuoksi voidaankin päätellä, että todelliset 24 kellosignaalia, jotka kytetään AD-
muuntimen rinnakkaisille näytteistyslohkoille ovat mitattuja testisignaaleita parempi-
laatuiset. Taulukossa 6.2 on esitetty kellogeneraattorilohkon oleelliset mittaustu-
loket.

Mitattava vaste/suure	Mitattu tulos
ajoitusjitteri (RMS)	0,9 – 1,3 ps (vektorisignaali-analysointilohkolla) < 0,7 ps (ADC:n ulostulosta)
viivevirhe	5,4 ps – 43 ps (0,15 ^o – 1,21 ^o)
kalibroinnin kokonaissääto	100 ps (2,8 ^o = +/-1,4 ^o)
kalibroinnin tarkkuus	0,5 ps (0,014 ^o)
vertailukellotaajuus	150 MHz – 490 MHz
ulostulovaiheiden taajuus	38 MHz – 123 MHz
Käyttöjännite	3,3 V (4,3 V takaisinkytkentäsilmutta)

Taulukko 6.2: Kellogeneraattorin mittaustulokset.

Viimeisimmistä AD-muuntimen ulostulospektrin mittaustuloksista saatiin ajoitusjitterin
määräksi laskettua alle 0,7 ps. Kellogeneraattorin lisäksi myös AD-muunnin sekä
koko mittausjärjestelmä lisäävät ajoitusjitteriä ja muita häiriöitä mitattavaan signaa-
liin. Tämän vuoksi voidaan päätellä, että kellogeneraattorin itsensä näytteistysignaaliin
lisäämän ajoitusjitterin määrän olevan hyvin lähellä, ellei allekin vaaditun 0,5
ps:n tavoitetasoa.

Taulukkoon 6.3 on koottu oleellisimmat AD-muuntimelle asetetut spesifikaatioparametrit sekä prosessoiduista piireistä mitatut vastaavat arvot.

Spesifikaatioparametri	Tavoitearvo	Mitattu arvo
Analogiasisääntulon taajuus	10 MHz – 1 GHz	< 10 MHz – 850 MHz
Näytteistysnopeus	2 GS/s	1,8 GS/s
Resoluutio (ENOB)	8 bittiä	7,8 bittiä
Signaali- kohina-suhde (SINAD)	54 dB	52 dB
Särötön dynamiikka-alue (SFDR)	60 dB @ 50 MHz	64 dB @ 50 MHz
Käyttöjännite	5 V	3,8 V
Tehonkulutus	Minimoitava	3,9 W
Toimintalämpötila-alue	-10 – +55 C°	> +55 C°

Taulukko 6.3: Kooste oleellisimmista AD-muuntimelle asetetuista ja mitatuista spesifikaatioparametreista.

Koska käytetty prosessiteknologia on suhteellisen vanha, jolloin myös sen minimiviivanleveys on suuri, asettaa tämä lukuisia rajoitteita toteutetulle piirille. Yksi näistä on vastaan tullut yläraja muuntimen kellotaajuuden nostamiselle. Yleisesti myös käyttöjännitteet on asetettava korkeiksi, josta seuraa piirin suuri tehonkulutus. Tehonkulutuksen kasvusta johtuvat myös erilaiset ongelmat liittyen lämpötilan nousuun. Lisäksi suuri viivanleveys kasvattaa huomattavasti piirin vaatimaa pinta-alaa ja vaikuttaa suoraan komponenttiparametrien keskinäisiin sovituksiin. Näistä syistä olisi ilmeisen selvää siirtyä seuraavaa versiota suunniteltaessa uudempiin, pienemmän viivanleveyden prosesseihin. Näin välttyttäisiin monilta toteutettua AD-muunninpiiriä rajoittavilta tekijöiltä.

Vertailtaessa tässä työssä toteutettua kellogeneraattoria ja AD-muunninta vastaaviin kaupallisiin sekä tieteellisissä julkaisuissa esitettyihin havaitaan näiden olevan erittäin vertailukelpoisia ja sijoittuvan tuloksiltaan yksin parhaimmista. On kuitenkin muistettava, että toteutettu AD-muunninkokonaisuus on vasta alkuvaiheessa lähestyttäessä kaupallista tuotetta. Jotta järjestelmästä saataisiin täysin itsenäisesti toimiva ja itsekalibroituva, olisi ratkaistava vielä monia vaikeitakin ongelmakysymyksiä. Toteutus toimii joka tapauksessa erittäin hyvänä lähtökohtana lähdeittäessä suunnittelemaan ja toteuttamaan kaupallista korkean suorituskyvyn kellogeneraattoria sekä AD-muunnintuotetta.

Lähdeviitteet

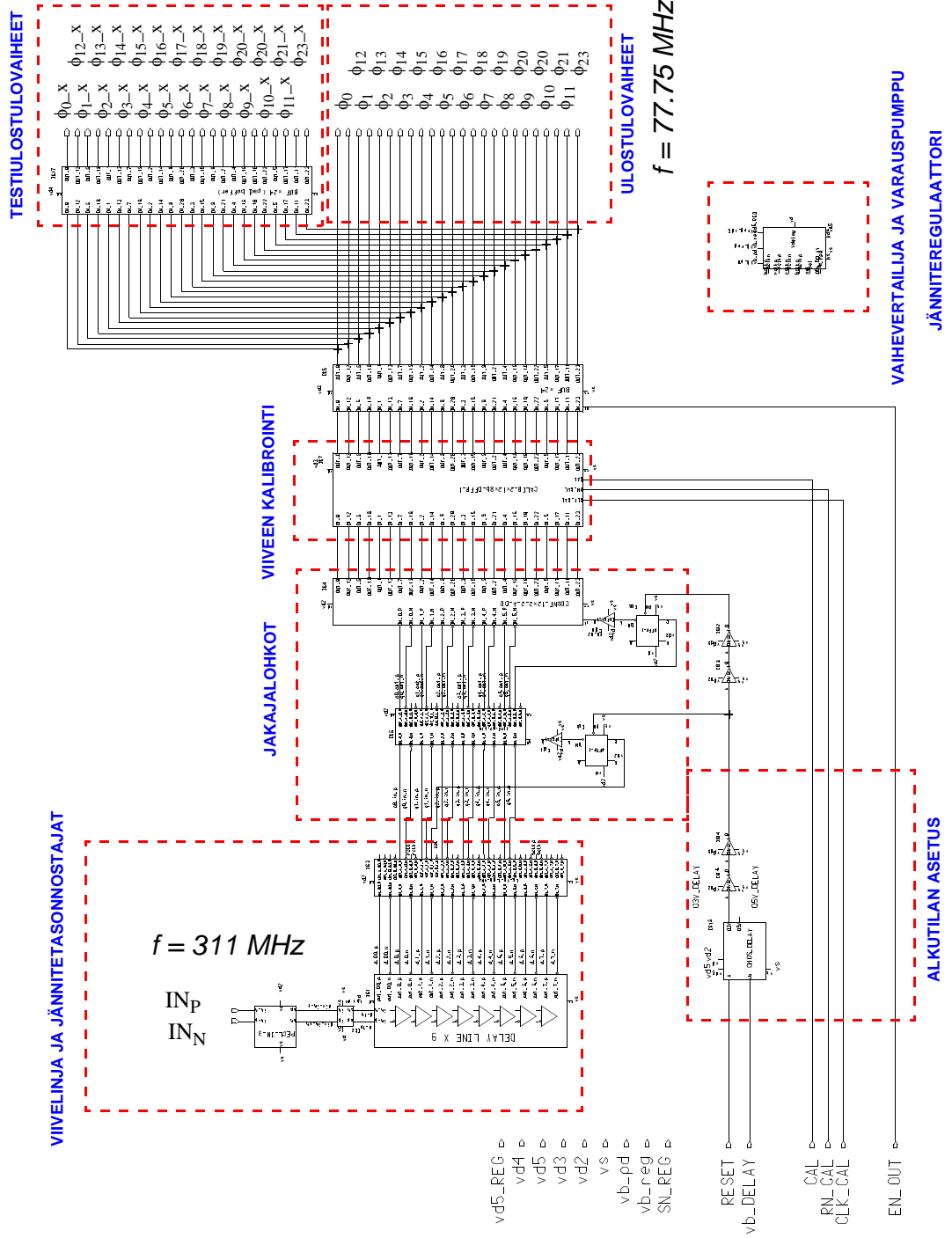
- [All02] Allen, P.; Holberg, D.; “*CMOS Analog Circuit Design*“, Oxford University Press, New York, 2002.
- [Atm06] AT84AS004 10-bit, 2Gsps ADC with 1:4 DMUX datasheet, Atmel, January 2006.
- [Atm061] AT84AS008 10-bit, 2.2Gsps ADC datasheet, e2v, November 2006.
- [Bee04] Remco C.H. van de Beek; “High-Speed Low-Jitter Clock Multiplication in CMOS“, Doctor’s Thesis, Twente University, 2004.
- [Bro06] Merrick Brownlee, Pavan Kumar Hanumolu, Kartikeya Mayaram and Un-Ku Moon; “A 0.5 to 2.5GHz PLL with Fully Differential Supply-Regulated Tuning“, 2006 IEEE International Solid-State Circuits Conference.
- [Che07] Chao-Chyun Chen, Jung-Yu Chang and Shen-Iuan Liu, “A DLL-Based Variable-Phase Clock Buffer“, IEEE transactions on circuits and systems—ii: express briefs, vol. 54, no. 12, december 2007.
- [Chi00] G. Chien; "Low-Noise- Local Oscillator Design Techniques using a DLL-based Frequency Multiplier for Wireless Applications", Dissertation for the degree of Doctor of Technology, University Of California, Berkeley, 2000.
- [Far02] R. Farjad-Rad, W. Dally, H.-T. Ng, R. Senthinathan, M.-J.E. Lee, R. Rathi, J. Poulton, "A low-power multiplying DLL for low-jitter multigigahertz clock generation in highly integrated digital chips", Solid-State Circuits, IEEE Journal of , Volume: 37 Issue: 12 , Dec 2002 Page(s): 1804 -1812.
- [Fig06] P. M. Figueiredo, P. Cardoso, A. Lopes, C. Fachada, N. Hamanishi, K. Tanabe, and J. Vital, “A 90nm cmos 1.2v 6b 1gs/s two-step subranging adc,” in Solid-State Circuits, 2006 IEEE International Conference Digest of Technical Papers, 2006, pp. 2320–2329.
- [Fol01] David J. Foley and Michael P. Flynn, “CMOS DLL Based 2V, 3.2ps Jitter, 1GHz Clock Synthesizer and Temperature-Compensated Tunable Oscillator“, Solid-State Circuits IEEE 2001.
- [Gou06] K. Poulton, R. Neff, B. Setterberg, B. Wuppermann, T. Kopley, R. Jewett, J. Pernillo, C. Tan, and A. Montijo, “A 20 gs/s 8 b adc with a 1 mb memory in 0.18 μ m cmos,” in Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC. 2003 IEEE International, 2003, pp. 318–496 vol.1.
- [Haj99] Hajimiri, A.; Limotyrakis, S.; Lee, T.H., “*Jitter and phase noise in ring oscillators*“, Solid-State Circuits, IEEE Journal of Volume 34, Issue 6, June 1999 Page(s). 790 - 804.

- [Hak03] Hakkarainen V. ; “*Rinnakkaisen liukuhihna-analogia-digitaalimuuntimen kalibrointi*“, Diplomityö, TKK / Sähkö- ja tietoliikennetekniikan osasto, 2003. - 78 s.
- [Hak07] Hakkarainen V. ; “*Broadband Analog-to-Digital Converter for Satellite Communications*“, Lisensiaattityö, TKK/ Sähkö- ja tietoliikennetekniikan osasto, 2007. - 52 s.
- [Hak072] Hakkarainen, V.; Rantala, A.; Aho, M.; Riikonen, J.; Gomes-Martin, D.; Aberg, M.; Halonen, K.; “*A 10-bit, 1.8-GS/s Time-Interleaved Pipeline ADC*“, Electronics, Circuits and Systems, 2007. ICECS 2007. 14th IEEE International Conference on Volume , Issue , 11-14 Dec. 2007 Page(s):673 - 676
- [Hug97] Hughes, G.F.; Xiaodong Che; Beach, R.S.; “*Time interval analysis errors in measuring recording media transition jitter*“, Magnetics, IEEE Transactions on Volume 33, Issue 6, Nov. 1997 Page(s): 4475 - 4481.
- [Hsu06] Chun-Ming Hsu, Charlotte Y. Lau, Michael H. Perrott, “*A Delay-Locked Loop using a Synthesizer-based Phase Shifter for 3.2 Gb/s Chip-to-Chip Communication*“, Solid-State Circuits IEEE 2006.
- [Imec] Prosessin teknologiaselvitys, internetosoite: http://www.europractice.imec.be/europractice/on-line-docs/prototyping/ti/ti_S35.html
- [Kur01] Kurosawa, N.; Kobayashi, H.; Maruyama, K.; Sugawara, H.; Kobayashi, K.; “*Explicit analysis of channel mismatch effects in time-interleaved ADC systems*“, Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on Volume 48, Issue 3, Page(s): 261 - 271. March 2001.
- [Lak86] Lakshmikummar, K.R.; Hadaway, R.A.; Copeland, M.A.; “*Characterization and modeling of mismatch in MOS transistors for precision analog design*“, Solid-State Circuits, IEEE Journal of Volume 21, Issue 6, Dec 1986 Page(s):1057 - 1066.
- [LeCroy] LeCroy digitaalioloskilloskoopin käyttöohje. http://www.lecroy.com/tm/library/manuals/WR6A/OperatorsManual/WR6A-OM-E_Rev_F.pdf; Internet sivu, 2007.
- [Lia06] Che-Fu Liang, Shih-Tsai Liu and Shen-Iuan Liu; “*A Calibrated Pulse Generator for Impulse-Radio UWB Applications*“, IEEE Journal Of Solid-state Circuits, Vol. 41, No. 11, November 2006.
- [Mji07] http://www.maxim-ic.com/appnotes.cfm/appnote_number/3359; Internet sivu, 2007.
- [M5rj] http://www.mtronpti.com/pdf/m5rj_datasheet72706.pdf; M5rj *datalehti*, Internet sivu, 2007.
- [M650] <http://www.icst.com/products/datasheets/m650.pdf>; M650 *datalehti*, Internet sivu, 2007.

- [Nat061] ADC081500 High Performance, Low Power, 8-Bit, 1.5 GSPS A/D Converter, National Semiconductor, August 2006.
- [Nat062] ADC082500 High Performance, Low Power, 8-Bit, 2.5 GSPS A/D Converter, National Semiconductor, August 2006.
- [Nel07] Nelson Soo; “*Jitter Measurement Techniques*“, www.pericom.com/pdf/applications/AB036.pdf, application brief AB36; Internet sivu, 2007.
- [Pel89] Pelgrom, M.J.M.; Duinmaijer, A.C.J.; Welbers, A.P.G.; “*Matching properties of MOS transistors*“, Solid-State Circuits, IEEE Journal of Volume 24, Issue 5, Oct 1989 Page(s):1433 - 1439.
- [Pou02] K. Poulton, R. Neff, A. Muto, W. Liu, A. Burstein, and M. Heshami, “*A 4 gsample/s 8b adc in 0.35 μ m cmos,*” in Solid-State Circuits Conference, 2002. Digest of Technical Papers. ISSCC. 2002 IEEE International, vol. 1, 2002, pp. 166–457 vol.1.
- [Pou021] Poulton, K.; Neff, R.; Muto, A.; Liu, W.; Burstein, A.; Heshami, M.; “*A 4GSample/s 8b ADC in 0.35/ μ m CMOS*“, Solid-State Circuits Conference, 2002. Digest of Technical Papers. ISSCC. 2002 IEEE International Volume 2, Feb 3-7, 2002 Page(s):126 - 434.
- [Pou022] K. Poulton, R. Neff, A. Muto, L. Wei, A. Burstein, M. Heshami; “*A 4 Gsample/s 8b ADC in 0.35 μ m CMOS*” Solid-State Circuits Conference, 2002. Digest of Technical Papers. ISSCC. 2002 IEEE International, Volume: 1, 20, pp. 166-457 vol.1.
- [Pou03] K. Poulton, R. Neff, B. Setterberg, B. Wuppermann, T. Kopley, R. Jewett, J. Pernillo, C. Tan, A. Monttijo; “*A 20 GS/s 8b ADC with a 1MB Memory in 0.18 μ m CMOS*” Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC. 2003 IEEE International, pp. 318-319.
- [Ran03] A. Rantala, D. Gomes Martins and M. Åberg; “*A DLL based clock generator for a high-speed time-interleaved A/D-converter*”, in Proc. of IEEE Norchip 2003 Conference, Riga, Latvia, November 2003.
- [Ran05] Rantala, A.; Martins, D.G.; Åberg, M.; “*A DLL clock generator for a high speed A/D -converter with 1 ps jitter and skew calibrator with 1 ps accuracy in 0.35 μ m CMOS*”, NORCHIP Conference, 2005. 23rd 21-22 Nov. 2005 Page(s):114 - 117.
- [Ran07] Arto Rantala; David Gomes Martins; Markku Åberg; “*A DLL clock generator for a high speed A/D-converter with 1 ps jitter and skew calibrator with 1 ps precision in 0.35 μ m CMOS*”, Analog Integrated Circuits and Signal Processing Journal, Springer Netherlands, Issue: Volume 50, Number 1 / January, 2007.
- [Shi90] Shinagawa, M.; Akazawa, Y.; Wakimoto, T, “*Jitter analysis of high-speed sampling systems*“, Solid-State Circuits, IEEE Journal of Volume 25, Issue 1, Feb. 1990 Page(s). 220 - 224.

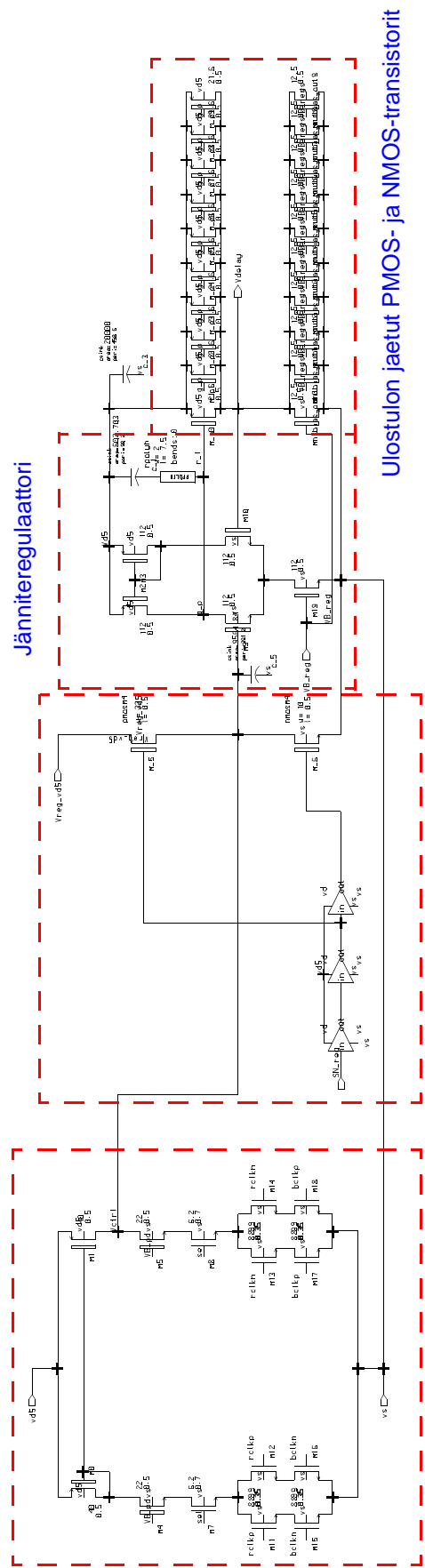
- [Sum02] Sumanen, L., “*Pipeline Analog-to-Digital Converters for Wideband Wireless Communications*“, Doctor’s Thesis, Helsinki University of Technology, Espoo 2002.
- [Taf04] R. C. Taft, C. A. Menkus, M. R. Tursi, O. Hidri, and V. Pons, “A 1.8-v 1.6-gsample/s 8-b self-calibrating folding adc with 7.26 enob at nyquist frequency,” *Solid-State Circuits, IEEE Journal of*, vol. 39, pp. 2107–2115, 2004.
- [Tc200] www.vecatron.com/products/tcxo/tc200.pdf; Tc200 *datalehti*, Internet sivu, 2007.
- [Tji07] “*Understanding and Characterizing Timing Jitter*“; www.tek.com/Masurement/scopes/jitter/55W_16146_1.pdf; Internet sivu, 2007.
- [Ves04] F. Vessal and C. A. T. Salama, “An 8-bit 2-gsample/s folding-interpolating analog-todigital converter in sige technology,” *Solid-State Circuits, IEEE Journal of*, vol. 39, pp. 238–241, 2004.
- [Wal02] Waltari, M., “*Circuit Techniques for Low-Voltage and High-Speed A/D Converters*“, Doctor’s Thesis, Helsinki University of Technology, Espoo 2002.
- [Wei98] T. C. Weigandt; "Low-Phase-Noise-Timing-Jitter Design Techniques for Delay Cell Based VCOs and Frequency Synthesizers", Dissertation for the degree of Doctor of Technology, University Of California, Berkeley, 1998.
- [Wji07] “*Jitter definitions*“; www.wavecrestcorp.com/technical/pdf/definitions.pdf; Internet sivu, 2007.

LIITE 1 DLL-Kellogeneraattorin piirikaavio



LIITE 2 Takaisinkytkentäsilmukan piirikaavio

relkn \square relkn v8, m1 \square v8, m1
 belkp \square belkp relkn \square relkn
 sa1 \square sa1 belkn \square belkn



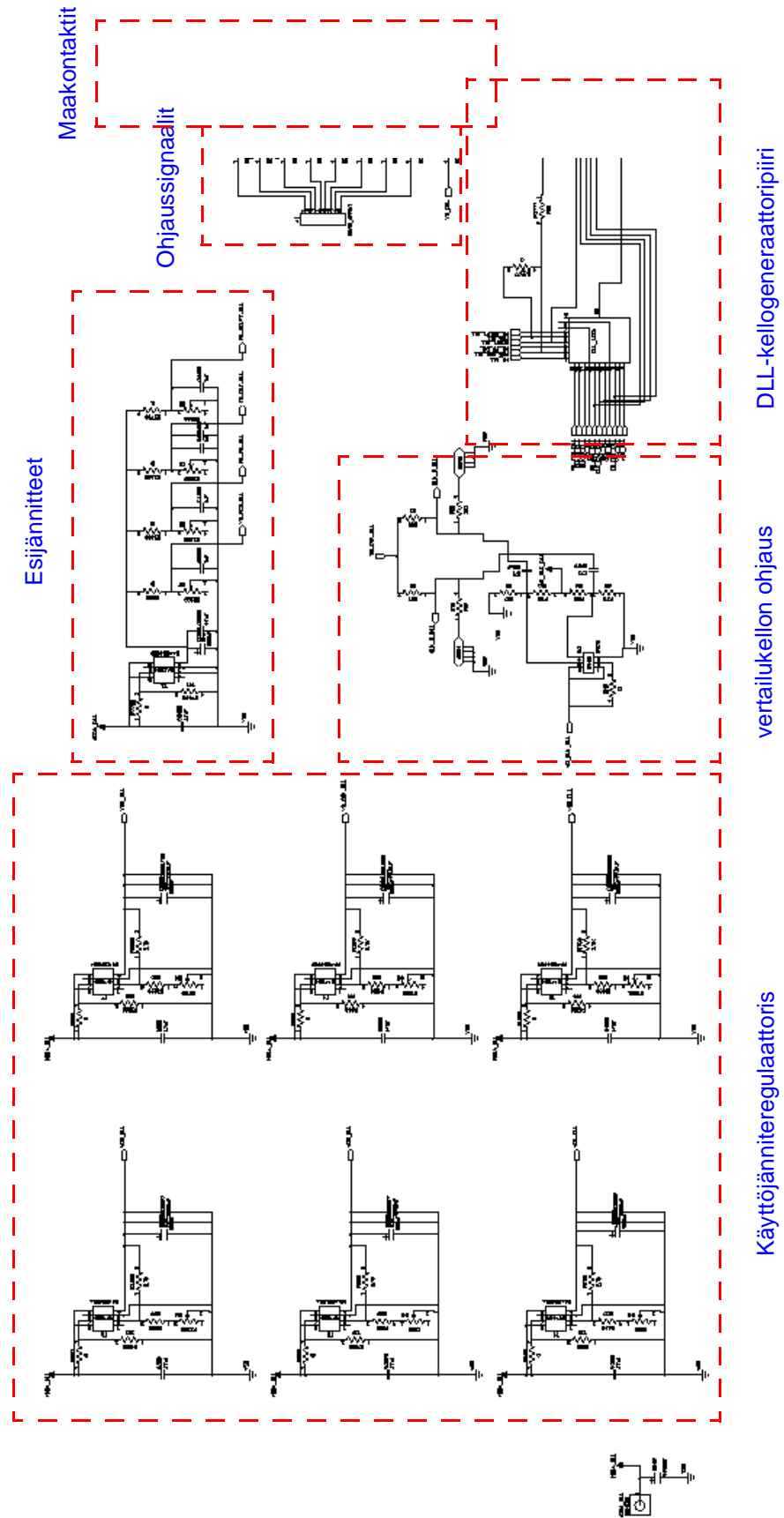
Vaihdevaihtaja ja varauspumppu

Alkutilanasetuslohko

Jänniteregulaattori

Ulostulon jaetut PMOS- ja NMOS-transistorit

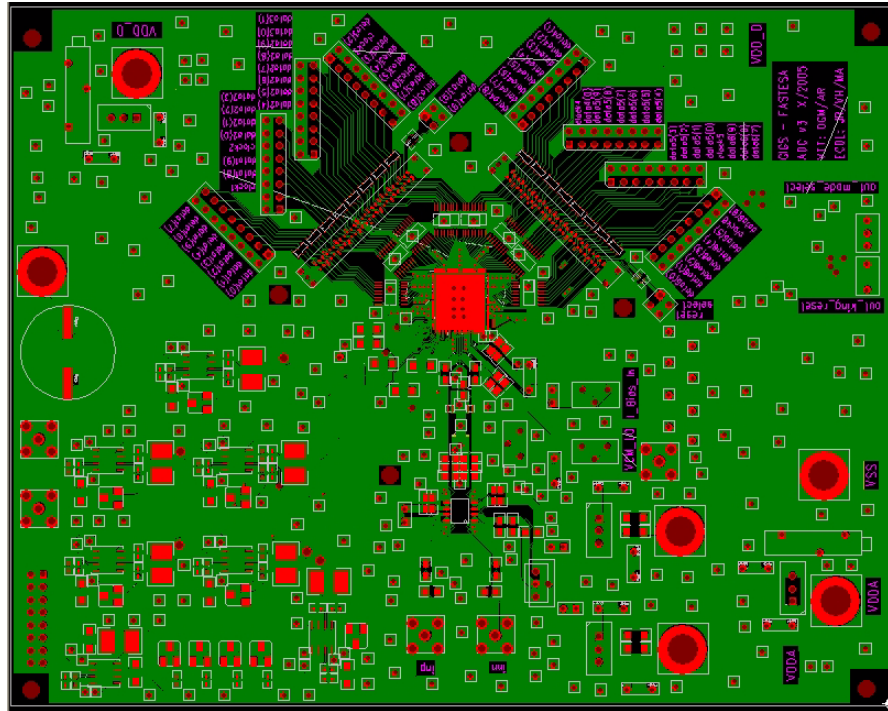
LIITE 3 Testipiirilevyn piirikaavio



LIITE 4.1 Testipiirilevyn eri kerrosten piirikuviot L1-L2

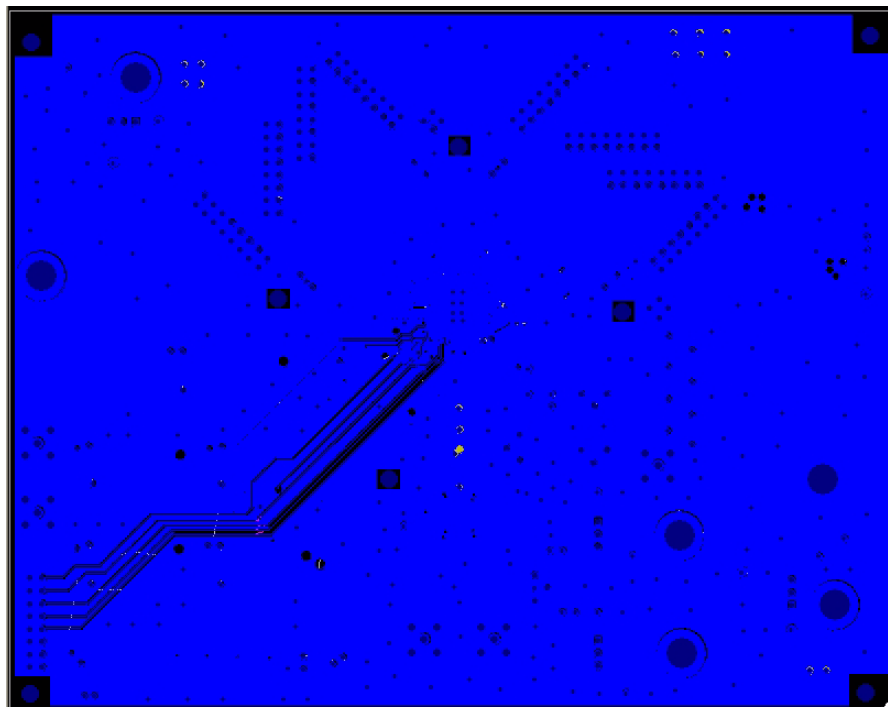
Pällimmäinen kerros (L1):

- signaalijohdotukset
- muut johdotukset
- komponentit
- maataso



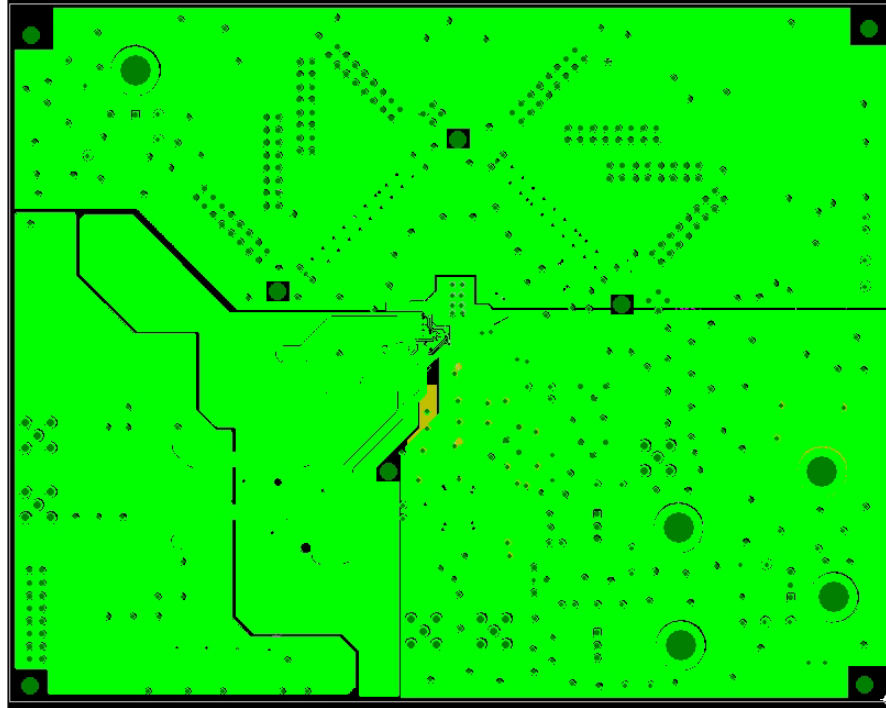
1. keskikerros (L2):

- osa signaalijohdotuksista
- maataso

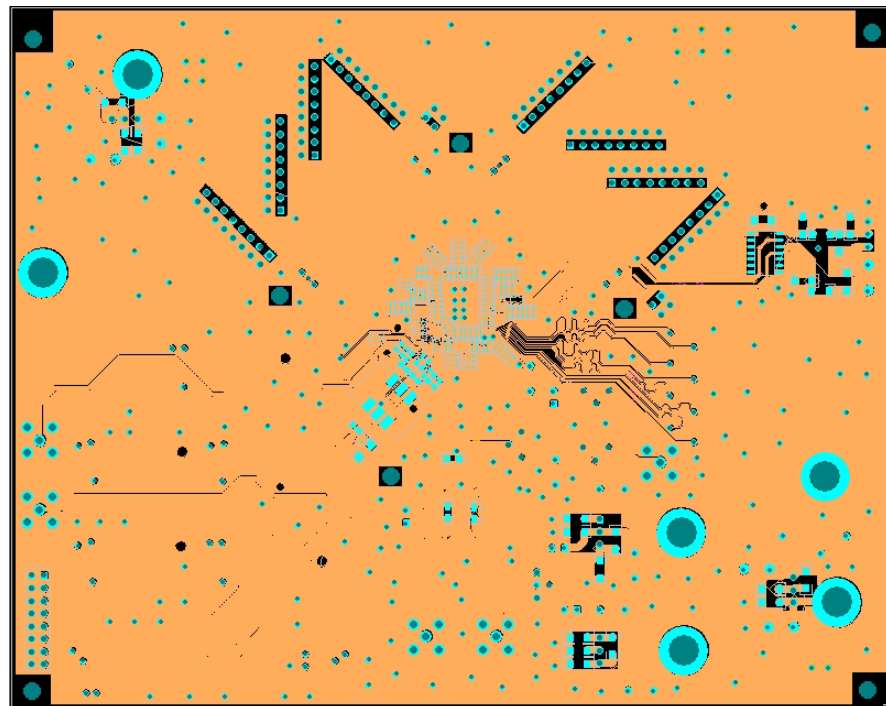


LIITE 4.2 Testipiirilevyn eri kerrosten piirikuviot L3-L4

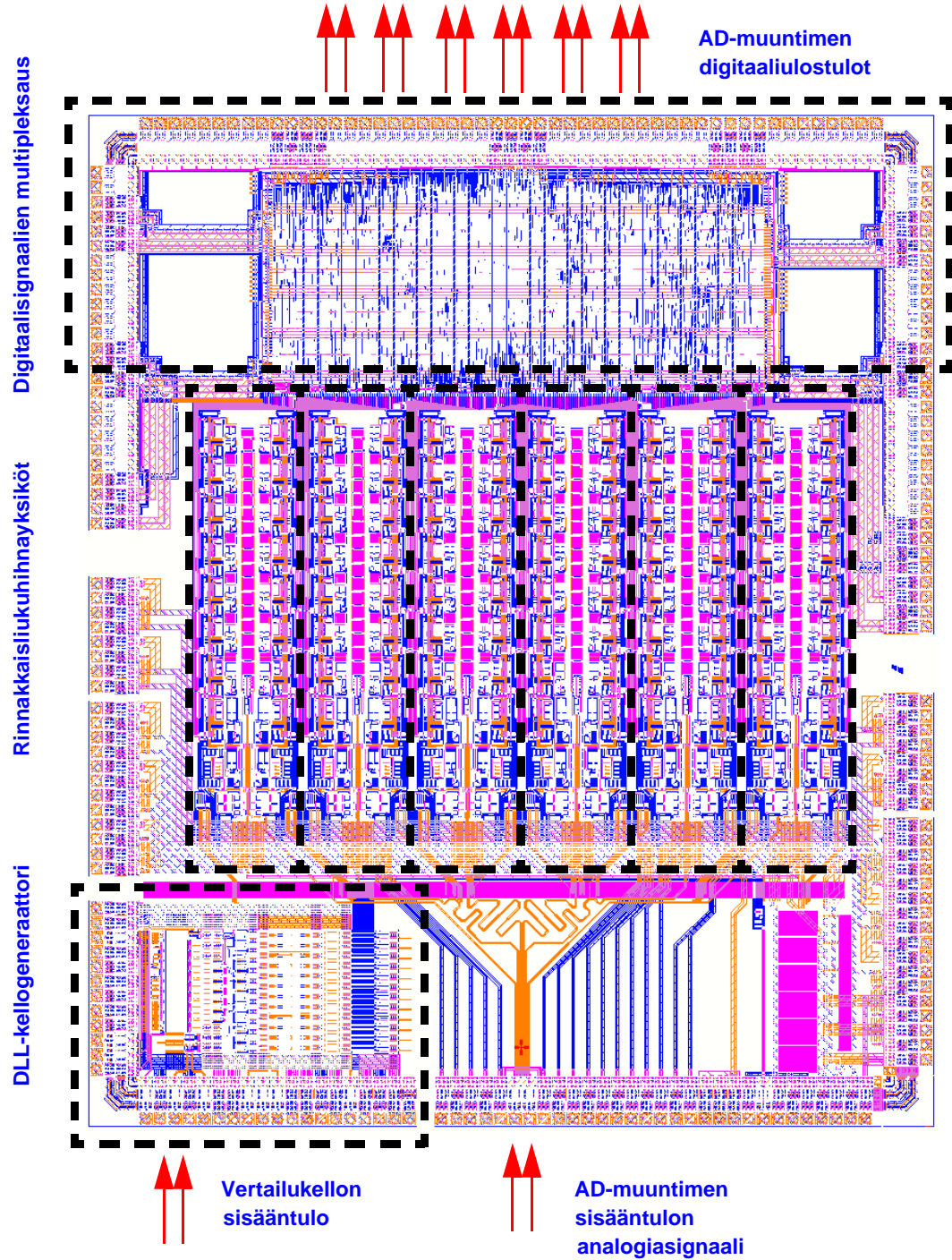
2. keskikerros (L3):
-käyttöjännitetasot



Alimmainen kerros (L4):
-osa signaalijohdotuksista
-muut johdotukset
-komponentit + vertailukello
-maataso



LIITE 5 Analogia-digitaalinen -muuntimen piirikuvi



LIITE 6 Ajoitusjitterin laskemiseen käytetty Aplac -ohjelma

```
-----
$ DLL RMS Jitter calculation from input file
$ 02.03.2005 DGM

Aplacvar Npoints=65537 $65598           $ Laskentapisteiden lukumäärä
Aplacvar RMS

Aplacvar delta_f=351.5625 CONST         $ Δf taajuus
Aplacvar f_c=311211947.848344 CONST    $ fc keskitajuus
Aplacvar KHz12=34 CONST                 $ Laskentakaistan alkupää

Declare VECTOR y REAL Npoints           $ Määritellään apuvektorit
Declare VECTOR c REAL Npoints
Declare VECTOR b REAL Npoints
Declare VECTOR a REAL Npoints
Declare VECTOR sqrt REAL Npoints
Declare VECTOR sum REAL Npoints
Declare String input

PRINT TEXT "Give input file : " LF LF   $ Kysytään mittaustiedostoa
READ String input
OpenFile R input

For i 1 Npoints
  Read FILE input REAL y[i]             $ Luetaan mittaustiedosto
  Print DECIMALS=6 Real y[i] LF
EndFor

CloseFile input

For i 1 Npoints $ Laskee mittauspisteen logaritmin ja vähentää puolenkaistan tehon (3dB)
  CALL b[i]=(10*LOG10(y[i])-3)
  CALL c[i]=10^(b[i]/10)
EndFor

For i 1 Npoints-1 $ Laskee yksittäisten pisteiden tulokset
  CALL a[i]=(c[i+1]-c[i])/((i+1)*delta_f-i*delta_f)
  CALL sqrt[i]=(c[i])*(i*delta_f)^(-a[i]/10)*(a[i]/10+1)^(-1)*(((i+1)*delta_f)^(a[i]/10+1)-(i*delta_f)
+^(a[i]/10+1))
EndFor

For i KHz12 Npoints $ Laskee kaikkien pisteiden tulokset yhteen
  CALL sum[KHz12-1]=0
  CALL sum[i]=sqrt[i]+sum[i-1]
EndFor

CALL RMS=(2*pi*f_c)^(-1)*sqrt(2*sum[Npoints]) $ Laskee ajoitusjitterin RMS-tehollisarvon

PRINT S "Carrier Freq" LF REAL f_c LF LF $ Tulostaa ruudulle tiedot laskennasta
PRINT S "delta_f" LF REAL delta_f LF LF
PRINT S "RMS Jitter" LF REAL RMS LF LF
-----
```