

Rangkaian Sekuensial (Bagian 2)

Kuliah#11 TKC-205 Sistem Digital

Eko Didik Widianto

Departemen Teknik Sistem Komputer, Universitas Diponegoro

11 Maret 2017

- ▶ Membahas tentang **rangkaian sekuensial** yang keluarannya tidak hanya tergantung dari masukan saat ini, juga dari nilai keluaran sebelumnya. Sebelumnya dibahas:
 - ▶ prinsip rangkaian sekuensial
 - ▶ elemen penyimpan 1 bit *latch*, yaitu *set-reset latch* (latch SR), *latch SR tergerbang* dan *data latch* (latch D) serta rangkaian logikanya
 - ▶ elemen penyimpan 1 bit flip-flop, meliputi *data flip-flop* (DFF), *toggle flip-flop* (TFF), *JK flip-flop* (JKFF)
- ▶ Bahasan sekarang:
 - ▶ register data n bit dan register geser (*shift register*) yang tersusun atas n buah flip-flop
 - ▶ pencacah naik-turun
 - ▶ pencacah sinkron dan asinkron

- ▶ Setelah mempelajari bab ini, mahasiswa akan mampu:
 - ▶ [C3] membedakan perilaku dan rangkaian pencacah sinkron dan asinkron
 - ▶ [C4] merancang dan menganalisis rangkaian n buah flip-flop menjadi register data n bit, shift register, pencacah naik/turun sinkron/asinkron serta menganalisisnya
 - ▶ [C5] merancang, menganalisis dan menguji implementasi rangkaian sekuensial menggunakan IC TTL
- ▶ Link
 - ▶ Website: <http://didik.blog.undip.ac.id/2017/03/06/tkc205-sistem-digital-2016-genap/>
 - ▶ Email: didik@live.undip.ac.id

Register

Counter/Pencacah

Ringkasan

Lisensi

Buku Acuan/Referensi

Eko Didik Widiyanto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 (**Bab 11: Rangkaian Sekuensial**)

- ▶ Materi:
 - ▶ 11.4 Register: register data, register geser dan IC TTL register
 - ▶ 11.5 Pencacah (*counter*): asinkron, sinkron, sinkron dengan DFF dan IC TTL Pencacah
- ▶ Website:
 - ▶ <http://didik.blog.undip.ac.id/buku/sistem-digital/>



Rangkaian
Sekuensial
(Bagian 2)

©2017, Eko Didik
Widiyanto (didik@live.undip.ac.id)

Register

Counter/Pencacah

Ringkasan

Lisensi

Bahasan

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

Pencacah Asinkron

Pencacah Sinkron

Pencacah Sinkron dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Rangkaian
Sekuenisial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Register

Counter/Pencacah

Ringkasan

Lisensi

- ▶ Sebuah DFF dapat menyimpan 1 bit data
- ▶ Register n bit dibentuk dari n buah DFF
 - ▶ masukan Clk digunakan secara bersama oleh tiap DFF penyusunnya
- ▶ DFF dapat digunakan untuk membentuk register data dan register geser
 - ▶ Register data digunakan untuk menyimpan data
 - ▶ Data yang tersimpan di register bersifat sementara (*volatile*)
 - ▶ Register geser digunakan dalam operasi pergeseran bit serta dalam konversi data serial ke paralel dan data paralel ke serial

Bahasan

Rangkaian
Sekensial
(Bagian 2)

Register

Register Data

Register Geser

IC TTL Register

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Counter/Pencacah

Pencacah Asinkron

Pencacah Sinkron

Pencacah Sinkron dengan DFF

IC TTL Pencacah

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi

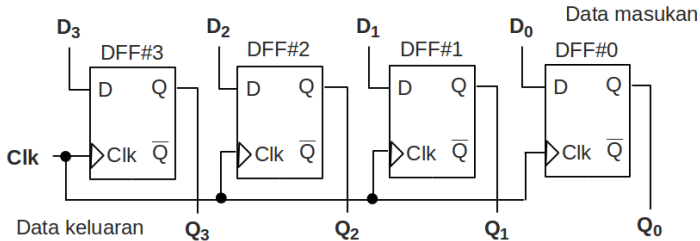
Ringkasan

Lisensi

Register Data

- ▶ **Register Data n-bit** tersusun atas **n** buah flip-flip untuk menyimpan **n-bit** data
 - ▶ Perilaku register data n bit transisi naik
 - ▶ Untuk setiap DFF, $Q = D$ saat transisi naik Clk
 - ▶ Keluaran $Q(t + 1) = Q(t)$ atau tetap saat kondisi Clk lainnya
- ▶ Register data di prosesor: register akumulator, register status, register alamat, register instruksi, register data serial terima (RX)/kirim (TX)
- ▶ Contoh penggunaan register:
 - ▶ Menahan/menyimpan (hold) sebuah keluaran nilai data dari suatu rangkaian aritmatika
 - ▶ Menahan/menyimpan (hold) nilai pencacah dalam rangkaian counter/pencacah

Register Data 4 Bit



- ▶ Saat transisi naik *Clk*, register akan bernilai $Q[3 : 0] = D[3 : 0]$

Bahasan

Rangkaian
Sekuenisial
(Bagian 2)

Register

Register Data

Register Geser

IC TTL Register

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

Pencacah Asinkron

Pencacah Sinkron

Pencacah Sinkron dengan DFF

IC TTL Pencacah

Counter/Pencacah

Ringkasan

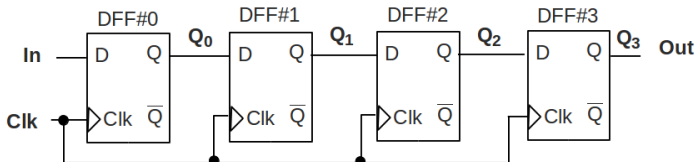
Lisensi

Ringkasan

Lisensi

Register Geser

- ▶ Merupakan sebuah register yang dapat menggeser isinya sejauh 1 bit perclock
 - ▶ Bisa geser ke kanan atau ke kiri
- ▶ Register geser kiri



Register Geser Kiri

- ▶ Data digeser ke kiri secara serial menggunakan masukan **In**
- ▶ Isi dari tiap flip-flop ditransfer ke flip-flop berikutnya di tiap transisi naik sinyal clock

	Q ₃	Q ₂	Q ₁	Q ₀	In
t0	0	0	0	0	1
t1	0	0	0	1	0
t2	0	0	1	0	1
t3	0	1	0	1	1
t4	1	0	1	1	1
t5	0	1	1	1	0
t6	1	1	1	0	0
t7	1	1	0	0	0

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi

Register Geser Kanan dengan Akses Paralel

Rangkaian
Sekuenisial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

- ▶ Tipe transfer data di sistem komputer
 - ▶ transfer paralel: transfer n-bit data sekaligus
 - ▶ transfer serial: transfer 1-bit bit dalam satu waktu
- ▶ Untuk mentransfer data secara serial, data diletakkan dalam suatu register secara paralel (dalam waktu 1 siklus clock) dan digeser keluar satu bit dalam satu waktu
 - ▶ Disebut sebagai konversi data parallel-ke-serial
- ▶ Jika bit-bit diterima secara serial, setelah n siklus clock, isid ari register dapat diakses secara paralel sebagai sebuah data n-bit
 - ▶ Disebut sebagai konversi data serial-ke-paralel

Register
Register Data
Register Geser
IC TTL Register

Counter/Pencacah

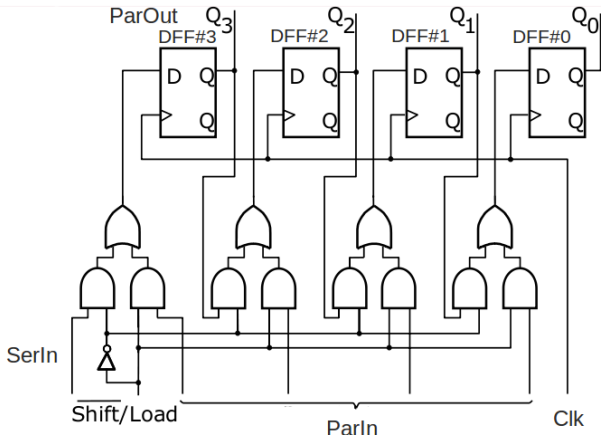
Ringkasan

Lisensi

Register Geser dengan Akses Paralel

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i



Register
Register Data
Register Geser
IC TTL Register
Counter/Pencacah
Ringkasan
Lisensi

Bahasan

Rangkaian
Sekuenisial
(Bagian 2)

Register

Register Data

Register Geser

IC TTL Register

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Counter/Pencacah

Pencacah Asinkron

Pencacah Sinkron

Pencacah Sinkron dengan DFF

IC TTL Pencacah

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi

Ringkasan

Lisensi

IC TTL Register

Rangkaian
Sekuenisial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Nomor IC	Deskripsi
74164	register geser 8 bit, keluaran paralel, masukan <i>clear</i> asinkron
74165	register geser 8 bit, masukan paralel, dengan keluaran komplementer
74166	register geser 8 bit, masukan paralel
74194/74195	register geser universal dua arah (bidireksional) 4 bit
74198	register geser universal dua arah (bidireksional) 8 bit
74273	register 8 bit dengan <i>reset</i>
74278	register prioritas 4 bit, dapat di-kaskade, masukan data terkunci
74299	register geser universal dua arah (bidireksional) 8 bit, keluaran tiga-keadaan
74374	register oktal dengan keluaran tiga-keadaan
74377	register 8 bit dengan kontrol <i>enable</i> detak
74396	register oktal, akses paralel

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

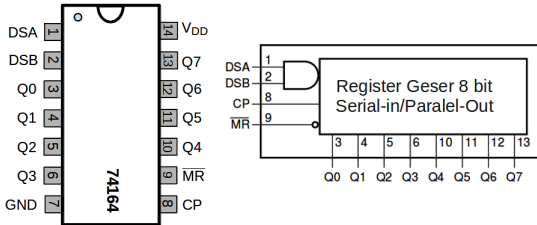
Ringkasan

Lisensi

74164: Register Geser 8 Bit, SerIn/ParOut

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

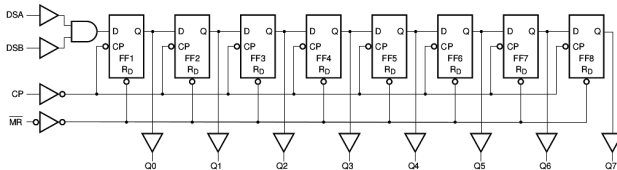


Register
Register Data
Register Geser
IC TTL Register

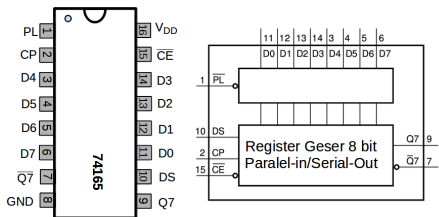
Counter/Pencacah

Ringkasan

Lisensi



74165/74166: Register Geser 8 Bit, Load Paralel



Register
Register Data
Register Geser
IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi

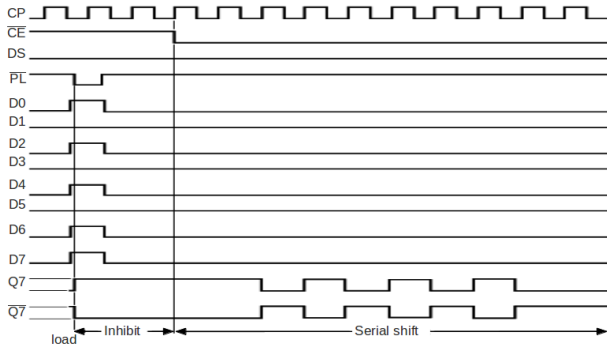
\overline{PL}	\overline{CE}	CP	DS	D0-D7	Q0	Q1-Q6	Q7	$\overline{Q7}$
L	X	X	X	X	D0	D1-D6	D7	$\overline{D7}$
H	L	↑	X	X	DS	Q0-Q5	Q6	$\overline{Q6}$
H	↑	L	X	X	DS	Q0-Q5	Q6	$\overline{Q6}$
H	H	X	X	X	Q0	Q1-Q6	Q7	$\overline{Q7}$
H	X	H	X	X	Q0	Q1-Q6	Q7	$\overline{Q7}$

H: level HIGH, L: level LOW, X: don't care

74165/74166: Perilaku

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

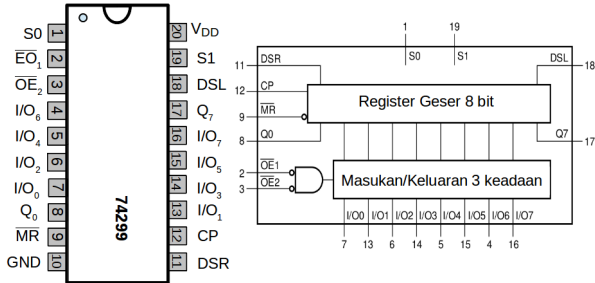


Register
Register Data
Register Geser
IC TTL Register
Counter/Pencacah
Ringkasan
Lisensi

74299: Register Geser Universal 8 Bit

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i



Register
Register Data
Register Geser
IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi

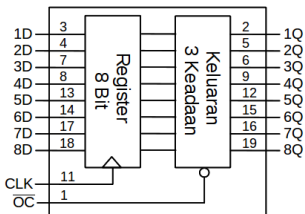
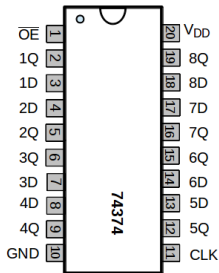
Operasi IC 74299

\overline{MR}	S1	S0	CP	Fungsi
L	X	X	X	Reset, $Q=0$
H	H	H	↑	Load, $I/On \rightarrow Q_n$
H	L	H	↑	Geser kanan, $DSR \rightarrow Q_0$
H	H	L	↑	Geser kiri, $DSL \rightarrow Q_7$
H	L	L	X	Hold register

H: level HIGH, L: level LOW, X: don't care

1. SIPO (*serial-in parallel-out*), register diisi dengan data serial 1 bit dalam satu waktu dan data yang tersimpan di register tersedia sebagai keluaran paralel
2. SISO (*serial-in serial-out*), data digeser secara serial dari masukan ke keluaran serial, 1 bit dalam satu waktu
3. PISO (*parallel-in serial-out*), register diisi dengan data paralel n bit dan isi register digeser keluar secara serial 1 bit dalam satu waktu
4. PIPO (*parallel-in parallel-out*), register diisi dengan data paralel n bit dan isi register dapat tersedia sebagai keluaran paralel

IC 74374: Register Data 8 Bit



Register
Register Data
Register Geser
IC TTL Register

Counter/Pencacahan

Ringkasan

Lisensi

\overline{OC}	CLK	D	Q
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

H: level HIGH, L: level LOW,
X: don't care, Z: high-Z

IC 74374: Register Data 8 Bit

Rangkaian
Sekuenial
(Bagian 2)

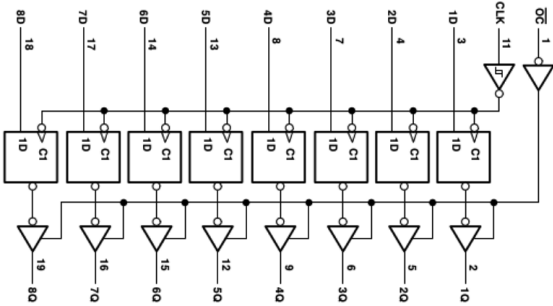
©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Register
Register Data
Register Geser
IC TTL Register

Counter/Pencacah

Ringkasan

Lisensi



- ▶ Rangkaian counter ini dapat digunakan melakukan beberapa fungsi, misalnya
 - ▶ Menghitung kejadian dari suatu event
 - ▶ Membangkitkan interval waktu untuk mengontrol pekerjaan-pekerjaan (task) di sistem digital
 - ▶ Menghitung waktu mundur antar event
 - ▶ Menyediakan alamat baru di pencacah program (PC)
- ▶ Rangkaian counter yang paling sederhana dapat dibuat dengan menggunakan flip-flop T
 - ▶ flip-flop T secara natural cocok untuk diimplementasikan di operasi pencacahan

Pencacah Sinkron dan Asinkron

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

- ▶ Pencacah asinkron dibentuk dengan memberikan sinyal *Clk* ke terminal detak satu flip-flop
 - ▶ Masukan detak untuk flip-flop berikutnya diperoleh dari keluaran flip-flop sebelumnya (efek serupa RCA)
 - ▶ Lambat karena sumber *Clk* merambat dari satu flip-flop ke flip-flop lainnya
- ▶ Pencacah sinkron dibentuk dengan memberikan sinyal *Clk* ke semua flip-flop di waktu yang sama
 - ▶ Semua flip-flop menggunakan sumber detak yang sama
 - ▶ Mempunyai respon yang lebih cepat daripada pencacah asinkron

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Bahasan

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

Pencacah Asinkron

Pencacah Sinkron

Pencacah Sinkron dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (didik@live.undip.ac.id)

Register

Counter/Pencacah

**Pencacah
Asinkron**

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Pencacah Naik dengan Flip-flop T

- ▶ Pencacah 3-bit yang dapat mencacah 0 sampai 7 atau pencacah module-8
 - ▶ Masukan clock untuk ketiga flip-flop dikoneksikan secara kaskade
 - ▶ Flip-flop pertama terkoneksi ke Clock
 - ▶ Flip-flop berikutnya, sinyal clocknya didrive dari keluaran \overline{Q} flip-flop sebelumnya
 - ▶ Rangkaian seperti ini disebut sebagai pencacah asinkron atau pencacah ripple
 - ▶ Masukan T tiap flip-flop dikoneksikan ke konstan 1
 - ▶ State tiap flip-flop akan dibalik (toggle) setiap transisi naik clocknya

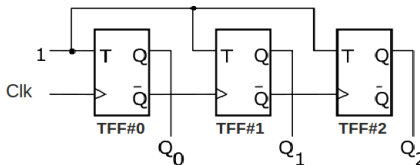


Diagram Pewaktuan Pencacah Naik

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Register

Counter/Pencacah

**Pencacah
Asinkron**

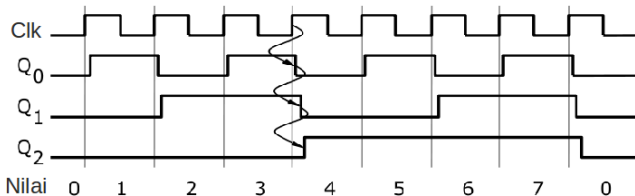
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

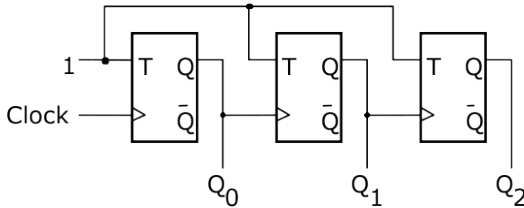


- ▶ Nilai Q_0 akan toggle setiap clock cycle
 - ▶ Perubahan terjadi setelah transisi naik sinyal clock
- ▶ Nilai Q_1 akan toggle setelah transisi turun dari Q_0 , demikian juga Q_2
- ▶ Nilai $Q_2 Q_1 Q_0$ menunjukkan nilai pencacahnya

Pencacah Turun dengan Flip-flop T

Rangkaian
Sekuenisial
(Bagian 2)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i



- ▶ Mirip dengan rangkaian pencacah naik, kecuali masukan clock flip-flop kedua dan seterusnya berasal dari **keluaran Q** flip-flop sebelumnya

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

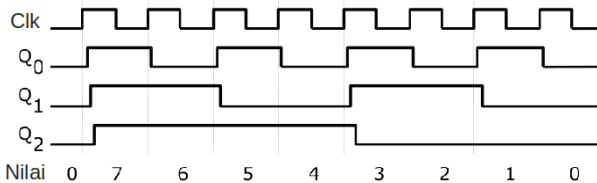
Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Diagram Pewaktuan Pencacah Turun



- ▶ Nilai Q_0 akan toggle setiap clock cycle
 - ▶ Perubahan terjadi setelah transisi naik sinyal clock
- ▶ Nilai Q_1 akan toggle setelah transisi naik dari Q_0 , demikian juga Q_2
- ▶ Nilai $Q_2 Q_1 Q_0$ menunjukkan nilai pencacahnya

- ▶ Desain pencacah naik/turun 3-bit menggunakan flip-flop T. Sebuah masukan kontrol $\overline{Up/Down}$ harus disertakan. Jika $\overline{Up/Down} = 0$ rangkaian berfungsi sebagai pencacah naik. Jika $\overline{Up/Down} = 1$ rangkaian berfungsi sebagai pencacah turun.

Bahasan

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

Pencacah Asinkron

Pencacah Sinkron

Pencacah Sinkron dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Rangkaian
Sekuenisial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

- Dapat dibentuk dengan TFF

	Q ₃	Q ₂	Q ₁	Q ₀	
0	0	0	0	0	→ Kondisi awal
1	0	0	0	1	→ Q ₀ berubah
2	0	0	1	0	→ Q ₀ , Q ₁ berubah
3	0	0	1	1	→ Q ₀ berubah
4	0	1	0	0	→ Q ₀ , Q ₁ , Q ₂ berubah
5	0	1	0	1	→ Q ₀ berubah
6	0	1	1	0	→ Q ₀ , Q ₁ berubah
7	0	1	1	1	→ Q ₀ berubah
8	1	0	0	0	→ Q ₀ , Q ₁ , Q ₂ , Q ₃ berubah

15	1	1	1	1	→ Q ₀ berubah
16	0	0	0	0	→ Q ₀ , Q ₁ , Q ₂ , Q ₃ berubah
17	0	0	0	1	→ Q ₀ berubah

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Perilaku Pencacah Naik

- ▶ masukan T tiap TFF akan bernilai sebagai berikut:

$$T_0 = 1$$

$$T_1 = Q_0$$

$$T_2 = Q_0 Q_1$$

$$T_3 = Q_0 Q_1 Q_2$$

- ▶ Implementasi rangkaian pencacah sinkron tersebut membutuhkan gerbang AND.

- ▶ Masukan T_0 dihubungkan logika 1, sehingga Q_0 akan membalik setiap transisi naik Clk
- ▶ Masukan T_1 dihubungkan dengan Q_0
- ▶ Masukan T_2 membutuhkan gerbang AND-2 untuk memperoleh $Q_0 Q_1$
- ▶ Masukan T_3 membutuhkan gerbang AND-3 untuk memperoleh $Q_0 Q_1 Q_2$

- ▶ Masalah fan-in: pencacah n bit akan membutuhkan gerbang AND

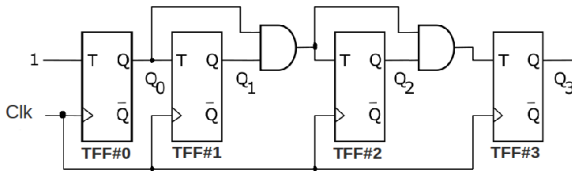
- Faktorisasi untuk mengatasi fan-in

$$T_0 = 1$$

$$T_1 = Q_0$$

$$T_2 = T_1 Q_1$$

$$T_3 = T_2 Q_2$$



Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

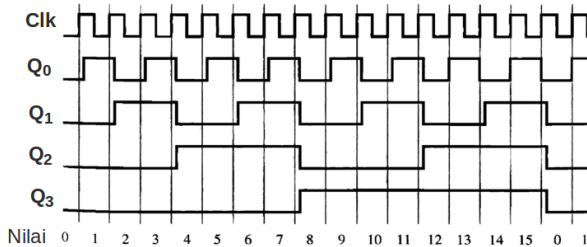
Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Diagram Pewaktuan



Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

- ▶ Untuk sebarang pencacah naik n bit, rangkaiannya dapat dibentuk dengan persamaan masukan T_i sebagai berikut:

$$\begin{aligned}T_0 &= 1 \\T_1 &= Q_0 \\T_2 &= T_1 Q_1 \\T_3 &= T_2 Q_2 \\&\cdot \\T_n &= T_{n-1} Q_{n-1}\end{aligned}$$

Pencacah Sinkron dengan Enable dan Clear

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Register

Counter/Pencacah

Pencacah
Asinkron

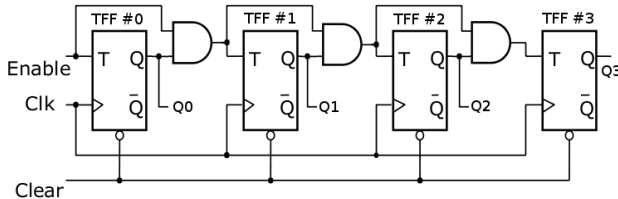
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi



Bahasan

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

Pencacah Asinkron

Pencacah Sinkron

Pencacah Sinkron dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Pencacah Sinkron dengan DFF

- ▶ Pencacah akan mempunyai urutan nilai $0, 1, 2, 3, \dots, 15, 0, 1, \dots$
- ▶ Nilai pencacah ini diberikan oleh keluaran DFF $Q_3 Q_2 Q_1 Q_0$
- ▶ Pencacah akan aktif saat $Enable = 1$. Saat $Enable = 0$ maka nilai pencacah tidak berubah
 - ▶ Nilai Q_0 akan membalik (*toggle*) setiap transisi naik Clk . Agar Q_0 membalik di transisi naik Clk berikutnya, maka nilai D_0 harus bernilai $\overline{Q_0}$ saat $Enable = 1$. Persamaannya adalah $D_0 = Q_0 \oplus Enable$
 - ▶ Nilai Q_1 akan membalik setelah nilai $Q_0 = 1$. Agar Q_1 membalik di transisi naik Clk berikutnya, maka nilai D_1 harus bernilai $\overline{Q_1}$ saat $Q_0 = 1$ dan $Enable = 1$. Persamaannya adalah $D_1 = Q_1 \oplus Q_0 \cdot Enable$
 - ▶ Nilai Q_2 akan membalik setelah nilai $Q_1 Q_0 = 11$. Agar Q_2 membalik di transisi naik Clk berikutnya, maka nilai D_2 harus bernilai $\overline{Q_2}$ saat $Q_1 = 1, Q_0 = 1$ dan $Enable = 1$. Persamaannya adalah $D_2 = Q_2 \oplus Q_1 \cdot Q_0 \cdot Enable$
 - ▶ Nilai Q_3 akan membalik setelah nilai $Q_2 Q_1 Q_0 = 111$. Agar Q_3 membalik di transisi naik Clk berikutnya, maka nilai D_3 harus bernilai $\overline{Q_3}$ saat $Q_2 = 1, Q_1 = 1, Q_0 = 1$ dan $Enable = 1$. Persamaannya adalah $D_3 = Q_3 \oplus Q_2 \cdot Q_1 \cdot Q_0 \cdot Enable$

Pencacah Sinkron dengan DFF

$$D_0 = Q_0 \oplus Enable$$

$$D_1 = Q_1 \oplus Q_0 \cdot Enable$$

$$D_2 = Q_2 \oplus Q_1 \cdot Q_0 \cdot Enable$$

$$D_3 = Q_3 \oplus Q_2 \cdot Q_1 \cdot Q_0 \cdot Enable$$

- ▶ Untuk pencacah yang lebih besar, masukan D di tiap DFF bernilai $D_i = Q_i \oplus Q_{i-1} \cdot Q_{i-2} \cdots Q_1 \cdot Q_0 \cdot Enable$
→ masalah fan-in

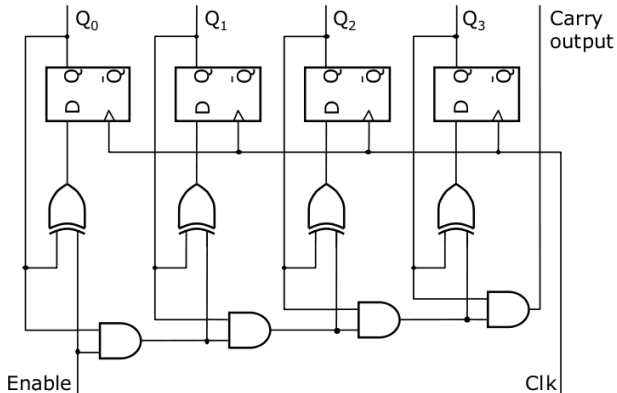
$$D_0 = Q_0 \oplus Enable$$

$$D_1 = Q_1 \oplus Q_0 \cdot Enable$$

$$D_2 = Q_2 \oplus Q_1 \cdot (Q_0 \cdot Enable)$$

$$D_3 = Q_3 \oplus Q_2 \cdot (Q_1 \cdot Q_0 \cdot Enable)$$

Rangkaian Pencacah Sinkron DFF



Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

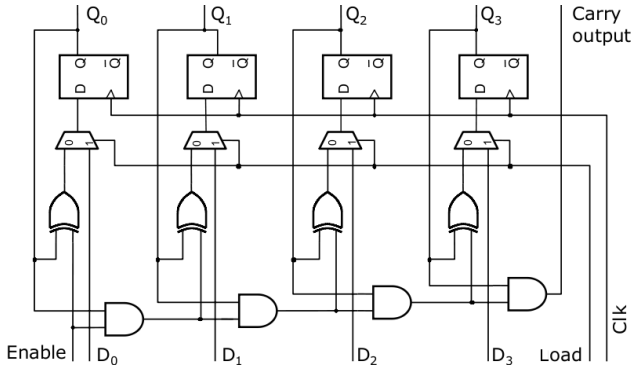
**Pencacah Sinkron
dengan DFF**

IC TTL Pencacah

Ringkasan

Lisensi

Rangkaian Pencacah Sinkron dengan Load Paralel



Rangkaian
Sekuensial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Register

Counter/Pencacah

Pencacah

Asinkron

Pencacah Sinkron

Pencacah Sinkron

dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Bahasan

Register

Register Data

Register Geser

IC TTL Register

Counter/Pencacah

Pencacah Asinkron

Pencacah Sinkron

Pencacah Sinkron dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

IC TTL Pencacah

Rangkaian
Sekuenisial
(Bagian 2)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Nomor IC	Deskripsi
7493	4-bit binary counter
74161	synchronous 4-bit binary counter with asynchronous clear
74163	synchronous 4-bit binary counter with synchronous clear
74169	synchronous 4-bit up/down binary counter
74177/74197	presettable binary counter/latch
74191	synchronous up/down binary counter
74193	synchronous up/down binary counter with clear
74393	dual 4-bit binary counter
74453	dual binary counter, synchronous
74455	dual binary up/down counter, synchronous, preset input
74461	8-bit presettable binary counter with three-state outputs
74491	10-bit binary up/down counter with limited preset and three-state outputs

Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

IC 74393: Dual Pencacah Asinkron 4 Bit

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i)

Register

Counter/Pencacah

Pencacah
Asinkron

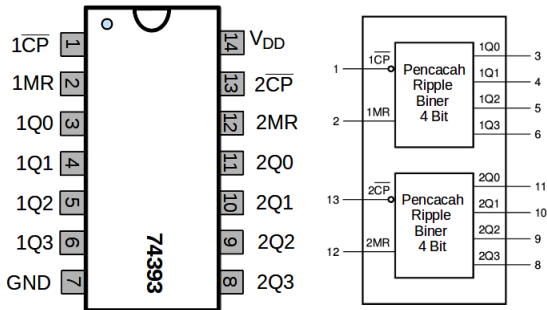
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi



IC 74393: Fungsi Logika

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Register

Counter/Pencacah

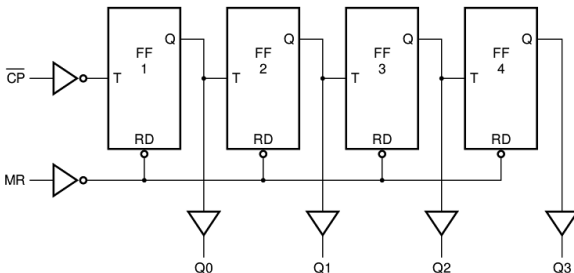
Pencacah
Asinkron

Pencacah Sinkron
Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi



IC 74193: Dual Pencacah Sinkron 4 Bit, Naik/Turun

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Register

Counter/Pencacah

Pencacah
Asinkron

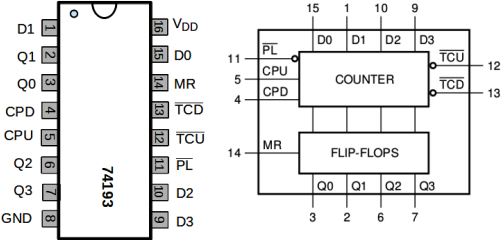
Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

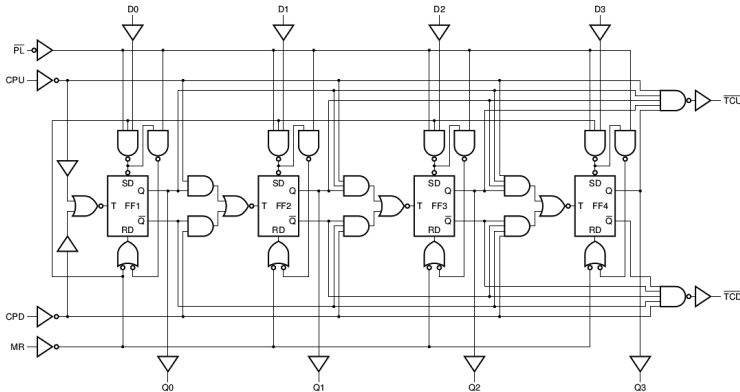
Lisensi



IC 74193: Fungsi Logika

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i



Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

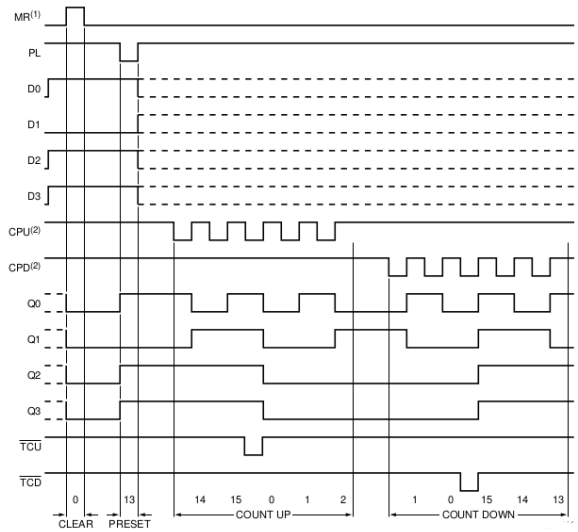
IC 74193: Perilaku

Rangkaian
Sekuenial
(Bagian 2)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

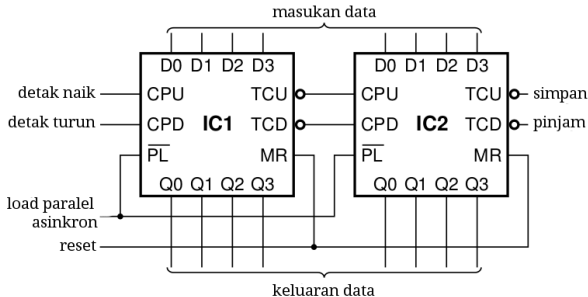
Register
Counter / Pencacah
Pencacah
Asinkron
Pencacah Sinkron
Pencacah Sinkron
dengan DFF
IC TTL Pencacah

Ringkasan
Lisensi



Pencacah Sinkron n x 4 Bit

► Menggunakan 74193



Register

Counter/Pencacah

Pencacah
Asinkron

Pencacah Sinkron

Pencacah Sinkron
dengan DFF

IC TTL Pencacah

Ringkasan

Lisensi

- ▶ Yang telah kita pelajari tentang rangkaian sekuensial adalah:
 - ▶ Elemen rangkaian sekuensial berupa latch dan flip-flop:
 - ▶ Latch: RS-latch, D-latch, gated latch
 - ▶ Flip-flop: master-slave D flip-flop, edge-triggered flip-flop, T flip-flop dan JK flip-flop
 - ▶ Perbedaan antara latch dan flip-flop
 - ▶ Register dan pencacah
 - ▶ Register data dan register geser
 - ▶ Pencacah asinkron dan sinkron
- ▶ Yang akan kita pelajari di pertemuan berikutnya adalah tentang perancangan rangkaian sekuensial menggunakan diagram keadaan terbatas /FSM (Moore dan Mealy)
 - ▶ Pelajari: <http://didik.blog.undip.ac.id/2017/03/06/tkc205-sistem-digital-2016-genap/>

1. Datasheet CD4043BE (Texas): Quad Latch SR NOR.
<http://www.ti.com/lit/gpn/CD4043B>
2. Datasheet CD4044BE (Texas), 54LS279 , 74LS279: Quad Latch SR NAND. <http://www.ti.com/lit/gpn/CD4044B>
3. Datasheet SN74LS74A: Dual D-type Positive-Edge-Trigged Flip-Flops with Preset and Clear.
<http://www.ti.com/lit/gpn/SN74LS74A>

Lisensi

Creative Common Attribution-ShareAlike 3.0 Unported (CC BY-SA 3.0)

▶ Anda bebas:

- ▶ untuk **Membagikan** — untuk menyalin, mendistribusikan, dan menyebarkan karya, dan
- ▶ untuk **Remix** — untuk mengadaptasikan karya

▶ Di bawah persyaratan berikut:

- ▶ **Atribusi** — Anda harus memberikan atribusi karya sesuai dengan cara-cara yang diminta oleh pembuat karya tersebut atau pihak yang mengeluarkan lisensi. Atribusi yang dimaksud adalah mencantumkan alamat URL di bawah sebagai sumber.
- ▶ **Pembagian Serupa** — Jika Anda mengubah, menambah, atau membuat karya lain menggunakan karya ini, Anda hanya boleh menyebarkan karya tersebut hanya dengan lisensi yang sama, serupa, atau kompatibel.

- ▶ Lihat: [Creative Commons Attribution-ShareAlike 3.0 Unported License](https://creativecommons.org/licenses/by-sa/3.0/)