

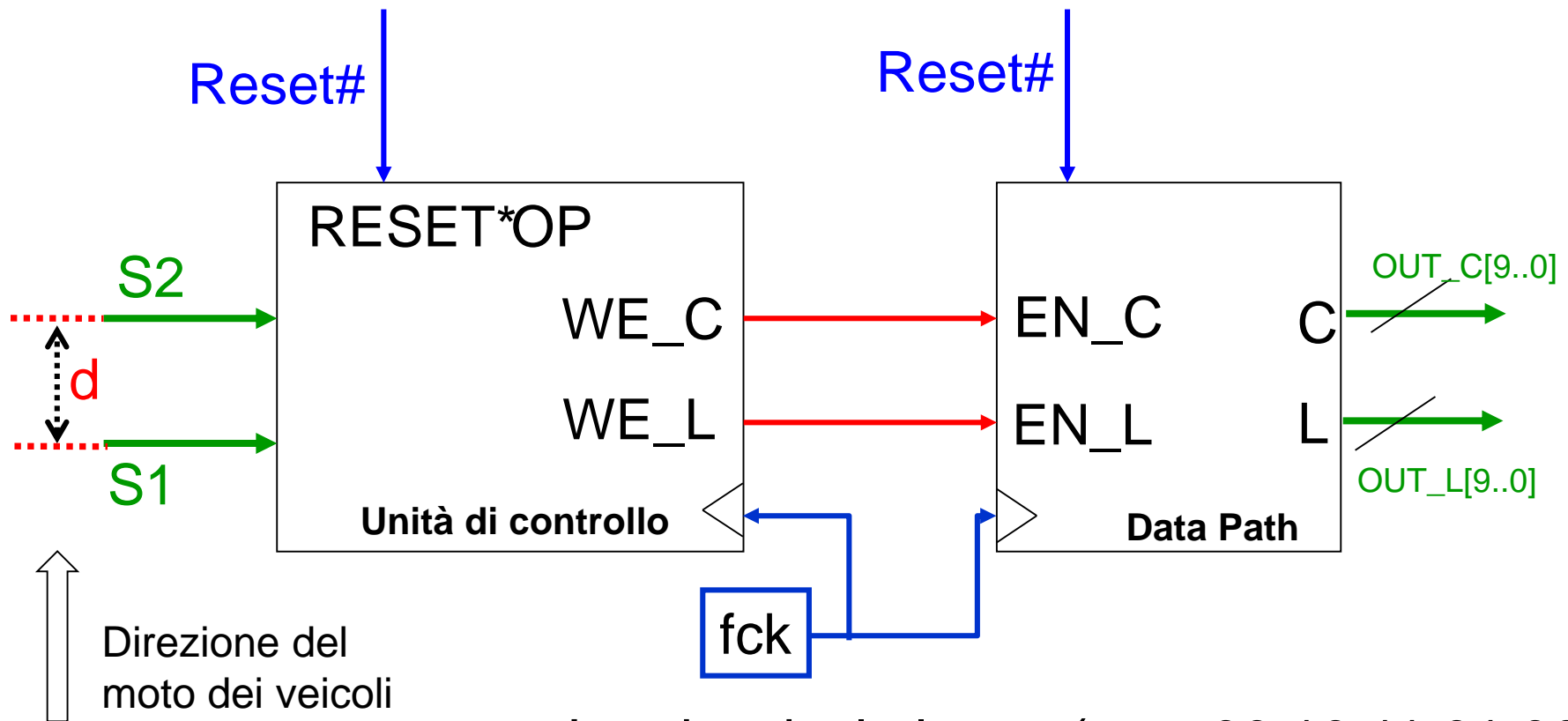


IN NAVIGAZIONE VERSO
LA STRUTTURA DEL CALCOLATORE ELETTRONICO

Il calcolatore dal punto di vista delle reti logiche

- Nel modulo 1 abbiamo imparato a **progettare** reti logiche a partire dalla descrizione a parole del loro funzionamento
- Il calcolatore è una macchina digitale che esegue programmi composti da sequenze di istruzioni, e che quindi affida la funzione da svolgere al programma: per cambiare la funzione svolta non si cambia il **progetto** della rete ma si cambia il programma
- Il cuore del calcolatore è la CPU (Central Processing Unit)
- La CPU è una rete sequenziale sincrona.
- In particolare, come molte reti sequenziali sincrone complesse può essere suddiviso in due reti interconnesse:
 1. Unità di Controllo (U.d.C.)
 2. Rete di elaborazione (questa rete è detta «Data Path»)
- Il prossimo lucido mostra un esempio di rete logica composta da U.d.C. e Data Path

Rete logica che riconosce e conta i veicoli in base alla lunghezza
La rete è suddivisa in due blocchi: unità di controllo e rete di elaborazione (o data path)



$L > d$: veicolo lungo (seq: 00,10,11,01,00)

$L < d$: veicolo corto (seq: 00,10,00,01,00)

Commenti al lucido precedente

Lo studente progetti con calma la rete e quindi i due blocchi del lucido precedente seguendo l'approccio illustrato a lezione

Se si sostituisce il flusso dei veicoli con il flusso delle **istruzioni** da eseguire, lo schema a blocchi del lucido precedente è uguale allo schema a blocchi di una CPU

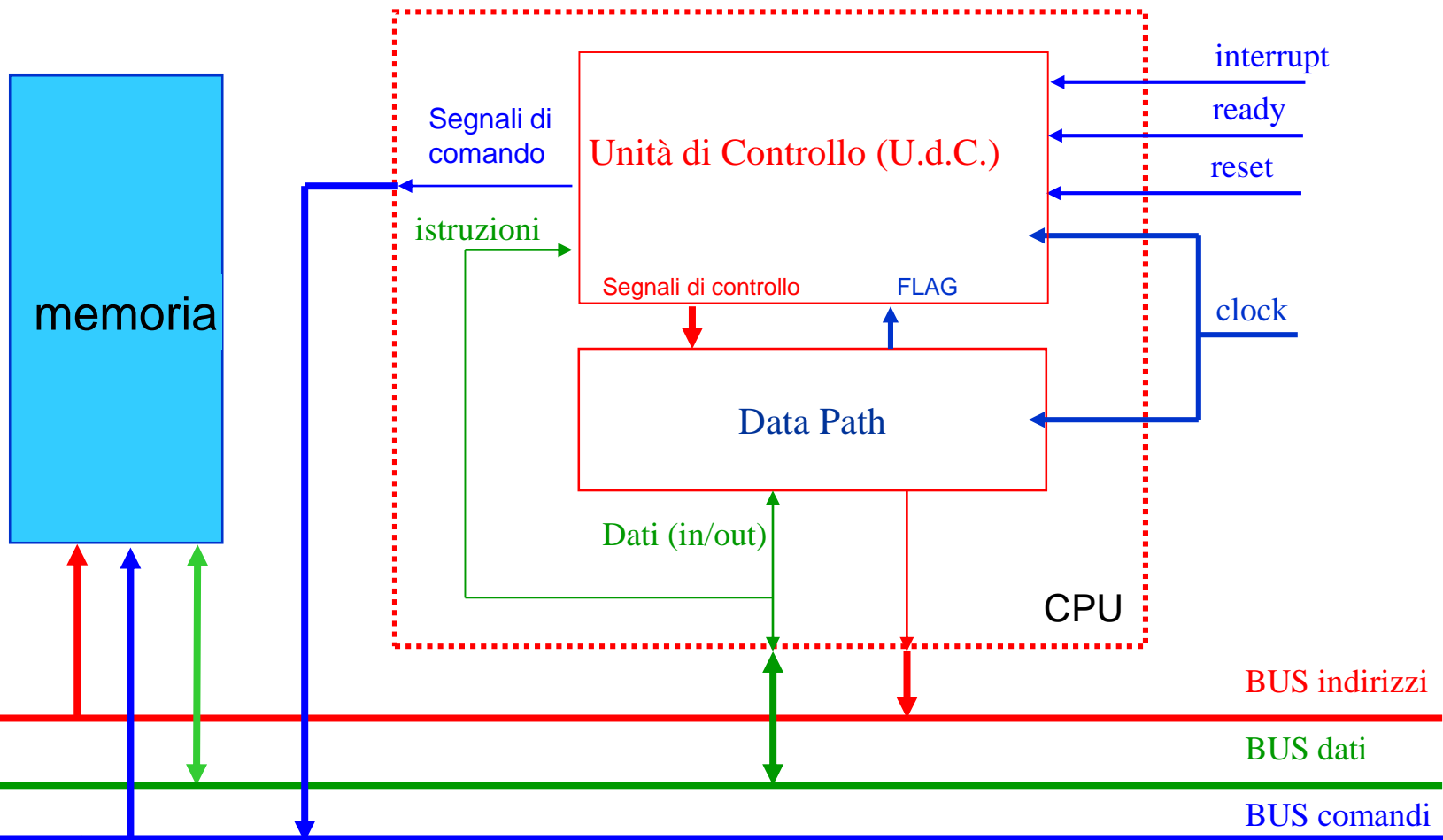
In questo modulo studieremo:

- a) Come sono fatte e che operazioni svolgono le istruzioni
- b) Come sono fatte U.d.C. e Data Path di una semplice CPU
- c) Come avviene l'esecuzione delle istruzioni all'interno di detta CPU

Al termine di questo studio lo studente saprà aggiungere nuove istruzioni al set di istruzioni di una CPU data (questo è il focus della prova d'esame del modulo 2)

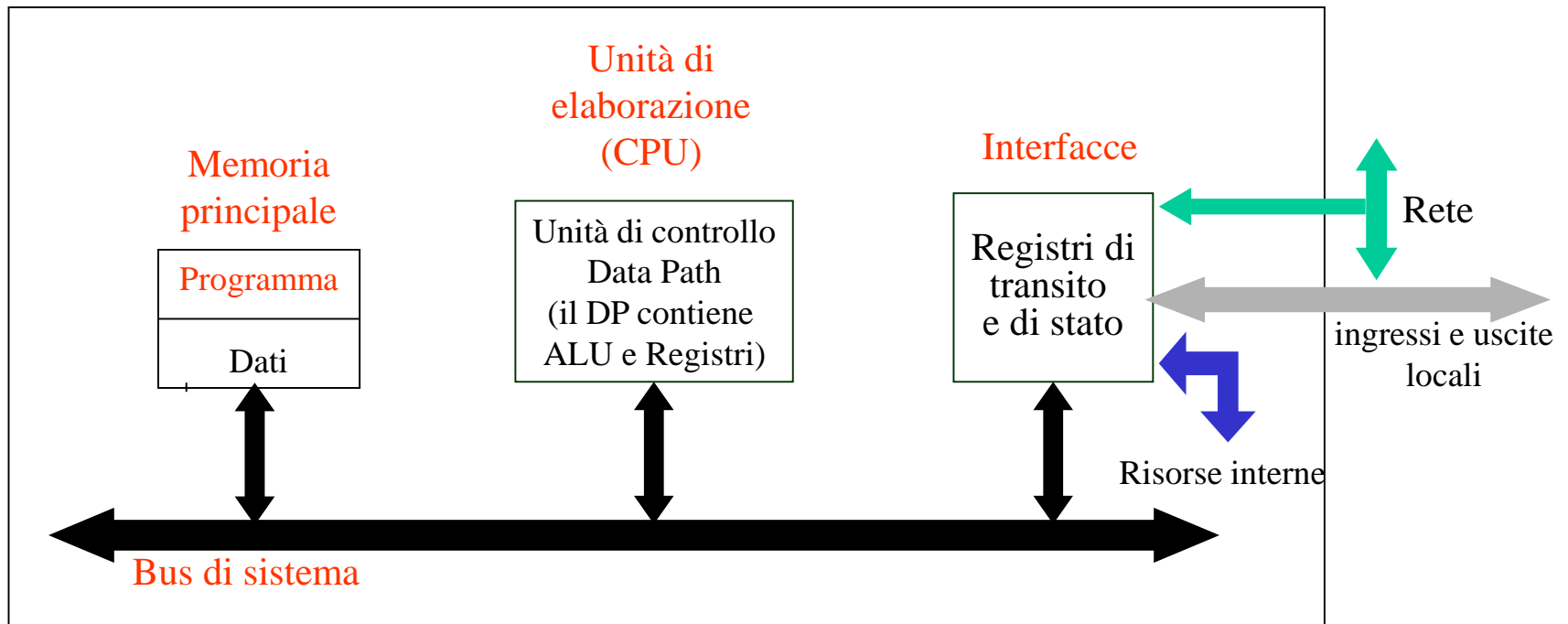
Datapath e Unità di Controllo

- La struttura di una CPU, come tutte le reti logiche sincrone che elaborano dati, può essere strutturata in due blocchi **Unità di Controllo** e **Datapath**
- La CPU, per funzionare, ha bisogno della **memoria esterna** su cui risiedono il programma e i dati



Rappresentazione astratta dell'hardware di un calcolatore

► L'hardware del calcolatore si interfaccia con il software attraverso il suo set di istruzioni (linguaggio macchina)



► Struttura del calcolatore (macchina digitale a esecuzione sequenziale e programma memorizzato)

► Ogni blocco della struttura è costituito da circuiti elettronici digitali

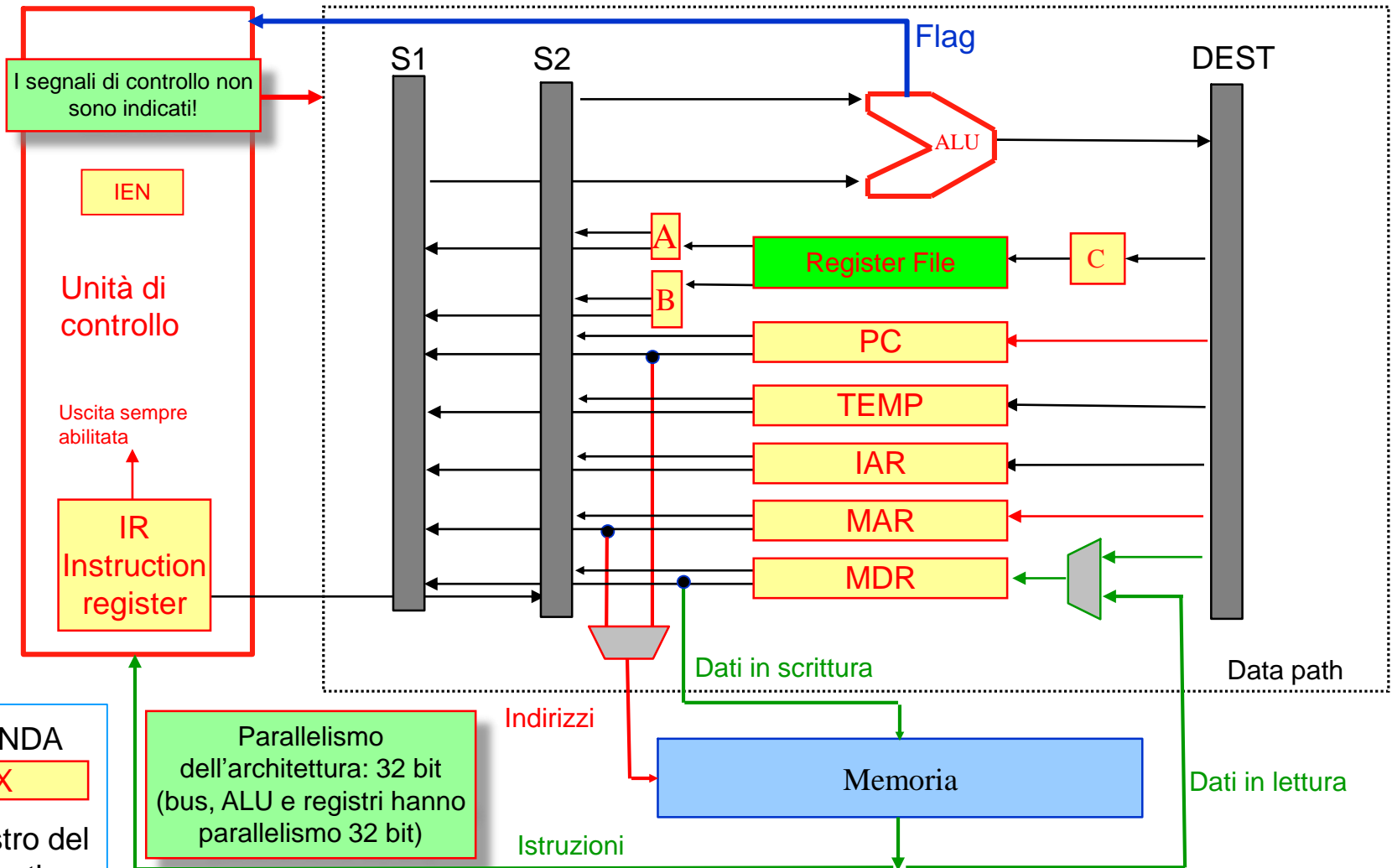
Datapath e Unità di Controllo

- **DATAPATH**: contiene la ALU e i registri necessari per l'esecuzione delle istruzioni della CPU. Ogni istruzione appartenente all'ISA è eseguita mediante una successione di *operazioni elementari*, dette *micro-operazioni*
- **Unità di Controllo**: è una RSS che in ogni ciclo di clock invia un ben preciso insieme di segnali di controllo al DATAPATH al fine di specificare l'esecuzione di una determinata *micro-operazione*
- **Micro-operazione**: operazione eseguita all'interno del DATAPATH *in un ciclo di clock* (esempi: trasferimento di un dato da un registro ad un altro registro, elaborazione ALU)

Struttura della CPU che studieremo nel modulo 2

Data Path e UDC del «DLX»

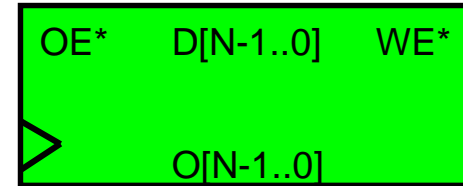
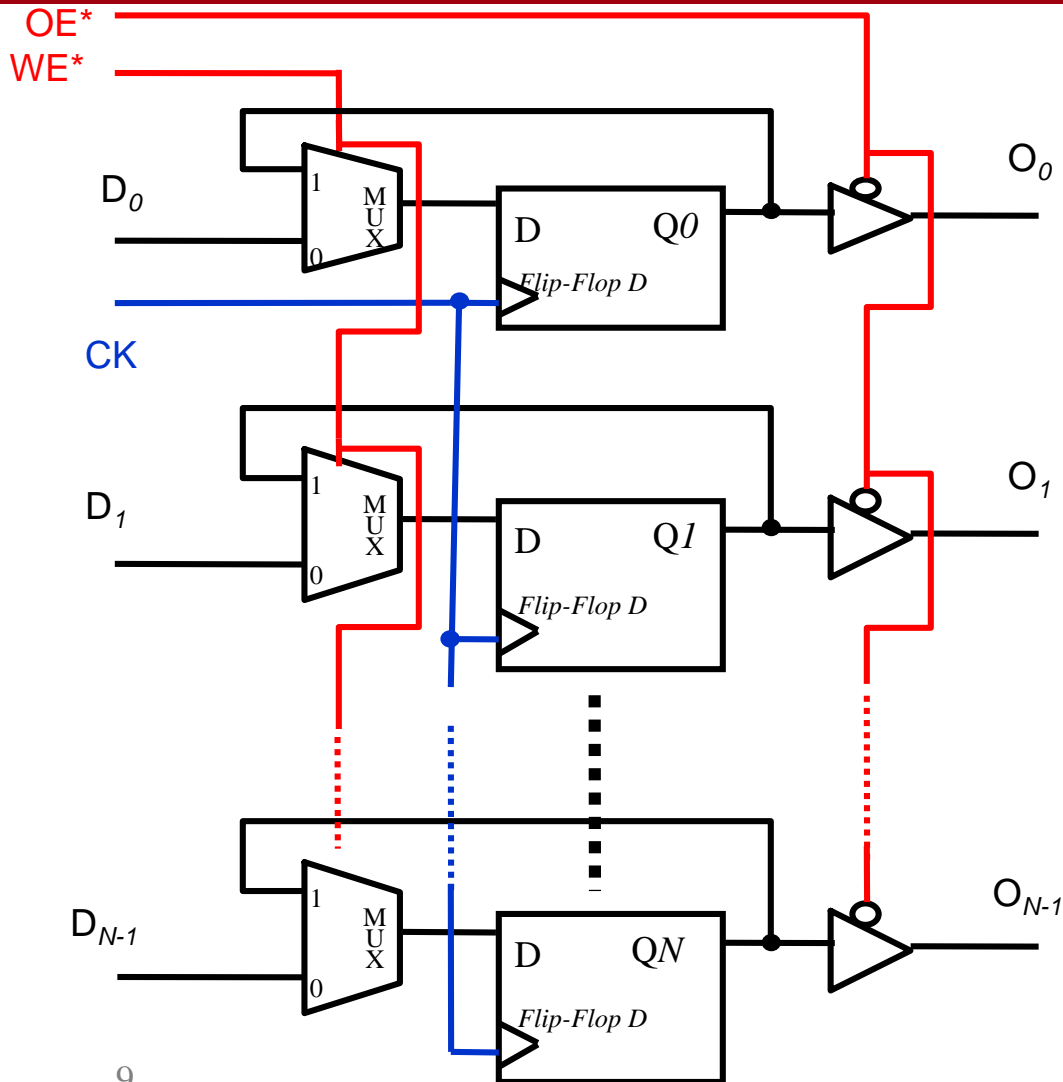
a esecuzione strettamente sequenziale



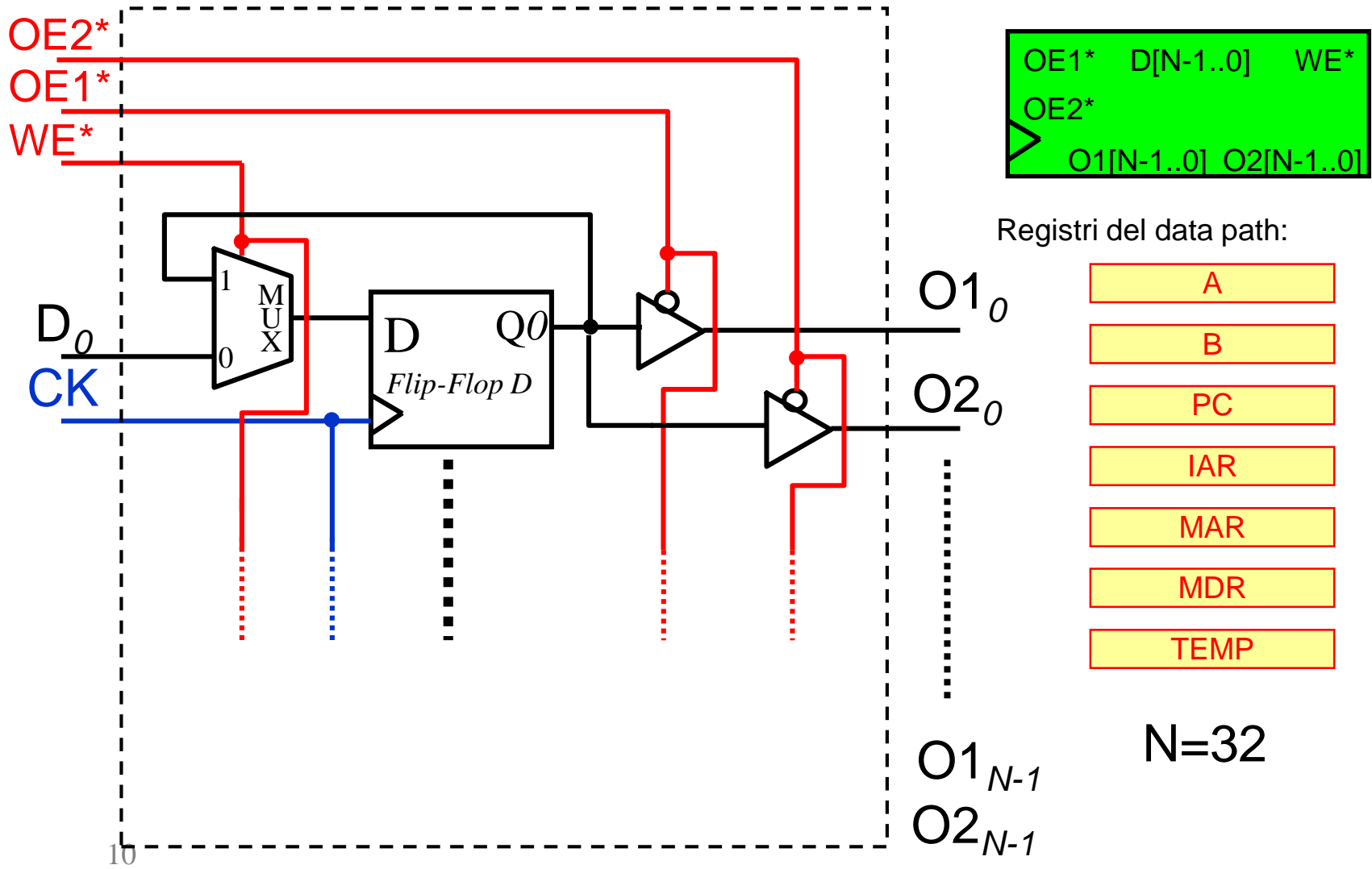
LEGENDA
X
Registro del data path

Parallelismo dell'architettura: 32 bit (bus, ALU e registri hanno parallelismo 32 bit)

Richiamo dal MODULO 1: Struttura di un registro Edge-Triggered con Write Enable (WE*) e uscita 3-state

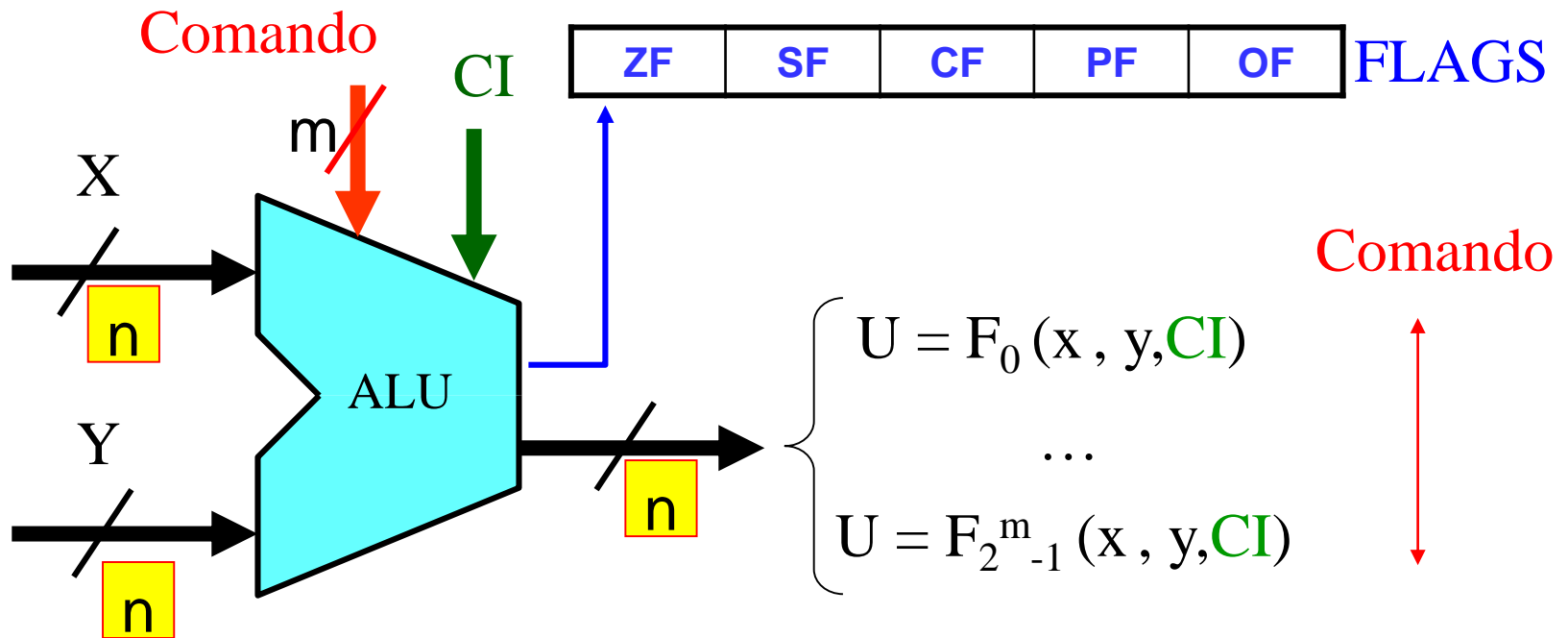


Tutti i registri del DATA PATH sono Registri Edge-Triggered da 32 bit con Write Enable(WE*) ed uscite 3-state duplicate!



All'interno del DATA PATH c'è anche una ALU a cui è affidata l'elaborazione vera e propria

ALU - Rete combinatoria che sa eseguire diverse operazioni di tipo aritmetico o logico. L'operazione di volta in volta eseguita (Fc) dipende dal valore attribuito ai bit di programmazione (codice operazione o **Comando**)

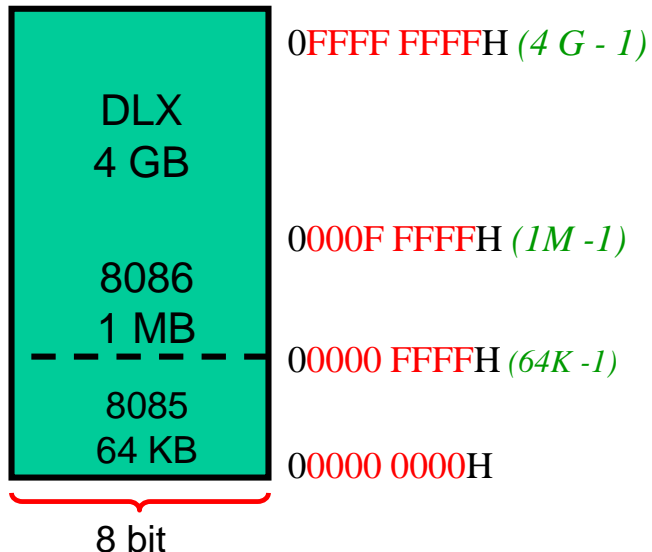


Il parallelismo dell'ALU è uno dei parametri che caratterizzano l'architettura della CPU

n = parallelismo dell'ALU

Spazio di indirizzamento in memoria: Memoria = Vettore di Byte

- La memoria principale è vista dalla CPU come un **vettore $M[0..2^n-1]$ di 2^n elementi** detti celle o parole di memoria; questo vettore è detto “**spazio di indirizzamento in memoria**”. In questo spazio vengono “*mappati*” i dispositivi fisici di memoria (chip).
- L'indice i che identifica la cella $M[i]$ si chiama **indirizzo** della cella ed è una configurazione binaria di **n bit**
- Nella maggior parte dei calcolatori ogni cella è composta da 8 bit (un byte); in questo caso si dice che la memoria è organizzata in byte; **il byte è quindi la più piccola quantità di memoria indirizzabile**



Conviene rappresentare gli indirizzi in codice esadecimale (0..FH): ogni cifra esadecimale corrisponde a 4 bit (es. 0000b \rightarrow 0H, 0001b \rightarrow 1H, 1010b \rightarrow 0AH, 1011b \rightarrow 0BH, 1100b \rightarrow 0CH, 1111b \rightarrow 0FH)

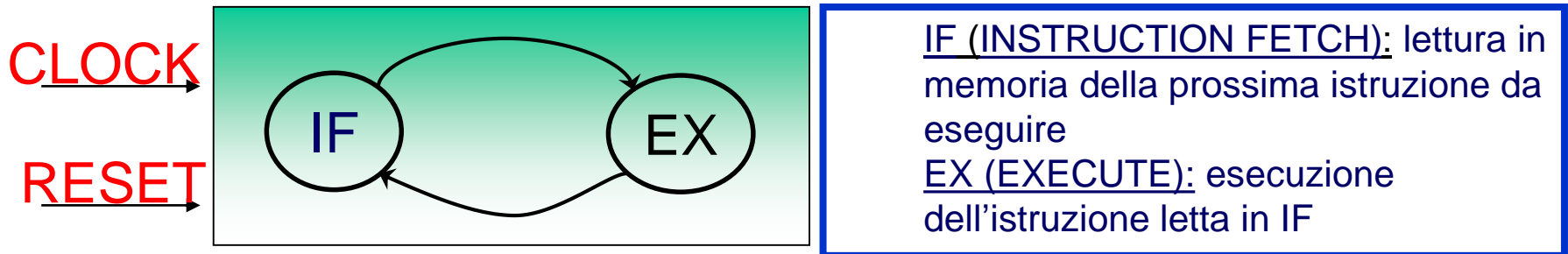
Quantità comunemente utilizzate per esprimere la dimensione di uno spazio di indirizzamento:

Kilobyte	1KB	2^{10} Byte	1024 B
Megabyte	1MB	2^{20} Byte	1.048.576 B
Gigabyte	1GB	2^{30} Byte	1.073.741.824 B

La dimensione dello spazio di indirizzamento è uno dei parametri che caratterizzano l'architettura della CPU

Modello di esecuzione del programma

- Il programma risiede in memoria ed è costituito da **istruzioni** codificate in binario
- In memoria risiedono anche gli operandi delle istruzioni, cioè i **dati** elaborati e da elaborare
- Le istruzioni vengono eseguite dalla CPU in **sequenza**
- La CPU è una **macchina sequenziale sincrona** e a livello di massima astrazione il suo automa ha due stati:



- Per funzionare la CPU ha bisogno almeno degli ingressi di RESET e CLOCK. Quando il RESET non è attivo la CPU perennemente legge e esegue istruzioni, cambiando stato ad ogni impulso di clock.

La frequenza del clock è uno dei parametri che caratterizzano l'architettura della CPU

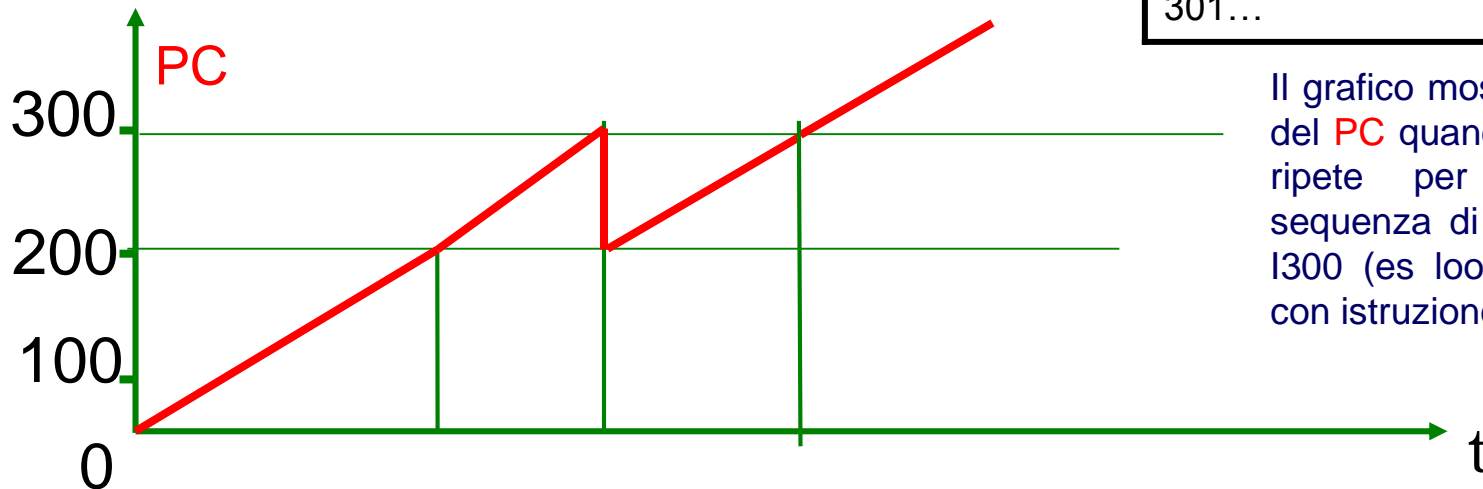
Il program counter e la sua dinamica durante l'esecuzione di un programma

- Per poter eseguire le istruzioni in sequenza la CPU dispone al suo interno di un **registro** detto **Program Counter (PC)**
- Il **PC** contiene l'indirizzo di memoria della prossima istruzione da leggere nella prossima fase di **FETCH**
- Il **PC** viene incrementato ad ogni **FETCH***

Memoria principale

PC →

Indirizzo in memoria	Istruzioni
0	I0
001...199	I1..199
200	I200
201...299	I201..I299
300	I300
301...	I301.....



Il grafico mostra la dinamica del **PC** quando il calcolatore ripete per 2 volte la sequenza di istruzioni I200-I300 (es loop programmato con istruzione "do while")

* in questo esempio l'istruzione I300 modifica il PC nella fase di EXECUTE 1 volta

Possiamo quindi concludere con
IL MODELLO DI RIFERIMENTO
del calcolatore (sistema di elaborazione)

Rete logica sequenziale sincrona «universale» nel senso che la funzione svolta dipende dal software cioè da un programma costituito da istruzioni elementari memorizzate

Macchina digitale

a

esecuzione sequenziale

e

programma memorizzato

(Von Neumann, 1940)

In questo modulo ci occuperemo di alcuni aspetti dell'Architettura e delle prestazioni dell'unità di elaborazione (CPU o processore) del calcolatore

L'architettura della CPU è definita dalla seguente terna:

- Il set di istruzioni (architettura vista dall'utente, detta anche ISA (Instruction Set Architecture) o **linguaggio macchina**)
- La struttura interna
- La realizzazione circuitale (cioè la tecnologia microelettronica impiegata nella realizzazione, questo aspetto sarà studiato in altri insegnamenti del cdl, tra cui elettronica digitale)
 - Uno stesso set di istruzioni può essere realizzato con strutture interne diverse (es. 386, 486, e Pentium)
 - La stessa struttura interna può essere realizzata con tecnologie diverse (es. 486, 486-DX2 e 486-DX4)
 - **Fissato un benchmark (programma di riferimento), le prestazioni del calcolatore dipendono da tutti i tre componenti della terna**

ISA affermate sul mercato dei calcolatori

Nell'ambito di questo insegnamento considereremo solo le ISA oggi più affermate sul mercato dei calcolatori:

- ISA MEMORY REGISTER (M-R)
 - Esempio: Intel Architecture a 32 bit (IA32)
- ISA REGISTER REGISTER (R-R)
 - Esempio: DLX (ISA di riferimento per le architetture RISC)

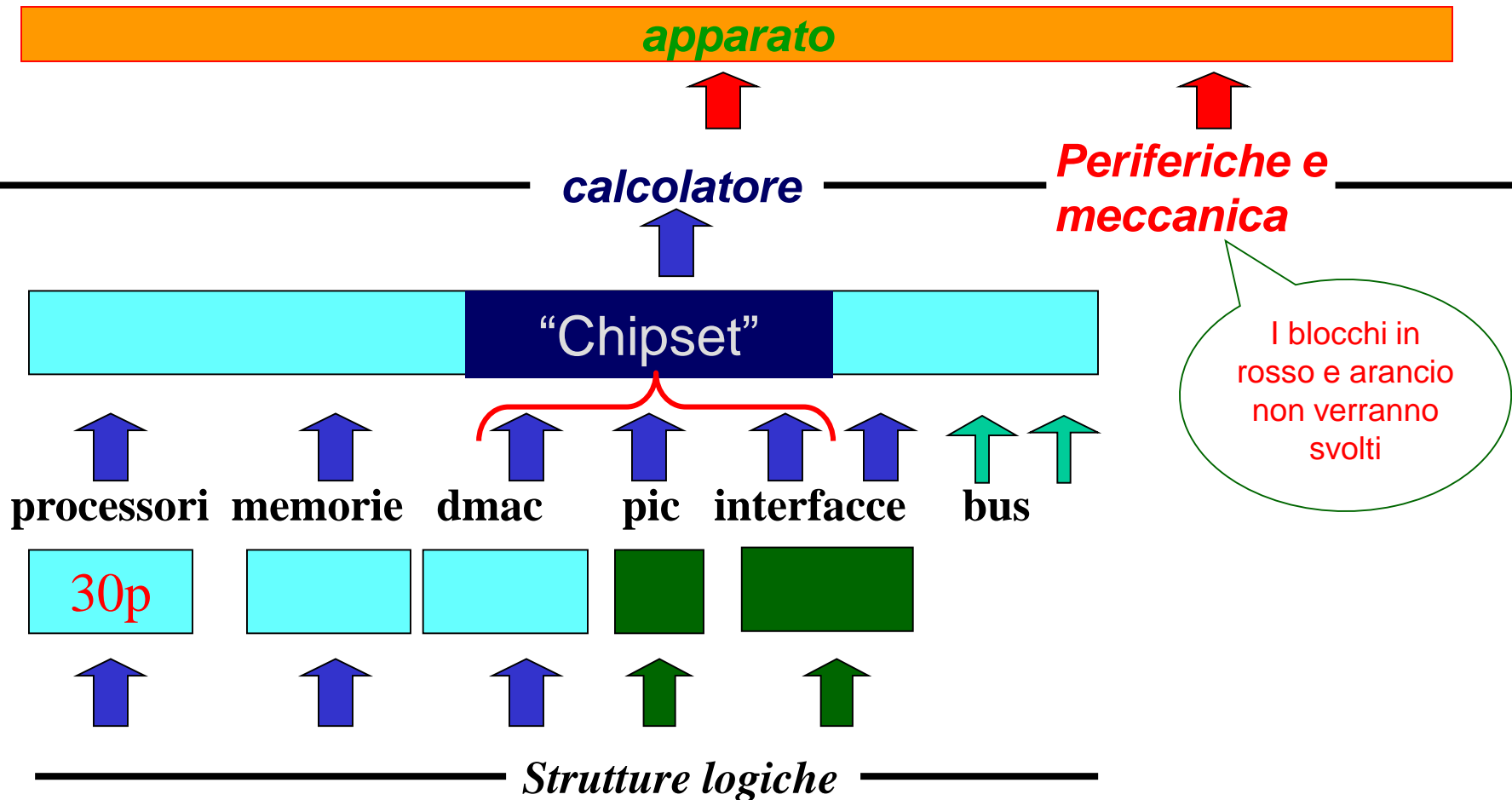
Modalità di svolgimento dell'esame (Modulo 2)

prova finale scritta

L'esame sarà costituito da una prova scritta di un'ora:

- 1 esercizio sulla aggiunta di 1 nuova istruzione a un calcolatore di cui conosciamo la struttura;
- Alcune domande di teoria

Visualizzazione qualitativa del percorso didattico di calcolatori elettronici e dei contenuti della prova finale di questo modulo



Il programma del modulo 2 in una frase

CE Modulo 2

Architetture di processori con modello di esecuzione strettamente sequenziale (CPI= n) e ISA RISC (reduced Instruction Set Computer)

Caratteristiche degli apparati che contengono uno o più sistemi di elaborazione al loro interno

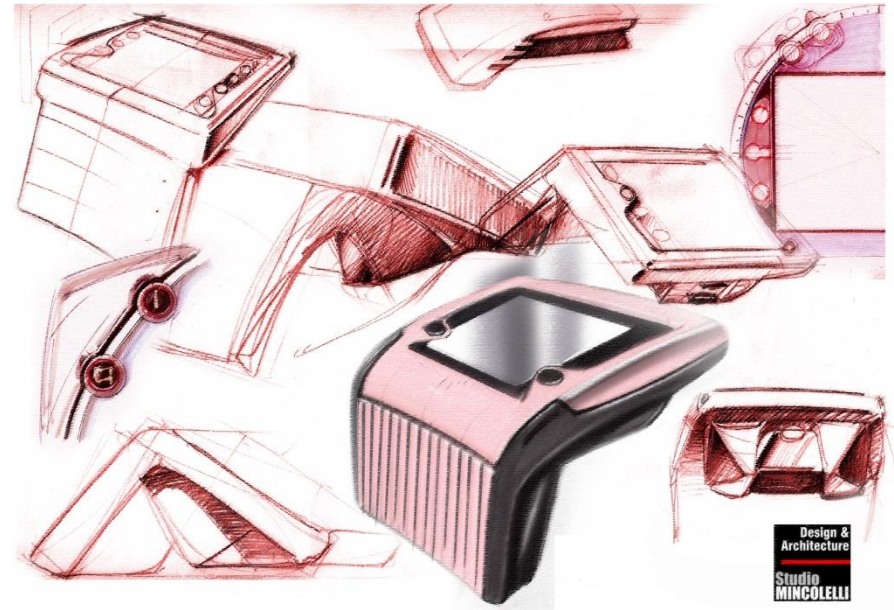
- Sono prodotti molto diversi gli uni dagli altri
- Sono prodotti finalizzati a un uso specifico
- In ciascuno di essi i principali aspetti qualificanti e specificamente studiati per l'uso a cui sono destinati sono:
 - L'interfaccia
 - Il design
 - le dimensioni
 - il peso e il consumo (**nel caso degli apparati mobili**)
- Il calcolatore è sempre la tecnologia abilitante, eppure:
 - tende a incidere sempre meno sui costi (sia ricorrenti che non ricorrenti)
 - tende ad essere sempre più nascosto, possibilmente invisibile
 - perde le caratteristiche di macchina general purpose in quanto svolge le funzioni specifiche dell'apparato in cui è installato

Nel '90, in un articolo sul futuro dei calcolatori Mark Weiser aveva previsto questa modalità di impiego dei calcolatori e la aveva chiamata **“pervasive computing”** (elaborazione pervasiva)

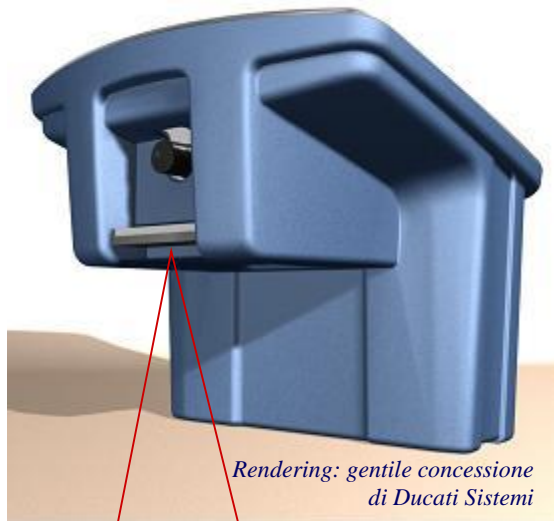
Esempi di design: la forma



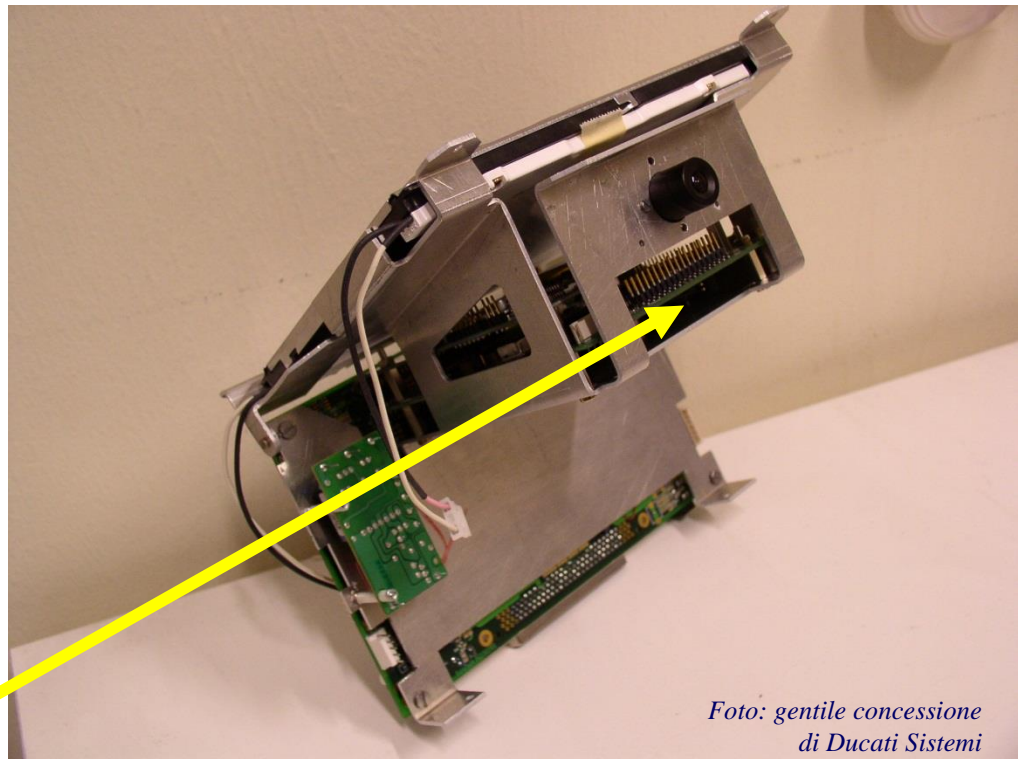
*Foto: gentile concessione di
Ducati Sistemi, Pasquale Sorrentino e
Soprintendenza Archeologica di Pompei*



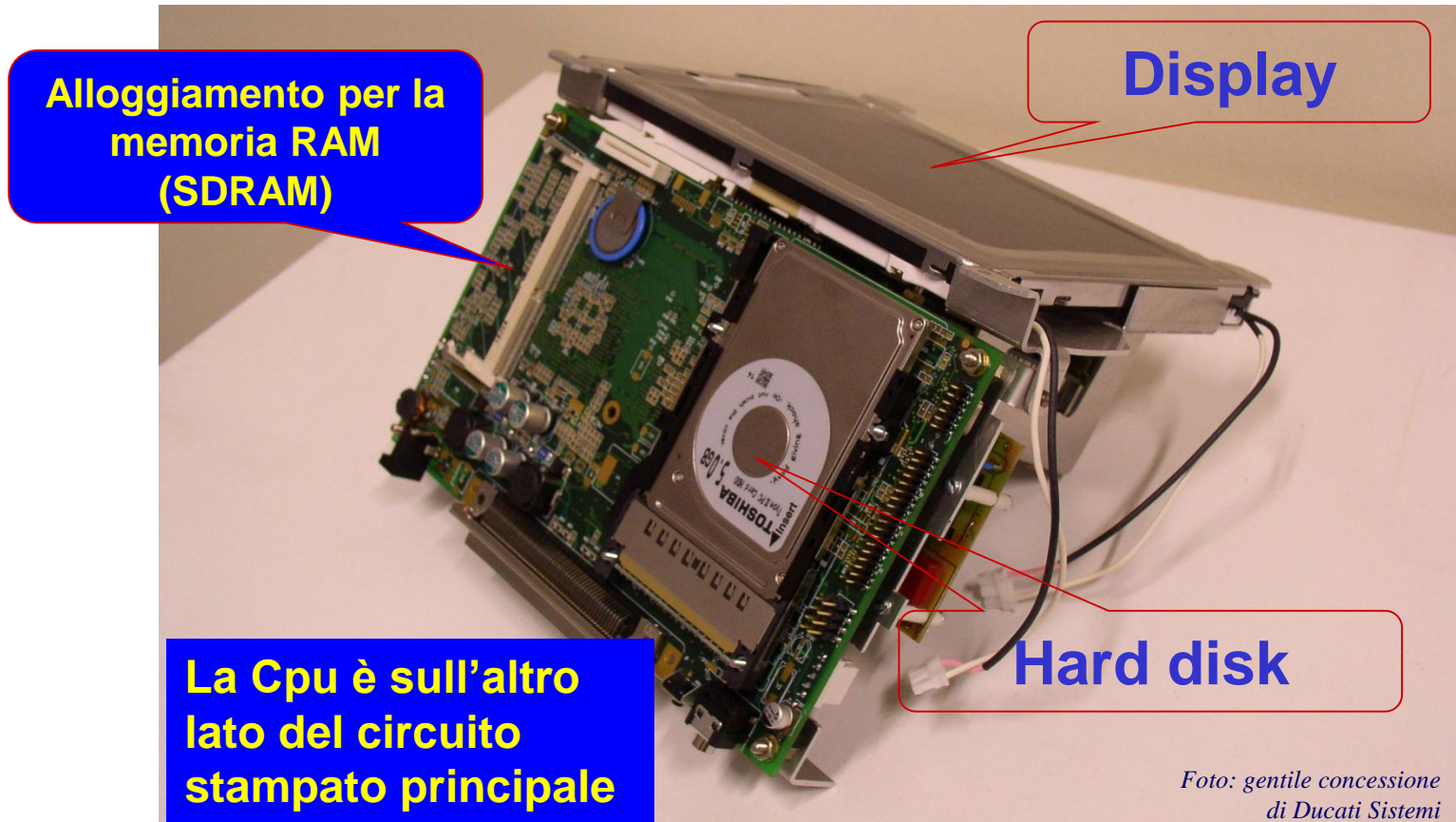
Design della meccanica: la forma e la struttura interna



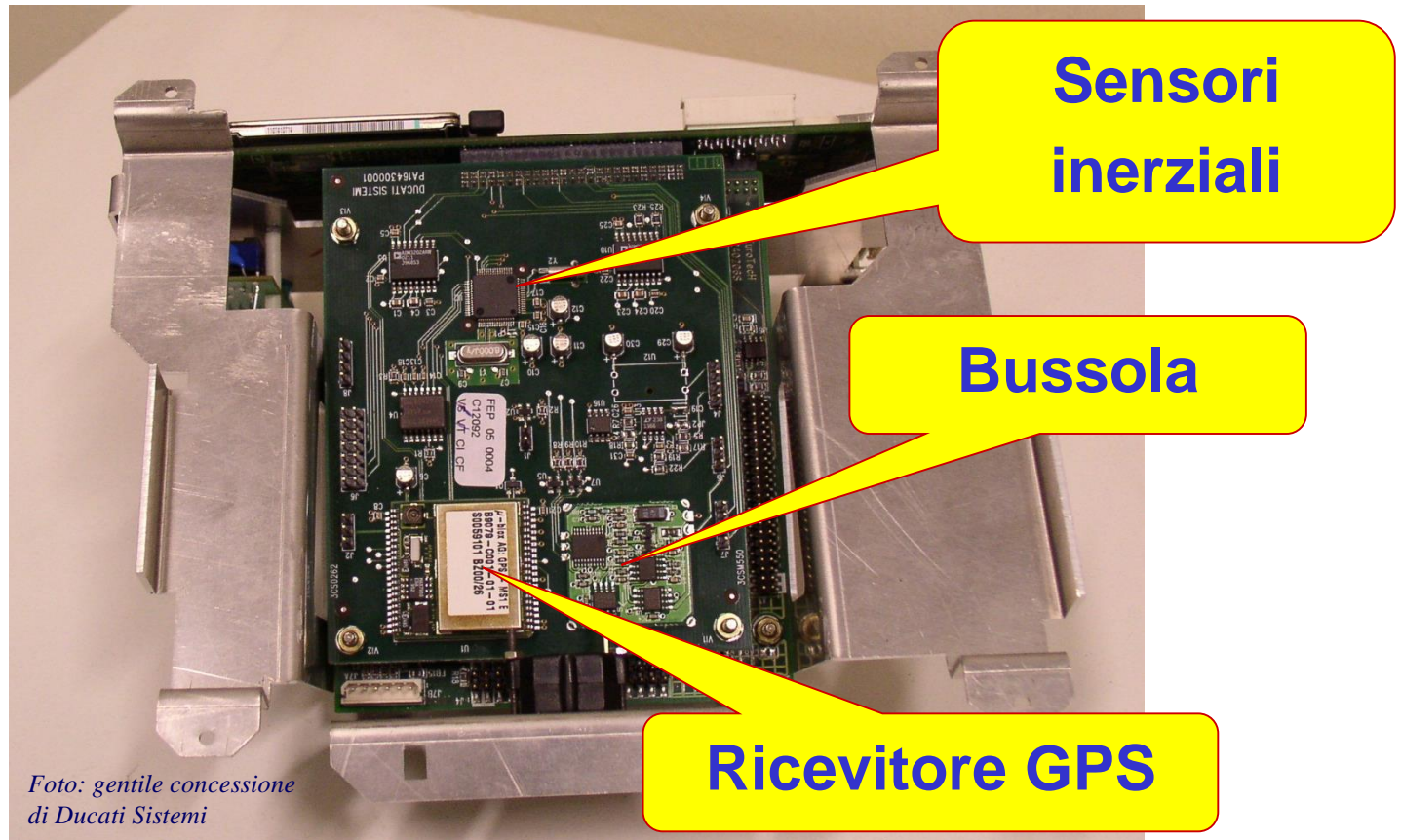
Interfaccia Radio



Design dell'elettronica :
scorcio dell'interno
(I moduli della "macchina di Von Neumann"
e alcune periferiche)



I sensori e relativo microcontroller per la localizzazione dell'utente



Qualche cenno storico

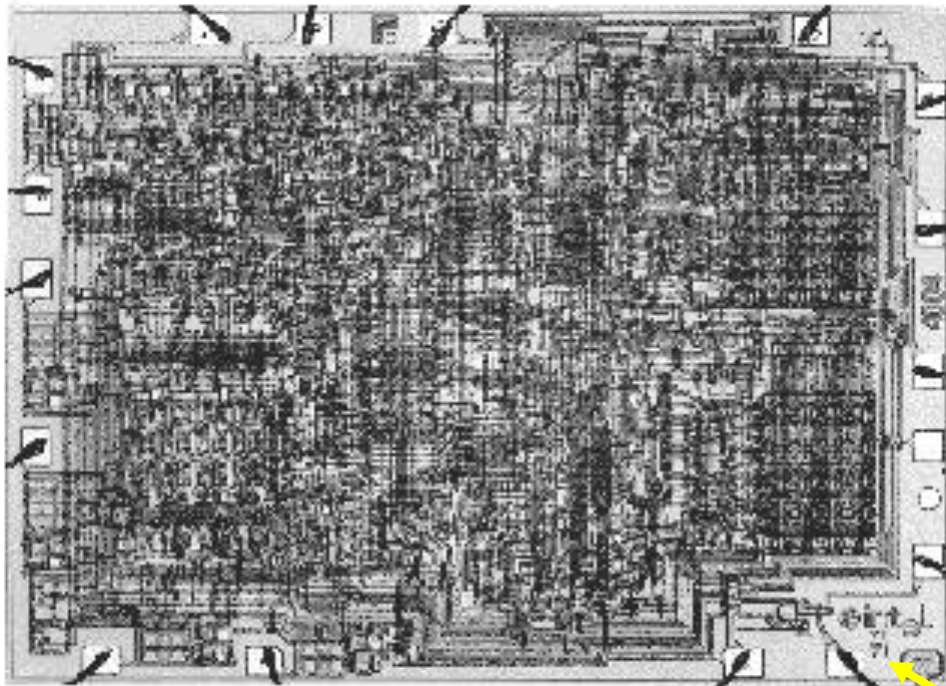
Un punto di vista sulla storia dell'Information Technology: le 5 C

Funzione	Origine	Riferimento (*)	Note
Computing	Dagli anni '40	ENIAC (Univ. Pennsylvania, Eckert, '43) EDVAC(Von Neumann, 1945) EDSAC(Wilkes, Cambridge, 1949)	Stored Program
Communication	Dagli anni '70	ARPANET (reti geografiche) Ethernet (reti locali, SRI) TCP/IP, SMTP	Internet (e_mail)
Consumer	Dagli anni '80	PC (IBM e Microsoft, 12/8/81, CPU 8088 a 4.77 MHz)	Personal Computer
Content	Dagli anni '90	<u>Hypertext</u> , HTTP, HTML, URL	WWW
Context	Dagli anni 2000	Convergenza di GPS, WLAN, GSM, Digital Media Broadcast su mobile clients GSM: Global System for Mobile Telecommunications dal '91	Ubiquitous Computing

La legge di Moore per le prestazioni dei calcolatori dal 1970 al 2000

Le prestazioni dei calcolatori aumentavano
di
un'ordine di grandezza (cioè di un fattore 10)
ogni
5 anni

1971: La prima CPU in un solo chip il processore Intel i4004



2300 transistor 4 mm

3 mm

Prezzo: \$ 300

Prestazioni: circa 3000
somme da 32 bit al/sec

Altri parametri
di riferimento:

\$ 0.13 / transistor

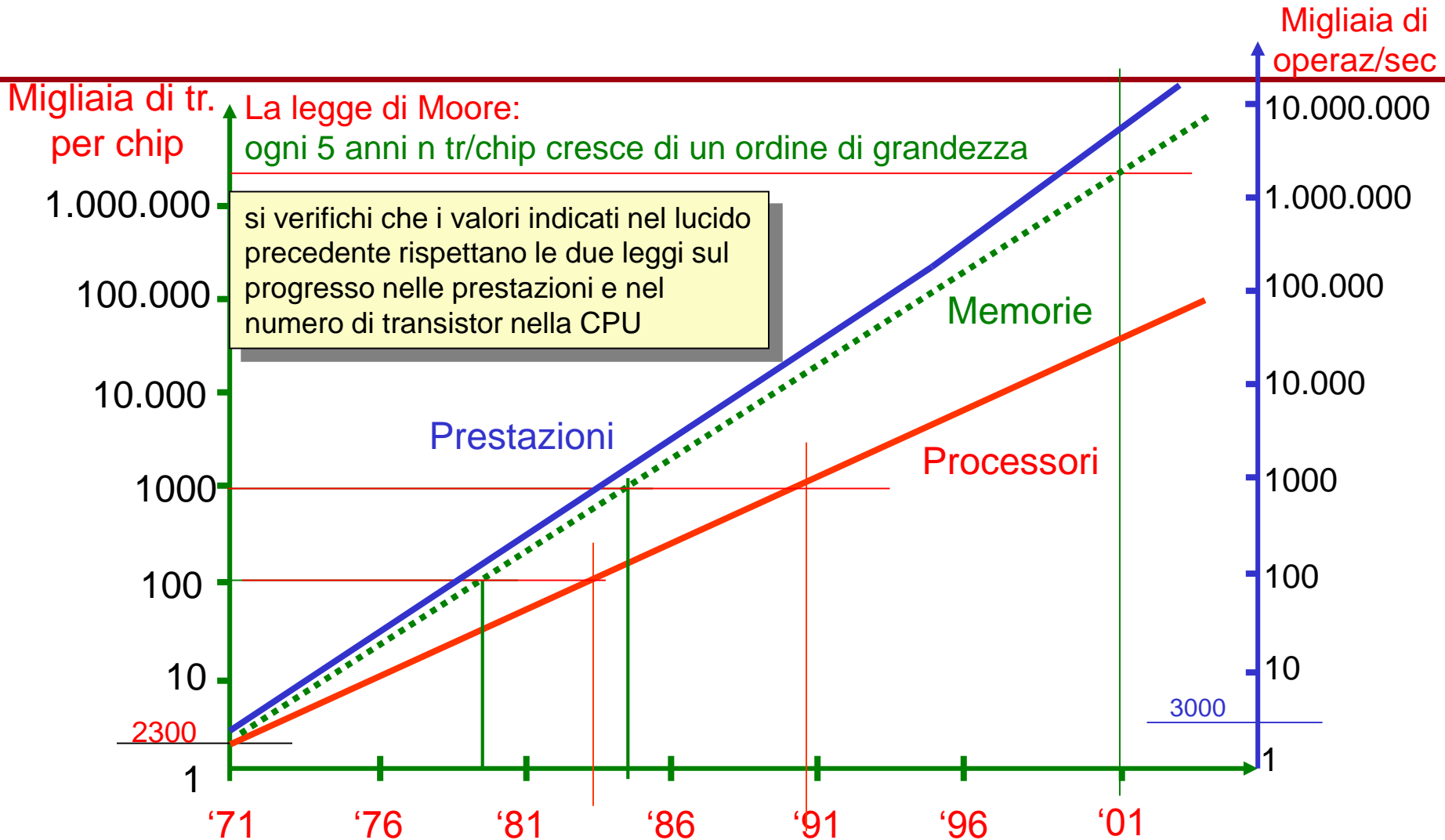
F_{ck} : 200 KHz

190 tr/mm²

parallelismo: 4 bit

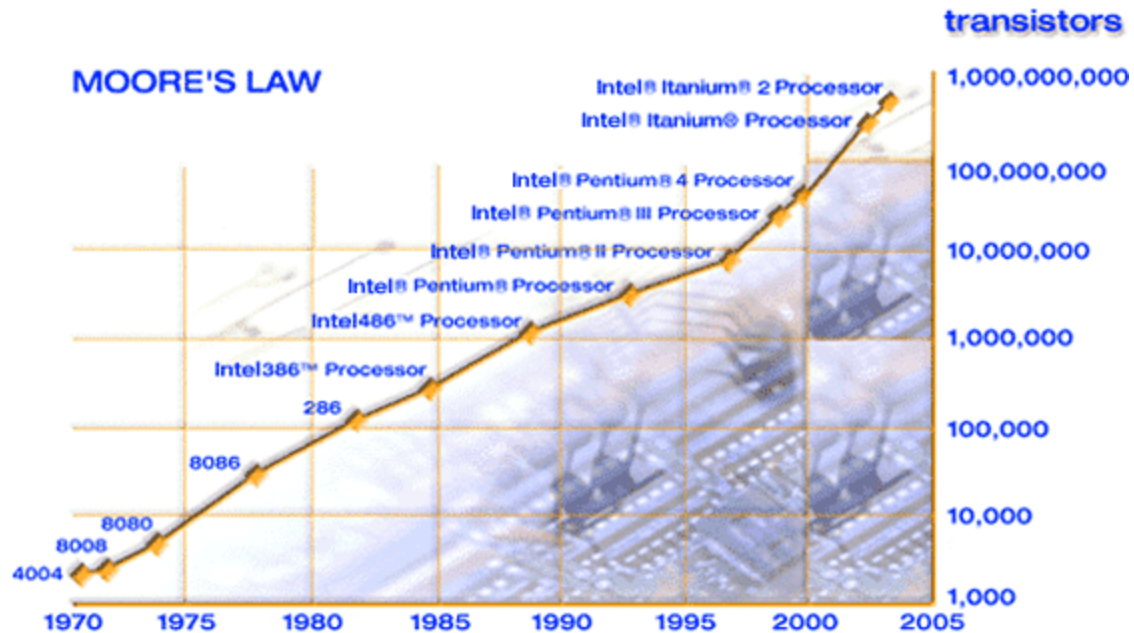
Fotografia tratta da: Bell Lab Journal

Ritmi del progresso in microelettronica e nell'architettura delle CPU



Parziale aggiornamento del lucido precedente

(da www.intel.com)



**Attuazione della legge di Moore dal 1971 al 2005
riferita al numero di transistor per chip di CPU**

1995: La prima versione delle CPU oggi impiegate nei personal computer (il P6)

Foto tratta dall'archivio on-line Intel



17.5 mm

17.5 mm

Prezzo: \$ 300

Prestazioni: circa 300 milioni di somme/sec

5.5 mil di transistor su 306 mm²

Altri parametri di riferimento:

\$ 0.05/1000 tr

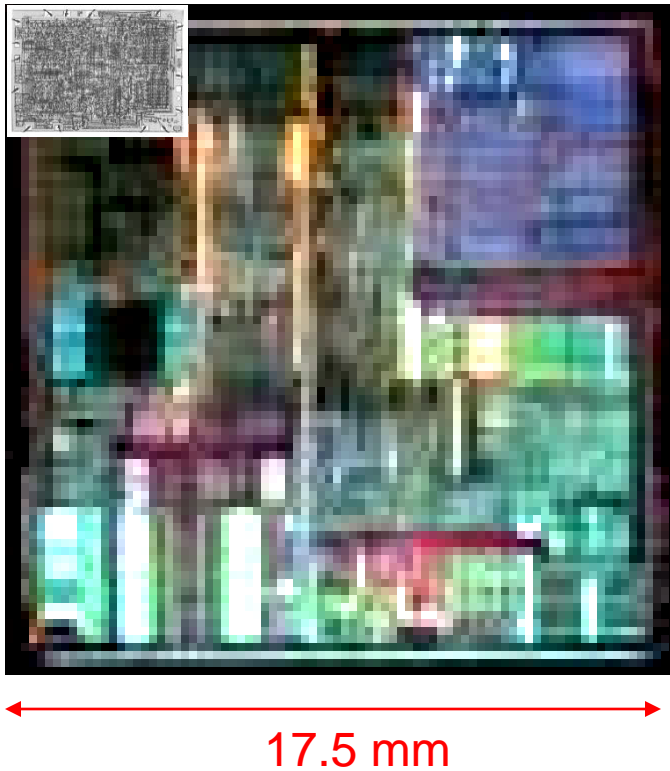
150 MHz

18000 tr/mm²

Parallelismo: 32 bit

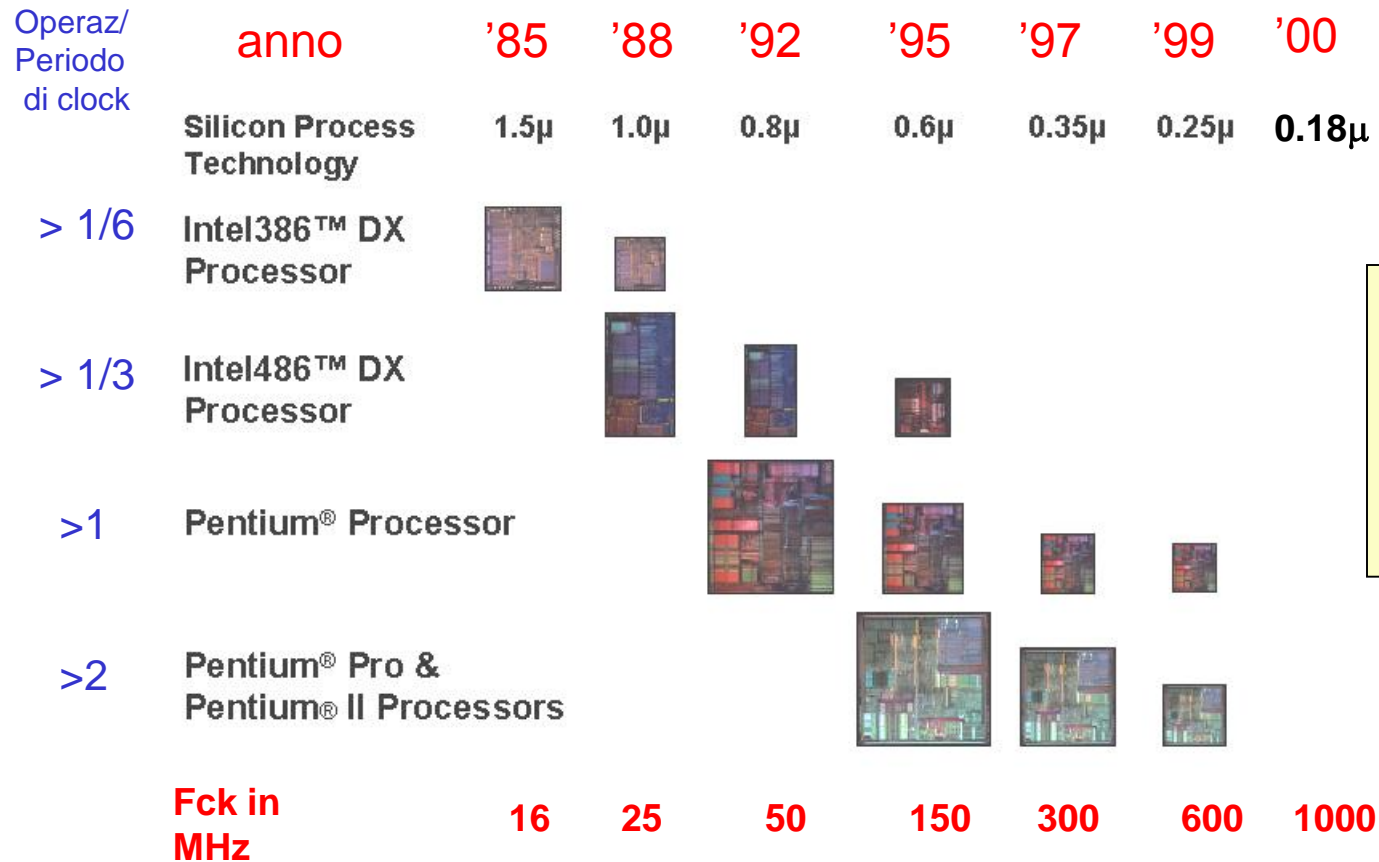
Confronto tra due CPU distanti 25 anni

Foto tratta dall'archivio on-line Intel



Anno	1971	1995	Rapporto
Prezzo	\$ 300	\$ 300	1
somme/sec	3000	300 milioni	100.000
Transistor/mm ²	190	18000	100
Frequenza (MHz)	0.2	150	750
Superficie (mm ²)	12	306	25
transistor	2300	5.5 mil	2500
Prezzo per transistor	\$ 0.13	\$ 0.05/1000	2500
ID	i4004	P6	

Impatto dalla contrazione nelle dimensioni dei transistor sulle architetture e sulle prestazioni

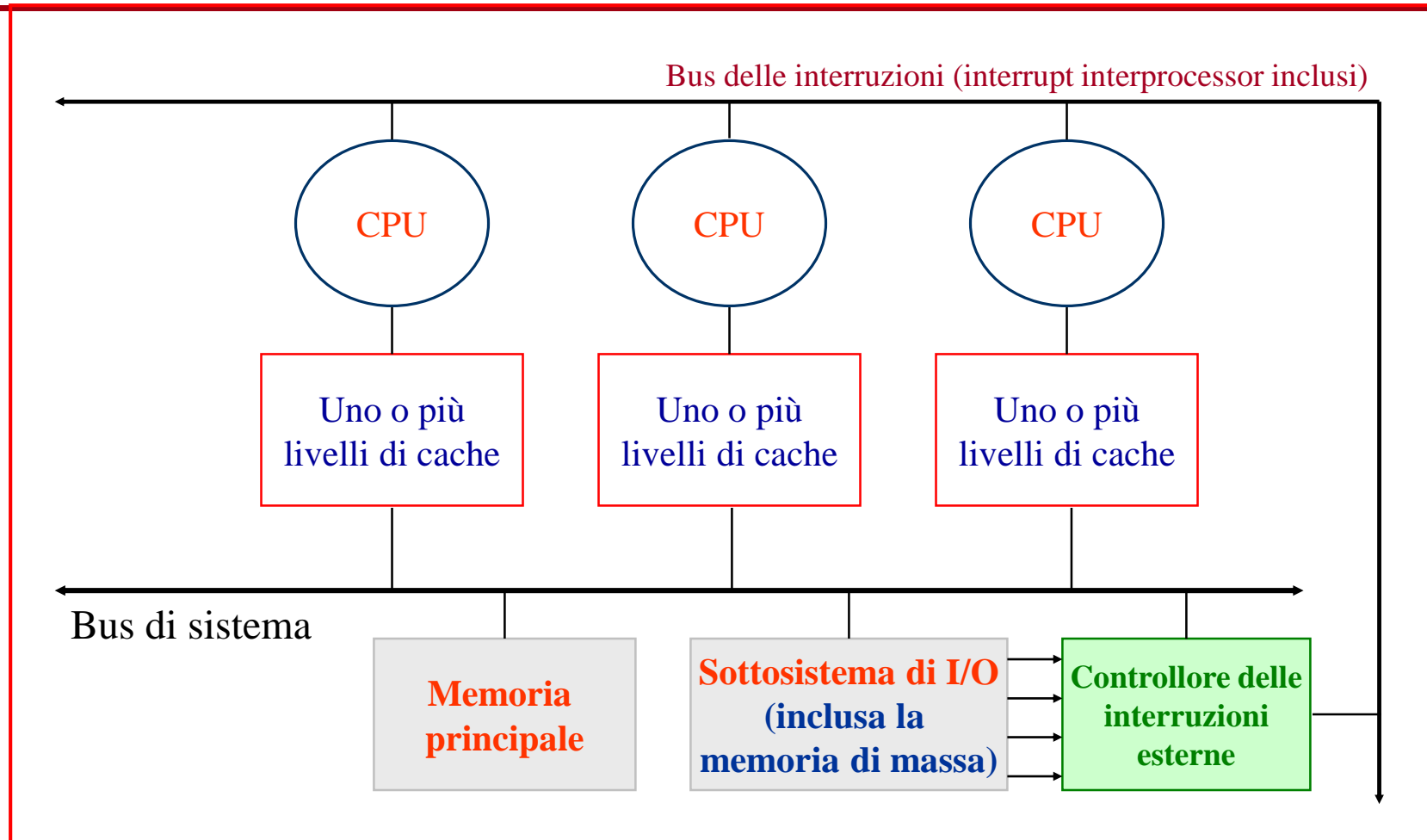


- velocità
- opportunità per nuove architetture
- costo/transistor
- consumo

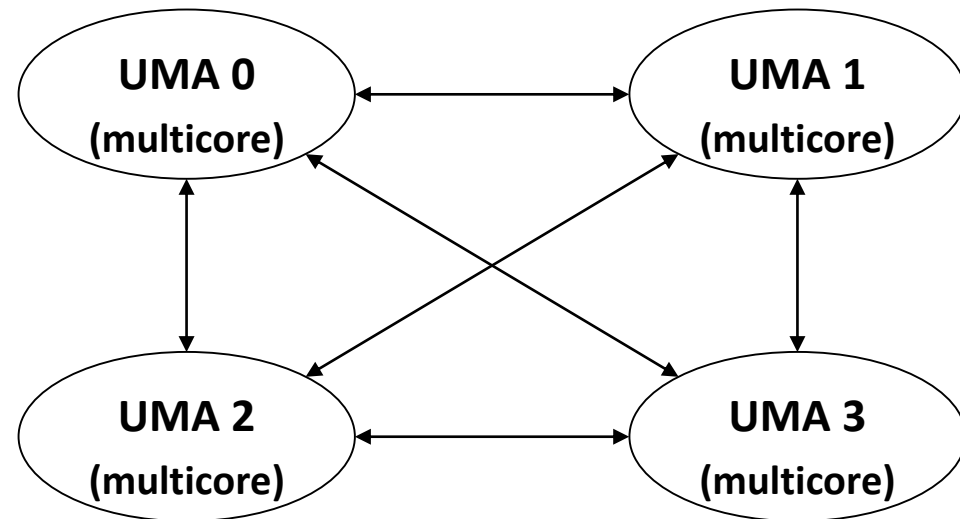
Immagine tratta dall'archivio on-line Intel

Architettura multiprocessore con cache private e memoria centralizzata condivisa (macchine con memoria a tempo di accesso uniforme o **UMA**)

Questa è l'architettura oggi più comunemente adottata nei server e nelle stazioni di lavoro. La presenza delle cache private consente di ridurre al minimo il carico di ciascun processore sulle risorse condivise



Architetture NUMA (Not Uniform Memory Access)

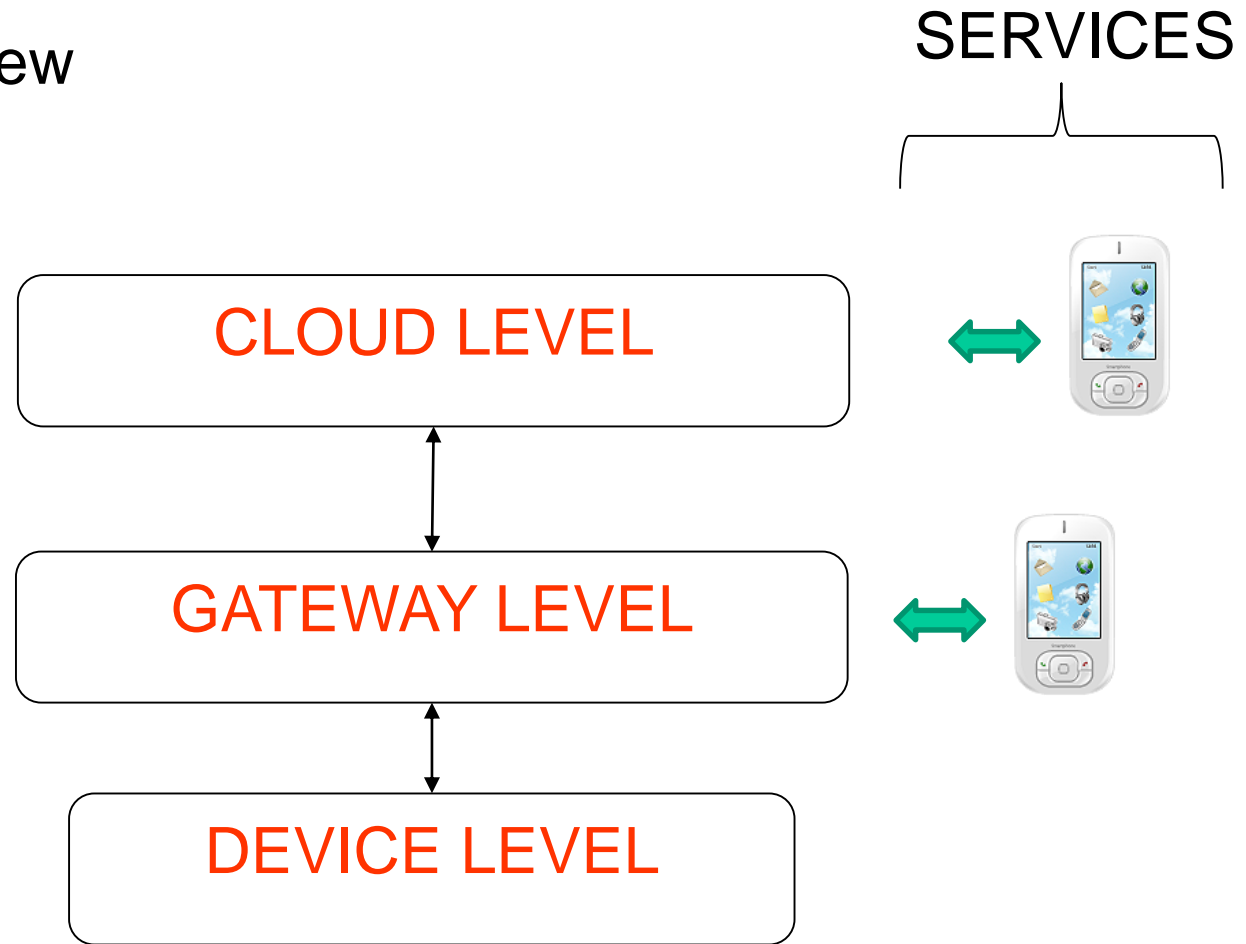


- Cluster di nodi UMA interconnessi a due a due con collegamenti «bit parallel – word serial»
 - Un solo spazio di indirizzamento condiviso
 - Accessi internodo hanno caratteristiche e prestazioni diverse rispetto agli accessi intranodo; di qui la denominazione «NUMA»
 - Protocolli di coerenza delle cache distribuite su 3 livelli
-
- Questa è ad esempio l'architettura di riferimento Intel (Nehalem) pensata per questo decennio
 - Con quattro chip da 8 Core si possono realizzare PC o server con 32 CPU
 - Il supporto alla virtualizzazione (virtual machine support) già presente in diverse generazioni di CPU consente di svincolare il numero di calcolatori visti dall'utente dal numero di core disponibili, e consente quindi di istanziare decine di macchine virtuali sulla medesima piattaforma
 - Virtualizzazione e Architetture NUMA rendono «sostenibile» la trasformazione del calcolatore da risorsa in servizio: chiunque abbia bisogno di un calcolatore può chiederlo sotto forma di servizio a una server farm per il solo tempo in cui serve. Questo modello di «information distribution and processing» è denominato «cloud computing»

Contemporary ICT Infrastructure

Internet of Things

Conceptual view



Users

the dangerous level

- ▶ Thousands of users with different needs
- ▶ Access to data through web services
- ▶ Heterogeneous devices (smartphones, laptops..)



- Possible Hardware:
- ▶ Almost everything
- Software:
- ▶ Custom apps
- Protocols:
- ▶ REST

Services

the exposed level

- ▶ Exploits the power of semantics
- ▶ Access to data to provide services
- ▶ It is the interface with the external world



Web Service #1



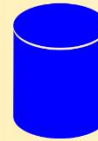
Web Service #k

- Possible Hardware:
- ▶ Almost everything
- Software:
- ▶ Custom softwares
- Protocols:
- ▶ SSAP
 - ▶ REST

Cloud/Decentralized Server

the "Gateway" level

- ▶ A middleware level
- ▶ Provide collected data to clients
- ▶ Provide complex analysis tools
- ▶ Advanced query/sub features



- Possible Hardware:
- ▶ Our mml server...
- Software:
- ▶ Smart-M3 SIB
 - ▶ A web-based interface
- Protocols:
- ▶ SSAP

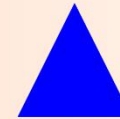
Local Brokers

the "Moderator" level

- ▶ A middleware level
- ▶ Collect data from sensors
- ▶ Filter / clean data
- ▶ Push data on the cloud



Local Broker #1



Local Broker #m

- Possible Hardware:
- ▶ Intel Edison
 - ▶ Raspberry PI
 - ▶ ST Nucleo
- Software:
- ▶ Broker (e.g. MQTT) and data Filter
 - ▶ Our Smart-M3 Producer
- Protocols:
- ▶ SSAP
 - ▶ MQTT/AMQP/XMPP/CoAP

Sensors/Actuators

the "Things" level

- ▶ Low-resources nodes
- ▶ Sense the environment
- ▶ Push data to the brokers



Sensors Crowd #1



Sensors Crowd #2



Sensors Crowd #n

- Possible Hardware:
- ▶ ST Self-powered nodes
 - ▶ Huzzah Feather ESP8266
 - ▶ SparkFun ESP8266 Thing
 - ▶ Node MCU
- Software:
- ▶ Our publisher (e.g. MQTT)
- Protocols:
- ▶ MQTT/AMQP/XMPP/CoAP/Dash7