

Optimierung und Modellierung von Bauelementen in einer 0,35 μm -CMOS-Hochtemperaturtechnologie

Von der Fakultät für Ingenieurwissenschaften
Abteilung Elektrotechnik und Informationstechnik
der Universität Duisburg-Essen

zur Erlangung des akademischen Grades
Doktor der Ingenieurwissenschaften

genehmigte Dissertation

von

Andreas Kelberer

aus

Tscheljabinsk

Gutachter: Prof. Dr.-Ing. Holger Vogt

Gutachter: Prof. Dr.-Ing. Horst Fiedler

Tag der mündlichen Prüfung: 06.07.2016

Zusammenfassung

Die vorliegende Arbeit beschäftigte sich mit der Optimierung und Modellierung von Bauelementen in einer 0,35 μm -CMOS-Technologie, die speziell für den Betrieb in einem erweiterten Temperaturbereich von $-40\text{ }^{\circ}\text{C}$ bis $250\text{ }^{\circ}\text{C}$ vorgesehen ist. Bei dieser Technologie handelt es sich um eine Weiterentwicklung einer 1 μm -Technologie, die in weiten Teilen der Prozessierung modifiziert wurde. Durch die geringe Strukturbreite lassen sich komplexere Schaltungen und eine höhere Packungsdichte realisieren. Die Herstellung erfolgt in einer Dünnschicht-SOI-Technologie, die gegenüber einer üblicherweise verwendeten Bulk-Technologie deutliche Vorteile beim Hochtemperaturbetrieb bietet.

Die zahlreichen Veränderungen in der neuen Technologie erforderten zunächst die Anpassung des elektrischen Verhaltens verschiedener Bauelemente an die gesetzten Spezifikationen. Dazu gehörte die Charakterisierung und die Parameterextraktion des verkleinerten Transistortyps. Die Optimierung des Durchbruchverhaltens einer Diode, die zum Schutz vor Überspannungspulsen eingesetzt wird, konnte durch die Anpassung der Dotierstoffkonzentrationen erreicht werden. Ebenfalls konnte eine Steigerung der Spannungsfestigkeit eines Hochspannungstransistors erzielt werden, indem u. a. der Avalanche-Effekt durch einen besseren Kanalanschluss vermieden wurde. Neben der Optimierung des elektrischen Verhaltens wurde auch das Zuverlässigkeitsverhalten der Bauelemente verbessert. Hierzu gehörte die Optimierung der Oxidqualität, welche durch Getterung von Kontaminationsatomen signifikant gesteigert werden konnte. Weiterhin konnte auch das Zuverlässigkeitsverhalten der Speicherzellen (EEPROM), welches durch die beiden Aspekte der Datenwechselstabilität und des Datenerhalts beschrieben wird, durch geometrische Veränderungen und Abschirmung der Zelle verbessert werden.

Ein weiterer wichtiger Aspekt dieser Arbeit war die Entwicklung von Simulationsmodellen bestimmter Bauelemente in einem breiten Temperaturbereich. Zum einen konnte das elektrische Verhalten von Dioden bei Temperaturen zwischen $-40\text{ }^{\circ}\text{C}$ und $300\text{ }^{\circ}\text{C}$ durch ein Makromodell genau nachgebildet werden. Zum anderen konnten die Datenwechselstabilität und der Datenerhalt der Speicherzelle bis zu einer Temperatur von $450\text{ }^{\circ}\text{C}$ mithilfe eines Modells korrekt wiedergegeben werden. Die Modelle werden verwendet, um eine Vorhersage über das Verhalten von Bauelementen bei unterschiedlichen Temperaturen zu treffen, dienen als Hilfsmittel zur Optimierung der Bauelemente und sind für die Simulation von Schaltungen notwendig.

Weiterhin wurden in der vorliegenden Arbeit neue Bauelemente vorgestellt, die vor allem für den Einsatz in einem breiten Temperaturbereich konzipiert sind. So wurde eine Schutzstruktur vor Überspannungspulsen vorgeschlagen, die bei einer Betriebsspannung von 3,3 V und einer Temperatur bis $250\text{ }^{\circ}\text{C}$ eingesetzt werden soll. Dazu wurde entweder der Punch-Through- oder der Floating-Body-Effekt ausgenutzt, um das Bauelement ab einer bestimmten Spannung in den Leitungszustand zu versetzen. Für den Betrieb eines Hochspannungstransistors wurde in dieser Arbeit eine Bauweise vorgeschlagen, die es ermöglicht,

Zusammenfassung

die transistorspezifischen Eigenschaften, wie die Schwellenspannung oder den Leckstrom, in Abhängigkeit der Temperatur deutlich zu verbessern.

Somit wurden in dieser Arbeit verschiedene kritische Bereiche einer CMOS-Technologie behandelt, die sich beim Hochtemperaturbetrieb ergeben. Dazu wurden Optimierungen im Bezug auf das elektrische Verhalten bzw. die Zuverlässigkeit vorgeschlagen und neue Bauelemente entwickelt, die vor allem für den Betrieb bei hohen Temperaturen ausgelegt sind. Zusätzlich wurden Simulationsmodelle für den erweiterten Temperaturbereich entwickelt, die nicht zuletzt zur Optimierung der Bauelemente beitragen.

Abstract

The present work focuses on the optimization and modeling of devices from a 0.35 μm technology developed for the operation in a wide temperature range from $-40\text{ }^{\circ}\text{C}$ up to $250\text{ }^{\circ}\text{C}$. This technology is a further development of a 1 μm high temperature technology with various modifications in the processing flow. The shrink of the technology node allows to process more complex integrated circuits with a higher device density. For the wide temperature range, a thin film SOI technology is utilized that shows substantial benefits compared to the commonly used bulk technology.

The numerous changes in the new technology require adjustment of the electric behavior of different devices to fulfill the specifications. Within the framework of this study one of the tasks was the characterization and the parameter extraction of the downsized transistor type. Further the breakdown behavior of a diode used for ESD protection was optimized by adapting the doping concentration. The breakdown voltage of a high voltage transistor was enhanced by a proper biasing of the channel area. Besides the optimization of the electric behavior the reliability of the devices was improved as well. For this purpose, the oxide quality was optimized by gettering contaminants. Furthermore the reliability of the memory cells (EEPROM) that can be described by the retention and endurance behavior was increased by geometrical optimization and a better isolation of the cell.

In addition, simulation models were developed for specific devices to characterize the electric behavior in a wide temperature range. The characteristics of two different diodes at temperatures between $-40\text{ }^{\circ}\text{C}$ and $300\text{ }^{\circ}\text{C}$ were simulated by a macro model. The endurance and retention behavior of a memory cell was also described by a macro model for temperatures up to $450\text{ }^{\circ}\text{C}$. The models are used to predict the behavior of the devices at different temperatures, serve as auxiliary tools to optimize the devices and are also used for circuit simulations.

Furthermore, new devices are developed in the present work to enable the operation in a wide temperature range. An ESD device is proposed to protect circuits with a low operating voltage of 3.3 V for temperatures up to $250\text{ }^{\circ}\text{C}$. For this purpose, the punch through or floating body effect is used to bring the device in a conduction state at a certain trigger voltage. For the operation of high voltage transistor a new design is proposed, which allows to improve the transistor specific properties (for example leakage current or threshold voltage) at high temperatures.

In summary, different critical parts of a CMOS technology designed for high temperature applications are investigated in this work. Optimizations with respect to the electric behavior and the reliability are proposed and new devices are developed to improve the performance at high temperatures. Additionally, simulation models are proposed to allow an accurate description of the electrical device behavior in a wide temperature range and which can also be used to optimize the device performance.

Abstract

Inhaltsverzeichnis

Zusammenfassung	iii
Abstract	v
1 Einleitung	1
2 Hochtemperaturtechnologie H035	5
2.1 Prozesstechnologie für Hochtemperaturanwendungen	5
2.1.1 Bulk- und SOI-Technologie	6
2.1.2 Ablauf des H035-Prozesses	7
2.2 Untersuchungsmethoden im erweiterten Temperaturbereich	8
2.2.1 Experimentelle Messmethoden	9
2.2.2 Computerunterstützte Untersuchungsmethoden	11
2.3 Untersuchungen zu verschiedenen Themengebieten	14
2.3.1 Charakterisierung und Parameterextraktion der 0,36 μm -Transistoren	14
2.3.2 Optimierung der Oxidqualität	19
2.3.3 Elektromigration von Wolfram	22
3 Diode	25
3.1 Grundlagen	25
3.1.1 Diode als pn-Übergang	26
3.1.2 Durchbruchmechanismen	28
3.1.3 ESD-Schutz	30
3.1.4 Dioden in der H035-Technologie	33
3.2 Optimierung der Z-Diode für den erweiterten Temperaturbereich	36
3.2.1 IV-Charakteristik der Z-Diode der ersten H035-Charge	36
3.2.2 TCAD-Simulationen zur Optimierung der IV-Charakteristik	37
3.2.3 IV-Charakteristik der optimierten Diode bei Raumtemperatur	39
3.2.4 Temperaturverhalten der optimierten Diode	40
3.2.5 Simulationen zum transienten Verhalten von ESD-Pulsen	41
3.2.6 Fazit zur Optimierung der Z-Diode im erweiterten Temperaturbereich	43
3.3 SPICE-Makromodell für den erweiterten Temperaturbereich	44
3.3.1 Makromodell einer PIN-Diode	45
3.3.2 Makromodell einer Zener-Diode	48
3.3.3 Fazit zur Bildung eines SPICE-Makromodells für den erweiterten Temperaturbereich	52
3.4 Niedrigspannungs-ESD-Schutzstrukturen für den erweiterten Temperatur- bereich	52

3.4.1	Zener-Diode	53
3.4.2	Punch-Through-Struktur	54
3.4.3	Floating-Body-Struktur	58
3.4.4	Fazit zur Entwicklung einer Niederspannung-ESD-Schutzstruktur für den erweiterten Temperaturbereich	61
4	Hochspannungstransistor	63
4.1	Grundlagen	63
4.1.1	LDMOS-Transistor	64
4.1.2	Funktionsweise der Driftregion	65
4.1.3	Hochspannungstransistor in der H035-Technologie	68
4.2	Optimierung des Hochspannungstransistors	70
4.2.1	Optimierung des Leckstromverhaltens im Sperrzustand	70
4.2.2	Optimierung der Driftregion	72
4.2.3	Double-RESURF durch Verwendung von Feldplatten	75
4.2.4	Variation des vergrabenen Oxids	76
4.2.5	Optimierung des Kanalanschlusses	78
4.2.6	Fazit zur Optimierung des Hochspannungstransistors	80
4.3	Body-Biasing-Hochspannungstransistor	81
4.3.1	Prinzip der Body-Biasing-Technik und Design für einen HV- Transistor	81
4.3.2	Simulationen zum BB-HV-Transistor	83
4.3.3	Verhalten des BB-HV-Transistors im erweiterten Temperaturbereich	85
4.3.4	Fazit zum BB-HV-Transistor	88
5	EEPROM-Speicher	89
5.1	Grundlagen	89
5.1.1	Typen elektronischer Speicher	90
5.1.2	Typen von EEPROM-Speichern	91
5.1.3	Leitungsprozesse im Isolator	93
5.1.4	Zuverlässigkeitskriterien des Speichers	96
5.1.5	Speicherzelle in der H035-Technologie	99
5.2	SPICE-Makromodell der Speicherzelle	101
5.2.1	Kapazitives Ersatzschaltbild der Speicherzelle	101
5.2.2	Modellierung des Lösch- und Programmiervorganges	102
5.2.3	Modellierung der Zuverlässigkeitsaspekte	105
5.3	Programmierung der Speicherzelle	110
5.3.1	Bestimmung der temperaturabhängigen FN-Konstanten	110
5.3.2	Verhalten bei variierender Programmierspannung	113
5.3.3	Strom- und Spannungsverlauf beim Programmieren und Löschen .	114
5.3.4	Optimierung der Floating-Gate-Fläche	115
5.3.5	Variation des Koppelverhältnisses	117
5.3.6	Fazit zur Programmierung der Speicherzelle	119
5.4	Datenwechselstabilität	120
5.4.1	Datenwechselstabilität in Abhängigkeit der Temperatur	120
5.4.2	Modellierung der Datenwechselstabilität	123
5.4.3	Optimierung der Datenwechselstabilität	128

5.4.4	Fazit zur Datenwechselstabilität	132
5.5	Datenerhalt	133
5.5.1	Datenerhalt der Standard-Zelle	133
5.5.2	Optimierung des Datenerhalts	135
5.5.3	Modellierung des Datenerhalts	142
5.5.4	Fazit zum Datenerhalt	144
6	Zusammenfassung und Ausblick	145
Anhang		I
A	SPICE-Makromodell der PIN-Diode	I
B	SPICE-Makromodell der Z-Diode	I
C	SPICE-Makromodell für den EEPROM-Speicher	II
Abbildungsverzeichnis		VII
Tabellenverzeichnis		XIII
Abkürzungsverzeichnis		XV
Symbolverzeichnis		XIX
Literaturverzeichnis		XXV
Danksagung		XXXVII

Inhaltsverzeichnis

1 Einleitung

Integrierte Schaltungen (Integrated Circuit, IC) kommen in verschiedene Anwendungsgebieten, wie beispielsweise in der Unterhaltungselektronik oder der Industrie, zum Einsatz. Je nach Anwendung werden an die Schaltungen unterschiedliche Anforderungen bezüglich der Temperaturverträglichkeit gestellt. Bauelemente, die nicht speziell für den erweiterten Temperaturbereich ausgelegt sind, können maximal bis zu einer Temperatur von 175 °C betrieben werden [1]. Für höhere Temperaturen müssen die Halbleiterbauelemente an diese extreme Umgebung angepasst oder sogar neu entwickelt werden. Der erweiterte Temperaturbereich mit $T > 175\text{ °C}$ wird in dieser Arbeit als Hochtemperatur (HT) definiert.

Eine Auflistung der verschiedenen Bereiche für Hochtemperaturanwendungen ist in Tabelle 1.1 dargestellt. Einen der wichtigsten Märkte bildet dabei die Automobilindustrie. Hier werden ICs verwendet, die zwar für die hohen Anforderungen bezüglich der Zuverlässigkeit spezifiziert, jedoch nicht explizit für den Betrieb bei HT ausgelegt sind. Dadurch sind solche Schaltungen auf eine maximale Betriebstemperatur von 175 °C beschränkt. Darüber hinaus können an unterschiedlichen Stellen des Autos, wie z. B. im Motorraum, am Motor selbst, bei der ABS-Sensorik oder an der Abgasanlage, Temperaturen auftreten, die den erlaubten Bereich deutlich überschreiten und bis zu 300 °C betragen [2].

Einen weiteren Anwendungsmarkt bildet der Bereich der Tiefbohrungen und der Geothermie. Dabei muss bei Tiefbohrungen sowohl der Bohrvorgang selbst als auch das Bohrloch bei der späteren Förderung von Öl oder Gas elektronisch überwacht werden [1, 6]. Da die Industrie bei Erschließung von neuen Feldern in immer tiefere Gesteinsschichten vordringt

Automobilindustrie	−50 °C – 300 °C
Motorraum und Motorsensorik	−50 °C – 300 °C
Umgebung der Abgasanlage	bis 300 °C
Tiefbohrungen	75 °C – 250 °C
Ölförderung	75 °C – 250 °C
Gasförderung	150 °C – 225 °C
Luft- und Raumfahrt	−140 °C – 380 °C
interne und externe Elektronik	−55 °C – 225 °C
Erkundungs sonden und Satelliten	−140 °C – 380 °C

Tabelle 1.1: Anwendungsbeispiele für Hochtemperaturelektronik und der mögliche Temperaturbereich nach [1–6]

1 Einleitung

und der mittlere geothermische Gradient bei etwa 25 °C/km beträgt [1], werden die Schaltkreise einer ständig steigenden Temperatur ausgesetzt. Üblicherweise müssen die ICs bei einer Umgebungstemperatur von 225 °C bis zu fünf Jahre einwandfrei funktionieren [5].

Ebenfalls einen wichtigen Markt bildet die Luft- und Raumfahrtindustrie. Wie im Automotive-Bereich müssen die Schaltkreise neben der Hochtemperaturfestigkeit eine hohe Zuverlässigkeit aufweisen. In der Luftfahrt soll Elektronik die pneumatische und hydraulische Steuerung ersetzen. Dabei können z. B. in der Umgebung von Turbinen hohe Temperaturen bis zu 225 °C entstehen. In der Raumfahrt sind starke Temperaturschwankungen zwischen -140 °C und 380 °C zu erwarten [3]. Bei planetaren Erkundungs sonden, wie z. B. der Venus-Mission, kann die maximale Temperatur bis zu 325 °C betragen [3].

In den aufgeführten und weiteren Anwendungsgebieten für Hochtemperatur ist es nicht immer erwünscht oder möglich die Elektronik zu kühlen oder durch Zuleitungen von der Region zu trennen, in der hohe Temperaturen auftreten. Eine passive oder aktive Kühlung erfordert einen zusätzlichen Platzbedarf und kann durch das Eigengewicht zu höheren Kosten führen. Ein getrenntes System mit Zuleitungen zum Schaltkreis weist dagegen unter Umständen eine höhere Störungsanfälligkeit und geringere Zuverlässigkeit auf und erfordert ebenfalls mehr Platz.

Die meisten Bauelemente werden auf Siliziumwafern in der Bulk-Technologie hergestellt. Aufgrund von hohen Leckströmen und unzureichender Isolation ist diese Technologie für die Hochtemperaturanwendungen jedoch nicht geeignet [4]. Die sogenannte SOI-Technologie (Silicon On Insulator) beseitigt die Limitierungen der Bulk-Technologie und ermöglicht Schaltkreise mit einer geringeren Leistungsaufnahme, höherer Taktfrequenz und einer größeren Zuverlässigkeit im breiten Temperaturbereich [4]. Bereits frühere Veröffentlichungen haben gezeigt, dass sich die SOI-Technologie hervorragend für Hochtemperaturanwendungen bis 300 °C eignet [7, 8]. In neuen Untersuchungen konnte sogar der prinzipielle Betrieb von einfachen Strukturen bei einer Temperatur von bis zu 450 °C gezeigt werden [9, 10]. Die Realisierung einer zuverlässigen komplexeren Schaltung für eine so hohe Temperatur konnte bislang jedoch nicht erbracht werden und ist auch für zukünftige Anwendungen schwer vorstellbar, da Silizium in diesem Temperaturbereich intrinsisch wird und damit die Halbleiterfähigkeit verliert.

Bei der neu entwickelten H035-Technologie [11] werden SOI-Wafer verwendet, um eine vollständige Isolierung zwischen den Bauelementen und geringe Leckströme bei hohen Temperaturen zu ermöglichen. Die Technologie ist für eine Temperatur zwischen -40 °C und 250 °C spezifiziert. Es handelt sich hierbei um eine CMOS-Technologie, in der neben den P- und NMOS-Transistoren weitere Bauelemente, wie Kondensatoren, Widerstände, Dioden und Speicherzellen, realisiert werden können. Die Betriebsspannung liegt bei $3,3\text{ V}$ für digitale Schaltkreise und bei 5 V für analoge Anwendungen. Die relativ geringe Strukturweite von $0,35\text{ }\mu\text{m}$ ist namensgebend für diese Technologie. Vergleichbare Konkurrenzprodukte, die für den Hochtemperaturrektor ausgelegt sind, besitzen dagegen eine deutlich höhere Strukturweite von $0,8\text{ }\mu\text{m}$ [12] bzw. $1\text{ }\mu\text{m}$ [13]. Durch die geringere Strukturgröße können höhere Packungsdichten und komplexere Schaltungen realisiert werden.

Bei der Entwicklung der neuen H035-Technologie wurden einige der Prozessabläufe aus der Vorgängertechnologie H10 übernommen. Diese zeichnete sich durch eine Strukturweite von $1\text{ }\mu\text{m}$ aus und wurde ebenfalls für Einsatz bei Temperaturen von -40 °C bis 250 °C

entwickelt. Ebenso wurden einige der Bauelemente aus der H10- in die H035-Technologie integriert, die jedoch aufgrund des veränderten Prozessablaufs ein anderes elektrisches Verhalten aufweisen.

Eines der Ziele dieser Arbeit ist die Charakterisierung und Optimierung der verschiedenen Bauelemente aus der H035-Technologie. Dabei spielt die Zuverlässigkeit von Bauelementen für den Betrieb bei Hochtemperatur eine herausragende Rolle und soll für diese so weit wie möglich gesteigert werden. Neben der Optimierung von Bauelementen werden neue Strukturen vorgeschlagen, die im Hinblick auf den Einsatz bei Hochtemperatur konzipiert sind. Diese Strukturen bilden somit einen weiteren Schwerpunkt der vorliegenden Arbeit. Das dritte zentrale Thema ist die Entwicklung von Modellen für bestimmte Bauelemente, welche in einem breiten Temperaturbereich das elektrische Verhalten bzw. die Zuverlässigkeit der Strukturen korrekt wiedergeben.

Die zentralen Bauelemente der CMOS-Technologie sind der P- und der NMOS-Transistor. Der Transistortyp mit der verringerten Strukturbreite aus der H035-Technologie muss dabei zunächst charakterisiert und anschließend für die elektrischen Simulationen im Modell abgebildet werden. Dazu wird eine Parameterextraktion durchgeführt, die das Verhalten vor allem in dem breiten Temperaturbereich korrekt wiedergeben muss.

Eine weitere Neuerung in der H035-Technologie stellt die Einführung eines Gate-Oxids für digitale Schaltungen mit einer reduzierten Dicke (von 40 nm auf 9,4 nm) dar. Die Durchbruchfestigkeit dieser dünnen Oxidschicht spiegelt sich dabei direkt in der Zuverlässigkeit von Kondensatoren, Transistoren und Speicherzellen wider, so dass deren Optimierung von grundlegender Bedeutung ist. Ebenfalls wurde in der Arbeit das Elektromigrationsverhalten von Leiterbahnen überprüft, welches ein weiteres zentrales Zuverlässigkeitskriterium für den Betrieb von Schaltungen bei Hochtemperatur darstellt.

Neben den oben genannten Thematiken wurde der Schwerpunkt der Arbeit auf drei bestimmte Bauelemente gelegt. Zum einen steht die Diode im Zentrum der Untersuchungen, die im klassischen Sinne eines Stromrichters oder als eine Überspannungsschutzstruktur eingesetzt wird. Für die Betriebsspannung von 5 V muss die Schutzdiode für den Einsatz im breiten Temperaturbereich durch Anpassung der Dotierstoffkonzentrationen optimiert werden. Weiterhin soll eine weitere Schutzstruktur entwickelt werden, die bei einer Betriebsspannung von 3,3 V und bei Temperaturen zwischen -40 °C und 250 °C verwendet werden kann. Diese Schutzstruktur ist notwendig, da bei einigen Bauelementen, wie z. B. bei Transistoren für digitale Anwendungen, bereits eine kurzzeitige Spannungsbelastung von 5 V deren Zuverlässigkeit deutlich verringert oder diese sogar zerstört. Bisherige Schutzstrukturen, die für eine Betriebsspannung von 3,3 V verwendet werden, sind für den Einsatz bei Hochtemperatur nicht ausgelegt, da diese eine temperaturabhängige Durchbruchspannung aufweisen. Bauelemente, die über einen breiten Temperaturbereich von -40 °C bis 250 °C eine konstante Schaltspannung besitzen, wurden bisher nicht gezeigt. Ein weiteres Ziel dieser Arbeit ist die Entwicklung eines Makromodells zur Beschreibung des elektrischen Verhaltens der in der H035-Technologie verwendeten Dioden. Dadurch wird die Möglichkeit eröffnet, präzise und zuverlässige Schaltungssimulationen über einen breiten Temperaturbereich durchzuführen. In bisherigen Veröffentlichungen wurden Modelle für eine Betriebstemperatur von maximal 150 °C entwickelt [14–16], so dass diese nicht für den Hochtemperaturbereich ausgelegt sind.

1 Einleitung

Der Hochspannungstransistor bildet ein weiteres Bauelement, welches im Mittelpunkt der Untersuchungen steht. Hierbei wird das Ziel auf die Optimierung der Durchbruchspannung gelegt, wodurch der Spannungsbereich des Transistors erweitert werden kann. Dies ist erforderlich um höhere Anforderungen, u. a. aus dem Automobilbereich, zu erfüllen. Weiterhin soll die Stabilität von bestimmten transistorspezifischen Eigenschaften, wie die Schwellenspannung oder der Leckstrom, signifikant gesteigert werden. Dieses Vorhaben wird realisiert, indem eine Technik auf den Hochspannungstransistor angewandt wird, die bereits bei Niedrigspannungstransistoren erfolgreich verwendet wurde [17]. Dieser Ansatz verbindet somit zwei Technologiebereiche von Transistoren, wodurch die Möglichkeit eröffnet wird, den Hochspannungstransistor auch bei höheren Temperaturen als 250 °C einzusetzen.

Die Speicherzelle ist das dritte Bauelement, welches einen Schwerpunkt der Arbeit bildet. Dabei wird das Verhalten der Zelle besonders im Hinblick auf die zwei Zuverlässigkeitsaspekte, die Datenwechselstabilität und den Datenerhalt, untersucht und optimiert. Aufgrund von beschleunigten Untersuchungen erfolgt die Charakterisierung bei Temperaturen bis 450 °C. Die Entwicklung eines Makromodells zur Beschreibung des Zuverlässigkeitsverhaltens der Speicherzelle im breiten Temperaturbereich ergänzt dabei die experimentellen Untersuchungen. Bisher existieren zwar Modelle, die sowohl den Aspekt der Datenwechselstabilität als auch den des Datenerhalts berücksichtigen, jedoch sind diese lediglich auf bestimmte Temperaturen ausgelegt [18–27]. Die Abdeckung eines breiten Temperaturbereichs (zwischen –40 °C und 450 °C) konnte bisher nicht realisiert werden.

Das Ziel der vorliegenden Arbeit ist somit nicht die Untersuchung eines bestimmten Bauelements oder einer zentralen Problemstellung, sondern sie behandelt unterschiedliche kritische Bereiche einer CMOS-Technologie, die für einen Betrieb bei hohen Temperaturen ausgelegt ist. Dabei werden sowohl Optimierungsvorschläge bezüglich des elektrischen Verhaltens bzw. der Zuverlässigkeit der HT-Technologie getätigt, als auch neue Bauelemente vorgestellt und untersucht, die im HT-Betrieb eingesetzt werden könnten. Die Entwicklung von Simulationsmodellen soll Vorhersagen über das Verhalten der Bauelemente im breiten Temperaturbereich ermöglichen und zur Optimierung dergleichen beitragen. Weiterhin werden die Modelle bei Schaltungssimulationen verwendet und dienen nicht zuletzt dem physikalischen Verständnis.

2 Hochtemperaturtechnologie H035

Durch die Verringerung der Strukturbreite einer Technologie kann die Packungsdichte und die Komplexität einer Schaltung deutlich erhöht, oder die Chipfläche verringert werden. Die von Moore vorhergesagte Zunahme der Transistordichte in bestimmten Zeitabständen [28] ist somit nicht nur z. B. für die Unterhaltungselektronik, sondern auch bei Hochtemperaturanwendungen von Bedeutung. Die Hochtemperaturtechnologie H035 basiert auf der H10-Technologie, die ebenfalls für den Betrieb bei Hochtemperatur ($-40^{\circ}\text{C} < T < 250^{\circ}\text{C}$) entwickelt wurde. Da der Prozessablauf und damit auch das thermische Budget bei der H035-Technologie verändert wurde, müssen die Bauelemente neu charakterisiert und für den Betrieb optimiert werden. Ebenfalls muss die Zuverlässigkeit der Bauelemente überprüft und der Prozessablauf gegebenenfalls angepasst werden.

Das folgende Kapitel stellt zunächst die Mess- und Simulationstechniken vor, die in dieser Arbeit zur Anwendung kamen. Dabei wurden die Untersuchungen in einem breiten Temperaturbereich durchgeführt, so dass die experimentelle Charakterisierung einen besonderen Aufbau benötigt und die verwendeten Simulationswerkzeuge an den Hochtemperaturbereich angepasst werden müssen. Weiterhin werden in diesem Kapitel die Untersuchungen zu einigen der Bauelemente vorgestellt. Hierzu gehört der Transistor für digitale Schaltungen, der eine Transistorlänge von $0,36\ \mu\text{m}$ aufweist. Ebenso wird das Zuverlässigkeitsverhalten des Gate-Oxids erläutert, welches durch Modifikationen im Prozessablauf deutlich verbessert werden konnte. Schließlich wird auf die Elektromigration der Leiterbahnen eingegangen, die aufgrund der erhöhten Temperaturen einen wichtigen Zuverlässigkeitsaspekt der Technologie darstellen.

2.1 Prozesstechnologie für Hochtemperaturanwendungen

Der Einsatz von Schaltungen in Umgebungen bei Temperaturen von bis zu 250°C stellt erhöhte Anforderungen an die Prozesstechnologie bezüglich der Isolation, Zuverlässigkeit und Leistungsaufnahme von Bauelementen. Üblicherweise wird die Herstellung der Bauelemente auf einem Bulk-Substrat realisiert. Diese Technologie ist jedoch auf einen Temperaturbereich limitiert, welcher nicht die gestellten Anforderungen erfüllt. Alternativ kann die SOI-Technologie verwendet werden, die gegenüber der Bulk-Technologie einige Vorteile besitzt und den Betrieb von Schaltungen in einem erweiterten Temperaturbereich ermöglicht [29]. Im folgenden Abschnitt werden die beiden Technologien einander gegenüber gestellt und die Vorteile der SOI-Technologie erläutert. Weiterhin wird die Prozesstechnologie H035 vorgestellt, die für Hochtemperaturanwendungen am Fraunhofer IMS entwickelt wurde.

2.1.1 Bulk- und SOI-Technologie

Die Prozessierung von Bauelementen und Schaltkreisen erfolgt auf einem Wafer. Dabei haben sich auf dem Markt zwei Technologien durchgesetzt. Zum einen können die Strukturen auf einem sogenannten Bulk-Wafer prozessiert werden, der aus monokristallinem Silizium besteht. Zum anderen werden SOI-Wafer (Silicon On Insulator) eingesetzt, die eine zusätzliche „vergrabene“ Schicht aus Siliziumdioxid (SiO_2 , auch als Oxid bezeichnet) aufweisen. Diese Schicht wird üblicherweise als BOX (Buried Oxide) bezeichnet. Der schematische Aufbau eines Transistors in der Bulk- bzw. SOI-Technologie ist in Abbildung 2.1 (a) bzw. (b) dargestellt.

Der limitierende Faktor bei der Verwendung der Bulk-Technologie für Hochtemperaturanwendungen stellen die großflächigen pn-Übergänge dar (vergleiche gestichelte Linien in Abbildung 2.1 (a)). Diese ergeben sich durch die Implantationen von Kontaktgebieten (z. B. für Source-, Drain-Anschluss beim Transistor) oder die Verwendung von Wannen, die eingesetzt werden, um z. B. bestimmte Bauelemente voneinander zu isolieren oder eine ausreichend hohe Spannungsfestigkeit zu erreichen. Da mit steigender Temperatur der Leckstrom exponentiell zunimmt, können die beiden Schaltzustände des Transistors ab einer genügend hohen Temperatur nicht mehr voneinander unterschieden werden [30, 31]. Bei der SOI-Technologie befinden sich die aktiven Bereiche des Bauelements in einer dünnen Schicht aus monokristallinem Silizium oberhalb des vergrabenen Oxids. Dadurch lässt sich die Fläche der pn-Übergänge (vergleiche gestichelte Linien in Abbildung 2.1 (b)) reduzieren, so dass der Leckstrom im Vergleich zur Bulk-Technologie deutlich verringert wird [4, 32].

Zusätzlich wird die SOI-Technologie meist mit einer lateralen Isolationstechnik kombiniert, so dass die Bauelemente durch eine Oxidschicht voneinander getrennt sind. Zwei weit verbreitete Isolationstechniken stellen die Grabenisolation und der LOCOS-Prozess dar [33]. Bei der Grabenisolation (Shallow Trench Isolation, STI) wird eine vertikale Öffnung bis zum BOX geätzt und diese mit Oxid aufgefüllt. Dagegen wird bei LOCOS (Local Oxidation of Silicon) der Siliziumfilm lokal oxidiert und so die laterale Trennung erreicht. Durch die laterale Isolation und das vergrabene Oxid sind die Bauelemente vollständig dielektrisch voneinander isoliert, wodurch sich weitere Vorteile gegenüber der Bulk-Technologie ergeben. So kann auf den Einsatz von Wannen verzichtet werden, wodurch mehrere Prozessschritte eingespart und die Bauelemente näher beieinander platziert werden können. Der in der Bulk-Technologie parasitäre Latch-Up-Effekt, welcher zur Bildung eines Stromflusses zwischen benachbarten Bauelementen führen kann, kann aufgrund der vollständigen Isola-

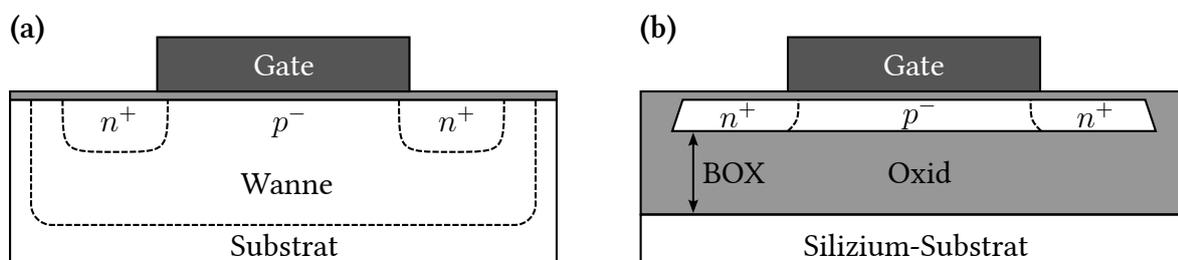


Abbildung 2.1: (a) Bulk-Technologie und (b) SOI-Technologie am Beispiel eines Transistors

tion in der SOI-Technologie vermieden werden. Ebenso werden die parasitären Kapazitäten der Source- und Drain-Regionen zum Substrat minimiert, so dass die Schaltgeschwindigkeit der SOI-Transistoren im Vergleich zu denen in der Bulk-Technologie höher ist. Ein ausführlicher Vergleich zwischen der Bulk- und der SOI-Technologie ist in [4, 34] zu finden.

2.1.2 Ablauf des H035-Prozesses

Für den Betrieb von Schaltkreisen in einem Temperaturbereich von -40 °C bis 250 °C wurde am Fraunhofer Institut für Mikroelektronische Schaltungen und Systeme der H035-Technologieprozess entwickelt. Dieser Prozess basiert auf der Dünnschicht-SOI-Technologie, wobei die Dicke der Oxidschicht $d_{\text{BOX}} = 400\text{ nm}$ und die Dicke des Siliziumfilms etwa $d_{\text{Si}} = 150\text{ nm}$ betragen. Die Strukturbreite beträgt $0,35\text{ }\mu\text{m}$. Das Substrat ist $725\text{ }\mu\text{m}$ dick und ist schwach phosphordotiert. Die SOI-Wafer werden im sogenannten Smart-Cut-Verfahren¹ hergestellt. Beim H035-Prozess handelt es sich um eine CMOS-Technologie, wobei Transistoren für analoge und digitale Schaltungen hergestellt werden können. Weiterhin können auch Transistoren für den erhöhten Spannungsbereich bis 30 V prozessiert werden. Neben den Transistoren werden Widerstände, Kondensator, Dioden und Speicherbauelemente hergestellt.

Eine Übersicht des Prozessablaufs ist in Tabelle 2.1 dargestellt, wobei die Zeilen von oben nach unten die Prozessabfolge wiedergeben. Die Besonderheiten bei der H035-Technologie sind zum einen zwei unterschiedliche Gate-Oxiddicken von $d_{\text{GOX}} = 40\text{ nm}$ für analoge und $d_{\text{DOX}} = 9,4\text{ nm}$ für digitale Transistoren. Für Transistoren im erweiterten Spannungsbereich wird das 40 nm -dicke Gate-Oxid eingesetzt und zusätzliche Implantationsmasken verwendet (siehe HV-Implantationen). Zur Vermeidung des Hot-Carrier-Effekts werden die Anschlussbereiche zum Kanal durch LDD-Implantationen (Lightly Doped Drain) dotiert und anschließend mit Spacern versehen. Die Verwendung von LDD-Bereichen ermöglicht weiterhin die Erhöhung der Betriebsspannung sowie die Reduzierung der parasitären Kapazitäten. Zur Minimierung des Widerstands für die Source-/Drain-Kontaktierung wird das Silizium an Kontaktstellen freigeätzt und nach der Abscheidung von Titan in einem Temperaturschritt silizidiert (siehe Silizidierung). Ebenso wird das Polysilizium, welches bei Transistoren als Gate verwendet wird, mithilfe des gleichen Verfahrens silizidiert. Eine weitere Besonderheit bilden die vier Metalllagen (nicht in der Tabelle verzeichnet), welche aus Wolfram bestehen und im Vergleich zu Aluminium-Bahnen eine deutlich geringere Elektromigration aufweisen.

Die H035-Prozesstechnologie basiert teilweise auf der Vorgängertechnologie H10. Diese wurde ebenfalls entwickelt, um den Einsatz von Schaltungen bei Hochtemperaturanwendungen zu ermöglichen. Die Strukturbreite bei dieser Technologie beträgt $1\text{ }\mu\text{m}$. Auf die Prozessierung eines dünnen Gate-Oxids wurde verzichtet, so dass nur eine Oxiddicke von $d_{\text{GOX}} = 40\text{ nm}$ vorliegt. Zusätzlich wird jedoch für Speicherzellen ein Tunneloxid verwendet, welches eine Oxiddicke von etwa $d_{\text{TOX}} = 11,4\text{ nm}$ aufweist. Weiterhin werden keine LDD- oder Silizidierungsmaßnahmen unternommen. Für die Verdrahtung der Bauelemente werden drei Metallebenen aus Wolfram verwendet.

Die Transistoren aus der H10-Technologie für den Einsatz in analogen Schaltungen konnten nach kleinen Modifikationen in die H035-Technologie integriert werden. Bei diesen

¹<http://www.soitec.com/en/technologies/smart-cut/>

Kurzbezeichnung	Erläuterung (Designlayer-Name)
LOCOS	Strukturierung des Siliziumfilms (GATEOX)
analoge Implantation	Kanalimplantation für analoge NMOS- und PMOS-Transistoren (NVT, PVT)
analoges Gate-Oxid	Oxidation des Gate-Oxids für analoge Transistoren
digitale Implantation	Kanalimplantation für digitale NMOS- und PMOS-Transistoren (DNVT, DPVT)
Kondensator-Implantation	n^+ -Implantation für Kondensatoren (CAPAC)
digitales Gate-Oxid	Oxidation des Gate-Oxids für digitale Transistoren (DGOX)
Polysilizium	Abscheidung und Strukturierung von Polysilizium (POLY)
HV-Implantationen	zusätzliche Implantationen für Transistoren mit erweiterter Spannungsfestigkeit (NDEX, DVT, PDEX)
Spacer	LDD-Implantationen (NPLUS, HVNLDD) und Strukturierung des Siliziumnitrid-Spacers
Source-/Drain-Implantationen	p^+ - und n^+ -Implantationen zur niederohmigen Kontaktierung der Source-/Drain-Bereiche (NPLUS, PPLUS)
Silizidierung	Abscheidung und Silizidierung von Titan
Zwischenoxid	Abscheidung des Oxids als Borphosphorsilikatglas (Abk. BPSG)

Tabelle 2.1: Übersicht des H035-Prozessablaufs im Front-End-of-Line (FEOL)

Transistoren wird weiterhin das dicke Gate-Oxid $d_{GOX} = 40$ nm mit einer minimalen Kanallänge von $1 \mu\text{m}$ verwendet. Der Kanal des NMOS und PMOS ist dabei im Vergleich zu den neu-entwickelten Strukturen schwächer dotiert (über die Design-Masken NVT und PVT). Ebenso finden sich nur wenige designtechnische Änderungen bei den Transistoren für den erweiterten Spannungsbereich. Es ist ersichtlich, dass durch den Einsatz der Hochspannungstransistoren in der neuen Technologie weitere Optimierungsmöglichkeiten bestehen. Diese werden im Kapitel 4 thematisiert.

2.2 Untersuchungsmethoden im erweiterten Temperaturbereich

Für die Untersuchung von Bauelementen können beim Fraunhofer IMS sowohl experimentelle Messplätze als auch Simulationswerkzeuge verwendet werden. Experimentell erfolgt die Charakterisierung von Bauelementen entweder auf einem Messplatz, auf dem der gesamte Wafer untersucht werden kann, oder es werden einzelne Waferstücke für Untersu-

chungen im erweiterten Temperaturbereich im Ofen gelagert. Weiterhin können verschiedene Simulationswerkzeuge genutzt werden, die die Charakterisierung von Bauelementen unterstützen. Ebenso werden die Simulationswerkzeuge verwendet, um neue Ideen vorab zu überprüfen, so dass unnötige Kosten der Prozessierung vermieden werden. Auch können die Simulationswerkzeuge genutzt werden, um die physikalischen Vorgänge im Bauelement besser nachzuvollziehen und somit eine Optimierung der Struktur zu ermöglichen. Auch wenn heutige Simulationsmodelle umfangreich sind und das Verhalten der Bauelemente präzise beschreiben können, ersetzen die Modelle nicht die experimentelle Charakterisierung und werden als Ergänzung zum Experiment angesehen.

2.2.1 Experimentelle Messmethoden

Die Charakterisierung von Bauelementen kann entweder auf Wafer-Ebene auf einem sogenannten Wafer-Prober erfolgen oder als aufgebaute Strukturen im Chip-Gehäuse in einem Ofen. Die Messdurchführung auf Wafer-Ebene erfordert keine weiteren Maßnahmen, die im Vorfeld getroffen werden müssen und ist damit zeiteffizient. Untersuchungen können jedoch auf diese Weise nur in einem limitierten Temperaturbereich zwischen -40 °C und 300 °C erfolgen, der bei Hochtemperaturbauelementen nicht immer ausreicht. Um den Temperaturbereich nach oben hin zu erweitern, müssen die Strukturen auf Chip-Ebene in einem Ofen untersucht werden, wodurch jedoch ein hoher Vorbereitungsaufwand entsteht. Im folgenden Abschnitt sollen die beiden Messmethoden und deren Vor- und Nachteile erläutert werden.

Untersuchungen auf Wafer-Ebene

Die Messungen auf Wafer-Ebene erfolgen auf einem Wafer-Prober, wie dieser beispielsweise in Abbildung 2.2 ① dargestellt ist. Dabei wird der Wafer auf eine Unterlage ② gelegt, welche als Chuck bezeichnet wird. Der Chuck kann elektrisch kontaktiert werden, so dass das Substrat des Wafers sich auf einem definierten Potential befindet. Die Bauelemente auf dem Wafer sind über Leiterbahnen mit Pads (auch als Bondpads bezeichnet) verbunden, die sich auf der Vorderseite des Wafers befinden und eine elektrisch kontaktierbare Fläche von etwa $0,01\text{ mm}^2$ aufweisen. Ein Pad kann mithilfe einer Messnadel ③, die an der Spitze eines sogenannten Manipulators ④ befestigt ist, elektrisch kontaktiert werden. Ein Manipulator kann in alle Raumrichtungen über Mikrometerschrauben verfahren werden, so dass eine präzise Positionierung der Messnadel auf dem Pad möglich ist. Die Manipulatoren sind über ein Triaxialkabel mit einem Messgerät ⑤ verbunden. Die Messgeräte können z. B. Strom-Spannungs- oder Kapazität-Spannungs-Kennlinien aufnehmen. Über ein Mikroskop ⑥ werden die Testfelder sichtbar, in denen sich die Bauelemente mit den Pads befinden. Es stehen im Messlabor mehrere Wafer-Prober zur Verfügung, bei denen der Chuck zum Verfahren des Wafers auf unterschiedliche Dies entweder manuell gesteuert oder halbautomatisch verfahren wird. Die halbautomatische Steuerung erfolgt am Wafer-Prober selbst oder am Computer mithilfe eines Programms.

Weiterhin kann durch ein externes Kühl- und Heizgerät ⑦ die Temperatur auf dem Chuck variiert werden. Der Temperaturbereich liegt zwischen -40 °C und 300 °C . Es muss dabei beachtet werden, dass keiner der vorhandenen Wafer-Prober den vollständigen Temperatur-

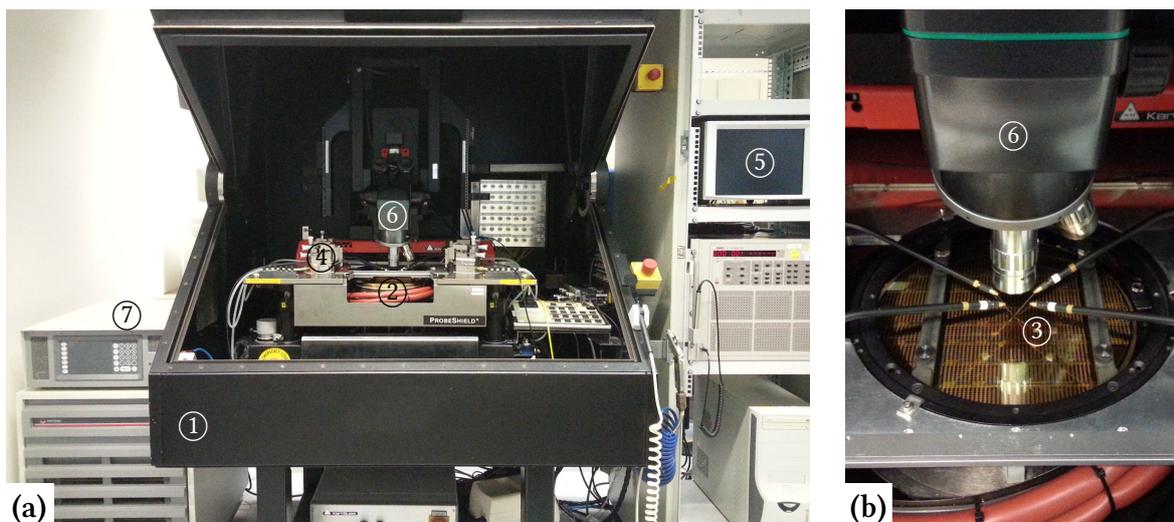


Abbildung 2.2: (a) Messplatz für Untersuchungen auf Wafer-Ebene; (b) Ausschnitt des Wafer-Prober-Messplatzes; ① Wafer-Prober, ② Chuck, ③ Messnadel, ④ Manipulator, ⑤ Messgerät, ⑥ Mikroskop, ⑦ Kühl- bzw. Heizgerät

bereich abdeckt, so dass bei unterschiedlichen Temperaturen die Messung an verschiedenen Wafer-Probern erfolgen muss. Trotz der Kalibrierung aller Messplätze und Messgeräte kann nicht ausgeschlossen werden, dass es zwischen verschiedenen Messsystemen zu Variationen in den Messergebnissen kommen kann. An gegebener Stelle wird bei Bedarf darauf verwiesen.

Untersuchungen im Ofen

Um den Temperaturbereich zu erweitern, können einzelne Testfelder, die dann als Chips bezeichnet werden, aus dem Wafer ausgesägt und in einem Chipgehäuse aus Keramik befestigt werden, so dass diese im Ofen vermessen werden können. In Abbildung 2.3 (a) ist der aufgebaute Chip auf einem Chipgehäuse ① dargestellt, welches in einem Keramiksockel steckt ②. Einzelne Pins des Chipgehäuses sind über den Sockel mit speziellen Hochtemperaturkabeln ③ verbunden, die in einem Temperaturbereich zwischen -196 °C und 1050 °C eingesetzt werden können. Die aufgebauten Chips werden in den Ofen ④ (Abb. 2.3 (b)) gelegt, wobei die Kabel durch eine Öffnung im Ofen ⑤ nach draußen geleitet werden und dort mit einem Messgerät verbunden werden können. Am Bedienungsfeld des Ofens ⑥ können eine feste Temperatur oder verschiedene Temperaturrampen eingestellt werden. Zusätzlich wird in den Ofen Stickstoff eingeleitet damit die Oxidation von Teststrukturen vermieden wird.

Auch wenn die Messungen im Ofen im Vergleich zu Messungen auf Wafer-Ebene über einen breiteren Temperaturbereich erfolgen können, ist diese Untersuchungsmethode mit einem zusätzlichen Vorbereitungsaufwand verbunden und dauert in der Regel auch hinsichtlich der Durchführung länger. Ebenfalls ist die Messmethode auf Wafer-Ebene für statistische Messungen besser geeignet. Die Charakterisierung von Bauelementen im Ofen wird aus diesen Gründen nur im erweiterten Hochtemperaturbereich durchgeführt. In einem Temperaturbereich zwischen -40 °C und 300 °C wird die flexible Messmethode auf Wafer-Ebene

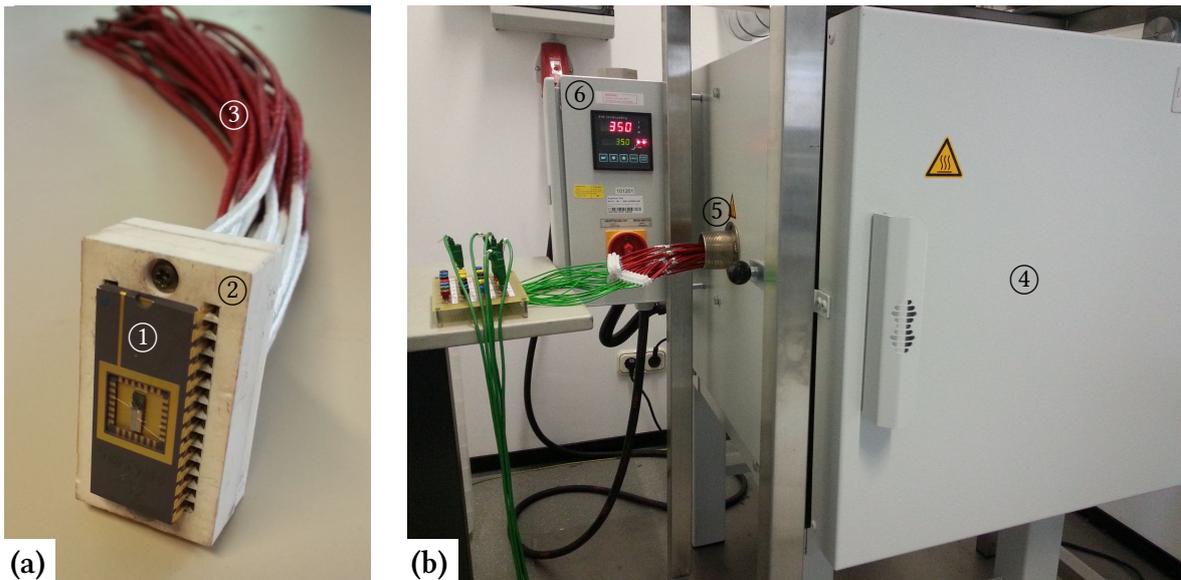


Abbildung 2.3: Aufbau eines Chips im Ofen; (a) Befestigung des Chips im Chipgehäuse; (b) Hochtemperaturofen; ① Keramik-Chipgehäuse, ② Keramik-Sockel, ③ Hochtemperaturkabel, ④ Hochtemperaturofen, ⑤ Zuleitungsöffnung ⑥ Bedienungsfeld des Ofens

bevorzugt.

Bei einigen Untersuchungen, bei denen keine elektrischen Messungen während der Lagerung bei hohen Temperaturen vorgenommen werden müssen (z. B. Datenerhalt bei Speicherbauelementen), kann auf den Aufbauprozess verzichtet werden. Dazu wird der Wafer in mehrere Teile gebrochen, so dass einzelne Waferstücke im Ofen gelagert werden können. Für elektrische Charakterisierungen können die Bauelemente auf den Waferstücken bei Raumtemperatur auf einem Wafer-Prober untersucht werden.

2.2.2 Computerunterstützte Untersuchungsmethoden

Von der Idee eines neuen oder modifizierten Bauelements bis zu ihrer Prozessierung können mehrere Monate vergehen, so dass eine schnelle Überprüfung der Teststruktur auf ihre Funktionsfähigkeit nicht möglich ist. Ein elektronisches Design eines Bauelements kann dagegen mithilfe einer computergestützten Simulation direkt auf mögliche Fehler überprüft werden und stellt somit ein zentrales Werkzeug für die Entwicklung von Bauelementen dar. Zusätzlich können die Prozesse im Bauelement anhand von physikalischen Simulationen sichtbar gemacht werden und dienen somit auch dem eigenen Verständnis. Weiterhin können Simulationen auch dazu genutzt werden, um ein Modell zur Beschreibung des elektrischen Verhaltens zu entwickeln. Solche Modelle können für das Schaltungsdesign eingesetzt werden. Die folgenden Kapitel stellen die Untersuchungstechniken mithilfe von computerunterstützten Werkzeugen vor. Dabei werden zwei verschiedene Werkzeuge vorgestellt, die in der vorliegenden Arbeit eingesetzt wurden.

TCAD-Simulationen

Die Simulationsumgebung Synopsys TCAD² bietet zahlreiche Tools, um sowohl die Prozessierung als auch das elektrische Verhalten eines Bauelements zu beschreiben. Zunächst wird ein Prozessablauf implementiert, welcher die tatsächliche Prozessierung im Reinraum widerspiegeln soll. Im Ablauf werden verschiedene Prozessschritte berücksichtigt, wie z. B. die Implantation unterschiedlicher Dotierstoffe, Oxidation von Silizium, Abscheidung und Ätzen verschiedener Materialien (unter anderem Polysilizium, Oxid und Metall) oder auch thermische Schritte. Daraus kann eine beliebige Struktur durch Lösung der Diffusions-, Reaktions- und weiterer analytischer Gleichungen in einem ein- bzw. mehrdimensionalen Modell nachgebildet werden. Nach der Prozesssimulation steht das Modell des Bauelements zur Verfügung, welches anschließend mithilfe eines weiteren Werkzeugs auf das elektrische Verhalten hin untersucht werden kann.

Zur Beschreibung der elektrischen Eigenschaften eines einzelnen Bauelements oder einer Kombination von mehreren Bauelementen in einer Schaltung müssen verschiedene physikalische Modelle berücksichtigt werden. Diese beschreiben die Ladungsverteilung und die Leitungsmechanismen in einem Bauelement bei unterschiedlichen äußeren Bedingungen. Die gewünschten Anfangsbedingungen sowie die Variation der angelegten elektrischen Potentiale werden in einem Skript vorgegeben. Alternativ kann auch eine transiente Simulation durchgeführt werden. Das Verhalten des Bauelements kann sowohl während als auch nach der Simulation in einer mehrdimensionalen Ansicht betrachtet werden. Zusätzlich ist das elektrische Verhalten über verschiedene Kennlinien (z. B. IV-Kennlinien) zugänglich.

Für die vorliegende Arbeit ist die Temperaturabhängigkeit des elektrischen Simulationsmodells von zentraler Bedeutung und soll hier kurz erläutert werden. Die vollständige Beschreibung der Modellparameter ist in der Dokumentation des Simulationswerkzeugs beschrieben. Der Abschnitt zur Definition des physikalischen Modells unter Berücksichtigung der Temperaturabhängigkeit kann wie in der Liste 2.1 definiert sein.

```
1 EffectiveIntrinsicDensity (BandGapNarrowing ( Slotboom ))
2 Mobility (
3 DopingDependence (UniBo)
4 Enormal (UniBo)
5 HighFieldSaturation)
6 Recombination (
7 SRH (DopingDependence TempDependence)
8 Avalanche (UniBo2 ElectricField))
```

Liste 2.1: Ausschnitt der Modelldefinition zur Beschreibung der physikalischen Effekte eines Bauelements unter Berücksichtigung der Temperaturabhängigkeit

Die erste Zeile beschreibt die Bandlückenverengung eines Halbleiters, die anhand von npn-Transistoren in [35] modelliert wurde. Die Mobilität der Ladungsträger ist im Beispiel abhängig von der Dotierung, der Degradation an Grenzschichten und Sättigungseffekten bei hohen Feldstärken (Zeile 2 bis 5). Die Temperaturabhängigkeit der Streueffekte im Siliziumfilm und an Grenzflächen wird von dem Modell der Universität Bologna beschrieben [36–38]. Die Generation und Rekombination der Ladungsträger wird durch die Shockley-

²<http://www.synopsys.com/tools/tcad>

Read-Hall-Gleichungen modelliert (Zeile 7). Diese sind neben der Dotierung auch von der Temperatur abhängig, die durch ein Potenzgesetz beschrieben wird [39]. Die Stoßionisation in Abhängigkeit der Temperatur wird mithilfe des Modells aus [40] berücksichtigt (Zeile 8) und ist vom elektrischen Feld abhängig.

Das vorgestellte Modell ist zunächst allgemein gehalten, so dass die gesetzten Abhängigkeiten für die Modellierung von allen Bauelementen verwendet werden können. In weiteren Kapiteln wird bei Bedarf das Modell erweitert, um zusätzliche physikalische Effekte, die im Bauelement von Bedeutung sind, zu berücksichtigen.

SPICE-Simulationen

Für die Simulation von elektrischen nichtlinearen Schaltkreisen können verschiedene Simulationswerkzeuge eingesetzt werden. Einer der umfangreichsten und populärsten Simulatoren ist das SPICE-Programm, welches an der Universität von Kalifornien entwickelt wurde³. Mithilfe von SPICE können zum Beispiel AC-, DC- und transiente Simulationen oder auch eine Kleinsignalanalyse durchgeführt werden. Die Modelle in SPICE beruhen teilweise auf physikalischen Beschreibungen, aber auch teils auf empirisch festgestellten Zusammenhängen. Das Lösen der Differentialgleichungen erfolgt mithilfe von Näherungsalgorithmen.

Der Schaltungsaufbau wird mittels Netzlisten definiert, die mit einem Texteditor erstellt werden können. Die Art des Bauelements wird durch den Anfangsbuchstaben vorgegeben (z. B. D für Diode). Die Potentiale eines Bauelements werden durch sogenannte Knoten definiert (z. B. bei der Diode zwei Knoten - Anode und Kathode), wobei die einzelnen Bauelemente durch die Knoten miteinander verknüpft werden. Spannungs- und Stromquellen dienen zur Beschreibung der Spannungs- bzw. Stromversorgung und können sowohl konstante Werte einnehmen, als auch durch eine analytische Funktion beschrieben werden. Die Bauelemente, welche meist ein nichtlineares Verhalten zeigen, müssen durch ein Modell beschrieben werden. Eines der wichtigsten Simulationsmodelle stellt das BSIM-Modell⁴ dar, welches zur Charakterisierung von Transistoren entwickelt wurde. Weiterentwicklungen des Modells berücksichtigen unterschiedliche Transistortypen. Die für diese Arbeit relevanten SOI-CMOS-Transistoren werden mithilfe des BSIMSOI-Modells⁵ beschrieben.

Zusätzlich können sogenannte Subcircuits eingesetzt werden, die eine Teilschaltung oder ein erweitertes Modell eines Bauelements darstellen. Die Subcircuits werden durch definierte Ein- und Ausgangsknoten eingebunden und stellen ein abgeschlossenes System dar, welches flexibel in eine Schaltung integriert werden kann. Die Subcircuits eignen sich besonders zur Beschreibung von Makromodellen, welche die Charakterisierung eines Bauelements erweitern oder neue Aspekte berücksichtigen können.

Es existieren verschiedene Programme, die auf dem SPICE-Simulator aufbauen, die allerdings nicht alle zueinander kompatibel sind. Für die Modellierung bestimmter Bauelemente wird in dieser Arbeit das frei verfügbare Werkzeug LTSpice⁶ von Linear Technology verwendet, welches zu SPICE kompatibel ist, so dass die verwendeten Modelle durch leichte Modifikationen für andere Programme nutzbar gemacht werden können.

³<http://bwrcs.eecs.berkeley.edu/Classes/IcBook/SPICE/>

⁴<http://www-device.eecs.berkeley.edu/bsim/>

⁵<http://www-device.eecs.berkeley.edu/bsim/?page=BSIMSOI>

⁶<http://www.linear.com/designtools/software/>

2.3 Untersuchungen zu verschiedenen Themengebieten

Neben den drei Schwerpunktthemen, die in den Kapiteln 3 bis 5 behandelt werden, wurden im Laufe der Promotionszeit Untersuchungen zu verschiedenen Aspekten vorgenommen, die die Realisierung einer Hochtemperaturtechnologie ermöglichen sollen. Die Themengebiete sind breit gefächert, so dass einige Aspekte, wie die Verbesserung der Oxidqualität, die Zuverlässigkeit der Bauelemente betreffen, wogegen andere, wie die Parameterextraktion von Transistoren, zur Charakterisierung des elektrischen Verhaltens benötigt werden. Im Folgenden sollen diese Themen in einzelnen Unterkapiteln vorgestellt und die Ergebnisse erläutert werden.

2.3.1 Charakterisierung und Parameterextraktion der 0,36 μm -Transistoren

Eines der Schlüsselbauelemente in der neuen Hochtemperaturtechnologie H035 ist der Transistor für digitale Schaltungen, welcher eine Kanallänge von 0,36 μm aufweist. Diese Größe gibt auch die Strukturbreite der Technologie an. Die Bauelemente sind in einem dünnen Siliziumfilm prozessiert, wodurch sich der Leckstrom deutlich reduzieren lässt und es zu keinen parasitären Effekten mit benachbarten Transistoren kommt (vgl. Kap. 2.1.1).

Allgemein wird bei Transistoren auf SOI-Basis zwischen teilweise-verarmten (partially depleted, PD) und voll-verarmten (fully depleted, FD) Bauelementen unterschieden [4]. Bei einem PD-Transistor ist das schwach dotierte Gebiet nur teilweise verarmt, so dass ein bestimmter Bereich unterhalb der Verarmungszone elektrisch neutral bleibt. Dieser Bereich wird auch als Body bezeichnet. Wird der Kanalbereich des Transistors nicht separat durch einen Anschluss kontaktiert⁷, so können (für gewöhnlich nur bei n-Kanal-Transistoren) sogenannte Floating-Body-Effekte, wie z. B. der Kink-Effekt oder der Single-Transistor-Latch, auftreten [4, 41]. Die Floating-Body-Effekte sind darauf zurückzuführen, dass es bei einer bestimmten Feldverteilung zur Stoßionisation (vgl. Kap. 3.1.2) kommt, bei der Elektron-Loch-Paare generiert werden. Die Elektronen werden vom Drain-Potential angezogen, wogegen die Löcher in Richtung der energetisch günstigeren neutralen Zone driften. Dadurch beeinflusst das positiv aufgeladene Gebiet die Schwellenspannung und somit den Verlauf der Strom-Spannungs-Kennlinie. Zur Vermeidung der Floating-Body-Effekte wird bei Transistoren in der H035-Technologie ein zusätzlicher Bereich versehen, der über die gleiche Dotierstoffart wie der Kanal verfügt (p-dotiert beim NMOS und n-dotiert beim PMOS), so dass ein direkter Kanalanschluss besteht. Dieser Anschluss ist mit dem Source-Kontakt kurzgeschlossen und wird auch als Split-Source-Bereich bezeichnet.

Bei einem FD-Transistor wird das gesamte schwach dotierte Gebiet verarmt, so dass es nicht zur Bildung eines Body-Bereichs kommen kann. Da der Kink-Effekt bei solchen Bauelementen nicht auftritt, müssen diese nicht über einen zusätzlichen Anschluss verfügen. Aufgrund des vollständig verarmten Gebiets besitzen FD-Transistoren gegenüber den PD- oder Bulk-Transistoren einen deutlich geringeren Leckstrom, eine geringere Leistungsaufnahme und ein besseres Schaltungsverhalten. Ob ein Transistor im PD- oder FD-Zustand

⁷Aus diesem Grund werden in der H035-Technologie sogenannte Split-Source-Transistoren verwendet (vgl. Kap. 4.1.3).

betrieben wird, hängt maßgeblich von der Geometrie, der Dotierung der Kanal-Region und der Dicke des Siliziumfilms ab. Ebenso nehmen die Potentiale des Gates und des Substrats einen Einfluss auf den Verarmungsbereich.

In der H035-Technologie werden Transistoren mit verschiedenen Geometrien und Dotierstoffkonzentrationen der Kanal-Region verwendet. Aufgrund des Einsatzes in einem breiten Temperaturbereich sind diese als dynamisch-verarmte Transistoren (dynamically depleted, DD) anzusehen, bei denen sich der Zustand mit steigender Temperatur von teilweise- in vollständig-verarmt ändert. Die Temperatur, bei der ein Zustandswechsel stattfindet, unterscheidet sich unter den verschiedenen Transistortypen (in Abhängigkeit der oben genannten einflussnehmenden Parameter). Da jedoch alle verwendeten Transistoren bei einer hohen Temperatur in den PD-Zustand wechseln, besitzen diese einen zusätzlichen Body-Anschluss, der mit dem Source-Potential kurzgeschlossen ist.

Die neu entwickelten Transistoren besitzen gegenüber der Vorgängertechnologie H10 eine verringerte Kanallänge von $0,36\ \mu\text{m}$, ein dünneres Gate-Oxid von $9,4\ \text{nm}$ Oxiddicke und eine höhere Kanalimplantation. Diese Faktoren wirken sich auf das dynamische Verhalten aus, so dass sich diese stark von den H10-Transistoren unterscheiden. Im nächsten Abschnitt soll die Charakterisierung der Transistoren vorgestellt und aus den temperaturabhängigen Parametern der Verarmungszustand bestimmt werden. Danach folgt die Erläuterung der Parameterextraktion, die für die entwickelten Transistoren vorgenommen wurde und es werden exemplarisch einige der temperaturabhängigen Kennlinien aus der Modellermittlung mit der experimentellen Charakterisierung verglichen.

Charakterisierung

In Abbildung 2.4 (a) und (b) sind die Eingangs-Kennlinien für verschiedene Drain-Spannungen V_D von einem n-Kanal- und p-Kanal-Transistor⁸ dargestellt. Die Source-Spannung V_S betrug beim NMOS $0\ \text{V}$ und beim PMOS $3,3\ \text{V}$, wobei das Potential des Substratanschlusses V_{BG} stets geerdet war. Die Weite des NMOS beträgt dabei $1,2\ \mu\text{m}$, wogegen der PMOS mit $2,4\ \mu\text{m}$ eine doppelt so große Weite besitzt. Die höhere PMOS-Weite ist auf die kleinere Mobilität der Löcher im Vergleich zu Elektronen zurückzuführen, so dass durch die unterschiedliche Weite die Stromstärke in etwa gleich groß ist. Aus den Kennlinien geht hervor, dass der Leckstrom in Abhängigkeit der Temperatur exponentiell zunimmt. Weiterhin kann eine temperaturabhängige Verringerung der Schwellenspannung V_{th} bei n-Kanal-Transistoren, bzw. eine Erhöhung bei p-Kanal-Transistoren, beobachtet werden. In Abbildung 2.4 (c) und (d) sind die Ausgangs-Kennlinien der beiden Transistoren für unterschiedliche Gate-Spannungen V_G dargestellt. Aus diesen Kennlinien geht hervor, dass der Sättigungsstrom linear mit der Temperatur abnimmt.

Zur besseren Auswertung der transistorspezifischen Parameter wurden diese aus dem Verlauf der Kennlinien extrahiert und sind in Abbildung 2.5 dargestellt. In (a) ist der Leckstrom in Abhängigkeit der Temperatur abgebildet. Die Werte wurden für $V_D = 3,3\ \text{V}$ und $V_G = 0\ \text{V}$ abgelesen, wobei hier die Kennlinien eines Transistors mit einer größeren Weite ($12\ \mu\text{m}$) verwendet wurden. Es ist deutlich zu erkennen, dass der Leckstrom exponentiell ansteigt, wobei eine Erhöhung um $50\ ^\circ\text{C}$ zu einer Leckstromzunahme um etwa eine Zehnerpotenz

⁸Im Folgenden werden die Transistoren auch als NMOS (n-Kanal) und PMOS (p-Kanal) bezeichnet.

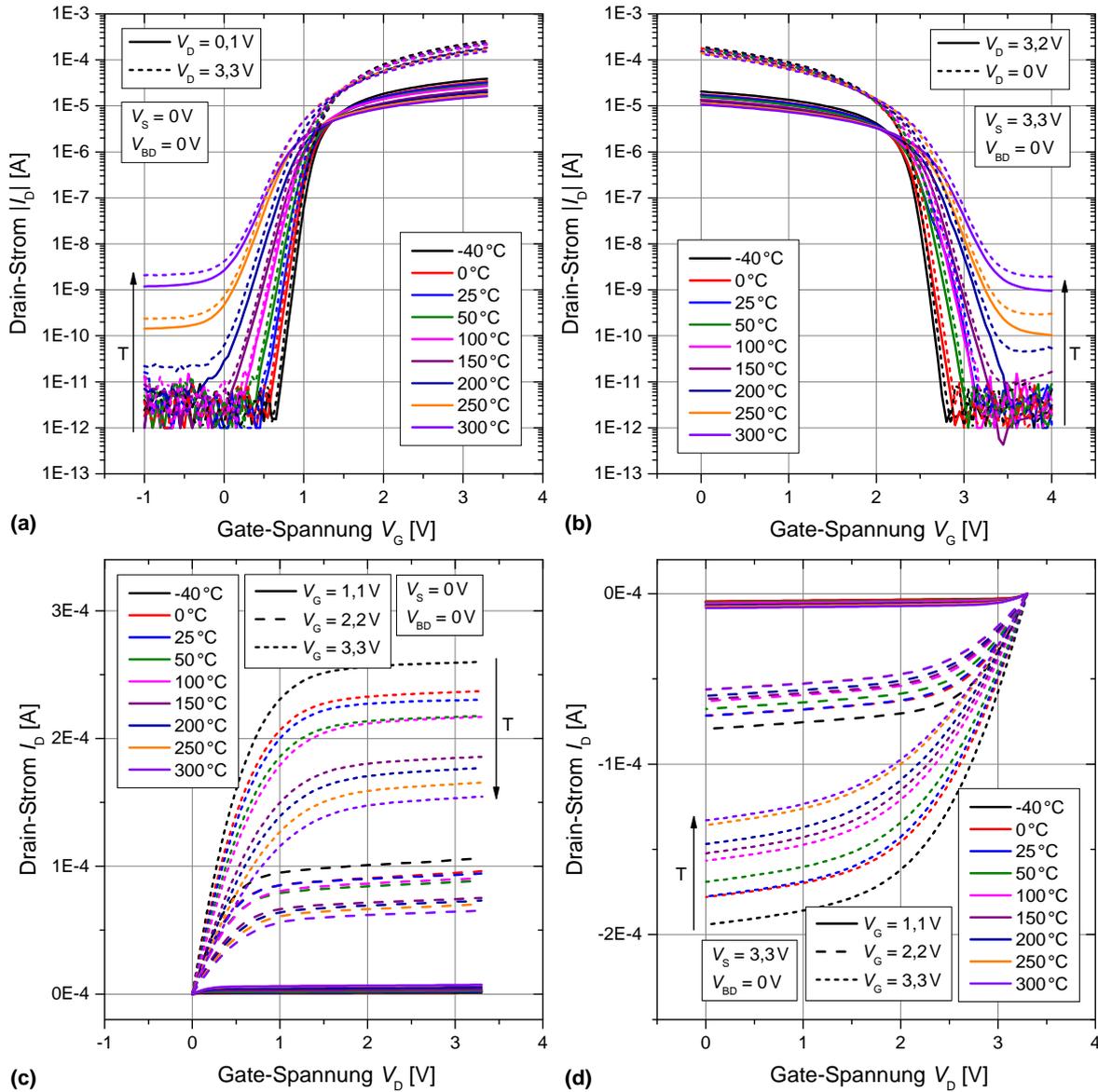


Abbildung 2.4: Verlauf der Eingangs- und Ausgangs-Kennlinien für einen n- und p-Kanal-MOSFET mit der Kanallänge $0,36 \mu\text{m}$ bei verschiedenen Temperaturen (Weite NMOS: $1,2 \mu\text{m}$, PMOS: $2,4 \mu\text{m}$)

führt. Weiterhin ist in (b) der Sättigungsstrom dargestellt. Dieser nimmt, wie bereits aus Abbildung 2.4 entnommen, linear mit steigender Temperatur ab.

In Abbildung 2.5 (c) ist der temperaturabhängige Verlauf der Schwellenspannung dargestellt. Diese wurde durch die Extrapolationsmethode im Triodenbereich ermittelt [42], bei der der lineare Verlauf einer Eingangs-Kennlinie bei $V_D = 0,1V$ bis zur Abszisse graphisch verlängert wird. Aus der Differenz zwischen Source-Spannung V_S und dem Spannungswert V_{G0} , bei dem die extrapolierte Gerade die x-Achse schneidet, kann die Schwellenspannung bestimmt werden:

$$V_{th} = V_{G0} - V_S - \frac{V_D}{2}. \quad (2.1)$$

Aus dem Verlauf geht hervor, dass die Schwellenspannung mit der Temperatur linear ab-

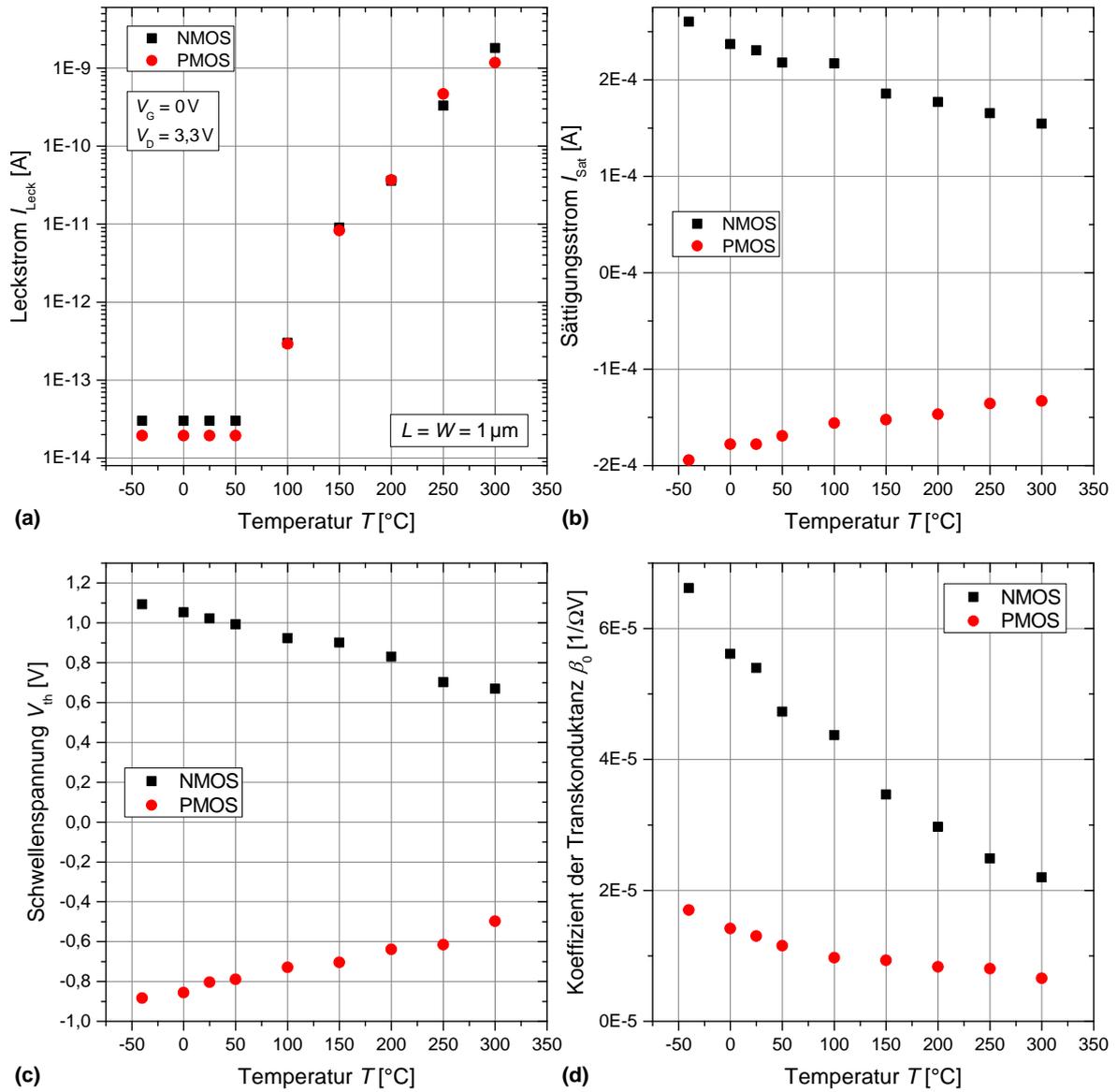


Abbildung 2.5: Kenngrößen des Transistors mit der Kanallänge $0,36\ \mu\text{m}$ in Abhängigkeit der Temperatur; (a) Leckstrom; (b) Sättigungsstrom; (c) Schwellenspannung; (d) Koeffizient der Transkonduktanz

nimmt. So ändert sich diese bei einem NMOS von etwa 1V bei 25 °C auf etwa $0,7\text{V}$ bei 250 °C .

Schließlich ist in 2.5 (d) der Koeffizient der Transkonduktanz dargestellt, der sich aus dem Maximum der Transkonduktanz (bzw. Leitfähigkeit), normiert auf die Länge L_T und Weite W_T , bestimmen lässt [42]:

$$\beta_0 = \frac{L}{W} \frac{1}{V_D - V_S} \left. \frac{dI_D}{d(V_G - V_S)} \right|_{\text{max}} \quad (2.2)$$

Aus der Abbildung geht hervor, dass die maximale Leitfähigkeit des NMOS- und PMOS-Transistors mit steigender Temperatur abnimmt.

Der Verlauf der transistorspezifischen Parameter kann im gesamten Temperaturbereich durch eine lineare Anpassung beschrieben werden (beim Leckstrom in halblogarithmischer Darstellung), so dass davon ausgegangen werden kann, dass sich der Betriebszustand des Transistors nicht ändert. In der Vorgängertechnologie H10 wurden ebenfalls Transistoren in einem breiten Temperaturbereich untersucht und es konnte gezeigt werden, dass diese bei einer Temperatur von 250 °C eine Änderung des Zustands von FD (für $T < 250$ °C) zu PD (für $T > 250$ °C) erfahren [10, 43]. Transistoren mit einer vergleichbaren Oxiddicke d_{GOX} und Kanalimplantation (NVT bzw. PVT) werden weiterhin für analoge Schaltungen in der H035-Technologie verwendet. Aufgrund der deutlich höheren Kanalimplantation bei den neu-entwickelten Transistoren, deren Charakterisierung oben vorgestellt wurde, ist davon auszugehen, dass diese im PD-Zustand betrieben werden. Zusätzlich durchgeführte TCAD-Simulationen bestätigen diese Annahme.

Parameterextraktion

Für Schaltungssimulationen werden Simulatoren wie SPICE oder SPECTRE⁹ verwendet, die das elektrische Verhalten der Transistoren beschreiben. Dabei wird in der H035-Technologie aufgrund der Prozessierung auf SOI-Wafern das BSIMSOI-Modell verwendet (vgl. Kap. 2.2.2). Die Parameter, die das elektrische Verhalten beeinflussen, unterscheiden sich hierbei für verschiedene Typen von Transistoren. Für die neu entwickelten 0,36 µm-Transistoren muss dafür anhand der ermittelten Kennlinien die Parameterextraktion erfolgen.

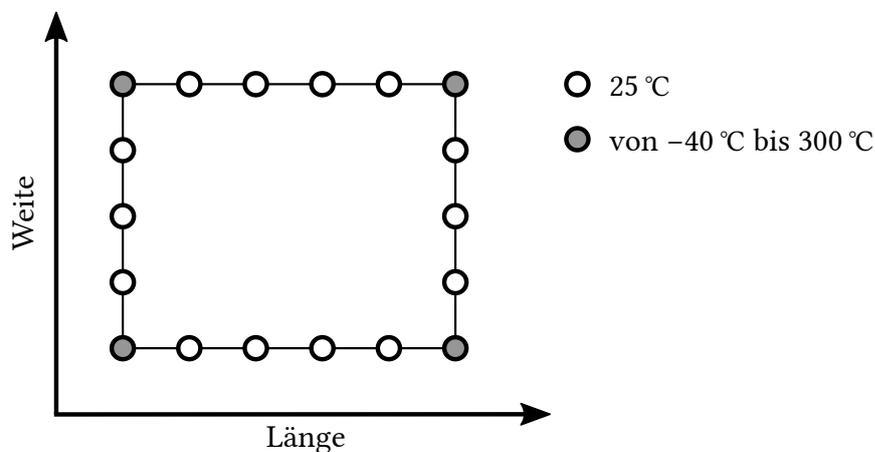


Abbildung 2.6: Verschiedene Größen der Transistorweite und Länge, die für die Parameterextraktion benötigt werden.

Die Parameter werden mithilfe des Programms IC-CAP der Firma Keysight¹⁰ bestimmt. Dabei erfolgt die Extraktion zunächst bei Raumtemperatur anhand von Transistoren unterschiedlicher Länge und Weite (vgl. Abb. 2.6, weiße Kreise) durch das Anfitzen der Simulationskennlinien an die experimentell ermittelten Werte. Anschließend wird die Temperaturabhängigkeit am Kennlinienverlauf der Transistoren, die die minimalen bzw. maximalen

⁹SPECTRE ist eine von der Firma Cadence entwickelte Umgebung, die sich an der SPICE-Logik orientiert.
http://www.cadence.com/products/cic/spectre_circuit/pages/

¹⁰<http://www.keysight.com>

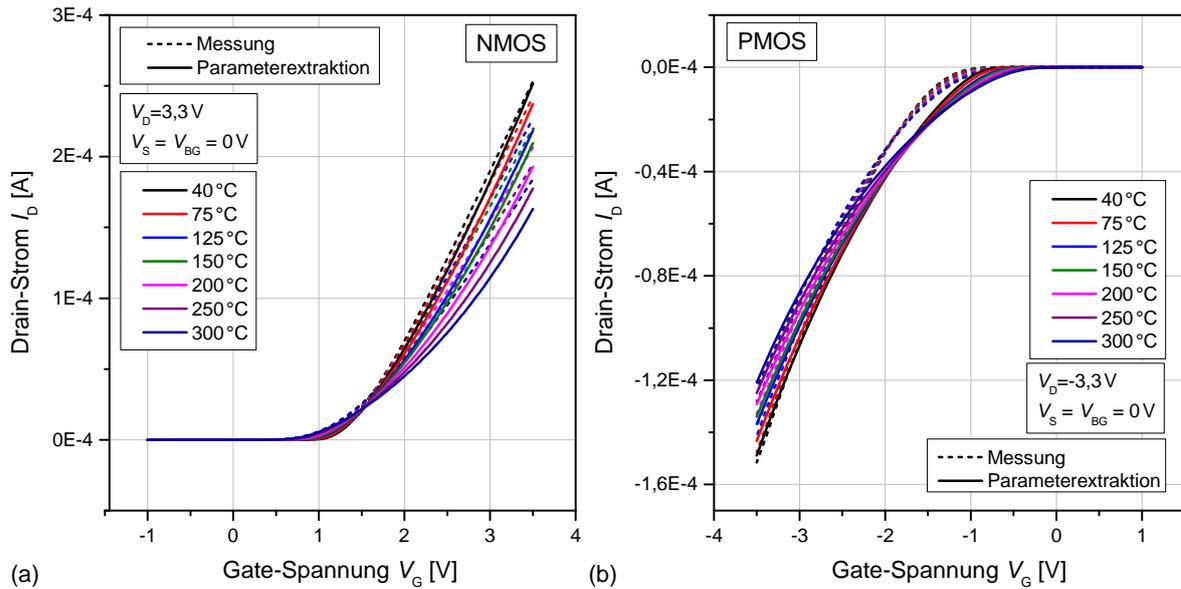


Abbildung 2.7: Ermittelte Kennlinien aus der Parameterextraktion im Vergleich zu experimentellen Ergebnissen für (a) NMOS und (b) PMOS bei verschiedenen Temperaturen

Weiten und Längen aufweisen (graue Kreise), bestimmt. Um eine bessere Übereinstimmung zu erhalten, kann der Ablauf der Extraktion iterativ fortgesetzt werden. Zeigen die Simulationen im Mittel eine geringe Abweichung von den gemessenen Kennlinien ($< 5\%$), so gilt die Parameterextraktion als erfolgreich abgeschlossen. Danach liegt eine vollständige Weiten-, Längen- und Temperaturabhängigkeit des $0,36\ \mu\text{m}$ -Transistors vor.

In Abbildung 2.7 sind (in linearer Form) exemplarisch die Eingangs-Kennlinien für einen NMOS (a) und PMOS (b) dargestellt. Dafür wurde der Kennlinienverlauf des Transistors mit der Länge $0,36\ \mu\text{m}$ und der Weite $1,2\ \mu\text{m}$ für den NMOS bzw. $2,4\ \mu\text{m}$ für den PMOS verwendet. Der Verlauf der simulierten Kennlinien zeigt im Vergleich zur experimentellen Charakterisierung bei allen Temperaturen eine ausreichend gute Übereinstimmung.

2.3.2 Optimierung der Oxidqualität

Die Oxidqualität nimmt eine wichtige Rolle bei der Zuverlässigkeit von Transistoren und Kondensatoren ein. Bei einem qualitativ schlechten Oxid befinden sich in diesem Defektstellen, die einen erhöhten Leckstrom durch das Dielektrikum hervorrufen und zu einem frühen Durchbruch führen können, bei dem das Oxid die Isolationseigenschaft verliert. Diese Effekte wirken sich unmittelbar auf das Zuverlässigkeitsverhalten von Bauelementen und somit auch auf ihre Lebensdauer aus. Vor allem bei dünnen Oxiden ($\sim 10\ \text{nm}$) kann es zu einer deutlichen Verschlechterung der Spannungsfestigkeit kommen, so dass das Oxid bereits bei einer Belastung durch die Betriebsspannung die Zuverlässigkeitsanforderungen nicht mehr erfüllen kann. Aus diesem Grund werden die nachfolgenden Untersuchungsergebnisse auf die des dünnen Oxids d_{DOX} , die bei Transistoren für digitale Schaltungen oder des Oxids d_{TOX} , welches als Tunnelbarriere bei EEPROM-Speicherzellen eingesetzt wird, beschränkt.

Bei der Charakterisierung von Kondensatoren der ersten Charge in der H035-Technologie wurden Auffälligkeiten bei den Strom-Spannungs-Kennlinien festgestellt. In Abbildung 2.8

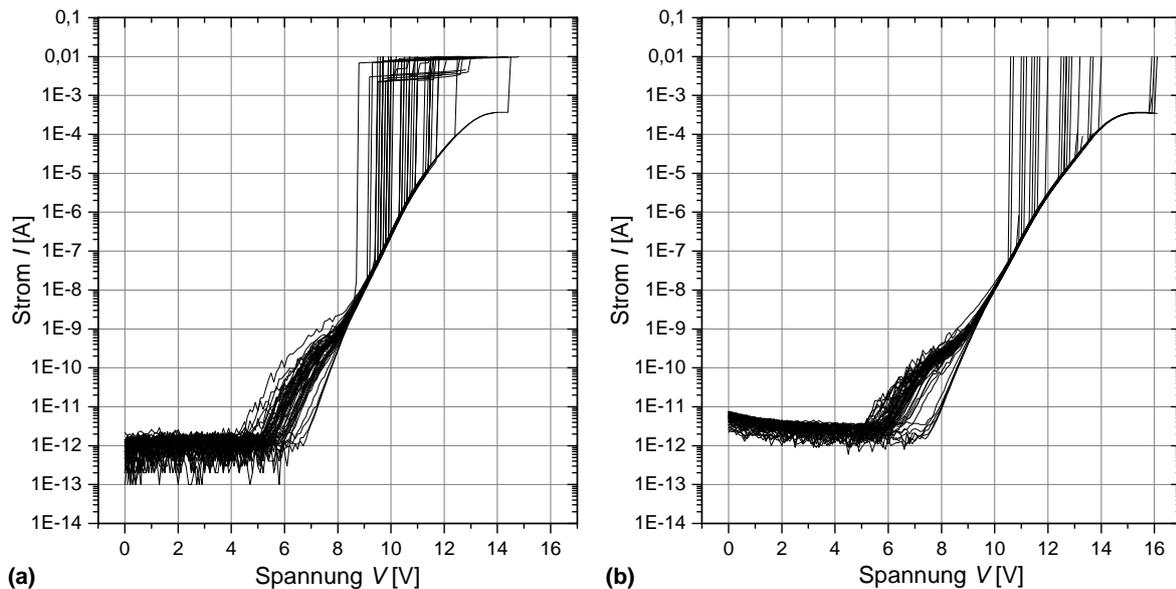


Abbildung 2.8: Verlauf der Strom-Spannungskennlinien von Kondensatoren mit der Oxiddicke (a) $d_{DOX} = 9,4 \text{ nm}$ und (b) $d_{TOX} = 11,4 \text{ nm}$

sind die Kennlinien von Kondensatoren mit zwei unterschiedlichen Oxiddicken $d_{DOX} = 9,4 \text{ nm}$ (a) und $d_{TOX} = 11,4 \text{ nm}$ (b) dargestellt. Dabei wurden für einen Typen jeweils 60 Messungen an verschiedenen Positionen des Wafers durchgeführt. Die Ergebnisse machen deutlich, dass die Kennlinien eine signifikante Streuung aufweisen und der Verlauf stark variiert. So können im Verlauf der Kennlinien vieler Kondensatoren sogenannte Buckel festgestellt werden, die sich im mittleren Spannungsbereich zwischen etwa 5 V und 10 V durch einen verfrühten Anstieg des Stromes äußern. Ebenso kann eine Streuung bei der Durchbruchspannung festgestellt werden, die zwischen 9 V und 16 V liegen kann.

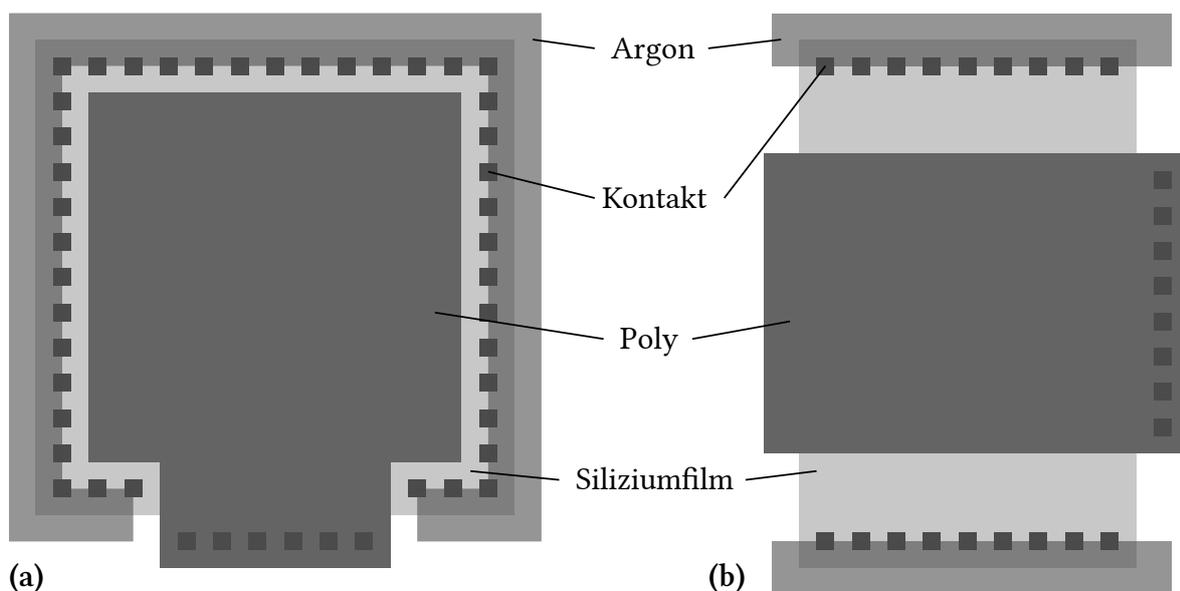


Abbildung 2.9: Schematische Darstellung eines Kondensators (a) und eines Transistors (b) mit zusätzlichen Argon-Implantationen an Kontakt-Randflächen

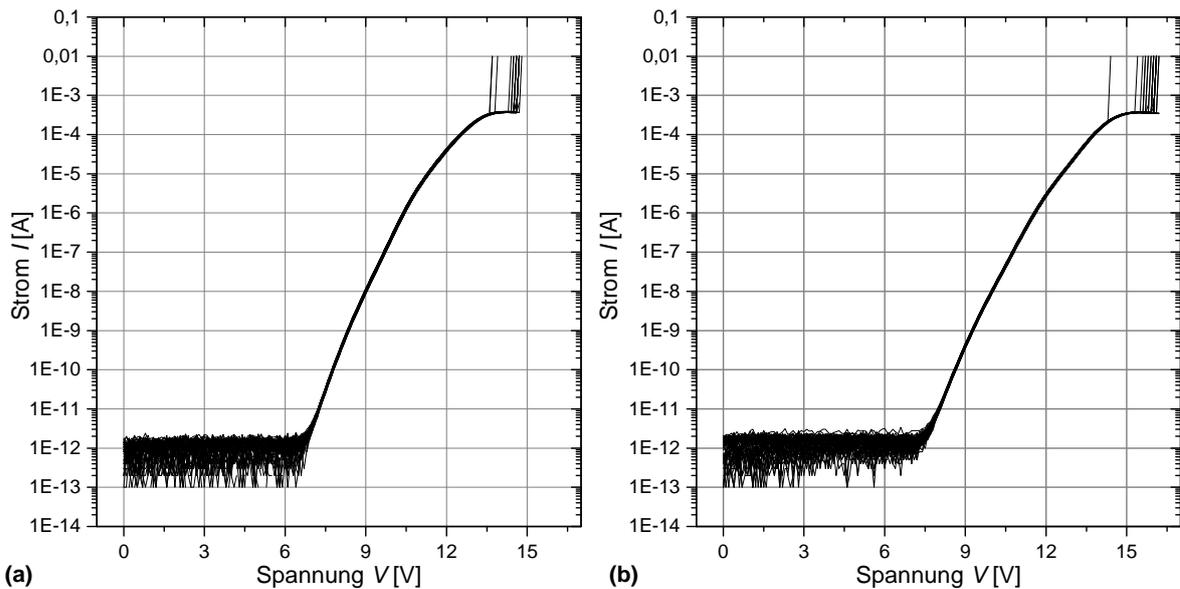


Abbildung 2.10: Verlauf der Strom-Spannungskennlinien von Kondensatoren der Oxiddicke (a) $d_{\text{DOX}} = 9,4 \text{ nm}$ und (b) $d_{\text{TOX}} = 11,4 \text{ nm}$ mit zusätzlicher Argon-Implantation

Die Oxidqualität wurde bereits in vielen Veröffentlichungen diskutiert. Als Fehlerquelle konnte dabei die Kontamination von Fremdatomen bei der Prozessierung festgestellt werden [44, 45]. Vor allem Eisen, welches in nahezu jeder Anlage vorkommt, kann durch Bildung verschiedener Molekülbindungen im Siliziumfilm eingebaut werden. Bei thermischen Prozessierungsschritten, wie der thermischen Oxidation eines Gate-Oxids, werden die Eisenatome aktiviert, so dass sich diese über das gesamte Volumen des Siliziumfilms verteilen können. Bei der Oxidation von Silizium werden die Fremdatome in die Oxidschicht eingebaut und bilden dort zusätzliche Energiezustände in der Bandlücke [46, 47].

In der Bulk-Technologie können die Kontaminationsstoffe durch Erzeugung von Haftstellen, die als Getterzentren bezeichnet werden, auf der Rückseite des Wafers gebunden werden. Das geschieht durch die Implantation einer Atomart mit einem relativ großen Wirkungsquerschnitt (z. B. Neon, Argon oder Krypton), so dass die kristalline Struktur des Siliziums zerstört wird und sich die Kontaminationsstoffe an die geschaffenen Haftstellen binden können [48]. Dadurch wird die Eisenatomkonzentration auf der Vorderseite um mehrere Zehnerpotenzen reduziert, so dass diese nicht mehr das elektrische Verhalten der Bauelemente beeinflussen. Da die implantierten Atome nicht mit dem Silizium reagieren verflüchtigen diese nach kurzer Zeit. In SOI-Wafern wirkt das vergrabene Oxid dagegen wie eine Barriere, so dass die Eisenatome nicht auf die Rückseite des Wafers gelangen können. Als eine Lösung wird in Publikationen die Implantation auf der Vorderseite des Wafers in elektrisch inaktiven Bereichen vorgeschlagen [49, 50]. Diese können an Randbereichen von Bauelementen durch eine zusätzliche Maske gezielt eingebracht werden. Als Atomart wird auch hier häufig Argon verwendet [48, 51]. In Abbildung 2.9 ist eine schematische Darstellung eines Kondensators und eines Transistors mit einer zusätzlichen Implantationsmaske gezeigt, mit der Argon in die Seitenflächen der Bauelemente eingebracht wird. Als geeignete Bereiche bieten sich Randflächen der Kontakte an, die elektrisch nicht zum Verhalten des Bauelements beitragen (vergleiche Randbereiche des Siliziumfilms in Abbildung 2.9 (a) und (b)).

Die Ergebnisse der experimentellen Untersuchungen von Kondensatoren mit zusätzlicher Argon-Implantation sind in Abbildung 2.10 dargestellt. Bei den Untersuchungen wurden etwa 60 Kondensatoren, über den gesamten Wafer verteilt, vermessen. Aus den Ergebnissen geht das deutlich verbesserte Verhalten klar hervor. Eine Streuung beim Kennlinienverlauf verschiedener Kondensatoren ist nicht mehr festzustellen. Ebenso können keine Buckel mehr beobachtet werden. Der Durchbruch des Oxids tritt ebenfalls erst bei sehr hohen Spannungswerten von etwa 13 V (a) bzw. 14 V (b) auf. Insgesamt können die unternommenen Maßnahmen als erfolgreich angesehen werden.

2.3.3 Elektromigration von Wolfram

Einen weiteren Zuverlässigkeitsaspekt stellt die Elektromigration von Metallbahnen dar [52]. Unter Elektromigration wird der Transport des leitenden Materials (z. B. einer Leiterbahn) verstanden, der aufgrund des Impulsübertrags der Elektronen auf die Atome des Materials hervorgerufen wird. Der Prozess ist maßgeblich von der Stromdichte, der Geometrie des Materials und der Temperatur abhängig. Eine häufige Ausfallursache bildet die Korngrenzendiffusion [53]. Diese tritt bei Metallbahnen auf, die eine polykristalline Struktur und somit verschieden orientierte Korngrenzen aufweisen. Dabei kommt es an Stellen, an denen sich mehrere Korngrenzen treffen (sogenannte Trippelpunkte), aufgrund der unterschiedlichen Korngrenzenorientierung zur Divergenz des Materialflusses. Die Diffusion der Korngrenzen in unterschiedliche Richtungen führt dazu, dass sich in den Trippelpunkten sogenannte Voids (Leerräume) bzw. Hillocks (Anhäufungen) bilden. Diese führen schließlich zu lokalen Unterbrechung und somit zum Ausfall der Metallbahn.

Üblicherweise wird in den Technologien, die für Anwendungen bis maximal 150 °C ausgelegt sind, zur Verdrahtung verschiedener Bauelemente Aluminium verwendet. Für Hochtemperaturanwendungen bis 250 °C ist dieses Material jedoch ungeeignet, da es bei solch hohen Temperaturen eine zu starke Elektromigration zeigt. Dadurch kommt es bereits nach kurzer Zeit zu Ausfällen [54]. Als eine Alternative zu einer Aluminiumverdrahtung bietet sich Wolfram an, da es gegenüber Elektromigration unempfindlicher ist. Erst bei sehr hohen Temperaturen von über 1500 K konnte bei Spulenelementen eine Materialwanderung festgestellt werden [55, 56]. Bei Verwendung von Wolfram in einer Halbleitertechnologie konnte bei hohen Temperaturen von 420 °C nur eine geringe Änderung des Widerstands beobachtet werden [57].

Den positiven Eigenschaften bei der Elektromigration steht der erhöhte Widerstand von Wolfram im Vergleich zum Aluminium als Nachteil gegenüber. Der Widerstand kann dabei, abhängig von der kristallinen Beschaffenheit des Materials, das Doppelte bis Dreifache des Aluminiumwiderstands betragen. In der Literatur können bei einer Temperatur von 20 °C folgende Werte für den spezifischen Widerstand gefunden werden: $\rho_{\text{Al}} = 2,82 \times 10^{-8} \Omega \text{ m}$, $\rho_{\text{W}} = 5,60 \times 10^{-8} \Omega \text{ m}$ [58]. Aufgrund dieses Nachteils und der guten Beherrschbarkeit von Prozessen bei der Strukturierung von Aluminiumbahnen wird Wolfram in konventionellen Technologien nur selten eingesetzt.

In der H035-Technologie wird Wolfram zur Verdrahtung von Bauelementen unter Berücksichtigung des erhöhten Widerstands verwendet. Nach der Wolframabscheidung wird eine Hartmaske aus CVD-abgeschiedenem Oxid strukturiert, die als Ätzmaske für das Metall dient. Um die Überätzung der Seitenwände zu vermeiden, werden diese während des Ätz-

prozesses durch die Beigabe von CHF_3 (Fluoroform) geschützt. Nach der Strukturierung des Wolframs wird die Titan-Titannitrid-Schicht in einer anderen Kammer geätzt, da es sonst zu Einflüssen zwischen den Restgasen der verschiedenen Ätzschritte kommen kann. Dadurch könnten leitfähige Polymere gebildet werden, die zu Kurzschlüssen in der Metallverdrahtung führen würden [59]. Die Ti-TiN-Schicht dient dabei zur besseren Haftung des Wolframs auf dem Oxid. Eine REM-Aufnahme von Wolframbahnen mit minimaler Weite ($0,48 \mu\text{m}$) ist in Abbildung 2.11 dargestellt. In der H035-Technologie werden vier Metallebenen aus Wolfram verwendet.

Zur Überprüfung der Beständigkeit gegenüber Elektromigration von Wolfram wird eine Langzeitmessung in Form einer Vier-Punkt-Methode [60] unternommen. Als Untersuchungsobjekt werden Metallbahnen mit einer Breite von $2 \mu\text{m}$ und einer Länge von $1800 \mu\text{m}$ verwendet. Die Dicke der ersten Metallebene beläuft sich auf 630 nm . Dabei entspricht die Stromdichte von $40 \text{ mA}/\mu\text{m}^2$ der vielfachen Belastung des maximal erlaubten Wertes von $J_{\text{max}} = 0,6 \text{ mA}/\mu\text{m}^2$. Die Messungen werden bei $250 \text{ }^\circ\text{C}$ durchgeführt.

In Abbildung 2.12 sind die Ergebnisse der Elektromigrationsuntersuchungen für Metallbahnen mit Wolfram und Aluminium bei $250 \text{ }^\circ\text{C}$ dargestellt. Üblicherweise werden die Aluminiumbahnen mit einem geringen Kupfer-Anteil versehen, der die Elektromigration gegenüber Verbindungen mit reinem Aluminium deutlich reduziert. Der Anteil bei den untersuchten Strukturen betrug $0,5 \%$. Für die Aluminiumbahn ist eine Reduzierung des spezifischen Widerstands festzustellen, deren Steigung über den gesamten zeitlichen Verlauf in etwa konstant ist. Diese Reduzierung kann darauf zurückgeführt werden, dass es im Leiter zur Restrukturierung der Korngrenzen kommt, wodurch sich die Leitfähigkeit verbessert. Ebenfalls spielt der Kupfer-Anteil eine wichtige Rolle, da dieser gegenüber Aluminium einen kleineren Widerstand besitzt. Dabei kann die unterschiedlich starke Materialwanderung sich positiv auf die Leitfähigkeit auswirken [61]. Nach etwa 70 Stunden ist ein kompletter Ausfall der Leiterbahn detektierbar, bei dem der Widerstand der Bahn abrupt ansteigt.

Dagegen kann bei Wolframbahnen keine Degradation des Widerstands festgestellt werden. Auch nach über 540 Stunden liegt der spezifische Widerstand konstant bei etwa $\rho_{\text{W}} \approx 18 \times 10^{-8} \Omega \text{ m}$. Damit ist dieser Wert etwa doppelt so hoch wie der von Aluminium $\rho_{\text{Al}} \approx 7,5 \times 10^{-8} \Omega \text{ m}$. Die deutliche Erhöhung im Vergleich zu den Literaturwerten ist zum ei-

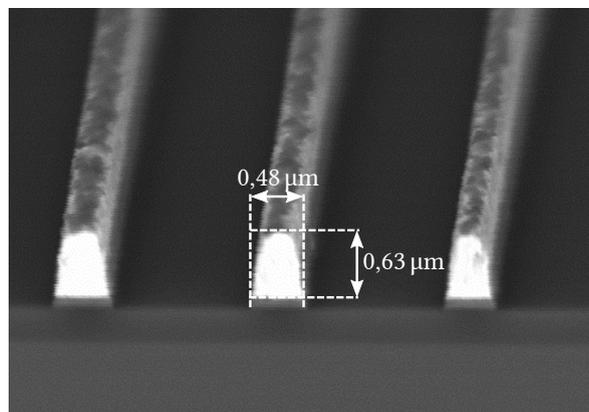


Abbildung 2.11: REM-Bild von freigeätzten Metallbahnen minimaler Breite

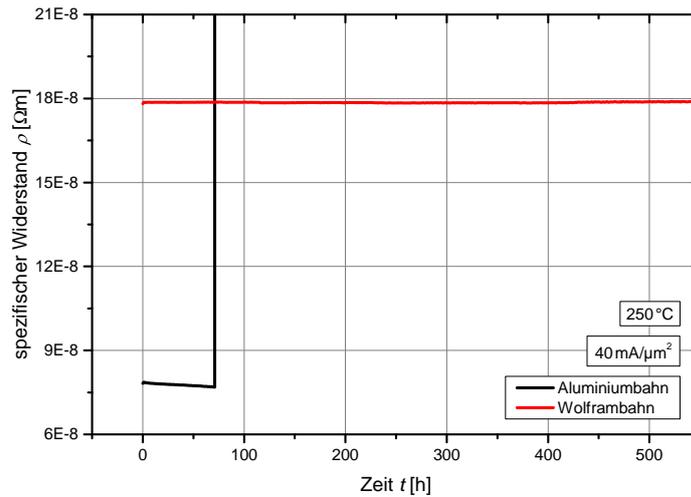


Abbildung 2.12: Untersuchungen zur Elektromigration einer Aluminium- bzw. Wolframbahn bei 250°C

nen auf die höhere Messtemperatur und zum anderen auf die Selbsterwärmung des Metalls aufgrund der deutlich höheren Stromstärke (außerhalb des ohmschen Bereichs) zurückzuführen. Die geringe Fluktuation des Widerstandswertes kann auf die Temperaturschwankung des Messsystems, den leicht variierenden Kontakt zwischen Bondpad und Messnadel oder die Oxidation von Bondpads zurückgeführt werden. Insgesamt kann davon ausgegangen werden, dass es bei den Metallisierungsebenen zu keinen Elektromigrationsvorgängen kommt.

3 Diode

Eine Diode stellt ein elementares Bauelement dar, welches in nahezu jeder Schaltung eingesetzt wird. Verwendung finden Dioden z. B. in Schaltungen zur Gleichrichtung von Wechselspannung, als steuerbare Kapazitäten oder zur Detektion von Photonen [62]. Dabei handelt es sich um ein nichtlineares Bauelement, welches den Strom in eine Flussrichtung passieren lässt, wogegen der Strom in die andere Richtung gesperrt wird. Das Verhalten der Diode wird durch die physikalischen Vorgänge am pn-Übergang beschrieben.

In der H035-Technologie werden hauptsächlich zwei Diodentypen eingesetzt, die PIN-Diode und die Z-Diode. Die PIN-Diode wird dabei häufig in Analogschaltungen in Vorwärtsrichtung betrieben, wogegen die Z-Diode als Spannungsbegrenzer oder Spannungreferenz im Sperrbereich verwendet wird. In der neuen Technologie (H035) soll zunächst die Optimierung der Dioden durchgeführt werden und das Verhalten an das der Vorgängertechnologie (H10) angeglichen werden. Die Optimierung soll in einem breiten Temperaturbereich zwischen -40 °C bis 300 °C erfolgen, in dem die Diode eingesetzt werden soll¹.

Aufgrund des häufigen Einsatzes in der Schaltung ist weiterhin ein genaues Modell des elektrischen Verhaltens der Diode notwendig. Dieses soll in dieser Arbeit als ein Makromodell entwickelt werden, wobei auch hier die Beschreibung über den breiten Temperaturbereich so genau wie möglich erfolgen muss. Die Einfachheit des Modells soll dabei eine hohe Stabilität und eine geringe Laufzeit in der Simulation ermöglichen.

In der H035-Technologie werden Transistoren verwendet, die für Betriebsspannungen von $3,3\text{ V}$ ausgelegt sind. Für solche Schaltkreise ist eine Schutzdiode vor ESD-Pulsen (Electrostatic Discharge) notwendig, da bisher nur Schutzdioden für Betriebsspannungen von 5 V existieren. Zusätzlich wird in manchen Anwendungen ein spannungsbegrenzendes Bauelement benötigt, welches als Clamp-Struktur bezeichnet wird. Ein weiteres Untersuchungsgebiet in diesem Kapitel stellt die Entwicklung einer Diode als ESD- oder Clamp-Struktur dar, wobei der Schwerpunkt in der Nutzung im breiten Temperaturbereich liegt.

3.1 Grundlagen

Die Diode stellt ein nichtlineares Bauelement dar, welches je nach angeschlossener Spannung den Strom leitet oder sperrt. Die beiden Bereiche werden als Durchlassrichtung (Diode leitet) oder als Sperrrichtung (Diode sperrt) bezeichnet. Das Verhalten der Diode wird dabei durch die physikalischen Vorgänge an einem pn-Übergang eines Halbleiters beschrieben. Zusätzlich wird das Verhalten in Sperrrichtung bei steigenden Spannungen durch weitere

¹Die höchste Einsatztemperatur beträgt zwar bisher 250 °C , jedoch dient die Optimierung des Bauelements auch zur Steigerung der Betriebstemperatur bis auf 300 °C .

Effekte beeinflusst, wie das Band-zu-Band-Tunneln und den Avalanche-Effekt [63]. Die Vorgänge am pn-Übergang und die Effekte beim Betrieb in Sperrrichtung werden im nächsten Abschnitt thematisiert.

Weiterhin werden aufgrund des Einsatzes der Diode als ESD-Schutzstruktur die Ursachen und Modelle von ESD-Pulsen vorgestellt. Dabei spielt der Operationsbereich, in dem die Diode als Schutzstruktur eingesetzt werden kann, eine entscheidende Rolle.

3.1.1 Diode als pn-Übergang

Das nichtlineare Verhalten der Diode in Abhängigkeit der angelegten Spannung ist durch die Vorgänge im Halbleiter zwischen p- und n-dotiertem Bereich gekennzeichnet [63]. Am pn-Übergang existiert ein Konzentrationsgradient von frei beweglichen Ladungsträgern, welcher zur Folge hat, dass diese in das jeweils anders dotierte Gebiet diffundieren. Dabei rekombinieren die freien Ladungsträger miteinander, so dass nur die ortsfesten Dotierstoffatome verbleiben. Das Gebiet, in dem keine freien Ladungsträger vorhanden sind, wird als Raumladungszone (RLZ) oder Verarmungszone bezeichnet. Die geladenen Dotierstoffatome rufen ihrerseits ein elektrisches Feld hervor, welches zur Drift der freien Ladungsträger in die entgegengesetzte Richtung zum Diffusionsstrom führt. Im Gleichgewichtszustand sind die beiden Kräfte, Diffusion und Drift, gleich groß, so dass in der Diode kein Strom fließt. Im Bändermodell stellt sich am pn-Übergang eine Verbiegung des Bandes ein, wobei diese der Ausdehnung der Raumladungszone entspricht (vgl. Abb. 3.1 (a)). Die Fermi-Energie E_F der beiden Bereiche liegt auf dem gleichen Niveau. Die Höhe der Verbiegung ist proportional zur internen Diffusionsspannung V_{Diff} im Gleichgewichtszustand.

Durch das Anlegen einer externen Spannung an die beiden Seiten des pn-Übergangs, wird die Diode in Sperrrichtung oder in Durchlassrichtung betrieben. Für den Betrieb in Durchlassrichtung wird an die n-dotierte Seite (Kathode) das niedrige Potential und an die p-dotierte Seite (Anode) das hohe Potential angelegt. Dadurch wird die interne Diffusionsspannung kompensiert, so dass die Verbiegung der Bänder abnimmt und die Diode anfängt zu leiten (vgl. Abb. 3.1 (b)). Die Stromdichte einer idealen Diode wird durch die Shockley-Gleichung beschrieben [64]:

$$J_D = J_S \exp \left[\left(\frac{qV_{\text{ext}}}{kT} \right) - 1 \right]. \quad (3.1)$$

Dabei beschreibt J_S die Sättigungsstromdichte, q die Elementarladung, V_{ext} die von außen angelegte Spannung, k die Boltzmann-Konstante und T die Temperatur. J_S wird angegeben mit [63]

$$J_S = \underbrace{\left(\frac{qD_p}{L_p N_D} + \frac{qD_n}{L_n N_A} \right)}_{\sim T^{\delta/2}} n_i^2. \quad (3.2)$$

Der Ausdruck in der Klammer besitzt durch eine Konstante δ eine $T^{\delta/2}$ -Abhängigkeit. Weiterhin geben die Größen $D_{p|n}$ den Diffusionskoeffizienten für Löcher bzw. Elektronen, $L_{p|n}$ die Diffusionslänge der Löcher bzw. Elektronen und $N_{D|A}$ die Dotierstoffkonzentration der

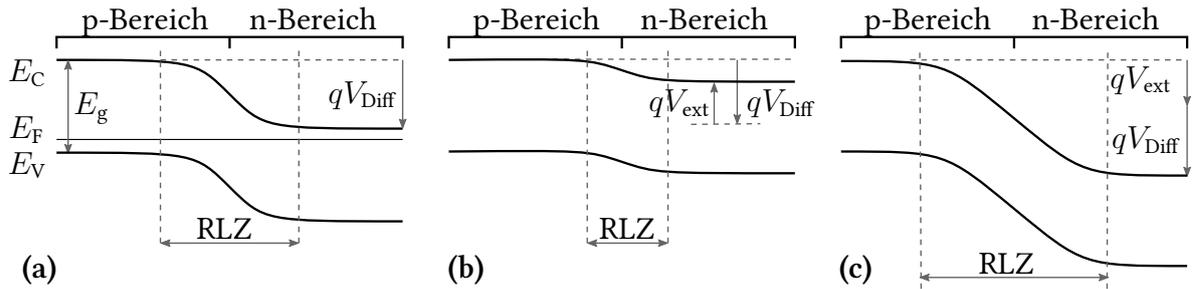


Abbildung 3.1: (a) Diode im Gleichgewichtszustand ohne externe Spannung; (b) Diode in Durchlassrichtung und (c) Diode in Sperrrichtung mit einer externen Spannung

Donatoren bzw. der Akzeptoren an. Die Größe n_i beschreibt die Konzentration der intrinsischen Ladungsträger und kann beschrieben werden durch [63]

$$n_i = A_{n_i} T^{3/2} \exp\left(-\frac{E_g}{2kT}\right). \quad (3.3)$$

Hier beschreibt A_{n_i} einen Proportionalitätsfaktor und E_g die Energie der Bandlücke eines Halbleiters (vgl. Abb. 3.1). Diese lässt sich bestimmen mit [65]

$$E_g = E_{g0} - \frac{A_E T^2}{T + B_E}, \quad (3.4)$$

wobei A_E und B_E materialspezifische Konstanten und E_{g0} die Bandlücke bei $T = 0$ K sind.

In der Shockley-Gleichung werden nur die Prozesse der Drift und der Diffusion berücksichtigt. Bei realen Dioden können weitere Effekte einen Beitrag zum Gesamtstromfluss leisten, wie die Generation und Rekombination der Ladungsträger in der Raumladungszone, Hochinjektion bei bereits relativ geringen Spannungen, parasitärer Serienwiderstand bei hohen Strömen, Tunneln von Ladungsträgern zwischen den Bandlücken oder zusätzlicher Leckstrom, begünstigt durch Defekte im Silizium bzw. an Grenzflächen [63]. Um die zusätzlichen Effekte zu berücksichtigen, wird in der Shockley-Gleichung ein Korrekturterm η eingeführt, welcher auch als Idealitätsfaktor bezeichnet wird. Der Idealitätsfaktor variiert zwischen 1 (ideale Diode) und 2 (weitere Prozesse dominant). Unter Berücksichtigung der Temperaturabhängigkeit aus Gleichung 3.2 ($\sim T^{\delta/2}$) und 3.3 ($\sim T^3$) kann die Shockley-Gleichung erweitert werden zu:

$$J_D = A_{J_{s0}} T^{3+\delta/2} \exp\left(-\frac{E_g}{\eta kT}\right) \exp\left[\left(\frac{qV_{\text{ext}}}{\eta kT}\right) - 1\right]. \quad (3.5)$$

Die Größe $A_{J_{s0}}$ gibt die temperaturunabhängige Proportionalitätskonstante an.

In Sperrrichtung wird an die Kathode das hohe Potential gelegt und an die Anode das niedrige. Dadurch vergrößert sich die Bandverbiegung und die Raumladungszone wird breiter (vgl. Abb. 3.1 (c)). Der exponentielle Term der Gleichung 3.1 ist bei einer idealen Diode vernachlässigbar, so dass die Kennlinie der Diode in Sperrrichtung durch eine konstante Stromdichte J_0 beschrieben wird. In Sperrrichtung kann die Generation und Rekombination von Ladungsträgern der dominante Beitrag zum Gesamtstromfluss sein. Wird dieser

Effekt berücksichtigt, so ergibt sich für die Gesamtstromdichte im Sperrbereich [63]

$$J_{RD} = \left(\frac{qD_p}{L_p N_D} + \frac{qD_n}{L_n N_A} \right) n_i^2 + \frac{qL_{RLZ}}{\tau_g} n_i. \quad (3.6)$$

Die Größe L_{RLZ} beschreibt die spannungsabhängige Länge der Verarmungszone und τ_g die Generations-Lebensdauer. In Abhängigkeit der Konzentration der intrinsischen Ladungsträger bzw. der Temperatur kann entweder der Diffusionsstrom oder der Generationsstrom überwiegen. Weiterhin kann der Sperrstrom durch das Band-zu-Band-Tunneln und den Avalanche-Effekt beeinflusst werden.

3.1.2 Durchbruchmechanismen

Wird die Diode in Sperrrichtung betrieben, so kann es bei ausreichend hohen elektrischen Feldern zum Durchbruch des pn-Übergangs kommen, der sich in einem sprunghaften Anstieg des Diodenstroms äußert. Ebenso existiert ein weiterer Prozess, der bei Strukturen mit einem pnp- bzw. npn-Übergang auftritt und als Punch-Through-Effekt bezeichnet wird. Die zwei wichtigsten Durchbruchmechanismen eines pn-Übergangs (das Band-zu-Band-Tunneln und der Avalanche-Effekt) und der Punch-Through-Effekt einer npn-Struktur werden in den nächsten Abschnitten erläutert.

Band-zu-Band-Tunneln

Das Band-zu-Band-Tunneln (B2B) kann bei Dioden mit einer relativ hohen Dotierung der p- und n-dotierten Bereiche auftreten. Wird die Diode in Sperrrichtung betrieben und liegt ein ausreichend hohes elektrisches Feld entlang des pn-Übergangs an, so verbiegen sich die Bänder des Halbleiters relativ stark (vgl. Abb. 3.2 (a)). Aufgrund der hohen Dotierung ist die Länge der Raumladungszone gering, so dass die Bänder in diesem Bereich relativ nah beieinander liegen. Durch die schmale Potentialbarriere steigt die Wahrscheinlichkeit für Elektronen vom Valenzband des p-dotierten Bereichs ins Leitungsband des n-dotierten Bereichs zu tunneln. Die Stromdichte nimmt dabei mit abnehmender Barrierenbreite exponentiell zu, so dass ein sprunghafter Anstieg der Stromstärke in der Strom-Spannungskennlinie der Diode zu beobachten ist. Für Löcher ist der Prozess analog, aber invers. Das Band-zu-Band-Tunneln wird auch als Zener-Effekt bezeichnet [66].

Mit steigender Temperatur verringert sich die Bandlücke E_g des Halbleiters, so dass die Potentialbarriere verringert wird. Dadurch steigt die Tunnelwahrscheinlichkeit und die Stromdichte nimmt zu. Somit besitzt das Band-zu-Band-Tunneln einen negativen Temperaturkoeffizienten².

Avalanche-Effekt

Der Avalanche-Effekt, der auch als Stoßionisation oder Lawineneffekt bezeichnet wird, ist der wichtigste Durchbruchmechanismus bei einem pn-Übergang. Dieser stellt das Limit für

²Bei einem positiven Temperaturkoeffizienten steigt die Durchbruchspannung mit steigender Temperatur, wogegen beim negativen Temperaturkoeffizienten die Durchbruchspannung sinkt.

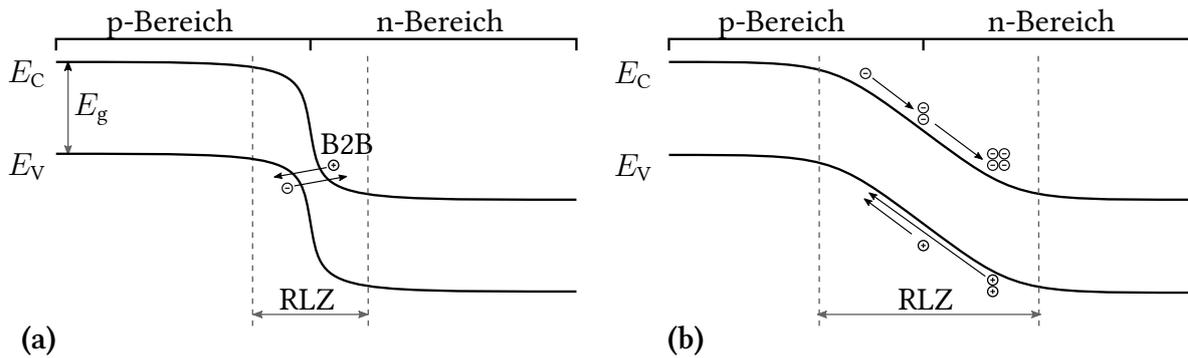


Abbildung 3.2: (a) Band-zu-Band-Tunneln; (b) Avalanche-Effekt am Beispiel der Elektronenstoßionisation

die Sperrfunktion einer Diode dar, bei dem die Diodenstromdichte einen sprunghaften Anstieg erfährt. Die Erläuterung soll am Beispiel der Elektronen-Vervielfältigung geschehen, wobei für die Löcher der Prozess analog verläuft.

Wird an den pn-Übergang ein ausreichend hohes elektrisches Feld angelegt, so wird ein freies Elektron, welches sich innerhalb der Raumladungszone befindet (z. B. durch thermische Generation), in Richtung des tiefer liegenden Leitungsbandes beschleunigt. Dabei nimmt dieses ausreichend viel Energie auf, um bei einem Stoß mit dem Kristallgitter ein Valenzelektron ins Leitungsband zu befördern (vgl. Abb. 3.2 (b)). Das verbleibende Loch wandert in Richtung des höher liegenden Valenzbandes. Das angeregte Elektron steht, wie das Stoßelektron, als freier Ladungsträger zur Verfügung, so dass beide weiter durch das elektrische Feld beschleunigt werden. Durch weitere Stöße werden neue Elektron-Loch-Paare generiert und es kommt zu einem lawinenartigen Anstieg der Stromstärke.

Die Durchbruchspannung bei einer Diode mit einem abrupten pn-Übergang und der Annahme $N_A \gg N_D$ kann mit folgender Gleichung bestimmt werden [63]:

$$V_{BD} = \frac{\varepsilon_{Si} F_{max}^2}{2qN_D}. \quad (3.7)$$

Dabei beschreiben die Größen ε_{Si} die Permittivität des Siliziums und F_{max} die Durchbruchfeldstärke des Siliziums. Somit kann durch die Erniedrigung der Dotierstoffkonzentration N_D eine Erhöhung der Durchbruchspannung erreicht werden.

Für eine Diode, die bei einer angelegten Spannung von mehr als $6E_g/q$ durchbricht, ist der Avalanche-Effekt der dominante Durchbruchmechanismus. Erfolgt der Durchbruch dagegen bei weniger als $4E_g/q$, so kann dieser auf das Band-zu-Band-Tunneln zurückgeführt werden. Im Bereich zwischen $4E_g/q$ und $6E_g/q$ ist der Durchbruch eine Kombination aus beiden Effekten.

Mit steigender Temperatur nimmt die Stoßrate thermischer Stöße zu, so dass sich die mittlere freie Weglänge der freien Ladungsträger verringert. Um den Lawineneffekt auszulösen, müssen die Elektronen durch ein höheres elektrisches Feld beschleunigt werden. Somit besitzt die Durchbruchspannung des Avalanche-Effekts einen positiven Temperaturkoeffizienten.

Punch-Through-Effekt

Im Gegensatz zu den bisher betrachteten Durchbruchmechanismen, die bei einem pn-Übergang auftreten, kann der Punch-Through-Effekt (PT-Effekt) nur in Bauelementen mit einem pnp- bzw. npn-Übergang auftreten. Dieser Effekt wird hier am Beispiel eines npn-Übergangs erläutert, die Vorgänge sind jedoch auf den pnp-Übergang übertragbar.

Das Banddiagramm einer npn-Struktur ist in Abbildung 3.3 (a) dargestellt. Aufgrund der zwei pn-Übergänge stellen sich zwei Raumladungszonen ein, die jedoch voneinander getrennt sind. Wird eine externe Spannung so angelegt, dass einer der beiden n-Bereiche (hier der rechte pn-Übergang) in Sperrrichtung betrieben wird, so verbreitert sich die Raumladungszone. Als Punch-Through wird der Zustand des Bauelements bezeichnet, in dem sich die beiden Raumladungszonen verbinden (vgl. Abb. 3.3 (b)). Aufgrund der Bandverbiegung verringert sich die Barriere des p-Bereichs, so dass Elektronen diese leichter überwinden können und in Richtung des tiefer liegenden Potentials driften. Dadurch steigt die Stromdichte stark an.

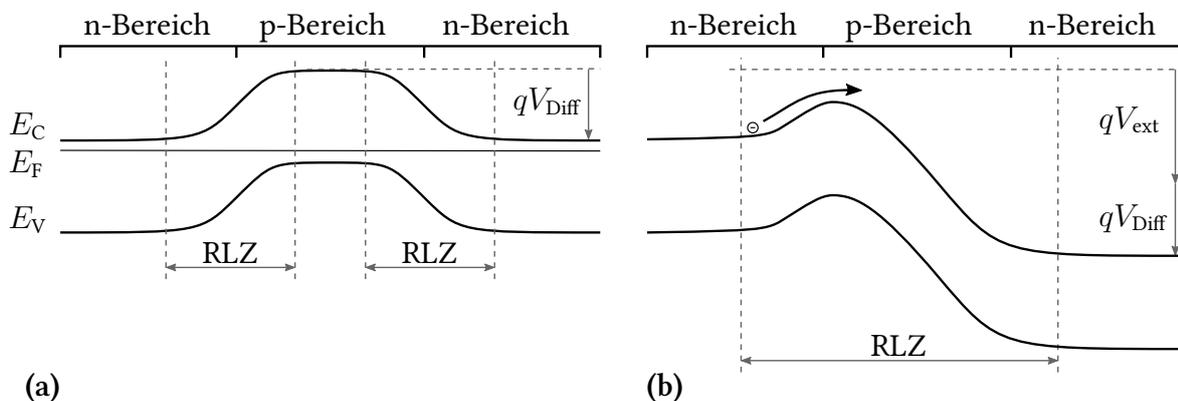


Abbildung 3.3: Punch-Through-Effekt einer npn-Struktur; (a) im Gleichgewichtszustand; (b) Punch-Through-Ereignis

Unter der Annahme, dass der mittlere Bereich viel schwächer dotiert ist als die äußeren ($n^+p^-n^+$), kann die Spannung, bei der der Punch-Through-Durchbruch erfolgt, mit der Gleichung beschrieben werden [67]:

$$V_{PT} = \frac{qN_A L_m^2}{2\varepsilon_0 \varepsilon_{Si}}. \quad (3.8)$$

Dabei beschreibt L_m die Länge des schwächer dotierten Bereichs und ε_0 die Permittivität des Vakuums. Der Punch-Through-Durchbruch besitzt einen positiven Temperaturkoeffizienten [68].

3.1.3 ESD-Schutz

Elektrostatistische Entladung (Electrostatic Discharge, ESD) kann zur Zerstörung von elektronischen Bauelementen führen, falls keine Schutzvorkehrungen getroffen werden. Bei einem ESD-Puls handelt es sich um einen kurzen Spannungspuls, der zwischen 100 V und 35 000 V

betragen kann. Durch den hohen Spannungspuls werden hohe elektrische Felder aufgebaut und es können kurzzeitig sehr hohe Ströme fließen. Gewöhnliche Halbleiter-Bauelemente sind für solche starke Belastungen nicht ausgelegt, so dass ein Puls ausreichen würde, um beispielsweise eine thermische Zerstörung oder den Durchbruch des Dielektrikums herbeizuführen. Um eine Zerstörung des Chips zu vermeiden, werden spezielle Schutzstrukturen verbaut, die einen transienten Spannungspuls abführen können.

Ein ESD-Puls kann durch unterschiedliche Effekte hervorgerufen werden, die die Höhe und den zeitlichen Verlauf des Pulses beeinflussen. Ausgehend von verschiedenen Ursachen, wurden mehrere Modelle entwickelt, die die Form und den transienten Verlauf des ESD-Pulses beschreiben [69].

Modelle von ESD-Pulsen

Die elektrostatische Entladung durch einen Menschen wird durch das Human-Body-Modell (HBM) beschrieben [70] und stellt das älteste und das weit verbreitetste Modell dar. Der menschliche Körper besitzt eine Kapazität von etwa 100 pF, die er über einen Widerstand von etwa 1500 Ω (Hautwiderstand) beispielsweise über den Finger abgeben kann. Induktivitäten werden in dem Modell vernachlässigt. Nach einer kurzen Anstiegszeit von etwa 10 ns erfolgt eine längere Abfallflanke, die etwa 150 ns beträgt (vgl. Abb. 3.4 (a)). Je nach Klassifizierung kann die Spannung von 125 V bis über 8 kV betragen [70]. Für eine Spannung von 2 kV ergibt sich eine Strompulshöhe von $I_{\text{Peak}} \approx 1,3$ A. Die transient kurz jedoch hohe Strombelastung kann zur thermischen Zerstörung der Bauelemente führen. Zum Schutz vor solchen Pulsen werden in der Schaltung direkt vor die Bondpads Schutzstrukturen eingebaut, die so ausgelegt sind, dass diese eine hohe thermische Belastung überstehen können.

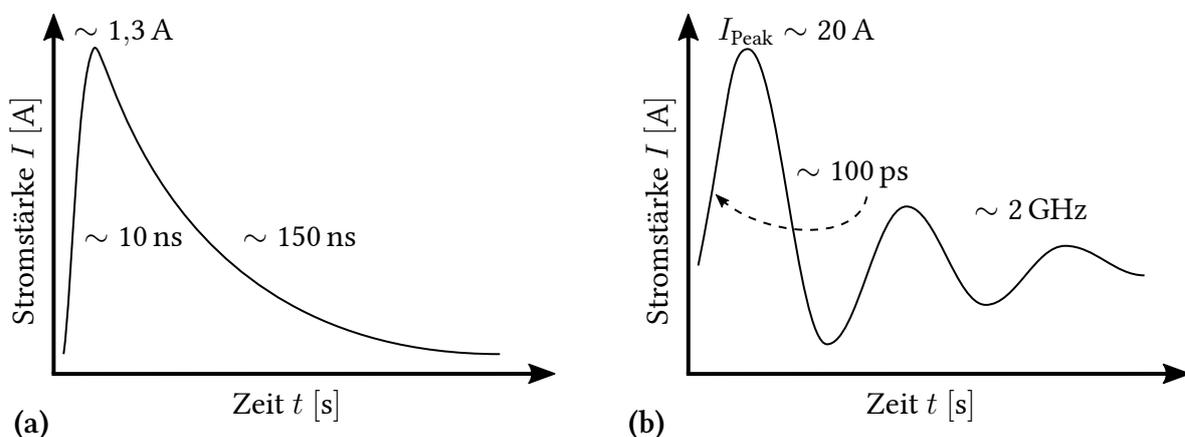


Abbildung 3.4: Verlauf des ESD-Strompulses beim (a) Human-Body-Modell und (b) Charged-Device-Modell

Im Gegensatz zum Human-Body-Modell, bei dem die Energie von außen an den Chip abgegeben wird, beschreibt das Charged-Device-Modell (CDM) eine plötzliche Dissipation von Energie eines aufgeladenen Schaltkreises nach außen durch die Erdung eines Gehäuse-Pins [71]. Eine Aufladung des Chips kann durch das Hantieren oder den Aufbau des Dies erfolgen. Die Entladung des Chips führt meistens zum Durchbruch oder zu einer starken Degradation der Oxidschicht. Aufgrund der Leiterbahnen innerhalb des Chips besitzt das

CDM-Modell eine Induktivität, so dass der ESD-Puls eine gedämpfte Oszillation vollführt. Der Widerstand und die Induktivität des Modells sind im Vergleich zu anderen Modellen klein, da diese von den internen Mikrobauelementen abhängen. Dadurch kann die Anstiegsflanke des Strompulses nur etwa 100 ps betragen und mit einer Oszillation von etwa 2 GHz abfallen [72, 73]. Aufgrund der bauelementabhängigen Variation der ESD-Pulse ist ein zuverlässiger und einheitlich durchführbarer Test nicht einfach, konnte jedoch in [74] durch einen Standard konkretisiert werden.

Operationsfenster von ESD-Schutzstrukturen

Um die Zerstörung des Schaltkreises durch einen von außen angelegten ESD-Puls zu vermeiden (z. B. ein HBM-Puls), werden die Bondpads mit bestimmten Bauelementen versehen, die einen solchen ESD-Puls abführen können. Die Schutzstrukturen sind niederohmig mit der Masse kontaktiert, sind jedoch beim normalen Betrieb (Belastung durch die Betriebsspannung V_{dd}) in Sperrrichtung geschaltet. Bei einer zusätzlichen Belastung durch den Spannungspuls schaltet die Schutzstruktur auf, so dass der Strompuls in die Erde abfließen kann. Der Schaltvorgang wird durch einen physikalischen Effekt ausgelöst, so dass der Schutz auch dann gewährleistet ist, wenn der Chip inaktiv ist. Zum ESD-Schutz werden unterschiedliche Bauelemente verwendet, wie z. B. Diode, Bipolartransistor, Gate-Grounded-/Gate-Coupled-/Substrate-Triggered-NMOS (GGNMOS, GCNMOS, STNMOS) oder Silicon Controlled Rectifier (SCR) [75], wobei der am häufigsten eingesetzte Schaltvorgang der Avalanche-Effekt ist. In der H035-Technologie wird eine Z-Diode im Sperrzustand eingesetzt, die bei einer bestimmten Spannung den Avalanche-Bereich erreicht und den Strom ableiten kann.

Die maximale Belastung der Schutzstruktur beim ESD-Puls wird durch das Operationsfenster definiert und soll im Folgenden durch ein sogenanntes Snapback-Bauelement verdeutlicht werden [75]. Zwar werden üblicherweise lediglich Strukturen wie der Bipolar- oder der Feldeffekttransistor als solche bezeichnet, jedoch kann auch bei der Z-Diode ein solches Verhalten beobachtet werden (s. Kap. 3.2.5). Eine schematische Darstellung des Operationsfensters ist in Abbildung 3.5 dargestellt. Die untere Schwelle für das ESD-Operationsfenster bildet die Betriebsspannung V_{dd} plus ein Sicherheitsabstand von 10 % der Betriebsspannung. Bei einer kleineren Schaltspannung könnte die Struktur sonst bereits bei der Betriebsspannung aufschalten, wogegen eine zu hohe Schaltspannung die Bauelemente in der Schaltung beim ESD-Puls zu stark belasten würde. Bei steigender Spannung hervorgerufen durch des ESD-Puls, setzt bei V_{ABD} der Avalanche-Effekt ein. Dann verringert sich die interne Spannung von V_{ABD} auf V_{ASB} . Dieser Vorgang wird als Snapback (das Zurückschnappen) bezeichnet und kann darauf zurückgeführt werden, dass beim Avalanche-Effekt der Strom stark zunimmt und dadurch der Sperrwiderstand der Diode verringert wird. Da jedoch sich am pn-Übergang genügend freie Ladungsträger befinden, reicht für die Aufrechterhaltung des Lawineneffekts eine kleinere Spannung aus, so dass die Schutzstruktur auf diese zurückfällt [76].

Nach dem Erreichen der Spannung V_{ASB} verhält sich die Diode wie ein Widerstand. Der Bereich zwischen V_{ASB} und V_{TBD} wird als Snapback-Region bezeichnet und bildet den Arbeitsbereich ESD-Schutzstruktur. Wird die Spannung V_{TBD} erreicht, so findet ein irreversibler thermischer Durchbruch statt. Diese Zerstörung führt zu einem weiteren Snapback-

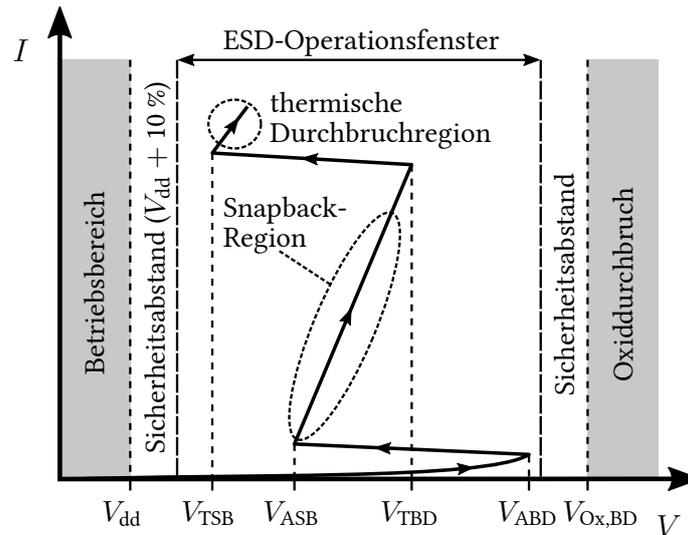


Abbildung 3.5: Operationsfenster einer Schutzstruktur mit Avalanche- und thermischem Durchbruch

Vorgang, der als thermischer Snapback bezeichnet wird. Anschließend geht die Kennlinie des Operationsfensters in den Bereich über, der als thermische Durchbruchregion bezeichnet wird.

Für einen zuverlässigen Betrieb sollte darauf geachtet werden, dass $V_{TBD} < V_{ABD}$ gilt, da sonst die Schutzstruktur nach dem Erreichen des Avalanche-Effekts in den thermischen Durchbruch übergehen könnte, ohne die Snapback-Region zu erreichen. Zusätzlich sollten die Abmessungen der Schutzstruktur so ausgelegt sein, dass der thermische Durchbruch nach der Snapback-Region nicht erreicht wird, so dass der Strompuls nicht die Höhe der maximalen Strombelastung überschreitet. Die obere Schwelle für das ESD-Operationsfenster bildet die Durchbruchspannung des Gate-Oxids $V_{Ox,BD}$, die nicht erreicht werden darf, so dass hier ebenfalls ein Sicherheitsabstand einzuhalten ist. Diese Bedingung bildet die obere Schwelle des Operationsfensters.

3.1.4 Dioden in der H035-Technologie

In der H035-Technologie werden hauptsächlich zwei Diodentypen eingesetzt. Zum einen wird eine sogenannte PIN-Diode in Anlogschaltungen verwendet. Zum anderen kommt eine Z-Diode zum Einsatz, die als ESD-Schutzstruktur fungiert. Die beiden Diodentypen werden in den folgenden Abschnitten vorgestellt und der Einsatz in den Schaltungen als ESD-Schutzstrukturen diskutiert.

Aufbau der Dioden

Eine PIN-Diode besitzt neben einem hochdotierten p- und n-Bereich einen intrinsischen Bereich, der die beiden hochdotierten Bereiche voneinander trennt. In der H035-Technologie wird statt einem undotierten Bereich ein schwach dotierter n-Bereich verwendet³. Die Do-

³Zwar werden solche Dioden als PSN-Dioden bezeichnet, in dieser Arbeit soll jedoch der Ausdruck „PIN“ beibehalten werden.

3 Diode

tierung des mittleren Bereichs ist so gewählt, dass eine möglichst hohe Durchbruchspannung erreicht wird. Dadurch soll sichergestellt werden, dass in einer Schaltung auch bei hohen Betriebsspannungen keine Erhöhung des Stromes im Sperrzustand auftritt. Die PIN-Diode wird vielfältig in Schaltungen eingesetzt, z. B. zur Gleichrichtung der Spannungen oder als Verpolungsschutz.

Bei einer Z-Diode, die auch Zener-Diode genannt wird, handelt es sich um eine pn-Diode, bei der die n- und p-Bereiche hochdotiert sind. Der Durchbruch der Diode kann durch das Band-zu-Band-Tunneln, den Avalanche-Effekt oder einer Kombination aus beiden Effekten hervorgerufen werden (vgl. Kap. 3.1.2). Die Durchbruchspannung wird auch als Zener-Spannung bezeichnet. Vor dem Zener-Durchbruch ist nur ein geringer Stromfluss festzustellen, der bei einer kleinen Erhöhung der Sperrspannung einen steilen Anstieg erfährt. Die Durchbruchcharakteristik zeigt dabei einem geringen dynamischen Widerstand.

In der H035-Technologie wird die Dotierstoffkonzentration des p- und n-Bereichs so angepasst, dass die Durchbruchspannung für beide Mechanismen (Band-zu-Band und Avalanche) in etwa gleich groß ist (vgl. Kap. 3.2). Wie bereits beschrieben, tritt dieser Fall ein, wenn die Durchbruchspannung im Bereich zwischen $4E_g/q$ und $6E_g/q$ liegt. Da der Temperaturkoeffizient des Band-zu-Band-Tunnelns negativ und der des Avalanche-Effekts positiv ist, kompensieren sich diese, so dass die Durchbruchspannung einen Temperaturkoeffizienten von nahezu Null aufweist. Dadurch wird eine konstante Durchbruchspannung in einem breiten Temperaturbereich erzielt, so dass sich diese Diode für den Einsatz als ESD-Schutzstruktur für Hochtemperaturanwendungen eignet.

In Abbildung 3.6 ist der Simulationsquerschnitt, bestimmt mithilfe des TCAD-Programms, für die Z-Diode (a) und PIN-Diode (b) dargestellt. Die Farbskala gibt die Dotierstoffkonzentration der Donatoren an. Der Überlappbereich der p- und n-Regionen für die Z-Diode ist $0,4\ \mu\text{m}$ breit. Im Bereich der Metallkontaktierung erfolgen Implantationen mit hoher Do-

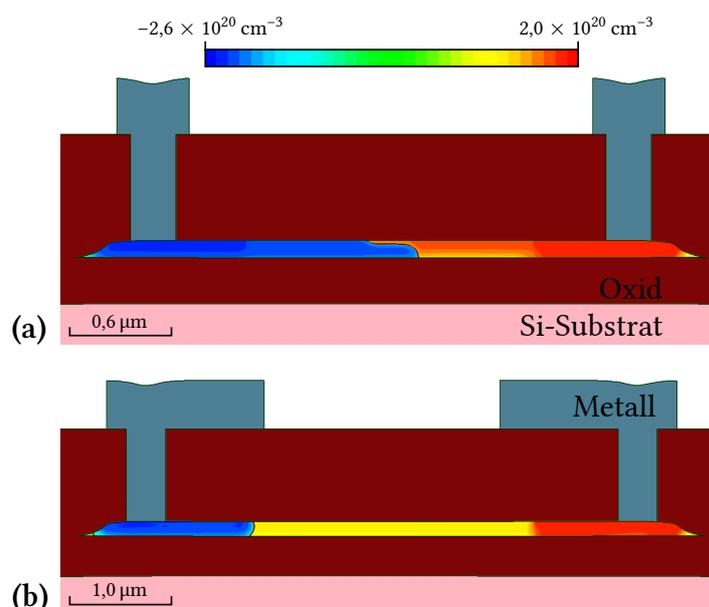


Abbildung 3.6: Querschnitt der Z-Diode (a) und PIN-Diode (b) als Simulationsmodell mit der Dotierstoffkonzentration im Siliziumfilm

sis, um einen möglichst niederohmigen Kontakt herzustellen. Für die PIN-Diode ist der schwach dotierte mittlere Bereich deutlich zu erkennen. Die Länge dieser Region beträgt $3\ \mu\text{m}$. Zu beachten ist, dass die Skalierung der beiden Dioden unterschiedlich ist.

Einsatz in der Schaltung als ESD-Schutzstrukturen

In der H035-Technologie wird sowohl die Z- als auch die PIN-Diode zum Schutz vor ESD-Pulsen eingesetzt. Dabei werden zwei unterschiedliche Schutzschaltungen verwendet. Die Vdd-Pads, über die die Versorgungsspannung (VDD) eingespeist wird, sind mit einem sogenannten Pad-Based-ESD-Schutz [77] versehen (vgl. Abb. 3.7 (a)). Bei dieser Schutzmethode werden eine Z-Diode in Sperrrichtung und zwei PIN-Dioden in Durchlassrichtung gegen Masse (GND) verschaltet. Die ESD-Spannung addiert sich aus der Durchbruchspannung der Z-Diode und der abfallenden Diodenspannung der beiden Dioden. Es ist dabei zu beachten, dass die Durchbruchspannung der Z-Diode temperaturstabil ist, wogegen die Diodenspannung der PIN-Diode mit steigender Temperatur verringert wird. Bei negativen Pulsen fließt der Strom über eine in Sperrrichtung verschaltete PIN-Diode ab.

Der Schutz des Schaltkreises (IC) vor ESD-Pulsen, die an den IO-Pads entstehen können, wird über eine sogenannte Rail-Based-ESD-Schutzschaltung [77] realisiert (vgl. Abb. 3.7 (b)). Diese Schutzmethode erlaubt es an den IO-Pads eine Spannung zwischen $0\ \text{V}$ und V_{dd} anzulegen. Ein transienter ESD-Puls, der den Spannungsbereich über- bzw. unterschreitet, wird über eine in Durchlass- bzw. Sperrrichtung geschaltete PIN-Diode abgeleitet. Im Falle eines positiven ESD-Pulses fließt dieser auf die Vdd-Leitung. Von dort aus wird der ESD-Puls über die in (a) gezeigte Schutzschaltung an die Masse geleitet.

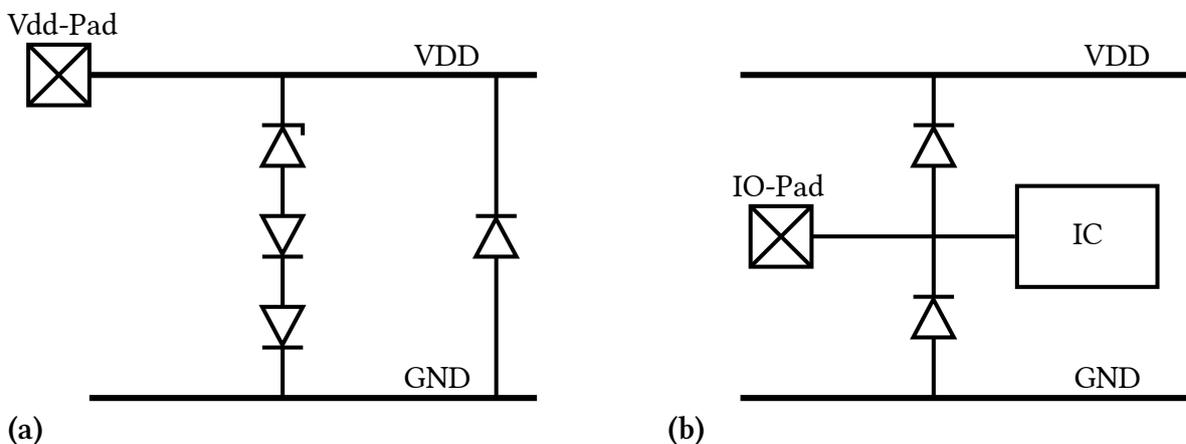


Abbildung 3.7: (a) Pad-Based- und (b) Rail-Based-ESD-Schutz in der H035-Technologie

3.2 Optimierung der Z-Diode für den erweiterten Temperaturbereich

Die Z-Diode wurde bereits in der Vorgängertechnologie H10 (vgl. Kap. 2.1.2) zum Schutz vor ESD-Pulsen eingesetzt, da diese über einen breiten Temperaturbereich eine nahezu konstante Durchbruchspannung besitzt. Bei der Entwicklung der H035-Technologie wurden einige Schritte geändert, die das Verhalten der Bauelemente, einschließlich der Z-Diode, verändert haben. Zum einen wurde die Dotierstoffart der n-Implantation, welche von dem Designlayer NPLUS repräsentiert wird, von Phosphor auf Arsen geändert, so dass bei der Z-Diode ein Bor-Arsen-Übergang gebildet wird. Zum anderen wurde das gesamtthermische Budget geändert. Dadurch verändert sich die Ausdiffusion der p- und n-Implantationen, so dass sich für den pn-Übergang ebenfalls ein anderes Dotierstoffprofil ergibt.

Das veränderte Dotierstoffprofil der Z-Diode wirkt sich unmittelbar auf das elektrische Verhalten aus, so dass sich der Leckstromverlauf und die Durchbruchspannung der Diode erheblich von denen in der H10-Technologie unterscheiden. Um einen ausreichenden Schutz eines Schaltkreises vor ESD-Pulsen zu gewährleisten, ist eines der Ziele bei der Optimierung von Bauelementen die Verbesserung des elektrischen Verhaltens der Z-Diode. Dieses soll zum einen durch die Charakterisierung der IV-Kennlinien erfolgen. Zum anderen sollen Prozess- und elektrische Simulationen mithilfe von TCAD, die die Optimierung der Z-Diode unterstützen, genutzt werden.

In der H10-Technologie wurde eine Z-Diode mit einer Durchbruchspannung von etwa 5 V verwendet. Um einen Sicherheitsabstand von 10 % der Betriebsspannung einzuhalten, wurde diese seriell mit zwei PIN-Dioden verschaltet, an denen eine Spannung von jeweils etwa 0,7 V bei 25 °C und etwa 0,3 V bei 250 °C abgefallen ist. Die Z-Diode in der H035-Technologie soll eine Durchbruchspannung von etwa 5,5 V aufweisen und somit auf den Einsatz von zusätzlichen PIN-Dioden verzichten.

3.2.1 IV-Charakteristik der Z-Diode der ersten H035-Charge

Neben der NPLUS-Implantation⁴, die eine hohe Implantationsdosis von etwa $5 \times 10^{15} \text{ cm}^{-2}$ aufweist, existiert in der H035-Technologie eine weitere Implantation (HVNLDD) mit einer ebenfalls relativ hohen Dosis von etwa $3 \times 10^{14} \text{ cm}^{-2}$. Für die HVNLDD-Implantation wird jedoch Phosphor als Dotierstoffart eingesetzt. Dadurch ergaben sich für die Prozessierung der ersten Wafer in der H035-Technologie zwei unterschiedliche Diodentypen. Die p-Dotierung beträgt für beide Dioden in etwa $2 \times 10^{15} \text{ cm}^{-2}$.

Das Verhalten der Strom-Spannungs-Kennlinien der zwei Z-Dioden ist in Abbildung 3.8 dargestellt. Als Vergleich dazu ist die Kennlinie der Z-Diode aus der H10-Technologie abgebildet. Die Implantationsdosis liegt in dieser Technologie bei etwa $5 \times 10^{15} \text{ cm}^{-2}$ für die n-dotierten und $2 \times 10^{15} \text{ cm}^{-2}$ für den p-dotierten Bereich. Aus den Messergebnissen geht hervor, dass der Leckstrom der Diode mit Arsen bereits bei kleinen Sperrspannungen deutlich höher ist, als der der phosphordotierten Diode. Ebenso ist die Zener-Spannung zu kleineren

⁴Die Abkürzung mit vorangestellter Design-Layer-Bezeichnung wird verwendet, um die Implantation zu beschreiben, welche aufgrund des verwendeten Design-Layers im bestimmten Bereich des Bauelements eingebracht wird. Eine weitere Abkürzung ist z. B. NPLUS-Maske.

3.2 Optimierung der Z-Diode für den erweiterten Temperaturbereich

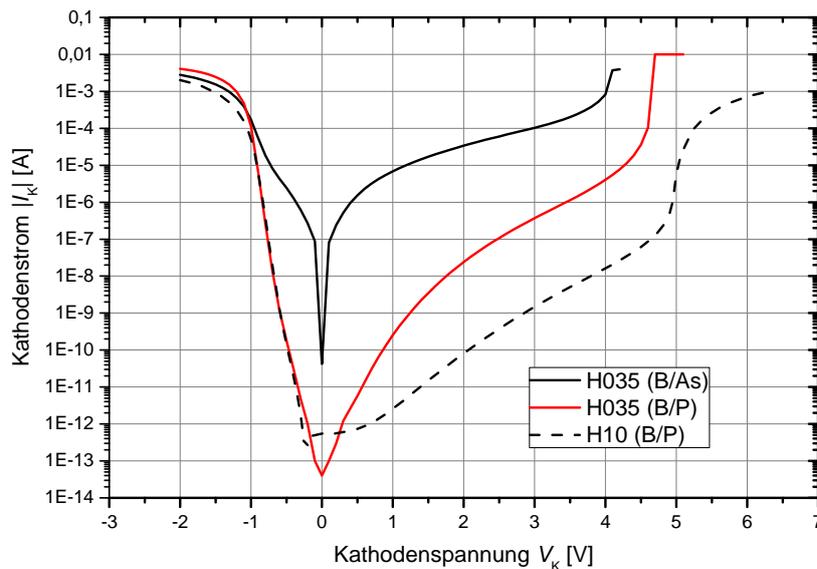


Abbildung 3.8: Vergleich der IV-Kennlinien von Z-Dioden in der H035- und H10-Technologie bei 25 °C; $W = 1 \mu\text{m}$

Spannungswerten hin verschoben. Dieses Verhalten kann durch die relativ schweren Arsen-Atome erklärt werden, die die Gitterstruktur bei der Implantation stark schädigen, wodurch nachhaltig Defektstellen im Siliziumfilm eingebaut werden. Diese Defektstellen führen zur Generation und Rekombination von Ladungsträgern, wodurch der Leckstrom ansteigt und die Durchbruchspannung sinkt. Dadurch ist die Arsen-Implantation nicht dazu geeignet eine ESD-Schutzstruktur mit kleinem Leckstrom und Zener-Spannung von 5 V herzustellen, so dass die nachfolgenden Überlegungen zur Bauelementoptimierung ausschließlich Z-Dioden mit einem Phosphor-Bor-Übergang behandeln.

Die phosphordotierte Diode besitzt gegenüber der arsen-dotierten zwar eine erhöhte Durchbruchspannung, jedoch ist diese ebenfalls kleiner als 5,5 V. Ebenso ist das Leckstromniveau gegenüber der H10-Diode um etwa zwei Zehnerpotenzen erhöht. Das Ziel der Optimierung ist somit zum einen die Durchbruchspannung zu erhöhen, so dass diese in etwa 5 V beträgt und zum anderen den Leckstrom zu minimieren, ohne dabei die optimierte Durchbruchspannung zu beeinflussen. Zusätzlich ist darauf zu achten, dass der Temperaturkoeffizient der Zener-Spannung möglichst klein wird, so dass der Durchbruch im breiten Temperaturbereich konstant bleibt. Dabei geschieht die Anpassung des elektrischen Verhaltens durch Variation der Dotierstoffkonzentration der p- und n-Gebiete. Der Prozessablauf sollte dabei so wenig wie möglich verändert werden, so dass auf bereits verfügbare Implantationsschritte zurückgegriffen werden soll.

3.2.2 TCAD-Simulationen zur Optimierung der IV-Charakteristik

Neben experimentellen Untersuchungen dienen TCAD-Simulationen als unterstützendes Werkzeug zur Optimierung der Z-Diode. Die physikalischen Modelle müssen dabei um den Einfluss des Band-zu-Band-Tunnelns erweitert werden. Der Abschnitt der physikalischen Modelldefinition ist in der Liste 3.1 dargestellt. Neben den bereits in Kapitel 2.2.2 erläuterten Modellen zu der Ladungsdichte intrinsischer Ladungsträger (Zeile 1), der Mobilität

(Zeile 2) und der Generation bzw. Rekombination von Ladungsträgern (Zeile 8) ist unter anderem zusätzlich das Modell des Band-zu-Band-Tunnelns von Schenk [78] in Zeile 4 bis 6 berücksichtigt. Alternativ dazu kann das Hurkx-Modell verwendet werden [79]. Weiterhin ist in Zeile 6 das Modell zur Berücksichtigung eines Korrekturterms für Ladungsdichten eingeschaltet. Neben dem Tunneln über die gesamte Bandlücke kann auch das durch Traps hervorgerufene Tunneln berücksichtigt werden. Dieses erfolgt in Zeile 10 und 11, wobei hier ebenfalls das gleiche Modell mit dem Korrekturterm verwendet wird. Da zunächst die Modellierung bei Raumtemperatur geschieht, wurde das Standardmodell zur Berücksichtigung des Avalanche-Effekts nach van Overstraeten und de Man [80] verwendet (Zeile 12), da dieses eine gute Übereinstimmung der Durchbruchspannung im Vergleich zu gemessenen Kurven bietet.

```

1 EffectiveIntrinsicDensity (BandGapNarrowing (Slotboom))
2 Mobility (DopingDependence (UniBo) Enormal (UniBo) HighFieldSaturation)
3 Recombination (
4   Band2Band (
5     Model=Schenk          #Hurkx
6     DensityCorrection=Local)
7   SRH (
8     TemperatureDependence DopingDependence
9     ElectricField (
10      Lifetime=Schenk     #Hurkx
11      DensityCorrection=Local))
12   Avalanche (vanOverstraetendeMan GradQuasiFermi))

```

Liste 3.1: Definition physikalischer Modelle bei TCAD-Simulationen unter Berücksichtigung des Band-zu-Band-Tunnelns

Mithilfe der TCAD-Simulationen wird die Implantationsdosis der p- und n-Gebiete verändert, wobei jedoch zunächst das Verhältnis konstant gehalten wird ($N_A = N_D$). Die Temperatur beträgt dabei 25 °C. Das Ergebnis der Simulationen ist in Abbildung 3.9 (a) dargestellt. Aus dem Verlauf der Kennlinien geht hervor, dass durch die Senkung der Dotierstoffkonzentration die Durchbruchspannung erhöht werden kann. Dieses Verhalten ist konsistent zu der in Gleichung 3.7 gezeigten Gesetzmäßigkeit. Die Durchbruchspannung erhöht sich von etwa 5,2 V bei einer Implantationsdosis von $1 \times 10^{15} \text{ cm}^{-2}$ auf etwa 5,8 V bei $1 \times 10^{14} \text{ cm}^{-2}$. Weiterhin kann der Leckstrom durch die Verringerung der Implantationsdosis um mehrere Zehnerpotenzen gesenkt werden (abgelesen bei 5 V).

In Abbildung 3.9 (b) sind die Ergebnisse der Simulationen für unterschiedliche Implantationsdosen des n- und p-Bereichs dargestellt, die ebenfalls für $T = 25 \text{ °C}$ durchgeführt wurden. Wie auch bei den Ergebnissen mit gleichem Konzentrationsverhältnis ist eine Steigerung der Zener-Spannung und eine Absenkung des Leckstroms bei Verringerung der Dotierstoffkonzentration festzustellen. Dadurch ergeben sich weitere Möglichkeiten die Durchbruchspannung anzupassen, so dass eine der beiden Dotierstoffkonzentrationen konstant gehalten werden kann. Durch Variation von nur einer der beiden Dotierstoffkonzentrationen kann eine bereits vorhandene Implantationsmaske verwendet werden, so dass der Prozessablauf nur um eine weitere Maske erweitert werden muss. Da kleinere Dotierstoffkonzentrationen ein tendenziell besseres Verhalten zeigen, wird als n-Dotierung die HVNLDD-Maske mit einer Implantationsdosis von $3 \times 10^{14} \text{ cm}^{-2}$ verwendet. Für die Bil-

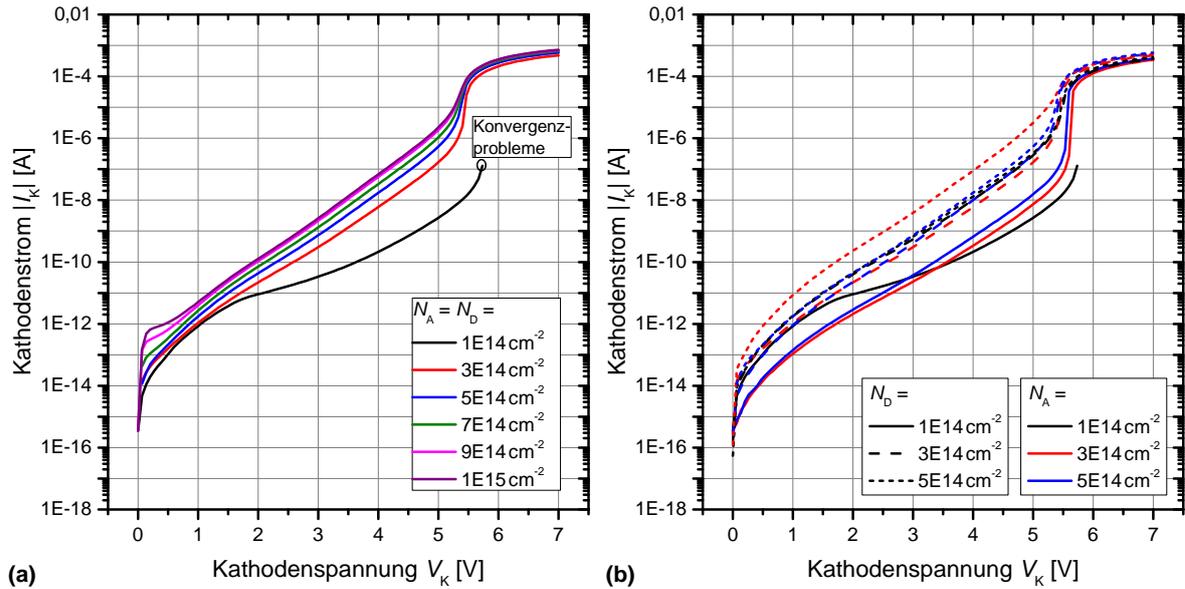


Abbildung 3.9: Simulationsergebnisse des Strom-Spannungs-Verlaufs einer Z-Diode in Abhängigkeit der Dotierstoffkonzentration; (a) gleiches Dotierstoffverhältnis für p- und n-Bereich; (b) Variation des Dotierstoffverhältnisses zwischen p- und n-Bereich; $W = 1 \mu m$

derung des p-Bereichs wird anstatt der PPLUS-Maske ein neuer Implantationsschritt eingeführt. Die Implantationsdosis wird dabei zwischen $1 \times 10^{14} \text{ cm}^{-2}$ und $5 \times 10^{14} \text{ cm}^{-2}$ variiert.

3.2.3 IV-Charakteristik der optimierten Diode bei Raumtemperatur

Die Ergebnisse der IV-Messungen von Dioden mit unterschiedlich bordotierten Bereichen sind in Abbildung 3.10 dargestellt (durchgezogene Linien). Die Durchbruchspannung der Dioden mit unterschiedlicher p-Dotierung ist in etwa gleich. Zum Vergleich ist der Verlauf der H10-Diode und der H035-Diode aus der ersten Produktionscharge (1. H035-Diode) ebenfalls aufgeführt. Die Kennlinien dieser beiden Dioden wurden bereits in Abbildung 3.8 gezeigt. Es wird deutlich, dass durch die Änderung der Dotierstoffkonzentration die Durchbruchspannung auf über 5 V erhöht werden kann und liegt nun bei etwa 5,2 V. Obwohl die gewünschte Durchbruchspannung von 5,5 V nicht erreicht wurde, konnte dennoch eine deutliche Verbesserung gegenüber der zuvor verwendeten Diode (1. H035-Diode) erzielt werden. Ebenso befindet sich die Zener-Spannung oberhalb der von der H10-Diode. Durch die erreichte Durchbruchspannung kann bei ESD-Schutzstrukturen auf eine der beiden PIN-Dioden verzichtet werden (diese werden in Reihe mit der Z-Diode geschaltet, um die Durchbruchspannung zu erhöhen).

Im Gegensatz zu der konstanten Durchbruchspannung kann eine Änderung des Leckstromverhaltens zwischen den Dioden mit angepasster Dotierstoffkonzentration festgestellt werden. Bei einer Implantationsdosis von $1 \times 10^{14} \text{ cm}^{-2}$ verringert sich der Strom über den gesamten Spannungsbereich gegenüber dem der Dioden mit einer Dosis von $3 \times 10^{14} \text{ cm}^{-2}$ bzw. $5 \times 10^{14} \text{ cm}^{-2}$ um mehr als eine Zehnerpotenz. Im Vergleich zu der Z-Diode aus der ersten Charge verringert sich jedoch der Strom für alle drei Dioden um mehrere Zehnerpotenzen. Das Leckstromverhalten der Dioden mit der Implantationsdosis von $3 \times 10^{14} \text{ cm}^{-2}$

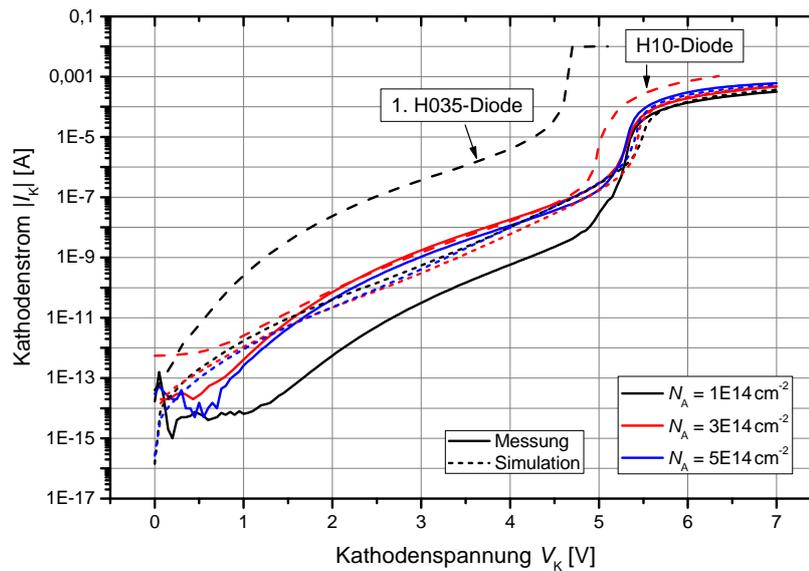


Abbildung 3.10: Vergleich der Diodenkennlinien unterschiedlicher Dotierung; $W = 1 \mu\text{m}$

bzw. $5 \times 10^{14} \text{ cm}^{-2}$ ist vergleichbar mit dem der H10-Diode.

Weiterhin sind in der Abbildung 3.10 die Ergebnisse aus den Simulationen dargestellt, die vom Dotierstoffprofil den im Experiment untersuchten Dioden entsprechen (kurz-gestrichelte Linien). Aus diesen geht hervor, dass die Durchbruchspannung in guter Übereinstimmung zum Experiment nachgebildet wird. Der Leckstromverlauf in der Simulation ist dagegen für alle drei Dioden in etwa gleich, so dass das Verhalten der Diode mit der Implantationsdosis von $1 \times 10^{14} \text{ cm}^{-2}$ nicht dem experimentellen Ergebnis entspricht. Durch die Änderung der verwendeten Modelle (das Band-zu-Band-Tunneln und der Avalanche-Effekt) konnte keine Verbesserung erzielt werden, so dass die Ursache für die vorliegende Abweichung nicht eindeutig geklärt ist.

Aus den Ergebnissen der IV-Messungen kann gefolgert werden, dass durch die Anpassung der Dotierstoffkonzentration des p-dotierten Bereichs die IV-Charakteristiken der Dioden verbessert werden und sogar das Verhalten der H10-Diode übertreffen. Da zwischen den Dioden mit einer Implantationsdosis von $3 \times 10^{14} \text{ cm}^{-2}$ und $5 \times 10^{14} \text{ cm}^{-2}$ kein signifikanter Unterschied vorliegt, werden für die Betrachtung der Temperaturabhängigkeit im Folgenden die Dioden mit der Implantationsdosis $1 \times 10^{14} \text{ cm}^{-2}$ und $5 \times 10^{14} \text{ cm}^{-2}$ des p-dotierten Bereichs verwendet.

3.2.4 Temperaturverhalten der optimierten Diode

In Abbildung 3.11 ist der Kennlinienverlauf der im letzten Kapitel ausgewählten Z-Dioden mit der Implantationsdosis des p-dotierten Bereichs von $5 \times 10^{14} \text{ cm}^{-2}$ (a) und $1 \times 10^{14} \text{ cm}^{-2}$ (b) für Temperaturen zwischen $-40 \text{ }^\circ\text{C}$ und $300 \text{ }^\circ\text{C}$ dargestellt. Wie bereits bei Raumtemperatur festgestellt wurde, ist das Leckstromverhalten der Diode mit der niedrigeren Implantationsdosis bei allen untersuchten Temperaturen geringer. Dagegen wird bei Betrachtung der Durchbruchspannung deutlich, dass sich diese in Abhängigkeit der Temperatur bei der niedrig dotierten Diode stärker verschiebt. Durch die niedrige Dotierung überwiegt in dem Durchbruchbereich der Avalanche-Effekt, wodurch sich für die Zener-Spannung ein posi-

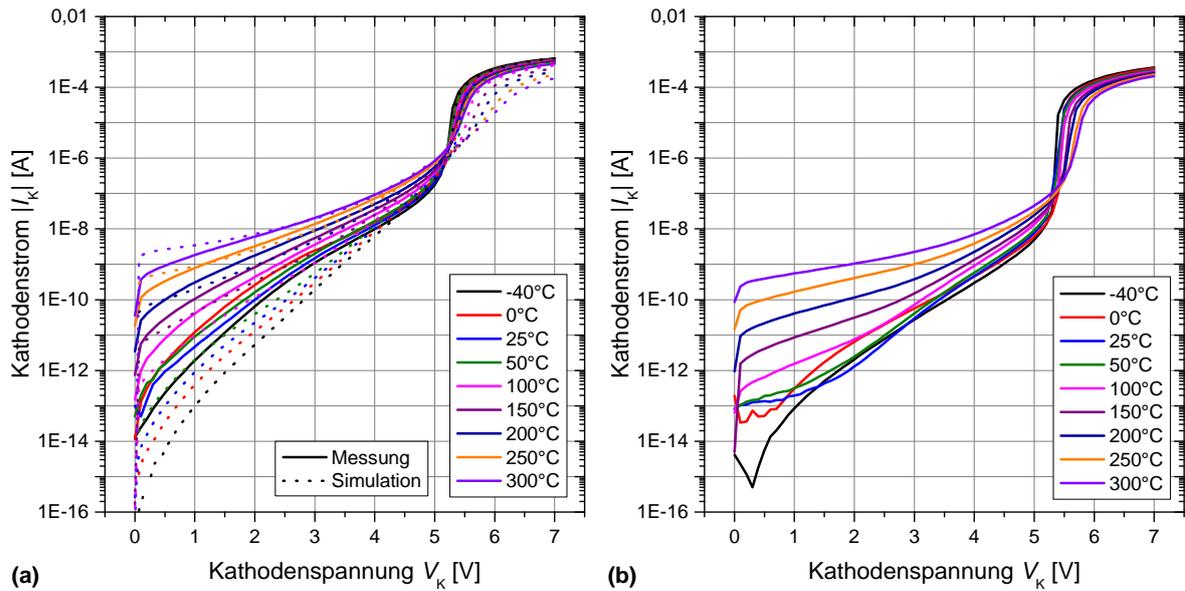


Abbildung 3.11: Temperaturabhängiges IV-Verhalten der Z-Diode für eine Implantationsdosis von $5 \times 10^{14} \text{ cm}^{-2}$ (a) und $1 \times 10^{14} \text{ cm}^{-2}$ (b) des p-dotierten Bereichs mit $W = 1 \mu\text{m}$; in (a) sind zusätzlich die dazugehörigen Simulationsergebnisse aufgeführt

tiver Temperaturkoeffizient ergibt. Zwar wird auch bei der Diode mit der Implantationsdosis von $5 \times 10^{14} \text{ cm}^{-2}$ ein positiver Temperaturkoeffizient beobachtet, dennoch ist der temperaturabhängige Versatz geringer, da hier das Band-zu-Band-Tunneln durch die höhere Dotierung stärker ausgeprägt ist. Da für Hochtemperaturanwendungen ein zuverlässiger ESD-Schutz mit einer möglichst konstanten Durchbruchspannung von Bedeutung ist, wird die Diode mit der höheren Dotierung bevorzugt.

Zusätzlich sind in der Abbildung 3.11 (a) die Ergebnisse der Simulationen unter Berücksichtigung der Temperatur dargestellt. Neben dem abweichenden Verlauf des Leckstromes bei kleinen Sperrspannungen fällt vor allem das temperaturabhängige Verhalten der Durchbruchspannung auf, welches von den gemessenen Werten abweicht. Im Gegensatz zu den im Experiment ermittelten Kennlinien, bei denen der Durchbruchbereich im gesamten Temperaturbereich einen steilen Anstieg besitzt, nimmt dieser bei den simulierten Kennlinien mit der Temperatur ab. So wird bei 300°C nur ein schwaches Durchbruchverhalten beobachtet, bei dem sich die Steigung im Vergleich zum Leckstromniveau kaum ändert. Das abweichende Verhalten des Avalanche-Durchbruchs wurde trotz der verwendeten Modelle, die für den Hochtemperaturbereich ausgelegt sind [40], ermittelt. Eine Optimierung der Modellparameter zur besseren Übereinstimmung der Simulationsergebnisse wurde jedoch nicht durchgeführt, da das experimentelle Ergebnis ausreichend war.

3.2.5 Simulationen zum transienten Verhalten von ESD-Pulsen

Die Untersuchungen zur Ermittlung einer zuverlässigen ESD-Schutzstruktur durch Messungen von IV-Kennlinien zeigen das Verhalten des Bauelements im quasistatischen Zustand. Im Vergleich dazu handelt es sich beim ESD-Puls um einen transienten Vorgang, der sich im Bereich von Nanosekunden ereignet. Dabei kann die Teststruktur eine signifikante Abweichung des Verhaltens gegenüber der quasistatischen Messung zeigen. Aus diesem Grund

geschieht die Qualifizierung der Teststrukturen mithilfe von ESD-Prüfgeräten, die verschiedene Modelle (unter anderem das HBM-Modell) abbilden. Die Teststruktur wird dazu vor einem Bauelement (z. B. Transistor) verschaltet, so dass dieses allein durch die Struktur vor ESD-Pulsen geschützt wird. Nachdem der ESD-Puls über die Teststruktur abgegeben ist, wird das zu schützende Bauelement auf die Funktionsweise überprüft. Liegt ein Ausfall des Bauelements vor, so gilt die Teststruktur zum Schutz vor ESD-Pulsen als ungeeignet; ist dagegen keine Änderung des Bauelementverhaltens festzustellen, so kann die Teststruktur in der Schaltung eingesetzt werden.

Vor der eigentlichen Qualifizierung werden Untersuchungen mithilfe von Simulationen vorgenommen. Zwar können die Simulationen nicht die ESD-Charakterisierung ersetzen, dennoch können diese unterstützend zur Entwicklung einer zuverlässigen Schutzstruktur beitragen. Im Unterschied zu experimentellen Untersuchungen kann die Simulation den zeitlichen Verlauf verschiedener Kenngrößen darstellen. Im Folgenden werden die Simulationsergebnisse der optimierten Z-Dioden vorgestellt und das transiente Verhalten der Strukturen beschrieben.

Für die transienten Untersuchungen wurde das HBM-Modell verwendet, wobei hier die Temperatur $25\text{ }^\circ\text{C}$ betrug. Die Festlegung der Temperatur berücksichtigt den realistischen Fall eines Kontakts zwischen Mensch und Maschine im Modell, welcher für gewöhnlich bei Raumtemperatur erfolgt. Es wurden die Dioden mit der Dotierstoffkonzentration des p-dotierten Bereichs von $1 \times 10^{14}\text{ cm}^{-2}$ und $5 \times 10^{14}\text{ cm}^{-2}$ untersucht. Zu beachten ist, dass es sich hierbei um eine Diode handelt, deren Weite 1 mm beträgt. Die maximale Strompulshöhe I_{Peak} wurde variiert, wobei die Anstiegszeit des Pulses stets 10 ns und die Abfallzeit 150 ns betrug. Die verwendete Pulshöhe von bis zu 1 A entspricht dem Entladen eines Kondensators, welcher zuvor mit einer Spannung von etwa 2 kV aufgeladen wurde.

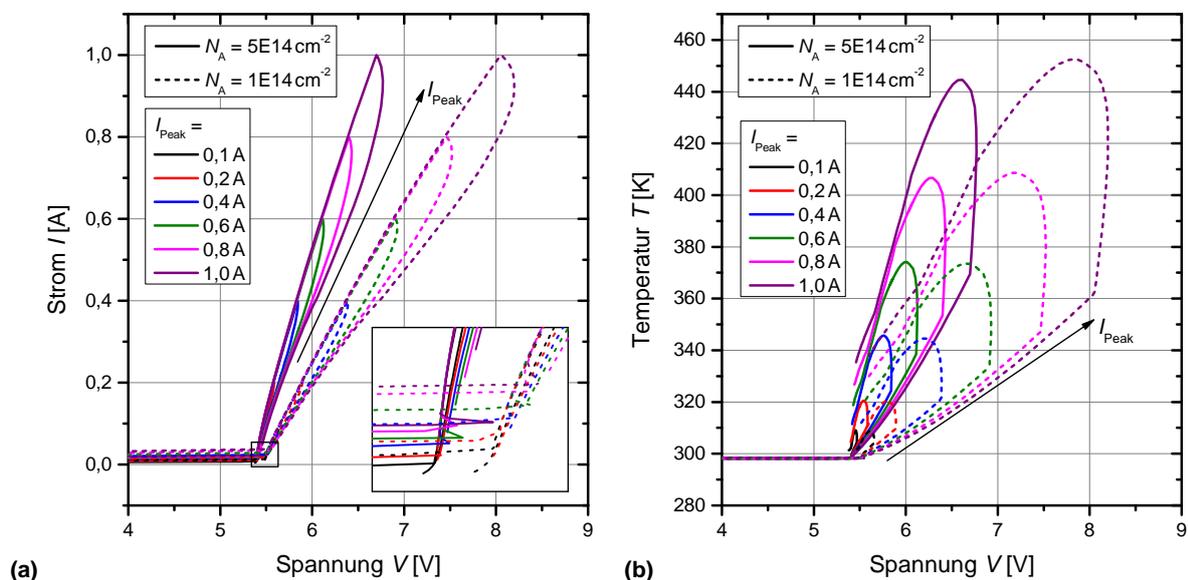


Abbildung 3.12: Ergebnisse der transienten Simulationen unter Verwendung des HBM-Modells bei verschiedenen Strompulshöhen für optimierte Dioden; (a) IV-Charakteristik; (b) Temperaturverhalten in Abhängigkeit der Spannung für Dioden unterschiedlicher Dotierung; $W = 1\text{ mm}$

Die Ergebnisse der transienten Simulationen unter Verwendung des HBM-Modells sind in Abbildung 3.12 dargestellt. Die Ergebnisse der IV-Kennlinien zeigen, dass der Strom bis etwa 5,4 V nahezu konstant im unteren Mikroampere-Bereich bleibt (hier sperrt die Diode) und für höhere Spannungen sprunghaft ansteigt (vgl. Abb. 3.12 (a)). Der plötzliche Anstieg ist auf die Auslösung des Avalanche-Effekts zurückzuführen. Zur besseren Darstellung des Durchbruchbereichs ist in Abbildung 3.12 (a) eine Vergrößerung zu sehen. Aus dieser geht hervor, dass es in dem Bereich zum Snapback kommt, bei dem der Spannungsabfall von der Höhe des Strompulses und der Dotierstoffkonzentration der Diode abhängt. Der Snapback-Effekt ist dabei für die Diode mit der höheren p-Dotierung ausgeprägter. Nach dem Durchbruch ist ein nahezu linearer Anstieg des Stroms in Abhängigkeit der Spannung festzustellen. Der Arbeitspunkt der Diode befindet sich in einem Bereich, der vom Diodenwiderstand dominiert wird, so dass die Anstiegsflanke hauptsächlich durch diesen bestimmt ist und somit für die Dioden mit unterschiedlicher Dotierung verschieden ist. Bei maximaler Strombelastung ($I_{\text{Peak}} = 1 \text{ A}$) erhöht sich die Spannung bis auf etwa 7 V ($N_{\text{A}} = 5 \times 10^{14} \text{ cm}^{-2}$) bzw. auf über 8 V ($N_{\text{A}} = 1 \times 10^{14} \text{ cm}^{-2}$). Diese Spannungsüberhöhung hat keinen Einfluss auf die Zuverlässigkeit des dicken Oxids d_{GOX} , könnte jedoch bereits zu einer deutlichen Belastung des dünnen Oxids d_{DOX} führen.

Nach dem der Maximalstrom erreicht ist, findet ein Abfall der Stromstärke in Form einer Hysteresekurve statt. Dieses Verhalten ist auf die Erwärmung der Diode zurückzuführen. Dazu ist in Abbildung 3.12 (b) der Verlauf der maximalen Temperatur im Bauelement in Abhängigkeit der Spannung dargestellt. Die Erwärmung findet dabei aufgrund des konzentrierten Stromflusses hauptsächlich im bestimmten Bereich des pn-Übergangs statt. Dies ist der Fall, da die vertikale Dotierstoffverteilung in dem dünnen Siliziumfilm inhomogen ist, so dass das elektrische Feld am pn-Übergang nicht an jeder Stelle gleich ist. Aus dem Kennlinienverlauf geht hervor, dass die Temperatur nach dem Erreichen der maximalen Stromstärke (Knick im Kennlinienverlauf) für größere Zeiten weiter zunimmt. Bei einer Pulshöhe von 1 A erreicht die Temperatur etwa 150 °C bis auch hier ein abnehmender Hysteresenverlauf erfolgt. Die maximale thermische Belastung ist jedoch unkritisch, da diese weit unterhalb der Temperatur liegt, bei der eine thermische Zerstörung auftritt.

3.2.6 Fazit zur Optimierung der Z-Diode im erweiterten Temperaturbereich

Abschließend kann festgehalten werden, dass sich die Optimierung der Z-Diode bezüglich des Leckstromverhaltens und der Zener-Spannung durch Anpassung der Dotierstoffkonzentration der bor- und phosphordotierten Bereiche erreichen lässt. Dabei ist für das temperaturunabhängige Verhalten des Stromdurchbruchs darauf zu achten, dass die beiden Effekte des Band-zu-Band-Tunnelns und der Lawinenmultiplikation möglichst ausgeglichen sind. Die Implantationsdosen der optimierten Z-Diode betragen $5 \times 10^{14} \text{ cm}^{-2}$ für n- und $3 \times 10^{14} \text{ cm}^{-2}$ für p-dotierten Bereich. Die transienten Simulationen haben weiterhin gezeigt, dass die Diode auf etwa 1 mm dimensioniert werden muss, um einen Puls mit der maximalen Stromstärke von 1 A (etwa 2 kV) abzuführen. Zur Minimierung des Widerstands und zur weiteren Steigerung der abzuführenden Strommenge kann die Geometrie der Z-Diode optimiert oder der inaktive Bereich des Siliziumfilms silizidiert werden.

3.3 SPICE-Makromodell für den erweiterten Temperaturbereich

Das elektrische Verhalten einer Diode kann in Abhängigkeit der Dotierstoffkonzentration, der Art der Dotierstoffe, der Geometrie und der Ausdiffusion der Dotierstoffe am pn-Übergang variieren. Weiterhin ist das Verhalten einer Diode, die lateral auf SOI-Wafern prozessiert wird, wie es in der H035-Technologie der Fall ist, vom Substratpotential abhängig. In Schaltungssimulationen ist ein Modell, welches die Charakteristik der Diodenkennlinie so genau wie möglich nachbilden kann, von großer Bedeutung. Durch die häufige Benutzung von Dioden in analogen Schaltungen (z. B. als Bandabstandsreferenz [10]) ist eine genaue Modellierung des realen Kennlinienverlaufs für das Schaltungsdesign extrem wichtig. In der H035-Technologie werden hauptsächlich zwei Diodentypen (PIN-Diode und Z-Diode) eingesetzt. Dabei stellt vor allem die Charakterisierung der Strukturen im breiten Temperaturbereich eine große Herausforderung dar.

Üblicherweise wird die Charakteristik einer Diode durch ein Makromodell beschrieben, in dem mehrere ideale Bauelemente miteinander verschaltet werden. So wurde in [81, 82] festgestellt, dass der Durchbruchbereich einer Z-Diode durch mehrere Exponentialfunktionen⁵ beschrieben werden muss. In [83] wurde zusätzlich der parasitäre Widerstand berücksichtigt, der zu einer Verschiebung der Durchbruchspannung führt. Die Berücksichtigung des Temperaturverhaltens wurde jedoch bisher nur unzureichend berücksichtigt. So werden in [84] Temperaturkoeffizienten erster und zweiter Ordnung eingeführt, die das Durchbruchverhalten einer Z-Diode beschreiben sollen, wobei der temperaturabhängige Vergleich der Simulation mit experimentellen Ergebnissen vorenthalten bleibt. Andere Veröffentlichungen beschreiben ein temperaturabhängiges Verhalten von Z- bzw. PIN-Dioden, jedoch finden die Untersuchungen nur in einem kleinen Temperaturbereich von minimal -55 °C bis maximal 150 °C statt [14–16].

Ziel dieses Unterkapitels ist die Beschreibung der PIN- und Z-Diode mithilfe eines Makromodells. Dabei liegt der Schwerpunkt in der Berücksichtigung des breiten Temperaturbereichs zwischen -40 °C und 300 °C . Dazu sollen, wenn möglich, Parameter verwendet, die bereits bei der Beschreibung einer idealen Diode genutzt werden, um die Stabilität und Kompatibilität des Modells zu gewährleisten. Darüber hinaus werden bestimmte Bereiche, wie der Durchbruchbereich der Z-Diode, mithilfe analytischer Gleichungen beschrieben, so dass eine möglichst große Übereinstimmung zwischen Modell und experimentellen Ergebnissen gegeben ist.

Die Modellierung einer Diode (PIN- und Z-Diode) erfolgt nach einem Ablauf, welcher im Folgenden erläutert werden soll. Zunächst werden die Strom-Spannungs-Kennlinien der Diode auf Wafer-Ebene, so wie in Kapitel 2.2 beschrieben, experimentell ermittelt. Anhand der Kennlinie für 25 °C werden die einzelnen Modellierungsbereiche bestimmt, in die der Kennlinienverlauf unterteilt wird. Diese Bereiche werden hauptsächlich von einem idealen Bauelement, einer Diode (D) oder einem Widerstand (R), durch Anpassung der Parameter beschrieben. Für die Durchlassrichtung sind die Bereiche so gewählt, dass diese jeweils auf einen bestimmten physikalischen Effekt, wie Diffusion oder Generation und Rekombi-

⁵Der Verlauf einer Diode in Sperrrichtung wird durch eine Exponentialfunktion beschrieben, die als Parameter die Durchbruchspannung beinhaltet.

nation der Ladungsträger, zurückgeführt werden können. Der Einfluss der verschiedenen Effekte spiegelt sich in der Diodengleichung durch den in Kapitel 3.1.1 beschriebenen Idealitätsfaktor η wider (vgl. Gl. 3.5). Die Anpassung des Kennlinienverlaufs in Sperrichtung erfolgt dagegen empirisch. Anschließend wird das Makromodell auf den gesamten Temperaturbereich zwischen -40 °C bis 300 °C erweitert, in dem die temperaturabhängigen Parameter angepasst bzw. neue Kalibrierungsparameter eingeführt werden. Der temperaturabhängige Verlauf wird dabei mithilfe von analytischen Gleichungen beschrieben, so dass das Makromodell nicht nur für die untersuchten Temperaturen, sondern für den gesamten Temperaturbereich charakterisiert ist.

3.3.1 Makromodell einer PIN-Diode

Die experimentell ermittelten IV-Kennlinien der PIN-Diode sind in Abbildung 3.13 dargestellt. Zu beachten ist, dass die Abstände der x-Achse für die Sperrichtung und Durchlassrichtung nicht äquidistant sind. Die Weite der gemessenen Diode betrug $100\text{ }\mu\text{m}$, wobei die Stromstärke auf die Weite von $1\text{ }\mu\text{m}$ normiert ist. Für die Durchlassrichtung ist eine Erhöhung des Stroms in Abhängigkeit der Temperatur zu beobachten, der bei hohen Kathodenspannungen in eine Sättigung übergeht. Ebenso ist eine Erhöhung des Leckstroms für die Sperrichtung erkennbar. Die Durchbruchspannung, bei der der Avalanche-Effekt einsetzt, steigt mit zunehmender Temperatur.

Die Messungen in Sperrichtung dienen hauptsächlich zur Ermittlung des Leckstromverhaltens und der Durchbruchspannung. Dabei zeigte sich, dass beim Durchfahren einer positiven Spannungsrampe am Anodenpotential (nicht in der Abbildung gezeigt) die Durchbruchspannung deutlich höher ist, als bei einer negativen Spannungsrampe am Kathodenpotential. Dieses Verhalten ist auf den Einfluss des Back-Gates und den daraus resultierenden RESURF-Fall (vgl. Kap. 4.1.2) zurückzuführen. Für die Schaltungssimulation ist zwar der

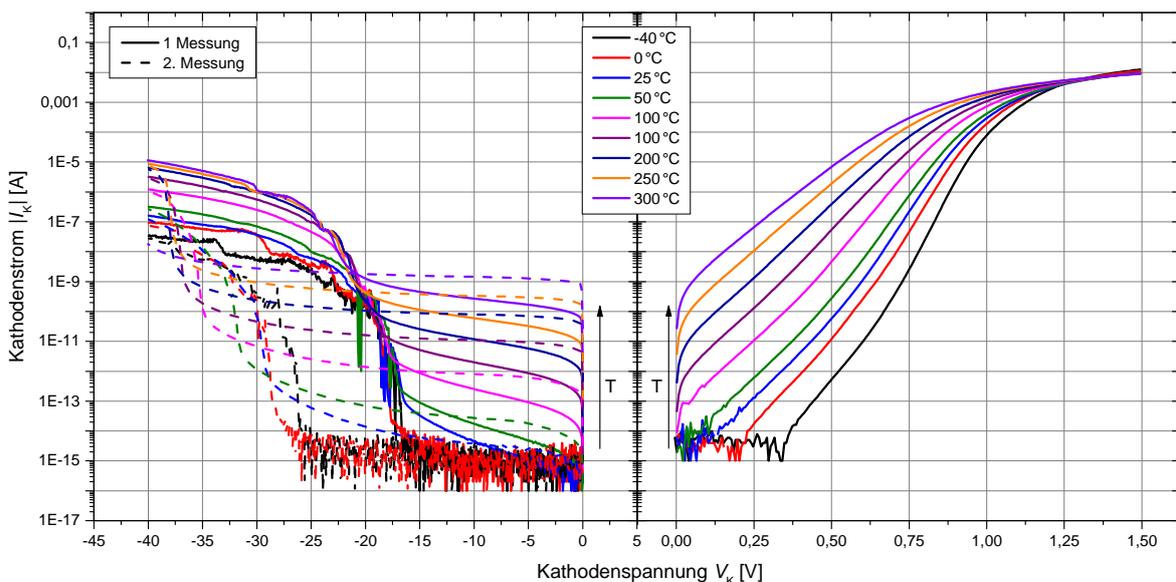


Abbildung 3.13: IV-Kennlinien der PIN-Diode für verschiedene Temperaturen in Sperrichtung (links) und Durchlassrichtung (rechts); $W = 1\text{ }\mu\text{m}$

3 Diode

Kennlinienverlauf bei einer positiven Spannungsrampe sinnvoll, da jedoch das Makromodell lediglich die kleinstmögliche Durchbruchspannung angeben soll, wird in der nachfolgenden Betrachtung der Kennlinienverlauf der negativen Spannungsrampe verwendet. Die Messergebnisse zeigen einen deutlichen Unterschied zwischen der ersten und der zweiten Messung. Die Durchbruchspannung steigt nach dem Durchlauf der ersten Messung deutlich an (z. B. bei 25 °C von 17 V auf 27 V). Nach der zweiten Messung kann dagegen nur noch eine geringe Verschiebung der Durchbruchspannung detektiert werden (nicht in Abbildung gezeigt). Dieses Verhalten kann dadurch erklärt werden, dass im Oxid unterhalb und oberhalb des Siliziumfilms und an den Silizium-Oxid-Grenzflächen Fehlstellen (Traps) vorliegen, die das elektrische Feld und damit die Durchbruchspannung beeinflussen. Während der ersten Messung werden diese Traps abgesättigt und tragen nicht mehr zur Verteilung des elektrischen Feldes bei. Die weitere kleinere Verschiebung nach der zweiten Messung kann dagegen durch den Einbau von weiteren Ladungen ins Oxid erklärt werden [85, 86]. Da für die Schaltungssimulationen die Angabe des frühestmöglichen Durchbruchs genügt, wird die Kennlinie der ersten Messung für die Modellierung verwendet.

Anhand der Kennlinie bei 25 °C werden die Spannungsbereiche bestimmt, für die jeweils ein ideales Bauelement verwendet wird, in dem der Verlauf der Kennlinie von diesem Bauelement modelliert wird. In Abbildung 3.14 (a) ist der Verlauf der Kennlinie in mehrere Bereiche unterteilt. Der Verlauf der eigentlichen Diode wird durch das ideale Bauelement D_H beschrieben, welches als Hauptdiode bezeichnet wird. Bei niedrigen Spannungen führt die Generation und Rekombination von Ladungsträgern zu einem erhöhten Stromfluss, der sich zum Strom der Hauptdiode addiert. Im Makromodell wird ein weiteres ideales Bauelement D_R (Rekombinationsdiode) parallel zur Hauptdiode verschaltet. Bei hohen Spannungen geht der Strom dagegen in eine Sättigung über. Der Stromfluss wird in dem Makromodell durch zwei Bauelemente D_{Sat} und R_{Sat} beschränkt. Es handelt sich dabei um die

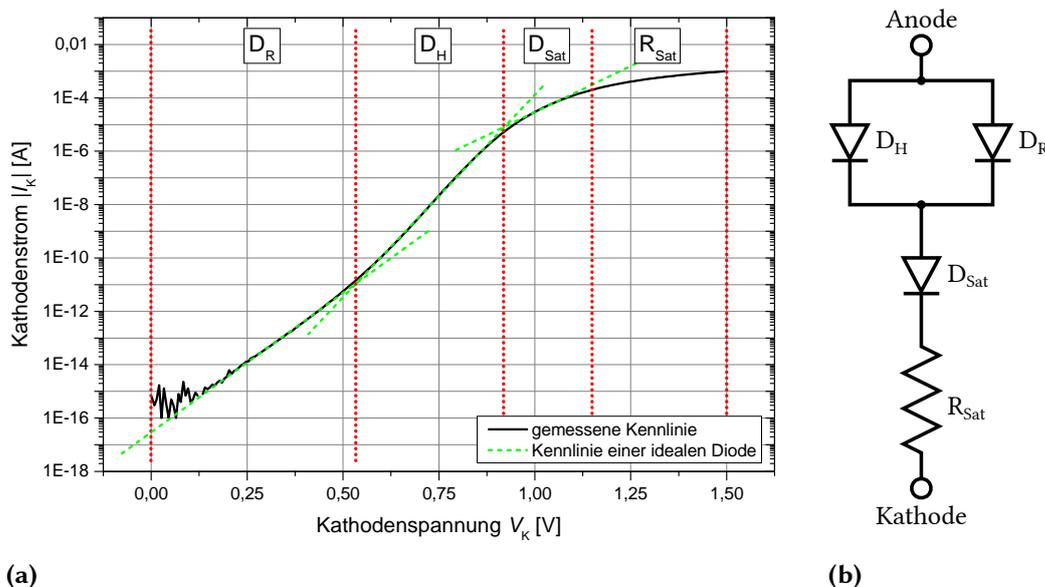


Abbildung 3.14: (a) Aufteilung des Durchlassrichtung-Kennlinienverlaufs in verschiedene Simulationsbereiche, gekennzeichnet durch gestrichelte Linien ($W = 1 \mu\text{m}$); (b) Makromodell der PIN-Diode

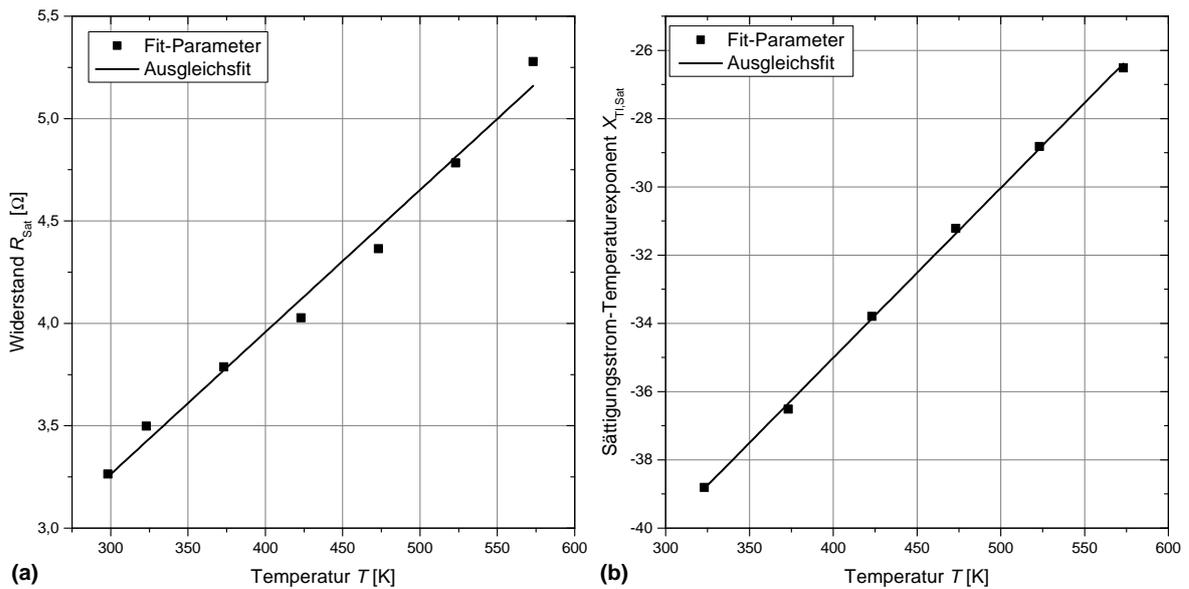


Abbildung 3.15: Temperaturabhängiger Verlauf (a) des Widerstands R_{Sat} und (b) des Sättigungsstrom-Temperaturexponents

Sättigungsdiode und den Sättigungswiderstand. Für die Beschreibung des Kennlinienverlaufs in Sperrrichtung reicht dagegen die Angabe einer ungefähren Durchbruchspannung, so dass diese durch die Hauptdiode modelliert werden kann. Das gesamte Makromodell der PIN-Diode in der H035-Technologie ist in Abbildung 3.14 (b) dargestellt.

Nach der Bestimmung des Sättigungsstroms I_S (vgl. Sättigungsstromdichte aus Gleichung 3.2) und des Idealitätsfaktors η (in SPICE als Emissionskoeffizient n bezeichnet) für die einzelnen idealen Dioden (D_R , D_H und D_{Sat}) bei 25 °C wird die Temperaturabhängigkeit der PIN-Diode in Durchlassrichtung nachgebildet. Dazu wird der Exponent des Temperaturterms ($T^{3+\delta/2}$) aus der Gleichung 3.5 als eine Variable betrachtet. Dieser wird in SPICE und im Folgenden als der Sättigungsstrom-Temperaturexponent X_{TT} bezeichnet. Ebenso wird der Widerstand in Abhängigkeit der Temperatur variiert. Beim Fitten der Messkurven wurde deutlich, dass für die Rekombinations- und Hauptdiode bereits die Gleichungen, die in SPICE verwendet werden, ausreichen, um eine gute Übereinstimmung zu erzielen. Dagegen muss der Sättigungsbereich, beschrieben durch D_{Sat} und R_{Sat} , zusätzlich variiert werden, in dem der Sättigungsstrom-Temperaturexponent und der Widerstand angepasst werden. Der Verlauf dieser beiden Größen ist in Abhängigkeit der Temperatur in Abbildung 3.15 dargestellt. Die beiden Parameter können als linear temperaturabhängig beschrieben werden.

Zur Beschreibung der Sperrrichtung können in SPICE verschiedene Größen angepasst werden. Neben der Durchbruchspannung V_{BD} , dem Durchbruchstroms I_{BD} und dem Idealitätsfaktor η_{BD} , können weitere Größen, die das Verhalten der Diode zwischen Durchbruch- und Leckstrombereich beschreiben (Low-Level-Bereich), wie der Knie-Strom I_{BDL} und der Idealitätsfaktor im Low-Level-Bereich η_{BDL} angegeben werden. Da die Angabe der minimalen Durchbruchspannung im Makromodell ausreicht und diese sich mit steigender Temperatur erhöht, wird auf eine explizite Behandlung der Temperaturabhängigkeit verzichtet.

Das Ergebnis des Simulationsmodells ist in Abbildung 3.16 im Vergleich zu experimentell ermittelten Werten dargestellt. In Durchlassrichtung zeigen die Simulationsergebnisse im gesamten Spannungsbereich eine gute Übereinstimmung im Vergleich zu gemessenen Kennli-

3 Diode

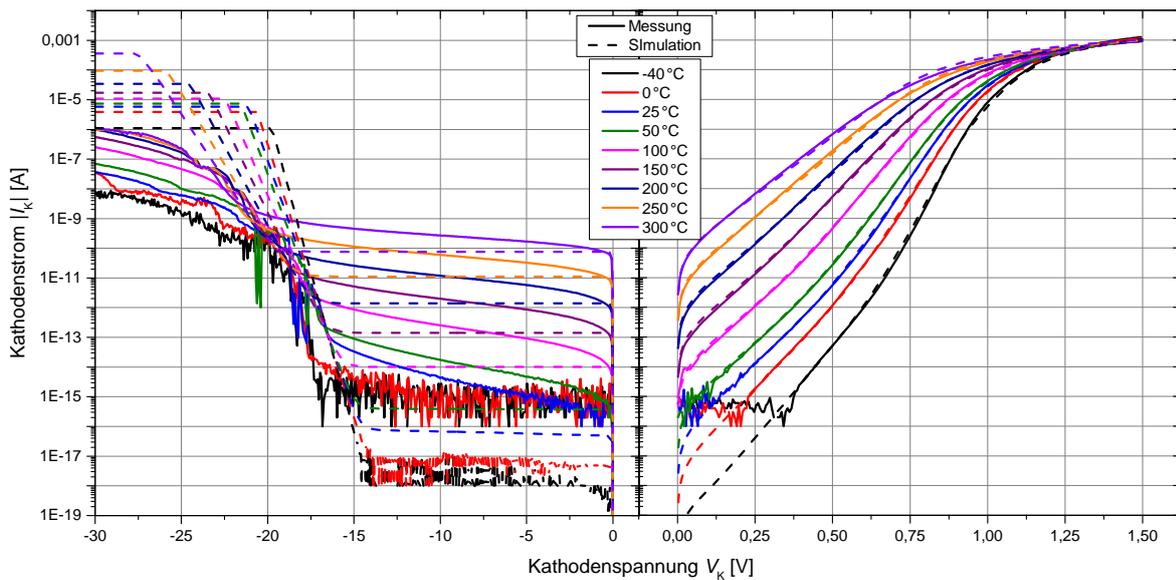


Abbildung 3.16: Vergleich der IV-Kennlinien der PIN-Diode ermittelt durch Experiment und Simulation für verschiedene Temperaturen in Sperrrichtung (links) und Durchlassrichtung (rechts); $W = 1 \mu\text{m}$

nien. Auch das Temperaturverhalten wird im gesamten Bereich zwischen -40°C und 300°C korrekt wiedergegeben. In Sperrrichtung entspricht die Durchbruchspannung in etwa der durch Messungen ermittelten Wertes. Das Leckstromverhalten steigt in Abhängigkeit der Temperatur an, weicht jedoch bei niedrigeren Spannungen von der ermittelten Kennlinie ab. Das gesamte Makromodell mit den angepassten Parametern befindet sich im Anhang A.

3.3.2 Makromodell einer Zener-Diode

Im Gegensatz zur PIN-Diode wird die Z-Diode meistens in Sperrrichtung betrieben. Aus diesem Grund soll das Kennlinienverhalten vor allem im Sperr- und Durchbruchbereich der Diode so genau wie möglich modelliert werden. In Abbildung 3.17 sind die experimentell bestimmten Kennlinien der Z-Diode in Sperr- (links) und Durchlassrichtung (rechts) für verschiedene Temperaturen dargestellt.

Die in SPICE verwendeten Parameter zur Beschreibung des Durchbruchverhaltens einer Diode reichen dabei nicht aus, da diese lediglich zur ungefähren Angabe des Leckstromverhaltens und des Avalanche-Durchbruchs verwendet werden. Die in der H035-Technologie eingesetzte Diode ist jedoch so entworfen, dass zwei Durchbruchmechanismen (Band-zu-Band-Tunneln und Avalanche-Effekt) bei der Zener-Spannung wirken, so dass eine nahezu konstante Durchbruchspannung in Abhängigkeit der Temperatur realisiert ist. Um den gesamten Spannungsbereich der Z-Diode zu beschreiben, werden mehrere ideale Dioden verwendet, die zur Beschreibung von verschiedenen Spannungsbereichen eingesetzt werden. Die Diodenparameter weichen dabei teilweise stark von den üblichen Wertebereichen ab, da nicht alle physikalischen Effekte linear überlagern.

Aufgrund des hochdotierten pn-Übergangs sind die unterschiedlichen Bereiche (Rekombinations-, Haupt- und Sättigungsbereich) nicht eindeutig voneinander zu trennen, so dass

3.3 SPICE-Makromodell für den erweiterten Temperaturbereich

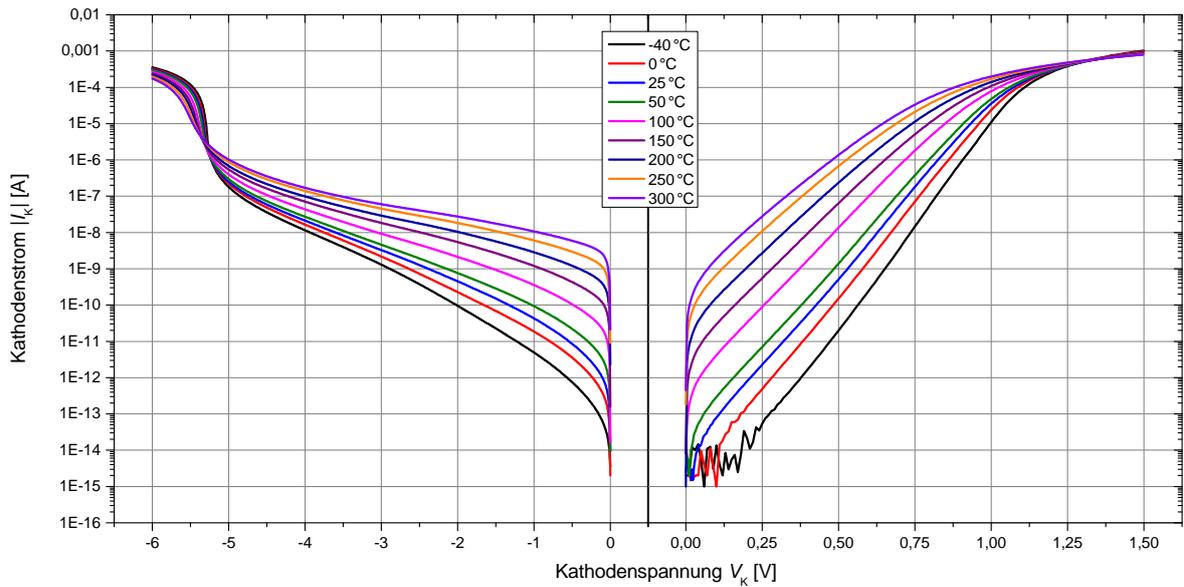
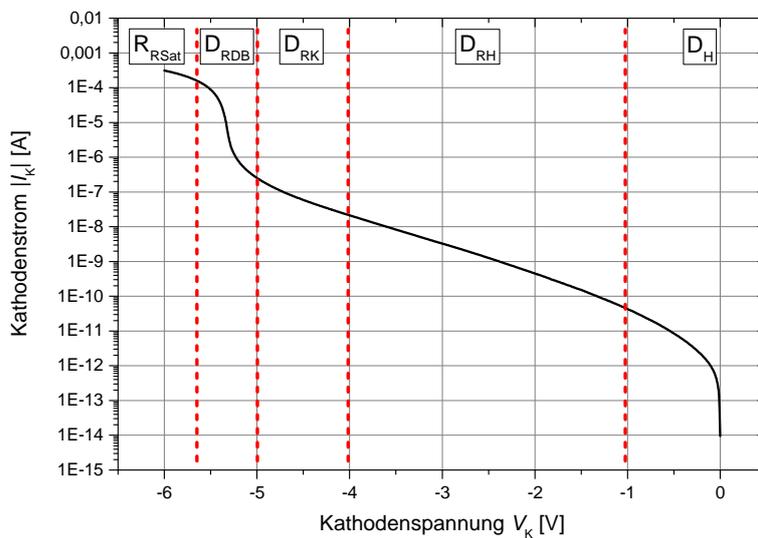
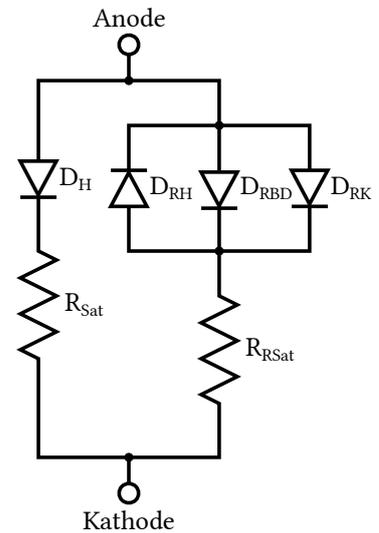


Abbildung 3.17: IV-Kennlinien der Z-Diode für verschiedene Temperaturen in Sperrrichtung (links) und Durchlassrichtung (rechts); $W = 1 \mu\text{m}$

der Kennlinienverlauf in Durchlassrichtung mithilfe einer einzigen Diode D_H und eines Widerstands R_{Sat} modelliert wird. Die Sperrrichtung wird dagegen in mehrere Bereiche unterteilt. In Abbildung 3.18 (a) ist die Aufteilung der Kennlinienbereiche, die durch verschiedene Bauelemente nachgebildet werden, anhand des Kennlinienverlaufs bei 25 °C dargestellt. Bei niedrigen Spannungen wird das Leckstromverhalten durch die Diode D_H beeinflusst. Weiterhin wird im mittleren Spannungsbereich zwischen -4 V und -1 V die Diode D_{RH} ein-



(a)



(b)

Abbildung 3.18: (a) Aufteilung des Sperrrichtung-Kennlinienverlaufs in verschiedene Simulationsbereiche, gekennzeichnet durch gestrichelte Linien ($W = 1 \mu\text{m}$); (b) Makromodell der Z-Diode

3 Diode

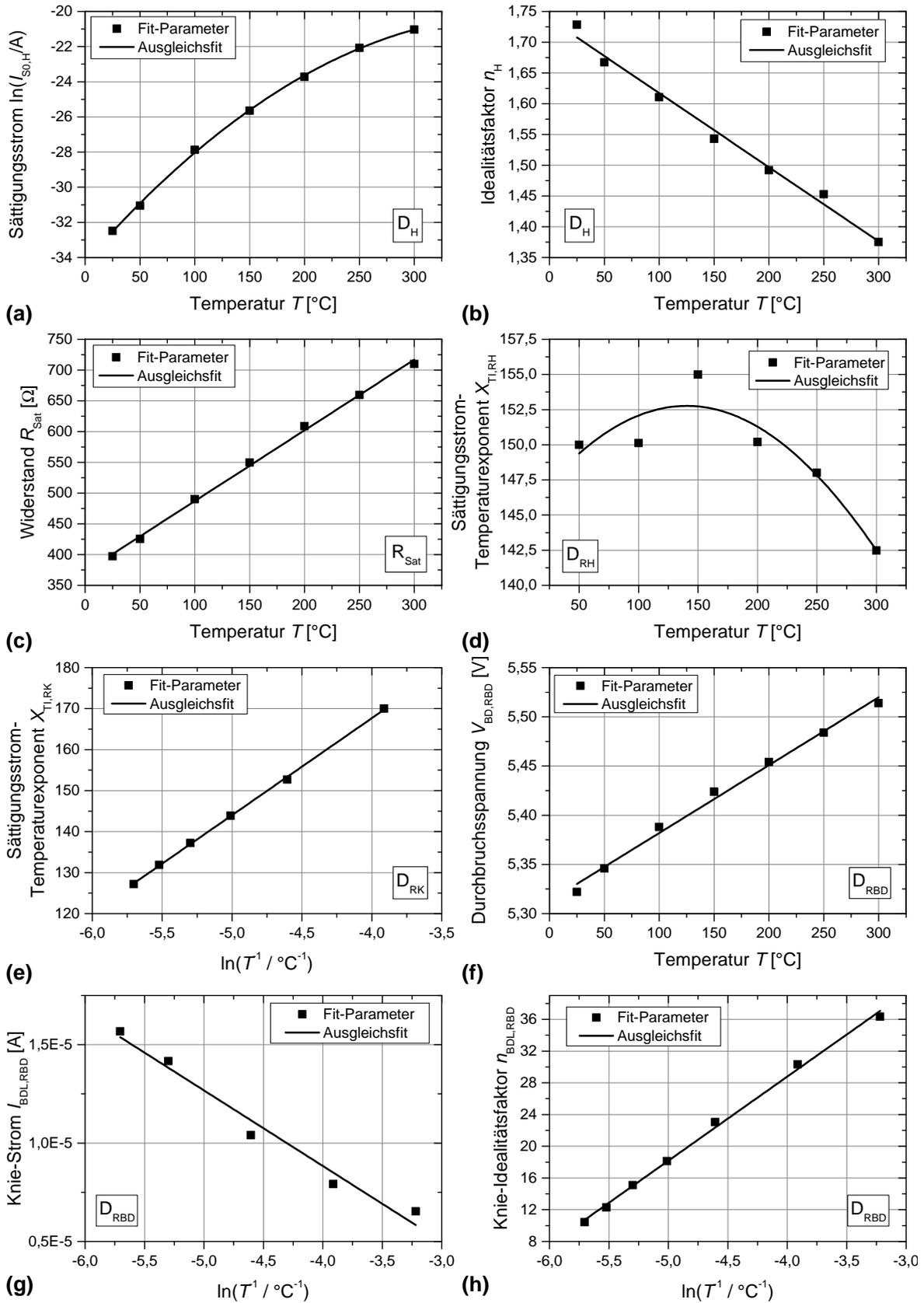


Abbildung 3.19: Temperaturabhängiger Verlauf der Parameter für verschiedene ideale Bauelemente zur Modellierung der Z-Diode in Durchlassrichtung (a) bis (c) und in Sperrrichtung (d) bis (h)

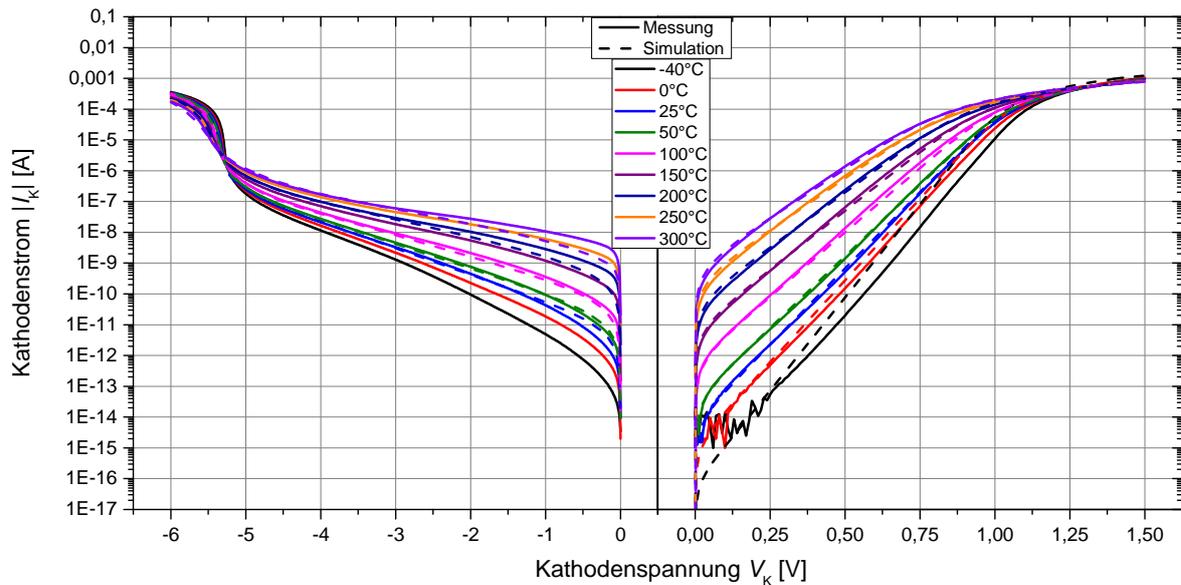


Abbildung 3.20: Vergleich der IV-Kennlinien der Z-Diode ermittelt durch Experiment und Simulation für verschiedene Temperaturen in Sperrrichtung (links) und Durchlassrichtung (rechts); $W = 1 \mu\text{m}$

gesetzt. Die Modellierung des Durchbruchs erfordert drei weitere Bauelemente. Die Diode D_{RK} modelliert das Verhalten im Knie-Bereich direkt vor dem Durchbruch. Die Notwendigkeit dieser Diode zeigt sich bei Betrachtung verschiedener Temperaturen, da dieser Bereich nicht allein durch D_{RH} nachgebildet werden kann. Die Durchbruchspannung selbst wird durch die Diode D_{RBD} angegeben. Schließlich dient der Widerstand R_{RSat} zur Begrenzung des Stromes. Das komplette Makromodell einer Z-Diode in der H035-Technologie ist in Abbildung 3.18 (b) dargestellt.

In Abbildung 3.19 sind die Parameter gezeigt, die bei der Modellierung des Kennlinienverlaufs durch eine zusätzliche temperaturabhängige Gleichung beschrieben werden mussten. Für die Modellierung in Durchlassrichtung werden der Sättigungsstrom $I_{\text{S0,H}}$ (a) und der Idealitätsfaktor n_{H} (b) der Diode D_{H} durch eine parabolische bzw. lineare Funktion angenähert. Ebenso wird der Sättigungswiderstand R_{Sat} (c) in Abhängigkeit der Temperatur linear verändert. Bei der Modellierung der Sperrichtung werden die Sättigungsstrom-Temperaturexponenten $X_{\text{TL,RH}}$ (d) und $X_{\text{TL,RK}}$ (e) der Dioden D_{RH} und D_{RK} angepasst. Für den Parameter $X_{\text{TL,RH}}$ konnte dabei leider keine triviale Funktion gefunden werden, die das Temperaturverhalten präzise beschreibt, so dass eine parabelförmige Funktion den ungefähren Verlauf abbildet. Darüber hinaus wird die Durchbruchspannung durch temperaturabhängige Änderung der Parameter $V_{\text{BD,RBD}}$ (f), $I_{\text{BDL,RBD}}$ (g) und $n_{\text{BDL,RBD}}$ (h) der Diode D_{RBD} beschrieben. Bei der Modellierung in Sperrichtung konnten dabei alle Parameter durch einen einfachen Zusammenhang der Temperaturabhängigkeit angefitet werden.

In Abbildung 3.20 sind die durch Simulation ermittelten Strom-Spannungs-Kennlinien der Z-Diode im Vergleich zu experimentell ermittelten Werten für verschiedene Temperaturen dargestellt. Bei der Durchlassrichtung (rechts) ist für die untersuchten Temperaturen zwischen $25 \text{ }^\circ\text{C}$ und $300 \text{ }^\circ\text{C}$ eine gute Übereinstimmung der Simulationsergebnisse zu den Messwerten zu finden. Lediglich bei $-40 \text{ }^\circ\text{C}$ und $0 \text{ }^\circ\text{C}$ ist eine Abweichung zu erkennen, die jedoch damit zusammen hängen könnte, dass die Kennlinien bei diesen Temperaturen auf einem

anderen Messplatz aufgenommen wurden. Der Vergleich der Kennlinien in Sperrrichtung (links) verdeutlicht, dass im unteren Spannungsbereich der modellierte Leckstrom etwas niedriger ist als der im Experiment bestimmte. Dennoch wird das Kennlinienverhalten bei höheren Spannungen (ab etwa -3 V) und im Durchbruchbereich durch das Modell gut nachgebildet. Auch im breiten Temperaturbereich zwischen -40 °C und 300 °C ist eine gute Korrelation der durch das Makromodell simulierten Werte mit den Messwerten zu finden. Der Quellcode des Makromodells mit den ermittelten Parametern befindet sich im Anhang B.

3.3.3 Fazit zur Bildung eines SPICE-Makromodells für den erweiterten Temperaturbereich

Die Entwicklung des Makromodells für die PIN-Diode bzw. die Z-Diode hat gezeigt, dass der Kennlinienverlauf der jeweiligen Diode durch dieses genau beschreiben werden kann. Bei der PIN-Diode wurde besonders das Verhalten in Durchlassrichtung genau analysiert und durch drei ideale Dioden und einen Widerstand nachmodelliert (vgl. Abb. 3.14). Der Kennlinienverlauf wird dabei über den gesamten Temperaturbereich von -40 °C bis 300 °C korrekt wiedergegeben (vgl. Abb. 3.16). Die temperaturabhängige Beschreibung erfolgt dabei durch zwei Parameter (vgl. Abb. 3.15).

Ebenfalls konnte für die Z-Diode ein Makromodell entwickelt werden, welches das elektrische Verhalten genau nachbildet. Das vollständige Modell beinhaltet vier ideale Dioden und zwei Widerstände (vgl. Abb. 3.18). Aufgrund des komplexen Strom-Spannungs-Verhaltens in Sperrrichtung wurde die Temperaturabhängigkeit der Diode durch 8 Parameter berücksichtigt (vgl. Abb. 3.19).

3.4 Niedrigspannungs-ESD-Schutzstrukturen für den erweiterten Temperaturbereich

Die Z-Diode bietet einen zuverlässigen Schutz vor ESD-Pulsen für Schaltungen mit einer Betriebsspannung von 5 V im breiten Temperaturbereich zwischen -40 °C und 300 °C . Neben den Transistoren, die für eine Betriebsspannung von 5 V ausgelegt sind, werden in der H035-Technologie Transistoren für digitale Schaltungen verwendet, die mit lediglich $3,3\text{ V}$ betrieben werden. Bei einem ESD-Ereignis können diese zwar einen kurzzeitigen Spannungspuls von 5 V aushalten, jedoch kommt es meistens in der Schaltung zu einer zusätzlichen Belastung, da sich die Spannung um einige Volt erhöht. Dieses Verhalten wurde bei transienten Simulationen der Z-Diode in Kapitel 3.2.5 erläutert. Dadurch kann es vorkommen, dass die Transistoren, die für $3,3\text{ V}$ -Betriebsspannung zugelassen sind, bei einem solchen ESD-Puls zerstört werden. Hierbei kommt es im dünnen Gate-Oxid zur Bildung von leitenden Pfaden, wodurch die dielektrischen Eigenschaften des Oxids nicht mehr gegeben sind. Um solche Bauelemente zuverlässig vor ESD-Pulsen zu schützen, muss eine zusätzliche Schutzstruktur in der Schaltung verbaut werden, die bei niedrigeren Spannungen als 5 V den Strom abführen kann.

Bei konventionellen Technologien, die für Temperaturen bis maximal 150 °C ausgelegt sind, werden zum Schutz der Bauelemente bei niedrigen Betriebsspannungen übliche pn-Dioden

(oder PIN-Dioden) verwendet. Diese werden in Vorwärtsrichtung seriell verschaltet, so dass sich durch Aufsummierung der Diodenspannungen die gewünschte Durchbruchspannung ergibt. Für Technologien, die in einem breiten Temperaturbereich zum Einsatz kommen, kann diese Methode nicht verwendet werden, da die Diodenspannung temperaturabhängig ist. So würde die Diodenspannung, die sich bei einer Temperatur von 25 °C bei etwa 0,7 V befindet, auf etwa 0,3 V bei 250 °C reduzieren, wodurch bereits bei einer Betriebsspannung ein hoher Strom fließen würde. Für den Einsatz einer ESD-Schutzstruktur im breiten Temperaturbereich, muss diese somit eine möglichst stabile Durchbruchspannung besitzen, die sich unter Berücksichtigung des Sicherheitsabstands von 10 % der Betriebsspannung bei etwa 3,6 V befinden soll.

Im diesem Kapitel sollen die Untersuchungen vorgestellt werden, die sich mit der Entwicklung eines solchen Bauelements beschäftigen. Dazu werden verschiedene Ansätze präsentiert, auf die mithilfe der experimentellen Messungen und zusätzlichen Simulationen näher eingegangen wird. Ein spannungsstabiles Durchbruchverhalten über einen breiten Temperaturbereich zwischen -40 °C und 300 °C steht dabei im Vordergrund. Obwohl lediglich die Begrenzung der positiven Spannung für eine Schaltung von Interesse ist, werden in diesem Kapitel Strukturen vorgestellt, die sowohl den negativen, als auch den positiven Spannungsbereich abdecken. Die verwendeten Bauelemente, die ein Aufschaltverhalten im negativen Spannungsbereich aufzeigen, werden aus wissenschaftlichem Interesse berücksichtigt.

3.4.1 Zener-Diode

Bereits im Kapitel 3.2 wurde das Durchbruchverhalten der Z-Diode vorgestellt. Dabei wurde erläutert, dass durch die Änderung der Dotierstoffkonzentration die Durchbruchspannung geändert werden kann. Für eine Z-Diode mit einer Durchbruchspannung kleiner 5 V muss die Dotierstoffkonzentration weiter erhöht werden. Dadurch wird das Band-zu-Band-Tunneln dominanter, so dass dieser Prozess den Hauptanteil des Stromes ausmacht. Anhand der Simulationsergebnisse soll im Folgenden erläutert werden, welche Auswirkungen die Steigerung der Dotierstoffkonzentration auf das Verhalten der Z-Diode hat. Weiterhin soll geklärt werden, ob es durch die Steigerung der Dotierstoffkonzentration möglich ist, eine zuverlässige ESD-Schutzstruktur zu entwickeln.

In Abbildung 3.21 sind die simulierten Strom-Spannungs-Kennlinien der Z-Diode in Sperrrichtung für verschiedene Dotierstoffkonzentrationen ($N_A = N_D$) dargestellt. Der verwendete Simulationenaufbau gleicht dabei dem aus Kapitel 3.2.2. Aus den Simulationsergebnissen geht hervor, dass während für vergleichsweise geringe Implantationsdosen von etwa $2 \times 10^{14} \text{ cm}^{-2}$ eine Verringerung der Zener-Spannung erfolgt, diese für weiter steigende Dotierstoffkonzentrationen sich nicht weiter verringert und der Durchbruch vom Leckstromverhalten dominiert wird. Der Leckstrom der Diode nimmt in Abhängigkeit der Dotierstoffkonzentration kontinuierlich zu, da die höhere Dotierung das Band-zu-Band-Tunneln begünstigt. Ab einer bestimmten Implantationsdosis (etwa $2 \times 10^{15} \text{ cm}^{-2}$) ist dieser Effekt so dominant, dass der Zener-Durchbruch nur schwach ausgeprägt ist bzw. komplett nicht mehr detektierbar ist.

Aufgrund dieses Verhaltens ist es leider nicht möglich eine Z-Diode zu konzipieren, die eine niedrige Durchbruchspannung besitzt und dennoch einen geringen Leckstrom aufweist. Um die hohe Stromaufnahme zu verringern, muss das Band-zu-Band-Tunneln vermieden

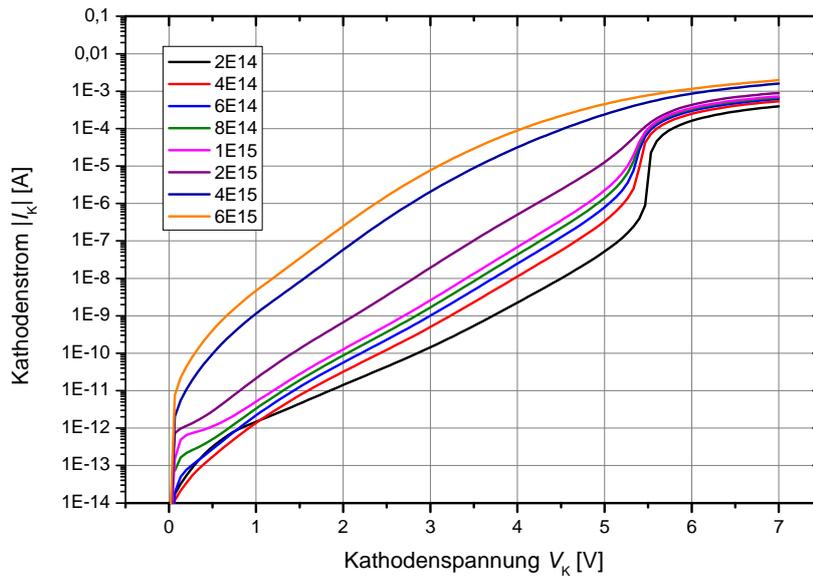


Abbildung 3.21: IV-Charakteristik der simulierten Z-Diode in Sperrrichtung für verschiedene Dotierstoffkonzentrationen mit $N_A = N_D$; $W = 1 \mu\text{m}$

werden. Wie später gezeigt wird, kann der Avalanche-Effekt unter bestimmten Voraussetzungen auch bei kleineren Spannungen einsetzen, ohne dass dafür ein hochdotierter pn-Übergang notwendig ist.

3.4.2 Punch-Through-Struktur

Neben dem Band-zu-Band-Tunneln und dem Avalanche-Effekt kann der Punch-Through-Effekt, der bereits in Kapitel 3.1.2 beschrieben wurde, ausgenutzt werden, um einen exponentiellen Anstieg des Stroms bei einer bestimmten Spannung zu bewirken. Dabei geht aus der Gleichung 3.8 hervor, dass sich die Durchbruchspannung linear zu der Dotierstoffkonzentration und quadratisch zu der Länge des mittleren Bereichs verhält. Die schwach dotierte Zone wird im Folgenden als PT-Region (mit der PT-Länge) bezeichnet. Durch die Anpassung der beiden Parameter kann der PT-Effekt bei einer bestimmten Spannung ausgelöst werden. Diese Strukturen entsprechen einem NMOS- bzw. PMOS-Transistor, wobei der Transistorkanal die schwach dotierte Region bildet (PT-Länge beim Transistor als Länge bezeichnet).

Eine Abschätzung der PT-Länge kann durch die Annahme einer homogen dotierten PT-Region erfolgen. Es kommen dabei einige der bereits verwendeten Implantationsdosen (z. B. die für Kanalimplantation eines Transistors oder die für die Driftregion eines Hochspannungstransistors) in Frage. Aus der Abschätzung ergibt sich für die minimale Länge der PT-Region ein Wert von etwa 400 nm. Der geringe Abstand zwischen den stark dotierten Kontaktbereichen (Source-Drain-Implantation, vgl. Kap. 2.1.2) kann lithographisch nicht präzise aufgelöst werden und würde zu einer zu starken Schwankung der PT-Länge und damit des Durchbruchs führen. Eine der wenigen lithographischen Schritte, die eine solche hohe Auflösung besitzen, ist die für die Strukturierung des Polysiliziums mit einer minimalen Abmessung von 350 nm. Die Nutzung von Polysilizium zur Abdeckung des PT-Bereichs

3.4 Niedrigspannungs-ESD-Schutzstrukturen für den erweiterten Temperaturbereich

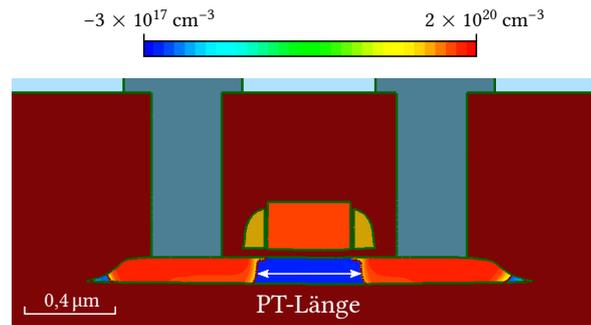


Abbildung 3.22: Simulationsquerschnitt einer PT-Struktur als npn-Übergang mit einem zusätzlichen Polysilizium-Streifen

limitiert jedoch die Anzahl der möglichen Implantationsebenen auf die verwendeten Kanalimplantationen der verschiedenen Transistoren. Da durch die Steigerung der Dotierstoffkonzentration die Länge reduziert wird, können nur die Masken NVT und PVT verwendet werden, da bei diesen eine geringere Implantationsdosis verwendet wird, als bei den Masken DNVT und PNVT. Zu beachten ist, dass das Polysilizium im Gegensatz zu anderen Strukturen keine elektrische Funktion beim Ableiten des ESD-Pulses besitzen soll, so dass die kapazitive Kopplung zur PT-Region durch das dicke Gate-Oxid so klein wie möglich gehalten wird. Um das Vorgehen zu verdeutlichen, ist in Abbildung 3.22 ein Simulationsquerschnitt einer PT-Struktur dargestellt. Die Länge des Polysilizium-Streifen wurde in den experimentellen Untersuchungen variiert.

In Abbildung 3.23 sind die IV-Kennlinien der PT-Strukturen mit einer n- bzw. p-dotierten PT-Region bei 25 °C dargestellt. Obwohl für den ESD-Schutz nur der Durchbruch in die positive Spannungsrichtung von Relevanz ist, werden hier dennoch beide Richtungen betrachtet, um einen besseren Vergleich zwischen den unterschiedlichen Dotierstoffarten zu bekommen. Da die obige Bestimmung der PT-Länge eine grobe Abschätzung war, wur-

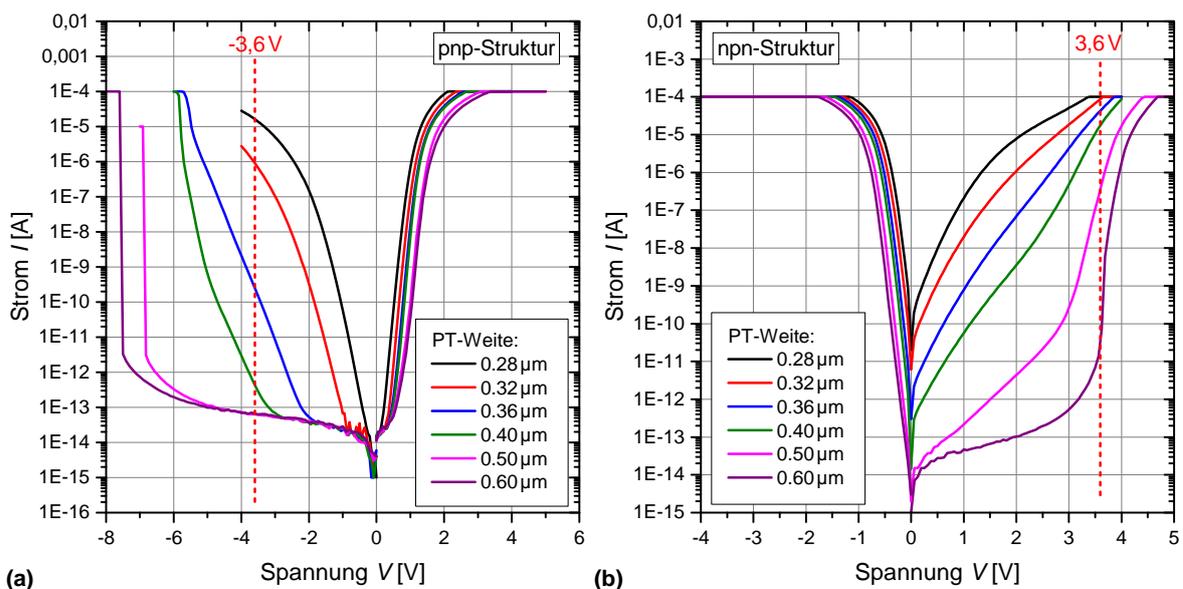


Abbildung 3.23: IV-Charakteristik mit dem PT-Effekt für eine pnp- (a) und npn-Struktur (b) bei 25 °C und bei verschiedenen PT-Längen; $W = 1 \mu\text{m}$

den Strukturen mit unterschiedlichen Abmessungen (auch unterhalb der minimal erlaubten Länge) prozessiert. Bei der Messung wurde das Potential des Polysiliziums genau so wie eines der Kontaktanschlüsse und der Substratanschluss auf Masse gelegt. Die Stromstärke der Messkurven wurde auf eine Gesamtweite der Struktur von $1\ \mu\text{m}$ normiert. In der Abbildung fällt zunächst der asymmetrische Verlauf der Kennlinien auf, der hauptsächlich auf den Einfluss des darüber liegenden Polysiliziums zurückzuführen ist. In die eine Spannungsrichtung (positive bei (a), negative bei (b)) wird ein frühes Aufschalten der Struktur mit einer geringen Längenabhängigkeit detektiert, wogegen in die andere Richtung der Strom im Vergleich erst bei höheren Spannungen ansteigt. Das frühe Aufschalten wird anhand der npn-Struktur erläutert, gilt jedoch analog für die Struktur mit der inversen Dotierstoffkonzentration. Wird die Spannung an einem der Kontaktpotentiale gesenkt und das andere mit dem Gate-Potential auf $0\ \text{V}$ gelassen, so entspricht das der Situation, bei dem ein Kontakt und das Gate-Potential erhöht werden (mit einem Kontaktpotential auf $0\ \text{V}$). Dieser Ablauf ist vergleichbar mit dem Aufschalten eines MOS-Transistors. Die verminderte Schwellenspannung ist auf die Kurzkanaleffekte zurückzuführen.

Für die negative Spannungsrichtung der pnp-Struktur und positive der npn-Struktur ist der PT-Effekt zu beobachten. Dieser äußert sich in einem relativ steilen Anstieg des Stroms von etwa 2 Dekaden pro Volt. Die im Vergleich zu einer Z-Diode geringere Steigung wird, neben den grundlegend unterschiedlichen physikalischen Effekten, durch das inhomogene Dotierstoffprofil in der PT-Region und den Einfluss des Polysiliziums bestimmt, so dass im vertikalen Profil des Siliziumfilms der PT-Effekt bei verschiedenen Spannungswerten auftritt. Dennoch kann eine Gesamtstromzunahme (vom Leckstromniveau bis zum Sättigungsbereich) von mehr als 8 Dekaden innerhalb von etwa $3\ \text{V}$ festgestellt werden. Da es im Gegensatz zu der Z-Diode bei den PT-Strukturen nicht zum Band-zu-Band-Tunneln kommt, bleibt der Leckstrom auf einem niedrigen Niveau, so dass die Stromzunahme beim Durchbruch im Vergleich zur Z-Diode größer ist. Dadurch könnte die PT-Struktur bei einer richtigen Dimensionierung einen deutlich höheren Strom innerhalb einer Spannungstoleranz von wenigen Volt abführen als es für die Z-Diode der Fall ist.

Weiterhin ist der Anstieg für die pnp-Struktur im Vergleich zu dem mit einem npn-Übergang etwas geringer, da es sich hierbei um den Stromfluss durch Löcher handelt. Die PT-Spannung nimmt dabei in Abhängigkeit der PT-Länge zu, wobei der Spannungswert beim Durchbruch für npn- und pnp-Strukturen aufgrund der unterschiedlichen Dotierung verschieden ist. Weiterhin wird für höhere PT-Spannungen der Avalanche-Effekt relevant. Bei der pnp-Struktur mit einer Weite von mehr als $0,4\ \mu\text{m}$ setzt der Avalanche-Effekt vor dem eigentlichen PT-Durchbruch ein. Dieser äußert sich in einem steileren Anstieg der Durchbruchspannung als es beim PT-Effekt der Fall ist. Für eine Durchbruchspannung um etwa $\pm 3,6\ \text{V}$ werden die Strukturen mit der Länge $0,36\ \mu\text{m}$ bzw. $0,4\ \mu\text{m}$ (für pnp) und $0,5\ \mu\text{m}$ bzw. $0,6\ \mu\text{m}$ (für npn) weiter betrachtet.

Als nächstes soll das temperaturabhängige Verhalten der PT-Strukturen untersucht werden. Dazu sind in der Abbildung 3.24 die IV-Kennlinien der Strukturen für den Temperaturbereich zwischen $-40\ ^\circ\text{C}$ und $300\ ^\circ\text{C}$ dargestellt. Die temperaturabhängige Erhöhung des Leckstroms ist auf den nichtlinearen Anstieg der intrinsischen Ladungsträger im mittleren Bereich der Struktur zurückzuführen, der auch bei Transistoren auftritt. Durch den erhöhten Leckstrom ist im Durchbruchbereich bei höheren Temperaturen nur eine relativ geringe Erhöhung festzustellen, so dass vor allem im Falle der pnp-Struktur die Durchbruchspan-

3.4 Niedrigspannungs-ESD-Schutzstrukturen für den erweiterten Temperaturbereich

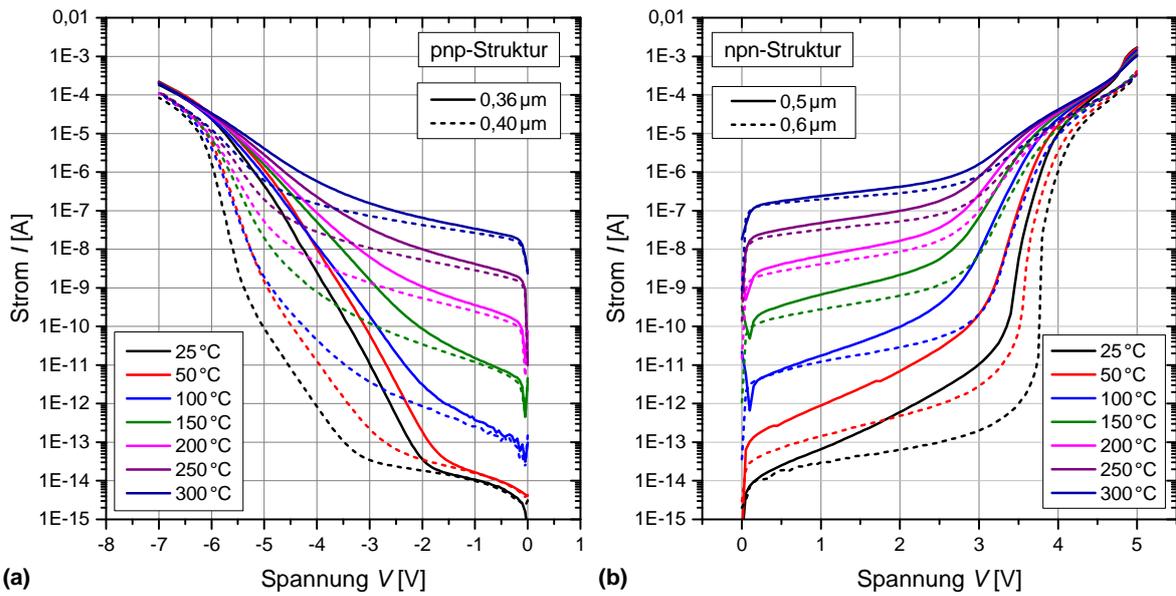


Abbildung 3.24: IV-Charakteristik für verschiedene Temperaturen und PT-Längen von (a) pnp- und (b) npn-Strukturen; $W = 1 \mu\text{m}$

nung nicht eindeutig bestimmt werden kann. Leider verschiebt sich auch der durchbruchbedingte Anstieg des Stroms in Abhängigkeit der Temperatur. Ein wohldefinierter schmaler Spannungsbereich, in dem es bei unterschiedlichen Temperaturen zu einem Stromanstieg kommt wie es bei der Z-Diode der Fall ist, kann bei diesen Strukturen nicht beobachtet werden.

Da die PT-Struktur zum Schutz vor ESD-Pulsen eingesetzt werden soll, wird im folgenden der Vergleich mit einer Z-Diode angestellt. Dazu sind in Abbildung 3.25 die Kennlinie

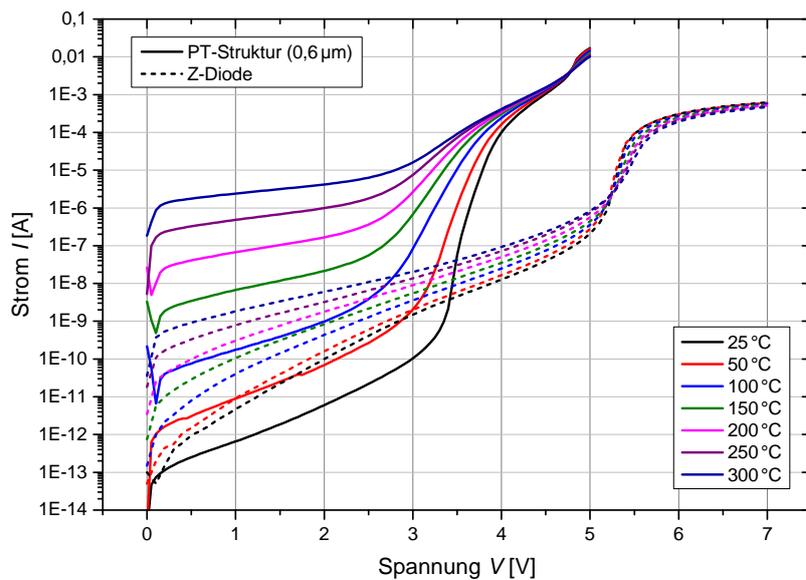


Abbildung 3.25: Vergleich der IV-Kennlinien einer PT-Struktur mit einer Z-Diode bei verschiedenen Temperaturen; $W = 1 \mu\text{m}$

der PT-Struktur und der optimierten Z-Diode für verschiedene Temperaturen dargestellt. In dieser Abbildung wurde die Struktur mit einer PT-Länge von $0,6\ \mu\text{m}$ verwendet. Wird das Leckstromverhalten bei etwa $3\ \text{V}$ betrachtet, so ist gegenüber der Z-Diode für niedrige Temperaturen (bis etwa $50\ ^\circ\text{C}$) eine geringere Stromaufnahme zu verzeichnen, wogegen bei höheren Temperaturen der Leckstrom deutlich höher ist. Bei $250\ ^\circ\text{C}$ weist die PT-Struktur einen um etwa drei Größenordnungen höheren Strom auf. In einer Schaltung würde eine solche Struktur bei Hochtemperaturanwendungen zu einer signifikant höheren Leistungsaufnahme führen. Vorteilhaft bei der PT-Struktur ist dagegen die relativ hohe Stromzunahme beim Aufschaltvorgang. Bereits bei etwa $4\ \text{V}$ führt die PT-Struktur in etwa die gleiche Strommenge ab, wie es bei der Z-Diode erst bei etwa $6\ \text{V}$ der Fall ist. Darüber hinaus steigt der Strom der PT-Struktur im Vergleich zur Z-Diode weitaus höher, wodurch eine deutlich größere Strommenge bei einem ESD-Event abgeführt werden könnte. Somit bietet die PT-Struktur sowohl Vor- als auch Nachteile gegenüber der Z-Diode, die beim Einsatz in der Schaltung gegeneinander abgewogen werden müssten. Für eine abschließende Bewertung, ob diese Struktur für den ESD-Schutz geeignet ist, bedarf es jedoch weiterer Untersuchungen.

3.4.3 Floating-Body-Struktur

Bei der Entwicklung der PT-Struktur wurde eine weitere Möglichkeit gefunden, den Durchbruch bei einer bestimmten Spannung auszulösen. Dazu ist in Abbildung 3.26 der Kennlinienverlauf von pnp- (a) und npn-Strukturen (b) dargestellt. Im Gegensatz zu den im Kapitel 3.4.2 vorgestellten Bauelementen, wurden diese mit einer deutlich höheren Dotierung des PT-Bereichs versehen. Dabei wird die Kanalimplantation der Transistoren mit dünnem Gate-Oxid verwendet, die sich im Bereich von etwa $5 \times 10^{12}\ \text{cm}^{-2}$ befindet. Bei den Untersuchungen wurden ein Kontaktpotential, der Substratanschluss und das Poly-Potential

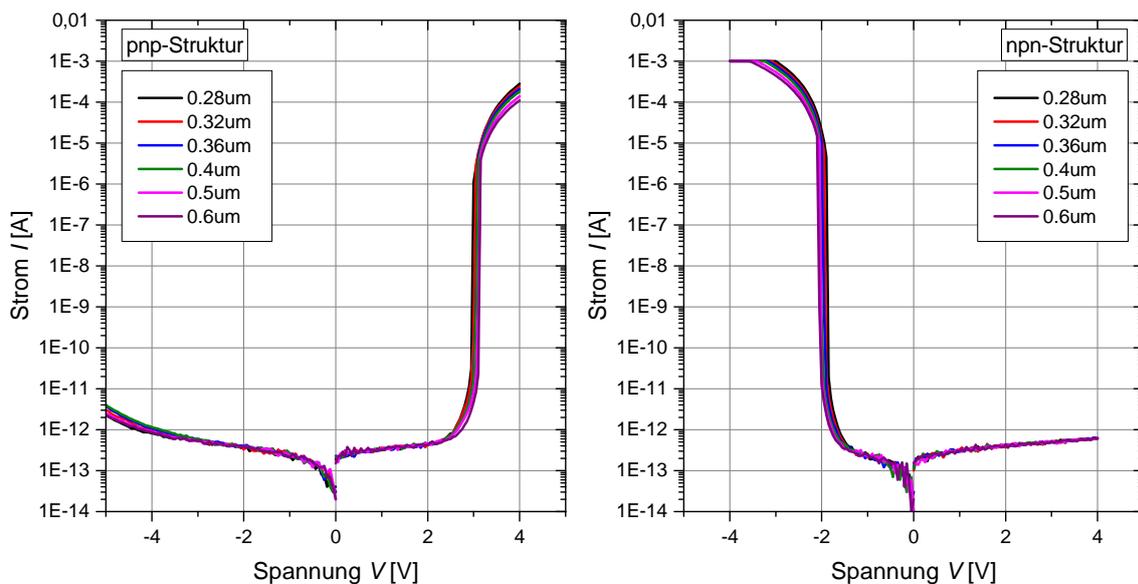


Abbildung 3.26: IV-Kennlinien von FB-Strukturen mit verschiedenen PT-Längen bei $25\ ^\circ\text{C}$; (a) pnp-Struktur; (b) npn-Struktur; $W = 1\ \mu\text{m}$

3.4 Niedrigspannungs-ESD-Schutzstrukturen für den erweiterten Temperaturbereich

konstant auf 0 V gehalten und das andere Kontaktpotential in positive bzw. negative Spannungsrichtung verfahren. Aus den experimentell ermittelten Ergebnissen geht hervor, dass es keine eindeutige Abhängigkeit der Durchbruchspannung von der PT-Länge gibt, so dass der Strom von Strukturen mit unterschiedlichen Abmessungen in etwa bei gleicher Spannung sprunghaft ansteigt. Gegenüber der PT-Struktur bietet dieses Bauelement einen deutlichen Vorteil, da es gegenüber Prozessierungsschwankungen unempfindlich ist. Die Stromstärke nimmt dabei um mehr als 7 Dekaden zu, wobei der Stromanstieg nahezu vertikal verläuft und damit ein ideales Durchbruchverhalten darstellt. Die Durchbruchspannung liegt bei der pnp-Struktur bei etwa 3 V, wogegen die der npn-Struktur mit betragsmäßig etwa 2 V deutlich niedriger ist. Bei etwa 1×10^{-6} A geht der Durchbruch allmählich in eine Sättigung über, wobei hier die pnp-Struktur einen größeren Widerstand aufzeigt, was auf die Löcherleitung zurückzuführen ist.

Beim Vergleich der Kennlinien von Strukturen unterschiedlicher PT-Länge wird deutlich, dass es sich hierbei nicht um einen Punch-Through-Effekt handelt, da der Durchbruch keine Längenabhängigkeit besitzt und der Anstieg zu steil verläuft. Einzig der Widerstand im Sättigungsbereich wird durch die PT-Länge beeinflusst. Der Effekt kann als der Floating-Body-Effekt (vgl. Kap. 2.3.1) identifiziert werden, da die vorliegende Struktur einem Transistor ohne zusätzlichen Body-Anschluss entspricht. Der nicht verarmte Bereich dient als Senke für positive bzw. negative Ladungen, die bei einer bestimmten Spannung eines der beiden Kontaktanschlüsse durch den Avalanche-Effekt zum plötzlichen Aufschalten der Struktur führen (Single-Transistor-Latch). Durch die hohe Dotierung des mittleren Bereichs und die damit verbundene geringe Verarmung tritt dieser Effekt bereits bei geringen Spannungen auf. In der folgenden Diskussion werden Bauelemente mit einem solchen charakteristischen Verhalten als FB-Strukturen (Floating-Body) bezeichnet.

Für die Untersuchungen in Abhängigkeit der Temperatur wurden Strukturen mit einer Länge des mittleren Bereichs (vorher als PT-Länge bezeichnet) von $0,6 \mu\text{m}$ ausgewählt. Das tem-

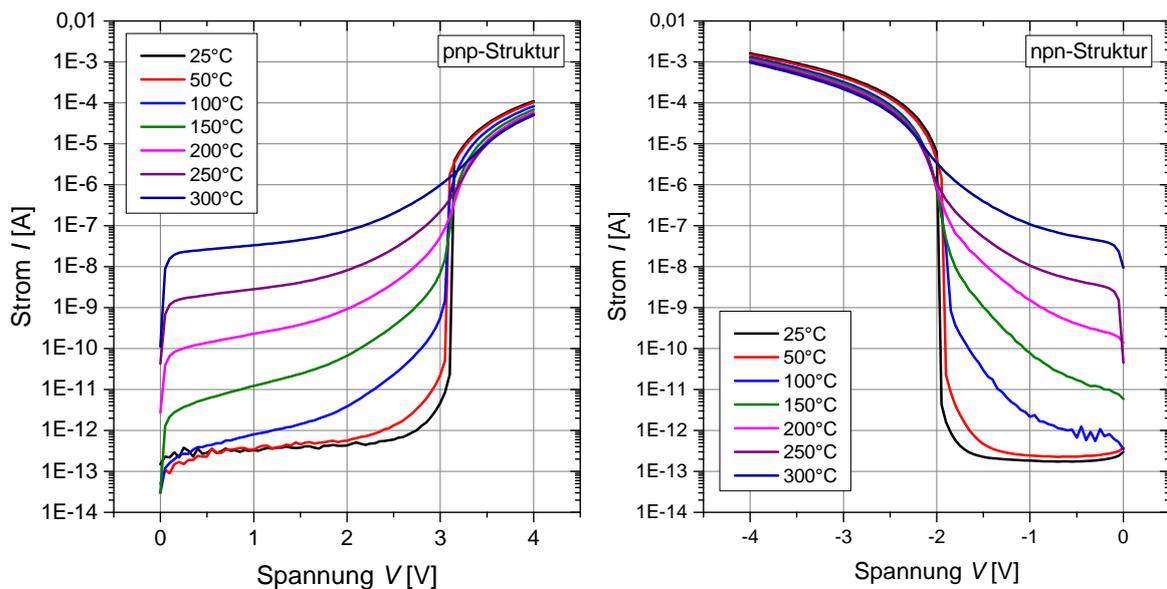


Abbildung 3.27: IV-Kennlinien bei verschiedenen Temperaturen für eine (a) pnp- und (b) npn-Struktur; $W = 1 \mu\text{m}$

3 Diode

peraturabhängige Verhalten ist in Abbildung 3.27 dargestellt. Aus dem Verlauf geht hervor, dass die Erhöhung des Stroms beim Avalanche-Durchbruch deutlich von Leckstromverhalten beeinträchtigt wird. Bei hohen Temperaturen ist der sprunghafte Anstieg des Stroms über mehrere Dekaden bei einer bestimmten Spannung nicht mehr vorhanden, da dieser vom hohen Leckstrom überlagert wird. Dennoch ist ab etwa 3 V bei der pnp-Struktur (a) bzw. 2 V bei der npn-Struktur (b) eine Erhöhung des Stroms um mehrere Dekaden über einen Spannungsbereich von einem Volt festzustellen. Weiterhin wird deutlich, dass die Durchbruchspannung im gesamten Temperaturbereich relativ konstant bleibt. Dadurch würde sich dieser Bauelementtyp besonders für Anwendungen im breiten Temperaturbereich eignen.

Zum besseren Vergleich sind in Abbildung 3.28 die IV-Kennlinien der FB-Struktur und der Z-Diode bei unterschiedlichen Temperaturen abgebildet. Aus der Abbildung geht hervor, dass der Leckstrom der FB-Struktur gegenüber der Z-Diode bei Temperaturen bis etwa 150 °C geringer ist, wogegen im Hochtemperaturbereich die Stromstärke der FG-Struktur größer ist. Dennoch ist im Vergleich zur PT-Struktur der Leckstrom deutlich geringer, was vor allem auf die Verarmungszone im mittleren Bereich zurückzuführen ist, welche bei der FB-Struktur größer ist. Das kann damit erklärt werden, dass bei der FB-Struktur neben der seitlichen Verarmung (wie bei der PT-Struktur) das Poly-Potential zu einer Verarmungsschicht im oberen Bereich des Siliziumfilms führt (vergleichbar mit dem Gate beim Transistor).

Weiterhin kann festgestellt werden, dass die Sättigung bei der FB-Struktur bei relativ kleinen Strömen einsetzt. Im Vergleich zur Z-Diode ist der Sättigungsstrom der FB-Struktur um etwa eine Potenz geringer. Das hat zur Folge, dass zur Abführung von hohen Strompulsen (z. B. 1 A) die Struktur mit einer großen Weite ($> 10 \text{ mm}$) designt werden müsste. Um die Bauelemente als ESD-Schutzstrukturen verwenden zu können, muss der Widerstand gesenkt werden, so dass der Strom erst bei einem Wert von etwa $1 \times 10^{-3} \text{ A}$ in die Sättigung

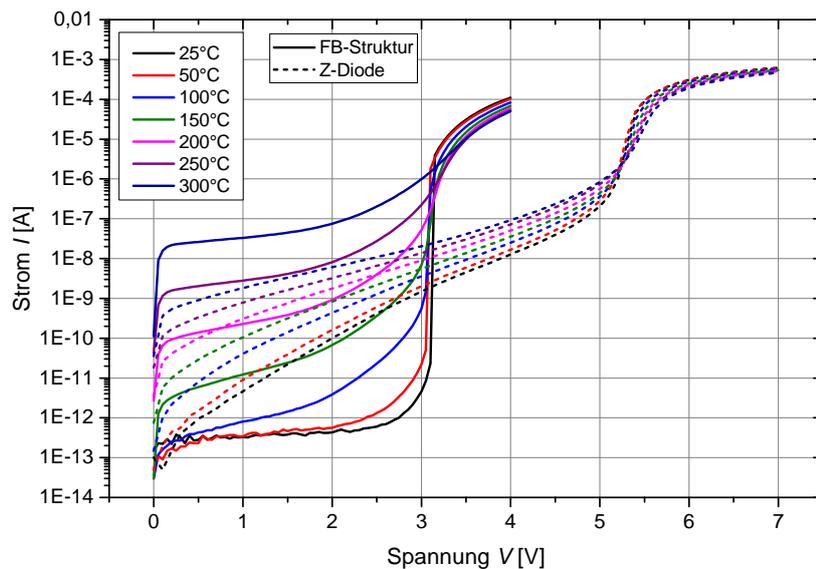


Abbildung 3.28: Vergleich der IV-Kennlinien einer FB-Struktur mit einer Z-Diode bei verschiedenen Temperaturen; $W = 1 \mu\text{m}$

übergeht. Dieses könnte durch die Erhöhung der Dotierstoffkonzentration im mittleren Bereich der FB-Struktur erfolgen, was jedoch auch zur Änderung des Durchbruchverhaltens führen würde.

Aufgrund des temperaturstabilen Durchbruchs könnte die FB-Struktur auch als Trigger-Signal für einen aktiven ESD-Schutz eingesetzt werden. Weitere Anwendungsmöglichkeiten, wie z. B. zur Begrenzung einer Spannung oder als Spannungsreferenz, sind ebenso vorstellbar.

3.4.4 Fazit zur Entwicklung einer Niederspannung-ESD-Schutzstruktur für den erweiterten Temperaturbereich

Bei der Entwicklung von neuen ESD-Schutzstrukturen, die für eine niedrige Betriebsspannung von 3,3 V ausgelegt sind und in einem breiten Temperaturbereich eingesetzt werden können, wurden hauptsächlich zwei Bauelemente untersucht. So wurden Punch-Through-Strukturen als npn- bzw. pnp-Übergänge realisiert, bei denen die Weite des mittleren Bereichs variiert wurde. Die Verwendung eines Polysilizium-Streifens ermöglichte eine relativ geringe PT-Länge. Es konnte festgestellt werden, dass bei niedrigen Dotierstoffkonzentrationen des mittleren Bereichs und bestimmten PT-Längen die Strukturen bei etwa 3,3 V ein Aufschaltverhalten zeigen (vgl. Abb. 3.23). Es wurde jedoch ebenfalls deutlich, dass es in einem breiten Temperaturbereich keinen festen Spannungswert gibt, bei dem der Aufschaltvorgang eingeleitet wird (vgl. Abb. 3.25). Die Durchbruchspannung variiert von etwa 3,3 V bei 25 °C bis 2,8 V bei 300 °C. Für den Einsatz in der Schaltung müssten zusätzliche PIN-Dioden verwendet werden, die die Durchbruchspannung weiter erhöhen. Ebenfalls zeigte sich, dass der Leckstrom in Abhängigkeit der Temperatur stark erhöht wird und somit gegenüber einer Z-Diode beim Einsatz in einer Schaltung als ESD-Schutzstruktur zu einer hohen Leistungsaufnahme führen würde. Da jedoch die Stromzunahme im Aufschaltbereich größer ist als bei der Z-Diode, könnte die PT-Struktur kleiner dimensioniert werden, was den Leckstrom reduzieren würde. Abschließend kann festgestellt werden, dass zwar die Durchbruchspannung im Vergleich zur Z-Diode reduziert werden konnte, jedoch zeigen sich im breiten Temperaturbereich Nachteile im Bezug auf die Spannungsfestigkeit und das Leckstromverhalten.

Weiterhin wurden Strukturen verwendet, die zwar geometrisch vergleichbar sind mit den PT-Strukturen, jedoch den Floating-Body-Effekt zum aufschalten des Bauelements verwenden. Hier zeigte sich, dass das Durchbruchverhalten gegenüber Maßschwankungen stabil ist. Ebenfalls konnte festgestellt werden, dass die Durchbruchspannung in Abhängigkeit der Temperatur relativ stabil bleibt und der Leckstrom im Vergleich zur PT-Struktur deutlich weniger erhöht. Zwar liegt die Durchbruchspannung nicht bei 3,6 V wie für eine ESD-Struktur benötigt, jedoch könnte diese durch Erhöhung der Dotierstoffkonzentration des mittleren Bereichs angepasst werden. Der im Vergleich zur Z-Diode höhere Sättigungswiderstand könnte durch Änderung der Geometrie weiter verringert werden. Damit konnten erste Untersuchungen zeigen, dass sich die FB-Struktur durchaus zum Schutz vor ESD-Pulsen für Low-Power-Anwendungen in einem breiten Temperaturbereich eignet.

4 Hochspannungstransistor

Ein Hochspannungstransistor (HV-Transistor) kann durch die spezielle Bauform mit einer hohen Spannung, welche sich auf dem Drain-Potential befindet, betrieben werden. Die Prozessierung der HV-Transistoren in einer CMOS-Technologie stellt gegenüber den diskreten Bauelementen eine zusätzliche Herausforderung dar. Der Vorteil der gemeinsamen Prozessierung ist dabei neben der Kosteneinsparung, dass die Schaltungselektronik mit einer niedrigeren Betriebsspannung auf dem gleichen Chip platziert werden kann, wodurch komplexere Schaltungen möglich werden. So werden HV-Transistoren z. B. als Gate-Treiber für Leistungsbauelemente verwendet [87, 88]. Aber auch zur Programmierung von nichtflüchtigen Speichern (s. Kap. 5) ist eine höhere Spannung erforderlich, die meistens nur durch die spezielle Bauweise eines Transistors mit erweitertem Spannungsbereich zu realisieren ist.

In der H035-Technologie stehen mehrere Typen von HV-Transistoren für verschiedene Spannungsbereiche zur Verfügung. Neben einem 10 V-Transistor, werden 16 V-Transistoren für den Einsatz in Speichermodulen und 30 V-Bauelemente als HV-Transistoren verwendet. Unterschiedliche Anwendungen erfordern teilweise den Betrieb in einem höheren Spannungsbereich bis 50 V oder sogar darüber hinaus. In diesem Kapitel soll der verwendete 30 V-Transistor in Hinblick auf eine höhere Spannungsverträglichkeit optimiert werden.

Weiterhin wird eine neue Form eines spannungsfesten Transistors vorgestellt, bei dem eine separate Kontaktierung des Kanalbereichs möglich ist. Durch das zusätzliche Potential kann eine deutliche Reduzierung des Leckstroms und Verbesserung anderer transistorspezifischer Parameter in Abhängigkeit der Temperatur erreicht werden.

4.1 Grundlagen

Im Unterschied zum normalen Transistor verfügt der Hochspannungstransistor über ein zusätzliches niedrig dotiertes Gebiet (Driftregion), in dem die hohe Drain-Spannung abgebaut wird, so dass am Drain-seitigen Ende des Kanalbereichs nur ein geringes und gut beherrschbares Potential vorliegt. Die charakteristischen Kenngrößen werden maßgeblich von dieser Region bestimmt. Laterale MOS-Transistoren werden dabei meistens als LDMOS-Bauelemente (Lateral Double-Diffused MOSFET) gefertigt, da diese gegenüber anderen lateralen HV-Transistoren einige Vorteile besitzen. Darüber hinaus wird die sogenannte RESURF-Technik (Reduced Surface Field) eingesetzt, die die Spannungsfestigkeit des Transistors weiter steigern kann.

Im Folgenden werden die Grundlagen des LDMOSFETs und die charakteristischen Kenngrößen erläutert. Weiterhin wird die RESURF-Technik vorgestellt und der 30 V-Transistor beschrieben, welcher in der H035-Technologie zum Einsatz kommt.

4.1.1 LDMOS-Transistor

Es existieren unterschiedliche Typen von Leistungstransistoren bzw. Hochspannungstransistoren, die in einem bestimmten Spannungs-, Strom- oder Frequenzbereich eingesetzt werden können [89]. Neben den Feldeffekttransistoren werden Bipolartransistoren, und sogenannte IGBTs (Insulated Gate Bipolar Transistor) verwendet, von denen jedoch nur die Feldeffekttransistoren in der H035-Technologie verwendet werden. Im Vergleich zu diskreten Leistungstransistoren, können die integrierten HV-Transistoren nur relativ geringe Ströme durchlassen, was meistens auf die Geometrie des Transistors zurückzuführen ist.

Bei den Feldeffekttransistoren wird zwischen vertikalen und lateralen Bauelementen unterschieden, von denen der VDMOS (Vertical Double-Diffused MOSFET) und der LDMOS (Lateral Double-Diffused MOSFET) zwei prominente Vertreter der HV-Transistoren darstellen [90]. Dabei können jedoch in der H035-Technologie nur die lateralen Transistoren hergestellt werden, da durch das vergrabene Oxid eine vertikale elektrische Verbindung zum Substrat nicht vorgesehen ist.

Ein LDMOS-Transistor ist das am häufigsten verwendete CMOS-integrierte Leistungsbau- element, bei dem der Strom lateral zwischen Source und Drain fließt [91]. Der schematische Querschnitt für eine Bulk-Technologie ist in Abbildung 4.1 dargestellt. Der Transistor zeichnet sich durch die Doppeldiffusion des hochdotierten Source-Bereichs und des Kanalbereichs aus. Durch den selbstjustierenden Prozess ist die Kanallänge nicht von lithographischen Beschränkungen abhängig, was vor allem in älteren Technologien von Bedeutung war. Es handelt es sich um einen asymmetrischen Transistor mit kurzen Schaltzeiten und hoher Sperrspannung. Durch ein ausreichend hohes Gate-Potential wird der Kanal in der schwachdotierten p-Wanne aufgebaut. Die n-Wanne wird durch das positive Potential am Drain in den Verarmungszustand versetzt, so dass über dieser Region die hohe positive Spannung abfällt. Dieser Bereich wird auch als Driftregion bezeichnet. Das Potential welches sich unterhalb des Gates einstellt, ist so weit reduziert, dass sich das Feld, welches über dem Gate-Oxid anliegt, weit unterhalb des Durchbruchs befindet. Weiterhin kann eine Anpassung der Dotierstoffkonzentration in der Driftregion zu einer Steigerung der Spannungsfestigkeit führen.

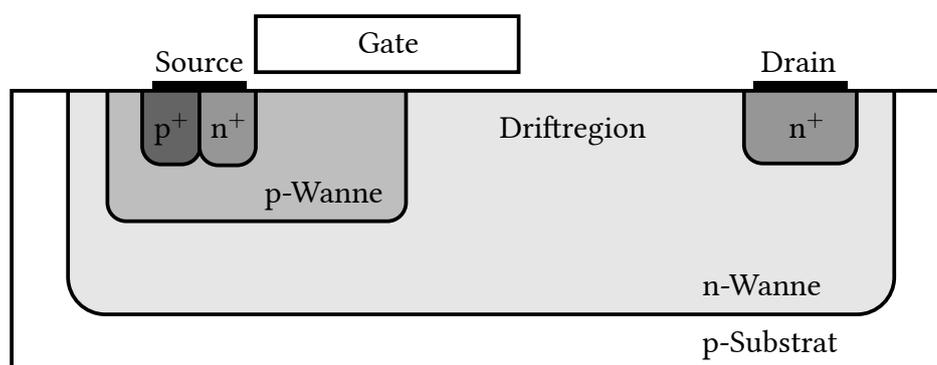


Abbildung 4.1: Schematischer Aufbau eines LDMOS-Transistors in einer Bulk-Technologie

4.1.2 Funktionsweise der Driftregion

Der Abbau der hohen Drain-Spannung geschieht innerhalb der Driftregion, wobei die Dotierstoffverteilung und die kapazitive Beeinflussung dieser Region entscheidend für die Spannungsfestigkeit des Transistors sind. Weiterhin spielen bei der Charakterisierung eines Hochspannungstransistors bestimmte Kenngrößen eine wichtige Rolle. Die Funktionsweise der Driftregion und die charakteristischen Kenngrößen werden im folgenden Kapitel erläutert.

Silizium-Limit

In Abbildung 4.2 ist zur Veranschaulichung des Vorgangs die Driftregion als PIN-Diode in drei verschiedenen Zuständen dargestellt. Dabei wird am n-hochdotierten Bereich eine positive Spannung durchgefahren, wogegen der p-dotierte Kontakt auf dem Null-Potential gehalten werden soll. In (a) wird durch die positive Spannung eine Raumladungszone aufgebaut, die sich entlang der schwach negativ dotierten Driftregion ausbreitet. Das elektrische Feld ist nicht konstant, so dass über unterschiedliche Teile der Raumladungszone ein unterschiedlich hohes Potential abfällt. Das Feld ist jedoch stets niedriger als die zur Auslösung des Avalanche-Effekts benötigte Feldstärke E_{Av} . Der nicht verarmte Bereich der Driftregion trägt nicht zur Minderung des Potentials bei und kann als ein zusätzlicher Widerstand angesehen werden.

In Abbildung 4.2 (b) ist die gesamte Driftregion verarmt, so dass die Spannung über der gesamten Verarmungszone abgebaut wird. Das Feld, welches an dem p-dotierten Bereich vorliegt, überschreitet jedoch das Feld E_{Av} , wodurch die lawinenartige Stoßionisation ausgelöst wird. Diese Struktur wird somit über dem maximal zulässigen Spannungsbereich betrieben.

Im Gegensatz dazu kann durch bestimmte Maßnahmen der Feldverlauf so geformt werden, dass ein konstantes elektrisches Feld über der gesamten Driftregion vorliegt (vgl. Abb. 4.2 (c)). Dieses befindet sich dabei knapp unterhalb von E_{Av} , wodurch der Avalanche-Effekt nicht auftritt. Durch die konstante Feldstärke über der gesamten Region wird der maximal mögliche Spannungsabfall realisiert, wodurch eine sehr hohe Spannungsfestigkeit erreicht werden kann. Dieser Zustand wird als das Silizium-Limit bezeichnet, bei dem die maximale Spannung über die minimale Strecke und damit den minimalen Widerstand abgebaut wird.

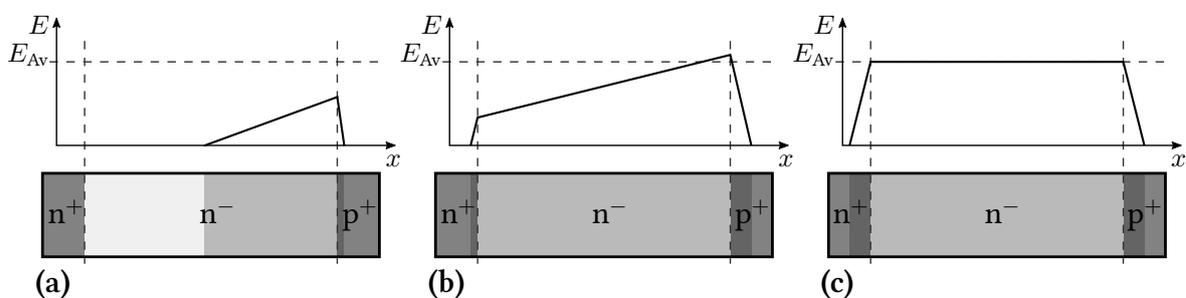


Abbildung 4.2: Schematische Darstellung der Driftregion als PIN-Diode für (a) den nicht vollständig verarmten Fall, (b) den vollständig verarmten Fall und (c) den vollständig verarmten Fall mit maximaler Spannungsfestigkeit

Es handelt sich hierbei um eine ideale Struktur, die in der Realität nur unter sehr hohem Aufwand realisiert werden kann.

RESURF-Technik

Der obige Fall der idealen Struktur kann durch verschiedene Ansätze angenähert werden, die als RESURF-Techniken bezeichnet werden. Diese Technik wurde von Appels und Vaes zum ersten Mal in [92] bei einer Bulk-Technologie vorgestellt, gilt jedoch ebenso für Strukturen, die auf SOI-Wafern prozessiert werden. In der Publikation wurde die Durchbruchspannung einer lateralen Diode in Abhängigkeit von der Epitaxie-Schicht (Epi-Schicht) bei einer bestimmten Dotierung untersucht, die als Driftregion verwendet wurde. Dabei wurde festgestellt, dass das Feld bei einer dicken Epi-Schicht ($50\ \mu\text{m}$) vor dem hochdotierten p-Bereich ausgebildet ist und sich nicht auf die gesamte Driftregion verteilt (vgl. Abb. 4.3 (a)). Dagegen wird die Raumladungszone bei Verwendung einer dünnen Epi-Schicht ($15\ \mu\text{m}$) in der gesamten Region zwischen dem hochdotierten n- und p-Bereich aufgebaut, so dass das laterale Feld sich relativ gleichmäßig über die gesamte Driftregion ausbreitet (vgl. Abb. 4.3 (b)). Die laterale Raumladungszone wird dabei durch die Verarmungszone des vertikalen pn-Übergangs (zum Substrat) beeinflusst. Es handelt sich somit um einen zweidimensionalen Effekt.

Die RESURF-Technik wird ebenso bei der SOI-Technologie verwendet, bei der das Substrat über der vergrabenen Oxidschicht kapazitiv das laterale elektrische Feld beeinflusst [93, 94]. Die optimale Dotierstoffkonzentration N kann dabei durch folgende Gleichung bestimmt werden [95]:

$$N = \frac{\varepsilon_{\text{Si}} E_{\text{cr}}}{q d_{\text{Si}}} \quad (4.1)$$

Dabei stellen E_{Cr} das elektrische Feld, bei dem der Avalanche-Effekt einsetzt und d_{Si} die Dicke des Siliziumfilms dar. Die Spannung, bei der der Avalanche-Effekt in die vertikale

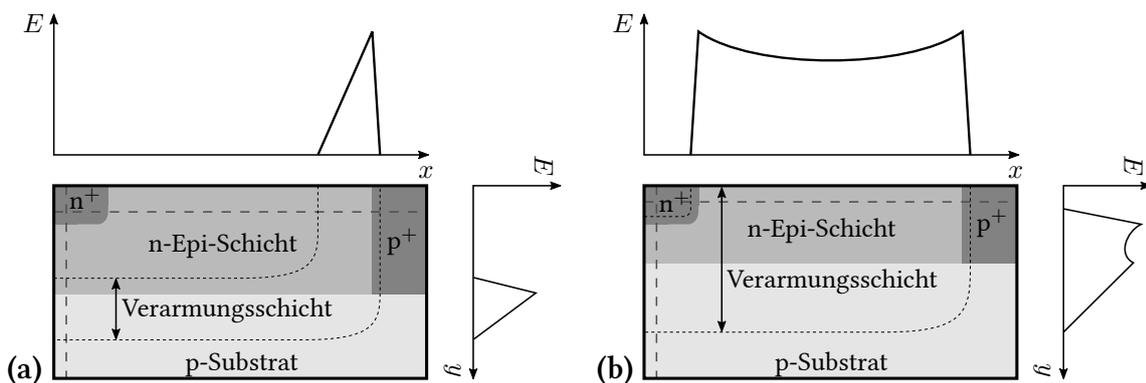


Abbildung 4.3: Schematische Darstellung der Driftregion für eine dicke Epi-Schicht (a) und eine dünne Schicht (b) im RESURF-Fall

Richtung einsetzt, kann mit der Gleichung [95]

$$V_{\text{BD},\perp} = E_{\text{cr}} \left(\frac{d_{\text{Si}}}{2} + d_{\text{Ox}} \frac{\varepsilon_{\text{Si}}}{\varepsilon_{\text{Ox}}} \right) \quad (4.2)$$

bestimmt werden. Hier bezeichnet ε_{Ox} die Permittivität des Oxids und d_{Ox} die Dicke des vergrabenen Oxids.

Die Spannungsfestigkeit des LDMOS kann durch zusätzliche Implantationsschritte weiter gesteigert werden. Diese Techniken werden in der Bulk-Technologie als Double-RESURF oder Tripple-RESURF bezeichnet [96]. Aufgrund des dünnen Siliziumfilms in der H035-SOI-Technologie kann eine vertikale Dotierstoffvariation nicht erfolgen. Eine weitere Möglichkeit das elektrische Feld positiv zu beeinflussen, ist jedoch über den Einsatz von sogenannten Feldplatten gegeben. Die Feldplatte kann von der Drain- oder Gate-Seite lateral über die Driftregion platziert werden, so dass die Feldüberhöhungen, die vor allem am Drain- und Gate-Bereich auftreten, abgebaut werden können. In einigen Publikation wird diese Technik ebenfalls als Double-RESURF bezeichnet [97]. Durch die Verwendung der Feldplatten kann die Dotierstoffkonzentration der Driftregion weiter gesteigert werden, ohne das die Verarmung dieser Region beeinträchtigt wird. Dadurch kann die Durchbruchspannung ebenfalls erhöht werden.

Wichtige Kenngrößen eines Hochspannungstransistors

Ein Hochspannungstransistor wird über bestimmte Kenngrößen charakterisiert. Die wichtigste Kenngröße stellt dabei die Durchbruchspannung V_{DB} dar, die die Spannung angibt, bei der der Transistor durch den Avalanche-Effekt einen plötzlichen Stromanstieg erfährt, der zur Zerstörung des Bauelements führen kann. Dabei wird zwischen der Durchbruchspannung im Sperrzustand $V_{\text{BD,off}}$ und im leitenden Zustand $V_{\text{BD,on}}$ bei unterschiedlichen Gate-Spannungen unterschieden. Im Normalfall gilt $V_{\text{BD,on}} < V_{\text{BD,off}}$.

Üblicherweise verringert sich die Durchbruchspannung mit steigender Gate-Spannung, so dass ein bestimmter Bereich ermittelt werden muss, in dem die zuverlässige Funktionsweise des Transistors gegeben ist. Dieser Bereich wird auch als Save-Operating-Area (SOA) bezeichnet und wird über die Strom-Spannungs-Charakteristik der Ausgangskennlinie definiert [98]. Neben der Angabe des Arbeitsbereichs im quasistatischen Fall durch ESOA (Electrical Save-Operating-Area) werden weitere Beschreibungen bei thermischer Belastung (Thermal Save-Operating-Area, TSOA) und bei Degradation des Transistors (Hot-Carrier-Save-Operating-Area, HCSOA) vorgenommen [98].

Im leitenden Zustand wird der Transistor weiterhin durch den Durchlasswiderstand R_{on} gekennzeichnet, der im Wesentlichen durch die Driftregion bestimmt ist. Der Widerstand der Driftregion gibt den Leistungsverlust an. Ziel ist es dabei, einen Transistor mit einem möglichst geringen Widerstand R_{on} zu entwickeln, so dass der Verlust gering bleibt. Oft wird in diesem Zusammenhang das Produkt zwischen dem Durchlasswiderstand und der Fläche des Transistors $R_{\text{on}} \cdot a_{\text{T}}$ angegeben, um einen Bezug zur Größe des Bauelements zu erhalten [98].

4.1.3 Hochspannungstransistor in der H035-Technologie

In der H035-Technologie wird ein Hochspannungstransistor verwendet, der für Schaltspannungen von bis zu 30 V ausgelegt ist. Der schematische Aufbau ist in Abbildung 4.4 dargestellt. Das Design des Transistors wurde aus der H10-Technologie übernommen. Der Hochspannungstransistor ist durch die Driftregion mit der Länge $L_D = 4,8 \mu\text{m}$ ausgezeichnet. Eine plötzliche Änderung der Dotierstoffkonzentration in der Driftregion bewirkt einen Anstieg des elektrischen Feldes. So ergeben sich vor allem auf der Drain- und der Gate-Seite hohe elektrische Felder, die zur Auslösung des Avalanche-Effekts bei geringen Spannungen führen könnten. Um die Feldspitzen zu reduzieren, wird die Dotierstoffkonzentration in der Driftregion durch mehrere Implantationen graduell variiert. Die drainseitige Feldspitze wird durch die zusätzliche DVT-Implantation reduziert, wogegen die gateseitige Feldüberhöhung dadurch verringert wird, indem die NDEX-Implantation nicht komplett bis zum Gate gezeichnet wird. Da die PVT-Implantation (wird normalerweise zur Dotierung des Kanals eines analogen PMOS-Transistors verwendet) bereits am Anfang der Prozessierung durchgeführt wird, kann diese stärker ausdiffundieren und bietet dadurch einen weniger abrupten Übergang zum Kanal.

Die Länge der DVT-Implantation, gemessen ab der Kontaktdotierung, beträgt $L_{DD} = 1,2 \mu\text{m}$. Der Abstand der NDEX-Implantation zum Gate beträgt $L_{DG} = 1 \mu\text{m}$. Die Minimallänge und die Minimalweite des Transistorkanals sind auf $L_{\min} = 1,8 \mu\text{m}$ und $W_{\min} = 4,8 \mu\text{m}$ festgelegt.

In Abbildung 4.5 sind verschiedene Kennlinien des HV-Transistors für 25 °C und 250 °C dargestellt. Anhand der Eingangskennlinie (a) kann die Schwellenspannung bestimmt werden, die bei $V_{th}(25 \text{ °C}) = 0,90 \text{ V}$ und $V_{th}(250 \text{ °C}) = 0,52 \text{ V}$ liegt. Am Verlauf der Ausgangskennlinien (b) wird deutlich, dass sich der Sättigungsstrom bis etwa $V_G = 8 \text{ V}$ erhöht, bis dieser für höhere Gate-Spannungen in eine Sättigung übergeht. Bei diesem Verhalten handelt es sich um einen Kurzkanaleffekt, welcher nur bei kleinen Kanallängen auftritt.

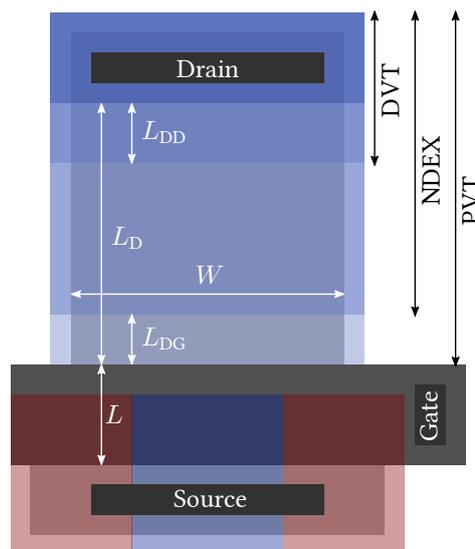


Abbildung 4.4: Schematischer Aufbau eines 30 V-Hochspannungstransistors in der H035-Technologie

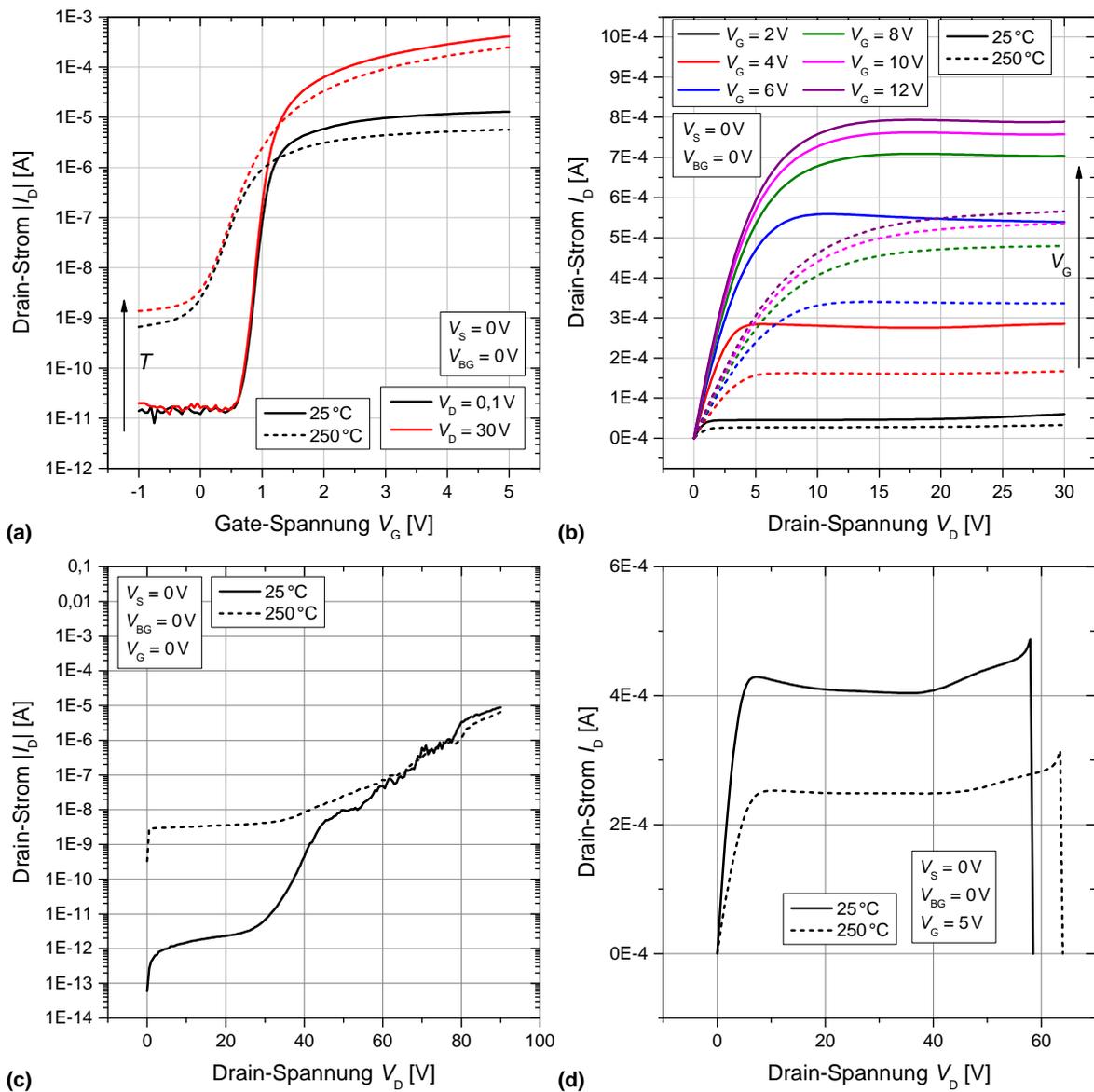


Abbildung 4.5: Kennlinienverlauf des HV-Transistors bei 25 °C und 250 °C; (a) Eingangskennlinie, (b) Ausgangskennlinie, (c) Durchbruchkennlinie im Sperrzustand und (d) im Durchlasszustand

Weiterhin sind in Abbildung 4.5 (c) und (d) die Durchbruchkennlinien des Transistors im Sperrzustand ($V_G = 0$ V) und im Durchlasszustand ($V_G = 5$ V) dargestellt. Aus dem Kennlinienverlauf im Sperrzustand geht hervor, dass das Leckstromniveau bis etwa $V_D = 30$ V (bei 25 °C) oder etwa $V_D = 40$ V (bei 250 °C) konstant ist, wogegen für höhere Drain-Spannungen der Leckstrom über mehrere Größenordnungen ansteigt. Für den Durchlasszustand bei einer Gate-Spannung von 5 V kann ein relativ konstantes Sättigungsplateau bis etwa $V_D = 40$ V beobachtet werden. Für höhere Drain-Spannungen setzt der Avalanche-Effekt ein, welcher zur Erhöhung des Drain-Stromes und schließlich zur Zerstörung des Bauelements bei der Durchbruchspannung $V_{BD,on}$ führt. Diese liegt bei etwa $V_{BD,off}(25\text{ °C}) = 58$ V und $V_{BD,off}(250\text{ °C}) = 64$ V. Hier wird deutlich, dass die Durchbruchspannung für niedrigere Temperaturen kleiner ist. Die Optimierung eines Hochspannungstransistors im Hinblick auf die Spannungsfestigkeit erfolgt aus diesem Grund bei niedrigen Temperaturen.

4.2 Optimierung des Hochspannungstransistors

Der in Kapitel 4.1.3 gezeigte HV-Transistor ist für Drain-Spannungen bis 30 V ausgelegt. Für bestimmte Anwendungen ist jedoch eine höhere Spannungsbelastung notwendig. In diesem Kapitel werden die verschiedenen Optimierungsmöglichkeiten vorgestellt, sowie die Besonderheiten und die Limitierungen einer SOI-Dünnschichttechnologie erläutert. Ziel der Optimierungen ist eine höhere Durchbruchspannung im Sperrzustand und im Leitungszustand des Transistors, wobei der Durchlasswiderstand oder die Gesamtfläche des Transistors nach Möglichkeit nicht erhöht werden sollen. Die Untersuchungen werden exemplarisch bei 25 °C und 250 °C durchgeführt, um einen breiten Temperaturbereich abzudecken.

4.2.1 Optimierung des Leckstromverhaltens im Sperrzustand

Wie in Kapitel 4.1.3 gezeigt, ist beim HV-Transistor ab etwa 30 V ein deutlicher Anstieg des Leckstroms festzustellen. Der Anstieg ist darauf zurückzuführen, dass sich bei steigender Drain-Spannung ein Leckstrompfad vom Drain- zum Source-Anschluss über die Seitenwände des Transistors bildet, so dass der Transistor nicht mehr vollständig sperrt. Dieser Effekt ist in der Literatur als der parasitäre Seitenwandeffekt bekannt [41]. Eine Optimierung der Spannungsfestigkeit auf 50 V würde zu einer deutlichen Erhöhung des Leckstromniveaus um drei Größenordnungen führen. Da ein Hochspannungstransistor bei bestimmten Anwendungen viel Strom liefern muss, wird dieser auf eine große Weite skaliert (z. B. mehrere Millimeter) und in mehrere Zeilen aufgeteilt. Als Folge steigt die Anzahl der Seitenwände, wodurch die Stromstärke zusätzlich erhöht wird.

Um die Leckströme zu minimieren, kann der HV-Transistor in einer geschlossenen Form designet werden. In Abbildung 4.6 ist der schematische Aufbau einer geschlossenen Struktur dargestellt. Dabei werden die halbrunden Seiten des Bauelements dafür verwendet, um die verschiedenen Bereiche (Gate, Source, etc.) des am Drain-Anschluss gespiegelten Transistors miteinander zu verbinden. Da die seitlichen Verbindungsstücke am Source-Gebiet

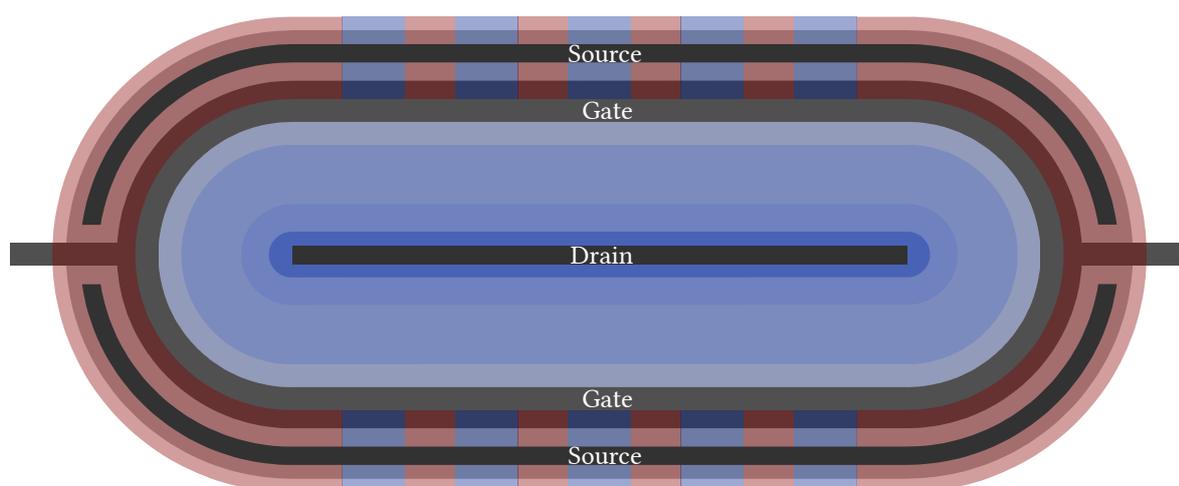


Abbildung 4.6: Schematische Aufbau eines geschlossenen HV-Transistors zur Vermeidung von Seitenwandeffekten

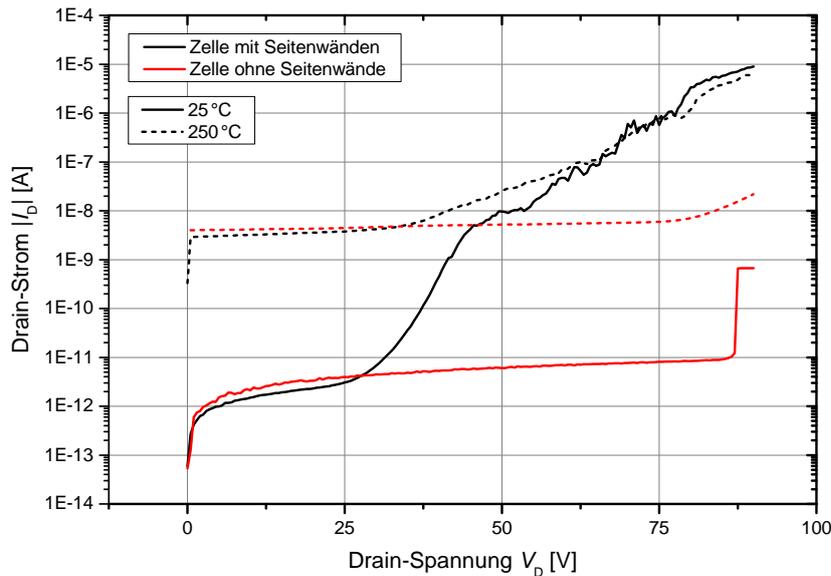


Abbildung 4.7: Vergleich der Durchbruchkennlinien im Sperrzustand eines HV-Transistors mit und ohne Seitenwände bei 25 °C und 250 °C

eine p-Dotierung aufweisen, bilden diese eine Diode, die beim Betrieb des Transistors in Sperrrichtung geschaltet ist. Die Spannungsfestigkeit dieser Bereiche ist identisch zu der des eigentlichen Transistors. Der Gate-Anschluss wird an den Seiten des Bauelements herangeführt.

In Abbildung 4.7 sind die Durchbruchkennlinien im Sperrzustand eines HV-Transistors mit Seitenwänden im Vergleich zum HV-Transistor ohne Seitenwände (designt nach Abbildung 4.6) dargestellt. Die Weite beider Transistoren wurde auf $W = 4,8 \mu\text{m}$ normiert (die Weite der halbrunden Seiten wurde dabei nicht berücksichtigt). Aus den Messergebnissen geht hervor, dass durch die Beseitigung der Seitenwände der Leckstrom signifikant geringer wird. Bei einer Drain-Spannung von 50 V und einer Temperatur von 25 °C ist der Leckstrom im Vergleich zu dem eines Transistors mit Seitenwänden um mehr als drei Größenordnungen kleiner. Zwar steigt auch der Strom des Transistors ohne Seitenwände an, jedoch beträgt der Stromanstieg über einen Spannungsbereich von mehr als 80 V weniger als eine Dekade. Der Transistor mit Seitenwänden weist dagegen im gleichen Spannungsbereich eine Erhöhung des Leckstromes um mehr als 6 Größenordnungen auf (bei 25 °C). Bei 250 °C ist dagegen erst für $V_D > 45 \text{ V}$ eine deutliche Verbesserung des Leckstromverhaltens festzustellen. Doch auch hier kann im untersuchten Spannungsbereich von 90 V eine signifikante Differenz der Leckströme von mehr als zwei Größenordnungen festgestellt werden.

Weiterhin kann für die optimierte Bauform eine genaue Durchbruchspannung bestimmt werden, da der Avalanche-Durchbruch nicht durch den Leckstrom überdeckt wird, wie dies beim Transistor mit Seitenwänden der Fall ist. Die Durchbruchspannung bei 25 °C beträgt dabei $V_{\text{BD,off}} = 87 \text{ V}$, wogegen diese bei 250 °C oberhalb von 90 V liegt.

Als Nachteil bei der Verwendung von halbrunden Seiten zur Vermeidung des Seitenwandeffekts kann der zusätzliche Platzbedarf angesehen werden. Zwar können damit auch Minimaltransistoren mit einer Weite von 4,8 V designt werden, jedoch würde sich bei einer solchen Bauform die Fläche um mehr als das Doppelte erhöhen. Die vorgeschlagene Designoption eignet sich vor allem bei Transistoren die eine große Weite aufweisen und dadurch

in einem Array über mehrere Zeilen angeordnet sind. Durch eine überlappende Platzierung des Drain-Anschlusses von zwei Zeilen, können die halbrunden Seiten mit einem geringen designtechnischen Aufwand verwendet werden. Der zusätzliche Platzbedarf bleibt dabei aufgrund der großen Fläche des Transistors relativ gering.

4.2.2 Optimierung der Driftregion

In Kapitel 4.2.1 konnte durch die Verwendung von halbrunden Seiten der Leckstrom deutlich reduziert und dadurch die Durchbruchspannung im Sperrzustand gesteigert werden. Eine weitere entscheidende Größe für den Betrieb eines Hochspannungstransistors ist die Durchbruchspannung im Leitungszustand. Üblicherweise wird für den Fall des leitenden Transistors die Safe-Operating-Area definiert, die die Durchbruchspannung bei unterschiedlichen Gate-Spannungen wiedergibt. Da der Hochspannungstransistor in der H035-Technologie meist bei $V_G = 5\text{ V}$ betrieben wird, kann zur Optimierung der Durchbruchspannung im Durchlasszustand zunächst bei dieser Gate-Spannung durchgeführt werden. Bei Bedarf wird jedoch das Kennlinienfeld in auf weitere Gate-Spannungen erweitert.

Variation der Geometrie

Eine der entscheidenden Parameter zur Änderung der Durchbruchspannung ist die Variation der Dotierstoffverteilung in der Driftregion. Dazu werden beim HV-Transistor in der H035-Technologie drei verschiedene Implantationen verwendet, um eine möglichst gleichmäßige Verteilung des elektrischen Feldes zu erhalten. Eine Möglichkeit die Durchbruchspannung zu optimieren, liegt in der Variation der Maskengeometrien der drei Implantationen. Dazu werden die Längen L_D , L_{DD} und L_{DG} , die in der Abbildung 4.4 definiert sind, variiert und die Ausgangskennlinie bei $V_G = 5\text{ V}$ bis zum Durchbruch aufgenommen. Die Untersuchungen erfolgen exemplarisch bei 25 °C .

In Abbildung 4.8 sind die Ergebnisse der Untersuchungen zur Variation der verschiedenen Längen dargestellt. In (a) ist die Variation der Driftregion L_D abgebildet, wobei die Größen L_{DD} und L_{DG} nicht geändert werden. Der Standardwert beim HV-Transistor in der H035-Technologie beträgt $L_D = 4,8\text{ }\mu\text{m}$. Aus den Ergebnissen geht hervor, dass für eine kleine Länge sich die Durchbruchspannung deutlich reduziert. Mit steigender Länge der Driftregion nimmt die Durchbruchspannung zu. Jedoch ist für $3,8\text{ }\mu\text{m} < L_D < 5,8\text{ }\mu\text{m}$ nur ein geringer Anstieg der Durchbruchspannung von 58 V auf 63 V festzustellen. Da durch eine längere Driftregion der Durchlasswiderstand erhöht wird, ist eine weitere Erhöhung der Länge im Vergleich zum Standardwert nicht zielführend.

In Abbildung 4.8 (b) sind die Messergebnisse zu HV-Transistoren dargestellt, bei denen eine Längenvariation L_{DD} des Bereichs mit einer zusätzlichen DVT-Dotierung in der Driftregion erfolgte. Die Längen L_D und L_{DG} werden konstant gehalten. Es wird deutlich, dass ein zu geringes L_{DD} zu einer Reduzierung der Durchbruchfestigkeit führt, wogegen eine Erhöhung der Länge über den Standardwert von $1,2\text{ }\mu\text{m}$ nur eine geringe Verbesserung bewirkt. Die Änderung der Länge wirkt sich dabei nicht auf den Durchlasswiderstand aus. Da mit einem zunehmendem L_{DD} der Sättigungsstrom für $V_D > 40\text{ V}$ einen höheren Buckel aufweist und die Durchbruchspannung sich nicht signifikant verbessert, ist auch hier eine weitere Steigerung von L_{DD} nicht notwendig.

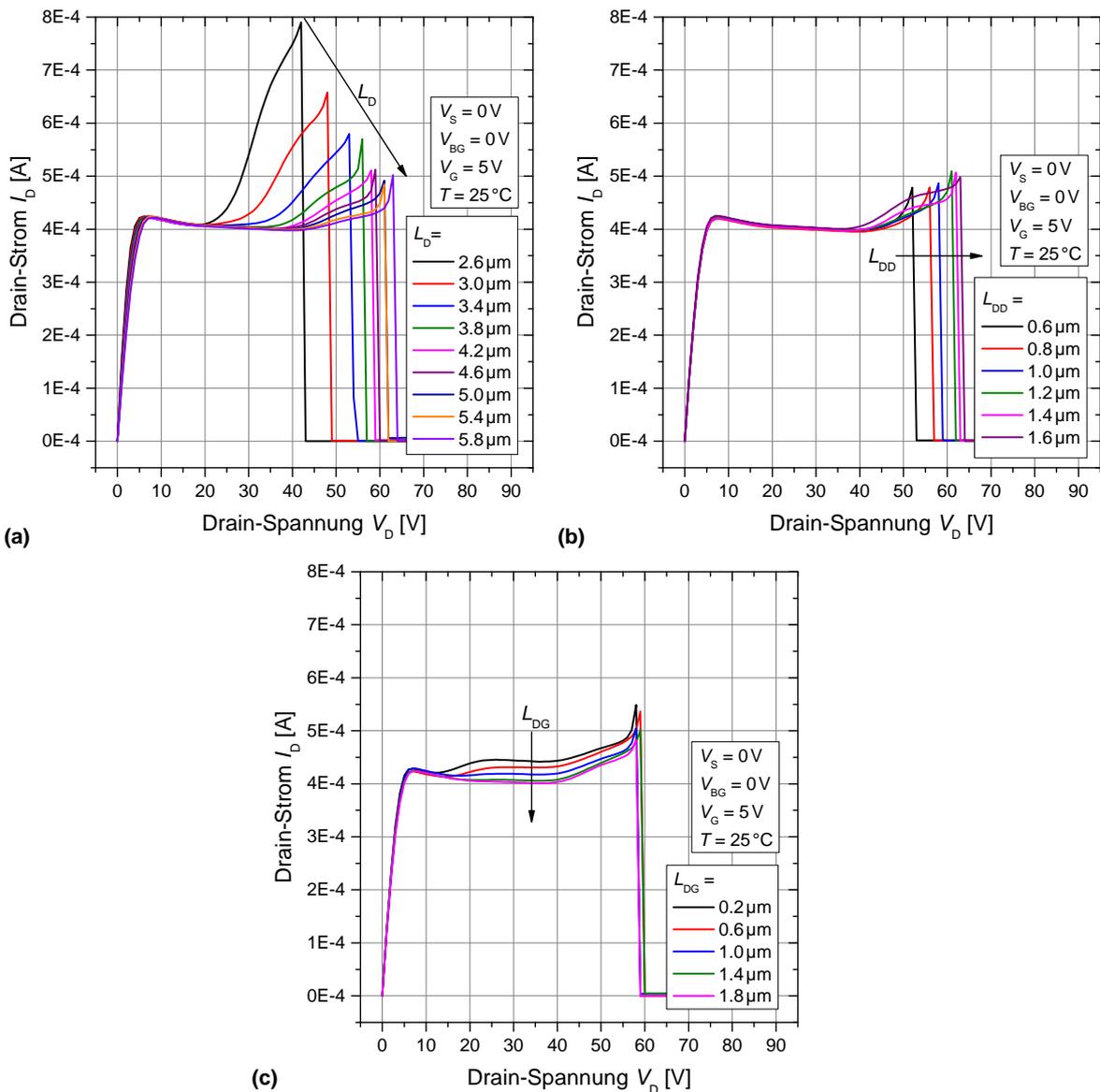


Abbildung 4.8: (a) Längenvariation der Driftregion (Standardwert: $L_D = 4,8 \mu\text{m}$); (b) Längenvariation der DVT-Implantation am Drain-Bereich (Standardwert: $L_{DD} = 1,2 \mu\text{m}$); (c) Längenvariation des PVT-dotierten Bereichs am Gate (Standardwert: $L_{DG} = 1 \mu\text{m}$)

Schließlich ist in Abbildung 4.8 (c) die Längenvariation L_{DG} (mit konstanten L_D und L_{DD}) des Bereichs dargestellt, in dem einzig die PVT-Implantation in der Driftregion verwendet wird. Der Standardwert für diese Länge beträgt $L_{DG} = 1 \mu\text{m}$. Die Ergebnisse verdeutlichen, dass sich die Längenvariation nicht signifikant auf die Durchbruchspannung oder den Durchlasswiderstand auswirkt. Dagegen ändert sich der Sättigungsstrom des Transistors, wobei für ein kleines L_{DG} ein zusätzlicher Buckel im Verlauf der Kennlinie sichtbar wird. Auch hier kann von einer Erhöhung der Länge abgesehen werden.

Insgesamt kann festgestellt werden, dass eine Variation der verschiedenen Längen zu keiner signifikanten Steigerung der Durchbruchspannung führt. Die aus der H10-Technologie übernommene Geometrie der verschiedenen Implantationsmasken gibt ein gutes Verhältnis zwischen der Durchbruchspannung und dem Durchlasswiderstand wider. Um die Größe

R_{on} weiter zu steigern, kann die Länge der Driftregion auf $L_D = 3,8 \mu\text{m}$ verringert werden, wodurch sich die Durchbruchspannung lediglich um wenige Volt verkleinern wird. Ein weiterer Vorteil der Reduzierung der Driftregion ist eine kleinere Gesamtfläche des Hochspannungstransistors.

Variation der Dotierstoffkonzentration

Neben der Variation der Geometrien der Bereiche, kann auch die Implantationsdosis und damit die resultierende Dotierstoffverteilung in der Driftregion verändert werden. Da eine Variation der Implantationsdosis in der Prozessierung mit einem höheren Aufwand verbunden ist, bietet sich für diese Untersuchung die Simulation mit TCAD an. Es werden dazu die Implantationen der DVT- und NDEX-Layer verwendet. Da der PVT-Layer zur Dotierung eines PMOS-Transistors verwendet wird, kann hier eine Umstellung der Implantationsdosis nicht erfolgen.

In Abbildung 4.9 sind die simulierten Durchbruchkennlinien mit unterschiedlichen Dotierstoffverteilungen dargestellt. Die Variation der Implantationsdosis des NDEX-Layers von $1 \times 10^{12} \text{ cm}^{-3}$ bis $3 \times 10^{12} \text{ cm}^{-3}$ ist in (a) dargestellt. Aus dem Verlauf der Kennlinien geht hervor, dass mit zunehmender Dosis zwar die Durchbruchspannung erhöht wird, jedoch bildet sich hierbei ein Buckel im Bereich des konstanten Sättigungsstroms, so dass ein solcher Transistor für den Betrieb nicht geeignet ist. Die Standarddosis von $N_{NDEX} = 1,4 \times 10^{12} \text{ cm}^{-3}$ zeigt dabei bereits das beste Verhältnis zwischen maximaler Durchbruchspannung und konstantem Niveau des Sättigungsstroms.

Die Variation der Dosis beim DVT-Layer ist in Abbildung 4.9 (b) dargestellt. Eine Erhöhung der Implantationsdosis führt dabei ab einem Wert von $N_{DVT} > 1,5 \times 10^{12} \text{ cm}^{-3}$ zur Bildung eines zusätzlichen Buckels, wie es bereits bei Variation der NDEX-Dotierung festgestellt wurde. Somit ist die Standarddosis von $N_{DVT} = 2 \text{ cm}^{-3}$ zu hoch gewählt. Eine Verringerung

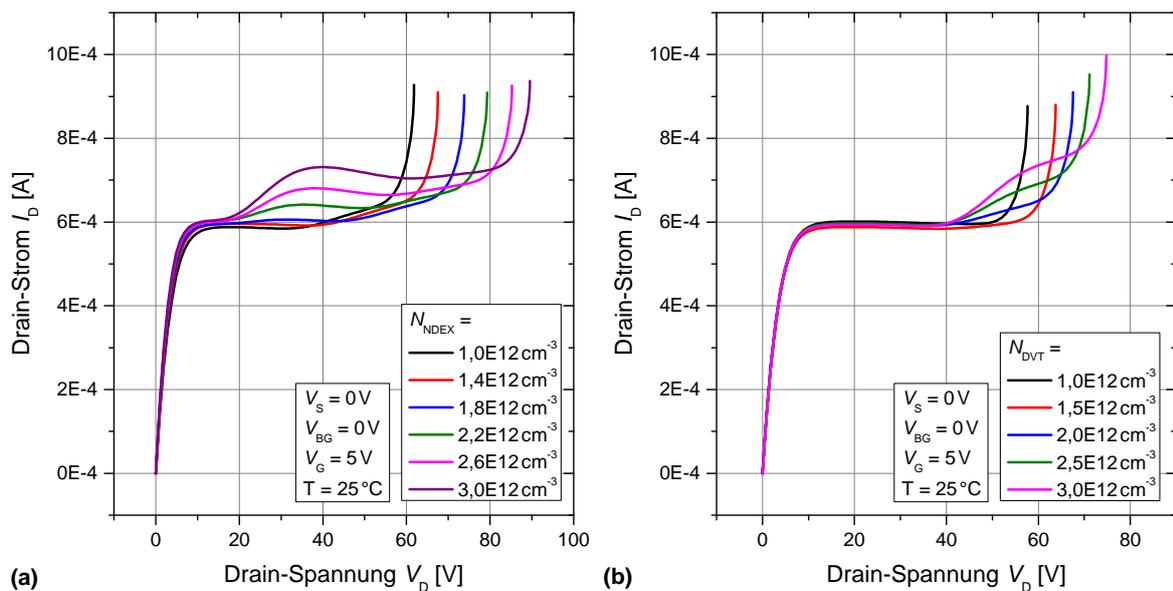


Abbildung 4.9: Simulationsergebnisse der Durchbruchkennlinien bei Variation der Implantationsdosis von (a) NDEX-, (b) DVT- und (c) PVT-Implantationen

der Dosis von $2 \times 10^{12} \text{ cm}^{-3}$ auf $1,5 \times 10^{12} \text{ cm}^{-3}$ führt zu einer Reduzierung der Durchbruchspannung um etwas weniger als 5 V, wodurch jedoch eine frühe Buckelbildung verhindert werden kann.

Als Fazit kann festgehalten werden, dass die Steigerung der Implantationsdosis des NDEX- oder des DVT-Layers nicht zielführend ist. Zwar steigert sich die Durchbruchspannung, doch führt die Steigerung auch zur Vergrößerung oder Bildung eines Buckels im Sättigungsbereich der Kennlinie, so dass ein einwandfreier Betrieb des Transistors nicht mehr gewährleistet ist. Zur Verringerung des Buckels, welcher bei einem Standardtransistor ab etwa $V_D = 40 \text{ V}$ auftritt, kann die DVT-Implantationsdosis reduziert werden. Die Durchbruchspannung sinkt dabei nur geringfügig.

4.2.3 Double-RESURF durch Verwendung von Feldplatten

Eine weitere Möglichkeit die Durchbruchspannung zu erhöhen, ist die Verwendung von Feldplatten, die oberhalb des Transistors angeordnet sind. Dadurch wird der Feldverlauf sowohl in die laterale als auch vertikale Richtung so beeinflusst, dass hohe Feldspitzen vermieden werden. In Abbildung 4.10 ist eine schematische Darstellung des Hochspannungstransistors unter Verwendung von Feldplatten gezeigt. Dazu kann die erste Metallebene verwendet werden, um einen möglichst großen Einfluss auf die Feldverteilung zu bewirken. Der Hochspannungstransistor in der H035-Technologie verfügt über zwei Feldplatten, die von der Drain- und der Source-Seite zur Driftregion verlaufen (vgl. Abb. 4.10) und auf den Potentialen dieser Anschlüsse liegen. Dabei decken die Feldplatten nur einen geringen Teil der Driftregion ab.

Im Laufe der Untersuchungen zur Optimierung der Durchbruchspannung wurde sowohl der Abstand zwischen den Platten L_{FP} als auch die Ausdehnung der Feldplatten hin zur Driftregion x_{DFP} und x_{SFP} variiert. Dabei hat sich gezeigt, dass die Durchbruchspannung sich erhöht, wenn die Feldplatten bis zur Mitte der Driftregion ausgedehnt sind ($x_{DFP} = 2,7 \mu\text{m}$, $x_{SFP} = 4,5 \mu\text{m}$) und einen möglichst kleinen Abstand ($L_{FP} = 0,48 \mu\text{m}$) zueinander aufweisen. Die Untersuchungsergebnisse sollen an dieser Stelle anhand von Durchbruchkennlinien bei

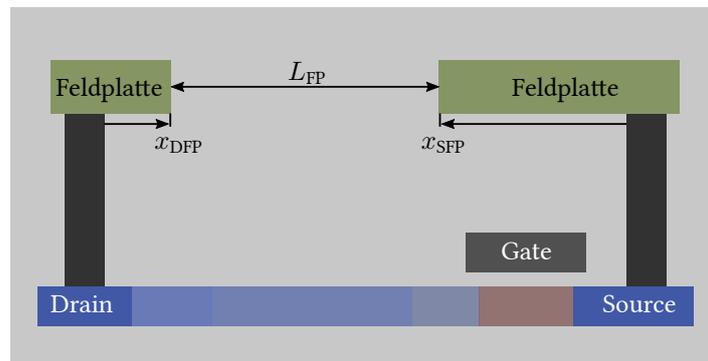


Abbildung 4.10: Schematische Darstellung eines HV-Transistors unter Verwendung von Feldplatten; L_{FP} gibt den Abstand zwischen der Drain- und der Source-seitigen Feldplatte an; x_{DFP} und x_{SFP} geben die Ausdehnung der Feldplatte hin zur Driftregion, gemessen vom jeweiligen VIA

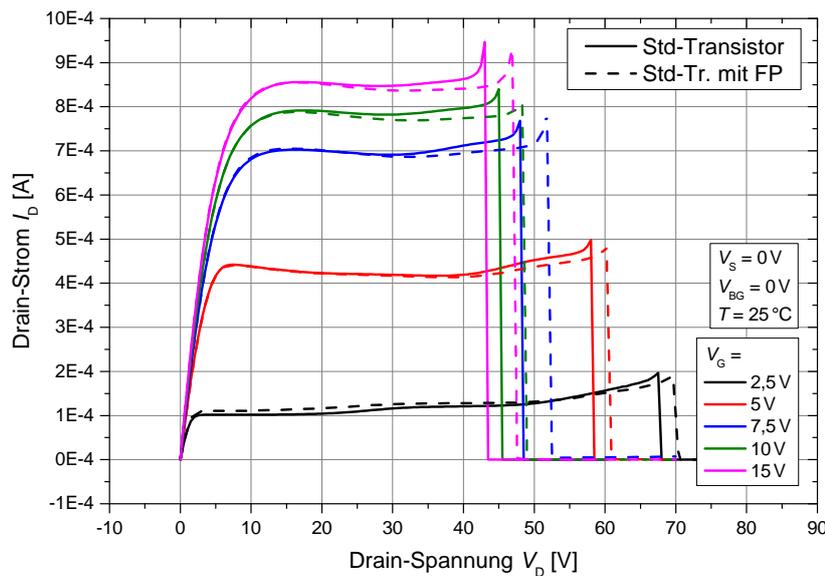


Abbildung 4.11: Vergleich der Durchbruchkennlinien eines Standard-Transistors und eines mit verlängerten Feldplatten bei verschiedenen Gate-Spannungen

verschiedenen Gate-Spannungen präsentiert und erläutert werden.

Die Ergebnisse der Untersuchungen sind in Abbildung 4.11 dargestellt. Im Vergleich dazu sind die Durchbruchkennlinien des Standard-Transistors abgebildet, bei dem die Ausdehnung der Feldplatten $x_{DFP} = 1,6 \mu\text{m}$ und $x_{SFP} = 3 \mu\text{m}$ beträgt. Am Verlauf der Kennlinien wird zunächst deutlich, dass sich der Sättigungsstrom für hohe Gate-Spannungen oberhalb von $7,5 \text{ V}$ nicht linear mit V_G erhöht. Dieses Verhalten kann auf den Kurzkanaleffekt zurückgeführt werden, da längere Transistoren diesen Verlauf nicht aufzeigen.

Der Vergleich der Durchbruchspannungen zwischen dem Standard-Transistor und dem mit verlängerten Feldplatten verdeutlicht, dass die Durchbruchspannung bei allen untersuchten Gate-Spannungen für den Transistor mit verlängerten Feldplatten leicht erhöht wird. Die Zunahme der Durchbruchspannung beträgt jedoch maximal 5 V . Dabei ist die Erhöhung von $V_{BD,on}$ für kleinere Gate-Spannungen geringer als für größere. Für den Transistor mit verlängerten Feldplatten verringert sich die Durchbruchspannung in Abhängigkeit der Gate-Spannung von $V_{BD,on} = 70 \text{ V}$ bei $V_G = 2,5 \text{ V}$ auf etwa $V_G = 47 \text{ V}$ bei $V_G = 15 \text{ V}$. Anhand der verschiedenen Durchbruchspannungen kann der SOA-Bereich bestimmt werden.

Abschließend kann festgestellt werden, dass mit der optimierten Geometrie der Feldplatten lediglich ein höherer Sicherheitsabstand der Drain-Spannung bis zum Durchbruch des Transistors erzielt wird. Eine signifikante Steigerung der Durchbruchspannung konnte auf diesem Wege nicht erreicht werden. Andere Konfigurationen der Feldplatten führen zu keiner bzw. nur einer geringen Verbesserung der Durchbruchspannung.

4.2.4 Variation des vergrabenen Oxids

Neben der Beeinflussung des elektrischen Feldes in die vertikale Richtung durch Verwendung von Feldplatten, kann die Dicke des vergrabenen Oxids erhöht werden, so dass das elektrische Feld im unteren Bereich des Siliziumfilms verringert wird. Vor allem die Re-

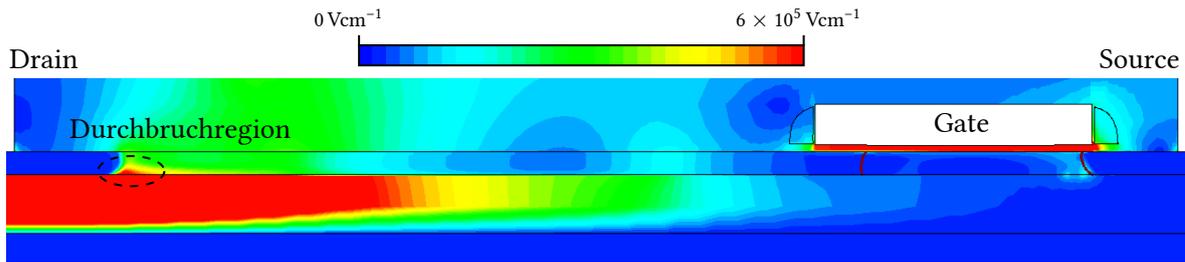


Abbildung 4.12: Simulation der elektrischen Feldverteilung eines HV-Transistors im Durchbruchbereich bei $V_G = 5\text{ V}$, $V_D = 67,5\text{ V}$ und $T = 25\text{ }^\circ\text{C}$

gion in der Nähe des hochdotierten Drain-Bereichs weist ein hohes Feld auf (vergleiche Abbildung 4.12, Durchbruchregion), welches durch die Potentialverteilung in laterale und vertikale Richtung beeinflusst wird. Durch die Erhöhung der Dicke von BOX kann das Feld verringert und die Durchbruchfestigkeit des HV-Transistors gesteigert werden.

Für diese Untersuchungen wurden SOI-Wafer mit einer BOX-Dicke von $d_{\text{BOX}} = 1\text{ }\mu\text{m}$ (Standard: $d_{\text{BOX}} = 0,4\text{ }\mu\text{m}$) verwendet. Leider standen dafür nur HV-Transistoren aus der H10-Technologie zur Verfügung. Der Kennlinienverlauf und die Durchbruchspannung der Transistoren aus der H10-Technologie unterscheiden sich zwar im Vergleich zu denen von H035-Transistoren, dennoch kann die prinzipielle Steigerung von $V_{\text{BD,on}}$ auch anhand der H10-Bauelemente gezeigt werden.

In Abbildung 4.13 sind die Durchbruchkennlinien des HV-Transistors mit zwei unterschiedlichen BOX-Dicken dargestellt. Die Messungen wurden bei $T = 25\text{ }^\circ\text{C}$ durchgeführt. Aus den Ergebnissen geht hervor, dass die Durchbruchspannung mit einem dickeren vergrabenen Oxid für alle untersuchten Gate-Spannungen sich deutlich erhöht. Die Steigerung ist für unterschiedliches V_G nicht konstant, sondern verringert sich von etwa 17 V bei $V_G = 2,5\text{ V}$ auf etwa 10 V bei $V_G = 15\text{ V}$. Der Sättigungsstrom erhöht sich dabei für $V_G > 2,5\text{ V}$

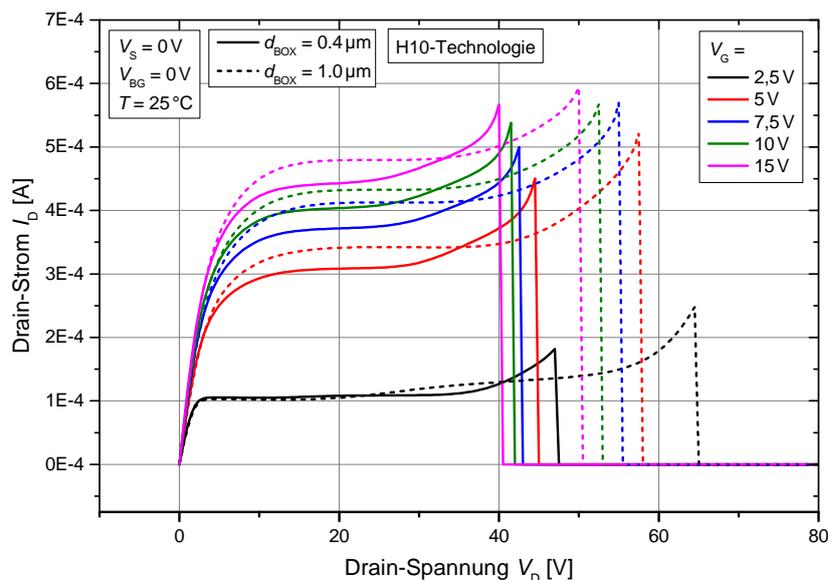


Abbildung 4.13: Verlauf der Durchbruchkennlinien mit unterschiedlichen Dicken des vergrabenen Oxids von HV-Transistoren aus der H10-Technologie

um etwa 15 %. Weiterhin nimmt der Spannungsbereich bei dem der Sättigungsstrom in etwa einen konstanten Wert aufweist, zu so dass der Transistor für eine höhere Betriebsspannung zugelassen werden könnte. Der Spannungsbereich mit konstantem Sättigungsstrom steigt um etwa 10 V.

4.2.5 Optimierung des Kanalanschlusses

Neben der Driftregion ist die Durchbruchspannung ebenfalls von der Kanalregion abhängig. Wenn in der Kanalregion ein ausreichend hohes elektrisches Feld aufgebaut wird, so führt der Floating-Body-Effekt in einem PD-Transistor, welcher über eine unzureichende Kontaktierung des Kanalbereichs aufweist, zum Avalanche-Effekt (vgl. Kap. 2.3.1). Dadurch steigt der Drain-Source-Strom stark an und die Steuerkontrolle des Transistors über das Gate-Potential geht verloren. Vor allem bei HV-Transistoren, die einer hohen Spannungsbelastung am Drain-Anschluss ausgesetzt sind, kann diese zur Bildung heißer Ladungsträger führen.

Zwar verfügt der HV-Transistor in der H035-Technologie über einen Body-Anschluss, welcher mit dem Source-Potential kurzgeschlossen ist, dennoch kann die Kontaktierung je nach Kanallänge nicht ausreichend sein. Um den Einfluss dieses Effekts zu untersuchen, wird hier eine Methode zur Kontaktierung des Kanalbereichs verwendet, die bereits in der Literatur untersucht wurde [99]. Dabei wurde in der Mitte des Gates eine Aussparung eingelassen, so dass von oben der Kanalbereich mit einem separaten Kontakt versehen werden konnte (vgl. Abb. 4.14). Zur besseren Kontaktierung wird der Kanalbereich, welcher nicht vom Gate verdeckt wird, selbstjustierend mit einer p-hochdotierten Implantation versehen. Dieser Bereich trägt jedoch nicht zum Elektronenfluss bei und verringert die effektive Transistorweite. Diese Struktur wird als RDC-Transistor (Rugged-Dotted-Channel-Transistor) bezeichnet.

In Abbildung 4.14 (a) ist eine schematische Darstellung des HV-Transistors als RDC-Struktur zu sehen, welche für die Untersuchungen verwendet wurde. Die Driftregion wurde nicht geändert, so dass die Durchbruchfestigkeit gleich geblieben ist. Es wird dabei ein Transistor mit der Länge $L_T = 5 \mu\text{m}$ verwendet, wodurch zwischen Source-Bereich und der Driftregion ein ausreichend großer Abstand vorliegt, um diese durch den Kanalanschluss nicht kurzzuschließen. Die Weite W_{RDC} verringert dabei die effektive Weite des Transistors, so dass in erster Näherung $W_{\text{eff,T}} = W_T - W_{\text{RDC}}$ gilt. Für den untersuchten Transistor gilt dabei $W_{\text{eff,T}} = 2 \mu\text{m}$. Durch den separaten Kanalanschluss muss am Source-Bereich keine weitere p-dotierte Region verwendet werden, so dass es sich nicht mehr um einen Split-Source-Transistor handelt.

Die Ergebnisse der Durchbruchkennlinien für verschiedene Gate-Spannungen sind in Abbildung 4.14 (b) dargestellt. Zum Vergleich dient ein Standardtransistor mit einer Länge von $L_T = 5 \mu\text{m}$. Beide Transistoren wurden auf die Weite $W_{\text{norm}} = 1 \mu\text{m}$ und Länge $L_{\text{norm}} = 1 \mu\text{m}$ normiert. Die Untersuchungen wurde bei $T = 25^\circ\text{C}$ durchgeführt. Der Kanalanschluss wurde mit dem Source-Anschluss kurzgeschlossen.

Aus den Ergebnissen geht zunächst hervor, dass die Durchbruchspannung für den Standardtransistor mit der größeren Länge im Vergleich zum HV-Transistor mit $L_T = 1,8 \mu\text{m}$ (Minimallänge) deutlich höher ist. Für unterschiedliche Gate-Spannungen ist eine Zunahme der

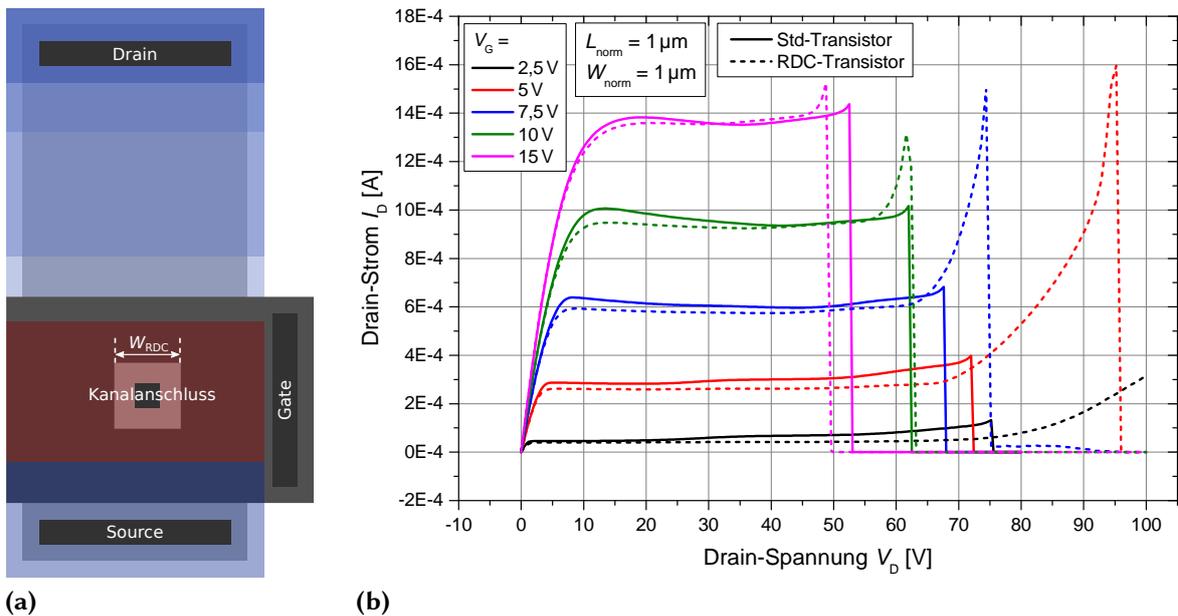


Abbildung 4.14: (a) Schematische Darstellung eines RDC-Transistors; (b) Vergleich der Durchbruchkennlinien zwischen einem Standardtransistor und einem RDC-Transistor

Durchbruchspannung von etwa 10 V festzustellen. Diese Erhöhung kann durch das kleinere elektrische Feld erklärt werden, welches sich an einem Transistor mit einer größeren Kanallänge einstellt. Dadurch setzt der Avalanche-Effekt erst bei höheren Drain-Spannungen ein.

Weiterhin ist für den RDC-Transistor ein deutlich geringerer Self-Heating-Effekt festzustellen. Dabei wird durch einen hohen Stromfluss die Temperatur in dem Bauelement erhöht, so dass der Leitungswiderstand zunimmt und der Transistorstrom verringert wird. Dieser Effekt kann in der Kennlinie am sinkenden Sättigungsstrom identifiziert werden. Da die Driftregion in beiden Transistortypen gleich ist, wird davon ausgegangen, dass sich der Widerstand vor allem im Kanalbereich ändert. Welchen Einfluss die hochdotierte Region des Kanalanschlusses und die fehlende Gate-Abdeckung in dem Bereich auf das thermische Verhalten besitzt, konnte jedoch nicht eindeutig geklärt werden.

Durch die Verwendung eines RDC-Transistors kann die Durchbruchspannung bei kleineren Gate-Spannungen signifikant gesteigert werden. So erhöht sich bei $V_G = 5$ V die Durchbruchspannung von 72 V beim Standardtransistor auf 95 V bei der RDC-Struktur. Dabei ist jedoch der Sättigungsstrom über den gesamten Spannungsbereich nicht konstant, sondern zeigt ab einer Drain-Spannung von etwa 65 V eine Erhöhung, welche auf den Floating-Body-Effekt zurückgeführt werden kann. Da jedoch ein ausreichender großer Sicherheitsabstand der Drain-Spannung bis zum Durchbruch besteht, kann dieser Transistor einer deutlich höheren Spannungsbelastung ausgesetzt werden, als es für den Standardtransistor vorgesehen ist.

Für höhere Gate-Spannungen reduziert sich die Durchbruchspannung bei der RDC-Struktur stärker als beim Standardtransistor, so dass der Durchbruch bei $V_G = 15$ V im Vergleich zum Std-Transistor früher erfolgt. Aufgrund der Abhängigkeit der Gate-

Spannung wird vermutet, dass der Durchbruch im Bereich passiert, welcher nicht vom Gate abgedeckt ist. Dennoch sind die komplexen Mechanismen beim Durchbruch in der RDC-Struktur nicht eindeutig geklärt.

Insgesamt kann festgestellt werden, dass durch eine verbesserte Kontaktierung des Kanalbereichs die Durchbruchspannung für Gate-Spannungen bis $V_G < 10\text{ V}$ deutlich erhöht werden kann. Ebenso nimmt der Spannungsbereich zu, in dem ein konstanter Sättigungsstrom vorliegt, so dass der RDC-Transistor einer deutlich höheren Spannungsbelastung ausgesetzt werden kann. Ein Nachteil des Designs ist die höhere Gesamtweite des Transistors, welche durch den zusätzlichen Kanalanschluss zustande kommt.

Im nächsten Abschnitt wird eine Methode vorgestellt, die es erlaubt, die Verarmung des Kanalbereichs eines HV-Transistors zu verändern. Zwar wird für diese Untersuchungen die RDC-Struktur nicht verwendet, dennoch kann auch diese Struktur eingesetzt werden, um das Kanalpotential und damit den Verarmungszustand zu beeinflussen. Dieses Vorgehen wird durch die separaten Kontaktierung des Kanalbereichs ermöglicht, was einen entscheidenden Unterschied zu einem Split-Source-Transistor bildet.

4.2.6 Fazit zur Optimierung des Hochspannungstransistors

Das Leckstromverhalten des HV-Transistors konnte durch Verwendung von halbrunden Seitenabschnitten, wie in Abbildung 4.6 dargestellt, reduziert werden. Im Vergleich zum Transistor mit Seitenwänden, verringert sich der Leckstrom bei 25 °C um mehrere Größenordnungen. Dagegen ist für eine höher Temperatur von 250 °C erst ab einer hohen Drain-Spannung von etwa 50 V eine Verbesserung des Leckstromverhaltens festzustellen.

Zur Steigerung der Durchbruchspannung wurden verschiedene Parameter variiert. Dabei wurde deutlich, dass die Änderung der Driftregiongeometrie keinen signifikanten positiven Einfluss auf die Durchbruchfestigkeit besitzt. Die Variation der Dotierstoffkonzentration in der gleichen Region trug ebenfalls nicht zur Verbesserung der Durchbruchspannung bei. Eine geringe Steigerung um einige Volt wurde bei Verlängerung der Feldplatten festgestellt, die nun bis zur Mitte der Driftregion verlaufen. Weiterhin wurde die Dicke des vergrabenen Oxids von $0,4\text{ }\mu\text{m}$ auf $1\text{ }\mu\text{m}$ erhöht, um die Abhängigkeit des vertikalen elektrischen Feldes zu untersuchen. Hierbei wurde zumindest für die H10-Technologie festgestellt, dass durch die Vergrößerung die Durchbruchspannung teilweise um mehr als 15 V zunimmt (je nach Gate-Spannung).

Schließlich wurde der Einfluss des Kanalbereichs im Hinblick auf das Durchbruchverhalten untersucht. Dafür wurde in die Mitte des Kanals eine Kontaktierung eingelassen (vgl. Abb. 4.14 (a)), so dass die Beschleunigung von heißen Ladungsträgern verhindert werden konnte. Durch diese Maßnahme konnte zwar der Anstieg des Sättigungsstroms bei hohen Drain-Spannungen nicht verhindert werden, jedoch führte der zusätzliche Kontakt zu einer deutlichen Steigerung der Durchbruchspannung. Besonders bei niedrigen Gate-Spannungen konnte die Spannung um mehr als 20 V gesteigert werden. Dadurch lässt sich der Sicherheitsbereich erhöhen, so dass der gesamte Spannungsbereich, in dem ein konstanter Sättigungsstrom vorliegt, ausgenutzt werden kann.

4.3 Body-Biasing-Hochspannungstransistor

In vielen Anwendungen muss ein Hochspannungstransistor einen relativ hohen Strom von mehreren Ampere durchschalten. Um das zu ermöglichen, wird die Transistorweite auf mehrere Millimeter dimensioniert. Die relativ große Weite führt jedoch auch zur Erhöhung des Stroms im Sperrzustand und damit zur Steigerung der Leistungsaufnahme. Vor allem bei Hochtemperaturanwendungen kann ein permanenter Stromfluss von mehreren Milliampere entstehen, da dieser sich in Abhängigkeit der Temperatur exponentiell erhöht. In einigen Anwendungsgebieten, wo trotz hoher Spannungen auf die Leistungsaufnahme geachtet werden muss (z. B. bei Luft- und Raumfahrt), könnte der Leckstrom eine wichtige Rolle spielen.

Im folgenden Kapitel wird ein neuer Hochspannungstransistortyp vorgestellt, bei dem durch die Anwendung der Body-Biasing-Technik die Leckstromaufnahme signifikant reduziert werden kann. Ebenso werden weitere Parameter, wie die Schwellenspannung und der Subthreshold-Swing, betrachtet und die Vor- und Nachteile dieses Transistortyps erläutert. Die neue Bauform wirkt sich dabei nicht negativ auf die Spannungsfestigkeit und den Durchgangswiderstand aus.

4.3.1 Prinzip der Body-Biasing-Technik und Design für einen HV-Transistor

Wie bereits in Kapitel 2.3.1 erläutert, wird die Kontaktierung des Kanalbereichs durch Split-Source-Transistoren realisiert. Dabei wird der Kanal mit dem Source-Anschluss kurzgeschlossen, um eine kompakte Bauweise des Bauelements zu ermöglichen. Um eine separate Kontaktierung des Kanalbereichs zu ermöglichen, kann ein sogenannter H-Gate-Transistor verwendet werden [100]. Der schematische Aufbau des Transistors ist in Abbildung 4.15 (a) dargestellt. Bei diesem Design werden zusätzliche Poly-Streifen senkrecht zum Gate platziert, so dass an den Seiten eine zusätzliche Kontaktierung des Kanalbereichs ermöglicht wird. Durch die Dotierung der seitlichen Bereiche mit der gleichen Dotierstoffart wie die Kanalimplantation wird ein direkter Anschluss des Kanals realisiert, der nicht von anderen Potentialen abhängt.

Neben der separaten Kontaktierung des Kanalbereichs zeichnet sich dieser Transistortyp durch den symmetrischen Aufbau aus, wodurch Source und Drain an beiden Potentialen angeschlossen werden können (in Abbildung 4.15 (a) durch S/D gekennzeichnet). Weiterhin werden die Source-Drain-Bereiche durch die seitlichen Streifen besser voneinander getrennt, so dass die parasitären Seitenwandeffekte eliminiert werden können. Aufgrund der deutlich größeren Fläche wird dieser Transistortyp jedoch nur bei speziellen Anwendungen eingesetzt.

Durch den separaten Kanalanschluss wird die Möglichkeit eröffnet, den Transistor in den FD-Zustand zu versetzen. Diese Technik wurde von Maeda u. a. zum ersten Mal vorgestellt [101] und wird als Body-Biasing (BB) bezeichnet [102, 103]. Dazu wird beim NMOS eine gegenüber dem Source-Anschluss negative (positive beim PMOS) Spannung angelegt, so dass der Verarmungszustand, welcher üblicherweise hauptsächlich durch das Gate-Potential bestimmt wird, über den separaten Anschluss erreicht wird. Die Verarmungstiefe d_{Dep} kann

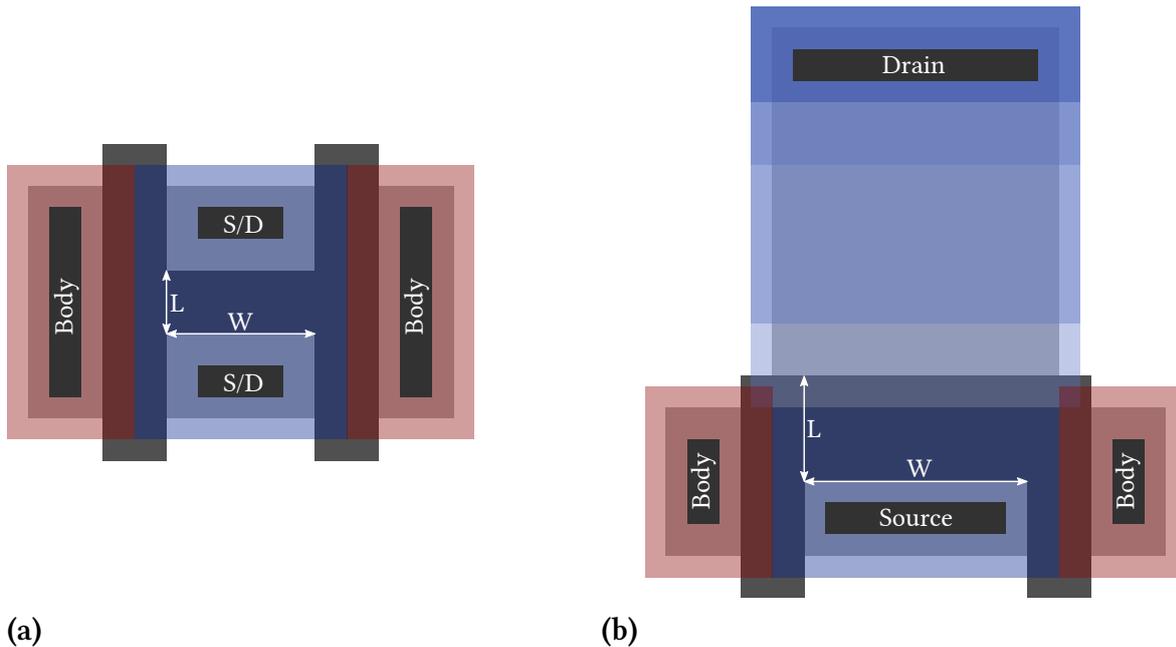


Abbildung 4.15: Schematische Darstellung (a) eines H-Gate-Transistors und (b) eines BB-HV-Transistors

über die folgende Gleichung bestimmt werden [103]:

$$d_{\text{Dep}} = \sqrt{\frac{2\varepsilon_{\text{Si}}(\psi_{\text{s}} - V_{\text{B}})}{qN}}. \quad (4.3)$$

Dabei geben die Größen ψ_{s} das Oberflächenpotential, V_{B} die Body-Spannung und N die Dostoffkonzentration im Kanalgebiet an. Das temperaturabhängige Oberflächenpotential ist in Gleichung 5.14 aufgeführt. Aus der Gleichung 4.3 geht hervor, dass durch eine höhere negative Spannung am Body-Potential die Verarmungszone zunimmt.

In früheren Veröffentlichungen wurde gezeigt, dass bereits eine relativ kleine negative Spannung bezüglich des Source-Potentials von etwa -1 V ausreicht, um den Kanalbereich vollständig zu verarmen [103]. Weiterhin konnte dargelegt werden, dass das Verhalten des Transistors durch die BB-Technik in einem breiten Temperaturbereich verbessert werden kann, was auf den FD-Zustand zurückzuführen ist. Der Leckstrom konnte dabei um mehr als eine Zehnerpotenz gesenkt werden. Nachteilig ist bei dieser Struktur neben der erhöhten Transistorfläche das zusätzliche Potential anzusehen, welches in der Schaltung (z. B. durch eine Ladungspumpe) realisiert werden muss.

Um den separaten Anschluss des Hochspannungstransistors an das Kanalgebiet zu realisieren, werden senkrecht zum Gate auf der Source-Seite zusätzliche Poly-Streifen platziert. Der schematische Aufbau des BB-HV-Transistors ist in Abbildung 4.15 (b) dargestellt. Es ist zu beachten, dass es sich hierbei um einen asymmetrischen Transistor handelt, bei dem die Driftregion zum Drain-Potential im Vergleich zum normalen Hochspannungstransistor gleich bleibt. Dadurch wird die Spannungsfestigkeit des BB-HV-Transistors nicht verändert. Da zwischen Source und Body nur ein geringes Feld anliegt, kann die Weite der seitlichen Poly-Streifen klein gehalten werden (hier $1 \mu\text{m}$).

4.3.2 Simulationen zum BB-HV-Transistor

Mithilfe von Simulationen sollte vor der eigentlichen Prozessierung überprüft werden, ob das designte Bauelement ein ähnliches elektrisches Verhalten zeigt, wie dieses von BB-Transistoren bekannt ist. Aufgrund des dreidimensionalen Aufbaus der Struktur ist eine vollständige prozesstechnische Simulation sehr aufwendig, so dass hier stattdessen das Werkzeug Setaurus Structure Editor verwendet wird. Dabei handelt es sich um einen Prozessesimulator, welcher das Bauelement durch die Angabe von Schichtdicken und Dimensionen nachbildet. Die Dotierstoffverteilung wird durch analytische Gleichungen angegeben. Der emulierte BB-HV-Transistor ist in einer dreidimensionalen Ansicht in Abbildung 4.16 (a) und als Querschnitt in (b) dargestellt.

Für elektrische Simulationen wird kein Avalanche-Modell verwendet, da der Dotierstoffverlauf der im Emulator simulierten Struktur nicht auf eine hohe Spannungsfestigkeit ausgelegt ist und diese Betrachtung auf die Untersuchung bestimmter Kenngrößen, wie Leckstrom oder Schwellenspannung, beschränkt sein soll. Weitere Modellparameter bleiben erhalten (vgl. 2.2.2). Durch die Verwendung des Emulators kann zwar eine größere Abweichung der in der Simulation ermittelten Kennlinien von den experimentell bestimmten vorliegen, jedoch soll diese Untersuchung lediglich zeigen, ob durch das gezeigte Konzept prinzipiell ein Betrieb des Transistors im FD-Zustand möglich ist.

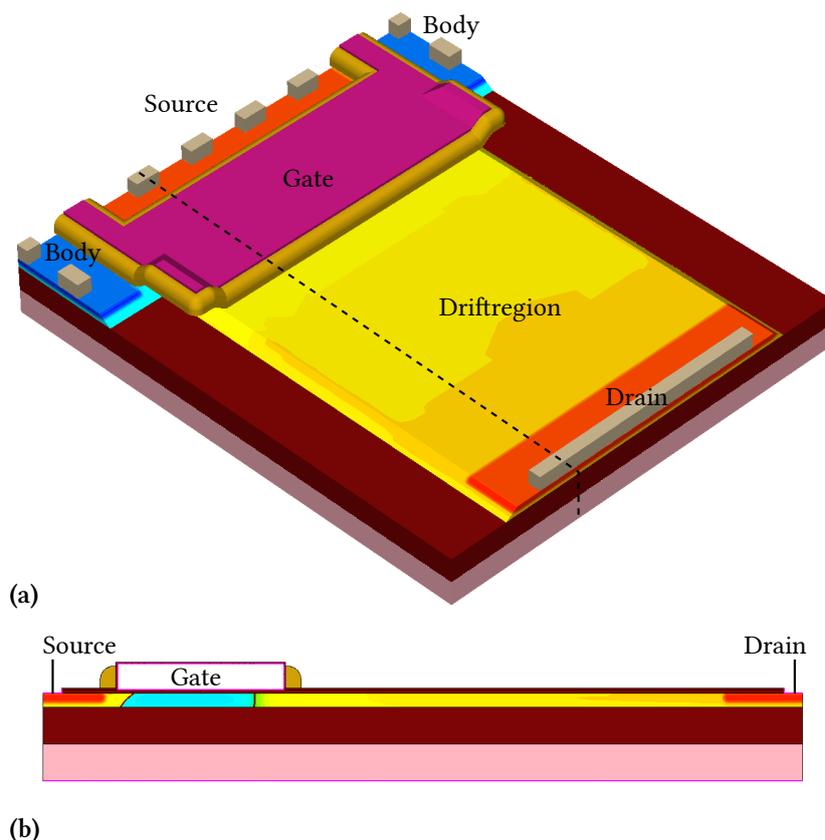


Abbildung 4.16: (a) Darstellung des simulierten dreidimensionalen BB-HV-Transistors; (b) Querschnitt der 3D-Struktur entlang der in (a) eingezeichneten gestrichelten Linie

4 Hochspannungstransistor

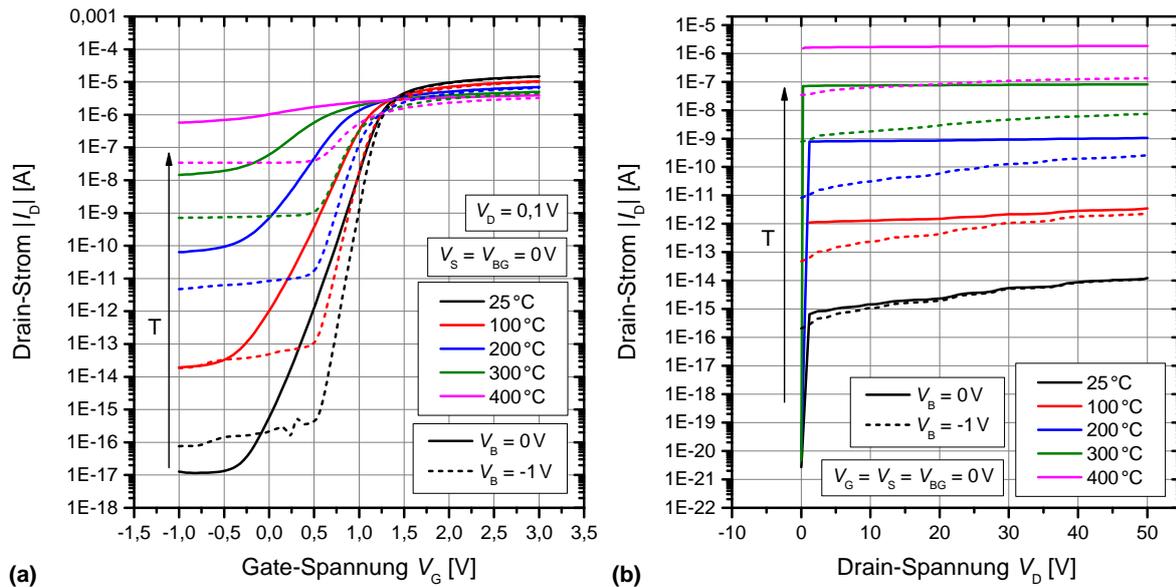


Abbildung 4.17: Simulationsergebnisse der Eingangskennlinie (a) und des Sperrverhaltens (b) für den emulierten BB-HV-Transistor bei verschiedenen Temperaturen mit Body-Spannung $V_B = 0$ V und $V_B = -1$ V

Die Ergebnisse der elektrischen Simulationsuntersuchungen sind in Abbildung 4.17 dargestellt. Zum einen wurde eine Eingangskennlinie simuliert, um das Verhalten bei verschiedenen Gate-Spannungen zu verdeutlichen (vgl. Abb. 4.17 (a)). Zum anderen wurde eine Ausgangskennlinie im Sperrzustand simuliert, die den Leckstromverlauf in Abhängigkeit der Drain-Spannung wiedergeben soll (vgl. Abb. 4.17 (b)). An das Body-Potential wird entweder eine Spannung von 0 V bzw. -1 V angelegt. Bei $V_B = 0$ V ist das Verhalten vergleichbar mit dem eines Split-Source-Transistors. Wird dagegen eine Spannung von $V_B = -1$ V angelegt, so wird der Transistor im FD-Zustand betrieben.

Am Verlauf der Eingangskennlinie wird deutlich, dass das Leckstromniveau des Transistors bei der negativen Body-Spannung für alle untersuchten Temperaturen niedriger ist (bei $V_G = 0$ V). Die BB-Technik ermöglicht eine Reduzierung des Leckstromniveaus um mehr als eine Dekade, was vor allem bei hohen Temperaturen zu einer signifikanten Verbesserung der Unterscheidbarkeit zwischen dem Sperr- und Leitungszustand führt (vgl. $T = 400$ °C). Anhand der Kennlinien ermittelte Werte für die Schwellenspannung zeigen ein deutlich unkritischeres Verhalten in Abhängigkeit der Temperatur. Wird die Temperatur von 25 °C auf 300 °C gesteigert, so reduziert sich die Schwellenspannung bei $V_B = 0$ V um etwa 70 %, wogegen sie sich bei $V_B = -1$ V lediglich um etwa 25 % verringert.

Die in Abbildung 4.17 (b) dargestellte Ausgangskennlinie im Sperrzustand des Transistors verdeutlicht ebenfalls das verbesserte Leckstromverhalten beim Anlegen einer negativen Spannung an das Body-Potential. Bei 25 °C ist dabei nahezu kein Unterschied zwischen den Kennlinien feststellbar. Mit steigender Temperatur nimmt dagegen der Abstand zwischen den Leckströmen für die zwei Betriebsmodi zu. Zwar zeigt die Kennlinie beim Transistor mit $V_B = -1$ V eine höhere Steigung des Leckstroms in Abhängigkeit der Drain-Spannung, jedoch bleibt dieser bei hohen Temperaturen deutlich geringer als der mit $V_B = 0$ V. Bei einer Drain-Spannung von 50 V und einer Temperatur von 300 °C beträgt die Differenz zwischen den Leckströmen in etwa eine Zehnerpotenz.

4.3.3 Verhalten des BB-HV-Transistors im erweiterten Temperaturbereich

Der entwickelte Hochspannungstransistor konnte aus projekttechnischen Gründen bisher nur in der H10-Technologie realisiert werden. Da jedoch bekannt ist, dass sich das Verhalten der BB-Transistoren zwischen den Technologien nicht ändert, kann diese Technik auch in der H035-Technologie angewandt werden. Da der Driftbereich des BB-HV-Transistors im Vergleich zum Split-Source-Transistor nicht verändert wird, kann dieser problemlos vom HV-Transistor der H035-Technologie übernommen werden. Zur Unterdrückung des Seitenwandeffekts wurde eine geschlossene Struktur verwendet, wie diese in Kapitel 4.2.1 diskutiert wurde.

In Abbildung 4.18 sind die Ergebnisse der experimentellen Untersuchungen des Body-Biasing-Transistors (BBT) für unterschiedliche Temperaturen dargestellt. Zum Vergleich sind dort ebenfalls die Kennlinien des Split-Source-Transistors (SST) abgebildet. Die Weite des Body-Biasing- und des Split-Source-Hochspannungstransistors wurde unter Berücksichtigung unterschiedlicher Verhältnisse der hochdotierten n- und p-Kontaktbereiche (Source-Body bzw. Split-Source) auf $1\ \mu\text{m}$ normiert.

Aus dem Verlauf der Eingangskennlinie (vgl. Abb. 4.18 (a)) geht hervor, dass bei Raumtemperatur kein Unterschied zwischen den verschiedenen Body-Potentialen besteht. Mit steigender Temperatur erhöht sich jedoch der Leckstrom vom SST und BBT mit $V_B = 0\ \text{V}$ stärker als der vom BBT mit $V_B = -1\ \text{V}$. Bei einer negativen Spannung am Body-Anschluss bleibt der Leckstrom bis etwa $0,3\ \text{V}$ konstant auf einem niedrigen Niveau und steigt für höhere Spannungen stark an. Dagegen ist der Verlauf der Kennlinie bei $V_B = 0\ \text{V}$ für alle Temperaturen vergleichbar mit dem des Split-Source-Transistors. Das unterschiedliche Verhalten zwischen den verschiedenen Potentialen am Body-Anschluss ging ebenfalls aus den Simulationen hervor. In (b) ist der Verlauf der Eingangskennlinien in linearer Darstellung abgebildet. Daraus geht hervor, dass der gateabhängige Drain-Strom beim SST etwas höher ist als beim BBT. Der leichte Knick in der Kennlinie des SST deutet auf einen Sättigungseffekt, der in den Kennlinien des BBT nicht erkennbar ist. Dieser Unterschied könnte damit zusammenhängen, dass der Gesamtstrom bezogen auf die effektive Weite der Transistoren verschieden ist, so dass die Sättigung beim BB-HV-Transistor (aufgrund der höheren effektiven Weite) erst später eintritt. Dennoch kann von einem ähnlichen Verhalten bei hohen Gate-Spannungen ausgegangen werden.

Das Leckstromverhalten der HV-Transistoren im Sperrzustand ist in Abbildung 4.18 (c) dargestellt. Da die untersuchten Transistoren in der H10-Technologie gefertigt wurden, ist die Durchbruchspannung im Vergleich zur H035-Technologie unterschiedlich. Aus dem Verlauf der Kennlinien geht hervor, dass das Leckstromniveau beim BBT mit $V_B = -1\ \text{V}$ im Vergleich zu den beiden anderen Transistoren signifikant geringer ist. Der Unterschied zum SST und zum BBT mit $V_B = 0\ \text{V}$ nimmt mit der Temperatur zu und beträgt z. B. bei $250\ ^\circ\text{C}$ über eine Größenordnung. Im Vergleich zur Simulation ist die Differenz der Leckströme sogar etwas höher. Bei der Kennlinie des BBTs mit $V_B = -1\ \text{V}$ ist ein Knick zu erkennen, der auf die Verarmung der Driftregion zurückzuführen ist. Die Driftregion ist ab etwa $30\ \text{V}$ vollständig verarmt, so dass der Stromanstieg geringer wird. Bei den anderen beiden Transistoren ist dieser Knick nicht zu beobachten, da der Generationsstrom des Kanalbereichs diesen überdeckt.

4 Hochspannungstransistor

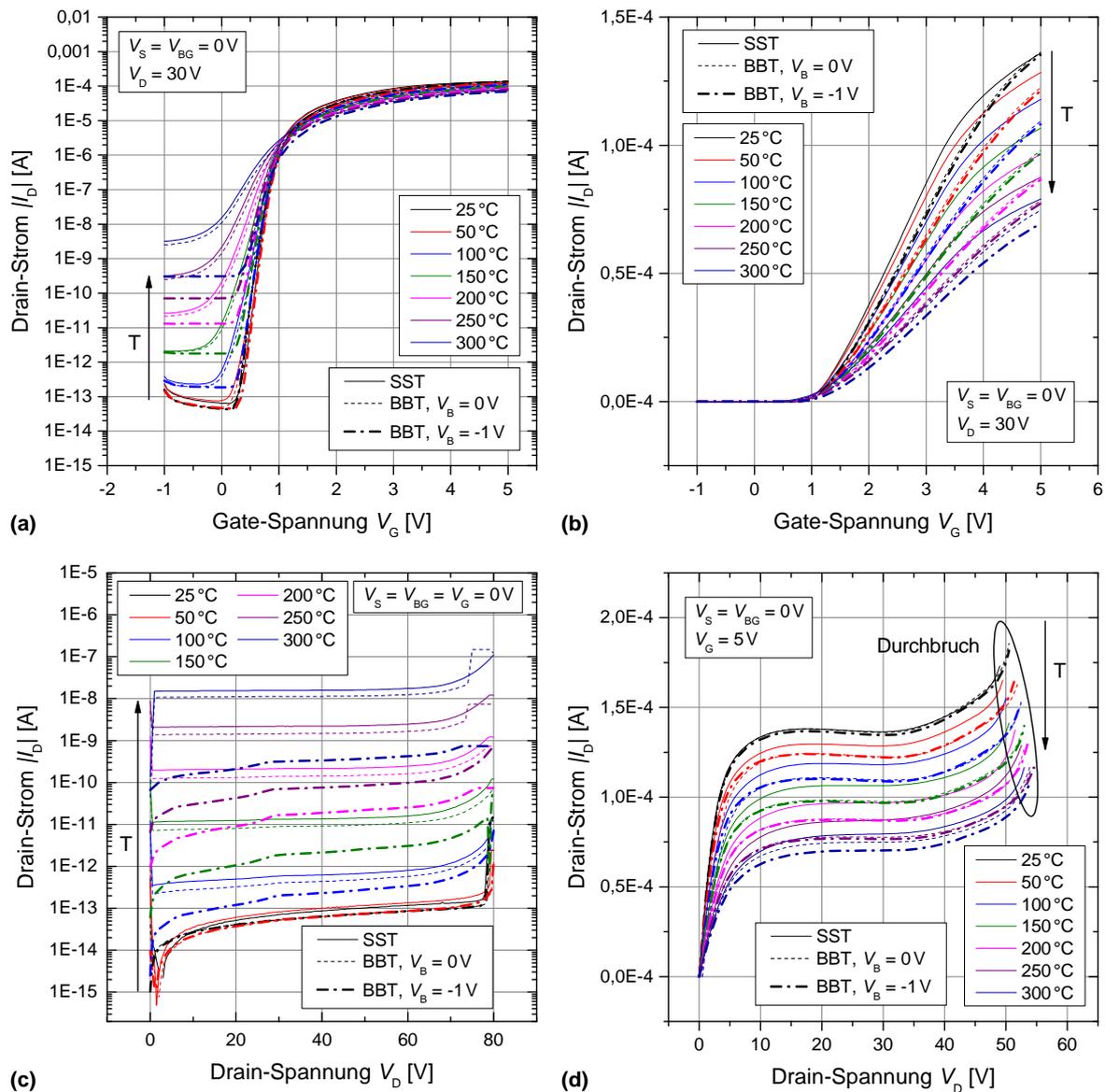


Abbildung 4.18: Experimentelle Ergebnisse zum Verhalten des BB-HV-Transistors (BB-HV) im Vergleich zum Split-Source-Transistor (SST) in der H10-Technologie; (a) Eingangskennlinie in halblogarithmischer Darstellung; (b) Eingangskennlinie in linearer Darstellung; (c) Ausgangskennlinie im Sperrzustand; (d) Ausgangskennlinie im Durchlasszustand

Das Durchbruchverhalten vom BBT im Sperrzustand bei $V_B = -1V$ ist vergleichbar zu dem des SST. Dagegen kommt es bei $V_B = 0V$ und hohen Betriebstemperaturen (bei 250 °C oder 300 °C) zu einem vorzeitigen Durchbruch und somit zum Ausfall des Transistors. Der vorzeitige Ausfall kann darauf zurückgeführt werden, dass der Abstand vom p-dotierten Anschluss bis zum Kanalbereich des BBT aufgrund der zusätzlichen vertikalen Poly-Streifen etwas größer ist und somit die Steuerwirkung über das Body-Potential in einer kleinen Region des Kanalbereichs verloren geht. Der Floating-Body-Effekt führt schließlich über den Single-Transistor-Latch zum Zünden des Transistors und somit zu seiner Zerstörung. Im Gegensatz dazu wird mit der negativen Body-Spannung eine vollständige Verarmung des Kanalbereichs erreicht, so dass der Floating-Body-Effekt vermieden wird.

Schließlich ist in Abbildung 4.18 (d) das Verhalten der Transistoren im Leitungszustand bei $V_G = 5\text{ V}$ dargestellt. Der Verlauf der Kennlinien ist zwischen den unterschiedlichen Betriebsmodi des BBT nahezu identisch, zeigt jedoch eine geringe Abweichung zum SST. Der Sättigungsstrom sinkt in Abhängigkeit der Temperatur, wogegen die Durchbruchspannung erhöht wird. Zwischen den verschiedenen Transistortypen ist keine signifikante Änderung der Durchbruchspannung festzustellen.

Weiterhin wurden für die beiden Betriebsmodi des BBT verschiedene Transistorparameter in Abhängigkeit der Temperatur ermittelt, die in Abbildung 4.19 dargestellt sind. Zum Vergleich dienen die Parameter des Split-Source-Hochspannungstransistors, die ebenfalls dort abgebildet sind. Aus dem temperaturabhängigen Verlauf der Schwellenspannung in (a) geht

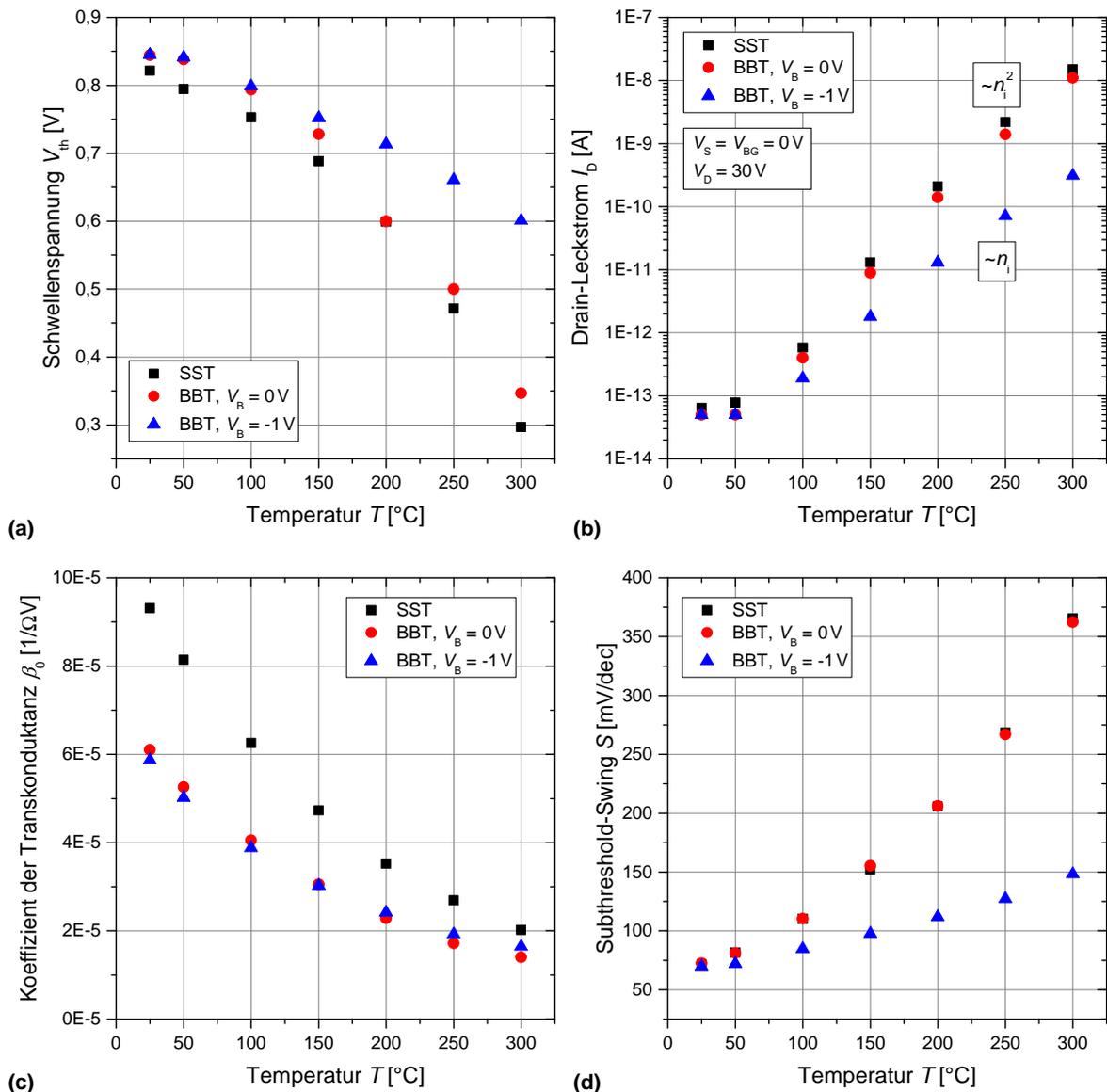


Abbildung 4.19: Transistorparameter in Abhängigkeit der Temperatur für Hochspannungstransistoren der H10-Technologie; (a) Schwellenspannung; (b) Drain-Leckstrom bei $V_D = 30\text{ V}$; (c) Koeffizient der Transkonduktanz; (d) Subthreshold-Swing

hervor, dass diese für den BBT mit einem negativen Body-Potential eine deutlich geringere Abnahme aufweist. Bei einer Temperatur von 300 °C sinkt die Schwellenspannung des Transistors im FD-Zustand lediglich um 30 % gegenüber der Schwellenspannung bei 25 °C, wogegen sich für die anderen beiden Transistoren eine Abnahme von jeweils etwa 60 % ergibt.

Wie bereits beschrieben, ist beim Transistor mit $V_B = -1\text{ V}$ eine deutliche Verbesserung des Leckstromverhaltens vorzufinden (vgl. Abb. 4.19 (b)). In der halblogarithmischer Darstellung wird deutlich, dass sich die Steigung durch den anderen Betriebsmodus ändert. Der Leckstrom ist dabei im PD-Zustand proportional zu n_i^2 , wogegen im FD-Zustand eine n_i -Abhängigkeit vorliegt. Dadurch fließt im gesperrten Zustand des Transistors ein deutlich geringerer Leckstrom.

Der Koeffizient der Transkonduktanz der untersuchten Hochspannungstransistoren ist in Abbildung 4.19 (c) dargestellt. Zwischen den Werten des BBT mit unterschiedlichen Betriebsmodi ist eine geringe Abweichung festzustellen, wogegen diese von den Werten des SST stark abweichen. Ein Grund für die deutliche Differenz könnte in der unterschiedlichen Weite des p-dotierten Bereichs liegen, so dass die größere Weite des BBT einen kleineren Koeffizienten der Transkonduktanz liefert.

In Abbildung 4.19 (d) ist der Verlauf eines weiteren typischen Transistorparameters dargestellt, welcher als Subthreshold-Swing bezeichnet wird. Diese Größe wird wie folgt bestimmt

$$S = \left. \frac{dV_G}{d(\log I_D)} \right|_{\max} \quad (4.4)$$

Damit gibt der Subthreshold-Swing einen Wert für den maximalen Stromanstieg unterhalb der Schwellenspannung an. Für den SST und BBT mit einer Body-Spannung von 0 V ergibt sich ein deutlich stärkerer Anstieg des Subthreshold-Swing in Abhängigkeit der Temperatur. Auch am Verlauf dieser Größe wird der Unterschied zwischen einem Transistor im PD- und FD-Zustand deutlich: Der Stromanstieg eines FD-Transistors ist deutlich steiler, wodurch die Schaltgeschwindigkeit ansteigt und eine größere Differenz zwischen dem Leckstrom und dem Sättigungsstrom gegeben ist.

4.3.4 Fazit zum BB-HV-Transistor

Als Fazit kann festgestellt werden, dass das elektrische Verhalten des vorgestellten BB-HV-Transistors mit einer negativen Body-Spannung von $V_B = -1\text{ V}$ im Vergleich zum Standard-Hochspannungstransistor deutlich verbessert wird. Die Spannungsfestigkeit des BB-HV-Transistors wird dabei nicht beeinträchtigt. Für Hochtemperaturanwendungen wirkt sich vor allem der verringerte Leckstrom positiv auf die Leistungsaufnahme des Transistors aus. Weiterhin zeigen die transistorspezifischen Parameter, wie die Schwellenspannung, die Transkonduktanz oder der Subthreshold-Swing, eine deutliche Verbesserung. So ist z. B. die temperaturabhängige Änderung der Schwellenspannung für den vorgestellten Transistortyp deutlich geringer im Vergleich zum Split-Source-Transistor. Als einziges Nachteil kann das zusätzliche Body-Potential angesehen werden, welches in der Schaltung zur Verfügung gestellt werden muss.

5 EEPROM-Speicher

Eine Speicherzelle stellt in der Mikroelektronik einen wichtigen Baustein zur Verarbeitung von Daten dar. Im Bereich der Hochtemperaturelektronik ist die Zuverlässigkeit der Speicherzellen von herausragender Bedeutung. Das ist damit zu begründen, dass mit steigender Temperatur die Belastung des Bauelements zunimmt, so dass bei Hochtemperaturenanwendungen die Anforderungen an die Zuverlässigkeit ebenfalls steigen. Eine Optimierung der Speicherzelle in Hinblick auf das Zuverlässigkeitsverhalten ist somit unerlässlich und stellt in diesem Kapitel einen Schwerpunkt dar. Der breite Temperaturbereich zwischen -40 °C und 450 °C soll dabei zum einen das temperaturabhängige Verhalten der Degradationsvorgänge verdeutlichen, um analytische Zusammenhänge besser ableiten zu können. Zum anderen soll untersucht werden, ob eine Erweiterung der Betriebstemperatur von bisher maximal 250 °C zu höheren Temperaturen hin möglich ist und welche temperaturabhängigen Limitierungen vorliegen.

Ein weiteres zentrales Thema dieses Kapitels bildet die Modellierung der Speicherzelle mithilfe eines Makromodells. Das Modell soll sowohl das Verhalten der Zelle beim Programmieren und Löschen, als auch das Zuverlässigkeitsverhalten in dem breiten Temperaturbereich korrekt wiedergeben. Dabei soll das temperaturabhängige Verhalten durch analytische Gleichungen beschrieben und so eine Extrapolation auf beliebige Temperaturen zwischen -40 °C und 450 °C ermöglicht werden. Ziel ist es, ein kompaktes und leistungsfähiges Modell zu entwickeln, welches zur Schaltungs- und Speicherzellenoptimierung eingesetzt werden kann.

5.1 Grundlagen

Nichtflüchtige Speicher stellen komplexe Bauelemente dar, für deren Betrieb mehrere physikalische Effekte ausgenutzt werden. Für das Verständnis werden in diesem Kapitel die Grundlagen zu den Speicherzellen erläutert. Dabei werden zunächst die verschiedenen Speichertypen und die Methoden zur Programmierung der Speicherzelle vorgestellt. Ebenso spielen die Leitungsmechanismen im Oxid eine wichtige Rolle, die sich auf unterschiedliche physikalische Effekte zurückführen lassen. Die Zuverlässigkeit des Speichers ist bei Hochtemperaturenanwendungen von entscheidender Bedeutung und wird ebenso im folgenden Kapitel thematisiert. Anschließend wird die Speicherzelle, die in der H035-Technologie ihren Einsatz findet, vorgestellt und deren Besonderheiten näher erläutert.

5.1.1 Typen elektronischer Speicher

Beim elektronischen Speicher wird grundsätzlich zwischen einem flüchtigen und einem nichtflüchtigen Speicher unterschieden. Bei einem flüchtigen Speicher geht die Information bei fehlender Versorgungsspannung verloren, da der binäre Informationszustand in der Regel durch eine Kapazität realisiert wird und diese sich nach dem Abschalten der Spannung entlädt. Flüchtige Speicher werden zum Beispiel als Arbeitsspeicher verwendet und sind durch eine x-y-Adressierung¹ als SRAM oder DRAM (Static bzw. Dynamic Random Access Memory) realisiert. Beim nichtflüchtigen Speicher bleibt die Information dagegen auch dann erhalten, wenn die Versorgungsspannung abgeschaltet wird. Innerhalb der Gruppe von nichtflüchtigen Speichern gibt es Unterschiede, die sich auf die Möglichkeit der Speicherung beziehen.

Es existieren permanente Speicher, so genannte ROM-Speicher (Read-Only Memory), die die gespeicherte Information nach dem einmaligen Programmieren nicht mehr ändern und daher nur ausgelesen werden können. Der Informationszustand der ROM-Speicherzelle wird bereits bei der Prozessierung festgelegt und kann zum Beispiel durch einen offenen oder geschlossenen Kontakt realisiert werden. Zu den Vorteilen des Zelltyps gehört eine hohe Speicherdichte, wogegen die relativ teure Produktion aufgrund der Maskenprogrammierung als nachteilig anzusehen ist. In den heutigen Anwendungen werden ROM-Speicher nur selten eingesetzt.

PROM-Speicher (Programmable Read-Only Memory) können im Gegensatz zu ROM-Speichern einmal programmiert werden, wobei sich der einprogrammierte Informationszustand nicht nachträglich ändern lässt. Die heute am häufigsten verwendete Gruppe der PROM-Speicher sind die OTP-Bausteine (One Time Programmable), die durch das Verbinden (Fuse-Technologie) bzw. Lösen (Antifuse-Technologie) bestimmter Verbindungsstellen programmiert werden können. PROM-Speicher erreichen eine hohe Packungsdichte und sind in der Herstellung relativ günstig, da die Programmierung elektrisch erfolgt. Die Bausteine werden in verschiedenen Geräten (z. B. Haushaltsgeräten als Firmware) eingesetzt, wo eine Umprogrammierung des Speichers nicht vorgesehen ist.

Eine Weiterentwicklung der PROM-Speicherzellen stellen die EPROM-Speicherbauelemente dar (Erasable Programmable Read-Only Memory), bei denen die gespeicherte Information mittels UV-Licht gelöscht werden kann und somit ein mehrfaches Programmieren ermöglicht wird. Nachteilig ist bei dieser Technologie, dass ein spezielles UV-durchlässiges Gehäuse verwendet werden muss und eine selektive Löschung der Speicherzellen nicht möglich ist. Durch die Entwicklung neuer Speichertypen wurden die EPROM-Zellen vom Markt verdrängt und werden heute nicht mehr eingesetzt.

Die heute am häufigsten verwendete Gruppe der wiederbeschreibbaren nichtflüchtigen Speicher stellen die EEPROM-Bauelemente dar (Electrically Erasable Programmable Read-Only Memory). Diese sind dadurch gekennzeichnet, dass das Programmieren und Löschen der Zelle elektrisch erfolgt und ein mehrfaches Wiederbeschreiben möglich ist. Ebenso ist eine selektive Umprogrammierung einzelner Bytes möglich. Je nach Verschaltung der Speicherzellen wird auch der Begriff Flash-Speicher verwendet, der ein blockweises Löschen

¹Die x-y-Adressierung erfordert für das Schreiben bzw. Auslesen des Speichers nur die Angabe der Zeile und Spalte, in der sich die Speicherzelle befindet, so dass eine schnelle Ansteuerung möglich ist. Speicher mit einer solchen Ansteuerung werden auch als RAM bezeichnet.

der Zellen über mehrere Bytes beschreibt.

Neue Entwicklungen sollen die Vorteile der flüchtigen und nichtflüchtigen Speicher vereinen und zu einem nichtflüchtigen RAM-Speicher (NVRAM) führen. Dabei werden neue Ansätze verfolgt, die z. B. auf die Änderung des Widerstands (RRAM), der ferroelektrischen (FRAM) bzw. magnetischen (MRAM) Eigenschaften oder des Phasenzustands (PCM) eines bestimmten Materials setzen. Durch die neuen Ansätze sollen die Speicherdichte, die Zuverlässigkeit und die Lese- bzw. Schreibgeschwindigkeit des Speichers erhöht werden.

5.1.2 Typen von EEPROM-Speichern

Zur Realisierung von EEPROM-Speichern haben sich zwei Technologien durchgesetzt. Diese unterscheiden sich in der Verwendung der Schicht, die für das Speichern von Ladungsträgern benötigt wird. Weiterhin existieren verschiedene Techniken, um die Ladungsträger in diese Schicht zu befördern. Die beiden Technologien und die zwei wichtigsten Techniken zum Ladungseinbau werden in den folgenden Abschnitten erläutert.

Charge-Trapping- und Floating-Gate-Technologie

Die Speicherzelle kann vereinfacht als ein Transistor angesehen werden, der zwischen Gate und Kanal eine zusätzliche Schicht aufweist, die zum Speichern einer bestimmten Ladungsmenge verwendet wird (vgl. Abb. 5.1). Diese Schicht ist elektrisch von den restlichen Potentialen isoliert und kann nur kapazitiv angesteuert werden. Dabei dient die Zusatzschicht als ein Gate-Potential, welches den Transistor in Abhängigkeit der gespeicherten Ladungsmenge sperrt oder öffnet und somit die beiden binären Informationszustände der Speicherzelle darstellt. Das Gate, welches sich oberhalb der Speicherschicht befindet, kann elektrisch angesteuert werden und wird bei der Betrachtung von Speicherzellen üblicherweise als Control-Gate (CG) bezeichnet. Das Control-Gate wird über kapazitive Kopplung zur Beeinflussung des Potentials der Zusatzschicht verwendet.

Die Speicherung der Ladung erfolgt entweder auf einem elektrisch isolierten Gate (Floating-

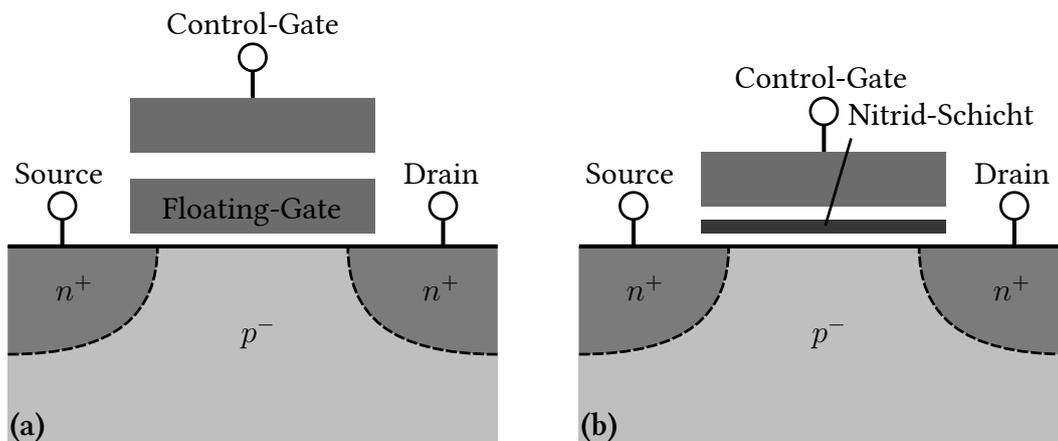


Abbildung 5.1: EEPROM-Technologien am Beispiel einer NMOS-Speicherzelle; (a) Floating-Gate-Technologie; (b) Charge-Trapping-Technologie

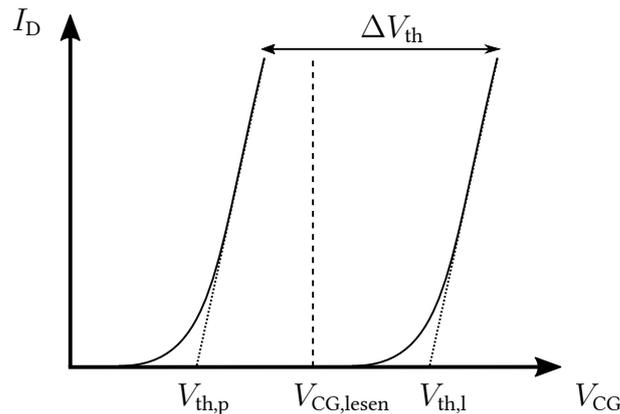


Abbildung 5.2: Schematischer Verlauf der Eingangskennlinie (Drain-Strom I_D in Abhängigkeit der Control-Gate-Spannung V_{CG}) für zwei Zustände der Speicherzelle

Gate, FG), wie in Abbildung 5.1 (a) dargestellt, oder die Ladungsträger werden in eine Schicht aus Nitrid (Si_3N_4) injiziert (b) und verbleiben dort an lokalen Haftstellen (Charge-Trapping, CT) [104, 105]. Der Unterschied zwischen den beiden Zelltypen besteht darin, dass die speichernde Schicht bei der FG-Technologie ein leitendes Material darstellt, wogegen in der CT-Technologie ein Dielektrikum verwendet wird.

Durch die Verwendung von CT-Speicherzellen können einige Prozessschritte eingespart werden, wodurch die Technologie gegenüber der FG-Technologie kostengünstiger ist. Ebenso können durch die einfachere Prozessierung kleinere Strukturen realisiert werden, wodurch die Speicherdichte erhöht werden kann. Trotz dieser Vorteile zeigt die CT-Technologie bei Hochtemperatur ein schlechteres Zuverlässigkeitsverhalten als die FG-Technologie. Vor allem die Verwendung von dünnen Oxidschichten zur Trennung der Nitridschicht führt aufgrund des direkten Tunnelns zu einer deutlichen Verschlechterung des Datenerhalts [106].

Zum Auslesen des Speichers wird die Lesespannung $V_{CG,lesen}$ am Control-Gate eingeprägt (vgl. Abb. 5.2). Wenn negative Ladungsträger in die Speicherschicht eingebracht sind, so verschiebt sich die Schwellenspannung im Falle einer NMOS-Speicherzelle zu höheren Control-Gate-Spannungen hin. Da der Transistor in diesem Zustand gesperrt ist, wird dieser als Löschezustand² mit der Schwellenspannung $V_{th,l}$ bezeichnet. Bei fehlenden negativen Ladungsträgern wird der Transistor leitend, da sich die Schwellenspannung zu kleineren Control-Gate-Spannungen verschiebt. Dieser Zustand wird als Programmierzustand mit Schwellenspannung $V_{th,p}$ bezeichnet. Die Differenz beider Schwellenspannungen wird Schwellenspannungsfenster oder Programmierfenster ΔV_{th} genannt.

Methoden zur Programmierung der Speicherzelle

Um die Ladungsmenge in der Speicherschicht zu ändern, muss diese über die kapazitive Kopplung aus dem Siliziumfilm in die Speicherschicht befördert werden. Dazu existieren zahlreiche Methoden, von denen zwei, die Injektion heißer Ladungsträger und das Fowler-Nordheim-Tunneln, häufig verwendet werden [104, 105].

²Die Definition des Lösch- und Programmierzustandes ist nicht eindeutig, so dass die Zustände in der Literatur auch vertauscht vorkommen.

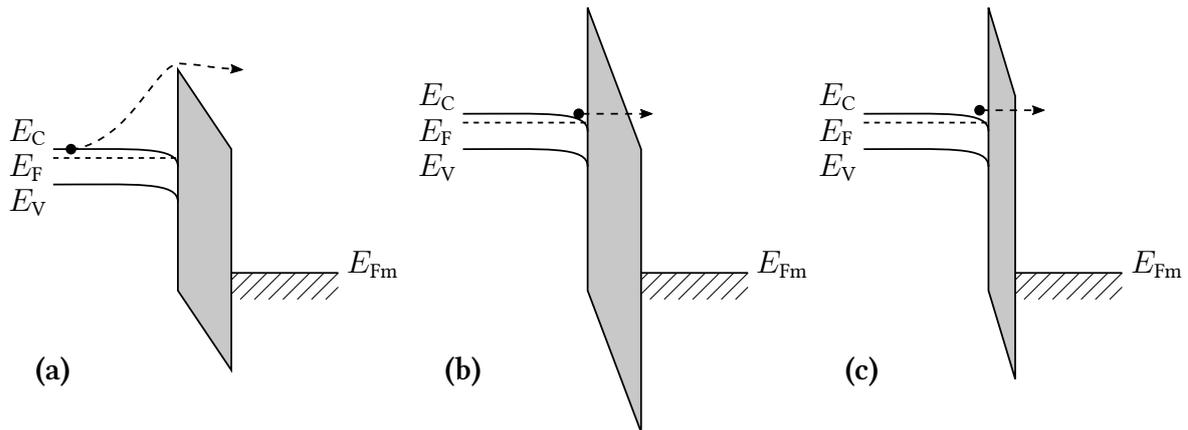


Abbildung 5.3: Injektion eines Ladungsträgers durch eine Halbleiter-Oxid-Metall-Schicht; (a) Hot-Carrier-Injection; (b) Fowler-Nordheim-Tunneln; (c) direktes Tunneln

Bei der Injektion heißer Ladungsträger (Hot Carrier Injection, HCI) werden Ladungen durch das Einstellen eines bestimmten Profils des elektrischen Feldes in Richtung des Floating-Gates beschleunigt und können aufgrund hoher kinetischer Energie die Potentialbarriere überwinden (vgl. Abb. 5.3 (a)). Die Spannungen sind dabei geringer als beim Fowler-Nordheim-Tunneln, jedoch wird ein hoher Stromfluss benötigt, damit genügend Ladungsträger in die Speicherschicht injiziert werden. Mit steigender Temperatur verringert sich die Wahrscheinlichkeit für die Injektion, da es durch die thermische Anregung des Gitters öfter zu Stoßprozessen kommt und die Ladungsträger nicht ausreichend beschleunigt werden können.

Das Fowler-Nordheim-Tunneln (FN-Tunneln) ist durch eine dreiecksförmige Potentialbarriere des Isolators charakterisiert (vgl. Abb. 5.3 (b)). Durch das Anlegen einer ausreichend hohen Spannung werden die Bänder des Isolatormaterials so verändert, dass durch die triangulare Form eine effektiv schmalere Potentialbarriere überwunden werden muss und somit der Tunnelstromfluss steigt. Die FN-Tunnelstromdichte erhöht sich mit steigender Temperatur, da die Potentialbarriere durch die zunehmende Energie der Ladungsträger leichter überwunden werden kann. Die mathematische Beschreibung des temperaturabhängigen FN-Tunnelstroms erfolgt in Kapitel 5.1.3.

Direktes Tunneln ist bei Isolationsschichten von weniger als 5 nm Dicke ein nicht mehr zu vernachlässigender Effekt. Im Gegenteil zum Fowler-Nordheim-Tunneln ist die Stromdichte nicht mehr von der Verzerrung des Bandes durch ein äußeres elektrisches Feld abhängig, sondern allein von der Dicke der dielektrischen Schicht, wie in Abbildung 5.3 (c) dargestellt. Somit kann es schon bei kleinen Potentialdifferenzen zwischen Floating-Gate und Kanal zur Entladung der Speicherzelle kommen. Für einen zuverlässigen Betrieb von EEPROM-Speichern darf die Dicke der Isolationsschicht aus diesem Grund nicht zu klein gewählt werden.

5.1.3 Leitungsprozesse im Isolator

In realen Kondensatoren ist der Stromfluss im Gegensatz zu einer Idealkapazität ungleich null. Das heißt, es finden physikalische Prozesse statt, die zum Austausch von Ladungsträgern führen. Diese Prozesse können durch hohe elektrische Felder oder erhöhte Tempera-

turen hervorgerufen werden. Auch die Qualität des Oxids spielt im Leitungsprozess eine wichtige Rolle. Da im einfachsten Fall die EEPROM-Zelle als ein Kondensator mit einer einseitig elektrisch isolierten Elektrode angesehen werden kann, wirken sich die Leitungsprozesse auch auf die Arbeitsstabilität des Speichers aus. Die folgenden Unterkapitel dienen zur Verdeutlichung der wichtigsten Leitungsprozesse, die im Betrieb einer Speicherzelle auftreten können.

Fowler-Nordheim-Tunneln

Wie bereits im Kapitel 5.1.2 erläutert, werden die Bänder des Isolators durch das Anlegen eines hohen elektrischen Feldes so stark verbogen, dass eine triangulare Form der Potentialbarriere entsteht (vgl. Abb. 5.3). Aufgrund der reduzierten Barrierenbreite steigt die Tunnelwahrscheinlichkeit. Der Tunnelvorgang durch eine solche Barriere wird auch als Fowler-Nordheim-Tunneln bezeichnet, da dieses Verhalten zuerst von Fowler und Nordheim beschrieben wurde [107]. Die Tunnelstromdichte bei der Temperatur $T = 0$ K lässt sich durch folgende Gleichung angeben [107]

$$J_{\text{FN}} = A_{\text{FN}} F^2 \exp\left(-\frac{B_{\text{FN}}}{F}\right). \quad (5.1)$$

Dabei beschreibt F das elektrische Feld, welches am Tunneloxid anliegt und A_{FN} sowie B_{FN} stellen die Fowler-Nordheim-Konstanten dar. Die FN-Konstanten lassen sich wie folgt beschreiben

$$A_{\text{FN}} = \frac{qm_{\text{si}}^*}{8\pi h m_{\text{ox}}^* \phi}, \quad (5.2)$$

$$B_{\text{FN}} = \frac{8\pi \sqrt{2m_{\text{ox}}^* \phi^3}}{3qh}. \quad (5.3)$$

Hier stellen h das Planck'sche Wirkungsquantum, ϕ die Barrierenhöhe und m_{si}^* bzw. m_{ox}^* die effektive Elektronenmasse im Silizium bzw. Oxid dar.

Eine Beschreibung des Tunnelstroms unter Berücksichtigung der Temperatur gestaltet sich jedoch schwierig, da das Integral über die Barrierenhöhe von der temperaturabhängigen Fermi-Dirac-Verteilung der Elektronen und der feldabhängigen Tunnelwahrscheinlichkeit gelöst werden muss, wie Pananakakis festgestellt hat [108]. Eine Näherung unter Hinzunahme der Gleichung 5.1 mit einem temperaturabhängigen Vorfaktor, wie von Lenzlinger und Snow vorgeschlagen [109], führt nur bei niedrigen Temperaturen bis etwa 100 °C zum richtigen Ergebnis [108]. Der Ansatz von Roca u. a., bei dem die Barrierenhöhe ϕ einen linearen temperaturabhängigen Faktor erhält, zeigt zwar im Temperaturbereich zwischen 25 °C und 200 °C eine geringe Abweichung von der tatsächlichen Tunnelstromdichte, das Verhalten bei höheren Temperaturen wurde jedoch nicht untersucht [110]. Pananakakis u. a. schlugen eine Reihenentwicklung der exakten temperaturabhängigen Gleichung vor [108] und zeigten, dass eine Abweichung der Berechnung im Vergleich zu experimentellen Ergebnissen von z. B. etwa 15% nach der sechsten Ordnung unterschritten wird. Für eine genaue Approximation steigt jedoch aufgrund der vielen Ordnungen und der beinhalteten komplexen Funktionen der Rechenaufwand.

Die Bestimmung des Tunnelstroms für ein einfaches Makromodell, welches in dieser Arbeit realisiert werden soll, kann dadurch erreicht werden, dass die FN-Gleichung 5.1 verwendet wird, wobei die FN-Konstanten in Abhängigkeit der Temperatur variiert werden. Dass der FN-Strom durch diese vereinfachte Gleichung durch Variation der FN-Konstanten in guter Näherung wiedergegeben wird, hat bereits Pananakakis festgestellt [108]. Die FN-Konstanten können aus den Strom-Spannungs-Kennlinien von Kondensatoren ermittelt werden. Dabei stellen die Konstanten keinen physikalischen Zusammenhang dar, sondern dienen lediglich als Fit-Parameter zur Ermittlung der Tunnelstromdichten.

Stressinduzierter Leckstrom

Neben dem Tunnelvorgang über die gesamte Barriere kann das Tunneln auch durch Haftstellen im Oxid, die auch als Traps bezeichnet werden, begünstigt werden. Da Oxid eine amorphe Struktur aufweist, liegen solche Traps bereits nach der Prozessierung vor und werden als intrinsische Fehler bezeichnet. Vor allem die Grenzschicht zwischen Oxid und Silizium weist bis zu $1 \times 10^{12} \text{ cm}^{-2}$ sogenannter Interface-Traps auf. Weiterhin können Traps auch durch eine Belastung des Oxids eingebaut werden, die als stressinduzierte Fehler bezeichnet werden. Die Belastung kann durch das elektrische Feld, die geflossene Ladung, die Stresszeit und die Stresstemperatur hervorgerufen werden. Der Stress führt zu einer sukzessiven Verschlechterung des Oxids, die auch als Degradation des Oxids bezeichnet wird. Die Stromdichte durch das Dielektrikum nimmt aufgrund steigender Anzahl der Traps zu und wird in der Literatur als stressinduzierter Leckstrom bzw. SILC (Stress Induced Leakage Current) bezeichnet.

Die analytische Beschreibung des fehlstellengestützten Tunnelstroms in einem Makromodell kann durch die Frenkel-Poole-Gleichung erfolgen [63, 111]:

$$J_{\text{FP}} = A_{\text{FP}}^* F \exp \left(- \frac{q \left(\phi - \sqrt{qF / \pi \epsilon_{\text{ox}}} \right)}{kT} \right), \quad (5.4)$$

wobei A_{FP}^* eine Proportionalitätskonstante und ϵ_{ox} die Permittivität des Oxids angibt. Die Gleichung beschreibt die Emission eines Ladungsträgers aus einem Energieniveau im verbotenen Band des Isolators (geschaffen durch die Fehlstelle) in das Leitungsband des Isolators durch thermische Anregung.

Da die Qualität des Oxids variieren kann, ist es sinnvoll, eine Anpassung der Konstanten mithilfe experimenteller Messungen durchzuführen. Die Frenkel-Poole-Gleichung kann dafür in einer Form dargestellt werden [112]:

$$J_{\text{FP}} = A_{\text{FP}} F \exp \left(B_{\text{FP}} \sqrt{F} \right), \quad (5.5)$$

die eine einfache Extraktion der Größen A_{FP} und B_{FP} aus der Messung ermöglicht. Zu beachten ist, dass in dieser Gleichung A_{FP} und B_{FP} temperaturabhängig sind und vom Degradationszustand des Oxids abhängen.

Thermionische Emission

Bei hohen Temperaturen kann die thermische Anregung der Ladungsträger nicht mehr vernachlässigt werden und kann ebenfalls den Leitungsprozess begünstigen. Durch die thermische Anregung können die Ladungsträger die Potentialbarriere überwinden und gelangen in das Leitungsband des Isolators, wo sie frei beweglich sind. Dieser Vorgang wird als thermionische Emission oder Richardson-Effekt bezeichnet. Die Stromdichte J_{SE} bei diesem Vorgang wird durch die folgende Gleichung beschrieben [63]

$$J_{SE} = A_R T^2 \exp \left(\frac{-q \left(\phi - \sqrt{qF/4\pi\epsilon_{ox}} \right)}{kT} \right), \quad (5.6)$$

wobei A_R die effektive Richardson-Konstante darstellt [63].

5.1.4 Zuverlässigkeitskriterien des Speichers

Eine Speicherzelle sollte eine möglichst lange Betriebsdauer aufweisen, die dadurch limitiert ist, dass zum einen Ladungen vom Floating-Gate abfließen können und zum anderen bei jedem Umprogrammieren ein Alterungsprozess der Zelle stattfindet. Diese Vorgänge können durch Schichtdicken des Isolators, Design-Änderungen, bestimmte Prozessierungsschritte oder den Betrieb der Zelle selbst beeinflusst werden. Daraus ergeben sich bestimmte Anforderungen an die Zuverlässigkeit der EEPROM-Zelle, die durch zwei Untersuchungen, die Datenwechselstabilität und den Datenerhalt, abgedeckt werden. Zusätzlich erhöht sich die Degradation der Zelle bei steigender Temperatur, so dass sich die Zuverlässigkeitsanforderungen bei Betrieb im erhöhten Temperaturbereich von denen bei Raumtemperatur unterscheiden.

Die Zuverlässigkeitsuntersuchungen geben an, nach welcher Stresszeit die Speicherzellen noch funktionstüchtig sind. Dabei kann die Zelle sowohl komplett ausfallen, wie auch eine Degradation des Programmierfensters erfahren. In Abhängigkeit der Ausleseschaltung gibt es verschiedene Kriterien für den maximal erlaubten Degradationszustand der Zelle. In der Literatur werden meistens keine Werte für das Minimalfenster einer degradierten Zelle angegeben, sondern die Beschreibung erfolgt über die maximale Stresszeit [104].

Datenwechselstabilität

Wird die Speicherzelle umprogrammiert, so fließen durch das Oxid des Injektor-Bereichs Ladungen, wovon ein Teil im Oxid gefangen wird. Durch die eingebaute negative Ladung erhöht sich die Potentialbarriere, so dass die Tunnelwahrscheinlichkeit abnimmt und weniger Strom zwischen Halbleiter und Floating-Gate fließt. In Abbildung 5.4 ist der Vergleich zwischen einer Potentialbarriere ohne eingebaute Ladung (a) und der Barriere mit eingebauter negativer Ladung im Oxid (b) dargestellt. Durch die Verkleinerung der Tunnelstromdichte verringert sich somit das Schwellenspannungsfenster.

Die Untersuchung der Datenwechselstabilität (engl. Endurance) wird verwendet, um festzustellen, wie die Reduzierung des Programmierfensters und damit die Degradation der Zelle

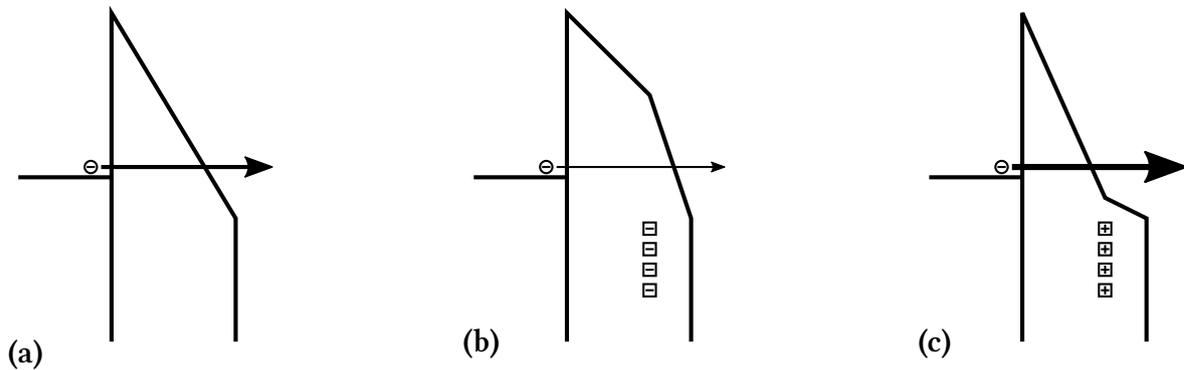


Abbildung 5.4: Potentialbarriere beim FN-Tunneln von Elektronen (a) ohne eingebaute Ladung, (b) mit eingebauten Elektronen und (c) mit eingebauten Löchern im Oxid

(bzw. des Oxids) in Abhängigkeit der Anzahl der Programmierzyklen voranschreitet. Ein Programmierzyklus entspricht dabei einem Programmier- und anschließendem Löschrvorgang der Zelle.

Am Anfang der Untersuchung ist häufig eine leichte Vergrößerung des Schwellenspannungsfensters zu beobachten. Diese kann damit begründet werden, dass zunächst Prozesse dominieren, die einen Einbau von positiven Ladungsträgern (z. B. heiße Löcher [113]) bzw. das Freiwerden von schwach gebundenen Elektronen im Oxid verursachen, so dass die Potentialbarriere gesenkt und die Tunnelwahrscheinlichkeit erhöht wird (vgl. Abb. 5.4 (c)). Mit zunehmender Zyklenzahl werden immer mehr negative Ladungsträger eingefangen, so dass die Potentialbarriere erhöht wird und der FN-Tunnelstrom sinkt, was zu einem kleineren Schwellenspannungsfenster führt.

In Abbildung 5.5 (a) (Bereich I) ist eine typische Kennlinie der Datenwechselstabilität als Änderung der Schwellenspannung V_{th} in Abhängigkeit der Anzahl der Zyklen N_Z aufgetragen. Zur besseren Übersicht geschieht die Auftragung üblicherweise in halb-logarithmischer Form. Sind zu viele Ladungen im Oxid eingebaut, so bilden diese einen leitenden Pfad. In diesem Fall wird von einem harten Durchbruch des Oxids gesprochen. Die Speicherzelle ist dann defekt, da diese den eingespeicherten Zustand nicht halten kann. In den Kennlinien äußert sich das durch eine willkürliche Verteilung der Schwellenspannungen, wie im Bereich II der Abbildung 5.5 (a) dargestellt.

Die maximale Anzahl der Zyklen, die eine Zelle überstehen kann, bevor ein harter Oxid-durchbruch stattfindet, sinkt mit steigender Temperatur. Bei niedrigen Temperaturen kann je nach Anwendung die maximale Anzahl bis zu einer Million betragen (bei etwa 85 °C). An die H035-Speicherzellen wird eine Zuverlässigkeitsanforderung der Datenwechselstabilität von bis zu zehntausend Zyklen bei 250 °C gestellt.

Datenerhalt

Aufgrund verschiedener Leitungsvorgänge im Oxid (s. Kap. 5.1.3) verliert das Floating-Gate mit der Zeit Ladungsträger, wodurch sich die Schwellenspannungen der beiden Programmierzustände immer weiter annähern. Bei der Untersuchung des Datenerhalts (engl. Retention) wird dieser Vorgang charakterisiert, indem die Speicherzelle programmiert bzw. gelöscht wird und anschließend bei einer bestimmten Temperatur ohne externe Spannungs-

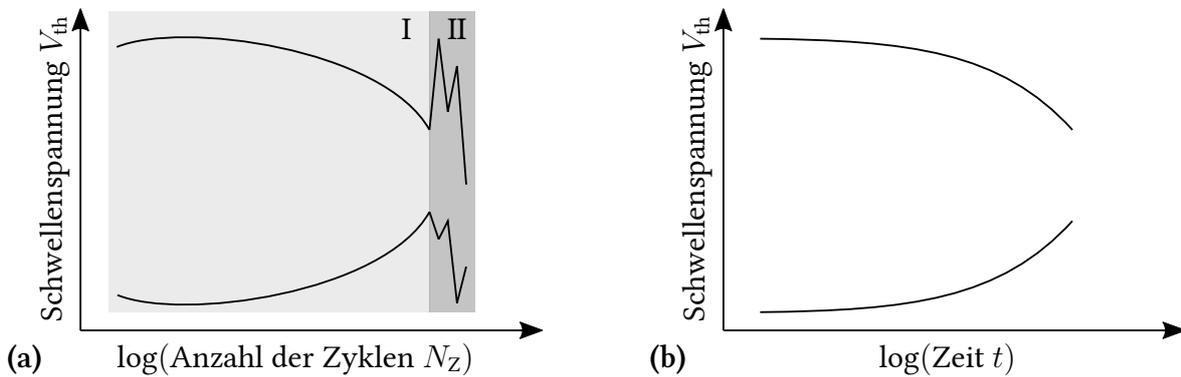


Abbildung 5.5: Schematischer Verlauf der Kennlinien zur Untersuchung (a) der Datenwechselstabilität und (b) des Datenerhalts

versorgung gelagert wird. Werden die programmierten und gelöschten Speicherzellen nach bestimmten Zeiten ausgelesen, so kann eine Kennlinie der Schwellenspannungen in Abhängigkeit der Zeit dargestellt werden (siehe Abbildung 5.5 (b)). Der Verlauf der beiden Schwellenspannungen ist zwar dem Verlauf der Kennlinie bei Untersuchung der Datenwechselstabilität ähnlich, stellt jedoch einen komplett anderen Sachverhalt dar.

Auch bei dieser Zuverlässigkeitsuntersuchung erhöht sich die Degradation mit steigender Temperatur. So wird für Anwendungen, die für den Betrieb bei Raumtemperatur ausgelegt sind, eine Zeit des Datenerhalts von bis zu zwanzig Jahren verlangt, wogegen die H035-Speicherzellen mindestens eintausend Stunden bei 250 °C den einprogrammierten Zustand fehlerfrei wiedergeben müssen.

Extrapolation der Lebensdauer

Die Lebensdauer beschreibt eine Zeitspanne, nach der eine bestimmte prozentuale Abnahme des Schwellenspannungsfensters vorliegt. Dabei können die Grenzen je nach Technologie und Schaltung unterschiedlich sein. Bei einigen Untersuchungen verläuft die Degradation sehr langsam, so dass die Bestimmung der Ausfallzeit in einer vorgegebenen Untersuchungszeit nicht möglich ist. Um eine frühere Aussage zu tätigen, wird die Untersuchungstemperatur erhöht und somit die Degradation des Bauelements beschleunigt. Wird die Untersuchung für verschiedene Temperaturen durchgeführt, so lässt sich mithilfe des Arrhenius-Gesetzes die Lebensdauer des Speichers für eine bestimmte Temperatur extrapolieren [43, 114]. Solche Messungen werden auch als beschleunigte Zuverlässigkeitsuntersuchungen bezeichnet. Das Arrhenius-Gesetz besitzt die folgende Form [115]

$$t_F = t_0 \exp\left(\frac{E_A}{kT}\right), \quad (5.7)$$

wobei t_F die Ausfallzeit, t_0 die Zeitkonstante und E_A die Aktivierungsenergie des Bauelements beschreiben. Bei dem Gesetz wird davon ausgegangen, dass für alle Temperaturen die gleichen Fehlermechanismen vorliegen. Dies trifft jedoch nicht immer zu, so dass die Extrapolation nur für einen limitierten Temperaturbereich gilt.

5.1.5 Speicherzelle in der H035-Technologie

Die Vorüberlegungen im Kapitel 5.1.2 haben verdeutlicht, dass für den Betrieb der EEPROM-Speicherzelle in einem erhöhten Temperaturbereich nur die Floating-Gate-Technologie mit Fowler-Nordheim-Tunneln in Frage kommt. In der H035-Technologie wird zur Realisierung von FG-Speicherzellen nur eine Polysiliziumschicht benötigt. Solche Zellen werden auch als Single-Poly-Speicherzellen bezeichnet und wurden in [116] zum ersten Mal vorgestellt. Im Vergleich zu einer Double-Poly-Zelle wie in Abbildung 5.1 (a) dargestellt, können mehrere Prozessschritte in der Waferprozessierung eingespart werden, wodurch die Herstellung kostengünstiger und der Prozess weniger fehleranfällig wird. Allerdings wird dadurch der Flächenbedarf größer, was zu einer kleineren Speicherdichte führt.

Der schematische Aufbau der für die Untersuchungen verwendeten Speicherzelle in der H035-Technologie ist in Abbildung 5.6 dargestellt. Die Zelle ist in zwei SOI-Aktivgebiete unterteilt, die elektrisch voneinander getrennt sind. Links in der Abbildung befindet sich der Bereich des Control-Gates, in dem das Aktivgebiet durch die CAPAC-Implantation eine hohe n-Dotierung aufweist (vgl. Abb. 5.6 (b)). Oberhalb des Aktivgebiets befindet sich das Floating-Gate, welches kapazitiv mit dem Control-Gate-Bereich gekoppelt ist. Als Isolationsschicht wird das dünne Oxid ($\sim d_{\text{DOX}}$) verwendet, welches sich jedoch aufgrund der hohen n-Dotierung (die CAPAC-Implantation erfolgt vor Oxidation des digitalen Oxids) auf etwa $d_{\text{TOX}} = 11,6 \text{ nm}$ erhöht.

Wie bei der Draufsicht in Abbildung 5.6 (a) zu sehen ist, besitzt das Floating-Gate zwei soge-

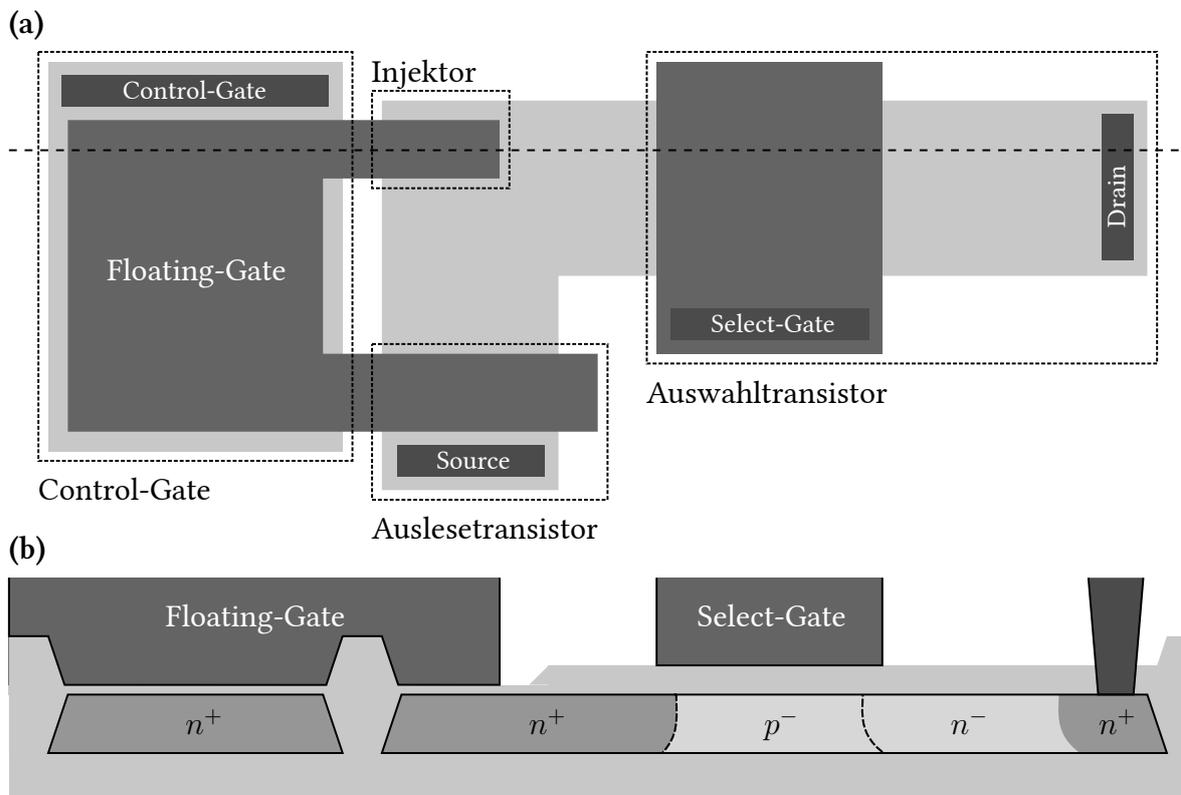


Abbildung 5.6: Schematischer Aufbau der EEPROM-Speicherzelle in der H035-Technologie; (a) Ansicht von oben; (b) Querschnitt entlang der gestrichelten Linie

nannte Poly-Finger. Der obere Finger wird zur Injektion von Ladungsträgern auf bzw. vom Floating-Gate verwendet. Innerhalb des Injektor-Bereichs befindet sich ebenfalls das etwas dickere digitale Oxid d_{TOX} mit dem hochdotierten Aktivgebiet. Der zweite Poly-Finger wird Transistor zum Auslesen der eingebauten Ladung verwendet. In diesem Bereich wird analoges Oxid $d_{\text{GOX}} = 40 \text{ nm}$ verwendet, um die parasitäre Kopplung gering zu halten. Bei dem Transistor handelt es sich um einen analogen Split-Source-Transistor mit einer typischen Gate-Länge von $L_{\text{G,AT}} = 1,0 \mu\text{m}$.

Zusätzlich befindet sich innerhalb der Speicherzelle ein weiterer Transistor, der aufgrund erhöhter Programmierspannungen der Speicherzelle als Mittel-Volt-Transistor ausgelegt ist und als Select-Transistor bezeichnet wird. Dieser Transistor ist mit dem Split-Source-Bereich direkt an den Injektor-Bereich angeschlossen und leitet den Strom niederohmig an den Injektor weiter. Der Select-Transistor wird bei einigen Untersuchungen benötigt, bei denen z. B. etwa 256 Zellen in einem Array verschaltet werden, um eine höhere statistische Auswertung zu erhalten. Zum Auswählen einer bestimmten Zelle in dem Array wird diese mithilfe des Select-Transistors ausgewählt. Für den Betrieb der Zelle in einer Schaltung werden aufgrund des erhöhten Temperaturbereichs weitere Transistoren benötigt [117], die jedoch für die nachfolgenden Untersuchungen nicht relevant sind. Die elektrischen Anschlüsse des Control- bzw. Select-Gates, des Source- und Drain-Bereichs sind in Abbildung 5.6 (a) in weißer Schrift verdeutlicht.

Betrieb der Speicherzelle

Beim Betrieb der Speicherzelle wird zwischen dem Programmieren, Löschen und Auslesen der Zelle unterschieden. Für das Programmieren bzw. Löschen der Zelle wird ein Puls mit einer hohen Spannung V_{pp} an das Drain- bzw. CG-Potential angelegt. V_{pp} wird üblicherweise als Programmierspannung bezeichnet, unabhängig davon, ob es sich tatsächlich um einen Programmier- oder Löschvorgang handelt. Ein typischer Wert für die Programmierspannung befindet sich zwischen 14V und 18V. Die Pulsdauer liegt im Millisekundenbereich.

Zum Auslesen der Zelle wird das CG-Potential durchfahren und der Drain-Strom bestimmt, so dass eine Eingangskennlinie, wie in Abbildung 5.2 dargestellt, gemessen wird. Diese Methode entspricht zwar nicht dem Auslesen des Speichers in einer Schaltung, jedoch lässt sich damit eine genau Charakterisierung der Zelle ermöglichen. Das Select-Gate-Potential ist auf einem typischen Wert der Betriebsspannung $V_{\text{SG}} = 5 \text{ V}$, so dass der Drain-Source-Stromfluss nicht beeinträchtigt wird. In Tabelle 5.1 sind die Spannungswerte der unter-

	Control-Gate	Drain	Select-Gate	Source
Programmieren	0 V	V_{pp}	V_{pp}	potentiallos
Löschen	V_{pp}	0 V	0 V	potentiallos
Auslesen	Potential durchfahren	0,1 V	5 V	0 V

Tabelle 5.1: Definition der Potentiale für verschiedene Betriebsmodi

schiedlichen Anschlüsse für verschiedene Betriebsmöglichkeiten dargestellt. Das Substrat-Potential bleibt bei jedem Betriebsmodus auf $V_{BG} = 0 \text{ V}$.

5.2 SPICE-Makromodell der Speicherzelle

Für die Modellierung der Speicherzelle in SPICE wird ein kapazitives Ersatzschaltbild verwendet, welches bereits in früheren Veröffentlichungen erfolgreich eingesetzt wurde [118–120]. Die Leitungsvorgänge zwischen Floating-Gate und Siliziumfilm werden durch analytische Gleichungen, die in Kapitel 5.1.3 vorgestellt wurden, beschrieben und in das Modell eingebaut. Zusätzlich wird das Zuverlässigkeitsverhalten der Speicherzellen in einem breiten Temperaturbereich berücksichtigt. Am Ende soll das SPICE-Modell sowohl die Lösch- und Programmiervorgänge, als auch das Zuverlässigkeitsverhalten richtig wiedergeben und damit das Gesamtverhalten der Speicherzelle abdecken. Die Implementierung des Modells soll so allgemein wie möglich erfolgen, um eine Übertragung auf andere Speicherzellen und Technologien zu ermöglichen.

5.2.1 Kapazitives Ersatzschaltbild der Speicherzelle

Das kapazitive Ersatzschaltbild beinhaltet die Komponenten, die einen unmittelbaren Einfluss auf das Floating-Gate haben. Auf die Modellierung des Select-Transistors kann verzichtet werden, so dass das Modell auf das Control-Gate, den Injektor und den Auslesetransistor beschränkt ist.

Das kapazitive Ersatzschaltbild, welches bereits in früheren Veröffentlichungen in Form eines analytischen Modells [118, 119] oder eines SPICE-Modells [120] vorgestellt wurde, ist in Abbildung 5.7 dargestellt. Die kapazitive Kopplung des Floating-Gates mit dem Control-Gate erfolgt über die Kapazität C_{CG} und mit dem Injektor über die Kapazität C_{In} . Zusätzlich existieren noch eine Kapazität des Floating-Gates zum Substrat C_{BG} und eine parasitäre Kapazität C_P , die mit dem Source-Potential verbunden ist. Die eingeklammerten Ausdrücke in Abbildung 5.7 stellen die jeweiligen Knoten in SPICE dar.

Die Kapazität C_{BG} ist aufgrund des vergleichsweise dicken Oxids³ von $d_{FBOX} \approx 770 \text{ nm}$ sehr gering und besitzt nahezu keinen Einfluss. Die parasitäre Kapazität C_P des Auswahltransistors setzt sich aus der Überlappkapazität der Source-Seite⁴ sowie der Kanalkapazität zusammen. Da ein analoger Transistor mit einer Oxiddicke von $d_{GOX} = 40 \text{ nm}$ zur Verwendung kommt, ist auch C_P vergleichsweise gering. Das kapazitive Verhältnis zweier Bereiche zueinander wird als Koppelverhältnis bezeichnet. So wird das Koppelverhältnis zwischen Control-Gate und Injektor wie folgt beschrieben:

$$\kappa_{CG,In} = \frac{C_{CG}}{C_{In}}. \quad (5.8)$$

Die Gesamtladung, die auf dem Floating-Gate vorhanden ist, lässt sich über die folgende

³Die Oxiddicke entspricht der Summe aus der Dicke des vergrabenen Oxids und des Feldoxids.

⁴Die drainseitige Überlappkapazität des Auswahltransistors wird hier vernachlässigt.

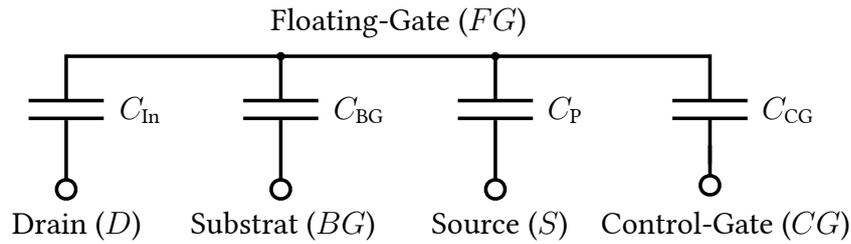


Abbildung 5.7: Ersatzschaltbild der Speicherzelle für kapazitive Kopplung

Gleichung bestimmen

$$Q_{FG} = C_T V_{FG} = C_{CG} V_{CG} + C_{In} V_D + C_P V_S + C_{BG} V_{BG} + Q_{FG0}. \quad (5.9)$$

Die Größe C_T kann als die Floating-Gate-Kapazität oder als die Summe der Einzelkapazitäten angesehen werden

$$C_T = C_{CG} + C_{In} + C_P + C_{BG}. \quad (5.10)$$

Weitere Größen aus Gleichung 5.9 stellen mit V_{CG} das Control-Gate-Potential, V_D das Drain-Potential, V_S das Source-Potential und V_{BG} das Substrat-Potential dar. Das Potential des Floating-Gates V_{FG} wird dagegen nicht direkt von außen vorgegeben, lässt sich jedoch aus der obigen Gleichung bestimmen. Q_{FG0} berücksichtigt die anfängliche Ladung auf dem Floating-Gate, die im neutralen Zustand der Zelle vorhanden ist. Zu beachten ist, dass der für Untersuchungen verwendete Select-Transistor im Makromodell nicht berücksichtigt wird, so dass die Drain-Spannung V_D dem Potential entspricht, welches unmittelbar am Injektor-Bereich vorliegt. Der Einfluss des Select-Transistors kann jedoch in der Gesamtschaltung berücksichtigt werden.

Der auf bzw. vom Floating-Gate geflossene Strom lässt sich über die zeitliche Ableitung der gespeicherten Ladung bestimmen

$$I_{FG} = \frac{dQ_{FG}}{dt} \quad (5.11)$$

$$= C_{CG} \frac{dV_{CG}}{dt} + C_{In} \frac{dV_D}{dt} + C_P \frac{dV_S}{dt} + C_{BG} \frac{dV_{BG}}{dt} \quad (5.12)$$

$$= \pm J_{FN} a_{FN}. \quad (5.13)$$

Dabei verschwindet der konstante Term der Anfangsladung Q_{FG0} . J_{FN} gibt die Stromdichte des Fowler-Nordheim-Tunnels und a_{FN} die Fläche, über die der Tunnelstrom geflossen ist, an. In Gleichung 5.12 wurde angenommen, dass sich die Einzelkapazitäten mit der Zeit nicht ändern. Diese Annahme gilt bei Berücksichtigung der Datenwechselstabilität nicht mehr (s. Kap. 5.2.3).

5.2.2 Modellierung des Lösch- und Programmiervorganges

Das vorgestellte Modell beschreibt bisher nur die kapazitive Kopplung des Floating-Gates zu den einzelnen Potentialen der EEPROM-Speicherzelle. Für die Modellierung der Pro-

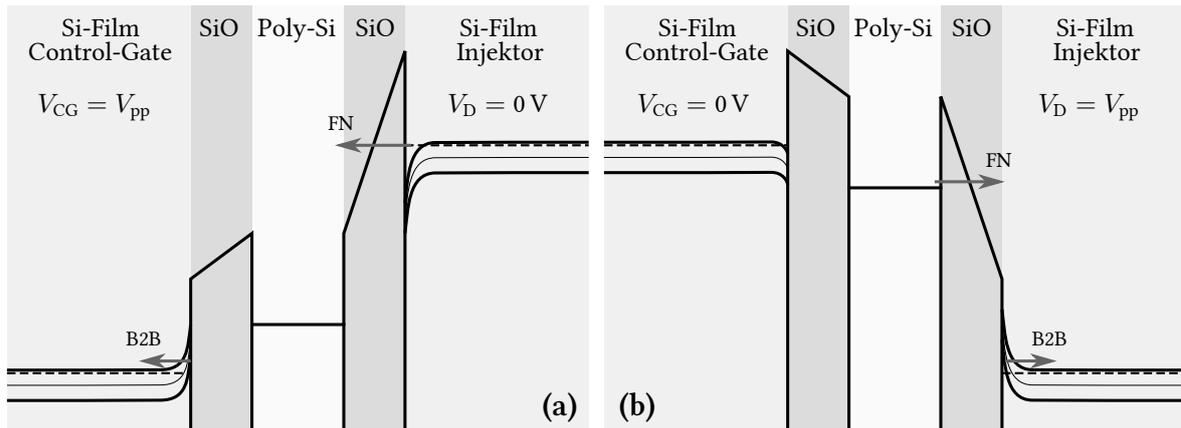


Abbildung 5.8: Banddiagramm des Schichtstapels aus Silizium-Oxid-Poly-Oxid-Silizium für (a) Löschvorgang und (b) Programmiervorgang

grammier- bzw. Löschvorgänge muss das Modell um weitere Elemente ergänzt werden. Dabei ist auf die Bandverbiegungen des Siliziums an der Grenze zum Oxid zu achten, da hier Inversionseffekte zu einem Spannungsabfall führen.

Löschvorgang

Die elektrische Aufladung des Floating-Gates beim Löschvorgang wird durch das Anlegen der Programmierspannung V_{pp} an das Control-Gate realisiert. Durch das Koppelverhältnis $\kappa_{CG,In}$ wird auf der Injektor-Seite ein deutlich höheres elektrisches Feld über dem Oxid aufgebaut als auf der Control-Gate-Seite. Dadurch verbiegen sich die Bänder des injektorseitigen Oxids stärker, so dass eine triangulare Form der Barriere vorliegt und das Fowler-Nordheim-Tunneln einsetzen kann. Die schematische Darstellung der Bänderstruktur beim Löschvorgang ist in Abbildung 5.8 (a) zu sehen.

Auf der Injektor-Seite wird das Siliziumband so verbogen, dass an der Grenze zwischen Silizium und Oxid eine Anreicherung von Elektronen stattfindet (Akkumulation). Es sind somit genügend freie Ladungen für das Fowler-Nordheim-Tunneln vorhanden.

Trotz der starken Kopplung vom Control-Gate zum Floating-Gate, fällt auch über dem Control-Gate-Oxid eine Spannung ab, so dass eine Verbiegung der Bandstruktur vorliegt. Aufgrund der hohen positiven Spannung wird zunächst eine Verarmungsschicht aufgebaut, die anschließend in Inversion übergeht. Da der Siliziumfilm unter dem Floating-Gate eine hohe Dotierung aufweist ($N_D \approx 2 \times 10^{20} \text{ cm}^{-3}$), kommt es zum Band-zu-Band-Tunneln. In Abbildung 5.8 wird dieser Vorgang mit B2B abgekürzt. Dabei Tunneln die Elektronen aus dem Valenzband in das Leitungsband des Siliziums und werden vom Verarmungsfeld weggetragen. An der Grenzschicht zum Oxid verbleiben lediglich die Löcher, die die Inversionsschicht bilden. Frühere Veröffentlichungen [121] haben gezeigt, dass bei einer Dotierstoffkonzentration von mehr als $1 \times 10^{18} \text{ cm}^{-3}$ das Band-zu-Band-Tunneln sehr schnell einsetzt und die Inversionsschicht schon bei kleinen Spannungen gebildet wird. Der zeitliche Vorgang bei der Bildung der Inversionsschicht ist dabei im Vergleich zum Lösch- bzw. Programmiervorgang viel kürzer.

Die Bildung der Inversionsschicht führt zu einem Spannungsabfall unterhalb des Oxids. Aufgrund der relativ kurzen Zeitdauer bei der Bildung der Inversion kann von einem zeit-

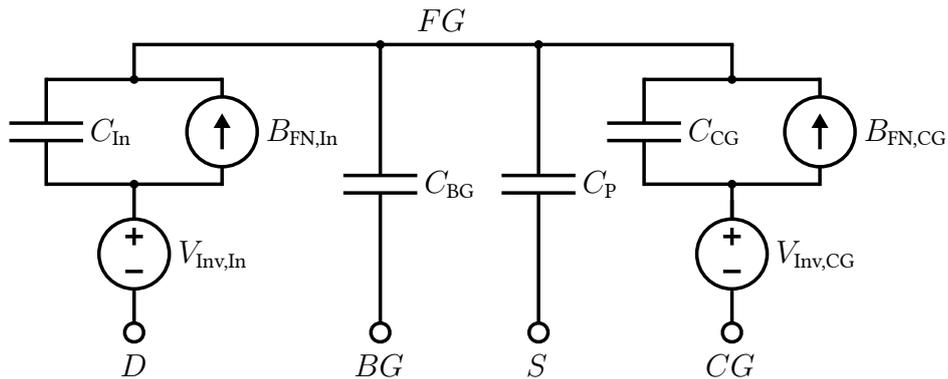


Abbildung 5.9: Erweitertes Ersatzschaltbild unter Berücksichtigung der Programmier- und Löschvorgänge

lich konstanten Spannungsabfall ausgegangen werden, welcher dem Oberflächenpotential gleichgesetzt werden kann [63]

$$\psi_s(T) = \frac{2kT}{q} \ln \left(\frac{N_D}{n_i(T)} \right). \quad (5.14)$$

Die Größe n_i beschreibt die Konzentration der intrinsischen Ladungsträger und wurde in Gleichung 3.3 definiert.

Der Spannungsabfall ψ_s wird im Makromodell mithilfe der Spannungsquelle $V_{Inv,CG}$ berücksichtigt [120], die in Reihe zu der Kapazität des Control-Gates geschaltet ist (vgl. Abb. 5.9). Die Modellierung des Tunnelstroms vom Injektor-Bereich auf das Floating-Gate erfolgt mithilfe der Stromquelle $B_{FN,In}$, die parallel zu C_{In} verbaut ist. Als analytische Beschreibung dient die in Kapitel 5.1.3 vorgestellte Gleichung 5.1.

Programmiervorgang

Beim Programmiervorgang wird die Programmierspannung auf das Drain-Potential und damit auch auf den Injektor-Bereich gelegt. Das injektorseitige Band wird nach unten verschoben und es bildet sich ein starkes elektrisches Feld, welches die Potentialbarriere in eine trianguläre Form verbiegt. Dadurch können die Elektronen vom Floating-Gate in den Injektor-Bereich tunneln.

Wie auch beim Löschvorgang wird das Siliziumband so verbogen, dass sich eine Inversionschicht bildet. Dieser Prozess findet jedoch diesmal auf der Injektor-Seite statt, wie in Abbildung 5.8 (b) zu sehen ist. Der injektorseitige Spannungsabfall beim Programmiervorgang wird mithilfe einer weiteren Spannungsquelle $V_{Inv,In}$ modelliert. Beim Löschvorgang findet über $V_{Inv,In}$ kein Spannungsabfall statt. Ebenso ist im Makromodell berücksichtigt, dass die Spannungsquelle am Control-Gate ($V_{Inv,CG}$) beim Programmiervorgang auf null geschaltet ist, da auf der Seite eine Akkumulationsschicht gebildet wird.

Der größte Teil der Ladung fließt beim Programmiervorgang durch das Oxid des Injektor-Bereichs, da hier das elektrische Feld besonders stark ist und das dünne Tunneloxid $d_{TOX} = 11,6 \text{ nm}$ verwendet wird. Jedoch kann durch die Aufladung bzw. Entladung des Floating-

Gates auch ein relativ starkes elektrisches Feld über dem Control-Gate-Oxid aufgebaut werden, so dass auch dort der Tunnelprozess einsetzt. Um diesen Effekt zu berücksichtigen ist parallel zur Control-Gate-Kapazität die Stromquelle $B_{\text{FN,CG}}$ verschaltet (vgl. Abb. 5.9).

Zu berücksichtigen ist, dass das Drain-Potential über einen Hochvolt-Transistor angesteuert wird und an diesem die Schwellenspannung V_{th} abfallen kann. Dieser Effekt wird jedoch nicht von dem Makromodell berücksichtigt, da die Verschaltung über einen separaten Transistor erfolgt, an dem der Spannungsabfall simuliert werden kann.

5.2.3 Modellierung der Zuverlässigkeitsaspekte

Die bisherige Betrachtung stellt ein statisches Modell dar, in dem zwar die Programmier- und Löschvorgänge beschrieben werden, das dynamische Degradationsverhalten der Speicherzelle jedoch nicht berücksichtigt wird. In diesem Unterkapitel werden die Degradationsmechanismen, die das Verhalten der Datenwechselstabilität und der Datensicherheit beschreiben, erläutert und ein Modell zur Beschreibung der beiden Zuverlässigkeitsaspekte vorgestellt.

Datenwechselstabilität

Wie in Kapitel 5.1.4 erläutert, beschreibt die Datenwechselstabilität die Degradation der Speicherzelle, die aufgrund einer hohen Anzahl wechselnder Programmier- und Löschvorgänge auftritt. Den Fehlermechanismus stellt der Einbau von Ladungsträgern in die Tunneloxidschicht dar, was zur Verschlechterung der dielektrischen Eigenschaften des Oxids führt und schließlich in einem Durchbruch des Dielektrikums resultiert.

In früheren Veröffentlichungen konnten Papadas u. a. [20, 122] zeigen, dass die Berücksichtigung der Datenwechselstabilität durch ein einfaches Modell realisiert werden kann. In dem Modell wird der Ladungseinbau ins Oxid durch die Angabe einer Stelle (normiert auf die Gesamtdicke des Oxids) definiert, in der statistisch der Ladungsschwerpunkt \bar{x} vorliegt. Durch die Aufteilung der Tunnelkapazität C_{In} in zwei separate Kapazitäten, die in Reihe geschaltet sind, kann die eingebrachte Ladungsmenge zwischen den Kapazitäten eingebracht und somit der Ladungseinbau modelliert werden. Die Dicke der Kapazitäten wird dabei über \bar{x} definiert, so dass sich die eingebrachte Ladung genau im Ladungsschwerpunkt befindet. Die Aufteilung von C_{In} in zwei Kapazitäten C_{XF} und C_{XD} ist in Abbildung 5.11 dargestellt. Es gilt für die Gesamtkapazität des Injektor-Bereichs [122]

$$C_{\text{In}} = C_{\text{XF}} + C_{\text{XD}}, \quad (5.15)$$

wodurch die Einzelkapazitäten über den Ladungsschwerpunkt angegeben werden können

$$C_{\text{XF}} = C_{\text{In}}(1 - \bar{x}), \quad (5.16)$$

$$C_{\text{XD}} = C_{\text{In}}\bar{x}. \quad (5.17)$$

Der Ladungsschwerpunkt wird von der Injektor-Seite aus gemessen, so dass $\bar{x}t_{\text{TOX}}$ der Dicke von C_{XD} entspricht. Dabei kann der Ladungsschwerpunkt im Laufe der Messung variieren, wie Rodriguez u. a. festgestellt haben [123]. Die Änderung ist jedoch vor allem am Anfang

der Stressmessung stark ausgeprägt und nähert sich dann rasch einem bestimmten Wert an. Für unterschiedliche Stressfrequenzen (Anzahl der Zyklen pro Zeiteinheit) kann sich der Sättigungswert des Ladungsschwerpunkts zwar verschieben, für eine bestimmte Frequenz, wie in dieser Arbeit, bleibt der Wert nahezu konstant [123]. Aus diesem Grund wird für die Betrachtung im Makromodell \bar{x} als eine Konstante angenommen.

Unter Berücksichtigung des Ladungsschwerpunkts kann das Floating-Gate-Potential wie folgt bestimmt werden [20]:

$$V_{\text{FG}} = \frac{C_{\text{CG}}}{C_{\text{T}}} V_{\text{CG}} + \frac{C_{\text{In}}}{C_{\text{T}}} V_{\text{D}} + \frac{C_{\text{In}} \bar{x} t_{\text{TOX}}}{C_{\text{T}} \varepsilon_{\text{ox}} a_{\text{TOX}}} Q_{\text{TOX}} + \frac{C_{\text{P}}}{C_{\text{T}}} V_{\text{S}} + \frac{C_{\text{BG}}}{C_{\text{T}}} V_{\text{BG}} + \frac{Q_{\text{FG0}}}{C_{\text{T}}}. \quad (5.18)$$

Q_{TOX} entspricht der eingebauten Ladungsmenge, a_{TOX} stellt die Tunneloxidfläche dar und ε_{ox} gibt die Permittivität von Oxid an.

Zur Bestimmung des Degradationsverhaltens der Speicherzelle ist in dem Modell die Kenntnis der eingebauten Ladungsmenge erforderlich. Wie in [124] festgestellt wurde, kann Q_{TOX} aus den Kennlinien der Datenwechselstabilität bestimmt werden. Dort wurde gezeigt, dass die Änderung der eingebauten Ladungsmenge ΔQ_{TOX} proportional zur Änderung des Programmierfensters ΔV_{th} ist

$$\Delta Q_{\text{TOX}}(k) = \frac{C_{\text{In}} C_{\text{CG}}}{a_{\text{TOX}} C_{\text{T}}} (\Delta V_{\text{th}}(k) - \Delta V_{\text{th}}(k-1)). \quad (5.19)$$

Die Größe k beschreibt dabei die Anzahl der Programmierzyklen. Die Gesamtmenge der eingebauten Ladung über den Verlauf der Datenwechselstabilitäts-Kennlinie ist gegeben durch

$$Q_{\text{TOX}}(N) = \sum_{k=1}^N \Delta Q_{\text{TOX}}(k), \quad (5.20)$$

wobei N die Gesamtzahl der Programmierzyklen beschreibt.

Ebenso kann die Ladung, die über das Tunneloxid geflossen ist (und nicht eingebaut wurde), mithilfe der Datenwechselstabilitäts-Kennlinie bestimmt werden [124]

$$Q_{\text{INJ}} = \frac{2C_{\text{CG}}}{a_{\text{TOX}}} \sum_{k=1}^N \Delta V_{\text{th}}(k). \quad (5.21)$$

Schließlich lässt sich die eingebaute Ladungsmenge Q_{TOX} in Abhängigkeit der injizierten Ladung Q_{INJ} angeben, so dass der folgende Zusammenhang gilt [124]

$$Q_{\text{TOX}}(k) = -\frac{K}{\nu + 1} Q_{\text{INJ}}(k)^{\nu+1}. \quad (5.22)$$

Dabei beschreibt K die Einfangrate der Elektronen im Oxid, die eine technologieabhängige Größe darstellt, und ν gibt den Mechanismus der Trap-Generation wieder. Später kann gezeigt werden, dass die beiden Größen in Abhängigkeit der Temperatur variieren und zur Beschreibung in einem breiten Temperaturbereich eine analytische Gleichung verwendet

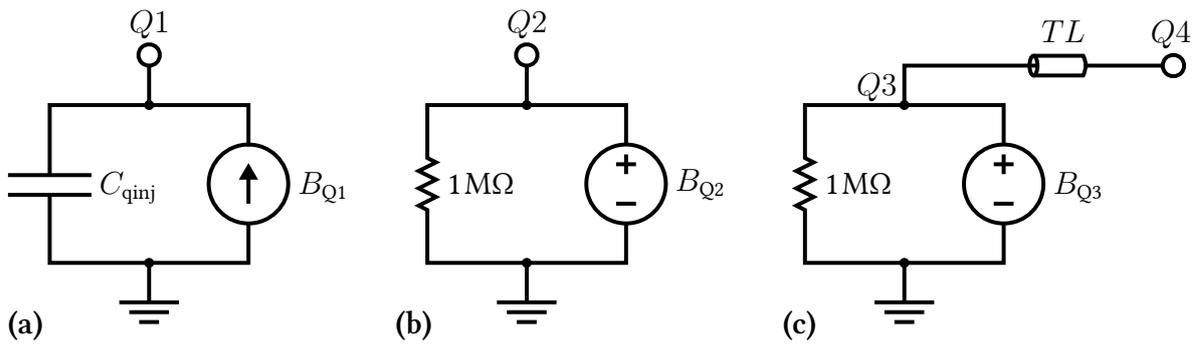


Abbildung 5.10: Hilfsschaltungen zur Ermittlung der eingebauten Ladungsmenge

werden kann. Bei Gleichung ist hervorzuheben, dass die eingebaute Ladung weder von der angelegten Programmierspannung noch von den Programmierzeiten abhängt, sondern nur durch die geflossene Ladung beschrieben wird.

Die Relation aus Gleichung 5.22 kann im Modell genutzt werden, um die eingebaute Ladung im Oxid zu ermitteln. In Abbildung 5.10 sind die Hilfsschaltungen dargestellt, die zur Ermittlung der Ladungsmenge verwendet werden. Zunächst wird der Strom bestimmt, der beim Programmieren und Löschen durch das Tunneloxid fließt. Dies erfolgt durch die Stromquelle B_{Q1} (vgl. Abb. 5.10 (a)). Die am Knoten $Q1$ gespeicherte Ladung entspricht damit der injizierten Ladungsmenge Q_{INJ} . Danach wird mithilfe der Gleichung 5.22 die zur Ladungsmenge Q_{TOX} proportionale Spannung $V = Q_{TOX}/C_{In}$ über die Spannungsquelle B_{Q2} bestimmt (vgl. Abb. 5.10 (b)). Dazu wird die aus der ersten Hilfsschaltung ermittelte Ladung am Knoten $Q1$ verwendet. Schließlich wird mit der dritten Hilfsschaltung (Abb. 5.10 (c)) die Spannung am Knoten $Q2$ in die Ladungsmenge Q_{TOX} umgerechnet. Dazu wird die Spannungsquelle B_{Q3} verwendet. Zusätzlich wird dabei eine Leitungsstrecke TL eingebaut, da es sich bei den ersten Simulationen gezeigt hat, dass durch unetstetige Peaks der berechneten Ladungsmenge das Simulationsmodell nicht konvergiert.

Die am Knoten $Q4$ in Abbildung 5.10 (c) bestimmte Ladungsmenge kann nun zwischen den Kapazitäten C_{XF} und C_{XD} eingebaut werden. In Abbildung 5.11 ist das Makromodell unter Berücksichtigung der eingebauten Ladungsmenge dargestellt. Die Gesamtladung muss

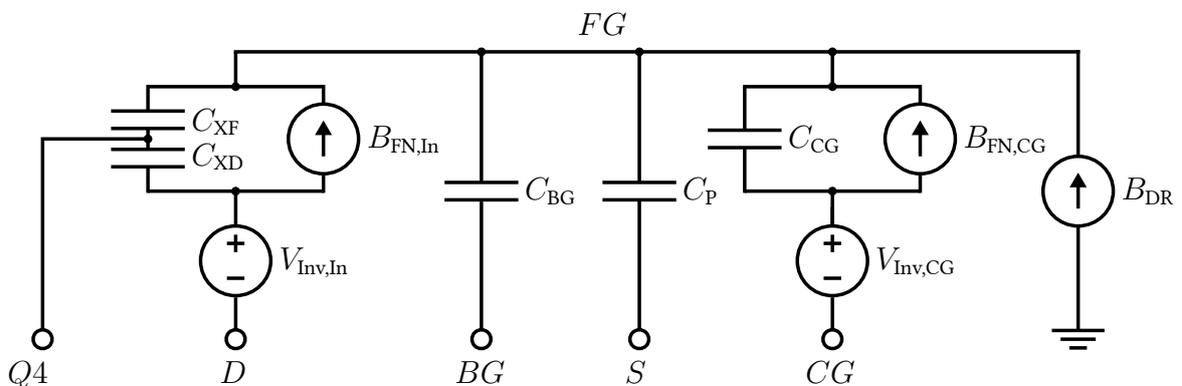


Abbildung 5.11: Erweitertes Ersatzschaltbild unter Berücksichtigung der eingebauten Ladung

dabei unter Beachtung des Ladungsschwerpunktes auf die beiden Kapazitäten aufgeteilt werden.

Datenerhalt

Der Datenerhalt beschreibt die zeitliche Änderung der Schwellenspannung einer Speicherzelle, die sich im programmierten oder gelöschten Zustand befindet. Die Änderung der Schwellenspannung wird durch einen Ladungsverlust, sowohl von Elektronen als auch von Löchern, am Floating-Gate hervorgerufen. Dabei ist von einer Reihe von Mechanismen auszugehen, die einen Ladungsverlust bewirken können.

Bereits frühere Veröffentlichungen weisen auf die komplexen physikalischen Vorgänge beim Ladungsverlust des Floating-Gates hin [125, 126]. Einige Publikationen versuchen den Degradationsvorgang durch Bestimmung der Aktivierungsenergie auf bestimmte Effekte zurückzuführen [19, 125]. Dagegen wird in manchen Arbeiten der Ladungsverlust durch einzelne physikalische Effekte begründet, wie die thermionische Emission [127, 128], Poole-Frenkel-Emission [129] oder Fowler-Nordheim-Tunneln [22]. Ebenso ist in zahlreichen Veröffentlichungen der Ladungsverlust aufgrund von mobilen Ladungen thematisiert [126, 130, 131]. Darüber hinaus wurde in [132] ein empirisches Modell vorgestellt, durch das der Datenerhalt der nichtflüchtigen Speicherzelle beschrieben werden konnte.

Shiner u. a. haben bereits bei EPROM-Speicherzellen durch Auswertung einer statistisch hohen Zahl an Zellen festgestellt, dass der Degradationsvorgang auf verschiedene Effekte zurückzuführen ist [125]. So konnte der intrinsische Ladungsverlust von Effekten, bei denen Oxiddefekte oder Kontaminationen eine Rolle spielen, separiert werden. Weiterhin konnte Mielke anhand der Auswertung von Speicher-Arrays, bei denen der Ausfall ganzer Array-Bereiche festgestellt wurde, zeigen, dass der Effekt der Ionenbewegung für den Ladungsverlust verantwortlich ist [126].

Der Einfluss von Ionenbewegung oder, wie später bezeichnet, mobilen Ionen, ist Thema von zahlreichen Publikationen [126, 130, 131, 133]. Die Ionen befinden sich im Oxid und können durch erhöhte Temperaturen aktiviert werden, so dass diese mobil werden. Der Einbau von Ionen erfolgt bereits bei der Prozessierung und kann meist nicht vermieden werden. Eine häufige Methode zur Detektion von mobiler Ladung erfolgt mithilfe der TVS-Messung (Triangular Voltage Sweep) [134], bei der die Präsenz und Art der Ladung durch eine quasi-statische Kapazität-Spannungs-Kennlinie von Kondensatoren bei hohen Temperaturen bestimmt werden kann. Dabei kann jedoch nur das Oxid, welches ein Bauelement unmittelbar umgibt, auf Anwesenheit von mobiler Ladung hin überprüft werden. Die Untersuchung aller Oxidschichten, die bei der Prozessierung abgeschieden werden, wird mit zunehmender Oxiddicke schwieriger, da die Kapazität und damit das Ionen-Signal geringer werden. Die physikalische Beschreibung der mobilen Ionen ist kompliziert, da die genauen Vorgänge im Oxid bis heute nicht vollständig geklärt sind. Weiterhin ist die Zusammensetzung und Menge der Ladung nicht immer bekannt. Der Einfluss dieses Effekts auf das Verhalten des Datenerhalts ist von enormer Bedeutung und kann die dominierende Kraft beim Ladungsverlust darstellen. In späteren Kapiteln wird im Speziellen auf diesen Effekt eingegangen und ein Lösungsansatz zur Verminderung des Einflusses vorgeschlagen.

Weiterhin existieren Veröffentlichungen, in denen auf einzelne physikalische Effekte ein-

gegangen wird. So wird in dem von Nozawa u. a. vorgestellten Modell die thermionische Emission als Ursache für den Ladungsverlust angesehen [127, 128]. Dabei wurde die zeitliche Änderung der Elektronen-Anzahl auf dem Floating-Gate durch eine Doppel-Exponentialfunktion beschrieben, in der die Barrierenhöhe und Kollisionsfrequenz anhand der Messergebnisse bestimmt wurden. Die Simulationsergebnisse zeigten bei Temperaturen zwischen 250 °C und 300 °C eine gute Übereinstimmung mit den Messergebnissen. In einem Makromodell kann die Stromdichte mithilfe der Gleichung 5.6 angegeben werden.

Der Ladungsverlust durch das FN-Tunneln stellt einen intrinsischen Prozess dar, der aufgrund der Verwendung von dünnen Oxidschichten nicht vermieden werden kann. Papadopoulos u. a. stellten in [22] ein Modell vor, in dem der Degradationsvorgang durch das FN-Tunneln beschrieben wurde. De Salvo u. a. präsentierten später das T -Modell⁵, durch welches der Ladungsverlust über einen weiten Temperaturbereich beschrieben werden konnte [24, 135]. Wie später gezeigt wird, kann der Ladungsverlust bei der Speicherzelle in der H035-Technologie nicht ausschließlich auf das Fowler-Nordheim-Tunneln zurückgeführt werden. In dieser Arbeit ist der Einfluss des FN-Tunnelns bereits durch den Einbau von Stromquellen $B_{FN,In}$ und $B_{FN,CG}$ im Makromodell berücksichtigt.

Einen weiteren Leitungsprozess durch ein Dielektrikum stellt das trapgestützte Tunneln dar, welches durch das Frenkel-Poole-Modell beschrieben werden kann (vgl. Kap. 5.1.3). Dieser Prozess spielt zum einen bei Speicherzellen eine Rolle, die einen ONO-Stapel (Oxid-Nitrid-Oxid-Stapel) als Dielektrikum verwenden [129], da das Nitrid viele solcher Fangstellen aufweist. Zum anderen wird durch das mehrfache Beschreiben der Speicherzelle die Tunneloxidqualität zunehmend schlechter, da neue Fangstellen im Oxid gebildet werden. Dadurch nimmt der stressinduzierte Leckstrom (SILC) zu. Der Einfluss des Datenerhalts unter Einbeziehung der Datenwechselstabilität wurde bereits in vielen Veröffentlichungen diskutiert [23, 112, 136–138]. Ob die erhöhte Temperatur bei der Messung des Datenerhalts zur Ausheilung von Fangstellen im Oxid führt, konnte nicht eindeutig geklärt werden [137, 138]. Die Charakterisierung des Datenerhalts bei einem bestimmten Zustand der Oxidqualität konnte dabei durch das Frenkel-Poole-Modell beschrieben werden [112]. In dieser Arbeit kann der stressinduzierte Leckstrom durch eine zusätzliche Stromquelle unter Verwendung der Frenkel-Poole-Gleichung berücksichtigt werden (vgl. Gl. 5.5), wobei die Frenkel-Poole-Konstanten experimentell bestimmt werden müssen.

Aufgrund der vielen Effekte, die das Verhalten des Datenerhalts beeinträchtigen können, ist eine korrekte physikalische Beschreibung kompliziert. Daher wird in dieser Arbeit ein empirisches Modell vorgeschlagen, welches den Ladungsverlust durch eine vereinfachte Gleichung abbilden soll. Ein empirisches Modell, welches den Datenerhalt einer Speicherzelle mit einem ONO-Stapel beschreibt, wurde bereits in [132] vorgestellt. Die Besonderheit des in dieser Arbeit vorgestellten Modells ist die Verwendung in einem erweiterten Temperaturbereich zwischen 250 °C und 450 °C. Dabei sollte die Gleichung durch möglichst wenige Parameter charakterisiert sein. Die Parameter sollten zudem eine analytische Beschreibung der Temperaturabhängigkeit beinhalten, so dass durch die Kalibrierung der Parameter bei wenigen Temperaturen das Verhalten des Datenerhalts im gesamten Temperaturbereich beschrieben werden kann. Der Ladungsverlust wird über eine zusätzliche Stromquelle, die durch die empirische Gleichung bestimmt ist, gesteuert (vgl. Abb. 5.11).

⁵In Analogie zum $1/T$ -Modell, welches durch das Arrhenius-Gesetz beschrieben wird.

Der zeitliche Verlauf des Floating-Gate-Potentials kann durch eine Potenzgleichung beschrieben werden

$$V_{\text{FG}}(t) = V_{\text{FG},0} - \alpha t^\beta. \quad (5.23)$$

$V_{\text{FG},0}$ stellt dabei das Potential des Floating-Gates zu Beginn der Untersuchung dar und α, β sind die Parameter der Gleichung. $V_{\text{FG}}(t)$ und $V_{\text{FG},0}$ können durch die Messung der Schwellenspannung zu verschiedenen Zeiten bestimmt werden. Aus dem zeitlichen Zusammenhang zwischen Strom und Ladung folgt

$$I = \frac{dQ}{dt} = C_{\text{FG}} \frac{dV_{\text{FG}}(t)}{dt} \quad (5.24)$$

$$= -C_{\text{FG}} \alpha \beta t^{\beta-1}. \quad (5.25)$$

Durch Umstellen der Gleichung 5.23 nach t und Einsetzen in 5.25 ergibt sich

$$I = -C_{\text{FG}} \alpha \beta \left(\frac{V_{\text{FG},0} - V_{\text{FG}}(t)}{\alpha} \right)^{\frac{\beta-1}{\beta}}. \quad (5.26)$$

5.3 Programmierung der Speicherzelle

Im folgenden Kapitel sollen die Programmier- und Löschvorgänge untersucht werden und die Parameter des Modells mit den experimentellen Ergebnissen abgestimmt werden. Die Bestimmung der FN-Konstanten in einem breiten Temperaturbereich ist für die Charakterisierung des Tunnelvorganges in der Simulation notwendig und wird in diesem Kapitel vorgestellt. Weiterhin werden Vpp-Kennlinien experimentell und numerisch ermittelt, um die Funktionsfähigkeit des Modells zu überprüfen. Anschließend kann mit dem Modell die Zelle bezüglich der Flächenverhältnisse optimiert werden.

5.3.1 Bestimmung der temperaturabhängigen FN-Konstanten

Die Modellierung des Tunnelstroms beim Programmier- bzw. Löschvorgang erfordert die Kenntnis der exakten Stromdichten beim Tunnelvorgang. Im Kapitel 5.1.3 wurde erläutert, dass zur Bestimmung der Stromdichte die FN-Gleichung (vgl. 5.1) verwendet werden kann, wobei die Temperaturabhängigkeit durch Variation der FN-Konstanten realisiert wird.

Die Bestimmung der temperaturabhängigen FN-Konstanten kann aus den Strom-Spannungs-Kennlinien eines Kondensators extrahiert werden. Dazu wird ein Kondensator der Fläche $A_{\text{Kdig}} = 11\,160\,\mu\text{m}^2$ verwendet. Analog zur Speicherzelle wird der Siliziumfilm des Kondensators durch die CAPAC-Implantation stark dotiert, so dass die Oxiddicke bei $d_{\text{TOX}} = 11,6\,\text{nm}$ liegt. Die Dicke des Oxids wurde mithilfe einer CV-Messung überprüft. Das Polysilizium besitzt durch die Verwendung einer weiteren Implantationsmaske ebenfalls eine starke n^+ -Dotierung. Diese Dotierung wird ebenso bei der Speicherzelle angewandt.

Die Messung erfolgt durch Variation des Polysiliziumpotentials, wobei die Potentiale des Siliziumfilms und des Substrats konstant auf 0V gehalten werden. Das Durchfahren der Spannungsrampe bis 16V erfolgt in beide Richtungen. Dadurch wird der Stromfluss der Elektro-

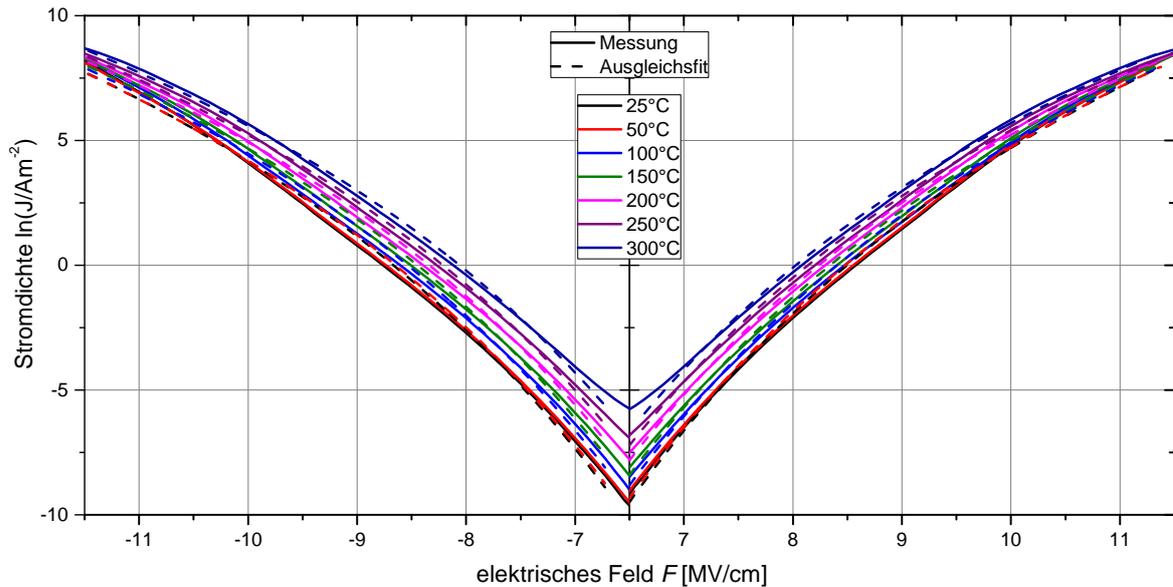


Abbildung 5.12: Stromdichte in Abhängigkeit des elektrischen Feldes eines Kondensators bei unterschiedlichen Temperaturen zur Bestimmung der Fowler-Nordheim-Konstanten

nen sowohl vom Siliziumfilm auf das Polysilizium als auch vom Polysilizium zum Siliziumfilm untersucht. Die Messungen finden in einem Temperaturbereich zwischen 25°C und 300°C statt. Für jede Messung wird eine neue Kondensator-Struktur ausgewählt, wodurch der Einfluss des Ladungseinbaus, welcher bei mehrmaligem Messen zunehmend sichtbar wird, verhindert werden soll.

Die Messungen der Stromdichten in Abhängigkeit des elektrischen Feldes sind für verschiedene Temperaturen in Abbildung 5.12 dargestellt. Zur besseren Übersicht wurde der Feldbereich ausgewählt, in dem FN-Tunneln den dominierenden Stromfluss-Beitrag aufweist. Jede Messkurve stellt einen Mittelwert aus drei Einzelmessungen dar, wobei die Standardabweichung zwischen einzelnen Kurven weniger als 3% beträgt. In der Abbildung ist der symmetrische Verlauf der Kennlinien klar zu erkennen und verdeutlicht die in etwa gleich hohe Dotierung der beiden Elektroden-Gebiete.

Aus den ermittelten Kennlinien lassen sich mithilfe der FN-Gleichung die Konstanten A_{FN} und B_{FN} bestimmen. Dazu wird eine Fit-Funktion über die Kennlinien gelegt, so dass ein möglichst breiter Bereich des elektrischen Feldes abgedeckt ist. In Abbildung 5.12 sind die Fit-Kurven als gestrichelte Linien dargestellt, die über den gesamten Bereich des elektrischen Feldes eine Übereinstimmung zu den experimentell ermittelten Kennlinien aufzeigen.

Die ermittelten FN-Konstanten lassen sich in Abhängigkeit der Temperatur auftragen. Das Ergebnis ist in Abbildung 5.13 dargestellt. Durch die Auftragung der Größe A_{FN} in einfach logarithmischer Form ist der exponentielle Zusammenhang mit der Temperatur zu erkennen. Ebenso ist die lineare Temperaturabhängigkeit der Größe B_{FN} sichtbar. Zur Beschreibung der Temperaturabhängigkeit in einer analytischen Form können die FN-Konstanten

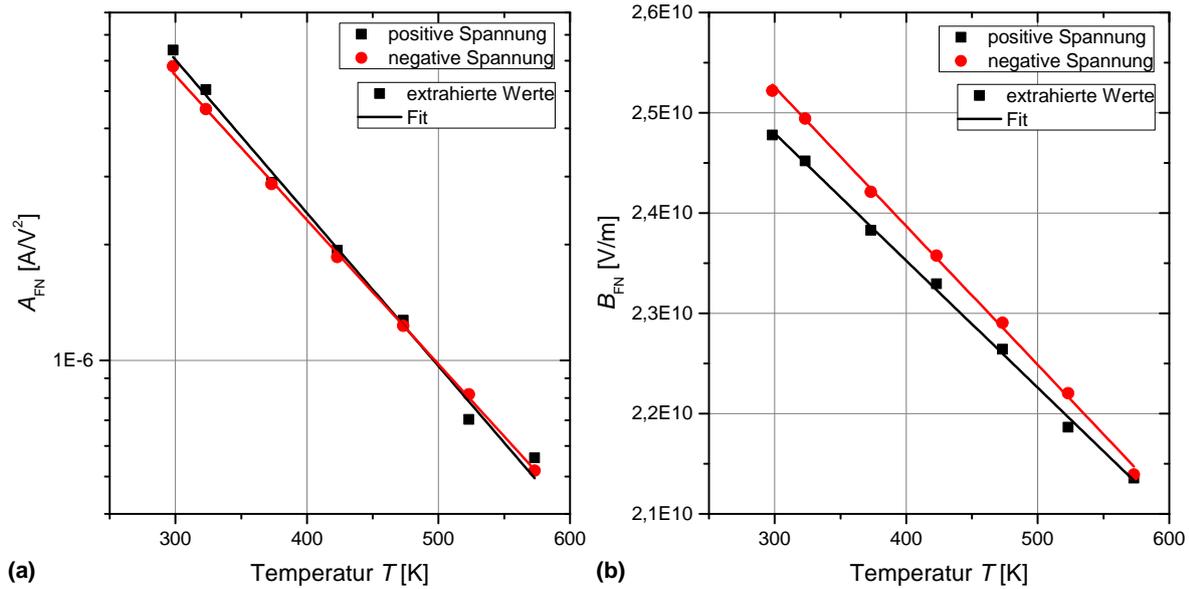


Abbildung 5.13: FN-Konstanten A_{FN} (a) und B_{FN} (b) in Abhängigkeit der Temperatur (Symbole) mit angefitzten Kurven (Linien)

mithilfe der folgenden Gleichungen angefitzt werden:

$$A_{FN} = \alpha_1 \exp(\alpha_2 T), \quad (5.27)$$

$$B_{FN} = \beta_1 + \beta_2 T, \quad (5.28)$$

wobei α_1 , α_2 , β_1 und β_2 die Fit-Parameter zur Ermittlung der Temperaturabhängigkeit darstellen. Die Fit-Parameter sind in der Tabelle 5.2 aufgelistet.

	$\alpha_1 \left[\frac{A}{V^2} \right]$	α_2	$\beta_1 \left[\frac{V}{m} \right]$	$\beta_2 \left[\frac{V}{mK} \right]$
$F < 0$	$7,30 \times 10^{-5}$	$-8,62 \times 10^{-3}$	$2,67 \times 10^{10}$	$-1,38 \times 10^7$
$F > 0$	$9,38 \times 10^{-5}$	$-9,15 \times 10^{-3}$	$2,74 \times 10^{10}$	$-1,27 \times 10^7$

Tabelle 5.2: Parameter zur Bestimmung der temperaturabhängigen FN-Konstanten für positives und negatives elektrisches Feld

Mithilfe der analytischen Ausdrücke 5.27 und 5.28 und der ermittelten Werte aus Tabelle 5.2 lässt sich die Tunnelstromdichte über einen weiten Temperaturbereich bestimmen. In nachfolgenden Kapiteln wird der Temperaturbereich stellenweise erweitert und es werden Messungen beschrieben, die bei Temperaturen zwischen $-40^\circ C$ und $450^\circ C$ stattgefunden haben. Die Ermittlung der Strom-Spannungs-Kennlinien oberhalb von $300^\circ C$ wurde jedoch nicht durchgeführt, da diese mit einem weitaus größeren Messaufwand (Untersuchung im Ofen) verbunden sind. Wie später gezeigt wird, ist für höhere Temperaturen keine signifikant größere Abweichung feststellbar. Dennoch ist es nicht ausgeschlossen, dass unter bestimmten Bedingungen (z. B. Variation der Programmierspannung) bei Temperaturen oberhalb von $300^\circ C$ eine größere Abweichung auftreten kann.

5.3.2 Verhalten bei variierender Programmierspannung

Die Programmierung mithilfe des FN-Tunnelvorgangs erfordert im Vergleich zur HCI-Programmierung (vgl. Kap. 5.1.2) weitaus höhere Programmierspannungen. Zur Erzeugung von solch hohen Programmierspannungen werden Ladungspumpen eingesetzt, die aus der Betriebsspannung (z. B. 5 V) eine höhere Spannung zur Verfügung stellen können. Mit steigender Programmierspannung erhöht sich jedoch die Komplexität des Designs einer Ladungspumpe. Andererseits ist eine möglichst große Potentialdifferenz zwischen der programmierten und gelöschten Schwellenspannung wünschenswert, so dass ein fehlerfreies Auslesen der beiden Programmierzustände über eine möglichst lange Betriebszeit gewährleistet ist. Bei der sogenannten V_{pp} -Messung werden die beiden Schwellenspannungen in Abhängigkeit der Programmierspannung untersucht. Dadurch kann Aufschluss über die Programmierbarkeit der Speicherzelle gewonnen werden und es lassen sich Minimal- und Maximalspannungen ermitteln, die für den Betrieb der Zelle notwendig sind.

In Abbildung 5.14 (a) sind die Schwellenspannungen der beiden Programmierzustände in Abhängigkeit der Programmierspannung als Symboldiagramm für zwei Temperaturen 25 °C und 250 °C aufgetragen. Es wird deutlich, dass die Schwellenspannungen proportional zu der Programmierspannung zu- bzw. abnehmen. Das Fenster öffnet sich etwa bei $V_{pp} = 12$ V und erreicht bei $V_{pp} = 20$ V einen Wert von etwa 15 V. Wird die Temperatur erhöht, so vergrößert sich auch das Programmierfenster. Die Öffnung ist jedoch nicht vollständig symmetrisch.

Zusätzlich sind in Abbildung 5.14 (a) die Simulationsergebnisse des Makromodells dargestellt. Im Modell wurden die ermittelten FN-Konstanten aus dem vorherigen Abschnitt verwendet. Deutlich geht aus der Abbildung hervor, dass zwischen experimentellen und numerisch ermittelten Werten eine gute Übereinstimmung besteht. Sowohl die Abhängigkeit der

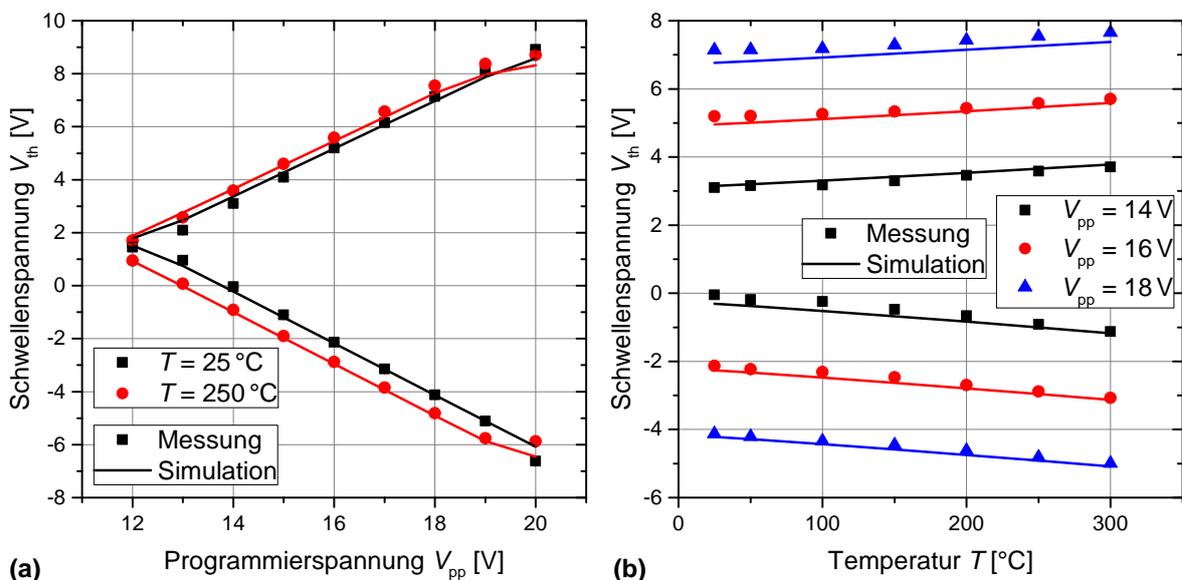


Abbildung 5.14: (a) Schwellenspannung in Abhängigkeit der Programmierspannung für Raumtemperatur und 250 °C; (b) Schwellenspannung in Abhängigkeit der Temperatur für drei verschiedene Programmierspannungen

Programmierspannung als auch die Temperaturabhängigkeit werden korrekt wiedergegeben. Allein bei der Programmierspannung von 20 V ist eine leichte Abweichung zwischen Simulation und Messung festzustellen.

Zur besseren Darstellung der Temperaturabhängigkeit ist in Abbildung 5.14 (b) die Schwellenspannung für drei unterschiedliche Programmierspannungen bei variierender Temperatur aufgetragen. Wie bereits in Abbildung 5.14 (a) beobachtet, kann eine signifikante Reduzierung der Schwellenspannung von jeweils etwa 2V festgestellt werden, wenn die Programmierspannung ebenfalls um 2V verringert wird. Weiterhin ist die Änderung des Programmierfensters in Abhängigkeit der Temperatur von etwa 1,5 V über einen Bereich von 25 °C bis 300 °C zu beobachten, wobei die untere Schwelle eine etwas höhere Änderung erfährt. In dieser Abbildung ist eine gute Übereinstimmung der Simulationsergebnisse mit den gemessenen Werten im gesamten Temperaturbereich zwischen 25 °C und 300 °C festzustellen.

5.3.3 Strom- und Spannungsverlauf beim Programmieren und Löschen

Unter der Annahme, dass die Beschreibung des Tunnelvorgangs durch das Makromodell korrekt wiedergegeben wird, kann das transiente Verhalten des Programmier- und Löschverlaufs anhand der Simulationsergebnisse verdeutlicht werden. Die Richtigkeit des Modells wurde mithilfe von V_{pp} -Messungen überprüft.

In Abbildung 5.15 ist der zeitliche Verlauf der Spannungen (a) und Ströme (b) der unterschiedlichen Knoten und Stromquellen abgebildet. Zeitlich erfolgt zunächst der Löschvorgang, welcher durch die angelegte Spannung am Control-Gate (V_{CG}) gekennzeichnet ist. In Abbildung 5.15 (a) ist der Anstieg des Potentials am Floating-Gate (V_{FG}) deutlich zu erkennen, welches bereits während der Anstiegszeit des Löschpulses den Maximalwert erreicht. Ebenso wird ein Maximum des Stromflusses am Injektor-Bereich ($B_{FN,In}$) während der Anstiegsflanke beobachtet (vgl. Abb. 5.15 (b)). Nach dem Erreichen des Maximums ist eine Abnahme der Spannung am Floating-Gate festzustellen, da das Floating-Gate-Potential durch die eingebrachte Ladung erniedrigt wird. Dadurch sinkt auch das elektrische Feld, welches über dem Tunneloxid abfällt und somit auch der Tunnelstrom. Am Control-Gate-Bereich ($B_{FN,CG}$) ist ein geringer Leckstrom zu beobachten, welcher während des Löschvorgangs zwar ansteigt, jedoch stets mehrere Zehnerpotenzen unterhalb des Stroms liegt, welcher am Injektor-Bereich fließt.

Nach dem Löschvorgang ist eine Pause von etwa 15 ms eingestellt, die zum Auslesen des Potentials am Floating-Gate verwendet wird. Danach erfolgt der Programmiervorgang, der durch die Erhöhung des Potentials am Drain-Knoten (V_D) eingeleitet wird. Der Verlauf der Spannungen und der Ströme ist vergleichbar zu denen beim Löschvorgang, wobei der Stromfluss hier in die entgegengesetzte Richtung erfolgt. Der Leckstrom der beiden Stromquellen nach dem Löschen- bzw. Programmiervorgang ist auf den Tunnelstrom zurückzuführen, welcher aufgrund des Potentials am Floating-Gate ungleich null ist.

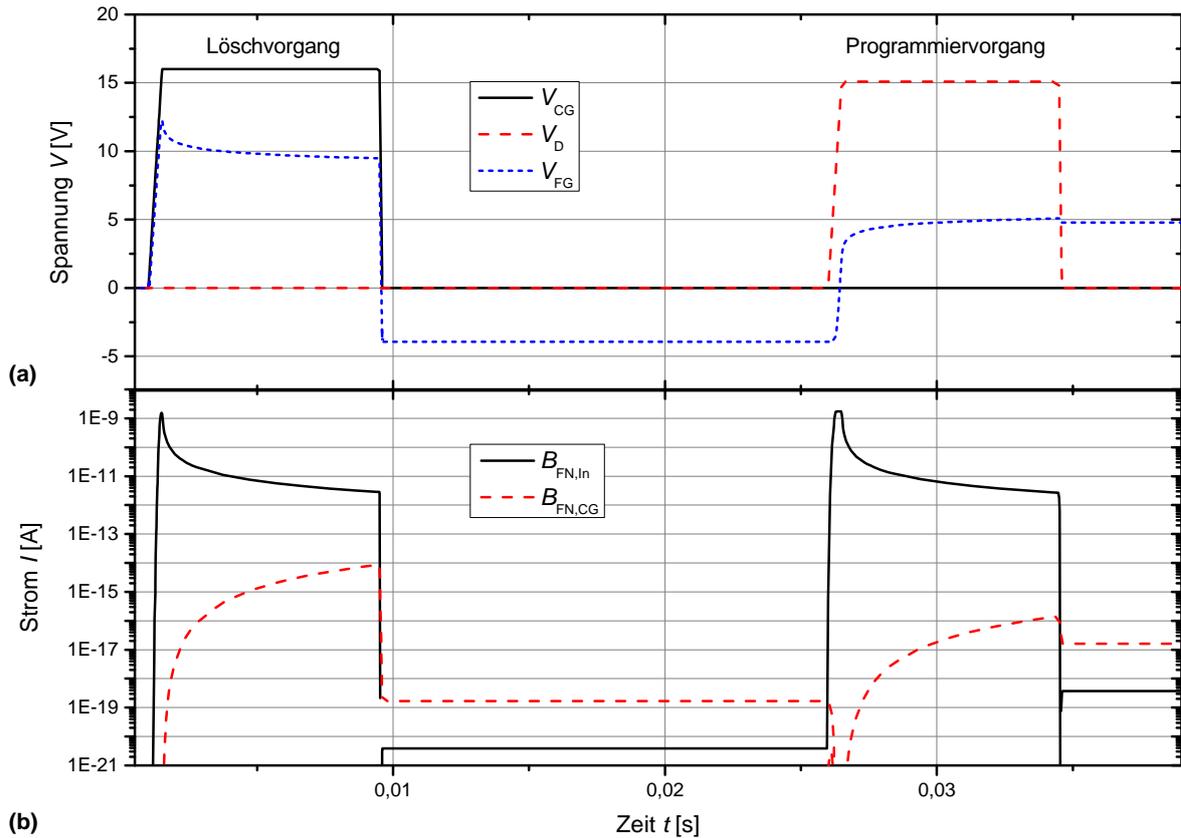


Abbildung 5.15: (a) transienter Verlauf der Spannungspotentiale am Control-Gate, Drain und Floating-Gate; (b) Stromfluss der im Makromodell verwendeten Stromquellen am Injektor-Bereich und am Control-Gate-Bereich in Abhängigkeit der Zeit

5.3.4 Optimierung der Floating-Gate-Fläche

Mithilfe des vorgestellten und überprüften Modells lassen sich Optimierungen bezüglich der Floating-Gate-Fläche treffen. Dadurch kann die Zelle kompakter prozessiert und somit eine höhere Speicherdichte erzielt werden. Die Fläche des Floating-Gates kann in vier Bereiche unterteilt werden (vgl. Abb. 5.6). Die Fläche des Auslese-Transistors und der Bereich, welcher über Feldoxid verläuft, sind als parasitäre Kapazität anzusehen und werden möglichst klein gehalten, so dass keine weitere Reduzierung möglich ist. Dagegen können die Flächen über dem Control-Gate und Injektor-Bereich variiert werden, wobei das Koppelverhältnis $\kappa_{CG,In}$ zunächst konstant gehalten werden soll.

In Abbildung 5.16 (a) sind Vpp-Simulationskennlinien für unterschiedliche Control-Gate-Flächen bei $T = 25^\circ\text{C}$ dargestellt. Ausgehend von der Control-Gate-Fläche $A_{CG} = 18\ \mu\text{m}^2$, die in etwa der Fläche der Standardzelle entspricht, wird die Fläche bis auf $3\ \mu\text{m}^2$ reduziert. Um ein konstantes Koppelverhältnis beizubehalten ($\kappa_{CG,In} = 40$), wird in fester Relation zur Control-Gate-Fläche die Fläche am Injektor verringert. Aus den Simulationsergebnissen geht hervor, dass für die gelöschte Schwelle $V_{th,l}$ für eine Fläche von $18\ \mu\text{m}^2$ bis $9\ \mu\text{m}^2$ nur eine geringe Abnahme der Schwellenspannung zu erwarten ist, wogegen eine weitere Verkleinerung der Fläche zu einer stärkeren Absenkung der Schwelle führt. Besteht die Möglichkeit in der Schaltung eine Reduzierung der oberen Schwelle von etwa 1 V hinzunehmen, so kann die Fläche des Control-Gates und des Injektors um die Hälfte reduziert werden.

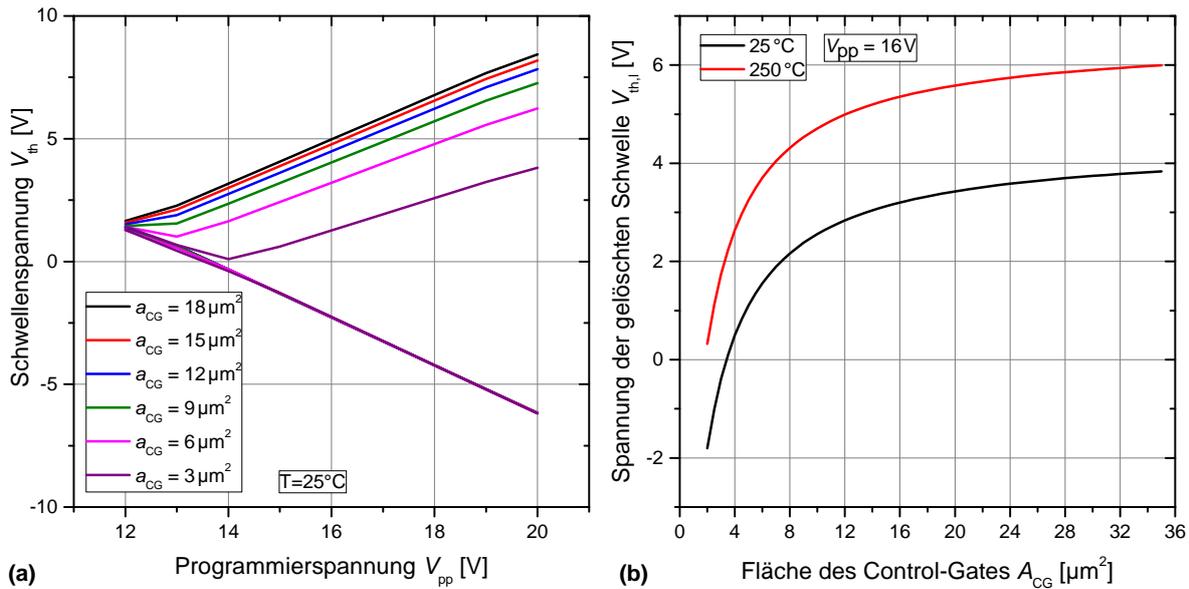


Abbildung 5.16: Simulationsuntersuchungen zur Reduzierung der Control-Gate-Fläche, wobei die Injektor-Fläche im gleichen Verhältnis verkleinert wird ($\kappa_{CG,In} = 40$); (a) V_{pp} -Simulationskurven bei 25°C ; (b) Simulationsergebnisse zur Schwellenspannung der gelöschten Schwelle bei $V_{pp} = 16\text{V}$ für 25°C und 250°C

Es ist jedoch auch anzumerken, dass sich die Gesamtfläche der Speicherzelle dadurch nicht um die gleiche Größenordnung verringert, da bestimmte Bereiche, wie der Auslese- oder Select-Transistor, die Abmessungen beibehalten.

Der Verlauf der Schwellenspannung bei der programmierten Schwelle zeigt dagegen keine Änderung bei Variation der Control-Gate- und Injektor-Fläche. Dieses asymmetrische Verhalten kommt durch das unterschiedliche Koppelverhältnis der Kapazitäten C_{CG} und C_{In} zur Gesamtkapazität C_T zustande. Die obere Schwelle wird hauptsächlich durch das Koppelverhältnis $\kappa_{CG,T} = C_{CG}/C_T$ beeinflusst und erfährt aufgrund der starken Änderung der Fläche eine deutliche Abnahme der Schwellenspannung. Dagegen ist für die untere Schwelle das Koppelverhältnis des Injektor-Bereichs $\kappa_{In,T} = C_{In}/C_T$ verantwortlich. Dieses ändert sich jedoch aufgrund der kleinen Fläche nur minimal, so dass die Schwelle nahezu konstant bleibt. Werden die beiden Koppelverhältnisse in Relation gesetzt ($\kappa_{CG,T}/\kappa_{In,T} = \kappa_{CG,In}$), so wird deutlich, dass bei einer Abnahme der oberen Schwelle um 1 V die untere Schwelle, aufgrund des Verhältnisses $\kappa_{CG,In} = 40$ (vgl. Gl. 5.8), nur eine Verringerung um 25 mV erfährt. Diese unterschiedliche Kopplung führt auch dazu, dass die Schwellenspannung für beide Schwellen bei kleinen V_{pp} -Spannungen zunächst sinkt. So wird für $a_{CG} = 3\ \mu\text{m}^2$ die neutrale Schwelle erst bei $V_{pp} = 14\text{V}$ erreicht. Für weiter steigende Programmierspannungen öffnet sich das Programmierfenster dann in beide Richtungen.

Abbildung 5.16 (b) stellt die Änderung der Schwellenspannung der gelöschten Schwelle in Abhängigkeit von der Control-Gate-Fläche für eine feste Programmierspannung $V_{pp} = 16\text{V}$ bei 25°C und 250°C dar. Aus den Ergebnissen geht hervor, dass sich die obere Schwelle mit der Abnahme der Fläche immer weiter der unteren annähert, so dass das Programmierfenster gegen null konvergiert. Durch die Abnahme der Control-Gate-Fläche nimmt der Einfluss der parasitären Kapazitäten zu. Bei größeren Flächen wird dagegen der Einfluss der parasitären Kapazität zunehmend geringer, so dass die Kopplung allein durch das Verhältnis

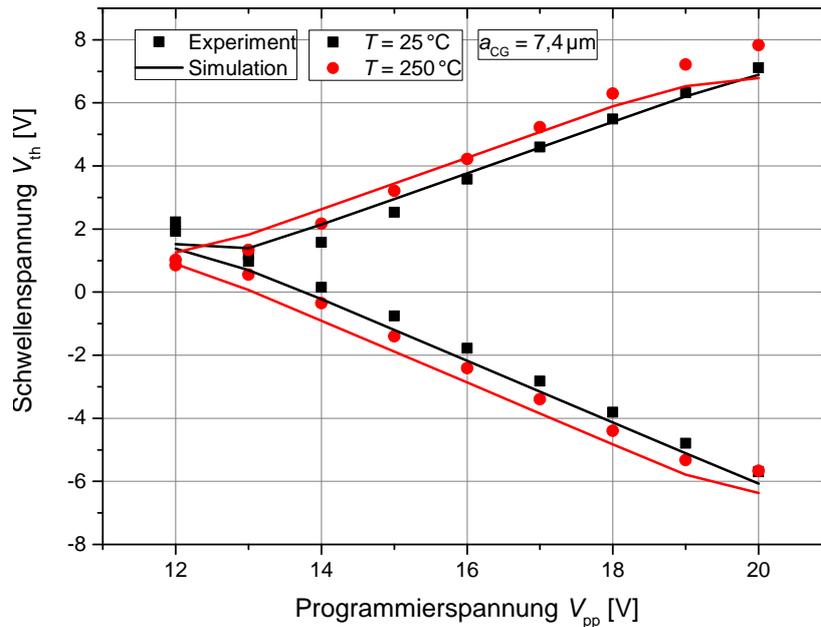


Abbildung 5.17: Vpp-Kennlinienvergleich der Simulationsergebnisse mit Messungen an einer verkleinerten Speicherzelle bei 25 °C und 250 °C

der Flächen am Control-Gate und Injektor bestimmt wird. Dadurch wird der Programmiervorgang effizienter, so dass die Schwellenspannung steigt. Zwischen 25 °C und 250 °C ist weiterhin keine qualitative Änderung der Flächenabhängigkeit festzustellen.

Zur Verifizierung der Simulationsergebnisse standen leider nicht alle Zellen mit unterschiedlichen Flächenverhältnissen zur Verfügung. Exemplarisch erfolgt die Überprüfung anhand einer Zelle mit der Control-Gate-Fläche $a_{CG} = 7,4 \mu\text{m}^2$ und der Injektor-Fläche $a_{In} = 0,2 \mu\text{m}^2$. Das Koppelverhältnis beträgt damit $\kappa = 37$. Die Flächen sind damit im Vergleich zur Standardzelle ($a_{CG} = 17,90 \mu\text{m}^2$, $a_{In} = 0,45 \mu\text{m}^2$) deutlich reduziert.

In Abbildung 5.17 ist der Verlauf der Vpp-Kennlinien als Vergleich zwischen Experiment und Simulation dargestellt. Die Messungen wurden für 25 °C und 250 °C durchgeführt. Aus den Messergebnissen geht hervor, dass die obere Schwelle nach unten verschoben ist, so dass z. B. die Schwellenspannung bei $V_{pp} = 16 \text{ V}$ über 1 V weniger beträgt als bei der Standardzelle. Dagegen findet sich bei der unteren Schwelle nahezu keine Verschiebung. Die Simulationsergebnisse zeigen verglichen mit dem Experiment an der unteren Schwelle eine erhöhte Abweichung. Qualitativ kann jedoch von einer guten Übereinstimmung zwischen simulierten und gemessenen Werten ausgegangen werden.

5.3.5 Variation des Koppelverhältnisses

Neben der Änderung der Control-Gate-Fläche (mit konstantem $\kappa_{CG,In}$), kann auch das Koppelverhältnis $\kappa_{CG,In}$ variiert werden. Diese Änderung ist für das Zuverlässigkeitsverhalten der Speicherzellen relevant, welches in Kapitel 5.4.3 thematisiert wird. Die Auswirkungen auf das Programmierfenster können bereits an dieser Stelle verdeutlicht werden. Da in Kapitel 5.3.4 festgestellt wurde, dass durch die proportionale Verkleinerung der Control-Gate- und der Injektor-Fläche eine Reduzierung der oberen Schwelle bewirkt wird, soll im Fol-

genden diese Fläche konstant gehalten und lediglich die Injektor-Fläche variiert werden.

In Abbildung 5.18 sind die V_{pp} -Kennlinien für verschiedene Koppelverhältnisse $\kappa_{CG,In}$ dargestellt. Es sind sowohl die experimentell, als auch aus der Simulation ermittelten Werte aufgetragen. Daraus geht hervor, dass sich durch die Reduzierung des Koppelverhältnisses die beiden Schwellen aufeinander zu bewegen. Die Verringerung der oberen und unteren Schwelle ist in etwa gleich groß. Dabei kann zunächst nur eine relativ geringe Abnahme festgestellt werden, so dass sich das Programmierfenster zwischen den Koppelverhältnissen 40 und 10 nahezu nicht ändert. Für weiter sinkendes $\kappa_{CG,In}$ nimmt die Abnahme jedoch stark zu und resultiert für $\kappa_{CG,In} = 2,5$ in einem gegenüber dem einer Standardzelle bis zu 70% reduzierten Programmierfenster.

Durch die Verringerung des Koppelverhältnisses nimmt das elektrische Feld über dem Tunneloxid am Injektor-Bereich ab, so dass ein kleinerer Tunnelstrom fließt, welcher sich in einem verringerten Programmierfenster widerspiegelt. Dabei ist für höhere Programmierspannungen eine stärkere Abweichung der Simulationsergebnisse von den experimentell ermittelten Werten festzustellen. Dennoch wird auch hier der tendenzielle Verlauf richtig wiedergegeben. Bei einer Programmierspannung von $V_{pp} = 16\text{ V}$ ist weiterhin eine gute Übereinstimmung zwischen Experiment und Simulation festzustellen. Die größere Abweichung bei kleinen Programmierspannungen für $\kappa_{CG,In} = 2,5$ deutet darauf hin, dass auf dem Floating-Gate anfangs eine größere negative Ladungsmenge vorhanden ist, die zur Verschiebung der Schwellenspannung führt. Diese Anfangsladung wurde im Simulationsmodell an der Stelle nicht berücksichtigt.

Wird eine feste Programmierspannung vorgegeben ($V_{pp} = 16\text{ V}$) so kann die Schwellenspannung der programmierten und gelöschten Schwelle in Abhängigkeit des Koppelverhältnisses aufgetragen werden. Dieses Verhalten ist in Abbildung 5.19 für 25 °C und 250 °C darge-

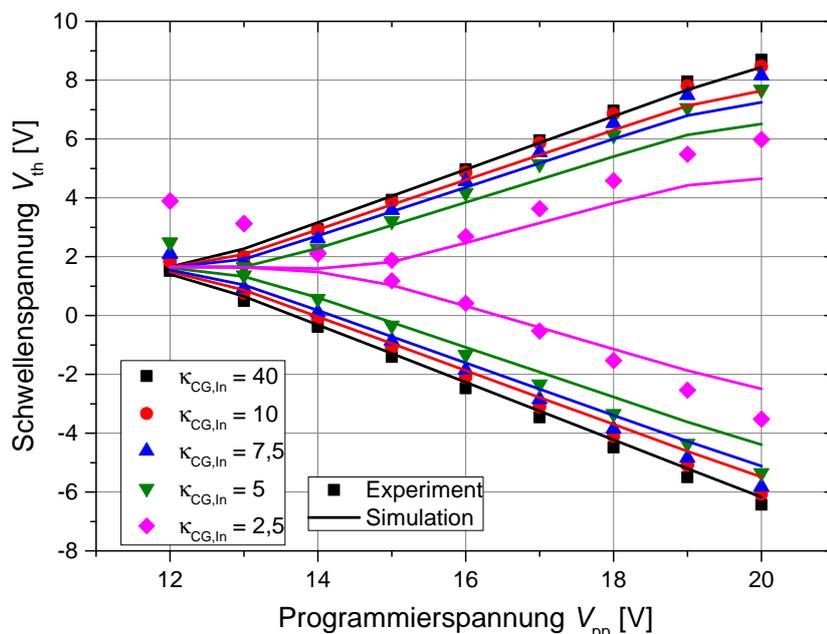


Abbildung 5.18: Vergleich der V_{pp} -Kennlinien zwischen Simulation und Messung von Zellen mit unterschiedlichen Koppelverhältnissen

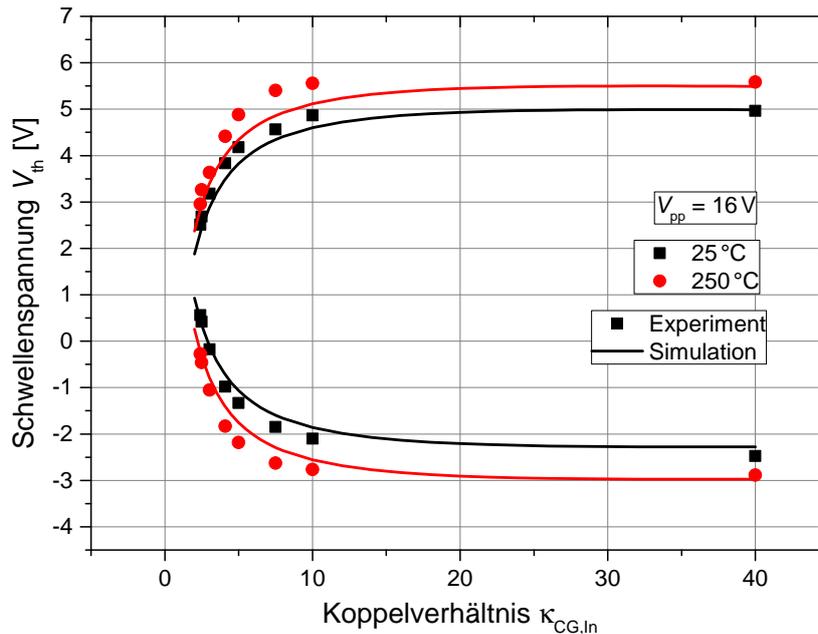


Abbildung 5.19: Ergebnisse der Simulation und Messung für die Spannung der programmierten und gelöschten Schwelle in Abhängigkeit des Koppelverhältnisses bei 25 °C und 250 °C

stellt. Aus den Ergebnissen geht das bereits an den Vpp-Kennlinien beobachtete Verhalten klar hervor. Es ist ein konstantes Plateau beim Koppelverhältnis zwischen 20 und 40 zu beobachten. Das heißt, dass ein Koppelverhältnis größer 20 das Programmierfenster nicht weiter signifikant vergrößert. Wird das Koppelverhältnis dagegen kleiner als 20, so nimmt das Programmierfenster immer stärker ab. Spätestens bei $\kappa_{CG,In} = 1$ wird über den beiden Oxiden des Control-Gate- und Injektor-Bereichs das gleiche Feld aufgebaut, so dass eine injizierte Ladung auf der einen Seite auf der anderen wieder abfließen würde. Zwischen Raum- und Hochtemperatur ist abgesehen von einem etwas erweiterten Programmierfenster keine qualitative Abweichung der experimentellen Werte von den Simulationsergebnissen zu beobachten.

5.3.6 Fazit zur Programmierung der Speicherzelle

Für dieses Unterkapitel kann abschließend festgestellt werden, dass sich die Programmierbarkeit der Speicherzelle durch das Makromodell genau beschreiben lässt. Die Programmiervorgänge werden sowohl bei unterschiedlichen Programmierspannungen als auch unter verschiedenen Temperaturen korrekt wiedergegeben. Ebenso kann eine gute Korrelation zwischen simulierten und experimentellen Ergebnissen bei unterschiedlichen Geometrien und Koppelverhältnissen der Speicherzelle festgestellt werden. Mithilfe des Modells konnte die Fläche des Floating-Gates und damit die Gesamtfläche der Zelle reduziert werden, ohne dass sich das Programmierverhalten geändert hat.

5.4 Datenwechselstabilität

Das Verhalten von Speicherzellen beim wiederholten Programmieren und Löschen wird durch die Messung der Datenwechselstabilität ermittelt und stellt ein zentrales Zuverlässigkeitskriterium bei nichtflüchtigen Speichern dar. Das Bestreben ist dabei, die Speicherzelle so zu designen, dass diese einer möglichst hohen Anzahl an Zyklen ohne Verlust der Speicherqualität widersteht. Vor allem die temperaturabhängige Degradation des Tunneloxids stellt dabei eine große Herausforderung dar. Das Verhalten der Speicherzelle in der H035-Technologie soll in diesem Kapitel in einem breiten Temperaturbereich untersucht und eine Optimierung der Zelle erarbeitet werden.

Weiterhin soll das im letzten Kapitel vorgestellte Makromodell um das Verhalten der Datenwechselstabilität ergänzt werden. Das Modell soll die Degradationsvorgänge im Oxid durch analytische Gleichungen unter Berücksichtigung der Temperaturabhängigkeit beschreiben. Durch Charakterisierung der Speicherzelle bei einigen wenigen Temperaturen kann daraus das Verhalten der Zelle auf beliebige Temperaturen im breiten Temperaturbereich vorhergesagt werden.

5.4.1 Datenwechselstabilität in Abhängigkeit der Temperatur

Zur Ermittlung der temperaturabhängigen Degradationsvorgänge im Oxid werden über einen breiten Temperaturbereich Messungen der Datenwechselstabilität durchgeführt. Die Untersuchungen erfolgen im Bereich zwischen -40 °C und 300 °C auf Wafer-Ebene und bei höheren Temperaturen bis 450 °C im Ofen anhand aufgebauter Dies (vgl. Kap. 2.2). Die Messungen werden bei $V_{pp} = 16\text{ V}$ durchgeführt.

In Abbildung 5.20 sind die Schwellenspannungen der beiden Programmierzustände in Abhängigkeit der Zyklenzahl für verschiedene Temperaturen aufgetragen. Die Messungen ab 50 °C erfolgten bis zum Oxiddurchbruch, wogegen der Durchbruch für kleinere Temperaturen oberhalb der Anzahl der gemessenen Zyklen liegt. Zunächst ist eine Erhöhung des Anfangsprogrammierfensters in Abhängigkeit der Temperatur festzustellen, wie diese mithilfe von V_{pp} -Messungen im letzten Kapitel bereits erläutert wurde. Dabei steigt das Programmierfenster in Abhängigkeit der Temperatur von $\Delta V_{th}(-40\text{ °C}) \approx 7\text{ V}$ auf $\Delta V_{th}(450\text{ °C}) \approx 9,5\text{ V}$. Für kleine Zyklenzahlen kann anhand der Messergebnisse eine leichte Erhöhung von ΔV_{th} festgestellt werden, die auf die Sättigung von lokalen Defektstellen im Oxid hinweist.

Die Degradation des Tunneloxids ist am Verlauf des Programmierfensters zu erkennen, welches sich in Abhängigkeit der Anzahl der Zyklen kontinuierlich verringert. Dieses Verhalten ist für die untersuchten Temperaturen für $N_z > 100$ zu beobachten. Die Degradation verläuft jedoch für höhere Temperaturen schneller, so dass bei hohen Temperaturen eine kleinere Anzahl der Zyklen ausreicht, um das Programmierfenster stärker zu verringern.

Zur besseren Auswertung und Gegenüberstellung der Degradation zwischen verschiedenen Temperaturen wird an dieser Stelle eine Abnahmeschwelle definiert, die eine bestimmte prozentuale Verringerung des Schwellenspannungsfensters beschreibt. Diese Schwelle dient lediglich als Hilfsmittel und soll kein tatsächliches Auslese-Kriterium in einer Schaltung darstellen. Die prozentuale Abnahme bezieht sich auf das Programmierfenster bei $N = 0$

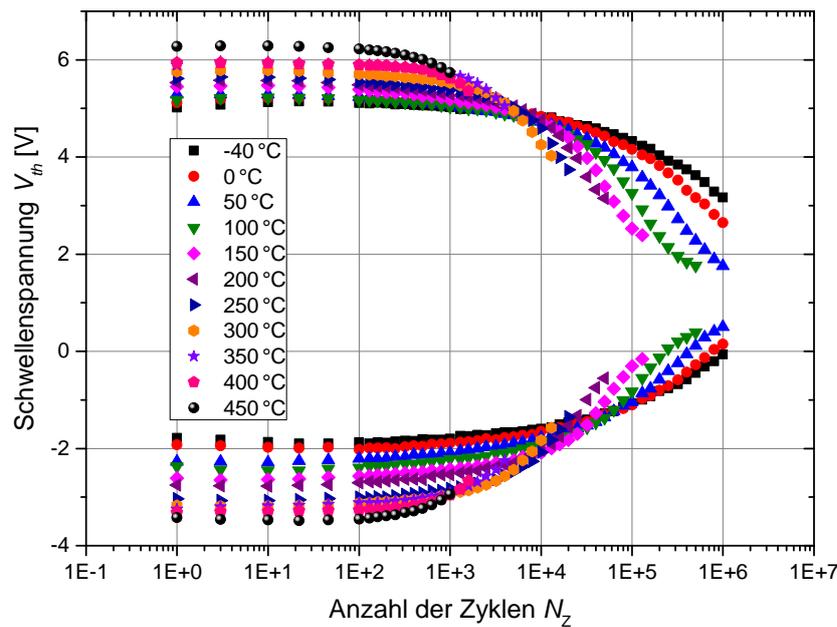


Abbildung 5.20: Verlauf der Schwellenspannungen in Abhängigkeit der Anzahl der Programmierzyklen für verschiedene Temperaturen ($V_{pp} = 16 \text{ V}$, $\kappa_{CG,In} = 40$)

und wird im Folgenden 40 % betragen⁶. Dieser Wert ist so gewählt, dass die Abnahme sowohl bei niedrigen als auch bei hohen Temperaturen angewandt werden kann. Die Anzahl der Zyklen, bei der die Schwelle unterschritten wird, wird mit $N_Z^{40\%}$ angegeben. Wird diese Abnahmeschwelle für den Ausfall einer Speicherzelle angenommen, so ergibt sich eine maximale Anzahl an Programmierzyklen von etwa 520 000 bei -40 °C , 140 000 bei 50 °C , 45 000 bei 150 °C und 20 000 bei 250 °C . Für sehr hohe Temperaturen ($T > 300 \text{ °C}$) kann die verwendete Abnahmeschwelle von 40 % nicht angewandt werden, da das Tunneloxid der Speicherzelle einen harten Durchbruch erleidet, bevor das Programmierfenster diese Schwelle unterschreitet.

Weiterhin geht aus den Messergebnissen hervor, dass der Degradationsverlauf bei hohen Zyklenzahlen und kleinen Temperaturen in eine Art Sättigung übergeht (bei Beachtung der logarithmischen Darstellung), in der eine vergleichsweise geringe Abnahme des Programmierfensters zu beobachten ist (z. B. bei 50 °C ab etwa 600 000 Zyklen). Dabei handelt es sich um die gegenseitige Beeinflussung der Menge an eingebauter Ladung und der nichtlinearen Abhängigkeit des Tunnelstroms vom elektrischen Feld. Für Temperaturen größer 100 °C wird dieser Bereich nicht erreicht, da hier das Tunneloxid vorzeitig durchbricht.

Die Messergebnisse nach dem Durchbruch sind in der Abbildung nicht gezeigt, jedoch entspricht der letzte ermittelte Wert nahezu der maximalen Anzahl an Programmierzyklen $N_{Z,max}$. Aus den Messergebnissen geht hervor, dass je höher die Temperatur ist, desto größer ist das Programmierfenster, bevor es zu einem Oxiddurchbruch kommt. Bei sehr hohen Temperaturen, z. B. 450 °C , ist nur eine geringe Abnahme des Programmierfensters von etwas mehr als 1 V zu beobachten, bevor die maximale Anzahl an Programmierzyklen erreicht wird. Die Verringerung der Schwellenspannungen und das anschließende Sättigungsverhalten bei hoher Zyklenzahl, wie es bei niedrigen Temperaturen beobachtet wurde, kann hier

⁶In einer Schaltung würde ein deutlich niedrigeres Kriterium für das minimale Programmierfenster gelten (z. B. $\Delta V_{th} \geq 1 \text{ V}$).

nicht erzielt werden. Der limitierende Faktor bei hohen Temperaturen ist somit nicht die kontinuierliche Degradation des Oxids, sondern die Bildung eines leitenden Pfads bei einer bereits geringen Menge an eingebauter Ladung.

Maximale Zyklenzahl in Abhängigkeit der Temperatur

Aus den in Abbildung 5.20 gezeigten Kennlinien der Datenwechselstabilität kann die maximale Anzahl der Programmierzyklen $N_{Z,max}$ in Abhängigkeit der Temperatur bestimmt werden. Diese Abhängigkeit ist in Abbildung 5.21 dargestellt. Als Messwert für die maximale Zyklenzahl diene jeweils der letzte Wert vor dem harten Durchbruch des Oxids (dies wurde jedoch in Abbildung 5.20 nicht gezeigt). Messungen bei Temperaturen unter 50 °C wurden nicht berücksichtigt, da diese aufgrund zu langer Messdauer vorzeitig (bei 1 000 000 Zyklen) abgebrochen wurden. Deutlich geht das exponentielle Verhalten von $N_{Z,max}$ in Abhängigkeit von T im gesamten Temperaturbereich hervor. Aus den Messergebnissen lässt sich eine Fit-Funktion ermitteln, die durch eine einfache Exponentialgleichung beschrieben werden kann

$$N_{Z,max}(T) = N_0 \exp\left(-\frac{T}{T_{N,0}}\right). \quad (5.29)$$

Die Größe N_0 stellt eine Größe für die maximale Zyklenzahl dar und $T_{N,0}$ gibt die Temperaturabhängigkeit des Degradationsprozesses wider. Die Werte für die Fit-Parameter N_0 und $T_{N,0}$ können der Tabelle 5.3 entnommen werden.

Anhand der Fit-Funktion lassen sich Vorhersagen treffen, nach wie vielen Zyklen die Speicherzelle bei einer bestimmten Temperatur so stark degradiert, dass diese zerstört wird.

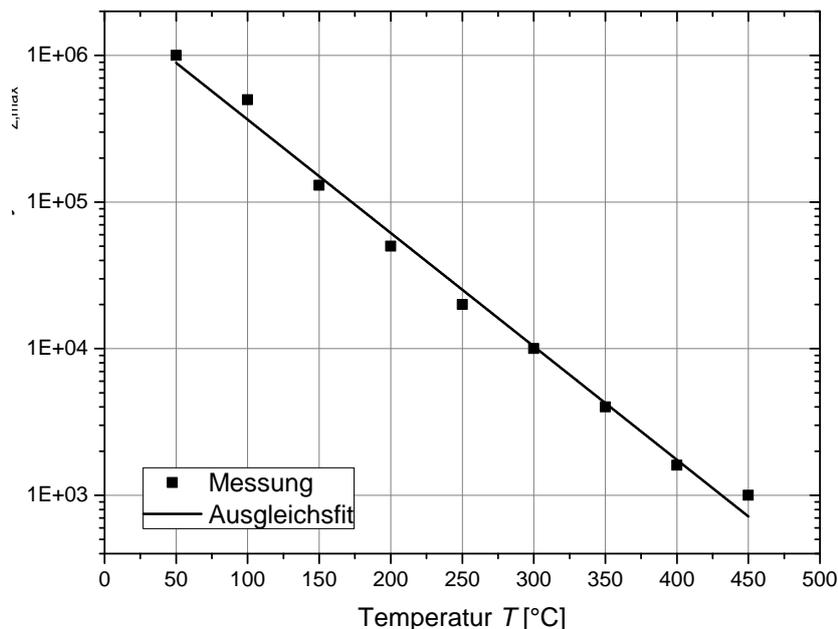


Abbildung 5.21: Verlauf der maximalen Anzahl an Programmierzyklen in Abhängigkeit der Temperatur

	N_0	$T_{N,0}$ [°C]
Speicherzelle mit $\kappa_{CG,In} = 40$	$2,168 \times 10^6$	56,15

Tabelle 5.3: Ermittelte Parameter für die Fit-Funktion aus Abbildung 5.21

5.4.2 Modellierung der Datenwechselstabilität

Das im letzten Kapitel ermittelte Verhalten der Speicherzelle bei Messungen der Datenwechselstabilität soll im Makromodell nachgebildet werden. Dazu wird, wie in Kapitel 5.2.3 erläutert, die Kapazität des Tunneloxids in zwei seriell geschaltete Kapazitäten unterteilt und eine bestimmte Ladungsmenge auf den Knoten zwischen den Kapazitäten eingebaut. Der Ladungseinbau führt über die Änderung des Potentials zu einer veränderten Tunnelstromdichte, womit der Degradationsvorgang simuliert wird.

Im Gegensatz zur injizierten Ladung Q_{INJ} , kann die eingebaute Ladungsmenge Q_{TOX} aus den Modellparametern nicht bestimmt werden. Die eingebaute Ladungsmenge ist jedoch über ein Potenzgesetz mit der injizierten Ladungsmenge verbunden und wurde in Gleichung 5.22 angegeben. Dabei werden in der Gleichung zwei Koeffizienten verwendet (K und ν), die sich in Abhängigkeit der Temperatur ändern. Diese müssen im Modell über den gesamten simulierten Temperaturbereich bekannt sein. Die Temperaturabhängigkeit der Koeffizienten kann aus den Messergebnissen der Datenwechselstabilität ermittelt werden, wobei zur Bestimmung der injizierten und eingebauten Ladung aus den Messergebnissen die Gleichungen 5.20 und 5.21 verwendet werden können.

In Abbildung 5.22 ist die eingebaute Ladung in Abhängigkeit der injizierten Ladung für Temperaturen zwischen -40 °C und 450 °C dargestellt. Es wird deutlich, dass die eingebaute Ladung pro injizierter Ladung für steigende Temperaturen zunimmt. Ebenso ändern sich die maximale eingebaute und injizierte Ladung mit der Temperatur, so dass für sinkende

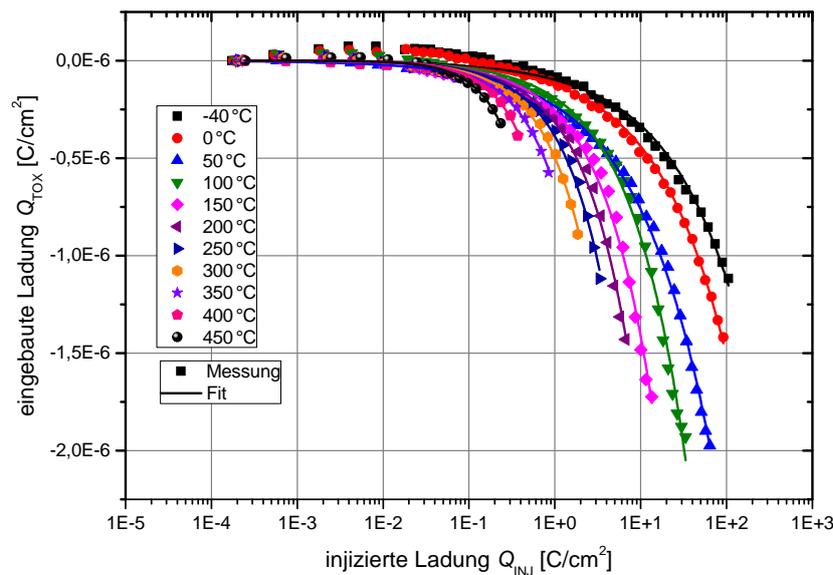


Abbildung 5.22: Eingebaute Ladung in Abhängigkeit der injizierten Ladung für verschiedene Temperaturen als Messung und Fit

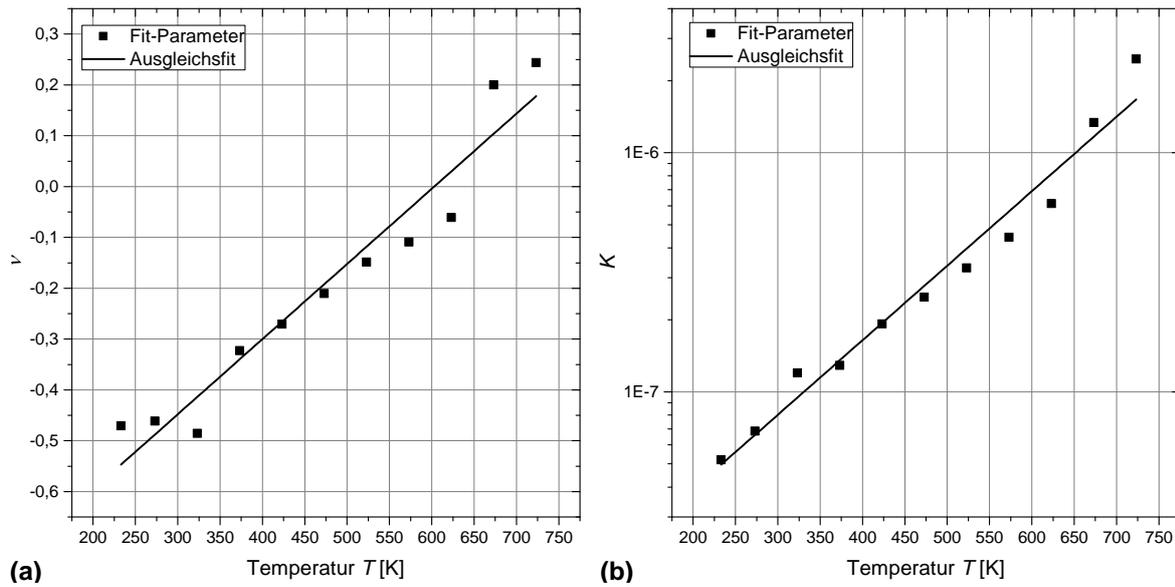


Abbildung 5.23: Parameter ν (a) und K (b) in Abhängigkeit der Temperatur als ermittelte Werte und Fit-Funktion

Temperaturen die Ladungsmenge zunimmt, die durch das Oxid tunnelt und in diesem eingebaut wird.

Mithilfe der Gleichung 5.22 kann der Verlauf der gemessenen Kurven durch eine Fit-Funktion approximiert werden. Der Fit-Verlauf besitzt über nahezu gesamten Bereich der injizierten Ladung und für alle untersuchten Temperaturen eine gute Übereinstimmung mit den gemessenen Werten. Der Sättigungseffekt wird jedoch nicht durch die vereinfachte Formel berücksichtigt, so dass die Steigung des Ausgleichsfits in etwa konstant bleibt (bei Betrachtung der logarithmischen Darstellung). Aus den Ergebnissen der Ausgleichsfunktionen können die Koeffizienten ν und K in Abhängigkeit der Temperatur dargestellt werden (vgl. Abb. 5.23). Es wird deutlich, dass für den Parameter ν eine lineare Abhängigkeit der Temperatur vorliegt (vgl. Abb. 5.23 (a)). Für den Koeffizienten K kann dagegen eine exponentielle temperaturabhängige Zunahme festgestellt werden (vgl. Abb. 5.23 (b)). Die Temperaturabhängigkeit der beiden Parameter kann in folgenden analytischen Zusammenhang gestellt werden [139]

$$\nu(T) = \nu_T T + \nu_0, \quad (5.30)$$

$$K(T) = K_0 \exp\left(\frac{T}{T_{K,0}}\right). \quad (5.31)$$

Die spezifischen Werte der Parameter können der Tabelle 5.4 entnommen werden. Die Standardabweichung beträgt bei allen Größen etwa 10 %.

	ν_0	ν_T [1/K]	K_0	$T_{K,0}$ [K]
Speicherzelle mit $\kappa_{CG,In} = 40$	-0,958	$1,585 \times 10^{-3}$	$9,472 \times 10^{-9}$	140,5

Tabelle 5.4: Ermittelte Werte für den Ausgleichsfit aus Abbildung 5.23

Die ermittelten Werte für die Parameter der Ausgleichsfunktionen können im Modell verwendet werden, um das Verhalten der Datenwechselstabilität zu bestimmen. Der Ladungsschwerpunkt wird zur besseren Übereinstimmung der Simulation mit dem Experiment auf 0,54 festgelegt. Dadurch schreitet die Verringerung der Schwellenspannung für die obere Schwelle etwas schneller voran als das Anwachsen für die untere Schwelle, so dass das Programmierfenster nicht vollständig symmetrisch ist.

Die Ergebnisse des im Modell ermittelten Verlaufs der Datenwechselstabilität für verschiedene Temperaturen sind in Abbildung 5.24 dargestellt. Um die Übersichtlichkeit der Darstellung zu erhöhen, wurden nur die Ergebnisse für Temperaturen in einem Abstand von 100 °C abgebildet. Es wird deutlich, dass zwischen den Messergebnissen und den mithilfe der SPICE-Simulation bestimmten Werten eine gute Übereinstimmung vorliegt. Das anfängliche konstante Plateau des programmierten und gelöschten Zustands wie auch die anschließende Verkleinerung des Programmierfensters und damit die Degradation der Speicherzelle werden korrekt wiedergegeben. Lediglich bei -40 °C gibt es eine höhere Abweichung der simulierten Kennlinie bei höheren Zyklenzahlen.

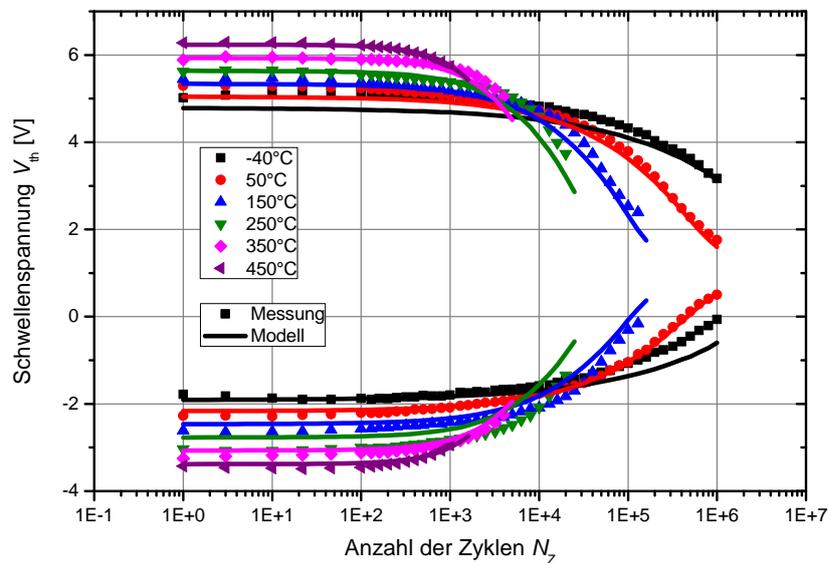


Abbildung 5.24: Modellierung der Datenwechselstabilität für verschiedene Temperaturen

Für die bessere Vergleichbarkeit wurde die Anzahl der Zyklen bei der Simulation auf die in der Messung ermittelte Maximalanzahl beschränkt. Es ist jedoch ohne Weiteres möglich, eine höhere Zyklenzahl nachzubilden, da der harte Durchbruch des Oxids, welcher das Degradationsverhalten der Speicherzelle im Experiment limitiert, nicht im Modell berücksichtigt wird. Dadurch könnte im Modell eine falsche Aussage über die maximale Anzahl der Zyklen getroffen werden. Die logische Konsequenz ist es, das Durchbruchverhalten des Oxids im Modell zu berücksichtigen.

Modellierung des Oxiddurchbruchs

Um das Durchbruchverhalten der Speicherzelle im Makromodell zu berücksichtigen, werden die maximale eingebaute und injizierte Ladungsmenge aus Messkennlinien der Daten-

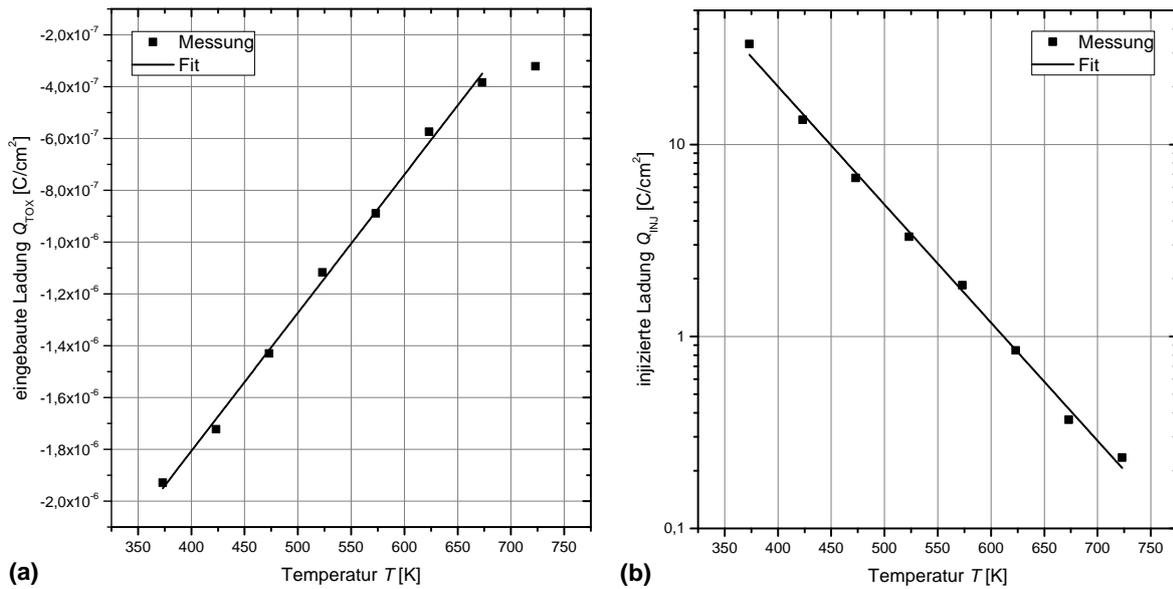


Abbildung 5.25: Maximale eingebaute (a) und injizierte (b) Ladungsmenge bis zum Oxiddurchbruch in Abhängigkeit der Temperatur

wechselstabilität extrahiert und in Abhängigkeit der Temperatur aufgetragen. Das Ergebnis ist in Abbildung 5.25 dargestellt. Aus den Ergebnissen geht das lineare Verhalten der maximalen eingebauten Ladungsmenge in Abhängigkeit der Temperatur deutlich hervor (vgl. Abb. 5.25 (a)). Einzig der Messwert bei 450 °C weicht von dem linearen Verlauf ab. Diese Abweichung ist darauf zurückzuführen, dass für steigende Temperaturen die eingebaute Ladungsmenge zurückgeht und gegen null konvergiert. Für eine akkurate Beschreibung der maximalen Zyklenzahl kann die Menge der eingebauten Ladung somit nur bis zu einer Temperatur von etwa 400 °C durch eine lineare Funktion angenähert werden und muss bei Berücksichtigung höherer Temperaturen durch eine komplexere Gleichung beschrieben werden.

Dagegen zeigt sich bei dem Verlauf der maximalen injizierten Ladung über den gesamten Untersuchungsbereich eine exponentielle Temperaturabhängigkeit, die in der logarithmischen Darstellung als eine Gerade zu erkennen ist (vgl. Abb. 5.25 (b)). Die Ladung sinkt mit steigender Temperatur von etwa 30 C/cm² auf etwa 0,2 C/cm², ohne einen Sättigungseffekt zu zeigen. Aufgrund der Beschreibung durch eine einfache Exponentialfunktion kann die maximale injizierte Ladungsmenge als Kriterium für den Oxiddurchbruch verwendet werden. Die Exponentialfunktion hat die folgende Form

$$Q_{\text{INJ,max}} = Q_{\text{INJ,0}} \exp\left(-\frac{T}{T_{\text{Q,0}}}\right). \quad (5.32)$$

	$Q_{\text{INJ,0}}$ [C/cm ²]	$T_{\text{Q,0}}$ [K]
Speicherzelle mit $\kappa_{\text{CG,In}} = 40$	5797	70,59

Tabelle 5.5: Ermittelte Werte für die Fit-Funktion (Gl. 5.32) aus Abbildung 5.25 (b)

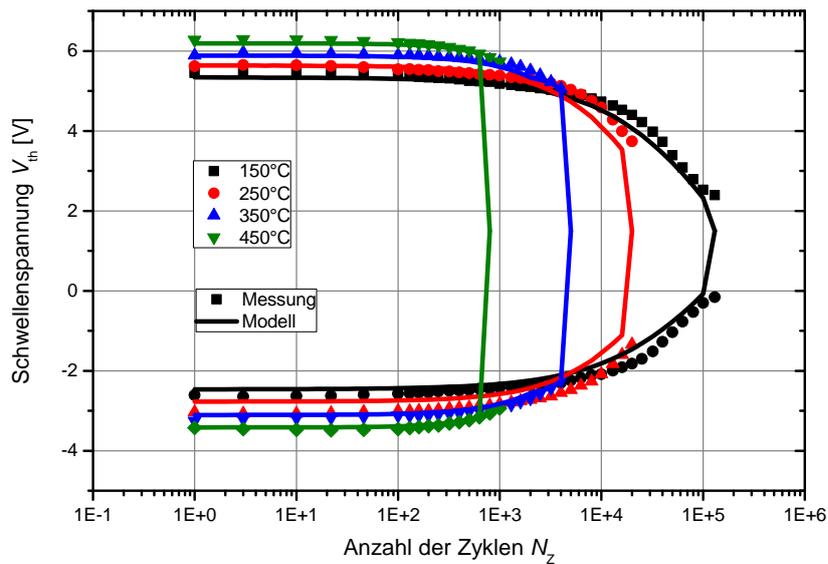


Abbildung 5.26: Modellierung der Datenwechselstabilität unter Berücksichtigung des Oxiddurchbruchs für verschiedene Temperaturen

Q_0 und $T_{Q,0}$ stellen die Koeffizienten der Exponentialfunktion dar, deren Werte in Tabelle 5.5 angegeben sind.

Das Durchbruchverhalten kann in dem Makromodell durch einen spannungsgesteuerten Schalter realisiert werden, der einen Widerstand mit zwei Zuständen, hochohmiger und niederohmiger Zustand, darstellt. Dabei wird als Referenzspannung der Knoten, an dem die injizierte Ladung (INJ , vgl. Kap. 5.2.3) berechnet wird, verwendet und über die analytische Funktion aus 5.32 der Schwellwert für den Schaltzustand bestimmt. Der Schalter ist an das Floating-Gate-Potential angeschlossen, so dass nach dem Schaltvorgang der Widerstand niederohmig wird und das Floating-Gate keine weitere Ladung speichern kann.

In Abbildung 5.26 sind die Simulationsergebnisse unter Berücksichtigung des Oxiddurchbruchs dargestellt. Nach dem Überschreiten der maximalen injizierten Ladung geht das Potential auf dem Floating-Gate auf null zurück, was in der Abbildung als rascher Abfall der Schwellen (auf den Wert der neutralen Schwelle) zu erkennen ist. Aus den Ergebnissen geht hervor, dass die Anzahl der Zyklen, bei der der Durchbruch erfolgt, über einen breiten Temperaturbereich mit den Ergebnissen aus dem Experiment gut übereinstimmt. Für 450 °C ist ein etwas verfrühter Durchbruch festzustellen, der jedoch bei der kleinen Gesamtzahl der Zyklen im Experiment schwankungsbedingt erhöht sein könnte. Ebenso ist eine gute Übereinstimmung bei niedrigen Temperaturen festzustellen, bei denen der Sättigungseffekt einsetzt. Trotz der guten Übereinstimmung tritt der Durchbruch in der Simulation bei allen Temperaturen etwas früher auf als im Experiment. Dieser Versatz kann jedoch durch Änderung des Parameters $Q_{INJ,0}$ angepasst werden.

5.4.3 Optimierung der Datenwechselstabilität

Eines der Ziele bei der Optimierung der Speicherzellenzuverlässigkeit ist die Steigerung der Anzahl der Programmierzyklen. Um die Zyklenzahl zu erhöhen, muss der Stress auf das Tunneloxid verringert werden. Im Kapitel 5.3.5 wurde festgestellt, dass eine Abnahme des Koppelverhältnisses bis auf $\kappa_{CG,In} = 10$ zu keiner signifikanten Verringerung des Programmierfensters führt. Die Fläche des Floating-Gates über dem Gebiet des Control-Gates wurde dabei konstant gehalten. Die Vergrößerung der Tunnelfläche (kleineres Koppelverhältnis) führt jedoch zu Verkleinerung der Feldstärke, welche über dem Tunneloxid aufgebaut wird. Durch die kleinere Feldstärke sinkt die Stromdichte, so dass das Oxid weniger belastet wird. Der Grund für das Erreichen des gleichen Programmierfensters im Vergleich zu kleineren Tunnelflächen ist auf den Gesamtstrom zurückzuführen, welcher sich bei einer größeren Fläche erhöht und damit die kleinere Stromdichte kompensiert. Somit kann durch die Verringerung des Koppelverhältnisses das Zuverlässigkeitsverhalten der Datenwechselstabilität deutlich verbessert werden.

In Abbildung 5.27 ist das Zuverlässigkeitsverhalten der Datenwechselstabilität bei verschiedenen Temperaturen für eine Zelle mit dem Koppelverhältnis $\kappa_{CG,In} = 10$ dargestellt. Das Verhalten der Speicherzelle für Temperaturen von 350 °C bis 450 °C weicht dabei deutlich von den restlichen Kennlinien ab. Zum einen ist das Programmierfenster der Zelle bei 400 °C nicht im erwarteten Bereich, sondern befindet sich in etwa auf dem Niveau einer Zelle, die bei 150 °C untersucht wurde. Zum anderen weicht die maximale Zyklenzahl der drei Speicherzellen deutlich von der der restlichen Zellen ab. Es wird davon ausgegangen, dass die Messungen im Ofen zu dieser deutlichen Abweichung geführt haben. So könnte es zu Kurzschlüssen bei der Verdrahtung im Testsockels gekommen sein. Die genau Ursache konnte jedoch nicht geklärt werden. Für die nachfolgende Betrachtung werden die Ergebnisse der

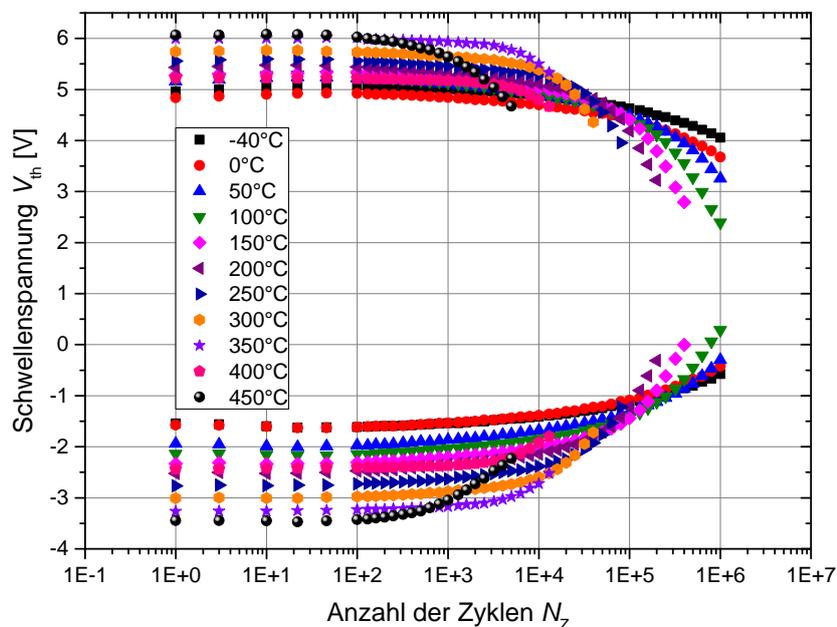


Abbildung 5.27: Verlauf der Schwellenspannungen in Abhängigkeit der Anzahl der Programmierzyklen einer Speicherzelle mit $\kappa_{CG,In} = 10$ für verschiedene Temperaturen

	-40 °C	50 °C	150 °C	250 °C
Zelle mit $\kappa_{CG,In} = 10$	>1 000 000	640 000	200 000	80 000
Zelle mit $\kappa_{CG,In} = 40$	520 000	140 000	45 000	20 000

Tabelle 5.6: Gerundete Werte für die Anzahl der Programmierzyklen bei verschiedenen Temperaturen unter Verwendung des Abnahmeschwelle von 40 %

Messungen im Ofen nicht berücksichtigt, um keine fehlerhaften Schlussfolgerungen zu ziehen.

Bei den Messungen im Temperaturbereich zwischen -40 °C und 300 °C zeigen die Kennlinien einen typischen Degradationsverlauf, wie dieser bereits bei der Speicherzelle mit dem höheren Koppelverhältnis festgestellt wurde. Zur Abschätzung des Degradationsverhaltens kann die im Kapitel 5.4.1 verwendete Abnahmeschwelle von 40 % verwendet werden. Die gerundeten Werte für die Zyklenzahl $N_Z^{40\%}$ sind in Tabelle 5.6 dargestellt. Die Anzahl der Zyklen ist im Vergleich zu der Speicherzelle mit dem höheren Koppelverhältnis deutlich gestiegen, so dass in etwa vier mal so viele Programmierzyklen bei den jeweiligen Temperaturen erreicht werden können. Der Anstieg der Zyklenzahl steht dabei in gleicher Relation wie die Koppelverhältnisse der beiden Zellen zueinander. Dieses Verhalten ist auf den linearen Zusammenhang zwischen der Tunnelstromdichte und der Injektor-Fläche zurückzuführen (vgl. Gl. 5.1), welche bei der Zelle mit $\kappa_{CG,In} = 10$ vier mal so groß ist. Eine weitere Steigerung der Datenwechselstabilität durch Erhöhung der Injektor-Fläche führt dagegen zur Verringerung des Programmierfensters und ist somit nicht erstrebenswert.

Weiterhin kann aus den Messungen der Datenwechselstabilität die Menge an injizierter und eingebauter Ladung bestimmt werden, die für die Anpassung des Stressverhaltens im Modell erforderlich ist. Die Ergebnisse sind in Abbildung 5.28 dargestellt, wobei die Symbole

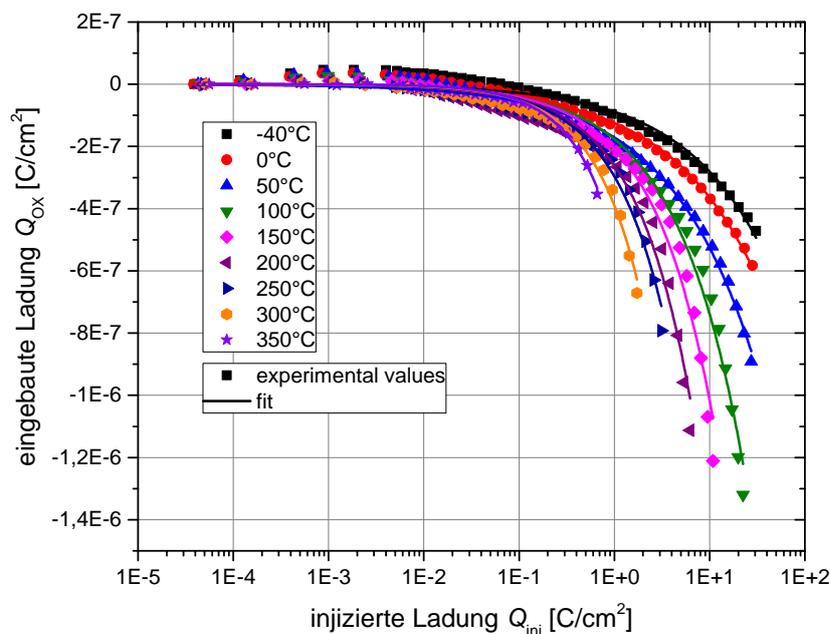


Abbildung 5.28: Verlauf der eingebauten Ladung in Abhängigkeit der injizierten Ladung

5 EEPROM-Speicher

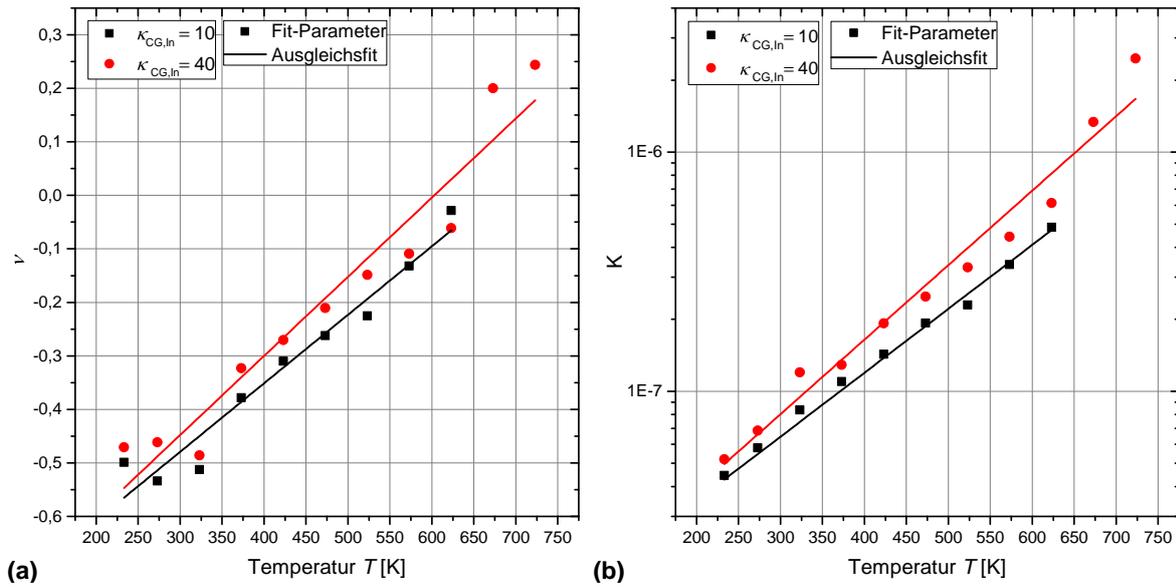


Abbildung 5.29: Parameter ν (a) und K (b) in Abhängigkeit der Temperatur als ermittelte Werte und Fit-Funktion für die Speicherzellen mit dem Koppelverhältnis 10 und 40

die aus der Messung bestimmten Werte und die durchgezogenen Linien die Fit-Funktion aus Gleichung 5.22 darstellen. Auch hier ist der Verlauf der eingebauten Ladung in Abhängigkeit der injizierten Ladung vergleichbar mit dem der Speicherzelle mit höherem Koppelverhältnis.

Aus den Ergebnissen der Fit-Parameter lassen sich Ausgleichsfunktionen bestimmen, die in den Gleichungen 5.30 und 5.31 definiert wurden. Das Ergebnis ist in Abbildung 5.29 dargestellt, wobei die Daten für die Speicherzelle mit $\kappa_{CG,In} = 40$ zum Vergleich in Rot abgebildet sind. Es wird deutlich, dass die Ausgleichsfunktionen über den breiten Temperaturbereich zwischen -40 °C und 300 °C in guter Übereinstimmung mit den berechneten Parametern sind (Standardabweichung für K unter 10 % und für ν unter 1 %). Die Parameter der Ausgleichsfunktionen sind in Tabelle 5.7 im Vergleich zu der Speicherzelle mit Koppelverhältnis 40 dargestellt.

	ν_0	ν_T [1/K]	K_0	$T_{K,0}$ [K]
Zelle mit $\kappa_{CG,In} = 10$	-0,856	$1,281 \times 10^{-3}$	$1,174 \times 10^{-8}$	169,9
Zelle mit $\kappa_{CG,In} = 40$	-0,958	$1,585 \times 10^{-3}$	$9,472 \times 10^{-9}$	140,5

Tabelle 5.7: Ermittelte Werte für die Fit-Funktionen aus Abbildung 5.29

Zusätzlich wurde die maximale injizierte Ladungsmenge bestimmt, die vor dem Oxiddurchbruch erreicht wird. Die Ergebnisse bei verschiedenen Temperaturen für die Speicherzelle mit $\kappa_{CG,In} = 10$ und im Vergleich dazu einer Zelle mit $\kappa_{CG,In} = 40$ sind in Abbildung 5.30 dargestellt. Am Verlauf der Kennlinien wird deutlich, dass die Abnahme der injizierten Ladung mit steigender Temperatur zwischen der Zelle mit dem Koppelverhältnis 10 und 40 vergleichbar ist. Es ist lediglich ein geringer Unterschied in der Steigung der beiden Geraden zu beobachten. Unter Berücksichtigung der Tatsache, dass es sich hierbei um Einzelmessun-

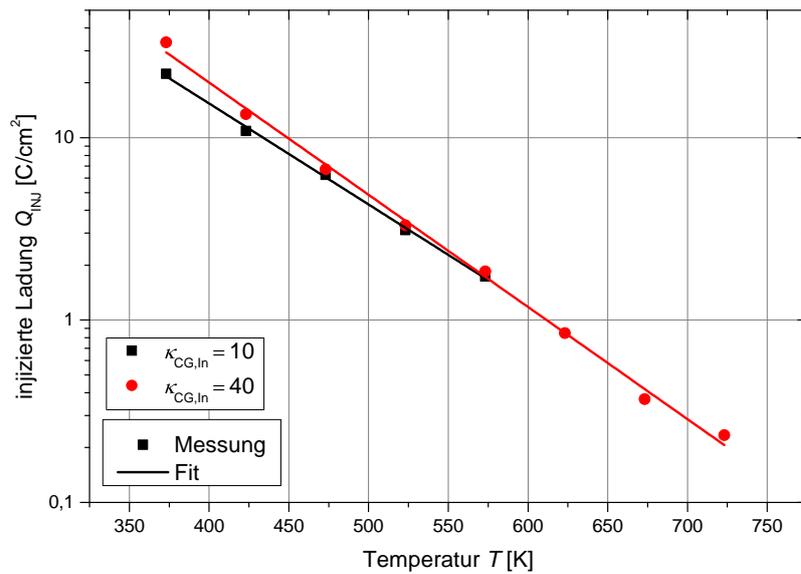


Abbildung 5.30: Maximale injizierte Ladung in Abhängigkeit der Temperatur als ermittelte Werte und Fit-Funktion für die Speicherzellen mit dem Koppelverhältnis 10 und 40

gen handelt, kann zunächst von einer Streuung ausgegangen werden, die das Einzeichnen einer Ausgleichsgeraden mit gleicher Steigung (im Vergleich zur Zelle mit $\kappa_{CG,In} = 40$) erlaubt. Daraus kann abgeleitet werden, dass der Oxiddurchbruch nicht nur an den Rändern des Polysiliziums, sondern über der gesamten Tunneloxidfläche auftreten kann (da die Ladung auf die Fläche normiert ist).

Die Parameter zur Beschreibung der Ausgleichsgeraden sind in Tabelle 5.8 dargestellt. Trotz des ähnlichen Verlaufs der Kennlinien, darf nicht vergessen werden, dass die Ladung bis zum Durchbruch in Abhängigkeit des elektrischen Feldes variiert. Dieser Zusammenhang wurde bereits in vielen Publikation in Form von QBD-Messungen untersucht [140–144]. Somit muss davon ausgegangen werden, dass bei Änderung des Koppelverhältnisses die Parameter zur Beschreibung des temperaturabhängigen Durchbruchs angepasst werden müssen.

	$Q_{INJ,0}$ [C/cm ²]	$T_{Q,0}$ [K]
Speicherzelle mit $\kappa_{CG,In} = 10$	2520	78,46
Speicherzelle mit $\kappa_{CG,In} = 40$	5797	70,59

Tabelle 5.8: Ermittelte Werte für die Fit-Funktion (Gl. 5.32) aus Abbildung 5.30

Aus den ermittelten Parametern kann der Verlauf des Degradationsverhaltens der Datenwechselstabilität in Abhängigkeit der Temperatur nun auch für die Speicherzelle mit $\kappa_{CG,In} = 10$ mithilfe des Makromodells nachgebildet werden. Die Simulationsergebnisse sind in Abbildung 5.31 dargestellt. Aus den Ergebnissen geht hervor, dass der Verlauf der simulierten Kurven für verschiedene Temperaturen leicht von den gemessenen Kurven abweicht. Das Programmierfenster der simulierten Werte ist um etwa 0,7 V geringer

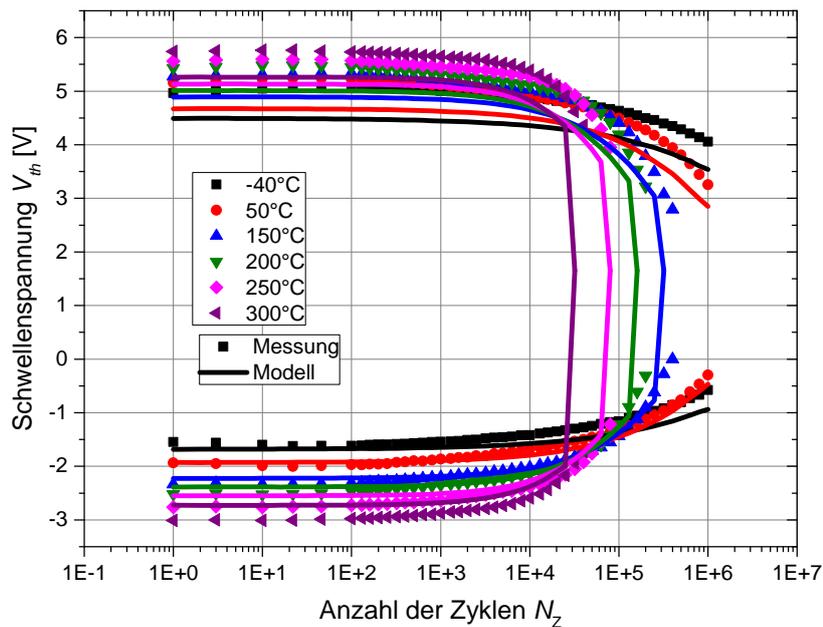


Abbildung 5.31: Modellierung der Datenwechselstabilität unter Berücksichtigung des Oxiddurchbruchs für verschiedene Temperaturen für die Speicherzelle mit $\kappa_{CG,In} = 10$

(abgelesen bei $N_z = 10$). Diese Abweichung wurde bereits bei den Untersuchungen zur Programmierbarkeit der Zelle in Kapitel 5.3.5 festgestellt (vgl. Abb. 5.19). Das etwas kleinere Programmierfenster hat einen Einfluss auf die injizierte und eingebaute Ladung, die sich wiederum im Kurvenverlauf widerspiegelt. Dennoch ist die Abweichung relativ gering, so dass die Degradation der Schwellen bei der Simulation sich ähnlich zum Experiment verhält. Weiterhin wird der Ausfall der Speicherzelle im Makromodell bei einer etwas kleineren Anzahl der Zyklen detektiert, wobei die Abweichung in der logarithmischen Darstellung auch hier relativ klein ist.

5.4.4 Fazit zur Datenwechselstabilität

In diesem Kapitel wurden Untersuchungen zur Datenwechselstabilität der H035-Speicherzelle in einem breiten Temperaturbereich vorgestellt. Dabei konnte die Zyklenfestigkeit durch Anpassung der Injektor-Fläche um etwa das Vierfache gesteigert werden, ohne die Gesamtfläche der Zelle zu vergrößern (vgl. Tab. 5.6). So werden z. B. bei 250 °C für die optimierte Speicherzelle etwa 80 000 Zyklen erreicht, bis das Programmierfenster sich um 40 % verringert.

Weiterhin wurde das Makromodell so erweitert, dass das Verhalten der Datenwechselstabilität in einem breiten Temperaturbereich nachgebildet werden kann. Das Verhalten der Datenwechselstabilität basierend auf der Gleichung 5.22 konnte mithilfe von temperaturabhängigen Parametern ν (Gl. 5.30) und K (Gl. 5.31) für verschiedene Temperaturen korrekt wiedergegeben werden. Die Parameter sind dabei linear bzw. exponentiell von der Temperatur abhängig, wie aus Abbildung 5.29 hervorgeht. Weiterhin konnte mithilfe der Gleichung 5.32 der Oxiddurchbruch bei verschiedenen Temperaturen berechnet werden, welcher gut mit experimentellen Ergebnissen übereinstimmt (vgl. Abb. 5.26).

5.5 Datenerhalt

Der Erhalt der Ladung bei einer bestimmten Temperatur über eine Zeitdauer wird als Datenerhalt bezeichnet und stellt das zweite zentrale Kriterium zur Beschreibung der Zuverlässigkeit einer Speicherzelle dar. Das Bestreben ist es, den einprogrammierten Zustand der Zelle über eine möglichst lange Zeit zu erhalten. Wie im Kapitel 5.1.4 beschrieben, wird die Zelle in den Programmier- oder Löschzustand versetzt und einer erhöhten Temperatur ausgesetzt. In bestimmten Zeitabständen wird die Schwellenspannung ausgelesen und somit der Ladungsverlust bestimmt.

Im folgenden Kapitel werden zunächst die Messergebnisse der Speicherzelle in der H035-Technologie vorgestellt und die Temperaturabhängigkeit anhand der Aktivierungsenergie charakterisiert. Nachfolgend werden Methoden diskutiert, die zur Optimierung der Zelle in Bezug auf die Steigerung des Datenerhalts durch Vermeidung des Einflusses von mobilen Ionen führen sollen. Darauf aufbauend werden die Messergebnisse präsentiert und die Prozesse des Ladungsverlustes anhand derer erläutert. Schließlich wird das Makromodell um das Verhalten des Datenerhalts ergänzt, so dass eine Beschreibung dessen mithilfe analytischer Gleichungen in einem breiten Temperaturbereich möglich ist.

5.5.1 Datenerhalt der Standard-Zelle

Der schematische Aufbau der in der H035-Technologie verwendeten Speicherzelle wurde in Kapitel 5.1.5 erläutert und stellt die Standard-Zelle dar. In Abbildung 5.32 ist das Verhalten des Datenerhalts der Standard-Zelle für Temperaturen im Bereich von 250 °C bis 450 °C dargestellt. Aus den Messergebnissen geht das Degradationsverhalten in Abhängigkeit der

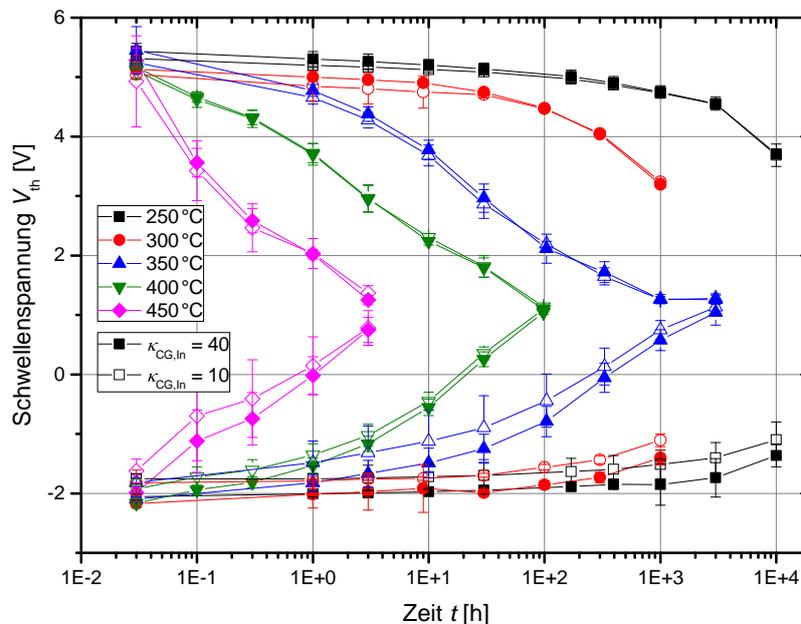


Abbildung 5.32: Verlauf der Schwellenspannungen bei Messung des Datenerhalts der Standard-Zelle ($\kappa_{CG,In} = 40$, $\kappa_{CG,In} = 40$)

Zeit deutlich hervor. Dabei nimmt der Ladungsverlust mit steigender Temperatur stark zu. Ebenso geht aus dem Verlauf der Kennlinien hervor, dass kein signifikanter Unterschied zwischen den Koppelverhältnissen von 40 und 10 besteht. Das Programmierfenster ist zwar bei der Zelle mit $\kappa_{CG,In} = 10$ etwas kleiner, zeigt jedoch das gleiche Degradationsverhalten wie bei der mit $\kappa_{CG,In} = 40$. Aus diesem Grund erfolgt die nachfolgende Auswertung exemplarisch an der Speicherzelle mit $\kappa_{CG,In} = 40$.

Zur Vergleich des Degradationsverhaltens bei verschiedenen Temperaturen kann das Kriterium der Abnahmeschwelle von 40 % des Anfangsprogrammierfensters verwendet werden. Bei der Betrachtung des Datenerhalts wird hier die Ausfallzeit $t_F^{40\%}$ bei Unterschreitung der Abnahmeschwelle definiert. Daraus ergibt sich eine Ausfallzeit von mehr als 10 000 h (Stunden) bei 250 °C. Für dieser Temperatur ist zunächst eine geringe Abnahme des Programmierfensters zu beobachten, bevor ab etwa 3000 h die Degradation für beide Schwellen zunimmt. Für 300 °C ist der Verlauf vergleichbar mit dem bei niedrigerer Temperatur außer, dass die Degradation schneller voranschreitet und die Schwelle nach etwa 1210 h unterschritten ist. Bei weiterer Steigerung der Temperatur nimmt die Ausfallzeit immer weiter ab. So beträgt diese bei 350 °C etwa 30 h, wogegen bei 400 °C bzw. 450 °C der Ladungsverlust so stark ist, dass das Kriterium nach etwa 1 h bzw. 6 min erreicht ist.

Das Verhalten der Speicherzelle zeigt bei allen Temperaturen eine unsymmetrische Abnahme der Schwellenspannung für die beiden Schwellen. Die obere Schwelle zeigt eine deutlich höhere zeitliche Abnahme. Bei 350 °C ist weiterhin zu erkennen, dass die obere Schwelle im Vergleich zur unteren die neutrale Schwelle früher erreicht. Dabei muss jedoch beachtet werden, dass die Programmierung der Speicherzelle ebenso unsymmetrisch erfolgt (Abfall von V_{th} am Select-Transistor), so dass die obere Schwelle betragsmäßig höher liegt als die untere. Den Bezugspunkt bildet dabei die neutrale Schwelle.

Anhand der Messergebnisse lassen sich Arrhenius-Plots anfertigen, die in Abbildung 5.33 dargestellt sind. Um den zeitlichen Degradationsvorgang besser deutlich zu machen, werden hier neben der Abnahmeschwelle von 40 % zwei weitere Schwellen, bei 10 % und 20 %, dargestellt.

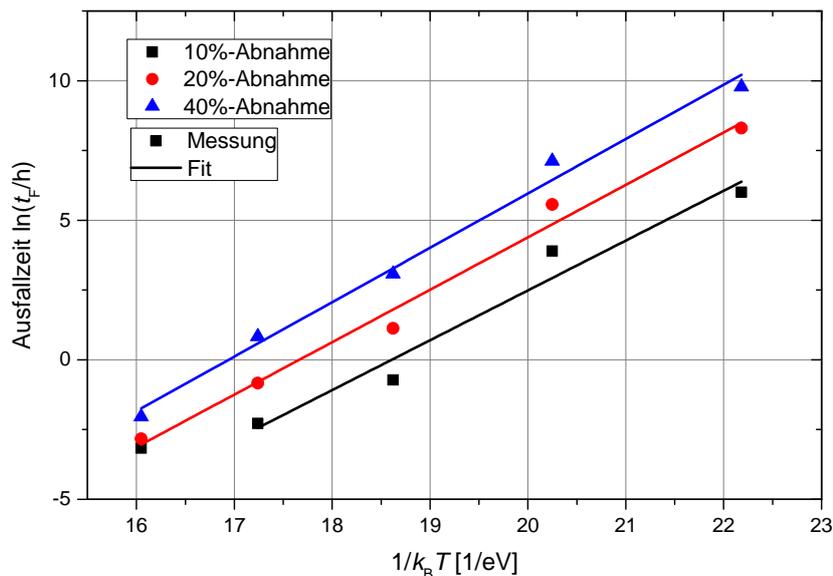


Abbildung 5.33: Arrhenius-Graphen für unterschiedliche Abnahmeschwellen

betrachtet. Aus den Messergebnissen geht hervor, dass in dem Temperaturbereich zwischen 250 °C und 450 °C eine Abhängigkeit nach dem Arrhenius-Gesetz vorliegt. Der Ladungsverlust kann somit durch das $1/T$ -Modell beschrieben werden.

Die extrahierten Messpunkte lassen sich durch eine Ausgleichsgerade anpassen. Für die 10 %-ige Abnahme wurde der Wert bei 450 °C nicht berücksichtigt, da hier angenommen wird, dass der Ablesefehler für solch kleine Zeiten zu groß ist. Dadurch liegen die Punkte bei der höchsten Temperatur für die 10 %- und 20 %-ige Abnahme zu nah beieinander. Aus den Fit-Geraden geht hervor, dass die Aktivierungsenergie für alle drei Abnahmeschwellen in etwa gleich ist. Dadurch kann gefolgert werden, dass sich der Degradationsprozess im zeitlichen Verlauf nicht ändert, so dass zu jedem Zeitpunkt vom gleichen Degradationsprozess ausgegangen werden kann (wie sich im nächsten Kapitel zeigen wird, können sich die Prozesse zeitlich auch ändern). Die Aktivierungsenergie kann zu $E_A = 1,88$ eV bestimmt werden. In der Literatur wird dagegen für den intrinsischen Ladungsverlust ein kleinerer Wert von 1,4 angegeben [25, 125] und lässt vermuten, dass noch andere Mechanismen den Datenerhalt beeinflussen. Mögliche Prozesse, die zu einem Ladungsverlust führen, sollen im nächsten Kapitel thematisiert werden.

5.5.2 Optimierung des Datenerhalts

Die Ergebnisse des letzten Kapitels machen deutlich, dass die Standard-Zelle für den Betrieb bei 250 °C geeignet ist, da die beiden Schwellen auch nach 10 000 h klar voneinander unterscheidbar sind. Dagegen führt eine Erhöhung der Temperatur zu einer erheblichen Steigerung des Degradationvorgangs, so dass der Betrieb bei z. B. 300 °C auf etwa 1000 h limitiert ist. Somit ist eine weitere Steigerung der Temperatur nicht möglich, da die Degradation bei solch hohen Temperaturen zu schnell voranschreitet. Um eine Verbesserung des Datenerhalt-Verhaltens zu realisieren, muss der Ladungsverlust verringert werden.

Einfluss des Datenerhalts durch mobile Ionen

Einer der Effekte, welcher den Ladungsverlust beeinflusst, ist die Drift von mobilen Ionen. Dieser Effekt wurde bereits in vielen Veröffentlichungen als limitierender Faktor des Datenerhalts diskutiert [133, 145–147]. Als Ladungsart wurden sowohl Wasser bezogene Ionen, die bei der Prozessierung meist unvermeidlich sind, als auch Natrium- oder Kalium-Atome in Betracht gezogen [133, 148, 149]. Dabei werden die Ionen durch eine genügend hohe Temperatur aktiviert, so dass diese vom geladenen Floating-Gate angezogen werden und in dessen Richtung driften. Befinden sich die Ionen in unmittelbarer Nähe zum Floating-Gate, so schirmen sie dieses elektrisch ab. Dadurch sinkt die effektive Ladung des Floating-Gates, so dass eine verringerte Schwellenspannung detektiert wird. Im Gegensatz zu anderen Ladungsverlusteffekten, die eine intrinsische Limitierung des maximalen Datenerhalts aufweisen (z. B. FN-Tunneln), ist eine Reduzierung des Einflusses der mobilen Ionen möglich und soll auf Grund dessen im Folgenden thematisiert werden.

In der H035-Technologie wird als Oxidschicht vor der ersten Metallebene, die auch als Pre-Metal Dielectric (PMD) bezeichnet wird, Borphosphorsilikatglas (BPSG) verwendet. Dadurch wird die Schmelztemperatur im Vergleich zu undotierten Silikatgläsern (USG) deut-

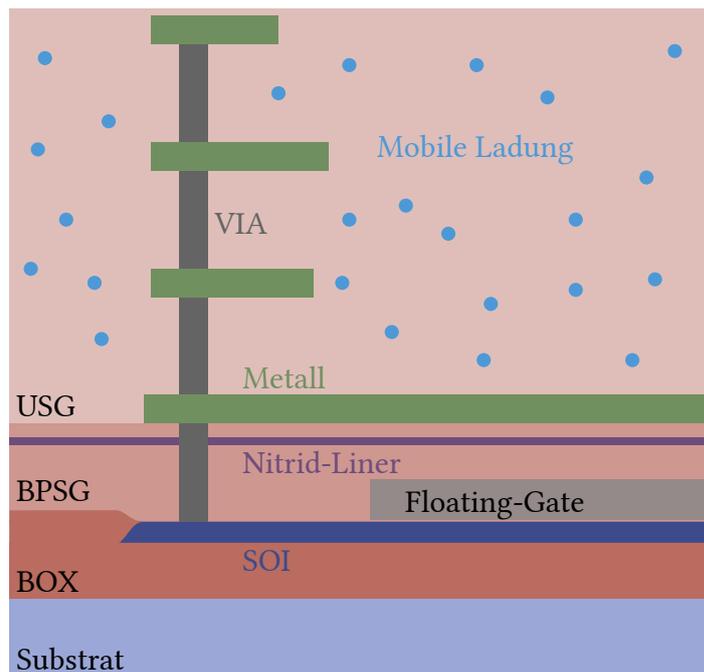


Abbildung 5.34: Schematische vereinfachte Darstellung des Schichtstapels in der H035-Technologie

lich reduziert, so dass durch den Reflow-Vorgang⁷ die Dotierstoffverteilung nicht beeinträchtigt wird. Neben der Verminderung des Schmelzpunktes dienen die Phosphor-Atome ebenso als Getter-Zentren und können als solche die verschiedenen geladenen Teilchen festhalten. Dass durch eine bestimmte Phosphor-Konzentration der Ladungserhalt gesteigert werden kann, wurde bereits in [130] gezeigt. Dagegen werden die nachfolgenden Oxidebenen, die auch als Inter-Metal Dielectric (IMD) bezeichnet werden, als USG-Schichten abgetrennt und können keine Fremdatome binden. In Abbildung 5.34 ist ein schematischer Querschnitt der verschiedenen Schichten dargestellt. Oberhalb der BPSG-Schicht befindet sich der USG-Schichtstapel, in dem mobile Ionen eingebaut sein können. Zwar kann die BPSG-Schicht einen Teil der Ladung binden, jedoch ist davon auszugehen, dass nicht alle Teilchen in dieser Schicht gegetert werden können. Um den Ladungsfluss zu verhindern, muss eine Art Barriere eingebaut werden.

In dieser Arbeit wurde der Einfluss von zwei Barriere-Typen auf den Ladungserhalt untersucht. Eine Methode zur Blockierung von mobilen Ionen stellt die Verwendung einer dünnen Nitridschicht (Si_3N_4) dar, die bei der Prozessierung in den BPSG-Stapel eingebaut wird (vgl. Abb. 5.34). Diese Schicht wird auch als Nitrid-Liner (NL) bezeichnet. Der Einfluss einer zusätzlichen Nitridschicht auf das Verhalten des Datenerhalts wurde bereits in früheren Veröffentlichungen untersucht und es konnte gezeigt werden, dass der Ladungsverlust durch diese Methode verringert wird [150]. Der Vorteil des Liners ist die großflächige Abscheidung über den gesamten Wafer, so dass die geladenen Teilchen komplett von den Speicherzellen abgeschirmt sind. Eine andere Möglichkeit die Ladungsdrift zu verhindern, wird dadurch realisiert, dass oberhalb der Speicherzelle eine Metallabdeckung (MA) gebildet wird (vgl. Abb. 5.34). Dadurch ist der direkte Weg der Ladungen von oben aus dem

⁷Als Reflow wird das Aufschmelzen des Oxids bezeichnet, um eine Planarisierung der Oberfläche zu erreichen.

USG-Stapel nach unten zur Speicherzelle hin nicht möglich. Die Metallabdeckung bietet den Vorteil, dass der Prozessablauf nicht geändert werden muss, da die erste Metallebene als Barriere dienen kann.

Experimenteller Nachweis mobiler Ionen

Zum Nachweis von mobilen Ionen im Oxid existieren verschiedene Messmethoden. Mithilfe der TVS-Methode (Triangular Voltage Sweep) kann nachgewiesen werden, ob mobile Ionen vorhanden sind und um welche Art der Ladung es sich dabei handelt (z. B. H^+ , Li^+ , Na^+ , K^+). Die Methode wurde zunächst von Yamin vorgestellt [151] und später von Przewlocki und Marciniak ausführlich beschrieben [134].

Zur Detektion von mobilen Ionen wird die zu untersuchende Struktur zunächst auf eine Temperatur von etwa 200 °C bis 300 °C gebracht. Anschließend erfolgt eine quasistatische CV-Messung, bei der eine konstante Spannungsrampe δV von negativer zu positiver Spannung gefahren wird. Es ist darauf zu achten, dass die Spannungsrampe nicht zu schnell durchgefahren wird (hier im Experiment $\delta V = 0,05\text{ V/s}$), um die Mobilität der Ionen zu berücksichtigen. Nach einer Ruhezeit von etwa 60 s erfolgt die CV-Messung mit einer Rampe von positiver zur negativer Spannung.

Um die mobilen Ionen im USG-Schichtstapel zu detektieren, wird eine Kammstruktur aus Wolfram in der zweiten Metallebene verwendet, die über die vertikalen Wände einen Kondensator bildet. In Abbildung 5.35 (a) ist eine schematische Darstellung eines Ausschnittes der Kammstruktur zu sehen. Die aus 200×200 Einzelteilen (gestricheltes Rechteck) zusammengesetzte Kammstruktur besitzt eine effektive Kapazitätsfläche von $a_C \approx 204\,000\ \mu\text{m}^2$ (Dicke der zweiten Metallschicht $d_{M2} \approx 0,7\ \mu\text{m}$). Der Abstand zwischen den Metallbahnen beträgt $0,48\ \mu\text{m}$.

Die experimentellen Ergebnisse der TVS-Messung sind in Abbildung 5.35 (b) dargestellt.

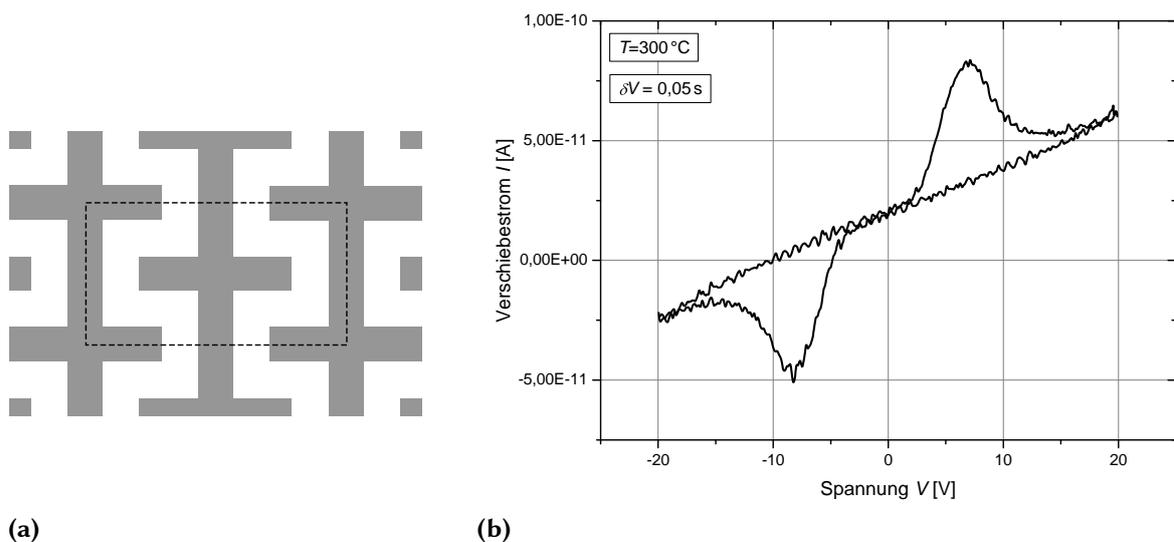


Abbildung 5.35: (a) Ausschnitt der Kammstruktur als schematische Darstellung; (b) Kennlinienverlauf der TVS-Messungen bei 300 °C

Aufgrund der hohen Temperatur wird bei der Messung ein Leckstrom detektiert, der proportional zur anliegenden Spannung steigt. Über der Basislinie des Leckstroms sind in der Abbildung deutlich zwei Buckel sichtbar, die durch die Verschiebung mobiler Ionen entstehen. Üblicherweise verlaufen die Buckel um den Nullpunkt, was jedoch in diesem Fall nicht zutrifft. Die Verschiebung kann dadurch erklärt werden, dass die Oxidqualität des USG-Schichtstapels im Vergleich zum thermischen Oxid schlechter ist, so dass viele Defektstellen im Oxid und an der Grenzschicht zwischen Oxid und Metall vorliegen, wodurch die Buckel erst bei höheren Feldern auftreten [152]. Es kann somit zwar festgestellt werden, dass sich mobile Ionen im Oxid befinden, jedoch lässt sich aufgrund der zusätzlichen Spannungsverschiebung nicht eindeutig klären, um welche Art der Ionen es sich dabei handelt.

Experimentelle Ergebnisse zur Steigerung des Datenerhalts

Der Vergleich des Datenerhalts einer Speicherzelle mit Metallabdeckung (MA), Nitrid-Liner (NL) und ohne Barriere (oB) soll aus Übersichtsgründen bei einer bestimmten Temperatur erfolgen. Die Messungen des Datenerhalts der drei Speicherzellen bei $T = 350\text{ °C}$ ist in Abbildung 5.36 dargestellt. Aus den Ergebnissen geht hervor, dass eine deutliche Verbesserung des Datenerhalts durch die Prozessierung einer Barriere erzielt werden konnte. Zwar ist für die untere Schwelle nur eine relativ geringe Änderung zu beobachten, jedoch kann eine signifikante Reduzierung der Degradation bei der oberen Schwelle festgestellt werden. Dieses Verhalten ist darauf zurückzuführen, dass im gelöschten Zustand der Zelle das Floating-Gate negativ aufgeladen ist, so dass dieses die positiv geladenen mobilen Ionen anzieht. Dabei können diese bei der Zelle ohne Barriere ungehindert an das Floating-Gate andocken, wogegen die Metallabdeckung bzw. der Nitrid-Liner die Ionendrift verzögert. Wird das Ausfallkriterium von 40 % angewandt, so ergibt sich für die Speicherzelle mit Metallabdeckung $t_{F,MA}^{40\%} \approx 225\text{ h}$ und für die mit Nitrid-Liner $t_{F,NL}^{40\%} \approx 340\text{ h}$ (im Vergleich zu der

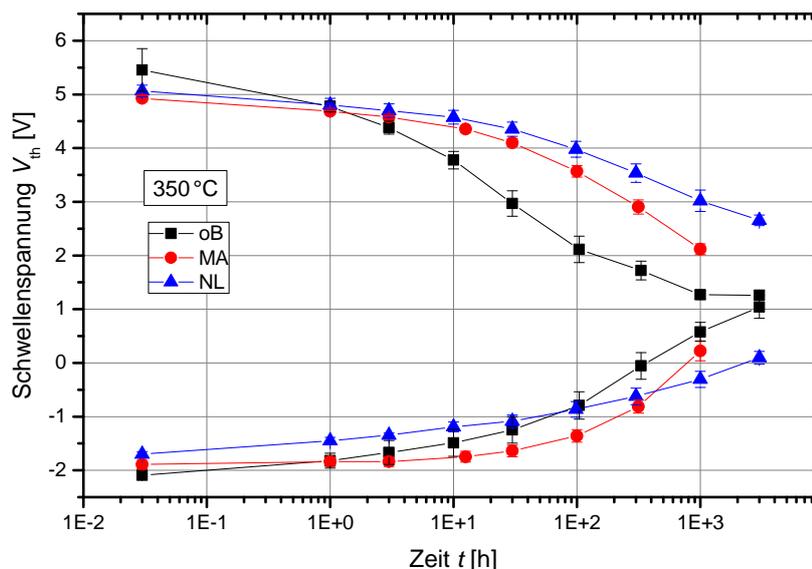


Abbildung 5.36: Verlauf der Schwellenspannungen bei Messung des Datenerhalts der Zelle ohne Barriere (oB), mit Metallabdeckung (MA) und mit Nitrid-Liner (NL) bei 350 °C

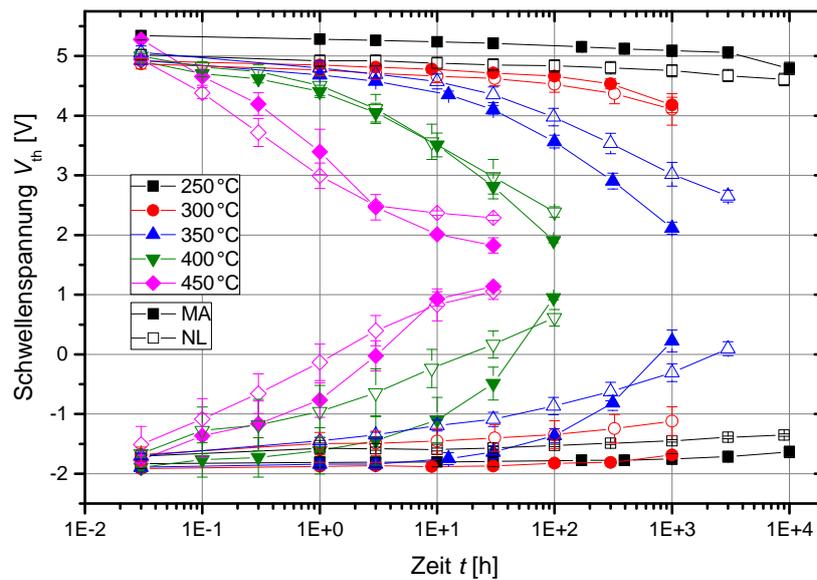


Abbildung 5.37: Verlauf der Schwellenspannungen bei Messung des Datenerhalts der Standard-Zelle mit Metallabdeckung (MA) bzw. Nitrid-Liner (NL)

Zelle ohne Barriere mit $t_{F,oB}^{40\%} \approx 30$ h). Dadurch kann eine Steigerung des Datenerhalts um etwa das Zehnfache erzielt werden.

Für andere Temperaturen ergibt sich ein ähnliches Verhalten. Dazu ist in Abbildung 5.37 der Verlauf der Messungen zum Datenerhalt für die Speicherzellen mit MA bzw. NL bei verschiedenen Temperaturen dargestellt. Aus den Kennlinien lassen sich die jeweiligen Ausfallzeiten für die Abnahmeschwelle von 40 % ermitteln und diese mit denen der Zelle ohne Barriere vergleichen. Die Ergebnisse sind in Tabelle 5.9 zusammengefasst. Für 250 °C kann für jede der drei Zellen eine Ausfallzeit von mehr als 10 000 h festgestellt werden. Bei einer Temperatur von 300 °C werden für alle drei Zelltypen Ausfallzeiten von mehr als 1000 h bestimmt, jedoch lässt der Verlauf der Kennlinien vermuten, dass die abgedeckten Zellen im Vergleich zur Zelle ohne Barriere eine deutlich höhere Ausfallzeit aufweisen. Auch bei sehr hohen Temperaturen (400 °C bzw. 450 °C) steigen die Ausfallzeiten deutlich an. Zwar degradieren auch die abgedeckten Zellen in einer relativ kurzen Zeit, jedoch kann auch hier eine Steigerung der Ausfallzeit gegenüber der Speicherzelle ohne Barriere um ein Vielfaches festgestellt werden.

Anhand der Abbildung 5.37 wird weiterhin deutlich, dass es zwischen der Speicherzelle mit Metallabdeckung und Nitrid-Liner Unterschiede gibt, die im Folgenden diskutiert werden

	250 °C	300 °C	350 °C	400 °C	450 °C
Zelle ohne Barriere	>10 000 h	>1000 h	30 h	1 h	6 min
Zelle mit MA	> 10 000 h	> 1000 h	225 h	15 h	50 min
Zelle mit NL	> 10 000 h	> 1000 h	340 h	8 h	30 min

Tabelle 5.9: Gerundete Werte für die Ausfallzeit (Abnahmeschwelle von 40 %) für verschiedene Zelltypen und Temperaturen

sollen. Aus dem Verlauf der Kennlinien geht hervor, dass die oberen Schwellen bei 400 °C und 450 °C ein ähnliches Degradationsverhalten zeigen. Für niedrige Temperaturen (250 °C und 300 °C) geht der Verlauf der oberen Schwelle nicht klar hervor, da die Degradation bei diesen Temperaturen noch nicht genügend fortgeschritten ist. Für 350 °C liegt dagegen ein niedrigeres Degradationsverhalten der NL-Zelle gegenüber der MA-Zelle vor. Dieses könnte damit begründet werden, dass bei Zellen mit einer Metallabdeckung die mobilen Ionen seitlich an dieser vorbeifließen und zeitlich verzögert am Floating-Gate andocken könnten. Dagegen besitzen die mobilen Ionen aufgrund der flächigen Abscheidung von Nitrid keine Möglichkeit diese Barriere zu umgehen, so dass das Floating-Gate nachhaltig abgeschirmt werden kann. Es ist jedoch nicht auszuschließen, dass sich die Fähigkeit der Nitridschicht die mobilen Ionen davon abzuhalten in Richtung des Floating-Gates zu driften in Abhängigkeit der Temperatur ändern könnte. So könnte der ähnliche Verlauf der oberen Schwelle bei 400 °C und 450 °C darauf zurückgeführt werden, dass die Nitridschicht bei diesen Temperaturen leitfähig wird und dadurch gegenüber der Zelle mit Metallabdeckung eine kleinere Ausfallzeit aufweist.

Weiterhin kann ebenfalls für die untere Schwelle ein unterschiedliches Degradationsverhalten zwischen MA und NL festgestellt werden. Dabei ist für kleine Zeiten eine größere Degradation bei der NL-Zelle zu beobachten, wogegen für höhere Zeiten sich die Degradation der MA-Zelle deutlich beschleunigt und schließlich (bei einigen Temperaturen) gegenüber der Zelle mit Nitrid-Liner ein kleinere Schwellenspannung aufweist. Die genauen Ursachen für das unterschiedliche Verhalten der Zellen konnte nicht eindeutig geklärt werden. Es wird vermutet, dass mehrere Prozesse zur Degradation der Speicherzelle beitragen. Eine mögliche Ursache könnte in der Prozessierung der Nitridschicht liegen, die mithilfe eines Plasma-Prozessschrittes hergestellt wird. Dadurch könnte sich die Ladung auf dem Floating-Gate im neutralen Zustand der Speicherzelle ändern. Ebenso wird vermutet, dass die elektrisch nicht kontaktierte Metallabdeckung negativ aufgeladen werden könnte und

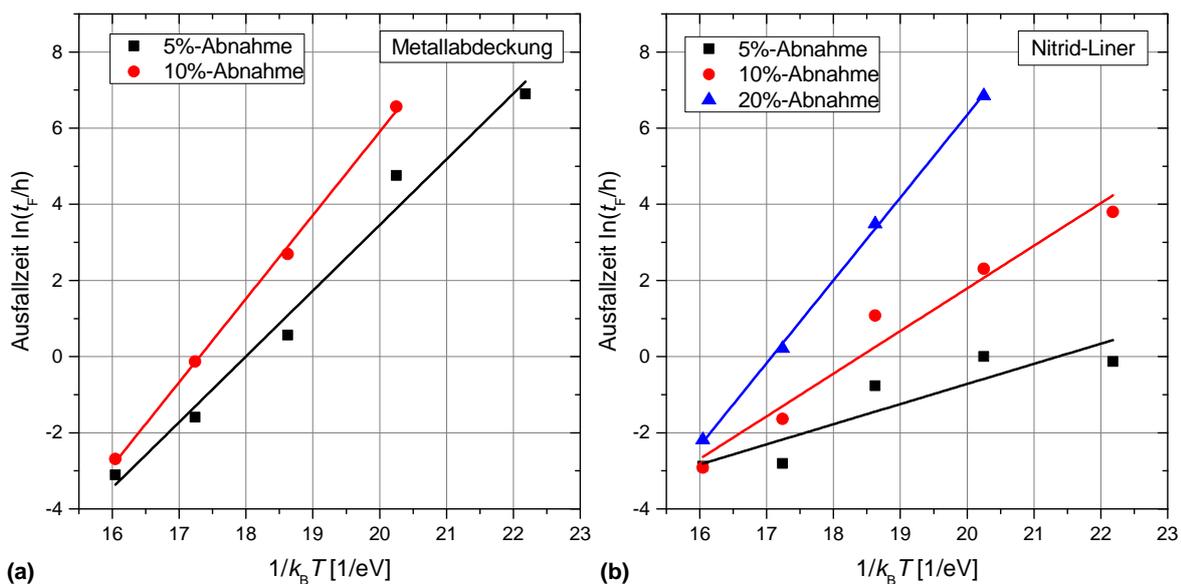


Abbildung 5.38: Arrhenius-Graphen für unterschiedliche Abnahmeschwellen einer Speicherzelle mit (a) Metallabdeckung und (b) Nitrid-Liner

die positiven Ladungen auf dem Floating-Gate anziehen könnte. Dieses Problem könnte durch einen elektrischen Anschluss der Metallabdeckung gelöst werden.

Anhand des Kennlinienverlaufs für den Datenerhalt bei verschiedenen Temperaturen lassen sich die Arrhenius-Plots und damit die Aktivierungsenergien bestimmen. Die Graphen sind in Abbildung 5.38 für die Speicherzellen mit Metallabdeckung (a) und Nitrid-Liner (b) dargestellt. Dabei wurden die Abnahmeschwellen von 5 %, 10 % und 20 % des Anfangsprogrammierfensters angewandt, um auch die Degradation bei niedrigen Temperaturen (250 °C und 300 °C) zu berücksichtigen. Zunächst geht aus dem Verlauf hervor, dass sich die Ausfallzeit in Abhängigkeit der Temperatur für verschiedene Abnahmeschwellen nicht ändert, so dass die Aktivierungsenergie konstant bleibt. Dieses Verhalten wurde bereits für die Speicherzelle ohne Barriere festgestellt (vgl. Kap. 5.5.1). Bei der Charakterisierung der H10-Speicherzelle wurde dagegen festgestellt, dass sich die Aktivierungsenergie verändern kann, so dass diese für 250 °C und 300 °C verschieden ist [153]. Dieses Ergebnis konnte jedoch bei der Charakterisierung von H035-Speicherzellen nicht bestätigt werden.

Weiterhin wird bei der Betrachtung der Aktivierungsenergie für die verschiedenen Abnahmeschwellen deutlich, dass sich diese voneinander unterscheiden. Dabei ist die Änderung für die MA-Zelle relativ gering ($E_A(t_F^{5\%}) = 1,7 \text{ eV}$ und $E_A(t_F^{10\%}) = 2,2 \text{ eV}$) und könnte mit einer erhöhten Messunsicherheit bei hohen Temperaturen begründet werden. Dagegen ist die Änderung der Steigung bei der NL-Zelle deutlich ausgeprägt. Mit zunehmender Abnahmeschwelle erhöht sich auch die Aktivierungsenergie ($E_A(t_F^{5\%}) = 0,5 \text{ eV}$, $E_A(t_F^{10\%}) = 1,1 \text{ eV}$ und $E_A(t_F^{20\%}) = 2,2 \text{ eV}$). Dieses Verhalten verdeutlicht den komplexen und zeitlich veränderlichen Vorgang der Abdeckung mit einer Nitridschicht. Eine genaue Erklärung der physikalischen Vorgänge konnte jedoch nicht gegeben werden.

Zum besseren Vergleich der Aktivierungsenergien zwischen den verschiedenen Zelltypen, sind in Abbildung 5.39 die Arrhenius-Plots für die Ausfallzeit $t_F^{10\%}$ dargestellt. Zusätzlich sind in der Tabelle 5.10 die Aktivierungsenergien für die Zellen ohne Barriere, mit Metall-

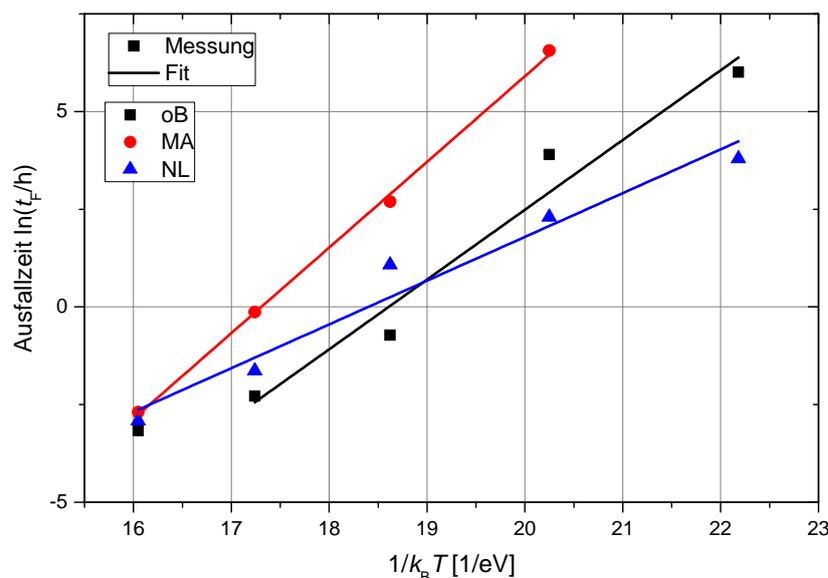


Abbildung 5.39: Vergleich der Aktivierungsenergien bei $t_F^{10\%}$ für verschiedene Zelltypen: ohne Barriere (oB), mit Metallabdeckung (MA) und mit Nitrid-Liner (NL)

	E_A [eV]	t_0 [h]
Zelle ohne Barriere	1,88	$3,71 \times 10^{-15}$
Zelle mit Metallabdeckung	2,19	$3,33 \times 10^{-17}$
Zelle mit Nitrid-Liner	1,10	$1,51 \times 10^{-9}$

Tabelle 5.10: Aktivierungsenergie und Zeitkonstante bei einer Abnahmeschwelle von 10 %

abdeckung und mit Nitrid-Liner für eine Abnahmeschwelle von 10 % dargestellt. Die Steigungen der Speicherzellen ohne Abdeckung und mit Metallabdeckung sind nahezu parallel und weisen auf ein ähnliches Degradationsverhalten hin. Die Degradation setzt dabei für die MA-Zelle deutlich später ein, was an der Größe t_0 abgelesen werden kann. Im Vergleich dazu deutet die Steigung der NL-Zelle auf ein temperaturabhängiges Verhalten hin, welches sich von den anderen Zellen deutlich unterscheidet. Der signifikant höhere Wert der Zeitkonstante t_0 weist ebenfalls darauf hin, dass bei der NL-Zelle andere Mechanismen bei der Degradation eine Rolle spielen.

5.5.3 Modellierung des Datenerhalts

Zur Modellierung des Datenerhalt-Verhaltens wurde die Speicherzelle mit Nitrid-Liner ausgewählt, da diese im Vergleich zu der Zelle mit Metallabdeckung für längere Zeiten einen besseren Datenerhalt zeigt. Um das Verhalten bei der Modellierung zu beschreiben, wurde zunächst eine Funktion ausgewählt, die den zeitlichen Verlauf der Schwellenspannungen beschreibt. Die Potenzgleichung wurde bereits in Gleichung 5.23 eingeführt. Der Einfluss der neutralen Schwelle wurde berücksichtigt, indem die beiden Schwellen um diese Spannung versetzt wurden.

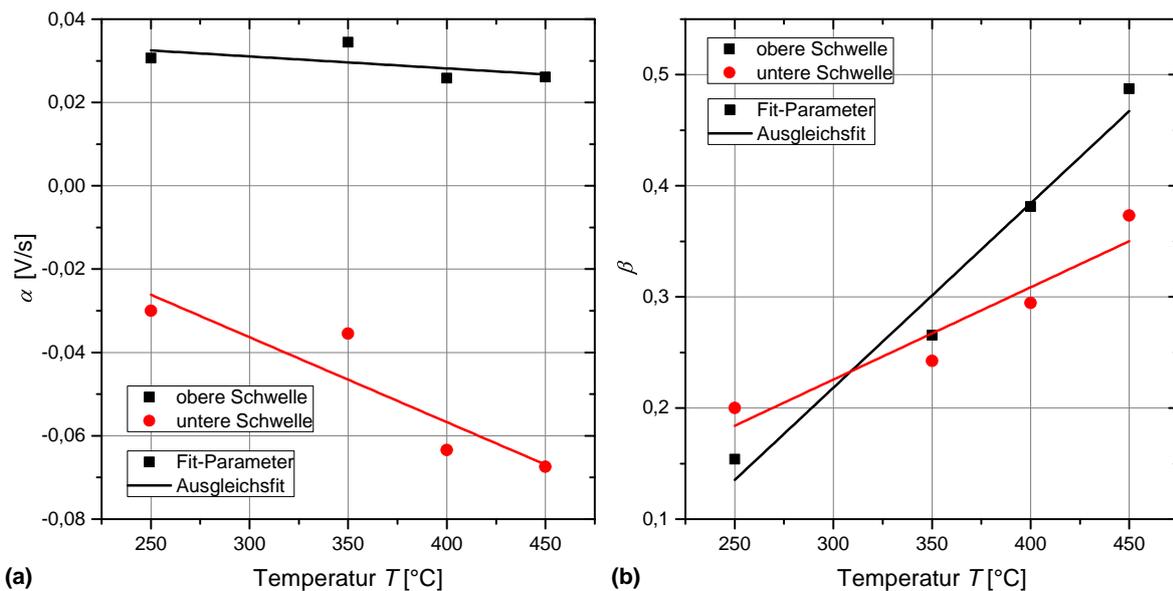


Abbildung 5.40: Bestimmung der in Gleichung 5.23 beschriebenen Parameter α (a) und β (b)

Die berechneten Parameter der Potenzgleichung für das Verhalten des Datenerhalts sind in Abbildung 5.40 dargestellt. Aus den Ergebnissen geht hervor, dass für beide Parameter eine lineare Abhängigkeit der Temperatur vorliegt. Die Standardabweichung betrug maximal in etwa 20 % des Fit-Wertes. Dabei zeigt sich auch hier ein unterschiedliches Degradationsverhalten zwischen dem gelöschten und programmierten Zustand der Speicherzelle. Die ermittelten Werte der Ausgleichsfits, beschrieben durch jeweils eine lineare Funktion [139]

$$\alpha = \alpha_0 + \alpha_T T, \quad (5.33)$$

$$\beta = \beta_0 + \beta_T T, \quad (5.34)$$

sind in Tabelle 5.11 dargestellt.

	$\alpha_0 \left[\frac{\text{V}}{\text{s}} \right]$	$\alpha_T \left[\frac{\text{V}}{\text{s}^\circ\text{C}} \right]$	β_0	$\beta_T \left[\frac{1}{^\circ\text{C}} \right]$
programmierte Schwelle	$3,968 \times 10^{-2}$	$-2,874 \times 10^{-5}$	$-2,798 \times 10^{-1}$	$1,660 \times 10^{-4}$
gelöschte Schwelle	$2,332 \times 10^{-2}$	$-1,989 \times 10^{-4}$	$4,549 \times 10^{-2}$	$6,004 \times 10^{-4}$

Tabelle 5.11: Temperaturabhängige Parameter zur Modellierung des Datenerhalts

Mithilfe der ermittelten Werte für die temperaturabhängigen Parameter der Potenzgleichung kann das Verhalten des Datenerhalts modelliert werden. Dazu wird eine Stromquelle B_{DR} (vgl. Abb. 5.11) verwendet, die durch die Gleichung 5.26 beschrieben wird. Die Speicherzellen werden analog zur Messdurchführung bei 25 °C programmiert bzw. gelöscht und anschließend das Degradationsverhalten bei entsprechender Temperatur untersucht.

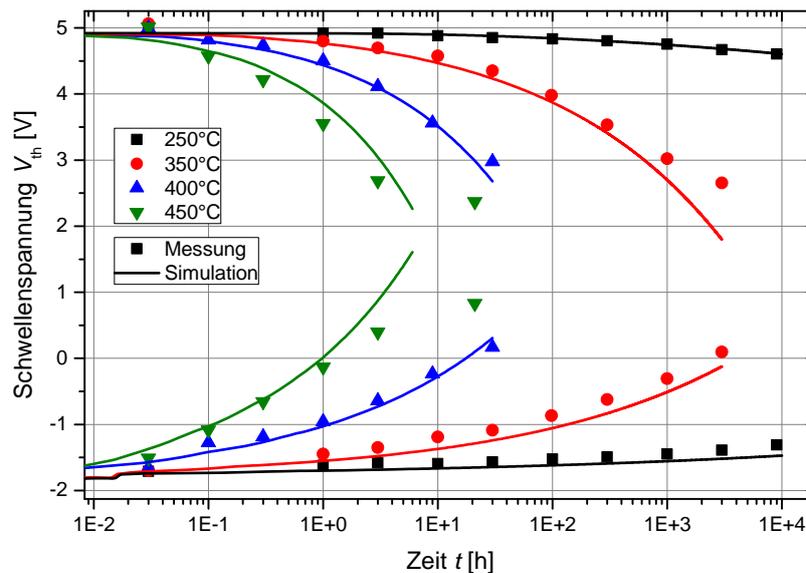


Abbildung 5.41: Vergleich des Datenerhalts zwischen Messung und Simulation

Die Simulationsergebnisse auf Basis des Makromodells sind im Vergleich zu ermittelten Werten in Abbildung 5.41 dargestellt. Daraus geht hervor, dass zwischen Messung und Simulation in dem Temperaturbereich von 250 °C bis 450 °C eine gute Übereinstimmung des Degradationsverlaufs vorliegt. Anzumerken ist, dass die Beschreibung des Datenerhalts mithilfe der im Makromodell verwendeten empirischen Gleichung nur bis zu einem gewissen Degradationszustand der Zelle erfolgen kann. Im Experiment konvergiert die Ladung auf dem Floating-Gate gegen die neutrale Schwelle. Solche Effekte können vom Modell nicht erfasst werden, da die verwendete Potenzgleichung eine einfache Form aufweist und Vorgänge zweiter Ordnung nicht berücksichtigt. In der Simulation würde sich das Programmierfenster bei Betrachtung größerer Zeiten weiter reduzieren bis die Schwellen sich kreuzen und in entgegengesetzte Richtungen weiterlaufen würden. Dieses Verhalten entspricht jedoch nicht den physikalischen Gegebenheiten und stellt somit eine Limitierung des Modells dar. Zur Lösung des Problems kann eine komplexere Gleichung gewählt werden, wodurch sich jedoch die Anzahl der freien temperaturabhängigen Parameter und damit auch die Simulationszeit erhöhen würde.

5.5.4 Fazit zum Datenerhalt

Die Untersuchungen zum Datenerhalt haben gezeigt, dass die mobilen Ionen eine der Fehlerursachen bei der Degradation der Speicherzelle darstellen. Die Degradationszeit konnte durch eine Abschirmung der Zelle, mithilfe einer Metallabdeckung oder eines Nitrid-Liners, für alle untersuchten Temperaturen deutlich gesteigert werden (vgl. Abb. 5.36 u. Tab. 5.9). Es hat sich jedoch gezeigt, dass zwischen den beiden Möglichkeiten der Abschirmung signifikante Unterschiede bestehen (vgl. Abb. 5.37). Sowohl der zeitliche Verlauf der Schwellenabnahme, als auch das temperaturabhängige Verhalten weist deutliche Unterschiede zwischen der metallabgedeckten und der mit Nitrid-Liner versehenen Zelle auf. Dieses Verhalten spiegelt sich ebenfalls im Verlauf der Arrhenius-Graphen wieder, wie es z. B. bei einer zehnprozentigen Abnahme für alle drei Zelltypen in Abbildung 5.39 deutlich sichtbar wird. Die Ergebnisse geben Hinweise auf die physikalischen Vorgänge beim Degradationsprozess, die jedoch erst durch weitere Untersuchungen eindeutig geklärt werden können.

Das Degradationsverhalten der optimierten Speicherzelle mit Nitrid-Liner konnte durch eine empirische Gleichung (vgl. Gl. 5.26) im Makromodell nachgebildet werden. Das temperaturabhängige Verhalten wurde dabei durch zwei Parameter beschrieben, die sich in Abhängigkeit des Programmierzustandes unterscheiden (vgl. Gl. 5.33, 5.34 u. Tab. 5.11). Der Degradationsverlauf der in Modell ermittelten Schwellenspannungen stimmt gut mit den experimentellen Ergebnissen überein (vgl. Abb. 5.41). Mithilfe des Makromodells ist es möglich die Abnahme der Schwellen in einem breiten Temperaturbereich zwischen 250 °C und 450 °C korrekt zu beschreiben. Lediglich das Verhalten um die neutrale Schwelle wird im Modell nicht berücksichtigt.

6 Zusammenfassung und Ausblick

In den vorangegangenen Kapiteln wurden verschiedene Bauelemente einer 0,35 μm -Technologie, die speziell für Hochtemperaturanwendungen entwickelt wurde, diskutiert. Es wurden dabei sowohl Optimierungen vorhandener Bauelemente bezüglich des elektrischen Verhaltens und der Zuverlässigkeit vorgeschlagen, als auch neue Bauelemente eingeführt, die sich besonders für den Betrieb bei hohen Temperaturen eignen. Ebenfalls wurden Simulationsmodelle entwickelt, die das Verhalten bestimmter Bauelemente in einem breiten Temperaturbereich abbilden. In diesem Kapitel wird ein Überblick über die erzielten Ergebnisse und die wichtigsten wissenschaftlichen Erkenntnisse gegeben. Weiterhin werden für einige Bauelemente Untersuchungsansätze vorgeschlagen, die zu weiteren Verbesserungen führen könnten¹.

In Kapitel 2 wurde zunächst die **Charakterisierung des 0,35 μm -Transistors** vorgestellt und die durchgeführte Parameterextraktion erläutert. Es wurde dabei festgestellt, dass der Transistor im PD-Zustand operiert. *Für zukünftige Optimierungen könnte der Betriebsmodus des Transistors von teilweise verarmt (PD) in vollständig verarmt (FD) geändert werden. Ein FD-bietet gegenüber einem PD-Transistor besonders bei Hochtemperaturanwendungen Vorteile, welche sich z. B. bei der Stabilität der Schwellenspannung oder dem Leckstromverhalten widerspiegeln. Die Änderung des Betriebszustands könnte z. B. durch Verringerung der Dicke des Siliziumfilms realisiert werden, wobei die Dotierstoffkonzentrationen und die Implantationsenergien im gesamten Prozessablauf angepasst werden müssten.*

Weiterhin wurde eine deutliche **Verbesserung der Gate-Oxidqualität** erzielt, indem Kontaminationen aus dem elektrisch aktiven Oxidbereich mithilfe von Getter-Stellen entfernt werden konnten. Im Gegensatz zum anfänglichen Verhalten weisen Kondensatoren mit dem optimierten Oxid keine Buckel oder frühe Durchbrüche mehr auf. Die IV-Kennlinien deuten auf ein optimales Durchbruchverhalten der Oxidschichten hin, so dass keine weiteren Verbesserungen vorgenommen werden müssen.

Zusätzlich wurden **Elektromigrationsuntersuchungen von Wolframbahnen** der Metallisierungsebenen vorgenommen. Es zeigte sich, dass im Gegensatz zu Aluminiumbahnen keine Degradation des Materials bei hohen Temperaturen zu erwarten ist. Damit ist eine ausreichende Zuverlässigkeit bzgl. der Elektromigration gegeben. *Neben der Elektromigration muss in zukünftigen Untersuchungen die Zuverlässigkeit der Metallbahnen im Bezug auf die Stressmigration für den gesamten Temperaturbereich überprüft werden.*

In Kapitel 3 wurde zunächst eine **Optimierung der Z-Diode** vorgenommen, die durch die Anpassung der Dotierstoffkonzentration erreicht werden konnte. Dadurch weist die Durchbruchspannung der Z-Diode eine geringe Temperaturabhängigkeit auf, so dass ein zuverlässiger ESD-Schutz für eine Betriebsspannung von 5 V im gesamten Temperaturbereich gewährleistet ist.

¹Die Untersuchungsgebiete sind **fett** und die zukünftigen Untersuchungsansätze *kursiv* gekennzeichnet.

Weiterhin wurden Strukturen untersucht, die als **ESD-Schutz bei Betriebsspannungen von 3,3 V im breiten Temperaturbereich** eingesetzt werden sollen. Für eine solche spezielle Anwendung existieren bisher keine wissenschaftliche Veröffentlichungen. Es wurden PT- (Punch-Through) und FB-Strukturen (Floating-Body) untersucht. Dabei wurde festgestellt, dass die Durchbruchspannung der PT-Struktur mit steigender Temperatur sich relativ stark erhöht, so dass keine temperaturstabile ESD-Spannung gewährleistet werden kann. Für die FB-Struktur konnte dagegen gezeigt werden, dass die Durchbruchspannung nahezu keine temperaturabhängige Schwankung besitzt. Der Leckstrom bei niedrigen Temperaturen ist im Vergleich zu einer Z-Diode geringer, nimmt jedoch mit steigender Temperatur deutlich zu. Als Nachteil muss vor allem die Sättigung des Stroms im Durchbruchbereich angesehen werden, die dazu führt, dass relativ wenig Strom in diesem Bereich abgeführt werden kann. *Ein möglicher Ansatzpunkt für weitere Untersuchungen könnte die Reduzierung des Widerstands der FB-Struktur sein, mit dem Ziel den Sättigungsstrom um mehr als eine Dekade zu erhöhen. Dazu müsste die Geometrie des Bauelements optimiert und die Dotierstoffkonzentration angepasst werden. Könnte das Ziel der Widerstandsreduzierung erreicht werden, würde sich diese Struktur hervorragend für den Einsatz als ESD-Struktur bei Hochtemperaturanwendungen eignen.*

Ebenfalls wurden **Makromodelle für die PIN- und die Z-Diode** entwickelt, die das elektrische Verhalten der beiden Bauelemente im Durchlass- und Sperrbereich korrekt wiedergeben. Für die PIN-Diode wurde vor allem auf eine gute Übereinstimmung des Modells zur Messung in Durchlassrichtung geachtet, da diese den hauptsächlichen Betriebsbereich darstellt. Bei der Z-Diode ist dagegen vorwiegend die Sperrrichtung von Interesse, da diese meist als Sperrdiode eingesetzt wird. Bei beiden Dioden wurde eine Anpassung des Modells in einem breiten Temperaturbereich zwischen -40 °C und 300 °C vorgenommen. Die Simulationsergebnisse des Makromodells zeigen eine gute Übereinstimmung mit den experimentell ermittelten Werten im gesamten untersuchten Spannungs- und Temperaturbereich. *Zwar kann dieses Modell bereits jetzt als präzise angesehen werden, jedoch besitzt dieses keine Abhängigkeit vom Substratpotential (Back-Gate-Potential). Nachfolgende Untersuchungen könnten an diesem Punkt ansetzen, um das Modell zu komplementieren.*

In Kapitel 4 stand die Anpassung des Hochspannungstransistors bezüglich der Spannungsfestigkeit und der Temperaturverträglichkeit im Vordergrund. Zur **Optimierung der Durchbruchspannung des HV-Transistors** wurden verschiedene Ansätze untersucht. Für den Sperrzustand konnte durch eine geschlossene Form des Transistors der Leckstrom minimiert werden, so dass kein parasitärer Seitenwandeffekt auftreten konnte. Im Leitungszustand wurde zunächst versucht die Driftregion hinsichtlich der Geometrie und der Dotierstoffverteilung zu verbessern, wobei jedoch festgestellt werden musste, dass diese bereits ein Optimum aufweist. Geringe Steigerungen der Durchbruchspannung konnten durch Verlängerung der Feldplatten erzielt werden. Weiterhin konnte beim H10-Hochspannungstransistor gezeigt werden, dass durch Erhöhung der Dicke des vergrabenen Oxids die Durchbruchspannung signifikant gesteigert werden kann. Schließlich konnte die Bildung des Avalanche-Effekts durch eine verbesserte Kontaktierung des Kanals vermieden werden, so dass der Sicherheitsbereich des HV-Transistors deutlich erhöht werden konnte.

Ebenfalls wurde die **Temperaturstabilität des Hochspannungstransistors** erhöht, indem das Prinzip des Body-Biasing beim HV-Transistor angewandt wurde. In bisherigen Veröffentlichungen wurden lediglich Transistoren behandelt, die im Niederspannungsbereich

operieren. Zur Umsetzung des Body-Biasing-Prinzips wurde die Form des Transistors modifiziert, so dass das Kanalpotential über einen separaten Anschluss variiert werden konnte. Dabei konnte gezeigt werden, dass durch diese Maßnahme die transistorspezifischen Eigenschaften deutlich verbessert werden. So konnten im Vergleich zum Standardtransistor bei hohen Temperaturen z. B. der Leckstrom minimiert und die Schwellenspannung gesteigert werden. Damit ist dieser Transistortyp besonders für Hochtemperaturanwendungen geeignet. *Im nächsten Schritt soll der neu entwickelte Transistor in Schaltungen eingesetzt werden. Dabei ist zu beachten, dass der Transistor mit einem weiteren Spannungspotential versorgt werden muss, welche z. B. über eine Ladungspumpe realisiert werden könnte.*

Das Kapitel 5 beinhaltet die Untersuchungen zum EEPROM-Speicher. Der Schwerpunkt lag zunächst bei der **Optimierung der Datenwechselstabilität und des Datenerhalts der Speicherzelle**. Die Datenwechselstabilität konnte durch Anpassung der Injektorgeometrie und des Koppverhältnisses um das Vierfache verbessert werden. Damit sind bei 250 °C bis zu 80 000 Zyklen möglich. Eine weitere Verbesserung der Datenwechselstabilität ist zwar prinzipiell möglich, jedoch würde sich dabei das Programmierfenster verringern. Beim Datenerhalt konnte die Degradation der Schwellenspannungen verringert werden, indem eine Abschirmung der Speicherzelle vorgenommen wurde. Es wurden hierzu zwei Typen der Abschirmung (durch Metallabdeckung oder durch Nitrid-Liner) untersucht. Beide Typen zeigten dabei eine Verbesserung im Vergleich zur Standardzelle ohne Abschirmung, wobei weiterhin festgestellt wurde, dass sich das zeitliche und temperaturabhängige Verhalten der beiden abgedeckten Zelltypen grundlegend voneinander unterscheidet. *In nachfolgenden Untersuchungen könnten die genauen Ursachen für das Degradationsverhalten studiert werden, die zu einer weiteren Verbesserung des Datenerhalts führen könnten. Besonders für das zeitliche und temperaturabhängige Verhalten müssen neue Methoden entwickelt werden, um eine bessere Analyse des Degradationsverhaltens zu erhalten.*

Weiterhin wurde ein Modell zur **Beschreibung des Zuverlässigkeitsverhaltens der Speicherzelle im weiten Temperaturbereich** weiterentwickelt. Frühere Modelle waren stets für eine bestimmte Temperatur ausgelegt. Das vorgestellte Makromodell beschreibt dagegen sowohl die Programmierbarkeit, als auch die beiden Zuverlässigkeitsaspekte des Speichers bei verschiedenen Temperaturen. Die Datenwechselstabilität wird anhand temperaturabhängiger Parameter modelliert, so dass ein Temperaturbereich zwischen -40 °C bis 450 °C abgedeckt werden kann. Weiterhin ist es mithilfe des Modells möglich, den Zeitpunkt für den Ausfall der Speicherzelle zu bestimmen, was ebenfalls eine Neuerung im Vergleich zu anderen Modellen darstellt. Für den Datenerhalt wurde eine analytische Gleichung entwickelt, die das Degradationsverhalten der Speicherzelle bei Temperaturen von 250 °C bis 450 °C beschreibt. Für beide Zuverlässigkeitsaspekte konnte eine gute Übereinstimmung der Ergebnisse mit den gemessenen Werten festgestellt werden. *Zukünftig muss eine höhere statistische Auswertung stattfinden, um die Streuung der Kennlinien und der Ausfälle zu bestimmen. Dadurch könnten die Extraktionsparameter besser an die experimentellen Ergebnisse angepasst und dadurch eine höhere Genauigkeit erzielt werden. Weiterhin soll das erstellte Makromodell in zukünftigen Untersuchungen für Schaltungssimulationen eingesetzt oder zur Verbesserung des Speichers verwendet werden.*

Anhang

A SPICE-Makromodell der PIN-Diode

```
1 .SUBCKT DSUB A K
2 .MODEL DR D Is=4.793E-15 N=1.758 TNOM=25
3 .MODEL DH D Is=6.182E-18 N=1.099 TNOM=25
4 BV=16.5 Ibv=1E-11 nbv=10 Ibv1=1E-12 nbv1=10
5 .MODEL DS D Is=5.775E-04 N=0.848 TNOM=25
6 Xti=-40.056+0.0498*(TEMP)
7
8 DR A 1 DR
9 DH A 1 DH
10 DS 1 2 DS
11 RS 2 K R=3.264+6.94E-3*(TEMP-25)
12 .ENDS DSUB
```

Liste 1: Makromodell einer PIN-Diode in der H035-Technologie für erweiterten Temperaturbereich

B SPICE-Makromodell der Z-Diode

```
1 .SUBCKT DSUB A K
2 .MODEL DH D Is=exp(-34.25+0.07*TEMP-9.02E-5*TEMP**2)
3 n=1.74-0.00121*TEMP
4 TNOM=TEMP Xti=0
5 .MODEL DRH D Is=8.04E-12 N=19.62 TNOM=25
6 Xti=exp(4.98+7.68E-4*TEMP-2.74E-6*TEMP**2)
7 .MODEL DRK D Is=1.260E-24 N=4.997 TNOM=25 Rs=2E5
8 Xti=23.7*ln(1/TEMP)+262.3
9 .MODEL DRBD D Is=9.094E-19 N=1.652 TNOM=25 Xti=0
10 BV=5.313+6.897E-4*(TEMP) Ibv=1E-20 nbv=5.637
11 Ibv1=-3.84E-6*ln(1/TEMP)-6.52E-6
12 nbv1=10.6*ln(1/TEMP)+71.17
13
14 DH A 1 DMAIN
15 RSat 1 K R=372.1+1.150*TEMP
16 DRH 2 A DH
17 DRK A 2 DRK
18 DRBD A 2 DRBD
19 RRSat 2 K 1.5E3
20 .ends DSUB
```

Liste 2: Makromodell einer Z-Diode in der H035-Technologie für erweiterten Temperaturbereich

C SPICE-Makromodell für den EEPROM-Speicher

```

1  ** begin
2  * EEPROM nodes ::
3  *
4  *           drain
5  *           |   source
6  *           |   |   back gate
7  *           |   |   |   control gate
8  *           |   |   |   |   floating gate
9  *           |   |   |   |   |   threshold voltage
10 *           |   |   |   |   |   |   trigger read out
11 *           |   |   |   |   |   |
12 .subckt EEPROM D S B CG FG VT TRIG
13
14 ** constants **
15 *****
16 .param
17 +pi=          3.14159265359
18 +eps_0=       8.854E-12          ; vacuum permitivity in A*s/(V*m)
19 +eps_ox=      3.9                ; permittivity of oxide
20 +k_B=         8.6173324e-5       ; Boltzmann constant in eV
21 +q=          1.602176565E-19    ; elementary charge in C
22 +h=          6.62606957e-34     ; Planck constant in m^2*kg/s
23 +E_g0=       1.1692             ; coefficient for band gap energy
24 +A_Eg=       4.9e-4             ; ---
25 +B_Eg=       655                ; ---
26 +temp_zp=    273.15            ; zero point temperature offset
27 +temp_k=     temp_zp+temp      ; temperature in kelvin
28 +E_g=        E_g0-A_Eg*temp_k**2/(temp_k+B_Eg) ; band gap energy
29 * temperature dependent intrinsic carrier density
30 +n_i=        4.66e15*temp_k**(3/2)*EXP(-E_g/(2*k_B*temp_k))
31
32
33 ** calculation of capacities **
34 *****
35 .param
36 ** area H035, KV=40 **
37 * area of control gate tunneling oxide
38 +a_cg_t=     5.28u*3.28u+0.36u*(0.36u+1.4u)
39 * area of control gate at gate oxide
40 +a_cg_g=     0
41 * area of injector tunneling oxide
42 +a_in_t=     0.36u*1.16u
43 * area of injector gate oxide
44 +a_in_g=     0.36u*0.36u*2
45 * intersection of areas between poly and fox/box
46 +a_fox=     0.36u*2.72u+(1.5u+2.7u)*0.7u
47 * area of source and body of read out transistor
48 +a_fs=     0.7u*(2.78u+5.2u)
49 * total tunneling oxide area
50 +a_tot_t=   a_in_t+a_cg_t
51 * total area
52 +a_tot=     a_in_t+a_in_g+a_cg_t+a_cg_g+a_fox+a_fs
53

```

```

54  ** area H035, KV=10 **
55  * +a_in_t= 1u*1.8u
56  * +a_in_g= 0
57  * +a_cg_t= 5.28u*3.28u+0.36u*(1.0u+1.4u)
58  * +a_cg_g= 0
59  * +a_fox= 1.0u*2.7u+(1.5u+2.7u)*0.7u
60  * +a_fs= 0.7u*(2.78u+5.2u)
61  * +a_tot_t= a_in_t+a_cg_t
62  * +a_tot= a_in_t+a_in_g+a_cg_t+a_cg_g+a_fox+a_fs
63
64  ** oxide thickness **
65  +tox= 11.6n ; tunneling oxide
66  +gox= 45.8n ; gate oxide
67  +fox= 770n ; stack of burried and field oxide
68  +xot= 0.56 ; centroid position
69  +txf= tox*(1-xot) ; thickness from floating gate to centroid
70  +txd= tox*xot ; thickness form centroid to substrate
71
72  ** capacitance **
73  * capacitance of tunneling area
74  +c_cg_t= eps_0*eps_ox*a_cg_t/tox
75  * capacitance of control gate
76  +c_cg= eps_0*eps_ox*(a_cg_t/tox+a_cg_g*gox)
77  * capacitance of injector over tunneling oxide area
78  +c_in_t= eps_0*eps_ox*a_in_t/tox
79  * separation: from floating gate to tunnel oxide centroid
80  +c_in_xf= eps_0*eps_ox*a_in_t/txf
81  * separation: from tunnel oxide centroid to drain
82  +c_in_xd= eps_0*eps_ox*a_in_t/txd
83  * capacitance of injector over gate oxide area
84  +c_in_g= eps_0*eps_ox*a_in_g/gox
85  * capacitance between poly and substrate
86  +c_sub= eps_0*eps_ox*a_fox/fox
87  * floating gate and source/body region of the read out transistor
88  +c_fs= eps_0*eps_ox*a_fs/gox
89  * total capacitance
90  +c_tot= c_cg + c_in_t + c_in_g + c_fs + c_sub
91
92  ** capacitance ratios **
93  +rt_cg= c_cg/c_tot
94  +rt_cg_t= c_cg_t/c_tot
95  +rt_in= (c_in_t + c_in_g)/c_tot
96  +rt_in_t= c_in_t/c_tot
97
98
99  ** temperature dependent Fowler Nordheim constants **
100  ****
101  .param
102  +fn_a_s2c= 9.38e-5*exp(-9.15e-3*temp_k)
103  +fn_a_c2s= 7.30e-5*exp(-8.62e-3*temp_k)
104  +fn_b_s2c= 2.74e10 - 1.27e7*temp_k
105  +fn_b_c2s= 2.67e10 - 1.38e7*temp_k
106
107
108  ** temperature dependent voltgae drop due to inversion layer **
109  ****

```

```

110 .param
111 * density of majority carriers; obtained from TCAD simulations
112 +N_D=      2e20
113 * voltage drop due to inversion region
114 +psi_inv=  2*k_B*temp_k*log(N_D/n_i)
115
116
117 ** capacitors **
118 *****
119 C.CG FG P.CG   {c_cg}   ; control gate capacitance
120 C.FS FG S     {c_fs}   ; source/body region to floating gate
121 C.FB FG B     {c_sub}  ; back gate to floating gate
122
123
124 ** FN currents **
125 *****
126 * FN current for injector area in the erase state
127 B.IN_E FG P.IN   I= IF(V(CG)>V(D) | V(FG)>V(D),
128 +fn_a_s2c*a_in_t*ABS((V(FG)-V(OX))/{txf})*((V(FG)-V(OX))/{txf})
129 +*EXP(-fn_b_s2c*ABS({txf}/(V(FG)-V(OX)))) , 0)
130 * FN current for injector area in the write state
131 B.IN_W FG P.IN   I= IF(V(CG)<V(D) | V(FG)<V(D),
132 +fn_a_c2s*a_in_t*ABS((V(OX)-V(P.IN))/{txd})*((V(OX)-V(P.IN))/{txd})
133 +*EXP(-fn_b_c2s*ABS({txd}/(V(OX)-V(P.IN)))) , 0)
134 * voltage drop in the inversion state
135 B.P.IN P.IN D   V= IF(V(D)>V(CG)+psi_inv , -psi_inv , 0)
136
137 * FN current for control gate area in the erase state
138 B.CG_E FG P.CG I= IF(V(CG)>V(D) | V(FG)<V(CG),
139 +fn_a_c2s*a_cg_t*ABS((V(FG)-V(P.CG))/{tox})*((V(FG)-V(P.CG))/{tox})
140 +*EXP(-fn_b_c2s*ABS({tox}/(V(FG)-V(P.CG)))) , 0)
141 * FN current for control gate area in the write state
142 B.CG_W FG P.CG I= IF(V(CG)<V(D) | V(FG)>V(CG),
143 +fn_a_s2c*a_cg_t*ABS((V(FG)-V(CG))/{tox})*((V(FG)-V(P.CG))/{tox})
144 +*EXP(-fn_b_s2c*ABS({tox}/(V(FG)-V(P.CG)))) , 0)
145 * voltage drop in the inversion state
146 B.P.CG P.CG CG   V= IF(V(CG)>V(D)+psi_inv , -psi_inv , 0)
147
148
149 ** simulation of retention behavior **
150 *****
151 .param
152 +temp_c_dr = 250          ; temperature for retention simulation
153 +v_dr_e=    -3.6          ; erase coefficient
154 +a_dr_e=    +3.97e-2; - 2.87e-5*temp_c_dr ; ---
155 +b_dr_e=    -2.20e-1 + 1.46e-3*temp_c_dr ; ---
156 +v_dr_w=    3.6          ; write coefficient
157 +a_dr_w=    +2.09e-1 - 6.97e-4*temp_c_dr ; ---
158 +b_dr_w=    -1.46e-1 + 1.10e-3*temp_c_dr ; ---
159 * retention current for erase state
160 B_DR FG 0 I= -V(DR)*a_dr_e*b_dr_e*c_tot
161 +*ABS((v_dr_e-V(FG))/a_dr_e)**((b_dr_e-1)/b_dr_e)
162 * retention current for write state
163 *B_DR FG 0 I= +V(DR)*a_dr_w*b_dr_w*c_tot
164 +*ABS((v_dr_w-V(FG))/a_dr_w)**((b_dr_w-1)/b_dr_w)
165 *V_DR DR 0 PWL(0 0 10 0 100 1)

```

```

166
167
168 ** simulation of endurance behavior **
169 *****
170 * charge trapping in oxide (injector area)
171 .param
172 *+K=      9.472e-9*EXP(temp_k/140.5)      ; KV40
173 *+nu=     1.585e-3*temp_k - 0.958        ; KV40
174 +K=      1.174e-8*exp(temp_k/169.9)      ; KV10
175 +nu=     1.280e-3*temp_k - 0.856        ; KV10
176 +c_qinj= 1e-9                            ; temp capacitance
177 +ArFac=  1e4                             ; area normalized to cm^2
178 +tdel=   50m                             ; period of pulsing
179 +dt=     1e-3                             ; current charge relation
180 +f=      100
181 * 1. subcircuit: get injected current Iinj
182 B_Q1 Q1 0 I= (-ABS(I(B_IN_W)) - ABS(I(B_IN_E)))
183 C_Q1 Q1 0 {c_qinj}
184 * 2. subcircuit: get V[Qox]
185 B_Q2 Q2 0 V= -K/(nu+1)*pow(V(Q1)*(c_qinj/ArFac/a_in_t),nu+1)
186 +/(c_in_t/ArFac/a_in_t)
187 R_Q2 Q2 0 1M
188 * for further smothness a transmission line is used
189 B_Q3 Q3 0 V=V(Q2)*c_in_t
190 R_Q3 Q3 0 1M
191 T_Q4 Q3 0 Q4 0 td=dt z0=50
192 R_Q4 Q4 0 50
193
194 * capacitance from floating gate to tunnel oxide centroid
195 C_XF FG OX Q=({c_in_xf + c_in_g/2}) * x+abs(V(Q4)*(1-xot))
196 * capacitance from tunnel oxide centroid to drain
197 C_XD OX P_IN Q=({c_in_xd + c_in_g/2}) * x-abs(V(Q4)*xot)
198
199 * charge to breakdown
200 .param
201 *+q_exp_a= 5797 ; KV=40
202 *+q_exp_b= 70.59 ; KV=40
203 +q_exp_a= 2520 ; KV=10
204 +q_exp_b= 78.46 ; KV=10
205 +Q_INJ_MAX= q_exp_a*EXP(-temp_k/q_exp_b)/(c_qinj/ArFac/a_in_t)
206 SQmax FG 0 Q1 0 Switch
207 .model Switch SW(Ron=.1 Roff=1e20 Vt=Q_INJ_MAX)
208 RSW1 SW2 0 1k
209
210 ** threshold voltage modeling **
211 *****
212 B_VN2 VN2 0 V=-V(FG)
213 C_VT2 VN2 0 {c_cg}
214 B_VT VT 0 V=V(VN2)*V(TRIG)
215 R_VT VT 0 1M
216
217 .ends EEPROM

```

Liste 3: Makromodell des EEPROM-Speichers in der H035-Technologie unter Berücksichtigung der Zuverlässigkeitsaspekte

Abbildungsverzeichnis

2.1	(a) Bulk-Technologie und (b) SOI-Technologie am Beispiel eines Transistors	6
2.2	(a) Messplatz für Untersuchungen auf Wafer-Ebene; (b) Ausschnitt des Wafer-Prober-Messplatzes; ① Wafer-Prober, ② Chuck, ③ Messnadel, ④ Manipulator, ⑤ Messgerät, ⑥ Mikroskop, ⑦ Kühl- bzw. Heizgerät	10
2.3	Aufbau eines Chips im Ofen; (a) Befestigung des Chips im Chipgehäuse; (b) Hochtemperaturofen; ① Keramik-Chipgehäuse, ② Keramik-Sockel, ③ Hochtemperaturkabel, ④ Hochtemperaturofen, ⑤ Zuleitungsöffnung ⑥ Bedienungsfeld des Ofens	11
2.4	Verlauf der Eingangs- und Ausgangs-Kennlinien für einen n- und p-Kanal-MOSFET mit der Kanallänge $0,36\ \mu\text{m}$ bei verschiedenen Temperaturen (Weite NMOS: $1,2\ \mu\text{m}$, PMOS: $2,4\ \mu\text{m}$)	16
2.5	Kenngrößen des Transistors mit der Kanallänge $0,36\ \mu\text{m}$ in Abhängigkeit der Temperatur; (a) Leckstrom; (b) Sättigungsstrom; (c) Schwellenspannung; (d) Koeffizient der Transkonduktanz	17
2.6	Verschiedene Größen der Transistorweite und Länge, die für die Parameterextraktion benötigt werden.	18
2.7	Ermittelte Kennlinien aus der Parameterextraktion im Vergleich zu experimentellen Ergebnissen für (a) NMOS und (b) PMOS bei verschiedenen Temperaturen	19
2.8	Verlauf der Strom-Spannungskennlinien von Kondensatoren mit der Oxiddicke (a) $d_{\text{DOX}} = 9,4\ \text{nm}$ und (b) $d_{\text{TOX}} = 11,4\ \text{nm}$	20
2.9	Schematische Darstellung eines Kondensators (a) und eines Transistors (b) mit zusätzlichen Argon-Implantationen an Kontakt-Randflächen	20
2.10	Verlauf der Strom-Spannungskennlinien von Kondensatoren der Oxiddicke (a) $d_{\text{DOX}} = 9,4\ \text{nm}$ und (b) $d_{\text{TOX}} = 11,4\ \text{nm}$ mit zusätzlicher Argon-Implantation	21
2.11	REM-Bild von freigeätzten Metallbahnen minimaler Breite	23
2.12	Untersuchungen zur Elektromigration einer Aluminium- bzw. Wolfram-bahn bei $250\ ^\circ\text{C}$	24
3.1	(a) Diode im Gleichgewichtszustand ohne externe Spannung; (b) Diode in Durchlassrichtung und (c) Diode in Sperrichtung mit einer externen Spannung	27
3.2	(a) Band-zu-Band-Tunneln; (b) Avalanche-Effekt am Beispiel der Elektron-Stoßionisation	29
3.3	Punch-Through-Effekt einer npn-Struktur; (a) im Gleichgewichtszustand; (b) Punch-Through-Ereignis	30

3.4	Verlauf des ESD-Strompulses beim (a) Human-Body-Modell und (b) Charged-Device-Modell	31
3.5	Operationsfenster einer Schutzstruktur mit Avalanche- und thermischem Durchbruch	33
3.6	Querschnitt der Z-Diode (a) und PIN-Diode (b) als Simulationsmodell mit der Dotierstoffkonzentration im Siliziumfilm	34
3.7	(a) Pad-Based- und (b) Rail-Based-ESD-Schutz in der H035-Technologie . .	35
3.8	Vergleich der IV-Kennlinien von Z-Dioden in der H035- und H10-Technologie bei 25 °C; $W = 1 \mu\text{m}$	37
3.9	Simulationsergebnisse des Strom-Spannungs-Verlaufs einer Z-Diode in Abhängigkeit der Dotierstoffkonzentration; (a) gleiches Dotierstoffverhältnis für p- und n-Bereich; (b) Variation des Dotierstoffverhältnisses zwischen p- und n-Bereich; $W = 1 \mu\text{m}$	39
3.10	Vergleich der Diodenkennlinien unterschiedlicher Dotierung; $W = 1 \mu\text{m}$.	40
3.11	Temperaturabhängiges IV-Verhalten der Z-Diode für eine Implantationsdosis von $5 \times 10^{14} \text{ cm}^{-2}$ (a) und $1 \times 10^{14} \text{ cm}^{-2}$ (b) des p-dotierten Bereichs mit $W = 1 \mu\text{m}$; in (a) sind zusätzlich die dazugehörigen Simulationsergebnisse aufgeführt	41
3.12	Ergebnisse der transienten Simulationen unter Verwendung des HBM-Modells bei verschiedenen Strompulshöhen für optimierte Dioden; (a) IV-Charakteristik; (b) Temperaturverhalten in Abhängigkeit der Spannung für Dioden unterschiedlicher Dotierung; $W = 1 \text{ mm}$	42
3.13	IV-Kennlinien der PIN-Diode für verschiedene Temperaturen in Sperrrichtung (links) und Durchlassrichtung (rechts); $W = 1 \mu\text{m}$	45
3.14	(a) Aufteilung des Durchlassrichtung-Kennlinienverlaufs in verschiedene Simulationsbereiche, gekennzeichnet durch gestrichelte Linien ($W = 1 \mu\text{m}$); (b) Makromodell der PIN-Diode	46
3.15	Temperaturabhängiger Verlauf (a) des Widerstands R_{Sat} und (b) des Sättigungsstrom-Temperaturexponents	47
3.16	Vergleich der IV-Kennlinien der PIN-Diode ermittelt durch Experiment und Simulation für verschiedene Temperaturen in Sperrrichtung (links) und Durchlassrichtung (rechts); $W = 1 \mu\text{m}$	48
3.17	IV-Kennlinien der Z-Diode für verschiedene Temperaturen in Sperrrichtung (links) und Durchlassrichtung (rechts); $W = 1 \mu\text{m}$	49
3.18	(a) Aufteilung des Sperrrichtung-Kennlinienverlaufs in verschiedene Simulationsbereiche, gekennzeichnet durch gestrichelte Linien ($W = 1 \mu\text{m}$); (b) Makromodell der Z-Diode	49
3.19	Temperaturabhängiger Verlauf der Parameter für verschiedene ideale Bauelemente zur Modellierung der Z-Diode in Durchlassrichtung (a) bis (c) und in Sperrrichtung (d) bis (h)	50
3.20	Vergleich der IV-Kennlinien der Z-Diode ermittelt durch Experiment und Simulation für verschiedene Temperaturen in Sperrrichtung (links) und Durchlassrichtung (rechts); $W = 1 \mu\text{m}$	51
3.21	IV-Charakteristik der simulierten Z-Diode in Sperrrichtung für verschiedene Dotierstoffkonzentrationen mit $N_{\text{A}} = N_{\text{D}}$; $W = 1 \mu\text{m}$	54

3.22	Simulationsquerschnitt einer PT-Struktur als npn-Übergang mit einem zusätzlichen Polysilizium-Streifen	55
3.23	IV-Charakteristik mit dem PT-Effekt für eine pnp- (a) und npn-Struktur (b) bei 25 °C und bei verschiedenen PT-Längen; $W = 1 \mu\text{m}$	55
3.24	IV-Charakteristik für verschiedene Temperaturen und PT-Längen von (a) pnp- und (b) npn-Strukturen; $W = 1 \mu\text{m}$	57
3.25	Vergleich der IV-Kennlinien einer PT-Struktur mit einer Z-Diode bei verschiedenen Temperaturen; $W = 1 \mu\text{m}$	57
3.26	IV-Kennlinien von FB-Strukturen mit verschiedenen PT-Längen bei 25 °C; (a) pnp-Struktur; (b) npn-Struktur; $W = 1 \mu\text{m}$	58
3.27	IV-Kennlinien bei verschiedenen Temperaturen für eine (a) pnp- und (b) npn-Struktur; $W = 1 \mu\text{m}$	59
3.28	Vergleich der IV-Kennlinien einer FB-Struktur mit einer Z-Diode bei verschiedenen Temperaturen; $W = 1 \mu\text{m}$	60
4.1	Schematischer Aufbau eines LDMOS-Transistors in einer Bulk-Technologie	64
4.2	Schematische Darstellung der Driftregion als PIN-Diode für (a) den nicht vollständig verarmten Fall, (b) den vollständig verarmten Fall und (c) den vollständig verarmten Fall mit maximaler Spannungsfestigkeit	65
4.3	Schematische Darstellung der Driftregion für eine dicke Epi-Schicht (a) und eine dünne Schicht (b) im RESURF-Fall	66
4.4	Schematischer Aufbau eines 30 V-Hochspannungstransistors in der H035-Technologie	68
4.5	Kennlinienverlauf des HV-Transistors bei 25 °C und 250 °C; (a) Eingangskennlinie, (b) Ausgangskennlinie, (c) Durchbruchkennlinie im Sperrzustand und (d) im Durchlasszustand	69
4.6	Schematische Aufbau eines geschlossenen HV-Transistors zur Vermeidung von Seitenwandeffekten	70
4.7	Vergleich der Durchbruchkennlinien im Sperrzustand eines HV-Transistors mit und ohne Seitenwände bei 25 °C und 250 °C	71
4.8	(a) Längenvariation der Driftregion (Standardwert: $L_D = 4,8 \mu\text{m}$); (b) Längenvariation der DVT-Implantation am Drain-Bereich (Standardwert: $L_{DD} = 1,2 \mu\text{m}$); (c) Längenvariation des PVT-dotierten Bereichs am Gate (Standardwert: $L_{DG} = 1 \mu\text{m}$)	73
4.9	Simulationsergebnisse der Durchbruchkennlinien bei Variation der Implantationsdosis von (a) NDEX-, (b) DVT- und (c) PVT-Implantationen	74
4.10	Schematische Darstellung eines HV-Transistors unter Verwendung von Feldplatten; L_{FP} gibt den Abstand zwischen der Drain- und der Source-seitigen Feldplatte an; x_{DFP} und x_{SFP} geben die Ausdehnung der Feldplatte hin zur Driftregion, gemessen vom jeweiligen VIA	75
4.11	Vergleich der Durchbruchkennlinien eines Standard-Transistors und eines mit verlängerten Feldplatten bei verschiedenen Gate-Spannungen	76
4.12	Simulation der elektrischen Feldverteilung eines HV-Transistors im Durchbruchbereich bei $V_G = 5 \text{ V}$, $V_D = 67,5 \text{ V}$ und $T = 25 \text{ °C}$	77
4.13	Verlauf der Durchbruchkennlinien mit unterschiedlichen Dicken des vergrabenen Oxids von HV-Transistoren aus der H10-Technologie	77

4.14	(a) Schematische Darstellung eines RDC-Transistors; (b) Vergleich der Durchbruchkennlinien zwischen einem Standardtransistor und einem RDC-Transistor	79
4.15	Schematische Darstellung (a) eines H-Gate-Transistors und (b) eines BB-HV-Transistors	82
4.16	(a) Darstellung des simulierten dreidimensionalen BB-HV-Transistors; (b) Querschnitt der 3D-Struktur entlang der in (a) eingezeichneten gestrichelten Linie	83
4.17	Simulationsergebnisse der Eingangscharakteristik (a) und des Sperrverhaltens (b) für den emulierten BB-HV-Transistor bei verschiedenen Temperaturen mit Body-Spannung $V_B = 0\text{ V}$ und $V_B = -1\text{ V}$	84
4.18	Experimentelle Ergebnisse zum Verhalten des BB-HV-Transistors (BB-HV) im Vergleich zum Split-Source-Transistor (SST) in der H10-Technologie; (a) Eingangskennlinie in halblogarithmischer Darstellung; (b) Eingangskennlinie in linearer Darstellung; (c) Ausgangskennlinie im Sperrzustand; (d) Ausgangskennlinie im Durchlasszustand	86
4.19	Transistorparameter in Abhängigkeit der Temperatur für Hochspannungstransistoren der H10-Technologie; (a) Schwellenspannung; (b) Drain-Leckstrom bei $V_D = 30\text{ V}$; (c) Koeffizient der Transkonduktanz; (d) Subthreshold-Swing	87
5.1	EEPROM-Technologien am Beispiel einer NMOS-Speicherzelle; (a) Floating-Gate-Technologie; (b) Charge-Trapping-Technologie	91
5.2	Schematischer Verlauf der Eingangskennlinie (Drain-Strom I_D in Abhängigkeit der Control-Gate-Spannung V_{CG}) für zwei Zustände der Speicherzelle	92
5.3	Injektion eines Ladungsträgers durch eine Halbleiter-Oxid-Metall-Schicht; (a) Hot-Carrier-Injection; (b) Fowler-Nordheim-Tunneln; (c) direktes Tunneln	93
5.4	Potentialbarriere beim FN-Tunneln von Elektronen (a) ohne eingebaute Ladung, (b) mit eingebauten Elektronen und (c) mit eingebauten Löchern im Oxid	97
5.5	Schematischer Verlauf der Kennlinien zur Untersuchung (a) der Datenwechselstabilität und (b) des Datenerhalts	98
5.6	Schematischer Aufbau der EEPROM-Speicherzelle in der H035-Technologie; (a) Ansicht von oben; (b) Querschnitt entlang der gestrichelten Linie	99
5.7	Ersatzschaltbild der Speicherzelle für kapazitive Kopplung	102
5.8	Banddiagramm des Schichtstapels aus Silizium-Oxid-Poly-Oxid-Silizium für (a) Löschvorgang und (b) Programmiervorgang	103
5.9	Erweitertes Ersatzschaltbild unter Berücksichtigung der Programmier- und Löschvorgänge	104
5.10	Hilfsschaltungen zur Ermittlung der eingebauten Ladungsmenge	107
5.11	Erweitertes Ersatzschaltbild unter Berücksichtigung der eingebauten Ladung	107
5.12	Stromdichte in Abhängigkeit des elektrischen Feldes eines Kondensators bei unterschiedlichen Temperaturen zur Bestimmung der Fowler-Nordheim-Konstanten	111
5.13	FN-Konstanten A_{FN} (a) und B_{FN} (b) in Abhängigkeit der Temperatur (Symbole) mit angefütteten Kurven (Linien)	112

5.14	(a) Schwellenspannung in Abhängigkeit der Programmierspannung für Raumtemperatur und 250 °C; (b) Schwellenspannung in Abhängigkeit der Temperatur für drei verschiedene Programmierspannungen	113
5.15	(a) transienter Verlauf der Spannungspotentiale am Control-Gate, Drain und Floating-Gate; (b) Stromfluss der im Makromodell verwendeten Stromquellen am Injektor-Bereich und am Control-Gate-Bereich in Abhängigkeit der Zeit	115
5.16	Simulationsuntersuchungen zur Reduzierung der Control-Gate-Fläche, wobei die Injektor-Fläche im gleichen Verhältnis verkleinert wird ($\kappa_{CG,In} = 40$); (a) Vpp-Simulationskurven bei 25 °C; (b) Simulationsergebnisse zur Schwellenspannung der gelöschten Schwelle bei $V_{pp} = 16$ V für 25 °C und 250 °C .	116
5.17	Vpp-Kennlinienvergleich der Simulationsergebnisse mit Messungen an einer verkleinerten Speicherzelle bei 25 °C und 250 °C	117
5.18	Vergleich der Vpp-Kennlinien zwischen Simulation und Messung von Zellen mit unterschiedlichen Koppelverhältnissen	118
5.19	Ergebnisse der Simulation und Messung für die Spannung der programmierten und gelöschten Schwelle in Abhängigkeit des Koppelverhältnisses bei 25 °C und 250 °C	119
5.20	Verlauf der Schwellenspannungen in Abhängigkeit der Anzahl der Programmierzyklen für verschiedene Temperaturen ($V_{pp} = 16$ V, $\kappa_{CG,In} = 40$) .	121
5.21	Verlauf der maximalen Anzahl an Programmierzyklen in Abhängigkeit der Temperatur	122
5.22	Eingebaute Ladung in Abhängigkeit der injizierten Ladung für verschiedene Temperaturen als Messung und Fit	123
5.23	Parameter ν (a) und K (b) in Abhängigkeit der Temperatur als ermittelte Werte und Fit-Funktion	124
5.24	Modellierung der Datenwechselstabilität für verschiedene Temperaturen .	125
5.25	Maximale eingebaute (a) und injizierte (b) Ladungsmenge bis zum Oxidurchbruch in Abhängigkeit der Temperatur	126
5.26	Modellierung der Datenwechselstabilität unter Berücksichtigung des Oxidurchbruchs für verschiedene Temperaturen	127
5.27	Verlauf der Schwellenspannungen in Abhängigkeit der Anzahl der Programmierzyklen einer Speicherzelle mit $\kappa_{CG,In} = 10$ für verschiedene Temperaturen	128
5.28	Verlauf der eingebauten Ladung in Abhängigkeit der injizierten Ladung . .	129
5.29	Parameter ν (a) und K (b) in Abhängigkeit der Temperatur als ermittelte Werte und Fit-Funktion für die Speicherzellen mit dem Koppelverhältnis 10 und 40	130
5.30	Maximale injizierte Ladung in Abhängigkeit der Temperatur als ermittelte Werte und Fit-Funktion für die Speicherzellen mit dem Koppelverhältnis 10 und 40	131
5.31	Modellierung der Datenwechselstabilität unter Berücksichtigung des Oxidurchbruchs für verschiedene Temperaturen für die Speicherzelle mit $\kappa_{CG,In} = 10$	132
5.32	Verlauf der Schwellenspannungen bei Messung des Datenerhalts der Standard-Zelle ($\kappa_{CG,In} = 40$, $\kappa_{CG,In} = 40$)	133

5.33	Arrhenius-Graphen für unterschiedliche Abnahmeschwellen	134
5.34	Schematische vereinfachte Darstellung des Schichtstapels in der H035-Technologie	136
5.35	(a) Ausschnitt der Kammstruktur als schematische Darstellung; (b) Kennlinienverlauf der TVS-Messungen bei 300 °C	137
5.36	Verlauf der Schwellenspannungen bei Messung des Datenerhalts der Zelle ohne Barriere (oB), mit Metallabdeckung (MA) und mit Nitrid-Liner (NL) bei 350 °C	138
5.37	Verlauf der Schwellenspannungen bei Messung des Datenerhalts der Standard-Zelle mit Metallabdeckung (MA) bzw. Nitrid-Liner (NL)	139
5.38	Arrhenius-Graphen für unterschiedliche Abnahmeschwellen einer Speicherzelle mit (a) Metallabdeckung und (b) Nitrid-Liner	140
5.39	Vergleich der Aktivierungsenergien bei $t_F^{10\%}$ für verschiedene Zelltypen: ohne Barriere (oB), mit Metallabdeckung (MA) und mit Nitrid-Liner (NL)	141
5.40	Bestimmung der in Gleichung 5.23 beschriebenen Parameter α (a) und β (b)	142
5.41	Vergleich des Datenerhalts zwischen Messung und Simulation	143

Tabellenverzeichnis

1.1	Anwendungsbeispiele für Hochtemperaturelektronik und der mögliche Temperaturbereich nach [1–6]	1
2.1	Übersicht des H035-Prozessablaufs im Front-End-of-Line (FEOL)	8
5.1	Definition der Potentiale für verschiedene Betriebsmodi	100
5.2	Parameter zur Bestimmung der temperaturabhängigen FN-Konstanten für positives und negatives elektrisches Feld	112
5.3	Ermittelte Parameter für die Fit-Funktion aus Abbildung 5.21	123
5.4	Ermittelte Werte für den Ausgleichsfit aus Abbildung 5.23	124
5.5	Ermittelte Werte für die Fit-Funktion (Gl. 5.32) aus Abbildung 5.25 (b) . . .	126
5.6	Gerundete Werte für die Anzahl der Programmierzyklen bei verschiedenen Temperaturen unter Verwendung des Abnahmeschwelle von 40 %	129
5.7	Ermittelte Werte für die Fit-Funktionen aus Abbildung 5.29	130
5.8	Ermittelte Werte für die Fit-Funktion (Gl. 5.32) aus Abbildung 5.30	131
5.9	Gerundete Werte für die Ausfallzeit (Abnahmeschwelle von 40 %) für verschiedene Zelltypen und Temperaturen	139
5.10	Aktivierungsenergie und Zeitkonstante bei einer Abnahmeschwelle von 10 %	142
5.11	Temperaturabhängige Parameter zur Modellierung des Datenerhalts	143

Tabellenverzeichnis

Abkürzungsverzeichnis

AC	Alternating Current - Wechselstrom	13
B2B	Band-2-Band-Tunneln.....	28
BB	Body-Biasing	81
BBT	Body-Biasing-Transistor	85
BOX	Buried Oxide	6
BPSG	Bor-Phosphorous Silicate Glass	8
CDM	Charged-Device-Modell	31
CG	Control-Gate	91
CT	Charge-Trapping	92
CVD	Chemical Vapor Deposition	22
DC	Direct Current - Gleichstrom	13
DD	dynamically depleted (Transistor)	15
DRAM	Dynamic Random Access Memory.....	90
EEPROM	Electrically Erasable Programmable Read-Only Memory	90
EPROM	Erasable Programmable Read-Only Memory	90
ESD	Electrostatic Discharge	25
ESOA	Electrical Save-Operating-Area	67
FB	Floating-Body.....	59
FD	fully depleted (Transistor).....	14
FEOL	Front-End-of-Line.....	8
FG	Floating-Gate	91
FN	Fowler-Nordheim	93
FRAM	Ferroelectric Random Access Memory	91
GCNMOS	Substrate-Triggered-NMOS.....	32
GGNMOS	Gate-Grounded-NMOS.....	32

Abkürzungsverzeichnis

GND	Ground	35
H035	0,35 μm -Technologie für Hochtemperaturanwendungen	7
H10	1,0 μm -Technologie für Hochtemperaturanwendungen	7
HBM	Human-Body-Modell	31
HCI	Hot Carrier Injection	93
HCSOA	Hot-Carrier-Save-Operating-Area	67
HT	Hochtemperatur	1
IC	Integrated Circuit	1
IGBT	Insulated Gate Bipolar Transistor	64
IMD	Inter-Metal Dielectric	136
LDD	Lightly Doped Drain	7
LDMOS	Lateral Double-Diffused MOSFET	63
LOCOS	Local Oxidation of Silicon	6
MA	Metallabdeckung	136
MOS	Metal Oxide Semiconductor	63
MRAM	Magnetoresistive Random Access Memory	91
NL	Nitrid-Liner	136
NMOS	n-Kanal-MOSFET	15
NVRAM	Nonvolatile Random Access Memory	91
OTP	One Time Programmable	90
PCM	Phase Change Memory	91
PD	partially depleted (Transistor)	14
PIN	positiv-intrinsisch-negativ-dotierte Diode	33
PMD	Pre-Metal Dielectric	135
PMOS	p-Kanal-MOSFET	15
PROM	Programmable Read-Only Memory	90
PSN	positiv-schwach-negativ-dotierte Diode	33
PT	Punch-Through	30
QBD	Ladung bis zum Durchbruch (engl.: charge (Q) to breakdown)	131
RDC	Rugged-Dotted-Channel (-Transistor)	78
REM	Rasterelektronenmikroskop	23

RESURF	Reduced Surface Field	63
RLZ	Raumladungszone	26
ROM	Read-Only Memory	90
RRAM	Resistive Random Access Memory	91
SCR	Silicon Controlled Rectifier	32
SILC	Stress Induced Leakage Current	95
SOA	Save Operating Area	67
SOI	Silicon on Insulator	2
SRAM	Static Random Access Memory	90
SST	Split-Source-Transistor	85
STI	Shallow Trench Isolation	6
STNMOS	Gate-Coupled-NMOS	32
TSOA	Thermal Save-Operating-Area	67
TVS	Triangular Voltage Sweep	108
USG	Undoped Silicate Glass	135
VDD	Versorgungsspannung	35
VDMOS	Vertical Double-Diffused MOSFET	64

Abkürzungsverzeichnis

Symbolverzeichnis

α	Parameter zur Bestimmung des Datenerhalts	110
\bar{x}	Ladungsschwerpunkt	105
β	Parameter zur Bestimmung des Datenerhalts	110
ΔQ_{TOX}	Änderung der eingebauten Ladungsmenge im Oxid	106
δV	Spannungsrampe bei TVS-Messung	137
ΔV_{th}	Änderung des Programmierfensters	106
δ	Konstante zur Beschreibung der Temperaturabhängigkeit von J_0	26
η	Idealitätsfaktor der Diode	27
$\kappa_{\text{CG,In}}$	Koppelverhältnis zwischen Control-Gate und Injektor	101
ν	Koeffizient zur Beschreibung von Q_{TOX}	106
ν_0	Koeffizient zur Bestimmung des temperaturabhängigen Verhaltens bei Datenwechselstabilität	124
ν_T	Koeffizient zur Bestimmung des temperaturabhängigen Verhaltens bei Datenwechselstabilität	124
ϕ	Höhe der Potentialbarriere	94
ψ_s	Oberflächenpotential	82
ρ	spezifischer Widerstand	22
τ_g	Generations-Lebensdauer von Ladungsträgern	28
ε_0	Permittivität des Vakuums	30
ε_{ox}	Permittivität von Siliziumdioxid	106
ε_{Si}	Permittivität von Silizium	29
a_{CG}	Fläche des Polysiliziums über dem Control-Gate-Bereich	117
a_C	Fläche einer Kapazität	137
E_E	materialspezifische Konstante zur Beschreibung von E_g	27

Symbolverzeichnis

A_{FN}	Fowler-Nordheim-Konstante	94
a_{FN}	FN-Tunnelstromfläche	102
A_{FP}	temperaturabhängiger Frenkel-Poole-Parameter	95
A_{FP}^*	temperaturunabhängiger Frenkel-Poole-Parameter	95
a_{In}	Fläche des Polysiliziums über dem Injektor-Bereich	117
A_{R}	effektive Richardson-Konstante	96
a_{TOX}	Fläche des Tunneloxids	106
a_{T}	Fläche des Transistors	67
A_{Jd}	Proportionalitätskonstante der Diodenstromdichte	27
A_{n_i}	Proportionalitätsfaktor der intrinsischen Ladungsträgerdichte	27
B_{E}	materialspezifische Konstante zur Beschreibung von E_{g}	27
B_{FN}	Fowler-Nordheim-Konstante	94
B_{FP}	temperaturabhängiger Frenkel-Poole-Parameter	95
C_{BG}	Kapazität zwischen Substrat und Floating-Gate	101
C_{CG}	Kapazität zwischen Control-Gate und Floating-Gate	101
C_{In}	Kapazität zwischen Injektor und Floating-Gate	101
C_{P}	parasitäre Kapazität zwischen Auslesetransistor und Floating-Gate	101
C_{T}	Gesamtkapazität	102
C_{XD}	Teilkapazität vom Ladungsschwerpunkt zum Injektor-Bereich (Drain)	105
C_{XF}	Teilkapazität vom Ladungsschwerpunkt zum Floating-Gate	105
d_{BOX}	Dicke des vergrabenen Oxids	7
d_{DOX}	Dicke des Oxids bei Transistoren für digitale Schaltungen	7
d_{FBOX}	Oxiddicke zusammengesetzt aus Feldoxid und BOX	101
d_{GOX}	Dicke des Oxids bei Transistoren für analoge Schaltungen	7
d_{M2}	Dicke der Wolframschicht der zweiten Metallebene	137
d_{Si}	Dicke des Siliziumfilms	7
d_{TOX}	Dicke des Tunneloxids	99
E_{Av}	elektrisches Feld, bei dem der Avalanche-Effekt einsetzt	65

E_A	Aktivierungsenergie	98
E_C	Untere Kante des Leitungsbandes	93
E_{Fm}	Fermi-Energie von Metall	93
E_F	Fermi-Energie	26
E_{g0}	Energie der Bandlücke bei $T = 0$ K	27
E_g	Energie der Bandlücke	27
E_V	Obere Kante des Valenzbandes.....	93
F	elektrische Feldstärke	94
F_{max}	maximale elektrische Feldstärke beim Durchbruch des pn-Übergangs	29
h	Planck'sches Wirkungsquantum	94
I_D	Drain-Strom	92
I_{Peak}	Maximale Strompulshöhe des ESD-Pulses	31
I_S	Sättigungsstrom einer Diode.....	47
J_D	Stromdichte der Diode in Durchlassrichtung	26
J_{FN}	Fowler-Nordheim-Stromdichte	94
J_{FP}	Frenkel-Poole-Stromdichte	95
J_{RD}	Stromdichte der Diode in Sperrrichtung.....	28
J_S	Sättigungsstromdichte der Diode	26
K	Koeffizient zur Beschreibung von Q_{TOX}	106
k	Boltzmann-Konstante	26
K_0	Koeffizient zur Bestimmung des temperaturabhängigen Verhaltens bei Datenwechselstabilität	124
L_{DD}	Länge der DVT-Implantation in der Driftregion	68
L_{DG}	Länge des PVT-dotierten Bereichs in der Driftregion	68
L_D	Länge der Driftregion	68
$L_{G,AT}$	Kanallänge des Auslesetransistors	100
L_{min}	minimale Kanallänge eines Transistors.....	68
L_m	Länge des schwachdotierten Bereichs eines $n^+p^-n^+$ - bzw. $p^+n^-p^+$ -Übergangs ..	30

Symbolverzeichnis

L_{RLZ}	Länge der Verarmungszone einer Diode	28
m_{ox}^*	effektive Elektronenmasse im Oxid	94
m_{si}^*	effektive Elektronenmasse im Silizium	94
N_0	Koeffizient zur Bestimmung der temperaturabhängigen maximalen Anzahl der Programmierzyklen	122
N_D	Konzentration der Donatoren	103
n_i	Konzentration der intrinsischen Ladungsträger	27
$N_{Z,max}$	maximale Anzahl an Programmierzyklen bei Untersuchungen der Datenwechselstabilität	121
N_Z	Anzahl der Zyklen bei Untersuchung der Datenwechselstabilität	97
q	Elementarladung	26
Q_{FG0}	gespeicherte Ladung auf dem Floating-Gate im neutralen Zustand einer Speicherzelle	102
Q_{FG}	gespeicherte Ladung auf dem Floating-Gate	102
$Q_{INJ,0}$	Koeffizient zur Modellierung des Oxiddurchbruchs	127
Q_{INJ}	injizierte Ladung	106
Q_{TOX}	eingebaute Ladungsmenge im Tunneloxid	106
R_{on}	Durchlasswiderstand des Transistors	67
S	Subthreshold-Swing	88
T	absolute Temperatur	26
t_0	Zeitkonstante beim Stresstest	98
t_F	Ausfallzeit beim Stresstest	98
$T_{K,0}$	Koeffizient zur Bestimmung des temperaturabhängigen Verhaltens bei Datenwechselstabilität	124
$T_{N,0}$	Koeffizient zur Bestimmung der temperaturabhängigen maximalen Anzahl der Programmierzyklen	122
$T_{Q,0}$	Koeffizient zur Modellierung des Oxiddurchbruchs	127
V_{ABD}	Durchbruchspannung des Avalanche-Effekts	32
V_{ASB}	Snapback-Spannung des Avalanche-Effekts	32
$V_{BD,off}$	Durchbruchspannung im Sperrzustand des Transistors	67

$V_{BD,on}$	Durchbruchspannung im leitenden Zustand des Transistors	67
V_{BD}	Durchbruchspannung	29
V_{BG}	Substratspannung	15
V_B	Body-Spannung	82
V_{CG}	Potential am Control-Gate-Anschluss	102
V_{dd}	Betriebsspannung	32
V_D	Drain-Spannung	15
V_{ext}	externe Spannung	26
V_{FG}	Potential am Floating-Gate	102
V_G	Gate-Spannung	15
V_{pp}	Programmierspannung	100
V_{SG}	Select-Gate-Spannung	100
V_S	Source-Spannung	15
V_{TBD}	thermische Durchbruchspannung	32
V_{th}	Schwellenspannung	16
V_{TSB}	Snapback-Spannung des thermischen Durchbruchs	32
W_{min}	minimale Kanalweite eines Transistors	68
X_{TI}	Sättigungsstrom-Temperaturexponent	47

Symbolverzeichnis

Literaturverzeichnis

- [1] J. WATSON *et al.*, *High-Temperature Electronics Pose Design and Reliability Challenges*, analog Dialogue **46**, S. 3–9, 2012
- [2] R. JOHNSON *et al.*, *The changing automotive environment: high-temperature electronics*, IEEE Transactions on Electronics Packaging Manufacturing **27**, S. 164–176, 2004
- [3] R. JURGENS, *High-Temperature Electronics Applications in Space Exploration*, Industrial Electronics, IEEE Transactions on **IE-29**, S. 107–111, 1982
- [4] J.-P. COLINGE, *Silicon-on-Insulator Technology: Materials to VLSI*, ISBN: 978-1-4757-2613-8, Springer US, 1997
- [5] C. BUTTAY *et al.*, *State of the art of High Temperature Power Electronics*, Microtherm, S. 8–17, 2009
- [6] R. A. NORMANN, *New high-temperature electronics may open doors for ultra-deep drilling, completions*, Drilling contractor **63**, 2007
- [7] D.-S. JEON *et al.*, *A temperature-dependent SOI MOSFET model for high-temperature application (27 deg;C-300 deg;C)*, IEEE Transactions on Electron Devices **38**, S. 2101–2111, 1991
- [8] D. FLANDRE *et al.*, *Demonstration of the potential of accumulation-mode MOS transistors on SOI substrates for high-temperature operation (150-300°C)*, IEEE Electron Device Letters **14**, S. 10–12, 1993
- [9] A. SCHMIDT *et al.*, *PD-SOI MOSFET performance optimization for high temperatures up to 400°C using reverse body biasing*, ANALOG, 2013
- [10] K. GRELLA *et al.*, *High temperature characterization up to 450°C of MOSFETs and basic circuits realized in a Silicon-on-Insulator (SOI) CMOS-technology*, Journal of microelectronics and electronic packaging **10**, S. 67–72, 2013
- [11] H. KAPPERT *et al.*, *High Temperature 0.35 Micron Silicon-on-Insulator CMOS Technology*, 2014
- [12] B. OHME *et al.*, *Progress Update on Honeywell’s Deep Trek High Temperature Electronics Project*, HiTEC, 2006

- [13] L. REED, *A 250°C ASIC Technology*, HITEN 2013, S. 000134–000138, 2013
- [14] M. DEVENNEY, *A temperature dependent SPICE macro-model for Zener and avalanche diodes*, Proceedings of the 34th Midwest Symposium on Circuits and Systems, 1991, S. 592–596, 1991
- [15] A. PAWLIKIEWICZ, *Simulation and modeling-new macro model for Zeners*, IEEE Circuits and Devices Magazine 9, S. 7–11, 1993
- [16] P. KROPELNICKI *et al.*, *A new DC-temperature model for a diode bolometer based on SOI-pin-diode test structures*, 2010 XIth International Workshop on Symbolic and Numerical Methods, Modeling and Applications to Circuit Design (SM2ACD), S. 1–4, 2010
- [17] A. SCHMIDT, *Analog Circuit Design in PD-SOI CMOS Technology for High Temperatures up to 400°C using Reverse Body Biasing (RBB)*, Wissenschaftliche Abschlussarbeiten » Dissertation, Universität Duisburg-Essen, Fakultät für Ingenieurwissenschaften » Elektrotechnik und Informationstechnik, 2014
- [18] C. BLEIKER, *Beitraege zur Charakterisierung des Programmier-, Speicher- und Ausdauerhaltens von Eeprom-Zellen mit Floating-Gate Struktur*, Dissertation, EIDGENÖSSISCHEN TECHNISCHEN HOCHSCHULE ZÜRICH, 1987
- [19] K. WU *et al.*, *A model for EPROM intrinsic charge loss through oxide-nitride-oxide (ONO) interpoly dielectric*, International Reliability Physics Symposium, S. 145–149, 1990
- [20] C. PAPADAS *et al.*, *Model for programming window degradation in FLOTOX EEPROM cells*, IEEE Electron Device Letters 13, S. 89–91, 1992
- [21] C.-Y. WU *et al.*, *Physical model for characterizing and simulating a FLOTOX EEPROM device*, Solid-State Electronics 35, S. 705–716, 1992
- [22] C. PAPADAS *et al.*, *Modeling of the intrinsic retention characteristics of FLOTOX EEPROM cells under elevated temperature conditions*, IEEE Transactions on Electron Devices 42, S. 678–682, 1995
- [23] J. DE BLAUWE *et al.*, *SILC-related effects in flash E2PROM's-Part II: Prediction of steady-state SILC-related disturb characteristics*, IEEE Transactions on Electron Devices 45, S. 1751–1760, 1998
- [24] B. DE SALVO *et al.*, *A new physical model for NVM data-retention time-to-failure*, IEEE International Reliability Physics Symposium Proceedings, S. 19–23, 1999

- [25] L. NEBRICH, *Entwicklung eines Makromodells für die Schaltungs- und Zuverlässigkeits-simulation von EEPROM-Zellen im erhöhten Temperaturbereich*, Dissertation, Technische Fakultät der Christian-Albrechts-Universität zu Kiel, 2001
- [26] S. RICHTER, *Entwurf und Applikation von Hochtemperatur-EEPROM-Speicherzellen in einer SOI-Technologie*, Dissertation, Technische Universität Ilmenau, 2011
- [27] A. UHLEMANN, *Schnelles Testverfahren zur Evaluierung von EEPROM-Eigenschaften*, Dissertation, Universität Duisburg-Essen, 2011
- [28] G. E. MOORE, *Cramming more components onto integrated circuits*, Reprinted from *Electronics*, *Electronics* **38**, S. 114–117, 1965
- [29] D. FLANDRE, *Silicon-on-insulator technology for high temperature metal oxide semiconductor devices and circuits*, *Materials Science and Engineering: B* **29**, S. 7–12, 1995
- [30] F. S. SHOUCAIR, *Scaling, subthreshold, and leakage current matching characteristics in high-temperature (25°C-250°C) VLSI CMOS devices*, *IEEE Transactions on Components, Hybrids, and Manufacturing Technology* **12**, S. 780–788, 1989
- [31] F. S. SHOUCAIR, *Design Consideration in High Temperature Analog CMOS Integrated Circuits*, *IEEE Transactions on Components, Hybrids, and Manufacturing Technology* **9**, S. 242–251, 1986
- [32] E. ARNOLD *et al.*, *High-temperature off-state characteristics of thin-SOI power devices*, *IEEE Electron Device Letters* **17**, S. 557–559, 1996
- [33] U. HILLERINGMANN, *Silizium-Halbleitertechnologie*, ISBN: 978-3-519-00149-2, Springer, 1995
- [34] J. P. COLINGE, *Thin-film SOI devices: A perspective*, *Microelectronic Engineering* **8**, S. 127–147, 1988
- [35] J. SLOTBOOM *et al.*, *Bandgap narrowing in silicon bipolar transistors*, *IEEE Transactions on Electron Devices* **24**, S. 1123–1125, 1977
- [36] S. REGGIANI *et al.*, *A Unified Analytical Model for Bulk and Surface Mobility in Si n- and p-Channel MOSFET's*, *Proceeding of the 29th European Solid-State Device Research Conference*, S. 240–243, 1999
- [37] S. REGGIANI *et al.*, *Electron and hole mobility in silicon at large operating temperatures. I. Bulk mobility*, *IEEE Transactions on Electron Devices* **49**, S. 490–499, 2002
- [38] S. REGGIANI *et al.*, *Surface mobility in silicon at large operating temperature*, *International Conference on Simulation of Semiconductor Processes and Devices*, S. 15–20, 2002

- [39] H. GOEBEL *et al.*, *Full dynamic power diode model including temperature behavior for use in circuit simulators*, Proceedings of the 4th International Symposium on Power Semiconductor Devices and ICs, S. 130–135, 1992
- [40] M. VALDINOCI *et al.*, *Impact-ionization in silicon at large operating temperature*, International Conference on Simulation of Semiconductor Processes and Devices, S. 27–30, 1999
- [41] F. VOGT, *Entwicklung eines CMOS-kompatiblen Smart-Power-Prozesses zur Herstellung intelligenter Leistungshalbleiter auf SIMOX-Substraten*, ISBN: 978-3-18-322409-8, VDI-Verlag, 1996
- [42] D. K. SCHRODER, *Semiconductor Material and Device Characterization*, ISBN: 978-0-471-73906-7, John Wiley & Sons, 2006
- [43] K. GRELLA, *Zuverlässigkeit von CMOS-Bauelementen auf SOI für den Betrieb bei 250 °C*, Dissertation, Universität Duisburg-Essen, 2013
- [44] W. B. HENLEY *et al.*, *Effects of iron contamination in silicon on thin oxide breakdown and reliability characteristics*, Journal of Non-Crystalline Solids **187**, S. 134–139, 1995
- [45] E. P. BURTE *et al.*, *The impact of iron, copper, and calcium contamination of silicon surfaces on the yield of a MOS DRAM test process*, Solid-State Electronics **41**, S. 1021–1025, 1997
- [46] A. A. ISTRATOV *et al.*, *Iron and its complexes in silicon*, Applied Physics A **69**, S. 13–44, 1999
- [47] A. A. ISTRATOV *et al.*, *Iron contamination in silicon technology*, Applied Physics A **70**, S. 489–534, 2000
- [48] H. GEIPEL *et al.*, *Reduction of Leakage by Implantation Gettering in VLSI Circuits*, IBM Journal of Research and Development **24**, S. 310–317, 1980
- [49] K. L. BEAMAN *et al.*, *Lateral Gettering of Fe on Bulk and Silicon-on-Insulator Wafers*, Journal of The Electrochemical Society **146**, S. 1925–1928, 1999
- [50] W. NEVIN *et al.*, *Optimization of gate oxide quality in CMOS SOI process*, SOI Conference, 2008. SOI. IEEE International, S. 47–48, 2008
- [51] S. S. GONG *et al.*, *Implantation gettering in silicon*, Solid-State Electronics **30**, S. 209–211, 1987
- [52] J. R. BLACK, *Electromigration failure modes in aluminum metallization for semiconductor devices*, Proceedings of the IEEE **57**, S. 1587–1594, 1969

- [53] D. G. PIERCE *et al.*, *Electromigration: A review*, Microelectronics Reliability 37, S. 1053–1072, 1997
- [54] J. R. BLACK, *Mass Transport of Aluminum by Momentum Exchange with Conducting Electrons*, Reliability Physics Symposium, S. 148–159, 1967
- [55] D. O'BOYLE, *Observations on Electromigration and the Soret Effect in Tungsten*, Journal of Applied Physics 36, S. 2849–2853, 1965
- [56] J. C. PEACOCK *et al.*, *Electrotransport of Tungsten and Life of a Filament*, Journal of Applied Physics 39, S. 6037–6041, 1968
- [57] R. WERNER, *Wolframmetallisierung zum Einsatz bei hohen Temperaturen*, Mikroelektronik, S. 33–38, 1995
- [58] R. A. SERWAY *et al.*, *Principles of Physics: A Calculus-Based Text*, ISBN: 978-1-133-10426-1, Brooks Cole, 2012
- [59] T. H. AHN *et al.*, *Effect of Residual Gases on Residue Formation during Tungsten-TiN-Ti Etching Using SF₆ and Cl₂ Gas Chemistry*, Japanese Journal of Applied Physics 33, S. L918–L920, 1994
- [60] F. SMITS, *Measurement of sheet resistivities with the four-point probe*, Bell System Technical Journal, The 37, S. 711–718, 1958
- [61] A. G. DOMENICUCCI *et al.*, *Effect of copper on the microstructure and electromigration lifetime of Ti–AlCu–Ti fine lines in the presence of tungsten diffusion barriers*, Journal of Applied Physics 80, S. 4952–4959, 1996
- [62] T. TILLE *et al.*, *Mikroelektronik: Halbleiterbauelemente und deren Anwendung in elektronischen Schaltungen*, ISBN: 978-3-540-20422-0, Springer, 2004
- [63] S. M. SZE *et al.*, *Physics of Semiconductor Devices*, ISBN: 978-0-471-14323-9, John Wiley & Sons, 2006
- [64] W. SHOCKLEY, *The Theory of p-n Junctions in Semiconductors and p-n Junction Transistors - Shockley - 2013 - Bell System Technical Journal - Wiley Online Library*, 1949
- [65] V. ALEX *et al.*, *Temperature dependence of the indirect energy gap in crystalline silicon*, Journal of Applied Physics 79, S. 6943–6946, 1996
- [66] C. ZENER, *A Theory of the Electrical Breakdown of Solid Dielectrics*, Proceedings of the Royal Society of London A: Mathematical, Physical and Engineering Sciences 145, S. 523–529, 1934

- [67] P. KANNAM, *Design concepts of high energy punchthrough structures*, IEEE Transactions on Electron Devices **23**, S. 879–882, 1976
- [68] Y. OKUTO, *The Temperature Coefficient of the Breakdown Voltage of Si Abrupt Punched-Through Type Diodes*, Japanese Journal of Applied Physics **10**, S. 154–160, 1971
- [69] K. VERHAEGE, *Component level ESD testing*, Microelectronics Reliability **38**, S. 115–128, 1998
- [70] E.-J. JS-001, *ESDA-JEDEC JS-001*, 2014, URL: <http://www.jedec.org/standards-documents/docs/js-001-2014> (besucht am 09. 11. 2015)
- [71] P. BOSSARD *et al.*, *Electrical Overstress-Electrostatic Discharge Symposium Proceedings*, S. 17–22, 1980
- [72] A. D. STRICKER, *Technology Computer Aided Design of ESD Protection Devices*, ISBN: 978-3-89649-691-1, Hartung-Gorre, 2001
- [73] M. P. J. MERGENS, *On-chip ESD protection in integrated circuits: device physics, modeling, circuit simulation*, Dissertation, 2001
- [74] JESD22-C101F, *JEDEC Standard*, 2013
- [75] O. SEMENOV *et al.*, *ESD Protection Device and Circuit Design for Advanced CMOS Technologies*, ISBN: 978-1-4020-8300-6 978-1-4020-8301-3, Springer Netherlands, 2008
- [76] W.-S. TAM *et al.*, *Snapback breakdown ESD device based on zener diodes on silicon-on-insulator technology*, Microelectronics Reliability **54**, S. 1163–1168, 2014
- [77] J.-H. CHUN, *ESD protection circuits for advanced CMOS technologies*, Dissertation, Stanford University, 2006
- [78] A. SCHENK *et al.*, *Rigorous Theory and Simplified Model of the Band-to-Band Tunneling in Silicon*, Solid-State Electronics **36**, S. 19–34, 1993
- [79] G. A. M. HURKX *et al.*, *A new analytical diode model including tunneling and avalanche breakdown*, IEEE Transactions on Electron Devices **39**, S. 2090–2098, 1992
- [80] R. VAN OVERSTRAETEN *et al.*, *Measurement of the ionization rates in diffused silicon p-n junctions*, Solid-State Electronics **13**, S. 583–608, 1970
- [81] M. DANIEL, *Development of mathematical models of semiconductor devices for computer-aided circuit analysis*, Proceedings of the IEEE **55**, S. 1913–1920, 1967
- [82] A. LAHA *et al.*, *A Zener diode model with application to SPICE2*, IEEE Journal of Solid-State Circuits **16**, S. 21–22, 1981

- [83] L. PIOTROWSKI, *An improved Spice2 Zener diode model for soft-region simulation capability*, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems 7, S. 1301–1303, 1988
- [84] S. WONG *et al.*, *SPICE macro model for the simulation of zener diode I-V characteristics*, IEEE Circuits and Devices Magazine 7, S. 9–12, 1991
- [85] K. C. SARASWAT *et al.*, *Breakdown walkout in planar p-n junctions*, Solid-State Electronics 21, S. 813–819, 1978
- [86] B. BOKSTEEN *et al.*, *Impact of Interface Charge on the Electrostatics of Field-Plate Assisted RESURF Devices*, IEEE Transactions on Electron Devices 61, S. 2859–2866, 2014
- [87] M. HUQUE *et al.*, *Silicon-on-insulator-based high-voltage, high-temperature integrated circuit gate driver for silicon carbide-based power field effect transistors*, IET Power Electronics 3, S. 1001–1009, 2010
- [88] M. HUQUE *et al.*, *A 200 C Universal Gate Driver Integrated Circuit for Extreme Environment Applications*, IEEE Transactions on Power Electronics 27, S. 4153–4162, 2012
- [89] J. LUTZ, *Halbleiter-Leistungsbaulemente*, ISBN: 978-3-642-29795-3 978-3-642-29796-0, Springer Berlin Heidelberg, 2012
- [90] S. SUN *et al.*, *Modeling of the on-resistance of LDMOS, VDMOS, and VMOS power transistors*, IEEE Transactions on Electron Devices 27, S. 356–367, 1980
- [91] J. D. PLUMMER *et al.*, *A monolithic 200-V CMOS analog switch*, IEEE Journal of Solid-State Circuits 11, S. 809–817, 1976
- [92] J. A. APPELS *et al.*, *High voltage thin layer devices (RESURF devices)*, International Electron Devices Meeting, S. 238–241, 1979
- [93] Y.-S. HUANG *et al.*, *Extension of RESURF principle to dielectrically isolated power devices*, Proceedings of the 3rd International Symposium on Power Semiconductor Devices and ICs, S. 27–30, 1991
- [94] S. MERCHANT *et al.*, *Realization of high breakdown voltage (>700 V) in thin SOI devices*, Proceedings of the 3rd International Symposium on Power Semiconductor Devices and ICs, S. 31–35, 1991
- [95] E. ARNOLD, *Silicon-on-Insulator Devices for High Voltage and Power IC Applications*, Journal of The Electrochemical Society 141, S. 1983–1988, 1994
- [96] R. SU *et al.*, *State-of-the-art device in high voltage power ICs with lowest on-state resistance*, IEEE International Electron Devices Meeting (IEDM), S. 20.8.1–20.8.4, 2010

- [97] P. WESSELS *et al.*, *Advanced BCD technology for automotive, audio and power applications*, Solid-State Electronics **51**, S. 195–211, 2007
- [98] P. MOENS *et al.*, *Characterization of Total Safe Operating Area of Lateral DMOS Transistors*, IEEE Transactions on Device and Materials Reliability **6**, S. 349–357, 2006
- [99] T. KHAN *et al.*, *Rugged Dotted-channel LDMOS structure*, Electron Devices Meeting, 2008. IEDM 2008. IEEE International, S. 1–4, 2008
- [100] N. ANNAMALAI *et al.*, *Leakage currents in SOI MOSFETs*, IEEE Transactions on Nuclear Science **35**, S. 1372–1378, 1988
- [101] S. MAEDA *et al.*, *Substrate-bias effect and source-drain breakdown characteristics in body-tied short-channel SOI MOSFET's*, IEEE Transactions on Electron Devices **46**, S. 151–158, 1999
- [102] M. EL KAAMOUCI *et al.*, *Body-Biasing Control on Zero-Temperature-Coefficient in Partially Depleted SOI MOSFET*, IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, S. 114–117, 2008
- [103] A. SCHMIDT *et al.*, *Enhanced High Temperature Performance of PD-SOI MOSFETs in Analog Circuits Using Reverse Body Biasing*, Journal of Microelectronics and Electronic Packaging **10**, S. 171–182, 2013
- [104] W. D. BROWN *et al.*, *Nonvolatile Semiconductor Memory Technology: A Comprehensive Guide to Understanding and Using NVSM Devices*, ISBN: 978-0-7803-1173-2, Wiley-IEEE Press, 1997
- [105] J. E. BREWER *et al.*, *Nonvolatile Memory Technologies with Emphasis on Flash: A Comprehensive Guide to Understanding and Using NVM Devices: A Comprehensive Guide to ... Press Series on Microelectronic Systems*, ISBN: 978-0-471-77002-2, John Wiley & Sons Inc, 2008
- [106] R. VAN SCHAIJK *et al.*, *Reliability of embedded SONOS memories*, Proceeding of the 34th European Solid-State Device Research conference (ESSDERC), S. 277–280, 2004
- [107] R. H. FOWLER *et al.*, *Electron Emission in Intense Electric Fields*, Proceedings of the Royal Society of London. Series A **119**, S. 173–181, 1928
- [108] G. PANANAKAKIS *et al.*, *Temperature dependence of the Fowler–Nordheim current in metal-oxide-degenerate semiconductor structures*, Journal of Applied Physics **78**, S. 2635–2641, 1995
- [109] M. LENZLINGER *et al.*, *Fowler-Nordheim Tunneling into Thermally Grown SiO₂*, Journal of Applied Physics **40**, S. 278–283, 1969

- [110] M. ROCA *et al.*, *A Modelisation of the temperature dependence of the Fowler–Nordheim current in EEPROM memories*, *Microelectronics Reliability* **49**, S. 1070–1073, 2009
- [111] J. FRENKEL, *On Pre-Breakdown Phenomena in Insulators and Electronic Semi-Conductors*, *Physical Review* **54**, S. 647–648, 1938
- [112] G. TAO *et al.*, *The impact of SILC to data retention in sub-half-micron Embedded EEPROMs*, *Microelectronic Engineering* **48**, S. 419–422, 1999
- [113] N. MIELKE *et al.*, *Reliability of Flash Nonvolatile Memories*, *International Journal of High Speed Electronics and Systems* **11**, S. 719–750, 2001
- [114] J. PEPPER, *Zeitoptimierte Verfahren zur Bestimmung des Datenerhalts und der Wiederbeschreibbarkeit von Doppel-Poly-EEPROM-Zellen: Korrelation zu technologischen und designabhängigen Parametern*, Dissertation, Gesamthochschule Duisburg, 1998
- [115] H. CARUSO *et al.*, *A fundamental overview of accelerated-testing analytic models*, *Annual Reliability and Maintainability Symposium*, S. 389–393, 1998
- [116] K. OHSAKI *et al.*, *A single poly EEPROM cell structure for use in standard CMOS processes*, *IEEE Journal of Solid-State Circuits* **29**, S. 311–316, 1994
- [117] D. GOGL, *Untersuchungen zur Realisierung hochtemperaturtauglicher EEPROM-Speicher in SIMOX-Technologie*, ISBN: 978-3-8167-5206-6, Fraunhofer IRB Verlag, 1998
- [118] A. BHATTACHARYYA, *Modelling of write/erase and charge retention characteristics of floating gate EEPROM devices*, *Solid-State Electronics* **27**, S. 899–906, 1984
- [119] A. KOLODNY *et al.*, *Analysis and modeling of floating-gate EEPROM cells*, *IEEE Transactions on Electron Devices* **33**, S. 835–844, 1986
- [120] R. BEZ *et al.*, *Spice Model for Transient Analysis of EEPROM Cells*, *Le Journal de Physique Colloques* **49**, S. C4–677–C4–680, 1988
- [121] S. O. KONG *et al.*, *Simulation of the program operations of the FLOTOX EEPROM*, *Solid-State Electronics* **37**, S. 1949–1960, 1994
- [122] C. PAPADAS *et al.*, *Numerical transient simulation of the programming window degradation in FLOTOX EEPROM cells*, *Solid-State Electronics* **36**, S. 1303–1311, 1993
- [123] R. RODRIGUEZ *et al.*, *Analysis of the evolution of the trapped charge distributions in 10nm SiO₂ films during DC and bipolar dynamic stress*, *Microelectronics Reliability* **37**, S. 1517–1520, 1997

- [124] C. PAPADAS *et al.*, *Oxide reliability criterion for the evaluation of the endurance performance of electrically erasable programmable read only memories*, Journal of Applied Physics **71**, S. 4589–4593, 1992
- [125] R. SHINER *et al.*, *Data Retention in EPROMS*, Reliability Physics Symposium, S. 238–243, 1980
- [126] N. MIELKE, *New EPROM Data-Loss Mechanisms*, Reliability Physics Symposium, 1983. 21st Annual, S. 106–113, 1983
- [127] H. NOZAWA *et al.*, *A Thermionic Electron Emission Model for Charge Retention in SA-MOS Structure*, Japanese Journal of Applied Physics **21**, S. L111–L112, 1982
- [128] H. NOZAWA *et al.*, *Characteristics and reliability of the SEEPROM cell*, IEEE Transactions on Electron Devices **31**, S. 1413–1419, 1984
- [129] C.-S. PAN *et al.*, *High-temperature charge loss mechanism in a floating-gate EPROM with an oxide-nitride-oxide (ONO) interpoly stacked dielectric*, IEEE Electron Device Letters, **12**, S. 506–503, 1991
- [130] G. CRISENZA *et al.*, *Charge loss in EPROM due to ion generation and transport in inter-level dielectric*, International Electron Devices Meeting, S. 107–110, 1990
- [131] E. SAKAGAMI *et al.*, *The impact of intermetal dielectric layer and high temperature bake test on the reliability of nonvolatile memory devices*, IEEE International Reliability Physics Symposium, S. 359–367, 1994
- [132] J.-H. KIM *et al.*, *Long-term electron leakage mechanisms through ONO interpoly dielectric in stacked-gate EEPROM cells*, IEEE Transactions on Electron Devices **51**, S. 2048–2053, 2004
- [133] J.-W. LIOU *et al.*, *Characterization of process-induced mobile ions on the data retention in flash memory*, IEEE Transactions on Electron Devices **50**, S. 995–1000, 2003
- [134] H. M. PRZEWLOCKI *et al.*, *The triangular voltage sweep method as a tool in studies of mobile charge in MOS structures*, physica status solidi (a) **29**, S. 265–274, 1975
- [135] B. DE SALVO *et al.*, *Experimental and theoretical investigation of nonvolatile memory data-retention*, IEEE Transactions on Electron Devices **46**, S. 1518–1524, 1999
- [136] K. NARUKE *et al.*, *Stress induced leakage current limiting to scale down EEPROM tunnel oxide thickness*, International Electron Devices Meeting, S. 424–427, 1988
- [137] J. DE BLAUWE *et al.*, *Read-disturb and endurance of SSI-flash E2PROM devices at high operating temperatures*, IEEE Transactions on Electron Devices **45**, S. 2466–2474, 1998

- [138] H. KAMEYAMA *et al.*, *A new data retention mechanism after endurance stress on flash memory*, IEEE International Reliability Physics Symposium, S. 194–199, 2000
- [139] A. KELBERER *et al.*, *Experimental Reliability Studies and SPICE Simulation for EEPROM at Temperatures up to 450°C*, Journal of Microelectronics and Electronic Packaging **13**, S. 33–37, 2016
- [140] K. F. SCHUEGRAF *et al.*, *Effects of temperature and defects on breakdown lifetime of thin SiO₂ at very low voltages*, IEEE Transactions on Electron Devices **41**, S. 1227–1232, 1994
- [141] K. F. SCHUEGRAF *et al.*, *Metal-oxide-semiconductor field-effect-transistor substrate current during Fowler–Nordheim tunneling stress and silicon dioxide reliability*, Journal of Applied Physics **76**, S. 3695–3700, 1994
- [142] A. MARTIN *et al.*, *Qbd dependence on stress and test structure parameters: A review*, Integrated Reliability Workshop Final Report, 1997 IEEE International, S. 140–141, 1997
- [143] K. F. SCHUEGRAF *et al.*, *Reliability of thin SiO₂*, Semiconductor Science and Technology **9**, S. 989, 1998
- [144] S. LOMBARDO *et al.*, *Dielectric breakdown mechanisms in gate oxides*, Journal of Applied Physics **98**, S. 121301, 2005
- [145] F. SHONE *et al.*, *A novel method to characterize and screen mobile ion contaminated nonvolatile memory products*, International Symposium on VLSI Technology, S. 224–226, 1991
- [146] W. LEE *et al.*, *Mobile ion-induced data retention failure in NOR flash memory cell*, IEEE Transactions on Device and Materials Reliability **1**, S. 128–132, 2001
- [147] S.-P. SIM *et al.*, *Anomalous charge loss of reference cell in MLC flash memory due to process-induced mobile ion*, Proceedings of 35th European Solid-State Device Research Conference, S. 321–324, 2005
- [148] P. GASSOT *et al.*, *Water-Assisted Positive Ion Contamination Resulting in Charge Loss in Nonvolatile Memories*, Proceeding of the 30th European Solid-State Device Research Conference, S. 268–271, 2000
- [149] G. F. DERBENWICK, *Mobile ions in SiO₂: Potassium*, Journal of Applied Physics **48**, S. 1127–1130, 1977
- [150] R. BOTTINI *et al.*, *Passivation scheme impact on retention reliability of non volatile memory cells*, International Integrated Reliability Workshop, S. 18–21, 1995

Literaturverzeichnis

- [151] M. YAMIN, *Observations on phosphorus stabilized SiO₂ films*, IEEE Transactions on Electron Devices **13**, S. 256–259, 1966
- [152] N. LIFSHITZ, *Mobile Charge in a Novel Spin-On Oxide (SOX): Detection of Hydrogen in Dielectrics*, Journal of The Electrochemical Society **136**, S. 1440, 1989
- [153] K. GRELLA *et al.*, *Reliability of CMOS on Silicon-on-Insulator for Use at 250*, IEEE Transactions on Device and Materials Reliability **14**, S. 21–29, 2014

Danksagung

Mein Dank gilt zunächst Prof. Dr.-Ing. Holger Vogt für die Themenstellung, die Betreuung dieser Arbeit und das Feedback während der Doktorandenvorträge.

Prof. Dr.-Ing. Horst Fiedler danke ich für die Übernahme des Zweitgutachtens.

Besonders bedanke ich mich beim Gruppenleiter Dr. Stefan Dreiner, an den ich mich während meiner Promotionszeit immer wenden konnte. Die Diskussionen, die ich mit Stefan geführt habe, und seine kompetenten Ratschläge waren für mich stets eine Bereicherung für das wissenschaftliche Wirken.

Ebenfalls möchte ich mich beim Abteilungsleiter Dr. Uwe Paschen bedanken, der mir ebenfalls mit seiner Kompetenz und langjähriger Erfahrung zur Seite stand.

Ich danke weiterhin den Kollegen, Dr. Katharina Grella, Dr. Miriam Klusmann und Dirk Dittrich, die an der Entwicklung der H035-Technologie beteiligt waren und mir bei vielen Problemen weiterhelfen konnten.

Ebenso gilt mein Dank Tim Ritter, der im Rahmen einer Masterarbeit maßgeblich an der Entwicklung der Dioden-Makromodelle beteiligt war.

Danken möchte ich auch Holger Kappert und seiner Gruppe ISS für die Unterstützung bei Fragen rundum Schaltungen.

Für die große Unterstützung bei der Durchführung von Messungen möchte ich mich bei den zahlreichen studentischen Hilfskräften, Dominik Hoedemakers, Katharina Grittner, Viktor Strzebinczyk und Ena Zunic, bedanken.

Bei den alten und neuen Bürokollegen, Dr. Katharina Grella, Janusz Pieczynski, Julia Hauser und Dr. Haci Yusuf Günel, möchte ich mich herzlich für die gute Büroatmosphäre bedanken.

Schließlich gilt mein Dank der gesamten Abteilung CTB, in der stets eine sehr gute Arbeitsatmosphäre geherrscht hat.

Auch wenn die Promotionszeit keine einfache war, so war diese doch eine tolle Zeit, die ich vor allem den Menschen um mich herum zu verdanken habe.

Vielen Dank