

**Juliano D'Ornelas Benfica**

**Plataforma para Testes e Qualificação de  
Dispositivos Reconfiguráveis e Sistemas em  
Chip, Submetidos aos Efeitos Combinados  
da Interferência Eletromagnética e da  
Radiação Ionizante**

**Florianópolis**

**2015**



Juliano D'Ornelas Benfica

**PLATAFORMA PARA TESTES E QUALIFICAÇÃO  
DE DISPOSITIVOS RECONFIGURÁVEIS E  
SISTEMAS EM CHIP, SUBMETIDOS AOS EFEITOS  
COMBINADOS DA INTERFERÊNCIA  
ELETROMAGNÉTICA E DA RADIAÇÃO  
IONIZANTE**

Tese submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do Grau de Doutor em Engenharia Elétrica.  
Orientador: Prof. Dr. Eduardo Augusto Bezerra  
Coorientador: Prof. Dr. Fabian Luis Vargas

Florianópolis

2015

Ficha de identificação da obra elaborada pelo autor,  
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Benfica, Juliano D'Ornelas

Plataforma para Testes e Qualificação de Dispositivos Reconfiguráveis e Sistemas em Chip, Submetidos aos Efeitos Combinados da Interferência Eletromagnética e da Radiação Ionizante / Juliano D'Ornelas Benfica ; orientador, Eduardo Augusto Bezerra ; coorientador, Fabian Luis Vargas. - Florianópolis, SC, 2015.

228 p.

Tese (doutorado) - Universidade Federal de Santa Catarina, Centro Tecnológico. Programa de Pós-Graduação em Engenharia Elétrica.

Inclui referências

1. Engenharia Elétrica. 2. Plataformas de teste. 3. Efeitos combinados da radiação e interferência eletromagnética. 4. Dispositivos reconfiguráveis. 5. Injeção de ruído. I. Bezerra, Eduardo Augusto. II. Vargas, Fabian Luis. III. Universidade Federal de Santa Catarina. Programa de Pós-Graduação em Engenharia Elétrica. IV. Título.

Juliano D'Ornelas Benfica

**PLATAFORMA PARA TESTES E QUALIFICAÇÃO DE  
DISPOSITIVOS RECONFIGURÁVEIS E SISTEMAS EM CHIP,  
SUBMETIDOS AOS EFEITOS COMBINADOS DA  
INTERFERÊNCIA ELETROMAGNÉTICA E DA RADIAÇÃO  
IONIZANTE**


Esta Tese foi julgada adequada para obtenção do Título de Doutor em Engenharia Elétrica, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica.

Florianópolis, 24 de novembro de 2015.




---

Prof. Carlos Galup Montoro, Dr.  
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica



---

Prof. Eduardo Augusto Bezerra, Dr.  
Orientador  
Universidade Federal de Santa Catarina - UFSC



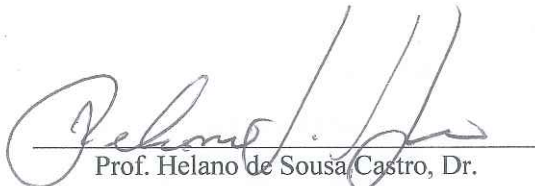
---

Prof. Fabian Luis Vargas, Dr.  
Coorientador  
Pontificia Universidade Católica do RS – PUCRS

**Banca Examinadora:**



Prof.ª Fernanda Lima Kastensmidt, Dr.ª  
Universidade Federal do Rio Grande do Sul – UFRGS  
(Videoconferência)



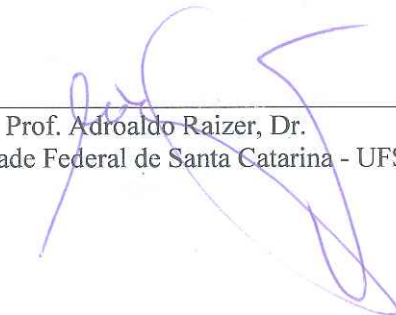
Prof. Helano de Sousa Castro, Dr.  
Universidade Federal do Ceará - UFC



Prof. José Lipovetzky, Dr.  
Universidade de Buenos Aires- UBA  
(Videoconferência)



Prof. Anderson W. Spengler, Dr.  
Universidade Federal de Santa Catarina – UFSC



Prof. Adroaldo Raizer, Dr.  
Universidade Federal de Santa Catarina - UFSC

*Este trabalho é dedicado à minha linda esposa Patrícia Liége Benfica,  
fonte de inspiração e principal incentivadora deste trabalho.*





## AGRADECIMENTOS

A minha esposa, pela paciência, carinho e dedicação, além de ser a principal incentivadora para a realização e conclusão deste trabalho, me apoiando sempre para crescer como profissional e como pessoa. Linda, muito obrigado!!!

Aos meus orientadores, professores Eduardo Bezerra e Fabian Vargas, meus amigos acima de tudo, que sempre acreditaram e valorizaram o meu trabalho, orientando e apoiando sempre da melhor forma possível, sendo exemplo de dedicação e orientação.

A todos os integrantes do Grupo SiSC e do grupo GSE, que contribuíram para a realização deste trabalho, principalmente na realização dos ensaios em campo.

A todo o pessoal do INTI (Buenos Aires), Centro Atômico Ezeiza, do Centro Atômico Bariloche, da USP e da FEI (São Paulo), que nos possibilitaram a realização de todos os ensaios efetuados neste trabalho, fornecendo os equipamentos necessários e colaborando com suas grandes experiências no assunto.

A UFSC e ao PPGEEL pela disponibilidade dos recursos necessários para a realização deste trabalho pelo profissionalismo e competência.

A PUCRS, e principalmente aos meus colegas de trabalho do curso de Engenharia Elétrica pelo grande apoio e incentivo.

Meus sinceros agradecimentos a todos familiares e amigos, que colaboraram e apoiaram de alguma forma no decorrer desta caminhada....



## RESUMO

Este trabalho investiga os efeitos combinados da radiação e interferência eletromagnética em sistemas embarcados críticos baseados em dispositivos reconfiguráveis (FPGAs). Os efeitos investigados podem ser resultantes de interferência eletromagnética, conduzida ou radiada, ou através de radiação ionizante, por acúmulo de dose total (*Total Ionizing Dose*, ou TID) ou por efeitos de evento único, denominados de *Single Event Effects* (SEE). Dispositivos do tipo FPGA têm sido cada vez mais utilizados em sistemas críticos, devido a sua versatilidade, desempenho e robustez. O presente estudo contribui para a caracterização e qualificação de dispositivos FPGAs quando em funcionamento em ambientes ruidosos.

O cenário descrito motivou a proposta deste trabalho, que contempla três objetivos principais: (1) O projeto, desenvolvimento e validação de uma plataforma para ensaios combinados de radiação e de interferência eletromagnética (conduzida e radiada) usando como referência o conjunto de normas IEC 62.132. (2) Desenvolver uma metodologia para qualificar sistemas em chip (SoCs) implementados em FPGA levando-se em conta os efeitos combinados da radiação (TID e SEE) e da interferência eletromagnética (EMI radiada e conduzida); (3) Demonstrar a utilização integrada da metodologia e plataforma para qualificação destes dispositivos e os sistemas em chip utilizados no que diz respeito à dose de radiação, tempo de atraso entre entrada e saída, tensão mínima de funcionamento, consumo de corrente dinâmico, nível de campo eletromagnético máximo suportado antes da falha, a faixa de frequências em que os dispositivos apresentaram falhas com outros valores de campo e a sensibilidade à *Single Event Upsets* (SEU) tendo seus efeitos combinados com TID e EMI.

Cabe salientar que estas plataformas de testes deste nível e para este propósito não foram encontradas na literatura nem no Brasil nem no exterior, nos motivando ainda mais a pesquisa e o desenvolvimento pela sua originalidade e grande utilidade para projetos que envolvem sistemas em chip utilizando FPGAs quando submetidos à radiação e

à EMI. Principalmente quando aplicado a sistemas embarcados para aplicações críticas.

A plataforma desenvolvida é baseada em três placas específicas e complementares em duas versões. A primeira é dedicada para ensaios com radiação ionizante, e pode ser utilizada em uma câmara aceleradora de partículas ou em uma Gamma Cell (para exposição a raios gama) ou ainda em equipamentos de raios X. A segunda placa é dedicada para o teste de imunidade à EMI radiada utilizando uma *Giga-hertz Transverse Electromagnetic Cell* (GTEM Cell) de acordo com a norma IEC 62.132-2 e a terceira é uma placa de injeção de EMI conduzido pelas linhas de alimentação do circuito, e usou como referência a norma IEC 61.000-4-29.

Com a plataforma e metodologia apresentadas neste trabalho foi possível comprovar que quanto maior a dose de radiação recebida, mais susceptível o dispositivo fica quando exposto à EMI, aumentando em pelo menos 30% a quantidade de falhas, em até 230% o tempo de atraso entre entrada e saída e em até 19% o consumo de corrente dinâmico do dispositivo. Assim como quanto maior a dose de radiação sofrida, maior será a sensibilidade à SEU. Com os limites de operação apresentados para os FPGAs em teste, o projetista pode decidir se o dispositivo está ou não qualificado para o seu uso em determinada aplicação.

**Palavras-chaves:** Plataformas de teste, Efeitos da radiação, Interferência Eletromagnética, Injeção de ruído, Metodologia de testes, FPGAs, SEE.

## ABSTRACT

The combined effects of radiation and electromagnetic interference in reconfigurable devices (FPGAs) are explored in this work. The investigated effects can originate from radiated or conducted electromagnetic interference, through ionizing radiation, by accumulation of total dose (Total Ionizing Dose TID) or by Single Event Effects also known as SEE. Since FPGA devices have been increasingly used in critical systems, due to their versatility, performance and robustness, this study contributes to the characterization and qualification of FPGAs devices when operating in noisy environments.

The described scenario resulted in a proposal with three main objectives: (1) The design, development and validation of a platform for combined tests for radiation and electromagnetic interference (conducted and radiated) with reference to IEC 62.132 standards. (2) Development of a methodology to qualify systems on chip (SoC) implemented in FPGA taking into account the combined effects of radiation (TID and SEE) and electromagnetic interference (EMI radiated and conduced); (3) Demonstrate the combined use of the methodology and platform for qualifications of these devices and SoC used with respect to radiation dose, time delay between input and output, minimum operating voltage, the dynamic power consumption, electromagnetic field level supported before failure, the frequency range in which the devices had failures with other field values and sensitivity to Single Event Upsets (SEU) with TID and EMI combined effects.

It should be emphasized that these test platforms, at this level and for this purpose have not been found in the literature either in Brazil or in other countries, motivating this research and development for its originality and use in projects involving systems on chip on FPGAs when exposed to radiation and EMI. Especially when applied to embedded systems for critical applications. The developed platform is based on three specific and complementary boards in two versions. The first one is dedicated to radiation immunity test according to the IEC 62132-2 standard, and can be used in a particle accelerator chamber (e.g. protons)

Gamma Cell (for gamma rays exposure) or in X ray equipment's. The second board is dedicated to radiated noise immunity testing in a Giga-Hertz Transverse Electromagnetic Cell (GTEM Cell) referenced by the IEC 62.132-2 standard. The third one is a board for conducted EMI injection by the circuit supply lines referenced by the IEC 61.000-4-29 standard.

With the platform and methodology presented in this work it was possible to prove that the higher radiation dose received, the more susceptible when exposed to EMI the device is, increasing by at least 30 % the number of failures, up to 230 % the time delay between input and output and up to 19 % dynamic current consuming of the device. As well as the higher the radiation dose suffered, the more sensitivity to SEU is. With operating limits presented for FPGAs under test, the designer can decide if the device is qualified or not for use in a particular application.

**Key-words:** test platforms, effects of radiation, electromagnetic interference, noise injection, testing methodology, FPGAs.

## LISTA DE ILUSTRAÇÕES

Figura 1 – Confiabilidade de sistemas eletrônicos ao longo do tempo. . . . .	34
Figura 2 – Cinturões de Radiação de Van Allen. . . . .	46
Figura 3 – Órbitas dos satélites. . . . .	49
Figura 4 – Órbita polar e órbita equatorial de um satélite. . . . .	50
Figura 5 – Classificação dos efeitos da radiação espacial em função de suas respectivas fontes. . . . .	53
Figura 6 – Características típicas medidas de tensão (V) e corrente (A) de um nMOSFET de $0,4 \mu\text{m}$ , onde é mostrado um aumento da corrente de fuga após a irradiação	54
Figura 7 – Corrente de fuga do óxido de porta versus tensão de porta para um capacitor não irradiado e um capacitor irradiado a $5,3 \text{ Mrad(Si)}$ por raios gama através de Co-60 com uma polarização de porta de $-0,3\text{V}$ . . . . .	57
Figura 8 – Curva da Banheira para tempos de falhas ( <i>Bathtub Curve</i> ). . . . .	59
Figura 9 – Dois circuitos compartilhando o caminho de retorno da corrente. . . . .	62
Figura 10 – Campo elétrico acoplado entre dois condutores. . . . .	63
Figura 11 – Campo magnético acoplado entre dois condutores. . . . .	63
Figura 12 – TEM-Cell customizada utilizada para teste de circuitos integrados. . . . .	67
Figura 13 – (a) detalhe de uma ponteira para medir campos próximos provenientes de um CI como um todo. (b) detalhe de uma micro ponteira para medir campos próximos de partes do CI ou de seus pinos. . . . .	68
Figura 14 – Esquema de teste por injeção de corrente. . . . .	69
Figura 15 – Esquema de teste por injeção direta de RF. . . . .	70
Figura 16 – GTEM-Cell da Teseq. . . . .	70
Figura 17 – GTEM Cell. . . . .	82
Figura 18 – TEM Cell utilizada para teste de PCBs com $10 \times 10 \text{cm}$ . . . . .	82

Figura 19 – Câmara Gamma Cell com fonte de radiação de Co-60 para ensaios de radiação no Centro Atômico Ezeiza, da Comissão Nacional de Energia Atômica em Buenos Aires Argentina. . . . .	83
Figura 20 – Detalhe do soquete e adaptador utilizados para os DUTs na plataforma. . . . .	87
Figura 21 – Diagrama de blocos da plataforma de testes de EMI radiado. . . . .	87
Figura 22 – Distribuição das camadas na placa de ensaios de EMI radiado. . . . .	89
Figura 23 – Diagrama de blocos da placa de testes de radiação. . . . .	90
Figura 24 – Distribuição das camadas na placa de ensaios de radiação. . . . .	92
Figura 25 – Diagrama do uso do soquete e adaptador para o chip BGA. . . . .	93
Figura 26 – Plataforma para ensaios de radiação. . . . .	94
Figura 27 – Plataforma para Ensaios de EMI radiado visto do lado de cima da placa. . . . .	95
Figura 28 – Plataforma para Ensaios de EMI radiado visto do lado de baixo da placa. . . . .	96
Figura 29 – Foto da plataforma para ensaios de EMI conduzido. . . . .	98
Figura 30 – Diagrama de blocos da plataforma para ensaios de EMI conduzido. . . . .	99
Figura 31 – Foto da plataforma de ensaios de EMI radiado visto do lado de cima da placa. . . . .	101
Figura 32 – Plataforma de ensaios de EMI radiado visto do lado de baixo da placa. . . . .	102
Figura 33 – Diagrama de blocos da plataforma de testes de EMI radiado da segunda versão. . . . .	103
Figura 34 – Detalhe do soquete utilizado nas Virtex 4. . . . .	106
Figura 35 – Micro torquímetro utilizado para apertar os soquetes da IronWood. . . . .	106
Figura 36 – Detalhe do soquete Yamaichi utilizado na Spartan 3E. . . . .	107



Figura 37 – Plataforma de ensaios de radiação para Virtex 4 visto do lado de cima da placa com o detalhe do soquete IronWood. . . . .	108
Figura 38 – Plataforma de ensaios de radiação para Virtex 4 visto do lado de baixo da placa. . . . .	108
Figura 39 – Foto da plataforma de ensaios de radiação para Spartan3E visto do lado de cima da placa. . . . .	110
Figura 40 – Foto da plataforma de ensaios de radiação para Spartan3E visto do lado de baixo da placa. . . . .	111
Figura 41 – Diagrama de blocos da placa de testes de radiação para Spartan3E. . . . .	111
Figura 42 – Distribuição das camadas na placa de ensaios de radiação para Spartan3E. . . . .	113
Figura 43 – Fluxograma de controle do ensaio. . . . .	114
Figura 44 – Tela de configuração das portas seriais de comunicação com a plataforma. . . . .	116
Figura 45 – Tela de configuração das alimentações dos FPGAs e configuração da injeção de ruído nas linhas de alimentação. . . . .	117
Figura 46 – Tela de monitoração da saída serial, configuração e <i>reset</i> dos FPGAs. . . . .	119
Figura 47 – Fluxograma de controle do ensaio. . . . .	121
Figura 48 – Sinal AM com modulação 80%. . . . .	137
Figura 49 – Caixa metálica utilizada como blindagem para encaixe da plataforma para testes de EMI radiado utilizando a GTEM-CELL. . . . .	139
Figura 50 – Dose Total e Tempo de Exposição dos FPGAs. . . . .	154
Figura 51 – Gama Cell com detalhe do suporte com as quatro placas inseridas no invólucro de testes da câmara (Benfica et al., 2011b). . . . .	155
Figura 52 – Atraso entre entrada e saída do circuito de medição nos dispositivos sob teste. . . . .	156
Figura 53 – Desvio padrão das medidas de atraso entre entrada e saída do circuito para cada dispositivo. . . . .	158

Figura 54 – Intervalo de confiança das medidas de atraso considerando um nível de confiança de 95%. . . . .	158
Figura 55 – Consumo de corrente dinâmico na alimentação do core do FPGA (1v2). . . . .	159
Figura 56 – Desvio padrão das medidas do consumo de corrente dinâmico para cada dispositivo. . . . .	160
Figura 57 – Intervalo de confiança das medidas de consumo de corrente dinâmico considerando um nível de confiança de 95%. . . . .	161
Figura 58 – Tensão mínima de funcionamento do core (1,2V) para cada dispositivo. . . . .	163
Figura 59 – Desvio padrão das medidas de tensão mínima de funcionamento para cada dispositivo. . . . .	164
Figura 60 – Intervalo de confiança das medidas de tensão mínima de funcionamento considerando um nível de confiança de 95%. . . . .	165
Figura 61 – GTEM-CELL com o detalhe da plataforma de testes de EMI encaixado na blindagem para os testes de susceptibilidade a EMI (Benfica et al., 2011a). . . .	166
Figura 62 – Falhas de lógica por intervalo de frequência utilizando tensão de alimentação do core nominal em 1,2V. (a)FPGA0, (b)FPGA1, (c)FPGA2, (d)FPGA3, (e)FPGA4 . . . . .	169
Figura 63 – Falhas de <i>hardware</i> por intervalo de frequência utilizando tensão de alimentação do core nominal em 1,2V. (a)FPGA0, (b)FPGA1, (c)FPGA2, (d)FPGA3, (e)FPGA4 . . . . .	170
Figura 64 – Falhas de <i>hardware</i> por intervalo de frequência com tensão de core reduzido. (a)FPGA0 (1,06V), (b)FPGA1 (1,06V), (c)FPGA2 (1,08V), (d)FPGA3 (1,07V), (e)FPGA4 (1,06V) . . . . .	173
Figura 65 – Porcentagem de falhas de Hardware e de Lógica (S) para os testes de EMI. . . . .	174

Figura 66 – Porcentagem de falhas de Hardware e de Lógica (S) para os testes de EMI com intervalo de confiança de 95%. . . . .	175
Figura 67 – Relação (covariância) entre as medidas utilizadas no teste e a dose total. . . . .	176
Figura 68 – Acelerador Pelletron do LAFN-USP construído pela NEC (National Electrostatic Corporation) no Edifício Oscar Sala. . . . .	178
Figura 69 – Fluxograma de teste utilizado para os testes nos FPGAs Spartan3E. . . . .	180
Figura 70 – Processo de decapagem dos FPGAs utilizados no teste.	181
Figura 71 – Difractômetro de raio X Shimadzu XRD-7000 utilizado nos testes. . . . .	182
Figura 72 – Detalhe da plataforma de testes sob o feixe de raios X.	182
Figura 73 – Dose total depositada no FPGA_A e no FPGA_B.	184
Figura 74 – Corrente dinâmica medida para o FPGA_B. . . . .	185
Figura 75 – Configuração e disposição dos equipamentos de teste utilizados para os ensaios nos FPGAs Spartan3E. . . . .	186
Figura 76 – Detalhe da plataforma dentro da câmara de vácuo do Pelletron. . . . .	187
Figura 77 – Seção transversal de SEU do FPGA_A em função da redução de tensão. . . . .	188
Figura 78 – Seção transversal de SEU do FPGA_A em função da redução de tensão com intervalo de confiança para um nível de confiança de 95%. . . . .	188
Figura 79 – Captura da tela do osciloscópio que mostra a forma de ondo injetada nos testes com (a) para o FPGA_A e (b) para o FPGA_B. . . . .	190
Figura 80 – Seção transversal de SEU do FPGA_A em função da redução de tensão nas três doses de radiação. . . . .	191
Figura 81 – Seção transversal de SEU do FPGA_A em função da redução de tensão nas três doses de radiação. . . . .	192

Figura 82 – Comparação da seção transversal de SEU do FPGA_A em função da redução de tensão e ruído de quedas de tensão com frequência de 10Hz com dose de radiação de 150 krad. . . . .	193
Figura 83 – SComparação da seção transversal de SEU do FPGA_A em função da redução de tensão e ruído de quedas de tensão com frequência de 10Hz com dose de radiação de 750 krad. . . . .	194
Figura 84 – Seção transversal de SEU do FPGA_A em função da redução de tensão nas três doses de radiação. . .	195
Figura 85 – Seção transversal de SEU do FPGA_A em função da redução de tensão nas três doses de radiação com o intervalo de confiança. . . . .	196
Figura 86 – Seção transversal de SEU do FPGA_B em função da redução de tensão sem radiação e com 950 krad.	198
Figura 87 – Seção transversal de SEU do FPGA_B em função da redução de tensão com intervalo de confiança para um nível de confiança de 95%. . . . .	199

## LISTA DE TABELAS

Tabela 1 – Tabela resumo da revisão do estado da arte quanto as plataformas de testes. . . . .	78
Tabela 2 – Tamanho do passo da frequência versus faixa de frequência. . . . .	136
Tabela 3 – Níveis de tensão e duração utilizados no teste de quedas de tensão ( <i>Voltage Dips</i> ). . . . .	144
Tabela 4 – Níveis de tensão e duração utilizados no teste de curtas interrupções ( <i>Short Interruptions</i> ). . . . .	145
Tabela 5 – Níveis de tensão e duração utilizados no teste de variação de tensão ( <i>Voltage Variation</i> ). . . . .	145
Tabela 6 – Qualificação dos FPGAs utilizados nos testes para tensão nominal de alimentação do core e campo aplicado de 100V/m. . . . .	202
Tabela 7 – Qualificação dos FPGAs utilizados nos testes para tensão de alimentação do core mínima para funcionamento e campo aplicado de 125V/m . . . . .	203
Tabela 8 – Qualificação dos FPGAs para as faixas de frequência utilizadas para o campo de 125V/m e tensão mínima de funcionamento. . . . .	204
Tabela 9 – Qualificação do FPGA_A em função da tensão de funcionamento e da dose de radiação com a seção transversal de SEU. . . . .	206
Tabela 10 – Qualificação do FPGA_B em função da tensão de funcionamento e da dose de radiação com a seção transversal de SEU. . . . .	207



## LISTA DE ABREVIATURAS E SIGLAS

ABS - Anti-Blocking System

BGA -Ball Grid Array

CGS - centímetro, grama, segundo

CI - Circuito Integrado

CLB -Combinational Logic Blocks

CMOS - Complementary Metal Oxide Semiconductor.

COTS - Commercial Off-The-Shelf

DCM - Digital Clock Manager

DD - Displacement Damage

EMC - Electromagnetic Compatibility.

EMI - Electromagnetic Interference.

EOT - Equivalent Oxide Thickness

EPRI - Electric Power Research Institute

FPGA – Field Programmable Gate Array.

GEO - Geostationary Earth Orbit

GTEM – GigaHertz Transverse EletroMagnetic.

I/O – Input / Output.

IEC - International Electrotechnical Commission.

INTI – Instituto Nacional de Tecnologia Industrial.

LEO - Low Earth Orbit

LOCOS - Local Oxidation of Silicon

LUT - Look Up Table

MEO - Medium Earth Orbit

MeV - Megaelétron-volts

MKS - Metro, Kilo e segundo

MOS - Metal Oxide Semiconductor.

MOSFET - Metal Oxide Silicon Field Effect Transistor.

MTBF - Mean Time Between Failures

NBTI - Negative bias temperature instability

NMOS - Negative Metal Oxide Semiconductor

P&D – Projeto e Desenvolvimento.

PCB – Printed Circuit Board.

PMOS - Positive Metal Oxide Semiconductor

POF - Physics of Failure

Qc - Carga crítica

RAM - Random Access Memory.

RF - Radiofrequência

RILC - Radiation-Induced Leakage Current

SEB - Single Event Burnout

SEE - Single Event Effects

SEGR - Single Event Gate Rupture

SEL - Single Event Latchup

SET - Single Event Transient



SEU - Single Event Upset

SHE - Single Hard Error

SiSC – Sistemas Sinais e Computação – Laboratório da PUCRS.

SNM - Static Noise Margin

SoC – System on Chip.

SRAM - Static Random Access Memory.

TID - Total Ionizing Dose

VHDL - Very High Speed Integrated Circuit Hardware Description Language.



## SUMÁRIO

<b>I</b>	<b>REFERENCIAIS TEÓRICOS</b>	<b>31</b>
<b>1</b>	<b>INTRODUÇÃO</b> . . . . .	<b>33</b>
<b>1.1</b>	<b>MOTIVAÇÃO</b> . . . . .	<b>35</b>
<b>1.2</b>	<b>OBJETIVOS</b> . . . . .	<b>39</b>
<b>1.3</b>	<b>CONTRIBUIÇÕES</b> . . . . .	<b>41</b>
<b>2</b>	<b>ESTADO DA ARTE</b> . . . . .	<b>45</b>
<b>2.1</b>	<b>ANÁLISE DOS EFEITOS DA RADIAÇÃO</b> .	<b>45</b>
<b>2.1.1</b>	<b>Efeitos da Dose Total</b> . . . . .	<b>54</b>
<b>2.1.1.1</b>	<b>Desvios na Tensão de Limiar de Transistores</b> . . . . .	<b>55</b>
<b>2.1.1.2</b>	<b>Fuga de Corrente Induzida por Radiação</b> . . . . .	<b>56</b>
<b>2.1.1.3</b>	<b>Degradação da Mobilidade de Portadores</b> . . . . .	<b>57</b>
<b>2.1.1.4</b>	<b>Análise dos Efeitos do Envelhecimento (Aging) causa-</b> <b>dos pela Radiação</b> . . . . .	<b>58</b>
<b>2.1.1.5</b>	<b>NBTI</b> . . . . .	<b>60</b>
<b>2.2</b>	<b>ANÁLISE DOS EFEITOS DE EMI</b> . . . . .	<b>60</b>
<b>2.2.1</b>	<b>EMC Interno ao Chip</b> . . . . .	<b>61</b>
<b>2.2.1.1</b>	<b>Crosstalk</b> . . . . .	<b>61</b>
<b>2.2.1.2</b>	<b>Acoplamento por Impedância Comum</b> . . . . .	<b>61</b>
<b>2.2.1.3</b>	<b>Acoplamento por Campo Elétrico</b> . . . . .	<b>62</b>
<b>2.2.1.4</b>	<b>Acoplamento por Campo Magnético</b> . . . . .	<b>63</b>
<b>2.2.1.5</b>	<b>Ruído de Chaveamento Simultâneo</b> . . . . .	<b>64</b>
<b>2.2.2</b>	<b>Acoplamento Externo de EMC</b> . . . . .	<b>64</b>
<b>2.2.2.1</b>	<b>Acoplamento Conduzido</b> . . . . .	<b>65</b>
<b>2.2.2.2</b>	<b>Acoplamento por Campo Elétrico</b> . . . . .	<b>65</b>
<b>2.2.2.3</b>	<b>Acoplamento por Campo Magnético</b> . . . . .	<b>65</b>
<b>2.2.2.4</b>	<b>Acoplamento por Campo Radiado</b> . . . . .	<b>66</b>
<b>2.2.3</b>	<b>Técnicas Básicas para Medir EMC em Circui-</b> <b>tos Integrados</b> . . . . .	<b>66</b>
<b>2.2.3.1</b>	<b>Medição de Emissão de EMC</b> . . . . .	<b>66</b>
<b>2.2.3.2</b>	<b>Medição de Susceptibilidade à EMC</b> . . . . .	<b>69</b>

2.3	PLATAFORMAS DE TESTE . . . . .	71
II	MATERIAIS E MÉTODOS	79
3	PLATAFORMA DE TESTES . . . . .	81
3.1	PRIMEIRA VERSÃO DA PLATAFORMA . . . . .	81
3.1.1	Placa para Ensaio de EMI Radiado . . . . .	83
3.1.2	Placa para Ensaio de Radiação . . . . .	89
3.1.3	Funcionamento da Plataforma . . . . .	92
3.1.4	Placa para Ensaio de EMI Conduzido . . . . .	96
3.1.4.1	Funcionamento da Plataforma . . . . .	99
3.2	SEGUNDA VERSÃO DA PLATAFORMA . . . . .	100
3.2.1	Placa para Ensaio de EMI Radiado . . . . .	101
3.2.2	Placa para Ensaio de Radiação para Virtex 4 . . . . .	107
3.2.3	Placa para Ensaio de Radiação para Spartan 3E . . . . .	110
3.2.4	Conversor Fibra Óptica para USB . . . . .	114
3.3	SOFTWARE DE CONTROLE . . . . .	114
3.3.1	Automação do Ensaio . . . . .	119
4	METODOLOGIA PARA ENSAIOS COMBI- NADOS DE RADIAÇÃO E EMI . . . . .	123
4.1	METODOLOGIA PARA ENSAIOS DE RA- DIAÇÃO POR DOSE TOTAL . . . . .	124
4.1.1	Finalidade . . . . .	124
4.1.2	Definições . . . . .	124
4.1.3	Plano de Teste . . . . .	125
4.1.4	Equipamentos . . . . .	126
4.1.4.1	Fontes de Radiação . . . . .	126
4.1.4.2	Sistema de Dosimetria . . . . .	127
4.1.4.3	Equipamentos para Testes Elétricos . . . . .	127
4.1.4.4	Placa de Circuito para Teste . . . . .	128
4.1.4.5	Cabeamento . . . . .	128
4.1.5	Caracterização . . . . .	128

4.1.6	Seleção da Amostra e Manuseio . . . . .	130
4.1.7	Medições de Dosimetria . . . . .	131
4.1.8	Níveis de Radiação . . . . .	131
4.1.9	Taxa de Dose de Radiação . . . . .	131
4.1.10	Requisitos de Temperatura . . . . .	131
4.1.11	Condições de Teste . . . . .	132
4.1.11.1	Procedimento Pós-Irradiação . . . . .	132
4.2	<b>METODOLOGIA PARA ENSAIOS DE EMI</b>	
	<b>RADIADO . . . . .</b>	<b>133</b>
4.2.1	Finalidade . . . . .	133
4.2.2	Definições . . . . .	134
4.2.3	Plano de Teste . . . . .	134
4.2.4	Caracterização . . . . .	135
4.2.5	Condições do Teste . . . . .	135
4.2.5.1	Temperatura Ambiente . . . . .	135
4.2.5.2	Ambiente RF . . . . .	135
4.2.5.3	Gerador de Teste . . . . .	135
4.2.5.4	Faixa de Frequência e Passos de Frequência . . . . .	136
4.2.5.5	Modulação em Amplitude . . . . .	136
4.2.5.6	Tempo de Permanência da Fonte de Ruído . . . . .	137
4.2.6	Equipamentos . . . . .	137
4.2.6.1	Gerador de Ruídos RF . . . . .	138
4.2.6.2	TEM Cell . . . . .	138
4.2.6.3	GTEM Cell de Banda Larga . . . . .	138
4.2.6.4	Amplificador de RF . . . . .	139
4.2.6.5	Analisador de Campo Elétrico . . . . .	139
4.2.6.6	Classificação de Falhas . . . . .	140
4.3	<b>METODOLOGIA PARA ENSAIOS DE EMI</b>	
	<b>CONDUZIDO . . . . .</b>	<b>141</b>
4.3.1	Finalidade . . . . .	141
4.3.2	Definições . . . . .	142
4.3.3	Plano de Teste . . . . .	142
4.3.4	Equipamentos . . . . .	143
4.3.5	Condições do Teste . . . . .	143

4.3.5.1	Temperatura Ambiente . . . . .	143
4.3.5.2	Ambiente de RF . . . . .	143
4.3.5.3	Níveis de Teste . . . . .	143

### **III ETAPA DE VALIDAÇÃO 147**

5	EXPERIMENTOS E RESULTADOS . . . . .	149
5.1	ANÁLISE ESTATÍSTICA DOS RESULTADOS	149
5.1.1	Variância . . . . .	150
5.1.2	Desvio Padrão . . . . .	150
5.1.3	Margem de Erro . . . . .	151
5.1.4	Intervalo de Confiança . . . . .	151
5.1.5	Covariância . . . . .	151
5.2	EXPERIMENTOS DE RADIAÇÃO IONIZANTE POR TID UTILIZANDO CO-60 . . . . .	152
5.2.1	Medição do Atraso . . . . .	156
5.2.2	Medição do consumo de corrente dinâmico . . . . .	159
5.2.3	Cálculo da covariância entre a dose total e o tempo de atraso . . . . .	161
5.2.4	Cálculo da covariância entre a dose total e o consumo de corrente . . . . .	161
5.3	EXPERIMENTOS DE EMI RADIADO . . . . .	162
5.3.1	Medição da tensão mínima de funcionamento do FPGA . . . . .	162
5.3.2	Cálculo da covariância entre a dose total e a tensão mínima de funcionamento . . . . .	165
5.3.3	Realização dos testes de EMI na câmara GTEM	165
5.3.4	Cálculo da covariância entre a dose total e a porcentagem de falhas . . . . .	175
5.3.5	Análise da Covariância dos Resultados . . . . .	175
5.4	EXPERIMENTOS DE SEU COMBINADOS COM EMI CONDUZIDO E TID . . . . .	177
5.4.1	Análise de Covariância dos Resultados . . . . .	199

5.5	EXPERIMENTOS DE EMI CONDUZIDO . .	200
5.6	QUALIFICAÇÃO DE DISPOSITIVOS RE- CONFIGURÁVEIS . . . . .	201
5.6.1	Qualificação para os testes de EMI e TID . . .	201
5.6.2	Qualificação para os testes de SEU, TID e EMI Conduzido . . . . .	205
6	CONCLUSÃO . . . . .	209
	Referências . . . . .	213





**Parte I**

**REFERENCIAIS TEÓRICOS**



# 1 INTRODUÇÃO

O trabalho aqui apresentado envolve o projeto, desenvolvimento e validação de uma plataforma e metodologia para a análise da robustez de sistemas embarcados mapeados em dispositivos reconfiguráveis (FPGAs SRAM (*Static Random Access Memory*) do tipo COTS (*commercial off-the-shelf*)) quando submetidos à radiação e à interferência eletromagnética (do inglês, *Electromagnetic Interference* ou EMI) conduzida e radiada, bem como a qualificação destes dispositivos quanto ao seu funcionamento mediante a dose de radiação e a exposição ao ruído de EMI.

Os efeitos da EMI sobre componentes que foram submetidos à radiação, é um estudo recente e de cada vez mais importância para aplicações aeroespaciais, pois tal efeito leva os sistemas a se comportarem de maneira diferente da especificação e conseqüentemente provoque uma falha.

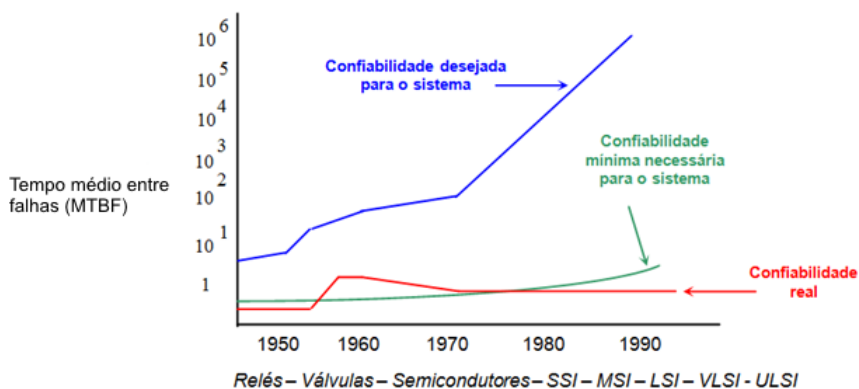
Nos dias de hoje é muito importante saber como os circuitos eletrônicos operam em ambientes ruidosos e sob interferência intensa e contínua, principalmente no meio industrial, militar e espacial, onde esses circuitos operam em velocidades cada vez maiores e com tensões de alimentação cada vez menores. Estes dispositivos estão cada vez mais suscetíveis à ruídos do ambiente e também provenientes de outros dispositivos. Os circuitos eletrônicos por operarem em altas velocidades e manipularem cargas de alta potência, são também grandes fontes de ruído.

Dado que os dispositivos lógicos programáveis, neste caso os FPGAs, são cada vez mais utilizados em sistemas eletrônicos críticos, onde sua operação dentro das especificações é imprescindível para a segurança do sistema como um todo, mesmo quando operando em ambientes expostos aos efeitos da radiação e da interferência eletromagnética. Então, um estudo de caso da análise dos efeitos da radiação e de EMI em FPGAs será apresentado neste trabalho. Os sistemas integrados em um único circuito integrado (do inglês, *Systems-on-Chip* ou SoC) avançam na sua utilização e aplicação. Com isto, reforçamos a importância do

trabalho aqui apresentado.

Embora se possa observar um grande aumento na quantidade e na qualidade de pesquisas visando o aumento do nível de confiabilidade de sistemas de *hardware/software*, a Figura 1, extraída de um dos livros clássicos da literatura envolvendo o projeto de sistemas tolerantes a falhas (Pradhan, 1996), ilustra o dramático aumento da diferença entre a confiabilidade desejada para sistemas eletrônicos e a confiabilidade real verificada destes sistemas. Isto se deve basicamente devido ao fato destes sistemas serem cada vez mais complexos, baseando seu desempenho em tecnologias do tipo SoC (Crouch, 1999) de dezenas de milhões de transistores, de diferentes fabricantes, que por muitas vezes estão implementados em vários nós de uma rede em um sistema distribuído, com sistema operacional multitarefa, e multiusuário. Ainda em muitos casos, tipicamente naqueles sistemas destinados para eletrônica embarcada alimentada por baterias, o baixo consumo é outro fator agravante (Girard, 2002). Nestes casos, técnicas que aumentam a confiabilidade do sistema sem aumentar consumo são fortemente desejadas, e em muitos casos, a única solução possível.

Figura 1 – Confiabilidade de sistemas eletrônicos ao longo do tempo.



Fonte: (Pradhan, 1996).

Com base nestes estudos estamos propondo uma plataforma de testes combinados para ensaios de radiação onde se possa efetuar testes com *Single Event Upsets* (SEU) e *Total Ionizing Dose* (TID), EMI irradiado e conduzido (através das linhas de alimentação) em FPGAs para verificação da confiabilidade e robustez do sistema.

## 1.1 MOTIVAÇÃO

A área de Projeto e Desenvolvimento (P&D) envolvendo o projeto de sistemas robustos tem crescido consideravelmente nos últimos anos tanto no Brasil quanto no exterior. Porém, tem-se verificado ao mesmo tempo uma lacuna crescente nas pesquisas integrando o co-projeto de *Hardware-Software* com critérios de confiabilidade (detecção e diagnóstico de falhas) em ambientes de interferência eletromagnética. Neste sentido, especial atenção deve ser dedicada aos sistemas embarcados baseando seu funcionamento e desempenho em tecnologias do tipo SoCs complexos que necessitam, além de confiabilidade o alto desempenho para atender aplicações em tempo real (Kathail et al., 2002), (Wolf, 2012). O ambiente ruidoso em que os sistemas eletrônicos têm que operar, está tornando-se cada vez mais hostil devido as altas emissões de ruídos por circuitos que operam em altas velocidades e manipulam cargas de alta potência. Por outro lado estes circuitos estão se tornando cada vez mais suscetíveis a ruídos devido à sua tecnologia de fabricação que é cada vez menor bem como sua tensão de alimentação. A necessidade da garantia de que os circuitos eletrônicos operem em ambientes ruidosos é fundamental para a aceitação e segurança de sistemas eletrônicos para este fim. Podemos citar alguns exemplos de sistemas eletrônicos que necessitam uma garantia de funcionamento em ambientes ruidosos:

1. Aplicações aeronáuticas onde a tolerância ao funcionamento de telefones celulares que emitem ondas de rádio frequência no interior da aeronave, mesmo que recomendado o não uso, podem afetar os equipamentos de controle de voo, é obrigatória;

2. Indústria automotiva, que possui equipamentos eletrônicos de grande importância para o funcionamento e segurança do automóvel e de seus condutores tais como controle de freios ABS (do inglês *Anti-Blocking System*), injeção eletrônica, controle de tração ativa dentre outros equipamentos que tem de tolerar altos níveis de ruídos;
3. Equipamentos médico-hospitalares, que caracterizam uma aplicação extremamente crítica podendo-se perder vidas caso falhas ocorram no equipamento devido a distúrbios oriundos da rede elétrica e de interferência eletromagnética, por exemplo.

Associado a aplicações críticas, temos ainda a dificuldade de obtenção de componentes qualificados para utilização em aplicações aeroespaciais. Essa dificuldade inicialmente se devia ao alto valor dessa categoria de componente. O Brasil ainda não possui iniciativas de grande impacto na área de análise dos efeitos da radiação e de EMI em circuitos integrados e sua operação em ambientes ruidosos que é uma área estratégica para a soberania nacional.

Assim é importante compreender como as tecnologias atuais impactam na nova geração de projetos de SoCs. Nota-se que, embora a redução das tensões de alimentação (pelo menos para o core) aumente a esperança de que ocorrerá uma menor emissão de interferência eletromagnética tanto conduzida quanto radiada devido a corrente de modo comum, este benefício é compensado imediatamente por: (a) o drástico aumento de transistores comutando ao mesmo tempo por circuito integrado (CI), combinado com a alta velocidade destas comutações devido às crescentes frequências de *clock*. Todas estas características geram a interferência eletromagnética que aumenta o ruído total, e que pode afetar blocos de funções dentro do CI assim como outros CIs colocados nas suas proximidades e que podem estar gerando algum tipo de ruído; (b) a reduzida tensão de alimentação que minimiza as margens de ruído sob os quais o CI foi projetado para operar. Isto torna os blocos funcionais internos ao CI mais sensíveis à EMI devido a relação sinal/ruído ser muito baixa, ou seja, a tensão de alimentação está muito próxima

dos níveis de ruído. Estes efeitos podem ser ainda mais danosos quando o circuito integrado é submetido a radiação, devido a degradação do circuito e ao acúmulo de cargas nas camadas isolantes, propiciando aumentar a corrente de fuga do circuito.

FPGAs ainda não são amplamente utilizados como o elemento de processamento central de computadores de bordo, mas recentemente FPGAs da Microsemi, por exemplo, foram utilizados em subsistemas tais como gerência de comandos e dados (*command and data handling*), controle de atitude e instrumentos científicos (Foundation, 2013). Xilinx e Altera, os principais fabricantes de FPGAs, também possuem componentes para uso militar e aeroespacial. Algumas das vantagens dos FPGAs em relação a lógica discreta nessas aplicações, incluem o tamanho e peso reduzidos da placa, melhoria nos níveis de confiabilidade com a redução na quantidade de pinos de entrada e saída (pontos de solda), e a possibilidade de realizar alterações em partes do *hardware* do sistema, após o lançamento da missão. Essas alterações podem ser realizadas pelo envio de novas configurações (*bitstreams*) para o FPGA por canais de telecomando. Essa é uma importante vantagem no uso de FPGAs, pois permite que este dispositivo possua funcionalidades diferentes, de acordo com os requisitos da missão.

De acordo com o plano diretor 2011-2015 divulgado pelo Instituto Nacional de Pesquisas Espaciais (INPE) ([www.inpe.br/noticias](http://www.inpe.br/noticias)), e a partir de informações obtidas em um edital também do INPE disponibilizado em 2012, sabe-se que o computador de bordo utilizará um microprocessador da forma convencional (não embarcado em FPGAs ou ASICs), mas que o interesse para missões futuras é no uso de lógica reconfigurável, mais exatamente, microprocessadores embarcados em FPGAs. Apesar da necessidade de seguir uma linha conservadora na área espacial, devido ao alto custo associado à possível perda de uma missão pelo uso de tecnologia ainda não estabelecida nesse tipo de aplicação. Os atrativos do uso de tecnologia reconfigurável são uma importante motivação para investimentos nessa linha de pesquisa. Até a presente data, FPGAs reconfiguráveis foram utilizados por agências espaciais em outros países como elementos de processamento (e não apenas como

lógica de “cola”, *glue logic*) apenas em satélites de aplicações científicas e, objetivamente, como uma forma de estudar os efeitos da radiação nesses componentes. Porém, devido às inúmeras vantagens associadas ao uso de lógica reconfigurável, tais como reconfiguração de todo o *hardware* por exemplo, existe uma tendência nos diversos programas espaciais em incentivar pesquisas no desenvolvimento de aplicações e utilização efetiva de lógica reconfigurável em computadores de bordo. Com isso fica a evidência da extrema importância da análise dos efeitos da radiação e de EMI em FPGAs, bem como uma plataforma completa para analisar estes efeitos.

A utilização de plataformas de teste e desenvolvimento de SoCs comerciais para fins de avaliação da imunidade à EMI, neste caso, não são uma boa opção, já que seu projeto não foi concebido para testes à EMI e para a análise dos efeitos da radiação e qualificação de dispositivos. Dispositivos da linha comercial "COTS" (do inglês, *commercial off-the-shelf*) usualmente não são utilizados em aplicações espaciais já que não foram projetados para operar neste tipo de ambiente. Entretanto o desejo de se utilizar dispositivos "COTS" em aplicações espaciais é muito grande, **já que o custo pode ser cerca de 20 vezes menor** com relação à um dispositivo de grade espacial (*Radiation-Hardened*) que é projetado para suportar maiores doses de radiação. Este fato torna o custo de um projeto para aplicações espaciais extremamente elevado, dado que um satélite as vezes é lançado para operar por apenas três anos. Todo este custo em determinados casos poderia ser reduzido drasticamente se fossem utilizados componentes COTS. Porém para a utilização de componentes da linha comercial em aplicações espaciais, se faz necessário excessivos testes para sua qualificação com o objetivo de levantar os níveis de radiação e de EMI que o dispositivo suporta para a aplicação desejada. Com estes testes é possível conhecer os limites de operação do dispositivo, quando operados sob os efeitos da radiação ionizante combinados com EMI. De posse destes dados, o projetista pode realizar um projeto específico para uma aplicação espacial, ou outra, pois os limites de operação são conhecidos para a utilização destes dispositivos.



Para efetuar todos estes testes de qualificação de dispositivos da linha comercial se faz necessário uma metodologia e uma plataforma de testes, que é objetivo principal dessa tese. Diante das informações, ficou claro que existe uma lacuna de projeto, pesquisa e desenvolvimento neste assunto, e isto levou a proposta de uma plataforma de prototipagem reconfigurável para avaliar, qualificar e aprimorar projetos de SoCs em FPGAs levando em conta sua imunidade à EMI juntamente com a análise dos efeitos da radiação por dose total e por "SEU" baseados em padrões, procedimentos e regras de projeto de normas internacionais.

O conjunto de normas comerciais IEC 62.132 (Commission, 2003) que é dedicado à medição da imunidade de circuitos integrados à interferência eletromagnética conduzida e radiada, foi escolhido como referência para a proposta de projeto da plataforma e da metodologia de testes, ambos propostos neste trabalho.

## 1.2 OBJETIVOS

Este trabalho possui três principais objetivos, que são:

1. O projeto, desenvolvimento e validação de uma plataforma para ensaios combinados de radiação e de interferência eletromagnética conduzida e radiada. Esta plataforma é composta por três placas distintas, sendo a primeira para ensaios de imunidade a interferência eletromagnética radiada e conduzida, a segunda para testes com radiação, e a terceira para geração de EMI conduzido através das linhas de alimentação. O desenvolvimento da plataforma usa como referência o conjunto de normas comerciais IEC 62.132-1 e IEC 62.132-2 que é dedicado para teste de circuitos integrados. Cabe salientar que estas plataformas de testes deste nível e para este propósito não foram encontradas na literatura nem no Brasil nem no exterior, até o presente momento, nos motivando ainda mais a pesquisa e o desenvolvimento pela sua originalidade e grande utilidade para projetos que envolvem sistemas em chip utilizando FPGAs quando submetidos à radiação e à EMI;

2. Desenvolver uma metodologia para qualificar sistemas em chip (SoCs) implementados em lógica reconfigurável (FPGA) levando-se em conta os efeitos combinados da radiação (TID e SEE) e da interferência eletromagnética (EMI radiada e conduzida), o qual afeta drasticamente circuitos integrados fabricados em nanotecnologia. A metodologia de testes proposta usou como referência e embasamento as normas IEC 62.132-2 e MIL-STD-883E;
3. Demonstrar a utilização integrada da metodologia e plataforma para qualificação destes dispositivos e os sistemas em chip utilizados no que diz respeito à dose de radiação, tempo de atraso entre entrada e saída, tensão mínima de funcionamento, consumo de corrente dinâmico, nível de campo eletromagnético máximo suportado antes da falha e faixa de frequências em que os dispositivos apresentaram falhas com outros valores de campo. Será analisado também a sensibilidade à "SEU" tendo seus efeitos combinados com TID e EMI.

Além do objetivo principal, este trabalho tem como objetivos secundários os seguintes:

- Análise do comportamento de FPGAs do tipo SRAM quando expostos à EMI após terem sido expostos a radiação ionizante, já que foi comprovado que um FPGA que foi exposto à radiação ficou mais susceptível à EMI;
- Demonstrar a aplicabilidade da plataforma desenvolvida para validar SoCs;
- Verificar a robustez da plataforma em função de ensaios de EMI de acordo com o conjunto de normas IEC 62.132, dado que a norma define que os componentes que não fazem parte do teste não devem ser afetados pela EMI;
- Validar o funcionamento da plataforma de injeção de EMI conduzido pelas linhas de alimentação do circuito referenciado pela

norma IEC 61.000-4-29, que descreve os procedimentos para a variação de tensão de alimentação, tais como pequenas interrupções e quedas de tensão.

- Com a utilização desta plataforma e metodologia podemos formar mão de obra adequada e qualificada nestes laboratórios para a realização de tais procedimentos de testes e qualificação de sistemas em chip nas principais instalações laboratoriais do Brasil e Argentina dedicados para ensaios de radiação e EMI utilizados neste trabalho.

Cabe salientar que esta plataforma possibilitará efetuar uma ampla gama de estudos em dispositivos lógicos reconfiguráveis no que diz respeito a sua robustez à EMI e aos efeitos da radiação por dose total e por "SEU". Também é importante ressaltar que o projeto e desenvolvimento da plataforma aqui proposta trata-se de um projeto 100% nacional.

### 1.3 CONTRIBUIÇÕES

O projeto de sistemas embarcados para aplicações espaciais depende de uma série de fatores para os quais este trabalho contribui diretamente. Podemos citar as principais:

- Recursos humanos de alto nível de conhecimento em projeto de *software*, projeto de *hardware*, projeto de sistemas embarcados, técnicas de tolerância a falhas, normas internacionais para ensaios de interferência eletromagnética conduzida e radiada e efeitos da radiação em dispositivos eletrônicos, bem como a combinação dos mesmos;
- A segunda versão desta plataforma foi utilizada como base de validação dos **primeiros testes de "SEU" realizados no Brasil utilizando dispositivos reconfiguráveis** sob o projeto de título "Desenvolvimento de Metodologia de Ensaios de Radiação em Componentes Eletrônicos" que foi financiado pela Fundação de

Amparo a Pesquisa do Estado de São Paulo (FAPESP), cujo o número do processo é 2012/03383-5. Os participantes deste projeto são a Pontifícia Universidade Católica do Rio Grande do Sul (PUCRS), Universidade Federal de Santa Catarina (UFSC), Instituto de Física da Universidade de São Paulo (IFUSP) e Centro Universitário da Fundação Educacional Inaciana (FEI);

- Demanda do programa espacial brasileiro através do projeto CITAR do Instituto Nacional de Pesquisas Espaciais (INPE), no qual colaboramos na pesquisa e desenvolvimento de plataformas de testes para qualificação de FPGAs quanto aos níveis de radiação e de EMI à serem utilizadas, em satélites brasileiros. Essa colaboração contempla o projeto e desenvolvimento da terceira versão da plataforma que está em desenvolvimento;
- Investimentos por parte dos órgãos de fomento, tais como o Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) e a Financiadora de Estudos e Projetos (FINEP);
- Laboratórios equipados com plataformas de prototipação e equipamentos de testes e medidas para a análise destes efeitos em dispositivos eletrônicos.

Os resultados dessa pesquisa representam um grande impacto não só no Brasil, mas também a nível mundial, uma vez que passamos a dominar uma área de altíssimo valor agregado e de extrema importância estratégica e até de soberania nacional. Com relação à investigação visando a qualificação dos dispositivos e o aumento de confiabilidade, foi dada uma atenção especial no que se refere aos efeitos de EMI em componentes expostos a radiação. Essa investigação realizada durante o doutorado representou uma inovação a nível mundial. Essa pesquisa se justificou, devido a maior sensibilidade dos componentes eletrônicos, resultante da miniaturização dos mesmos, e aumento da emissão de interferência eletromagnética devido a fontes *wireless*, sinais de *clock* mais elevados, entre outros. Considera-se como contribuições originais obtidas com este trabalho as seguintes:

1. Uma plataforma completa com tecnologia nacional para testes combinados de radiação e interferência eletromagnética em dispositivos reconfiguráveis visando lógica reconfigurável (FPGAs) da linha comercial (COTS) para uso na indústria aeroespacial;
2. A validação desta plataforma cujos testes foram realizados nos laboratórios do Instituto de Física da Universidade de São Paulo (USP), no Instituto Nacional de Tecnologia Industrial da Argentina (INTI em Buenos Aires), Centro Atômico de Buenos Aires e Bariloche, também na Argentina. Estes laboratórios são equipados para testes de radiação e EMI, o que garante todo o ambiente de validação necessário;
3. A validação de uma plataforma de injeção de ruídos conduzidos pelas linhas de alimentação que possibilita efetuar a variação da tensão em tempo real com o sistema em operação;
4. Uma proposta de metodologia de testes combinados de radiação + EMI referenciados em normas internacionais;
5. Um relato dos resultados fazendo uma análise da susceptibilidade à EMI dos FPGAs utilizados neste trabalho que sofreram exposição à radiação por dose total ou por "SEU", tendo como principal objetivo mostrar os seus limites de operação para efetuar a qualificação destes dispositivos.
6. Como contribuição científica, os resultados deste trabalho foram publicados até o momento em **dois** artigos completos em revista ((Benfica et al., 2012c) e (Benfica et al., 2012b)) e em **sete** conferências internacionais ((Benfica et al., 2015) (Seclen et al., 2014) (Oliveira et al., 2013) (Benfica et al., 2012a) (Benfica et al., 2011a) (Benfica et al., 2011b) (Vargas et al., 2008)).



## 2 ESTADO DA ARTE

### 2.1 ANÁLISE DOS EFEITOS DA RADIAÇÃO

Problemas importantes relacionados ao uso de FPGAs no ambiente espacial estão relacionados às falhas transientes e permanentes nas células de memória RAM estática do dispositivo, causados pela radiação (Gosheblagh and Mohammadi, 2014a) (Siozios and Soudris, 2013). Entretanto, as vantagens e facilidades do uso dos FPGAs do tipo SRAM justificam os estudos.

Estudos realizados, mostram que o componente energético dos prótons dos raios cósmicos galácticos poderia ser responsável por erros de *bits* observados nos chips de memória do tipo MOS (*Metal Oxide Semiconductor*) onde perturbam a informação armazenada em uma célula de memória, mesmo que no nível do mar (Węgrzyn and Sosnowski, 2014) (O’Gorman, 1994).

O ambiente natural de radiação da atmosfera terrestre consiste de elétrons, prótons e íons pesados que podem estar presos pelo campo magnético da Terra ou que transitam através dos domínios dos satélites artificiais (Stassinopoulos and Raymond, 1988). É este ambiente de radiação que causa danos ou ocasiona o mau funcionamento de dispositivos eletrônicos. Este ambiente de radiação pode ser caracterizado pelo Cinturão de Van Allen <sup>1</sup>, explosões solares (que provocam labaredas

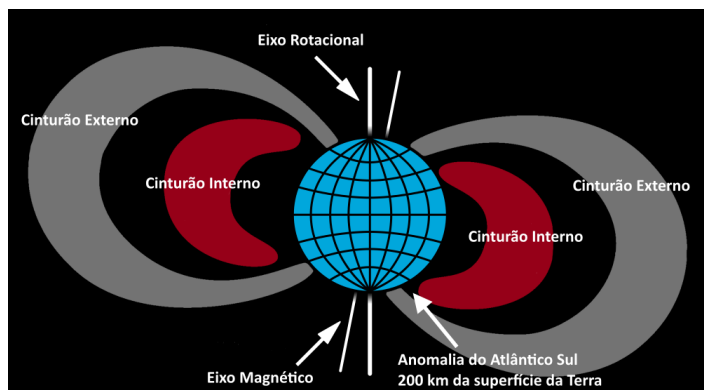
---

<sup>1</sup> O Cinturão de Van Allen é uma região onde ocorrem vários fenômenos atmosféricos devido a concentrações de partículas no campo magnético terrestre, descobertas em 1958 por James Van Allen. As radiações de Van Allen não ocorrem, salvo em raras exceções, nos polos, e sim na região equatorial. Estas formam dois cinturões em forma de anéis, com centro no equador. O mais interno se estende entre as altitudes de mil e cinco mil quilômetros, sua intensidade máxima ocorrendo em média aos três mil quilômetros. Consiste de prótons altamente energéticos, que se originam pelo decaimento de nêutrons produzidos quando raios cósmicos vindos do espaço exterior colidem com átomos e moléculas da atmosfera terrestre. Parte dos nêutrons é ejetada para fora da atmosfera e se desintegra em prótons e elétrons ao atravessar esta região do cinturão. Essas partículas se movem em trajetórias espirais ao longo de linhas de força do campo magnético terrestre. O segundo cinturão, que fica situado entre 15.000 e 25.000 km, contém partículas eletricamente carregadas de origem tanto atmosférica quanto solar. São principalmente íons hélio trazidos pelo vento solar. As partículas mais energéticas deste são elétrons cuja energia atinge várias centenas de milhares de elétrons-volt. Os prótons são muito menos energéticos do que os do

solares), ventos solares e raios cósmicos (Reeves et al., 2013).

**Cinturão de Van Allen:** Os cinturões de radiação contém elétrons e prótons presos e podem ser observados na Figura 2. Esta radiação presa possui dois cinturões de elétrons. O cinturão mais interno contém elétrons cuja energia é menos que 5 MeV <sup>2</sup>. O cinturão de fora possui elétrons que podem atingir energia de até 7 MeV. Um terceiro cinturão de elétrons foi descoberto após a tempestade magnética de 24 de março de 1991. Este cinturão está na metade do caminho entre o cinturão externo e o interno e pode atingir energias muito superiores a 30 MeV (Boudenot, 2007).

Figura 2 – Cinturões de Radiação de Van Allen.



Fonte: Modificado de

<http://aetherforce.com/van-allen-radiation-an-unpenetrable-barrier/>

**Explosões solares:** As explosões solares tem um ciclo de 11 anos e podem ser subdivididos em quatro anos de baixa atividade e sete anos de alta atividade. Existem dois eventos que devem ser considerados nas explosões solares. O primeiro é a ejeção de massa coronal que dura vários dias e que emite a maior quantidade de prótons de alta

primeiro cinturão, porém seu fluxo é mais intenso (Williams et al., 1963).

<sup>2</sup> O elétron-volt é uma unidade de medida de energia. Equivale a  $1,60217657 \times 10^{-19}$  joules onde 1 MeV é igual a  $1 \times 10^6 eV$ . Por definição, um elétron-volt é a quantidade de energia cinética ganha por um único elétron quando acelerado por uma diferença de potencial elétrico de um volt, no vácuo (Mohr et al., 2012).



energia (até centenas de MeV). O segundo tipo é o evento que ocorre ocasionalmente e é chamado de evento impulsivo (*Impulsive Events*) e é responsável pela grande emissão de íons pesados (*heavy ions*) que podem ir a dezenas de MeV até centenas de GeV por nucleon (Boudenot, 2007).

**Ventos solares:** A altíssima temperatura da corona do sol, em torno de dois milhões de graus Kelvin, produz energia suficiente para permitir que elétrons escapem da atração gravitacional do sol. O efeito da ejeção dos elétrons é um desequilíbrio de carga que resulta em uma ejeção de prótons e íons pesados da corona. O gás ejetado é tão quente que as partículas são homogeneizadas em um plasma diluído. A energia das partículas está em torno de 0,5 a 2keV por nucleon. A composição do vento solar é aproximadamente 95% de prótons, 4% de partículas de Hélio e menos de 1% de íons pesados (Boudenot, 2007).

**Efeitos dos Ventos Solares:** Diferenças nas características de emissão e de absorção, diferenças na exposição a luz do sol e efeitos localizados resultam em uma população de elétrons desigual que produzem voltagens diferentes entre as superfícies isoladas do satélite. Além disso, elétrons tem energia suficiente para passar através da manta térmica resultando em uma carga das superfícies e da montagens internas. Tipicamente objetos encapsulados incluindo revestimentos de cabos, malhas de dissipação térmica não aterradas, pintura térmica, encapsulamentos dos componentes eletrônicos etc. Elétrons de alta energia penetram nestes encapsulamentos e podem depositar carga na placa do circuito, fios isolados, conectores, capacitores etc. Neste processo, chamado de carga profunda do dielétrico, elétrons de alta energia penetram nos elementos do circuito e dos dispositivos, levando a prisão desta carga que vai se acumulando no material dielétrico (Boudenot, 2007).

**Efeitos dos Raios Cósmicos:** Os raios cósmicos são núcleos de íons pesados de alta energia. A origem desta radiação ainda não foi muito bem identificada, entretanto sabe-se que parte dela vem de fora da Via Láctea e o resto de dentro dela. A energia dos íons é muito alta (podendo chegar a 1GeV por nucleon) e correspondem aos mecanismos de aceleração que fazem com que a radiação se acople no campo magnético

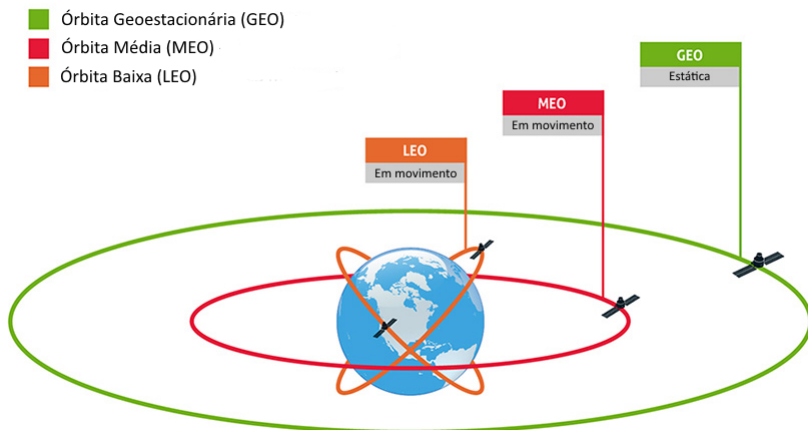
da Terra, justamente na camada onde ficam os satélites nas três órbitas possíveis.

Dispositivos eletrônicos em aplicações aeroespaciais têm grande probabilidade de sofrer efeitos indesejados ocasionados por raios cósmicos e radiação. Além das aplicações em missões de exploração, a principal aplicação dos circuitos eletrônicos no espaço consiste nos satélites artificiais (comunicação, sensoriamento remoto, posicionamento global, meteorologia, pesquisa e finalidades militares).

Como exemplo de sistema eletrônico embarcado nos satélites, é o módulo de telecomando e telemetria, cujo o uso de FPGAs é comum devido a sua facilidade de implementação em *hardware*, aumentando assim o desempenho do sistema. O subsistema de telemetria e comando fornece a interface funcional entre o satélite e o comando e controle do solo. Os parâmetros de telemetria descrevem o status das configurações e dos equipamentos à bordo do satélites e são enviados para o centro de controle de operações do satélite em solo, na Terra. Os comandos são recebidos pelo satélite para controlar operações de missão e gestão dos recursos do equipamento. Para executar essas funções, o subsistema de telecomando e telemetria é composto de uma única antena bicone montada no painel do satélite, dois receptores de radiofrequência (RF), quatro transmissores, unidades de telemetria e comando digitais redundantes e de um *triplexer* que permite a operação simultânea dos transmissores e receptores para a antena sem interferência (Keese, 2003).

Os satélites podem ser classificados quanto à altitude de sua órbita o que define também os níveis e as fontes de radiação às quais o satélite estará exposto e pode ser observado na Figura 3.

Figura 3 – Órbitas dos satélites.

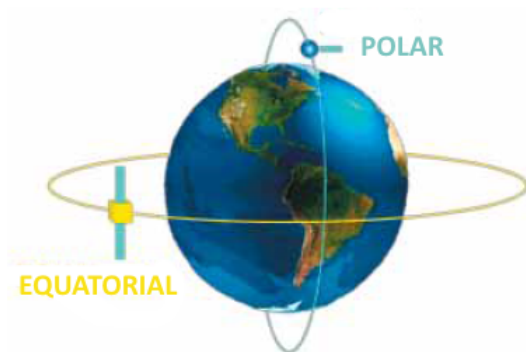


Fonte: Modificado de <http://www.harriscaprock.com/blog/wp-content/uploads/2014/10/Medium-Earth-Orbit-Latency.jpg>

- A primeira e mais comum delas é a geoestacionária, também conhecida como GEO (*Geostationary Earth Orbit*) e são utilizadas para fins de comunicação. Posicionados a uma altitude entre 35800 km e 36000 km, os satélites gastam 23h 56 min e 04s. para dar uma volta em torno da Terra que, não por coincidência, é o mesmo período de rotação de nosso planeta (Boudenot, 2007).
- A segunda é a baixa órbita, também conhecidos como LEO (*Low Earth Orbit*), que estão entre 300-5000km, raramente eram usados em comunicações devido ao fato que as antenas não mantinham a visada por muito tempo. Geralmente eram utilizados com propósitos de sensoriamento científico ou militar durante todos estes anos (Davidoff et al., 1984).
- A terceira é a órbita elíptica e excêntrica, também conhecidos como MEO (*Medium Earth Orbit*) colocados entre 5000-36000 km, utilizado no início da exploração deste segmento pela União Soviética, com uma órbita de 12 horas (Davidoff et al., 1984).

A inclinação de um satélite é o ângulo formado entre a órbita do satélite e a linha do equador terrestre. Satélites com inclinação de  $0^\circ$  seguem a linha do equador e são chamados de satélites de órbita equatorial. Quando sua inclinação é de  $90^\circ$  sua órbita cruza os polos terrestres e são chamados de satélite de órbita polar e é ilustrado na Figura 4. Quando um satélite tem inclinação igual ou menor que a latitude do local de observação, este pode ser visto diretamente se as condições permitirem (Montenbruck and Gill, 2012).

Figura 4 – Órbita polar e órbita equatorial de um satélite.



Fonte: Modificado de

[http://fisicamoderna.blog.uol.com.br/images/sat\\_orbitas.jpg](http://fisicamoderna.blog.uol.com.br/images/sat_orbitas.jpg).

Um satélite colocado em uma órbita geostacionária sofre várias perturbações orbitais; destas, a influência do Sol e da Lua fazem com que o plano orbital desvie do plano do equador a uma razão aproximada de  $0,8^\circ$  por ano.

Para evitar o aumento da inclinação orbital, é preciso utilizar combustível a bordo do satélite para, periodicamente, corrigir sua órbita. Estas correções são feitas quando o satélite passa próximo do nodo ascendente ou o nodo descendente da órbita, e aplicam um  $\Delta V$  na direção norte-sul para inverter a inclinação orbital, de forma que as perturbações orbitais das próximas semanas retornem a inclinação orbital a valores próximos de zero para, em seguida, aumentar, até o

momento da manobra corretiva seguinte. A maior parte do combustível alocado para correções orbitais em um satélite geoestacionário é gasta com estas correções da inclinação orbital. Assim, uma estratégia para prolongar a vida útil de um satélite é, ao final de sua vida, deixar de corrigir a inclinação (Montenbruck and Gill, 2012).

Tanto órbitas MEO como GEO estão mais expostas ao cinturão de Van Allen externo, onde a maior fonte de radiação são elétrons. A radiação do cinturão externo pode ser mitigada com blindagens de alumínio relativamente finas, pois o poder de penetração dos elétrons do cinturão externo é moderado (Williams et al., 1963).

No contexto da radiação espacial, existem basicamente três tipos de efeitos que afetam os circuitos eletrônicos em aplicações espaciais (Boudenot, 2007):

1. **Dose Total Ionizante** (do inglês, *Total Ionizing Dose* ou TID)
  - Dose total ionizante em um componente indica a dose de radiação recebida através de sua blindagem. De acordo com a exata localização do componente considerado no satélite, e suas várias blindagens que o protegem (blindagem externa do satélite, placas de circuito impresso, encapsulamento do componente etc.) a TID é computada (Zhang et al., 2014b) (Schwank et al., 2008) (Boudenot, 2007).

**Influência da órbita:** Nos satélites LEO, a média de distribuição da radiação não é homogênea. O cinturão mais externo de elétrons fica mais perto da Terra nas regiões polares e na região central do atlântico sul que tem um alto nível de partículas presas (prótons e elétrons). Isso quer dizer que satélites colocados em uma órbita equatorial baixa (300 km) sustenta pouca radiação. Satélites em uma órbita baixa com inclinação menor que  $45^\circ$  e maior que  $55^\circ$  estão sujeitos a Anomalia do Atlântico Sul (do inglês, *South Atlantic Anomaly* ou SAA) que é a região da Terra mais próxima dos cinturões de radiação de Van Allen e ficam mais expostos à radiação. Satélites colocados em órbitas acima de 1400 km recebem grandes doses de radiação e sofrem os efeitos da dose

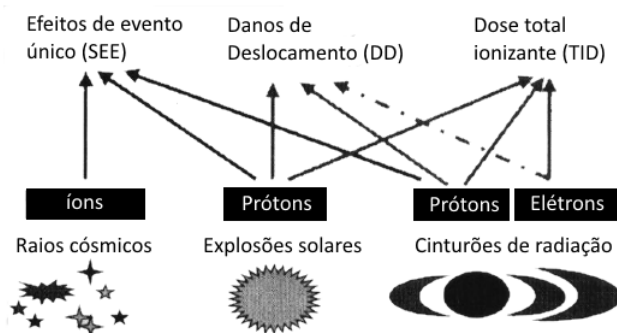
total causados pelo cinturão externo de prótons. Em satélites GEO e MEO a fonte principal da dose de radiação é devido ao cinturão externo de elétrons (como exemplo, um satélite GEO que está em órbita por 18 anos a dose total acumulada será de 100 krad protegido por uma blindagem de 5 mm de alumínio e de 10 krad protegido por 10 mm de blindagem, já em um satélite colocado em uma órbita de 2000 km durante 5 anos com blindagem de 10 mm de alumínio acumulará 300 krad) (Schwank et al., 2008)(Boudenot, 2007).

2. **Danos de Deslocamento** (do inglês, *Displacement Damage* ou DD) – Danos por deslocamento: Órbitas terrestres baixas acima de 1400 km são também impactadas pelos efeitos do deslocamento atômico devido aos prótons presos. Devido ao aumento nas órbitas localizadas no cinturão de prótons, a indústria espacial está agora levando em conta o deslocamento induzido pelos prótons. Este efeito de deslocamento é quantitativamente mensurado pela perda de energia de forma não ionizante (do inglês, *Non-ionizing Energy Loss* ou NIEL) por oposição da perda ionizante medida pela dose depositada. A ordem de magnitude dos efeitos do deslocamento como exemplo são, para circuitos bipolares e MOS na ordem de 1 MeV (Boudenot, 2007).
3. **Efeitos de Evento Único** (do inglês, *Single Event Effects* ou SEEs) – Efeitos Singulares: são efeitos que ocorrem devido ao impacto de partículas fortemente ionizantes no silício quando atravessam a matéria e são chamados de íons pesados (Glein et al., 2014) (Wang and Agrawal, 2008). É possível mensurar o efeito dos íons pesados através da sua energia de transferência linear. Tem-se notícia de que uma máxima energia de transferência linear é em torno de  $100\text{MeV cm}^2$ . Quando um íon atravessa o dispositivo ele deposita carga ao longo das trilhas e esta carga é coletada pelo campo elétrico do dispositivo. A corrente ionizante ou "ionocurrent" pode induzir muitos efeitos tais como os SEEs, e podem ainda ser classificados como (Boudenot, 2007):

- a) **Evento Único por Distúrbio** (do inglês, *Single Event Upset*, SEU): É um evento transiente e que afeta principalmente elementos de memória modificando o estado de um bit armazenado chamado de bit-flip (Siozios and Soudris, 2013) (Straka et al., 2013) (Guenzer et al., 1979) (Boudenot, 2007).
- b) **Eventos singulares catastróficos**, como: SEL (do inglês, *Single Event Latchup*) podem destruir o componente e afetam principalmente os circuitos do tipo CMOS; SEB (do inglês, *Single Event Burnout*) possuem um impacto destrutivo principalmente circuitos MOSFET de potência; SEGR (do inglês, *Single Event Gate Rupture*) são também potencialmente destrutivos e afetam principalmente estruturas submicrônicas; SHE (do inglês, *Single Hard Error*): são eventos destrutivos que danificam permanentemente o circuito (Sexton et al., 1997) (Boudenot, 2007).

A Figura 5 relaciona as fontes de radiação espacial, descritas na seção anterior com as três classes de efeitos definidos anteriormente.

Figura 5 – Classificação dos efeitos da radiação espacial em função de suas respectivas fontes.



Fonte: Modificado de (Ecoffet, 2007).

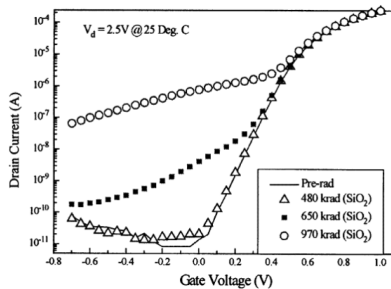
### 2.1.1 Efeitos da Dose Total

A exposição à radiação produz mudanças nas características de dispositivos e circuitos relativamente estáveis que podem resultar em uma degradação paramétrica ou uma falha funcional.

Os efeitos da dose total ionizante (do inglês, *Total Ionizing Dose* ou TID) ocorrem devido a exposição dos circuitos integrados à radiação por um longo período de tempo e sua unidade de medida é o rad<sup>3</sup>. A TID primeiramente atinge as camadas isolantes, que podem prender carga ou apresentar mudanças em sua interface (Schrimpf, 2007) (Schwank et al., 2008) (Leroy and Rancoita, 2009).

O acúmulo de cargas em óxidos de isolamento, induzido por radiação ionizante, pode ser visualizado na Figura 6, que mostra o aumento da corrente de fuga após a irradiação (Zhang et al., 2014b) (Turowski et al., 2004).

Figura 6 – Características típicas medidas de tensão (V) e corrente (A) de um nMOSFET de  $0,4 \mu\text{m}$ , onde é mostrado um aumento da corrente de fuga após a irradiação



Fonte: (Turowski et al., 2004).

<sup>3</sup> A unidade de medida da TID acumulada é o rad (do inglês, *radiation absorbed dose* ou rad). O rad é uma unidade de medida do sistema CGS (centímetro, grama, segundo) e que representa 100 ergs de energia depositada por grama de material. O erg é uma unidade de energia do CGS cujo equivalente no sistema MKS (metro, kilo, segundo) é o Joule, tal que  $1 \text{ erg} = 0,1 \text{ mJ}$ . No sistema MKS o equivalente do rad é o Gray (Gy) que é definido como a deposição de 1 J de energia em 1 kg do material irradiado de maneira que  $100 \text{ rad} = 1 \text{ Gy}$  (Stassinopoulos and Raymond, 1988).



Elétrons de alta energia são gerados por interações (colisões) de fótons<sup>4</sup> ou elétrons. A cada energia de fóton corresponde um momento associado e dessa forma, podem ocorrer colisões em que o fóton transfere energia e momento para outras partículas. As principais interações que ocorrem na matéria com fótons de energias na faixa de poucos keV até dezenas de MeV (Yoshimura, 2009). Com isso, um fóton é absorvido pelo átomo e um elétron atômico é liberado para se mover no material, gerando pares de elétron-buraco (Zhang et al., 2014b)(Schwank et al., 2008).

Quando um transistor MOS é exposto à radiação ionizante de alta energia, pares de elétron-buraco são criados no óxido. A geração de pares de elétron-buraco no óxido leva a quase todos os efeitos da dose total. Os portadores gerados induzem a acumulação de carga, o que pode levar a degradação do dispositivo (Schwank et al., 2008) (Tan et al., 2014). O aprisionamento de carga positiva no óxido de porta pode inverter a interface do canal causando corrente de fuga e fazendo com que esta corrente flua na condição de desligado ( $V_{GS}=0V$ ). Isto irá resultar em um aumento na corrente de consumo estático de um circuito integrado podendo também causar falhas no mesmo (Schwank et al., 2008).

### 2.1.1.1 Desvios na Tensão de Limiar de Transistores

A tensão de limiar de transistores é o valor de tensão de fonte-porta ( $V_{GS}$ ) necessário para que um número suficiente de elétrons móveis se acumulem na região do canal para formar um canal condutor, e que é chamado de tensão limiar. As regiões de aprisionamento na interface podem trocar cargas com o semicondutor em escalas de tempo relativamente curtas, aumentando o ruído intrínseco do dispositivo, e

---

<sup>4</sup> Os fótons são comumente associados com a luz visível, o que só é verdade para uma parte muito limitada do espectro eletromagnético. Toda a radiação eletromagnética é quantizada em fótons: isto é, a menor porção de radiação eletromagnética que pode existir é um fóton, qualquer que seja seu comprimento de onda, frequência, energia ou momento. Fótons são partículas fundamentais que podem ser criados e destruídos quando interagem com outras partículas, mas é conhecido que decaiam por conta própria. (Nakamura et al., 2010).

quando o transistor estiver desligado pode inverter a polarização na interface gerando um caminho para o fluxo de corrente. Tal inversão gera um fenômeno conhecido como fuga de corrente (*leakage current*) o que aumenta o consumo estático do circuito integrado podendo inclusive danificá-lo.

Além do efeito de fugas de corrente, cargas aprisionadas tanto no óxido como na interface também são responsáveis por desvios na tensão de limiar de transistores MOS, causam degradação da mobilidade de portadores e modificam as características de ruído dos dispositivos (Schrimpf, 2007)(Meisenheimer et al., 1991).

Para carga positiva, a mudança do limiar de tensão é negativa, ao contrário, para uma carga negativa, a mudança do limiar de tensão é positiva. Assim, para os dispositivos onde carga das armadilhas de óxido domina, a mudança do limiar de tensão será predominantemente negativa.

### 2.1.1.2 Fuga de Corrente Induzida por Radiação

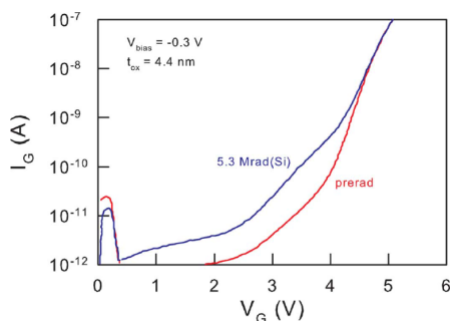
Um fenômeno que tem sido associado especificamente com óxidos de porta ultrafinos é a corrente de fuga induzida por radiação (*Radiation-Induced Leakage Current* ou RILC) (Scarpa et al., 1997). RILC é o aumento da corrente de fuga que é observado em campos elétricos pequenos e ocorrem após uma porta de óxido ultrafino se exposto à doses totais altas de radiação ionizante. É uma preocupação em potencial para a confiabilidade do dispositivo e é semelhante à corrente de fuga induzida pelo stress (*Stress-Induced Leakage Current*, ou SILC), que ocorre depois de um óxido ser estressado por um campo elétrico elevado (Tan et al., 2014).

A Figura 7 é um gráfico da fuga de corrente da porta ( $I_g$ ), versus a tensão de porta ( $V_g$ ), para um capacitor de substrato p não irradiado e um capacitor irradiado à 5,3 Mrad(Si) com raios gama através de Co-60 polarizados a uma tensão de 0,3V onde a espessura do óxido era de 4,4 nm. As curvas de corrente e tensão foram tiradas variando a polarização da porta de zero até valores positivos. Observa-se que para

polarizações pequenas,  $I_g$  é maior para capacitores irradiados do que para capacitores não irradiados e a RILC aumenta com a diminuição da espessura do óxido e aumenta com a dose total (Ceschia et al., 1998).

RILC foi observado para uma ampla gama de fontes de radiação e partículas, incluindo raios gama de Co-60 (Scarpa et al., 1997), elétrons com 8-MeV (Ceschia et al., 1998), de um acelerador linear (Ceschia et al., 2000), 10keV por raios X e íons pesados (Ceschia et al., 2000). Durante a exposição à irradiação ionizante, armadilhas de elétrons neutros são criadas na maior parte do óxido e com uma polarização positiva aplicada, os elétrons na banda de condução do silício podem aprisionar primeiro na armadilha de elétrons neutros e depois na porta.

Figura 7 – Corrente de fuga do óxido de porta versus tensão de porta para um capacitor não irradiado e um capacitor irradiado a 5,3 Mrad(Si) por raios gama através de Co-60 com uma polarização de porta de -0,3V.



Fonte: (Scarpa et al., 1997).

### 2.1.1.3 Degradação da Mobilidade de Portadores

Algumas características dos transistores MOS, como por exemplo, velocidade e capacidade de corrente são altamente dependentes da mobilidade dos portadores na camada de inversão (Xi et al., 2014). Cargas aprisionadas no óxido e na interface podem reduzir a mobilidade da camada de inversão em virtude de um fenômeno conhecido como

*Espalhamento de Coulomb* (do inglês, *Coulomb Scattering*) (Zupac et al., 1993). Neste tipo de choque não há mudança da energia interna do núcleo, ocorrendo somente troca de energia e momento entre a partícula e o núcleo. Como para núcleos leves a massa do nêutron é comparável à massa do núcleo, pode haver grande perda de energia cinética da partícula incidente, e o núcleo de recuo pode ter velocidades suficientemente altas para caminhar no meio e ionizá-lo (Yoshimura, 2009). O espalhamento inelástico ou efeito Compton é o espalhamento de um fóton por um elétron livre do material. Há transferência de parte da energia e do momento do fóton para o elétron, e um fóton com a energia restante é espalhado em outra direção, dificultando a mobilidade dos portadores do transistor, tornando-o mais lento (Yoshimura, 2009).

#### **2.1.1.4 Análise dos Efeitos do Envelhecimento (Aging) causados pela Radiação**

Uma métrica importante comumente usada para medir e especificar o tempo de vida para componentes eletrônicos e placas de circuito é o tempo médio entre falhas (do inglês *Mean Time Between Failures* ou MTBF). Este é o tempo médio até que o grupo de dispositivos falhará. O MTBF é uma função da taxa de falha da placa de circuito e os componentes sobre ele (Klutke et al., 2003) (Kastensmidt et al., 2014).

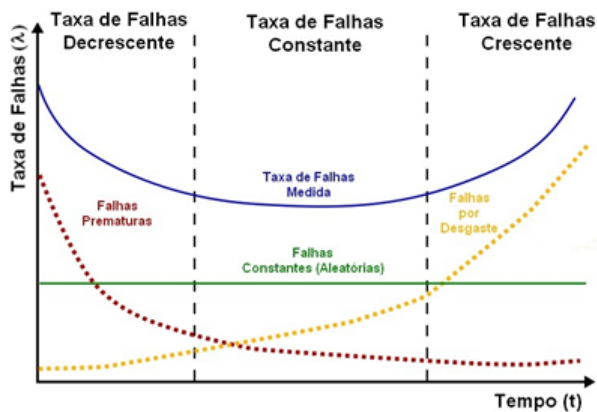
A taxa de falha para a maioria dos componentes eletrônicos modernos tem uma distintiva curva da banheira que representa as suas características de falha (Kumamoto and Henley, 1996)(Wowk, 1991)(Ireson and Coombs, 1988). A curva da banheira na Figura 8 fornece um meio para a discussão das características estatísticas da taxa de falha em três fases da vida útil do componente em *burn in*, vida útil e envelhecimento (Klutke et al., 2003).

Esta curva (a azul) é amplamente utilizada na engenharia de confiabilidade, descrevendo uma forma particular da função de risco, que compreende três partes:

- A primeira parte é uma taxa de falha decrescente, conhecida como falhas precoces ou prematuras;

- A segunda parte é uma taxa de falha constante, conhecida como falhas aleatórias;
- A terceira parte é uma taxa de falha crescente, conhecido como falhas por desgaste.

Figura 8 – Curva da Banheira para tempos de falhas (*Bathtub Curve*).



Fonte: Modificado de (Klutke et al., 2003).

A curva representa a ideia de que a operação de uma população de dispositivos podem ser visualizados como composto de 3 períodos distintos (Klutke et al., 2003):

1. Falha precoce ou prematura que diz respeito ao período (burn-in), onde o risco de falha diminui ao longo do tempo;
2. Falha contante ou aleatória (vida útil) que diz respeito ao período, onde o risco de falhas é constante ao longo do tempo;
3. Falhas por desgaste que diz respeito ao período, onde o risco de falhas aumenta com o tempo.

### 2.1.1.5 NBTI

O NBTI (do inglês, *Negative bias temperature instability* ou NBTI) é uma questão chave na confiabilidade de MOSFETs. É de preocupação imediata em dispositivos de canais pMOS, já que quase sempre operam com tensão de fonte-porta negativa, no entanto, o mesmo mecanismo afeta também transistores nMOS quando tendendo ao regime de acumulação, ou seja, com um viés negativo aplicado também na porta.

O NBTI se manifesta como um aumento da tensão de limiar e consequente diminuição na corrente de dreno e na transcondutância (Alam and Mahapatra, 2005) (Shen et al., 2006) (Schroder and Babcock, 2003).

## 2.2 ANÁLISE DOS EFEITOS DE EMI

Os circuitos integrados muitas vezes desempenham um papel importante na compatibilidade eletromagnética de sistemas eletrônicos. Geralmente os circuitos integrados são as principais fontes de sinais e ruídos que produzem a interferência. Estes CI's convertem sua alimentação em correntes e tensões de alta frequência, que são responsáveis por emissões e acoplamentos involuntariamente (Dhia et al., 2006).

Devido ao número crescente de sistemas eletrônicos embarcados e em especial no domínio aeronáutico, torna-se essencial avaliar o campo eletromagnético nas fases de concepção de um novo sistema embarcado crítico, pois estas interferências eletromagnéticas produzidas dentro do equipamento induzem ruídos de tensão e de corrente. Estas tensões e correntes podem danificar ou causar mau funcionamento de alguns componentes do sistema (Boutar et al., 2015) (Berbel et al., 2014).

De todos os componentes em um sistema eletrônico, os CI's tendem a ser mais susceptíveis à danos causados por condições de sobretensões e sobrecorrentes. Mesmo se ele não for danificado, ruídos acoplados pelos pinos de entrada e saída (ou i/o, *input/output*) e alimentação, podem causar mau funcionamento.

Problemas de compatibilidade eletromagnética (*Electromagnetic compatibility*, ou EMC) associados com CI's podem ser classificados como interno ao chip ou acoplamento externo (Dhia et al., 2006).

### 2.2.1 EMC Interno ao Chip

Os dois problemas de EMC internos ao chip mais comuns são o *crosstalk* e o *ruído de chaveamento simultâneo*. *Crosstalk* resulta quando correntes ou tensões em um circuito são acoplados em outro circuito involuntariamente. Se o acoplamento for forte o suficiente, pode afetar a amplitude e a temporização no sinal acoplado, causando assim o mau funcionamento (Dhia et al., 2006).

#### 2.2.1.1 Crosstalk

Um dos maiores desafios enfrentados pelos projetistas de equipamentos eletrônicos em alta densidade, altas taxas de transferência de dados é *crosstalk*. Fundamentalmente, *crosstalk* é indesejável porque pode prejudicar o desempenho do sistema agravando a integridade do sinal que podem levar a erros de lógica e violações de temporização (Halligan and Beetner, 2014) (Park et al., 2014) (ME, 2014).

O *crosstalk* entre dois circuitos é geralmente definido como a razão da tensão acoplada que aparece no circuito da vítima (VV), sobre a tensão do circuito fonte (VF).

$$crosstalk(db) = 20 * \log \left| \frac{VV}{VF} \right|$$

Em CI's, existem geralmente três tipos de acoplamento que resultam em *crosstalk*: acoplamento por impedância comum, acoplamento por campo elétrico e acoplamento por campo magnético (ME, 2014).

#### 2.2.1.2 Acoplamento por Impedância Comum

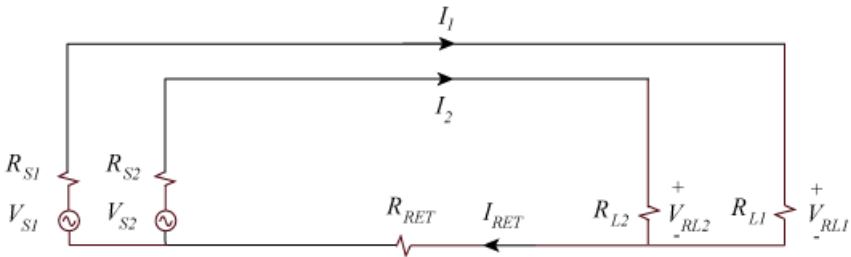
Também chamado de acoplamento conduzido, ocorre quando partes dos caminhos de corrente em dois circuitos compartilham o mesmo condutor, como exemplo o mesmo plano de terra metálico de uma placa de circuito impresso (Dhia et al., 2006) (ME, 2014). Grupos de cabos em aeronaves e sistemas automotivos consistem em fios de sinal e de

alimentação densamente misturados com dados de alta velocidade. Os campos gerados por um fio acoplam em outro fio nas suas proximidades causando crosstalk. Modelos para o crosstalk ajudam os engenheiros a prever possíveis problemas, o que é benéfico para a otimização do projeto do sistema (Li et al., 2015).

Um exemplo disto é ilustrado na Figura 9, onde dois circuitos com fontes  $V_{S1}$  e  $V_{S2}$  compartilham o mesmo condutor que tem a resistência  $R_{RET}$ .

Note que a impedância finita associada com o condutor compartilhado, resulta em uma queda de tensão que aparecerá entre os dois circuitos.

Figura 9 – Dois circuitos compartilhando o caminho de retorno da corrente.



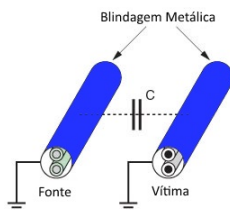
Fonte: (Dhia et al., 2006).

### 2.2.1.3 Acoplamento por Campo Elétrico

Também chamado de acoplamento capacitivo que ocorre quando linhas de campo elétrico provenientes de um condutor de um circuito acabam no condutor de outro circuito. Este efeito pode ser representado esquematicamente por uma capacitância parasita entre dois condutores, como ilustrado na Figura 10, que geralmente induz uma corrente no circuito vítima proporcional a derivada no tempo do sinal fonte (Dhia et al., 2006) (Alina Elena and Roxana, 2013) (ME, 2014).



Figura 10 – Campo elétrico acoplado entre dois condutores.

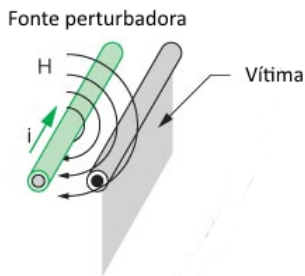


Fonte: Modificado de <http://www.smar.com/brasil/artigo-tecnico/profibus-instalacao-avancada-parte-1>

#### 2.2.1.4 Acoplamento por Campo Magnético

Também chamado de acoplamento indutivo e pode ser uma fonte significativa de *crossstalk* no circuitos integrados. Este tipo de acoplamento ocorre quando campos magnéticos produzidos por correntes que variam no tempo no circuito fonte acoplam no circuito vítima como mostrado na Figura 11. Estes campos magnéticos se sobrepõem e geram uma tensão no circuito vítima proporcional a derivada da corrente no circuito fonte (Dhia et al., 2006) (Alina Elena and Roxana, 2013) (ME, 2014).

Figura 11 – Campo magnético acoplado entre dois condutores.



Fonte: Modificado de <http://www.smar.com/brasil/artigo-tecnico/dicas-de-blindagem-e-aterramento-em-automacao-industrial>

### 2.2.1.5 Ruído de Chaveamento Simultâneo

O ruído de chaveamento simultâneo é um dos mais problemáticos em se tratando de EMC. Também são conhecidos como flutuação do terra (*ground bounce*), flutuação da alimentação (*power bounce*) ou ruído delta-I que é o ruído entre os planos de terra. Este tipo de ruído tornou-se uma das principais preocupações devido as crescentes taxas de transmissão e decrescente tensão de alimentação nos últimos anos. Este ruído vai se tornar uma fonte de sinal eletromagnético que se espalha ao longo da cavidade ressonante constituída por planos terra e alimentação para bordas da placa de circuito impresso (PCB). Quando um furo de passagem atravessa estas cavidades, o ruído acopla na trilha do sinal resultando em problemas na sua integridade (Shi and Zhou, 2014).

O ruído de chaveamento simultâneo, basicamente é um acoplamento por impedância comum que aumenta devido fato de que vários circuitos em uma mesma placa compartilham o mesmo barramento de alimentação. Quando um circuito drena corrente deste barramento de alimentação, há uma queda de tensão ao longo deste barramento. Esta queda de tensão afeta todos os circuitos que são alimentados através deste barramento (Dhia et al., 2006) (ME, 2014).

### 2.2.2 Acoplamento Externo de EMC

Um semicondutor que não possui problema de EMC interno, ainda pode ser uma fonte e também vítima de problemas de EMC devido ao acoplamento de ruído que vem de dentro ou de fora do CI. Existem quatro possíveis mecanismos para o acoplamento de ruído eletromagnético para um CI ou que partam de um CI, que são: acoplamento externo através de caminhos conduzidos, campo elétrico e campo magnético. Adicionalmente, é possível existir energia radiada diretamente de um CI ou encapsulamento (Dhia et al., 2006) (ME, 2014). Em circuitos de alta frequência e de alta velocidade, fios, placas de circuito, ou dispositivos podem produzir emissões por radiação facilmente, e causar problemas interferência eletromagnética. Esses problemas de emissão radiada acontecem devido aos indesejados efeitos antena do

encapsulamento do circuito integrado e pelo layout da placa de circuito (Lin et al., 2015).

### 2.2.2.1 Acoplamento Conduzido

Talvez o meio mais óbvio de acoplamento de ruído para dentro ou para fora de um circuito integrado, seja pelos seus pinos através das trilhas da PCB (Dhia et al., 2006) (Zhang et al., 2014a). *Crosstalk* entre alta e baixa frequência nos pinos de entrada e saída é uma maneira de acoplamento conduzido (Dhia et al., 2006) (ME, 2014).

O ruído de chaveamento simultâneo é outra fonte comum de ruído de alta frequência, pois faz com que haja flutuação na alimentação (VCC ou GND), e como os pinos de entrada e saída são referenciados a esta alimentação acabam resultando em diferenças de tensão entre estes pinos ao longo do mesmo circuito integrado (Dhia et al., 2006) (ME, 2014).

### 2.2.2.2 Acoplamento por Campo Elétrico

É possível haver acoplamento de ruído em um circuito integrado através de um campo elétrico. Este acoplamento acontece quando uma tensão desenvolvida através do dispositivo, provoca o aparecimento de uma tensão entre dois condutores externos. Usualmente este tipo de acoplamento ocorre quando um objeto metálico, tal como dissipador de calor, ou cabo que se encontre muito próximo à superfície do encapsulamento do CI. Grandes comprimentos de cabos e dissipadores de calor com grande área, podem se tornar eficientes antenas em frequências de centenas de mega hertz (Dhia et al., 2006) (Shi et al., 2015) (Yu et al., 2013b) (ME, 2014).

### 2.2.2.3 Acoplamento por Campo Magnético

Quando um dispositivo possui laços de corrente em alta frequência, energia pode ser acoplada fora do dispositivo através de campo magnético. É possível que o fluxo magnético, a partir de um laço de

corrente no dispositivo se conecte com laços de corrente fora do dispositivo. Esta indutância mútua pode produzir tensões indesejadas no laço de corrente externo. Do mesmo modo que um fluxo magnético externo pode induzir tensões indesejadas nos laços de corrente internos (Dhia et al., 2006) (ME, 2014).

#### **2.2.2.4 Acoplamento por Campo Radiado**

Acoplamento por campo radiado é a transferência de energia eletromagnética através de distâncias ligeiramente maiores que poucos comprimentos de onda.

Objetos que são muito menores que um comprimento de onda, não fazem antenas eficientes. A maioria dos encapsulamentos dos circuitos integrados são muito pequenos para radiar eficientemente nas frequências em torno de 10GHz. Nas frequências onde o encapsulamento são grandes o suficiente para radiar eficientemente, as estruturas finas metálicas no encapsulamento, tendem a ter muitas perdas. Como resultado, a radiação de energia eletromagnética a partir do circuito integrado, normalmente não é um problema significativo (Dhia et al., 2006) (ME, 2014).

#### **2.2.3 Técnicas Básicas para Medir EMC em Circuitos Integrados**

Diversas técnicas de medição de EMC têm sido propostas para tentar quantificar os méritos do desenvolvimento de um circuito integrado ou de um sistema como um todo, quanto a compatibilidade eletromagnética. Estas medidas podem ser classificadas em medições de emissão e de susceptibilidade à EMC (Dhia et al., 2006).

##### **2.2.3.1 Medição de Emissão de EMC**

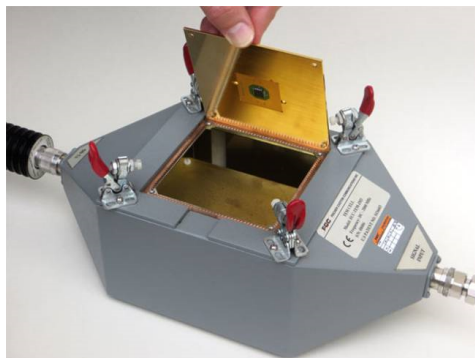
Medir as emissões de um circuito integrado é uma tarefa difícil pelo fato de que a antena responsável pela emissão radiada, provavelmente não faz parte do circuito integrado, e sim de outros componentes, cabos ou até mesmo da própria PCB. Então para ser possível medir

as emissões de um único circuito integrado, ou um conjunto deles, é necessário o projeto de uma placa especial para que tal teste seja feito com sucesso, o que se encaixa perfeitamente no projeto da plataforma proposta neste trabalho.

Existem três métodos primários para avaliar circuitos integrados em termos de ser uma potencial fonte de emissão eletromagnética radiada: testes utilizando uma Câmara TEM Cell (*Transverse Electromagnetic Cell*), medição de corrente no pino e medição de campos eletromagnéticos próximos ao CI (Dhia et al., 2006) (Yu et al., 2013a).

- A TEM Cell é em sua essência uma linha de transmissão alargada que suporta propagação de onda eletromagnética transversa como ilustrado na Figura 12. Um objeto radiando é colocado em uma TEM Cell que gera uma onda eletromagnética transversa que se propaga para a carga nas terminações da linha de transmissão. Sob as condições certas, a potência acoplada à onda TEM na célula pode ser relacionada com a potência radiada pelo circuito integrado, que deve estar montado sob uma placa de circuito impresso específica (plataforma de teste) para este fim. Com esta TEM Cell é possível que seja feito medições de susceptibilidade ou emissão de EMI.

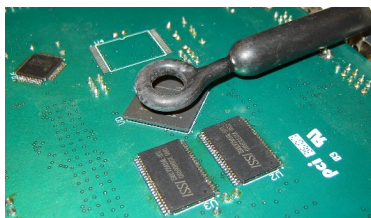
Figura 12 – TEM-Cell customizada utilizada para teste de circuitos integrados.



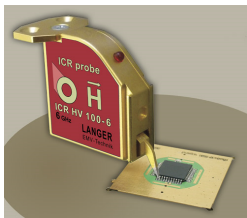
Fonte: (EMV, 2015).

- O segundo método, é o de medir corrente no pino, que é baseado na norma IEC 61.967-4, é feito colocando uma pequena resistência em série com este pino e medir a queda de tensão através da resistência. Este método fornece um bom indicativo de quão bem o CI responde quanto aos níveis de emissão de EMI, porém não é um método preciso, pois está diretamente ligado também ao projeto da PCB onde os comprimentos e espessuras das trilhas alteram a impedância do pino e conseqüentemente alteram o fluxo de corrente.
- O terceiro método é de medir campos magnéticos próximos aos caminhos de corrente, como mostrado na Figura 13. Este método proporciona medir as correntes que fluem no encapsulamento do CI. Com isto, é possível criar um mapa destas correntes efetuandose a procura de pequenos campos magnéticos utilizando pequenas e micro ponteiras (Dhia et al., 2006) (Yu et al., 2013a).

Figura 13 – (a) detalhe de uma ponteira para medir campos próximos provenientes de um CI como um todo. (b) detalhe de uma micro ponteira para medir campos próximos de partes do CI ou de seus pinos.



(a)



(b)

Fonte: <http://www.langer-emv.com/produkte/ic-messtechnik/stoeraussendung-feldgebunden/icr-nahfeldmikrosonden/>

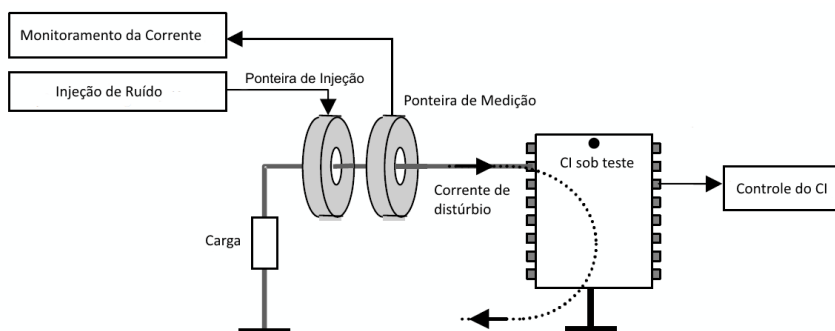
### 2.2.3.2 Medição de Susceptibilidade à EMC

Apesar de os circuitos integrados fabricados nos dias de hoje possuírem proteções contra transientes de tensão nas entradas de seus pinos, esta proteção é projetada para suportar até um certo limite destes ruídos ou transientes elétricos, e cada dispositivo tem o seu limite pré-determinado. Mesmo assim a quantidade de ruído para causar mal funcionamento varia bastante de um CI para outro (Dhia et al., 2006). Então, para uma correta escolha de um CI para uma determinada aplicação, é importante quantificar este dispositivo quanto a sua imunidade eletromagnética. Para a qualificação de um dispositivo é necessário utilizar uma plataforma de testes e uma metodologia que propiciem este tipo de avaliação de forma adequada, confiável e segura.

Existem diversos procedimentos de medição para avaliar a imunidade eletromagnética de circuitos integrados descritos em diferentes normas. Os procedimentos de medição mais comuns e que serão aqui descritos, são divididos em três categorias:

1. Injeção de Corrente (*Bulk Current Injection*), que consiste em acoplar intencionalmente ruído de corrente em uma ou mais trilhas ou fios que estão conectados aos pinos do CI sob teste, como mostrado na Figura 14.

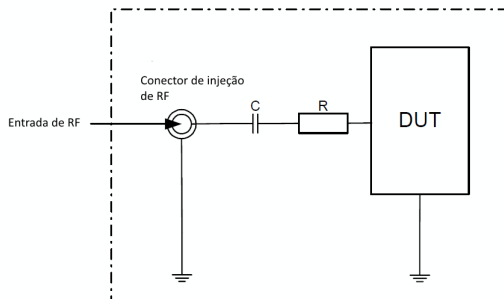
Figura 14 – Esquema de teste por injeção de corrente.



Fonte: Modificado de (Commission, 2003).

2. A injeção direta de ruído de RF (*Direct Power Injection*) é utilizada para efetuar medições em pinos que tenham alta impedância de entrada, cuja a injeção de ruído de tensão é mais apropriado que a injeção de ruído de corrente como mostrado na Figura 15.

Figura 15 – Esquema de teste por injeção direta de RF.



Fonte: Modificado de (Commission, 2003).

3. A terceira categoria de medição de susceptibilidade para circuitos integrados é feita expondo todo o dispositivo à um forte campo elétrico ou magnético, em vez de tentar acoplar ruído em um único pino. A maneira mais utilizada para este tipo de testes é utilizando uma TEM-Cell, mostrada na Figura 12 ou uma GTEM-cell mostrada na Figura 16.

Figura 16 – GTEM-Cell da Teseq.



Fonte: <http://www.teseq.com/products/GTEM-750.php>



## 2.3 PLATAFORMAS DE TESTE

Durante a revisão do estado da arte para plataformas de teste visando aplicações com EMI e radiação, no que diz respeito a análise destes efeitos e qualificação de dispositivos, não foi possível identificar na literatura a descrição de qualquer plataforma sequer semelhante à proposta neste trabalho. Este estudo é demonstrado nas descrições à seguir, que resumem diversos trabalhos realizados na área entre 2007 e 2015 que utilizaram plataformas de teste para injeção de falhas para a análise de FPGAs em ambientes de radiação e interferência eletromagnética. A descrição completa da plataforma proposta neste trabalho está no Capítulo 3. Os pontos de comparação entre os trabalhos já publicados e o trabalho proposto são descritos à seguir e exibidos e divididos da seguinte forma:

- (1) -> **METODOLOGIA/NORMAS:** Foi analisado se o trabalho publicado possui alguma proposta de metodologia e/ou alguma norma em que o projeto se baseia. O preenchimento para a tabela resumo pode ser não (se não houver nenhuma das duas) ou sim (se houver uma metodologia ou norma associada para projeto ou coleta de dados). A metodologia é muito importante, pois pode garantir a repetibilidade dos testes nos mesmos padrões, assim como as normas ou padrões internacionais que regem as regras de projeto do *hardware* garantindo o padrão. Dos artigos analisados na revisão do estado da arte cinco trabalhos utilizam alguma norma para projeto de *hardware* ou metodologia de testes que estão publicadas nos seguintes trabalhos:
  - (Peronnard et al., 2009) e (Bolchini et al., 2011) que propõem suas próprias metodologias e que não são baseadas em normas;
  - (Chua et al., 2012) e (Yuan et al., 2010) que utilizaram a norma IEC 61.967-2 como base para a metodologia e realização dos testes;

- (Aurand et al., 2009) que utilizou a norma IEC 62.132-4 como base para a metodologia e realização dos testes.
- **(2) -> PLATAFORMA DE HARDWARE CUSTOMIZADA:** Foi analisado se foi feito um projeto de *hardware* customizado para os testes. O preenchimento para a tabela resumo pode ser não (indica que o trabalho não utiliza um *hardware* customizado e sim um kit de desenvolvimento genérico não projetado para especificamente para o projeto citado) ou sim (se houver um projeto de *hardware* customizado no trabalho citado). O projeto de *hardware* customizado permite o controle total dos testes em termos de alimentação dos circuitos, posicionamento dos circuitos dentro das câmaras de testes, garantindo a exposição somente dos circuitos integrados que estão sendo analisados, ficando os outros fora da interferência, garantindo assim a robustez e confiabilidade dos testes. Dos trabalhos analisados na revisão do estado da arte, quinze trabalhos utilizaram um projeto de *hardware* customizado para os testes. Cabe salientar que nenhum destes trabalhos é específico para os efeitos combinados de EMI + radiação e qualificação dos dispositivos. Estes trabalhos já publicados são comentados à seguir:
  - (Angelucci et al., 2014) projetou a plataforma chamada NA62 para a aquisição de dados para calcular o decaimento de raios ultra raros de  $k^+$ . Esta plataforma consiste em múltiplos FPGAs para cálculos e interfaces de comunicação ethernet;
  - (Peronnard et al., 2009) projetou uma plataforma utilizada para medir SEU em memórias SRAM de 1GBytes com tecnologia de 90nm em voos comerciais, que consiste em uma placa com um FPGA que controla as múltiplas memórias SRAM para teste
  - (Violante et al., 2007) projetou uma plataforma utilizada para testar FPGAs em íons pesados e nêutrons para detectar bit-flips na memória de configuração do FPGA, consiste

em uma pequena placa com um FPGA para teste (DUT) conectado à um kit comercial da Xilinx XC2VPRO para processamento;

- (Lihua et al., 2011) projetou uma plataforma para implementação de um circuito programador de FPGAs do tipo *radiation hardened*. Consiste em uma pequena placa com um FPGA para teste (DUT);
- (Alderighi et al., 2007) utilizou a plataforma chamada FLIPPER usada para emular falhas de SEU em FPGAs usando reconfiguração parcial. Esta plataforma possui uma placa mãe que possui um FPGA, memórias e recursos de comunicação serial com o PC e uma placa filha que é conectada em cima da placa mãe, onde é conectado o FPGA que será testado.
- (Liu et al., 2011) utilizou a plataforma FLIPPER usada para emular falhas de SEU em FPGAs e propor uma nova técnica para aumentar a confiabilidade de FPGAs do tipo SRAM usando um equalizador do tipo *Feed Forward Equalizer*.
- (Kefei et al., 2011) utilizou a plataforma chamada THESIC+ usada para analisar a relação da corrente de consumo dinâmico com a quantidade de SEUs no FPGA mediante à irradiação com íons pesados. Consiste em uma placa que contem dois FPGAs, um para teste e outra que contém um processador 68000 para controle juntamente com memórias e interface de comunicação serial com o PC;
- (Zhu et al., 2013) projetou uma plataforma usada para avaliar falhas de SEU por fluxo de Nêutrons em FPGAs para propor um novo projeto para aumentar sua confiabilidade baseado em uma matriz de transferência probabilística. Consiste em uma placa com memórias comunicação serial com o PC e dois FPGAs, sendo um para testes e outro para a injeção de falhas;

- (Mansour et al., 2013) utilizou a plataforma chamada THE-SIC+ usada para emular falhas de SEU através de reconfiguração dinâmica em FPGAs do tipo SRAM usando um algoritmo de auto convergência;
- (Simion and Burciu, 2013) utilizou a plataforma chamada SASEBO inicialmente projetada para avaliar sistemas de criptografia usando injeção de falhas. Esta plataforma também pode ser usada para emular falhas de SEU através de reconfiguração parcial. Consiste em uma placa com três FPGAs que podem ser utilizados de acordo com a aplicação do usuário, possui um conjunto de memórias e comunicação serial e ethernet com o PC;
- (Foucard et al., 2011) utilizou a plataforma chamada THE-SIC+ para avaliar os limites de confiabilidade da implementação do TMR (*Triple Modular Redundancy*) em FPGAs do tipo SRAM usando íons pesados para injeção de falhas.
- (Mansour and Velazco, 2013) utilizou a plataforma chamada THESIS+ para avaliar a injeção de falhas emuladas de SEU em processadores descritos em VHDL
- (Chua et al., 2012) projetou uma plataforma usada para testes de emissão de EMI para caracterização de FPGAs baseado em medidas utilizando GTEM cell. Consiste em uma placa de 10x10 cm com um FPGA na parte de cima da placa para o teste e o resto dos componentes na parte de baixo da placa.
- (Yuan et al., 2010) projetou uma plataforma usada para testes de emissão de EMI pelo PLL programável de FPGAs utilizando GTEM cell. Consiste em uma placa de 10x10 cm com um FPGA na parte de cima da placa para o teste e o resto dos componentes na parte de baixo da placa.
- (Mogollon et al., 2011) utilizou a plataforma chamada FTUNSHADES2 projeta para emular injeção de falhas do tipo SEU por

*hardware* utilizando mecanismos de *readback* e reconfiguração dinâmica. Consiste em uma placa filha que é conectada em um kit comercial da Memec ML510. A placa filha projetada possui dois FPGAs, sendo um para emular e injetar falhas no outro FPGA teste. Esta placa possui apenas as memórias de configuração e reguladores de tensão, as memórias e outras interfaces estão na placa ML510;

- (Hori et al., 2012) utilizou a plataforma chamada SASEBO-GIII utilizada para avaliar sistemas de criptografia monitorando o consumo de corrente dinâmico e medindo sua emissão de interferência eletromagnética. Com esta plataforma também é possível fazer injeção de falhas através de reconfiguração dinâmica. Consiste em uma placa com dois FPGAs, um para emular e injetar falhas e o outro para testes. A placa possui memórias de configuração e memórias de dados do tipo DDR3 (*Double Data Rate*) com comunicação serial;
  - (Velazco et al., 2010) utilizou a plataforma chamada THE-SIC+ usada para propor um preditor de erros usando TMR em FPGAs com envelhecimento acelerado por íons pesados e submetidos a injeção de SEUs através de reconfiguração dinâmica.
- 
- **(3) -> FPGAS INTERCAMBIÁVEIS:** Verifica-se se o *hardware* utilizado possui a funcionalidade de troca dos FPGAs da placa de teste, podendo ser esta troca feita através de uma nova placa projetada ou através de soquetes. O preenchimento para a tabela resumo pode ser não (indica que não é possível trocar os FPGAs) ou sim (se existem placas intercambiáveis ou soquetes para troca dos FPGAs). A troca fácil e rápida de FPGAs é importante principalmente quando se trata de testes de TID, pois podemos utilizar diversos circuitos integrados com diferentes doses para os testes apenas efetuando a troca. Dos trabalhos analisados

apenas uma plataforma possui soquetes para intercambiar FPGAs publicado em (Simion and Burciu, 2013);

- **(4) -> CONTROLE DE ALIMENTAÇÃO DO FPGA E/OU MEMÓRIAS:** Verifica-se se existe ou não o controle de alimentação do FPGA ou das memórias no *hardware* utilizado, ou seja, se é possível aumentar ou diminuir esta tensão de alimentação. O preenchimento para a tabela resumo pode ser sim ou não. O controle de alimentação permite aumentar ou diminuir o nível de sensibilidade do FPGA ou memória, permitindo uma nova abordagem dos testes. Dos trabalhos analisados **nenhuma** das plataformas possui o recurso de controlar as tensões de alimentação;
- **(5) -> TESTES DE RADIAÇÃO TID:** Verifica-se se *hardware* utilizado foi projetado para efetuar testes de dose total (TID). Dos trabalhos analisados apenas uma das plataformas foi projetada para realizar testes de TID em (Lihua et al., 2011), e em (Velazco et al., 2010) foi realizado testes de TID utilizando uma plataforma não específica para TID;
- **(6) -> TESTES DE RADIAÇÃO SEE:** Verifica-se se *hardware* utilizado foi projetado para efetuar testes de efeito de evento único (SEE). Dos trabalhos analisados vinte e quatro realizaram testes emulados (EMU) em *hardware* ou *software* publicados em (Legat et al., 2010), (Alderighi et al., 2007), (Straka et al., 2013), (Gosheblagh and Mohammadi, 2014b), (Węgrzyn and Sosnowski, 2014), (Bolchini et al., 2011), (Liu et al., 2011), (Sterpone et al., 2011), (Straka et al., 2011), (Grinschgl et al., 2011), (Kretzschmar et al., 2011), (Mohammadi et al., 2012), (Legat et al., 2012), (Nazar and Carro, 2012), (Ibrahim et al., 2013), (Mansour et al., 2013), (Simion and Burciu, 2013), (Lanuzza et al., 2010a), (Mansour and Velazco, 2013), (Alderighi et al., 2013), (Gosheblagh and Mohammadi, 2014b), (Mogollon et al., 2011) e (Hori et al., 2012), (Velazco et al., 2010). E outros dez trabalhos realizaram

testes práticos (PRA) com SEE publicados em (Angelucci et al., 2014), (Peronnard et al., 2009), (Alme et al., 2013), (Violante et al., 2007), (Lihua et al., 2011), (Lanuzza et al., 2010b), (Kefei et al., 2011), (Nazar et al., 2013), (Zhu et al., 2013) e (Foucard et al., 2011)

- **(7) -> TESTES DE EMI RADIADA:** Verifica-se se *hardware* utilizado foi projetado para efetuar testes de interferência eletromagnética radiada. Dos trabalhos analisados apenas duas plataformas foram projetadas para realizar testes de EMI radiado que foram publicadas em (Chua et al., 2012) e (Yuan et al., 2010);
- **(8)-> TESTES DE EMI CONDUZIDA:** Verifica-se se *hardware* utilizado foi projetado para efetuar testes de interferência eletromagnética conduzida. Dos trabalhos analisados apenas duas plataformas foram projetadas para realizar testes de EMI conduzido que foram publicadas em (Mon et al., 2009) e (Aurand et al., 2009);
- **(9) -> TESTES COMBINADOS DE RADIAÇÃO + EMI NA MESMA PLATAFORMA:** Verifica-se se *hardware* utilizado foi projetado para efetuar testes combinados de interferência eletromagnética e radiação na mesma plataforma. Dos trabalhos analisados **nenhum** realizou testes combinados de EMI + radiação na mesma plataforma.

Outro item de extrema importância é a COMUNICAÇÃO POR FIBRA ÓPTICA e não consta na tabela por que destes quarenta trabalhos analisados, somente uma plataforma possui esta funcionalidade em (Angelucci et al., 2014). O link de fibra óptica é de extrema importância quando se está efetuando testes de imunidade a EMI radiado, pois garante um link de comunicação com o computador (por exemplo) livre de interferências.

A tabela 1 resume a revisão do estado da arte dos trabalhos já descritos. Nesta tabela é possível comparar todos os trabalhos com o trabalho aqui proposto (na linha JB).

Tabela 1 – Tabela resumo da revisão do estado da arte quanto as plataformas de testes.

	(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)	(9)
<b>SIM</b>	5	15	1	0	0	EMU 24 PRA 10	2	2	0
<b>NÃO</b>	35	25	39	40	40	6	38	38	40
<b>JB</b>	SIM	SIM	SIM	SIM	SIM	SIM	SIM	SIM	SIM

Fonte: Próprio autor.

Após a revisão e pesquisa do estado da arte no que diz respeito a metodologias de testes baseados em normas internacionais e plataformas de teste e qualificação de dispositivos reconfiguráveis do tipo FPGA e sistemas embarcados nestes dispositivos, realizando ensaios de radiação e EMI, ficou claro a inexistência, no Brasil e no exterior, de metodologias/plataformas para testes e qualificação de sistemas em chip com as características estudadas e aqui demonstradas, o que assegura um alto grau de ineditismo da metodologia desenvolvida.



**Parte II**

**MATERIAIS E MÉTODOS**



### 3 PLATAFORMA DE TESTES

A plataforma proposta chama-se "Plataforma para Análise Combinada da Robustez de Sistemas Embarcados em FPGA à EMI e a Radiação Ionizante" que contempla duas versões. A primeira versão da plataforma para testes combinados de EMI e Radiação é apresentada na seção 3.1 e a segunda versão é apresentada na seção 3.2. A principal diferença entre a primeira e a segunda versão é a troca do sistema de soquetes e o acréscimo de mais uma família de FPGAs sob teste.

Na dissertação de mestrado “PLATAFORMA PARA DESENVOLVIMENTO DE SoC (*System-on-Chip*) ROBUSTO À INTERFERÊNCIA ELETROMAGNÉTICA”, também projetada por este mesmo autor e que tem por objetivo avaliar o comportamento de um FPGA do tipo SRAM e de diferentes plataformas de teste e desenvolvimento de SoCs sendo elas comerciais ou customizadas, cujos resultados estão publicados em (Benfica, 2007). Este primeiro trabalho serviu como inspiração e aprendizado para o trabalho aqui apresentado nesta tese de doutorado.

#### 3.1 PRIMEIRA VERSÃO DA PLATAFORMA

A plataforma desenvolvida é baseada em três placas específicas e complementares. A primeira é dedicada para teste de imunidade à EMI radiado em uma *Gigahertz Transverse Electromagnetic Cell* (GTEM Cell) ilustrada na Figura 17 e na Figura 18 e usou como referência de regras de projeto, no que diz respeito a distribuição de camadas e disposição de componentes, a norma IEC 62.132-1 (Commission, 2003).

Figura 17 – GTEM Cell.



Fonte: (Lopes, 2005).

Figura 18 – TEM Cell utilizada para teste de PCBs com 10x10cm.



Fonte: (Piccoli, 2006)

A segunda placa é dedicada à realização dos testes com radiação ionizante e usou como referência de projeto a norma IEC 62.132-1 (Commission, 2003). Esta placa foi projetada para ser utilizada em câmaras de emissão de radiação, como por exemplo a Gamma Cell

ilustrada na Figura 19 e que possui um núcleo com Cobalto 60 para emissão de raios gama ( $\gamma$ ) ou ainda por raios X, ou qualquer outra fonte de radiação ionizante. Esta plataforma também foi projetada para ser utilizada em aceleradores de partículas para testes de SEU.

A terceira placa é dedicada a testes de injeção de ruído conduzido através das linhas de alimentação, que usa como referência para as variações de tensão a norma IEC 61.000-4-29. Este procedimento descreve como realizar a variação da tensão de alimentação.

Figura 19 – Câmara Gamma Cell com fonte de radiação de Co-60 para ensaios de radiação no Centro Atômico Ezeiza, da Comissão Nacional de Energia Atômica em Buenos Aires Argentina.



Fonte: Próprio autor (Benfica et al., 2011b) (Benfica et al., 2012a)  
(Benfica et al., 2012b).

### 3.1.1 Placa para Ensaios de EMI Radiado

Esta placa foi projetada de forma a propiciar um completo ambiente de testes e simulações para a exposição à EMI radiado. Com esta placa é possível efetuar comunicações sem a interferência deste ruído, pois possui um interface de comunicação por um par de fibra

óptica. É possível também controlar a tensão de alimentação dos FPGAs e das memórias SRAM em tempo de execução, mesmo quando submetida ao ruído radiado, ou seja, é possível aplicar EMI radiado e conduzido ao mesmo tempo durante todo o teste. O lado TOPO desta placa, contém dois FPGAs principais Xilinx Virtex 4 (XC4VFX12-10SFG363) que são os dispositivos sob teste (DUT). A norma determina que somente os componentes que ficarão expostos à EMI estejam deste lado da placa, e todo o restante dos componentes da placa do outro lado ficando assim protegidos da interferência. A placa possui as seguintes características listadas à seguir e ilustradas no diagrama de blocos na Figura 21.

### Memórias:

- 1 MByte de SRAM (IDT71V416L10PHG) para código e dados do usuário para o DUT0 (virtex4);
- 1 MByte de SRAM (IDT71V416L10PHG) para armazenamento como por exemplo códigos detectores e corretores de erros, tais como *cyclic redundancy check* (CRC), *Hamming*, *forward error correction* (FEC), *Reed Solomon* ou outras informações à escolha do usuário para o DUT0 (virtex4);
- 1 MByte de SRAM (IDT71V416L10PHG) para código e dados do usuário para o DUT1 (virtex4);
- 1 MByte de SRAM (IDT71V416L10PHG) para armazenamento como por exemplo códigos detectores e corretores de erros ou outras informações à escolha do usuário para o DUT1 (virtex4);
- 1 MByte de SRAM (IDT71V416L10PHG) para armazenamento como por exemplo códigos detectores e corretores de erros ou outras informações à escolha do usuário para o dispositivo de controle (spatan3E);
- 8 MByte de memória flash (M29W640FT70N6E) para código e dados do usuário para cada um dos dispositivos de teste (DUT0 e DUT1);

- 16 MBytes de SDRAM (MT48LC4M16) para código e dados do usuário para cada um dos dispositivos de teste (DUT0 e DUT1);
- 128Kbytes de SRAM dual port (CY7C028V), para intercomunicação entre os dois FPGAs sobre teste (DUT0 e DUT1);
- Memória flash Xilinx (XCF08PVOG48) para armazenamento do *bitstream* de configuração do FPGA para cada um dos dispositivos virtex4.
- Memória flash Xilinx (XCF04P) para armazenamento do *bitstream* de configuração do FPGA para cada um dos dispositivos spartan3E.

#### **Interfaces de comunicação:**

- Serial via RS232;
- Serial via Fibra Óptica;
- USB;
- Ethernet.

#### **FPGAS:**

- Dois FPGAS Xilinx VIRTEX 4 (XC4VFX12-10SFG363) com 1,5M (um milhão e quinhentos mil) de portas lógicas com um processador Power PC 405 em *hardware*, que são os dispositivos sob teste (DUT);
- Um FPGA Xilinx SPARTAN 3E XC3S500E-FT256 com 500K (quinhentos mil) de portas lógicas. Este FPGA é utilizado para controle e monitoração dos DUT's já que possuem em torno de 40 pinos interligados.

#### **Processador:**

- Um processador ARM7 LPC2378 da NXP. Este processador é utilizado para controle e monitoração de todo o sistema através

do link de fibra óptica. Foi desenvolvido para esta plataforma um *software* para PC usando a plataforma Qt, que é possível efetuar todo o controle da plataforma diretamente pelo PC através do link de fibra óptica. Os controles permitidos são a configuração e *reset* dos FPGAs, controle de alimentação e de ruído nas alimentações dos FPGAs e das memórias, bem como o controle da habilitação dos *clocks* dos FPGAs.

### **Controlador de tensão de alimentação:**

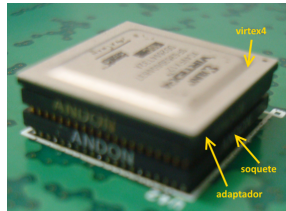
- Seis conversores D/A (Digital/Analógico) de 12 Bits (TLV5619CDW) ligados a alimentação dos FPGAs através de amplificadores operacionais (OPA2357) que tem a função de controlar a tensão de alimentação dos FPGAs sobre teste. Com esta funcionalidade é possível aumentar ou baixar para um valor fixo em qualquer uma das três tensões que compõe o sistema de alimentação do FPGA. É possível também variar dinamicamente as tensões que podem ser configuradas para variar a amplitude, frequência e ciclo de trabalho (*Duty Cycle*). Estes procedimentos podem se basear ou referenciar alguma norma para a variação das tensões ou simplesmente de acordo com a aplicação do usuário, isto é totalmente customizável.

### **Soquetes para troca dos FPGAs:**

- Os FPGAs sob teste podem ser facilmente substituídos por intermédio do sistema de soquete/adaptador utilizado neste projeto. No FPGA é soldado um adaptador, e na placa é utilizado o soquete, cujo adaptador é encaixado. Os soquetes e os adaptadores utilizados são do fabricante americano *Andon Electronics Corporation* ([www.andonelect.com](http://www.andonelect.com)) de *part numbers* 17-20-04-363-321-G10-L14 e 17-20-04-363-329T-P27-L14 respectivamente. O detalhe do soquete e do adaptador pode ser visto na Figura 20.

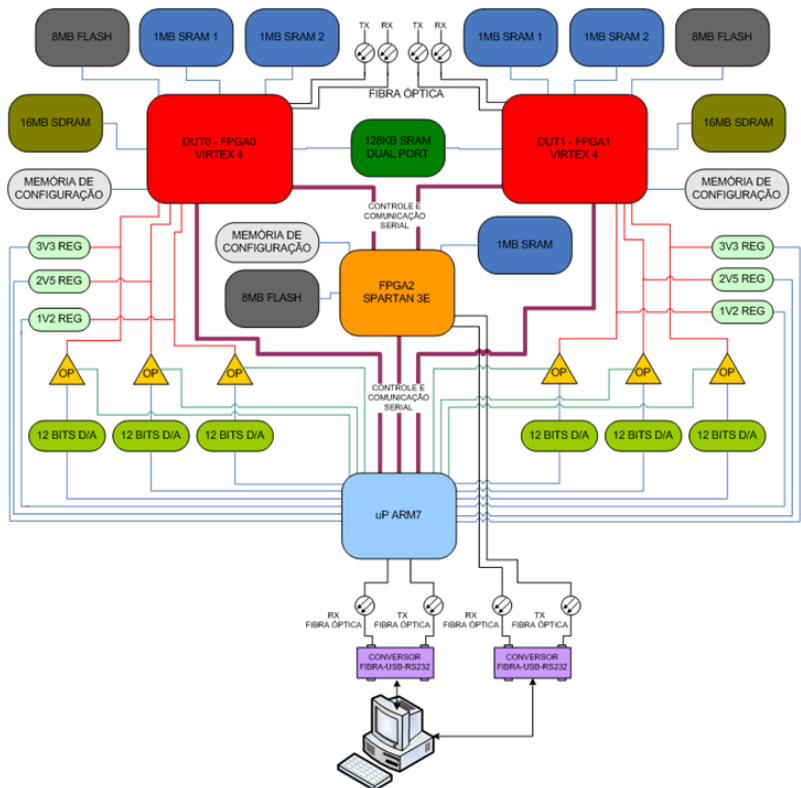


Figura 20 – Detalhe do soquete e adaptador utilizados para os DUTs na plataforma.



Fonte: Próprio autor.

Figura 21 – Diagrama de blocos da plataforma de testes de EMI radiado.



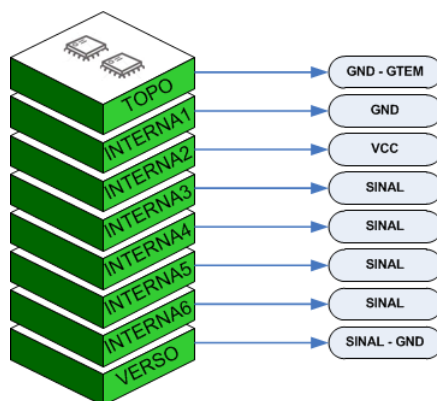
Fonte: Próprio autor.

Seguindo as regras de projeto descritas na norma IEC 62.132-1 (definições gerais) chegamos à seguinte disposição (*stack-up*) das oito camadas (*layers*) da placa. Cada camada possui 0,25 mm de espessura do material FR-4 (fibra de vidro laminada e reforçada com epóxi) e 0,5 oz de espessura de cobre e que são ilustradas na Figura 22 e distribuídos da seguinte forma:

- **Camada 1 (TOPO)** – Possui somente os componentes que serão radiados com os ruídos de RF. Nesta camada da placa somente haverá o plano de terra (GND) que cobre toda a área da placa, fazendo assim com que os outros sinais sejam colocados nas outras camadas seguintes. Na borda da placa deve haver um ponto de contato que deverá ser ligado à terra da câmara GTEM Cell, para não haver diferenças de potencial entre a placa e a célula conforme ilustrado na Figura 3.2;
- **Camada 2 (INTERNA 1)** - Possui somente um plano de terra (GND) ligado ao terra do circuito principal da placa e que cobre toda a área da camada;
- **Camada 3 (INTERNA 2)** – Possui somente um plano de alimentação (VCC) ligado a alimentação principal da placa (3V3) e que cobre toda a área da camada;
- **Camada 4 (INTERNA 3)** - Possui todo o restante dos sinais da placa e do usuário que são utilizados para o funcionamento da plataforma;
- **Camada 5 (INTERNA 4)** - Possui todo o restante dos sinais da placa e do usuário que são utilizados para o funcionamento da plataforma;
- **Camada 6 (INTERNA 5)** - Possui todo o restante dos sinais da placa e do usuário que são utilizados para o funcionamento da plataforma;

- **Camada 7 (INTERNA 6)** - Possui todo o restante dos sinais da placa e do usuário que são utilizados para o funcionamento da plataforma;
- **Camada 8 (VERSO)** – Possui todos os outros componentes da plataforma, tais como memórias, lógicas de comunicação, configuração e alimentação da placa. Nesta camada é permitido o roteamento de todos os tipos de sinais que a placa utiliza, porém sendo necessário também adicionar um plano de terra.

Figura 22 – Distribuição das camadas na placa de ensaios de EMI radiado.



Fonte: Próprio autor.

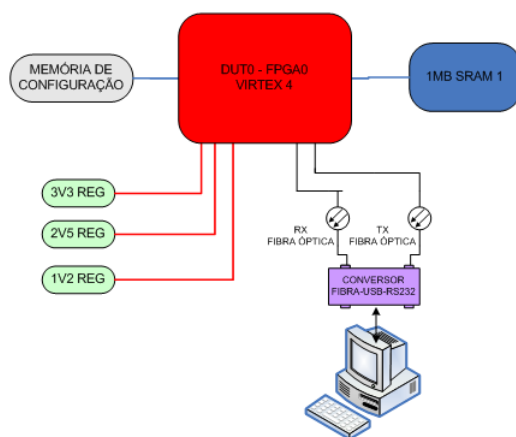
### 3.1.2 Placa para Ensaios de Radiação

Esta plataforma foi projetada com tamanho de placa reduzido de 7cm x 7cm. Este tamanho foi escolhido para poder ser inserido dentro das câmaras de teste, podendo ser elas um acelerador de partículas (prótons, nêutrons ou íons pesados), uma Gamma Cell para testes com raios gama ou ainda através de equipamentos de raios X. Todos estes equipamentos possuem uma câmara de teste com área pequena, permitindo, normalmente, placa não maiores que 20x20 cm. O chip exposto receberá uma dose de radiação de forma que modificará seu

funcionamento devido aos efeitos da dose total ou aos SEEs já explanado neste trabalho.

Esta placa contém um FPGA da Xilinx Virtex 4 (XC4VFX12-10SFG363) que fica do lado de cima da placa, que é onde fica o dispositivo sobre teste, e do outro lado ficam todos os outros componentes. A placa possui as seguintes características, conforme mostrado no diagrama de blocos na Figura 23.

Figura 23 – Diagrama de blocos da placa de testes de radiação.



Fonte: Próprio autor.

### Memórias:

- 1 MByte de SRAM (IDT71V416L10PHG) para código e dados do usuário;
- Memória flash Xilinx (XCF08PVOG48) para armazenamento do *bitstream* de configuração do FPGA.

### Interfaces de comunicação:

- Serial via RS232;
- Serial via Fibra Óptica.

### FPGAS:

- Um FPGA Xilinx VIRTEX 4 (XC4VFX12-10SFG363) com 1,5M (um milhão e quinhentos mil) de portas lógicas com um processador Power PC 405 em *hardware*. É o dispositivo sobre teste (DUT);

### Soquete para troca do FPGA:

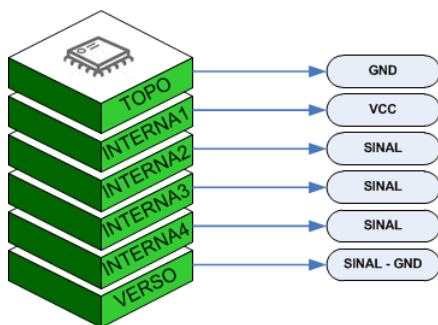
- Os FPGAs sob teste podem ser facilmente substituídos por intermédio do sistema de soquete/adaptador utilizado neste projeto. Este sistema é o mesmo utilizado na plataforma de EMI radiado conforme ilustrado na Figura 20.

Seguindo as regras de projeto descritas na norma IEC 62.132-1 (definições gerais) chegamos à seguinte disposição (*stack-up*) das seis camadas (*layers*) da placa. Cada camada possui 0,25 mm de espessura do material FR-4 (fibra de vidro laminada e reforçada com epóxi) e 0,5 oz de espessura de cobre e que são ilustradas na Figura 24 e distribuídos da seguinte forma:

- **Camada 1 (TOPO)** – Possui somente os componentes que serão radiados com os ruídos de RF. Nesta camada da placa somente haverá o plano de terra (GND) que cobre toda a área da placa, fazendo assim com que os outros sinais sejam colocados nas outras camadas seguintes. Na borda da placa deve haver um ponto de contato que deverá ser ligado à terra da câmara GTEM Cell, para não haver diferenças de potencial entre a placa e a célula;
- **Camada 2 (INTERNA 1)** – Possui somente um plano de alimentação (VCC) ligado a alimentação principal da placa (3V3) e que cobre toda a área da camada;
- **Camada 3 (INTERNA 2)** - Possui todo o restante dos sinais da placa e do usuário que são utilizados para o funcionamento da plataforma;
- **Camada 4 (INTERNA 3)** - Possui todo o restante dos sinais da placa e do usuário que são utilizados para o funcionamento da plataforma;

- **Camada 5 (INTERNA 4)** - Possui todo o restante dos sinais da placa e do usuário que são utilizados para o funcionamento da plataforma;
- **Camada 6 (VERSO)** – Possui todos os outros componentes da plataforma, tais como memórias, lógicas de comunicação, configuração e alimentação da placa. Nesta camada é permitido o roteamento de todos os tipos de sinais que a placa utiliza, porém sendo necessário também adicionar um plano de terra.

Figura 24 – Distribuição das camadas na placa de ensaios de radiação.



Fonte: Próprio autor.

### 3.1.3 Funcionamento da Plataforma

Com esta infraestrutura, múltiplos microprocessadores embutidos podem ser prototipados, tais como MicroBlaze <sup>1</sup> da Xilinx e PowerPC 405 onde podem rodar os sistemas operacionais uCLinux e/ou uCOS-II <sup>2</sup>.

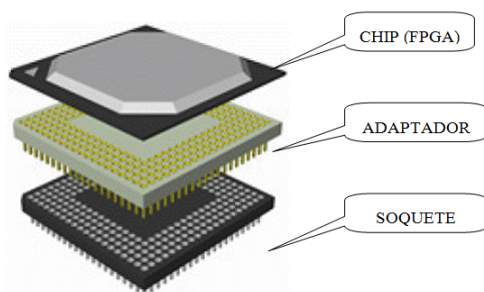
<sup>1</sup> MicroBlaze<sup>TM</sup> é um processador RISC de 32 *bits* otimizado para o uso em arquiteturas das FPGAs da Xilinx. A interface de memória do processador é de acordo com a especificação do IBM CoreConnect para a o On-Chip Peripheral Bus (OPB).

<sup>2</sup> MicroC/OS-II foi certificado para RTCA DO-178B nível A, para o uso em sistemas aniónicos onde a ocorrência de uma falha poderia resultar na perda catastrófica do avião, e aprovado para o uso em dispositivos médicos FDA de classe III, onde uma falha poderia resultar na perda de vida do paciente.

Adicionalmente as partes de *hardware*, diversas implementações descritas em VHDL (*Very High Speed Integrated Circuit Hardware Description Language*) descrevendo cores de propriedade intelectual (IP) e de programas em código C que podem também ter sua resposta à imunidade a ruídos de RF radiado e/ou conduzido avaliados a fim de aumentar a dependabilidade para o projeto do SoC. Como exemplo de utilização desta plataforma, é possível prototipar sistemas de redundância de *hardware*, injeção de falhas, sistemas de processamento paralelo e distribuído, sistemas de automação e controle, redes de comunicação dentre outras aplicações.

Esta plataforma possui três placas para a realização de ensaios de EMI radiado, EMI conduzido e de radiação ionizante. Para facilitar os testes combinados de EMI (radiado e conduzido) e radiação, optou-se pela utilização de soquetes e adaptadores para circuitos integrados do tipo BGA (*Ball Grid Array*) conforme ilustrados na Figura 25. O soquete é soldado na placa e o chip (FPGA) é soldado no adaptador. Como as duas placas de teste, tanto a de testes de EMI quanto a de testes de radiação, possuem o soquete soldado, o FPGA pode ser trocado de uma placa para outra com muita facilidade.

Figura 25 – Diagrama do uso do soquete e adaptador para o chip BGA.



Fonte: Modificado de [http://www.andonelect.com/prod/BALL-GRID-ARRAY-SOCKETS-AND-MINI-PGA-SOCKETS\\_38/BGA-Sockets-and-Adapters\\_40.aspx](http://www.andonelect.com/prod/BALL-GRID-ARRAY-SOCKETS-AND-MINI-PGA-SOCKETS_38/BGA-Sockets-and-Adapters_40.aspx).

Primeiramente deverão ser realizados testes de radiação na plataforma de testes para radiação que tem seu tamanho reduzido para sua inserção dentro da câmara de vácuo que possui poucos centímetros quadrados de área. Devido ao seu tamanho reduzido esta plataforma tem menos recursos de monitoração e controle do que a plataforma para ensaios de EMI radiado. Após os testes de radiação o FPGA é removido e colocado na plataforma de ensaios de EMI radiado para efetuar a análise do seu comportamento a EMI após ter recebido uma dose de radiação.

A realização destes testes tem como principal motivação as aplicações críticas, como exemplo as aplicações aeroespaciais, que hoje é estratégia do governo para a soberania nacional.

Como já apresentado na revisão bibliográfica, sabe-se que os circuitos com o tempo ficam mais fragilizados devido a grande incidência de radiação e assim aumentando a probabilidade de falhas no sistema devido à EMI, e isto é um estudo recente e de extrema importância e originalidade nesta área.

Nas Figuras 26, 27 e 28 são ilustradas as fotos das placas montadas para ensaios de radiação e EMI radiado respectivamente.

Figura 26 – Plataforma para ensaios de radiação.

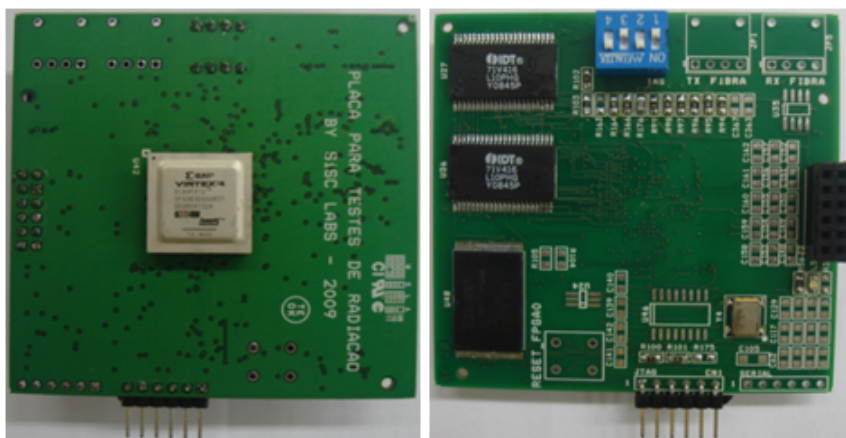
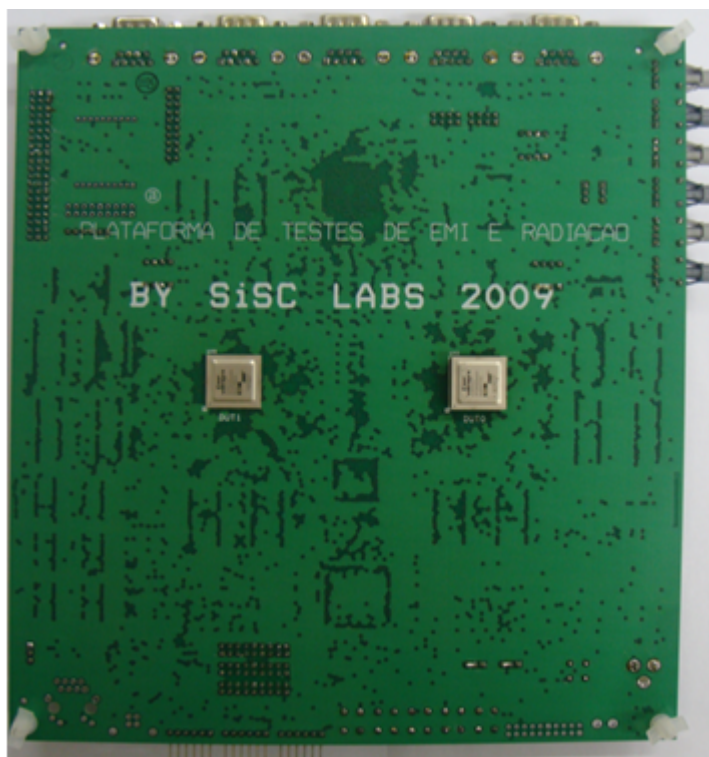


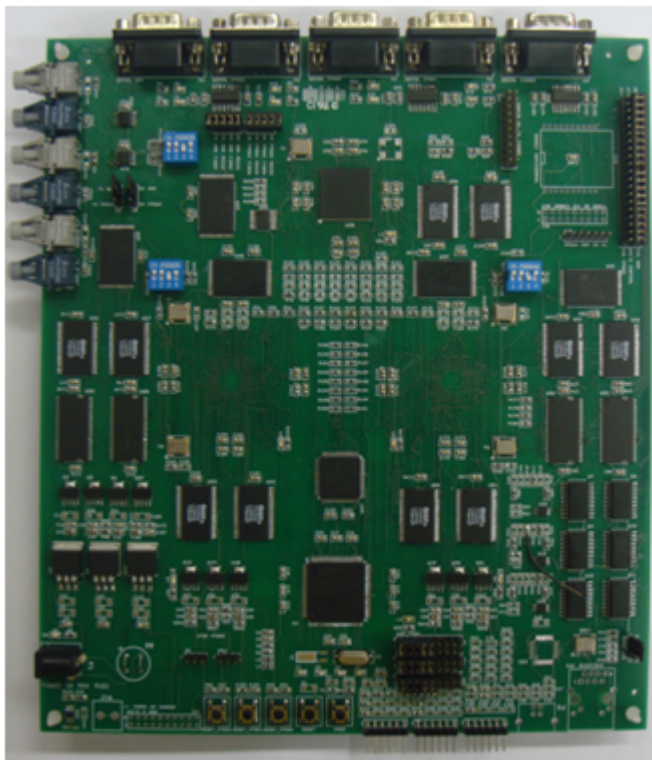


Figura 27 – Plataforma para Ensaios de EMI radiado visto do lado de cima da placa.



Fonte: Próprio autor.

Figura 28 – Plataforma para Ensaios de EMI radiado visto do lado de baixo da placa.



Fonte: Próprio autor.

#### 3.1.4 Placa para Ensaios de EMI Conduzido

O primeiro projeto de uma placa para injeção de EMI conduzido projetado pelo grupo SiSC, foi feito em 2007 por Dárcio Prestes e Fabian Vargas, cujo projeto se chamou Gerador Parametrizável de Ruído Eletromagnético Conduzido para Teste de Circuitos Integrados, mas batizado de *Devastator*. Este projeto gerou uma patente de modelo industrial com número do registro: PI0705324-0.

A placa para ensaios de EMI conduzido proposto neste projeto é chamada de *Devastator 2* e tem por objetivo injetar ruído de tensão

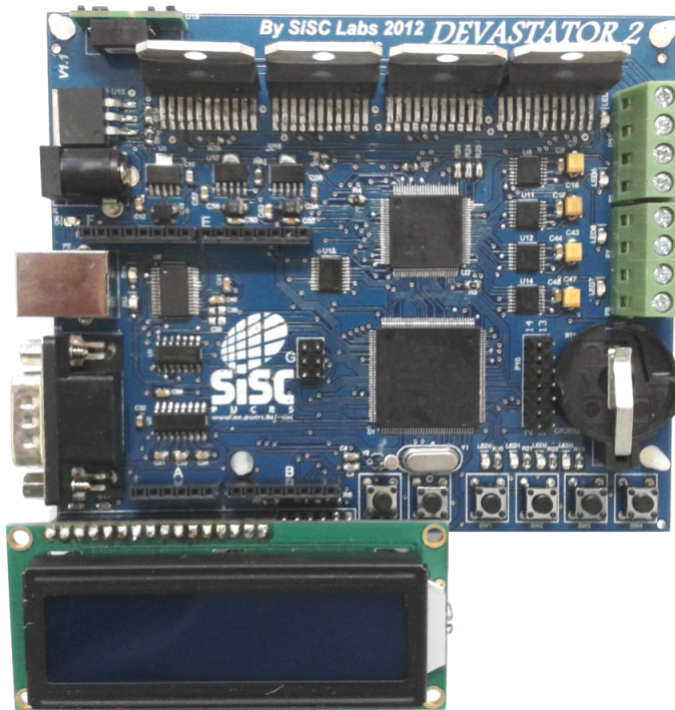
DC através das linhas de alimentação de um dispositivo eletrônico e que seja alimentado com tensão contínua.

Esta placa possui quatro saídas independentes de tensão que podem alimentar diretamente um dispositivo ou outra placa de circuito eletrônico. O dispositivo ou placa que seja alimentada pelo *Devastator 2* devem ter uma corrente de consumo de no máximo 5A e com uma tensão de alimentação de 0,5V à 36V DC em cada saída.

Esta placa é capaz de efetuar qualquer tipo de variação de tensão para injeção de ruído através das linhas alimentação de um dispositivo ou circuito integrado compreendidos entre 0,5V à 12V (5A) e em frequências de até 1MHz.

A Figura 29 ilustra a foto original da placa confeccionada para este projeto.

Figura 29 – Foto da plataforma para ensaios de EMI conduzido.

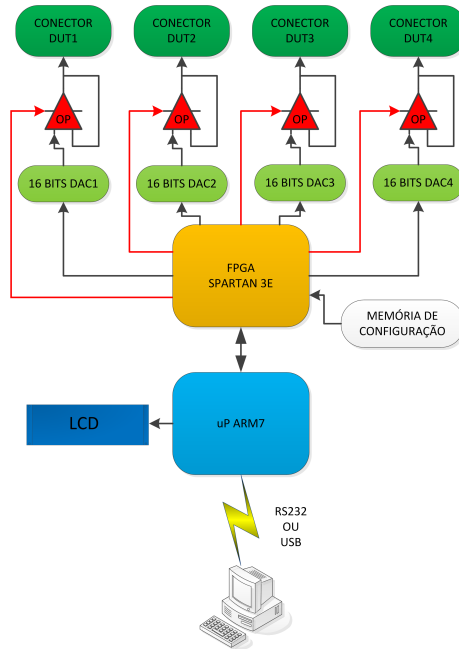


Fonte: Próprio autor.

### 3.1.4.1 Funcionamento da Plataforma

A Figura 30 ilustra o diagrama de blocos da placa de injeção de EMI conduzido.

Figura 30 – Diagrama de blocos da plataforma para ensaios de EMI conduzido.



Fonte: Próprio autor.

A plataforma possui as seguintes características:

- 4 saídas de tensão DC que variam de 0,5V à 36V com no máximo 5A cada. O sinal de saída provem de 4 conversores D/A de 16 *bits* cada, o que pode fornecer uma precisão de até 75 $\mu$ V;
- Processador ARM7 LPC2378 da NXP -> Responsável pelo controle da plataforma e da injeção dos ruídos;

- Um FPGA Spartan 3E XC3s500e -> Responsável pelo controle dos conversores D/A. Devido ao paralelismo do FPGA é possível controlar os 4 conversores D/A independentemente e paralelamente;
- Comunicação RS232 ou USB para controle remoto da plataforma.

### 3.2 SEGUNDA VERSÃO DA PLATAFORMA

A segunda versão do projeto da plataforma foi o principal meio de validação do projeto de pesquisa financiado pela Fundação de Amparo a Pesquisa do Estado de São Paulo, a FAPESP e que tem o título "Desenvolvimento de Metodologia de Ensaios de Radiação em Componentes Eletrônicos" de número de processo 2012/03383-5. Esta versão da plataforma teve algumas melhorias em relação a primeira versão já apresentada, e que serão descritas à seguir.

A plataforma desenvolvida é baseada também em três placas específicas e complementares:

A primeira é dedicada para teste de imunidade a ruídos radiados em uma *Gigahertz Transverse Electromagnetic Cell* (GTEM Cell).

A segunda placa é dedicada ao teste de radiação ionizante para dispositivos Xilinx da família Virtex 4, mais especificamente o dispositivo XC4VFX12-10SFG363. Esta placa foi projetada para ser utilizada para testes de radiação ionizante para testes de TID. Devido ao fato de que esta plataforma utiliza um sistema de soquetes fechados para a Virtex 4, esta placa **não** poderá ser utilizada em aceleradores de partículas para testes de SEU.

A terceira placa é dedicada também para o teste de radiação ionizante TID e também por SEU, já que os soquetes são abertos. Os dispositivos utilizados nesta plataforma são da Xilinx da família Spartan 3E, mais especificamente o XC3S500E-4PQ208.

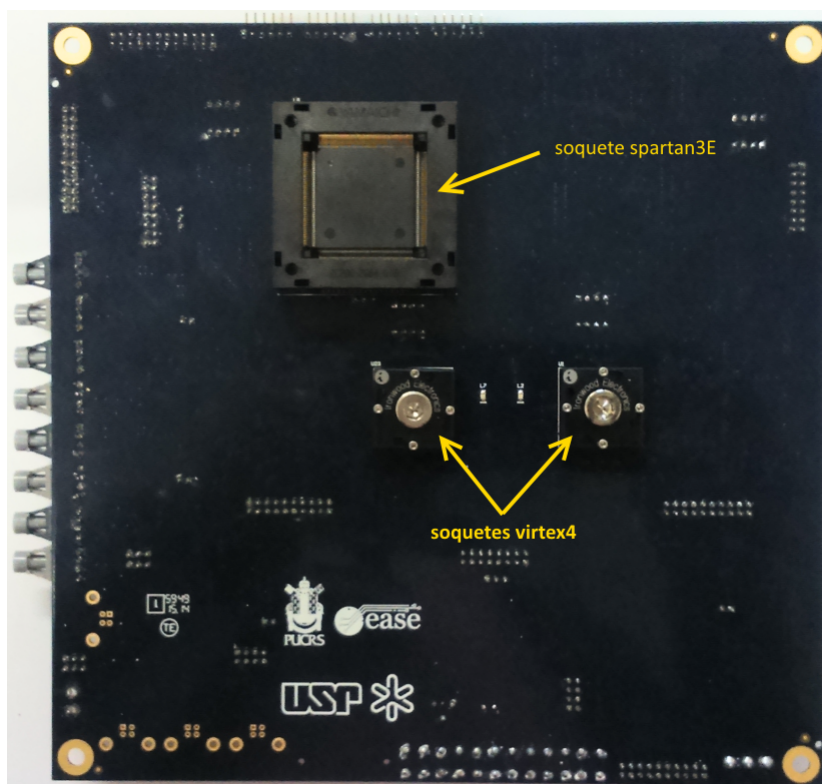
Cabe salientar que o projeto das três placas usou como referência de regras de projeto do que diz respeito a distribuição de camadas e disposição de componentes, a norma IEC 62.132-1 (Commission, 2003).

### 3.2.1 Placa para Ensaios de EMI Radiado

Esta placa basicamente possui as mesmas características e funcionalidades que a plataforma da primeira versão. As diferenças e características serão comentadas à seguir:

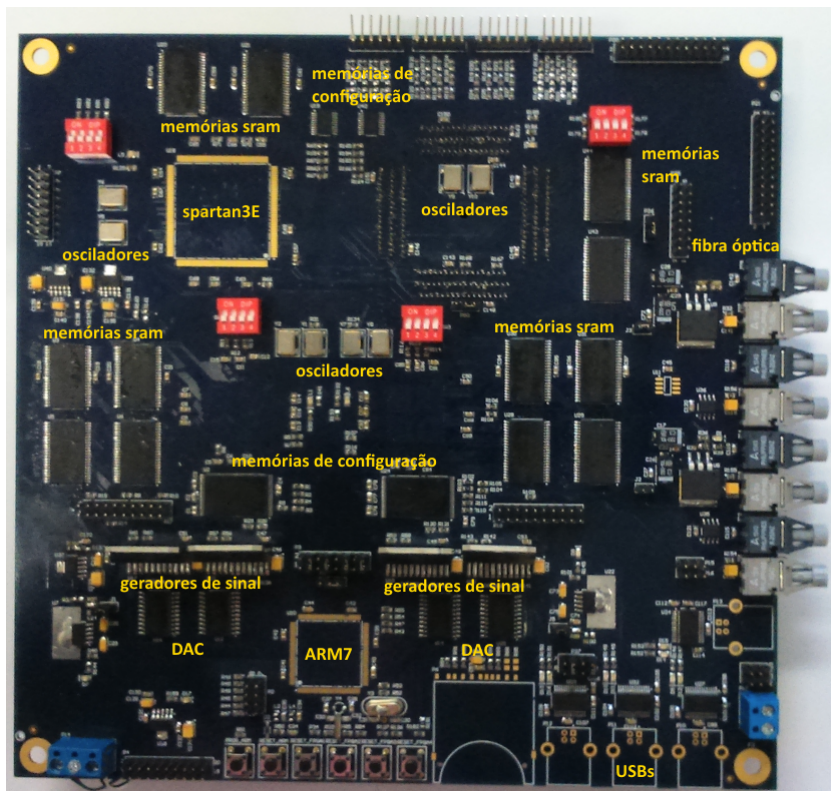
O lado TOPO desta placa, contém agora três FPGAs principais para testes (DUTs). Possui dois dispositivos Virtex 4 (XC4VFX12-10SFG363) e um Spartan3E (XC3S500E-4PQ208), ambos da Xilinx e que são ilustradas nas Figuras 31 e 32.

Figura 31 – Foto da plataforma de ensaios de EMI radiado visto do lado de cima da placa.



Fonte: Próprio autor.

Figura 32 – Plataforma de ensaios de EMI radiado visto do lado de baixo da placa.

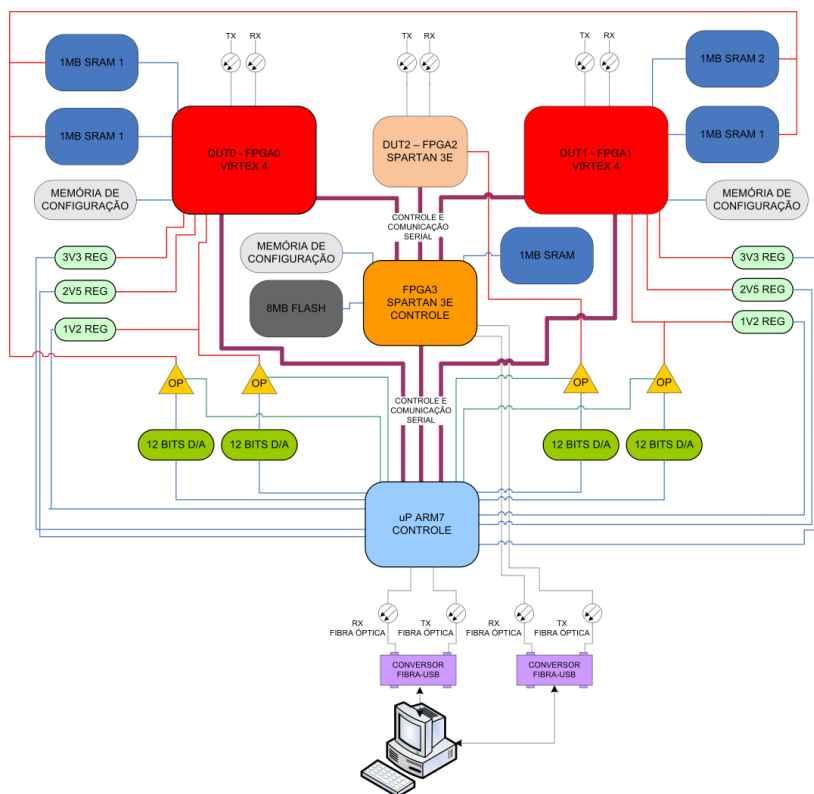


Fonte: Próprio autor.

As características da placa serão descritas à seguir, cujas ligações e esquema de ligações da placa podem ser melhor visualizados no diagrama de blocos na Figura 33.



Figura 33 – Diagrama de blocos da plataforma de testes de EMI radiado da segunda versão.



Fonte: Próprio autor.

### Memórias:

- 1 MByte de SRAM (IDT71V416L10PHG) para código e dados do usuário para o DUT0 (virtex4);
- 1 MByte de SRAM (IDT71V416L10PHG) para armazenamento como por exemplo códigos detectores e corretores de erros ou outras informações à escolha do usuário para o DUT0 (virtex4);
- 1 MByte de SRAM (IDT71V416L10PHG) para código e dados do usuário para o DUT1 (virtex4);

- 1 MByte de SRAM (IDT71V416L10PHG) para armazenamento como por exemplo códigos detectores e corretores de erros ou outras informações à escolha do usuário para o DUT1 (virtex4);
- 1 MByte de SRAM (IDT71V416L10PHG) para código e dados do usuário para o DUT2 (spatan3E);
- 1 MByte de SRAM (IDT71V416L10PHG) para armazenamento como por exemplo códigos detectores e corretores de erros ou outras informações à escolha do usuário para o DUT2 (spatan3E);
- Memória flash Xilinx (XCF08PVOG48) para armazenamento do *bitstream* de configuração do FPGA para cada um dos dispositivos virtex4.
- Memória flash Xilinx (XCF04P) para armazenamento do *bitstream* de configuração do FPGA para cada um dos dispositivos spartan3E.

#### **Interfaces de comunicação:**

- Comunicação serial via Fibra Óptica;
- Comunicação serial via USB;

#### **FPGAS:**

- Dois FPGAS Xilinx VIRTEX 4 (XC4VFX12-10SFG363) com 1,5M (um milhão e quinhentos mil) de portas lógicas com um processador Power PC 405 em *hardware*, que são os dispositivos sob teste (DUT0 e DUT1);
- Um FPGA Xilinx SPARTAN 3E XC3S500E-4PQ208 com 500K (quinhentos mil) de portas lógicas. Este FPGA é o dispositivo sob teste DUT2.
- Um FPGA Xilinx SPARTAN 3E XC3S500E-4PQ208 com 500K (quinhentos mil) de portas lógicas. Este FPGA é utilizado para controle e monitoração dos DUT's já que possuem em torno de 40 pinos interligados.

### Processador:

- Um processador ARM7 LPC2378 da NXP. Este processador é utilizado para controle e monitoração de todo o sistema através do link de fibra óptica. Foi desenvolvido para esta plataforma um *software* para PC usando a plataforma Qt, que é possível efetuar todo o controle da plataforma. Os controles permitidos são a configuração e *reset* dos FPGAs, controle de alimentação e de ruído nas alimentações dos FPGAs e das memórias, bem como o controle da habilitação dos *clocks* dos FPGAs.

### Controlador de tensão de alimentação:

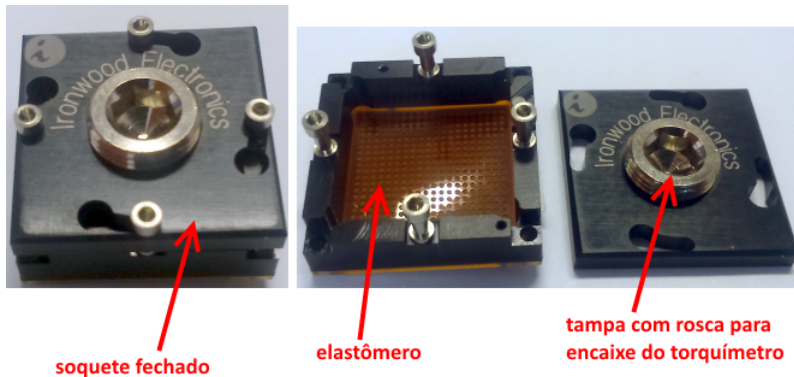
- Quatro conversores D/A (Digital/Analogico) de 12 Bits (TLV5619CDW) ligados a alimentação dos FPGAs sob teste (DUT0, DUT1 E DUT2) através de amplificadores operacionais OPA549, agora com 5A (contra os 200mA da primeira versão) cada e que tem a função de controlar a tensão de alimentação dos FPGAs sob teste e da tensão de alimentação das memórias. Com esta funcionalidade é possível aumentar ou baixar para um valor fixo as tensões do core do FPGA e das memórias SRAM. É possível também variar dinamicamente as tensões que podem ser configuradas para variar a amplitude, frequência e ciclo de trabalho (*Duty Cycle*). Estes procedimentos podem se basear ou referenciar em alguma norma para a variação das tensões ou simplesmente de acordo com a aplicação do usuário, isto é totalmente customizável.

### Soquetes para troca dos FPGAs:

- Os FPGAs sob teste podem ser facilmente substituídos por intermédio do sistema de soquete, que nesta versão não necessitam de adaptadores (utilizados na primeira versão do projeto). Nos FPGAs Virtex são utilizados dois soquetes do fabricante americano *IronWood* ([www.ironwoodelectronics.com](http://www.ironwoodelectronics.com)), de *part number* SG-BGA-6173 e que pode ser visualizado na Figura 34. Estes soquetes não necessitam solda, o que facilita muito a sua utilização, já que a solda de componentes BGA sempre são delicadas.

O componente é encaixado dentro do soquete que contém uma guia para os pinos (*balls*) encaixarem perfeitamente no *footprint* da PCB e deve ser apertado com um micro torquímetro de estalo que pode ser observado na Figura 35 cujo torque recomendado para apertar corretamente o soquete é de  $3lb/in$  (três libras por polegada).

Figura 34 – Detalhe do soquete utilizado nas Virtex 4.



Fonte: Próprio autor.

Figura 35 – Micro torquímetro utilizado para apertar os soquetes da IronWood.



Fonte: Próprio autor.

- No FPGA Spartan3E foi utilizado um soquete de pressão e encaixe (sem a necessidade de solda do componente, somente do soquete na placa) do fabricante japonês *Yamaichi* ([www.yamaichi.com](http://www.yamaichi.com)) de *part number* IC200-2084-010 e que pode ser visto na Figura 36.

Figura 36 – Detalhe do soquete Yamaichi utilizado na Spartan 3E.



Fonte: Próprio autor.

### Camadas da placa:

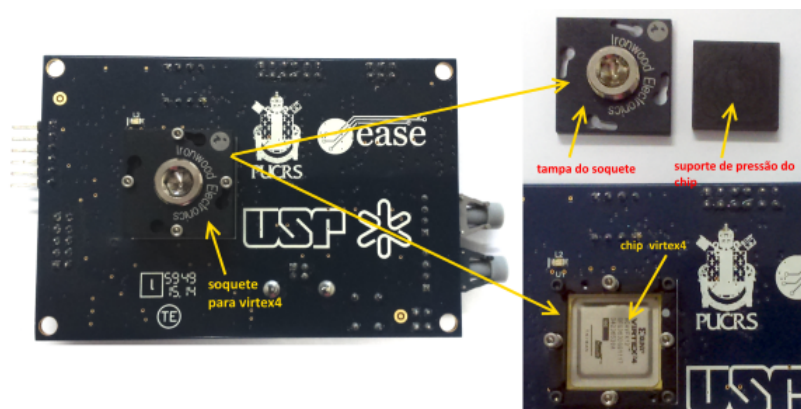
A disposição das camadas da placa (*layers*) assim como na primeira versão, seguiu as regras de projeto descritas na norma IEC 62.132-1 (definições gerais) cuja disposição (*stack-up*) das oito camadas da placa e seguem a mesma ordem da primeira versão e que pode ser visto na Figura 22. Cada camada possui 0,25 mm de espessura do material FR-4 (fibra de vidro laminada e reforçada com epóxi) e 0,5 oz de espessura de cobre.

### 3.2.2 Placa para Ensaios de Radiação para Virtex 4

Assim como na primeira versão esta plataforma foi projetada com tamanho de placa reduzido para 9,2cm x 6,2cm para poder ser inserido dentro das câmaras de teste, podendo ser elas um acelerador de partículas (prótons, nêutrons ou íons pesados), uma Gamma Cell para testes com raios gama ou ainda através de equipamentos de raios X.

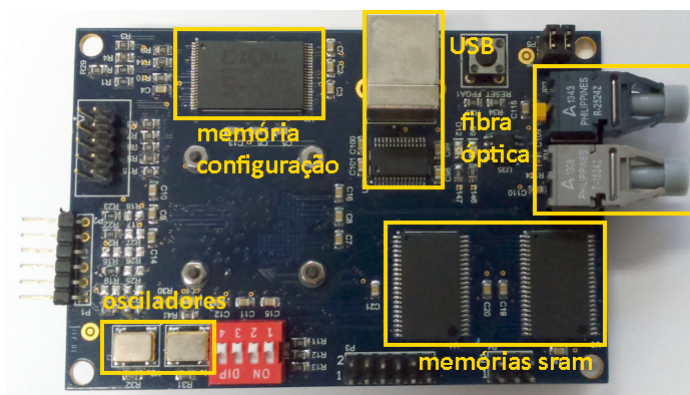
Esta placa contém um FPGA da Xilinx Virtex 4 (XC4VFX12-10SFG363) que fica do lado de cima da placa, que é onde ocorre a exposição à radiação. Do outro lado ficam todos os outros componentes ilustrados nas Figuras 37 e 38.

Figura 37 – Plataforma de ensaios de radiação para Virtex 4 visto do lado de cima da placa com o detalhe do soquete IronWood.



Fonte: Próprio autor.

Figura 38 – Plataforma de ensaios de radiação para Virtex 4 visto do lado de baixo da placa.



Fonte: Próprio autor.

A placa possui as seguintes características, conforme ilustrado no diagrama de blocos na Figura 23.

**Memórias:**

- 1 MByte de SRAM (IDT71V416L10PHG) para código e dados do usuário;
- Memória flash Xilinx (XCF08PVOG48) para armazenamento do *bitstream* de configuração do FPGA.

#### **Interfaces de comunicação:**

- Serial via USB;
- Serial via Fibra Óptica.

#### **FPGAS:**

- Um FPGAS Xilinx VIRTEX 4 (XC4VFX12-10SFG363) com 1,5M (um milhão e quinhentos mil) de portas lógicas com um processador Power PC 405 em *hardware*. É o dispositivo sobre teste (DUT0);

#### **Soquete para troca do FPGA:**

- Os FPGAs sob teste podem ser facilmente trocados graças ao sistema de soquete agora sem adaptadores que foram utilizados nesta versão do projeto. Os soquetes são os mesmos utilizados na placa de ensaios de EMI e que pode ser visualizado na Figura 34 e também devem ser utilizados com micro torquímetro de estalo que pode ser observado na Figura 35 para ajuste e compressão do dispositivo.

#### **Camadas da placa:**

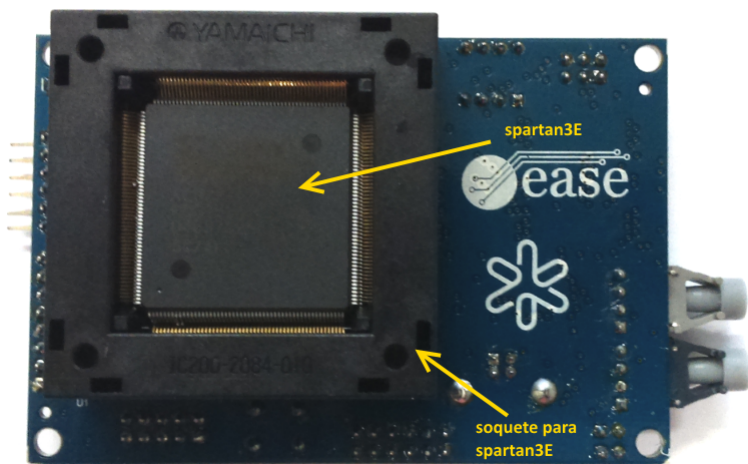
A disposição das camadas da placa (*layers*) assim como na primeira versão, seguiu as regras de projeto descritas na norma IEC 62.132-1 (definições gerais) cuja disposição (*stack-up*) das seis camadas da placa e seguem a mesma ordem da primeira versão e que pode ser visto na Figura 24. Cada camada possui 0,25 mm de espessura do material FR-4 (fibra de vidro laminada e reforçada com epóxi) e 0,5 oz de espessura de cobre.

### 3.2.3 Placa para Ensaios de Radiação para Spartan 3E

Assim como na placa para ensaios de radiação para Virtex 4, esta plataforma foi projetada com tamanho de placa reduzido para 9,2cm x 6,2cm para poder ser inserido dentro das câmaras de teste, podendo ser elas um acelerador de partículas (prótons, nêutrons ou íons pesados), uma Gamma Cell para testes com raios gama ou ainda através de equipamentos de raios X.

Esta placa contém um FPGA da Xilinx Spartan3E (XC3S500E-4PQ208) que fica do lado de cima da placa, que é onde ocorre a exposição à radiação e do outro lado ficam todos os outros componentes e que é possível ver nas fotos das Figuras 39 e 40.

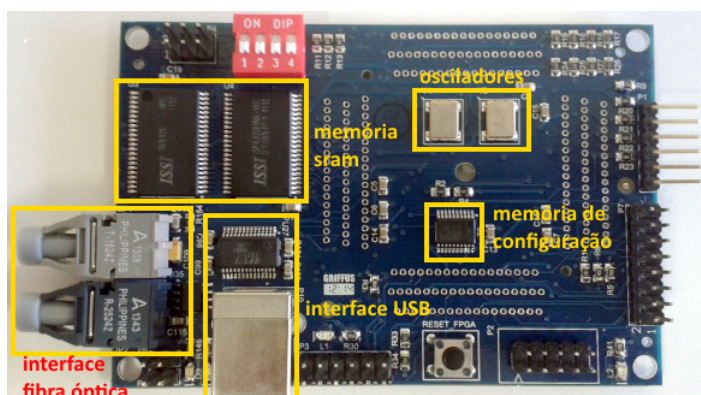
Figura 39 – Foto da plataforma de ensaios de radiação para Spartan3E visto do lado de cima da placa.



Fonte: Próprio autor.



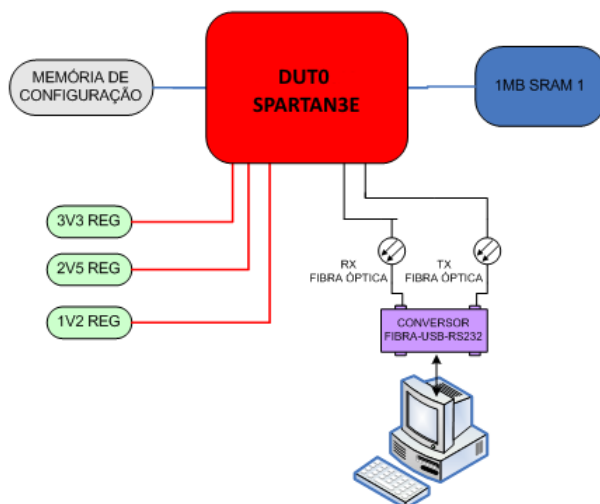
Figura 40 – Foto da plataforma de ensaios de radiação para Spartan3E visto do lado de baixo da placa.



Fonte: Próprio autor.

A placa possui as seguintes características, conforme mostrado no diagrama de blocos na Figura 41.

Figura 41 – Diagrama de blocos da placa de testes de radiação para Spartan3E.



Fonte: Próprio autor.

**Memórias:**

- 1 MByte de SRAM (IDT71V416L10PHG) para código e dados do usuário;
- Memória flash Xilinx (XCF04P) para armazenamento do *bitstream* de configuração do FPGA.

**Interfaces de comunicação:**

- Serial via USB;
- Serial via Fibra Óptica.

**FPGAS:**

- Um FPGA Xilinx Spartan3E (XC3S500E-4PQ208) com 500k (quinhentos mil) portas lógicas. É o dispositivo sobre teste (DUT0);

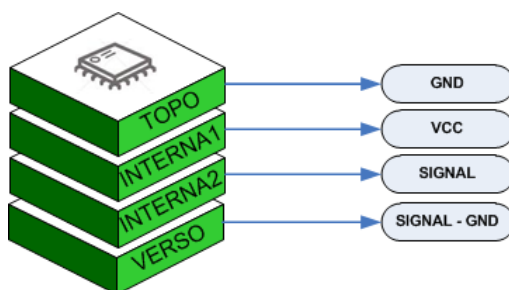
**Soquete para troca do FPGA:**

- Os FPGAs sob teste podem ser facilmente trocados graças ao sistema de soquete agora sem adaptadores que foram utilizados nesta versão do projeto. Os soquetes da Yamaichi são os mesmos utilizados na placa de ensaios de EMI e que pode ser visualizado na Figura 36.

**Camadas da placa:**

A disposição das camadas da placa (*layers*) assim como na primeira versão, seguiu as regras de projeto descritas na norma IEC 62.132-1 (definições gerais) cuja disposição (*stack-up*) das 4 camadas da placa pode ser visto na Figura 42. Cada camada possui 0,25mm de espessura do material FR-4 (fibra de vidro laminada e reforçada com epóxi) e 0,5oz de espessura de cobre.

Figura 42 – Distribuição das camadas na placa de ensaios de radiação para Spartan3E.



Fonte: Próprio autor.

- **Camada 1 (TOPO)** – Possui somente os componentes que serão radiados com os ruídos de RF. Nesta camada da placa somente haverá o plano de terra (GND) que cobre toda a área da placa, fazendo assim com que os outros sinais sejam colocados nas outras camadas seguintes. Na borda da placa deve haver um ponto de contato que deverá ser ligado à terra da câmara GTEM Cell, para não haver diferenças de potencial entre a placa e a célula;
- **Camada 2 (INTERNA 1)** – Possui somente um plano de alimentação (VCC) ligado a alimentação principal da placa (3V3) e que cobre toda a área da camada;
- **Camada 3 (INTERNA 2)** - Possui todo o restante dos sinais da placa e do usuário que são utilizados para o funcionamento da plataforma;
- **Camada 4 (VERSO)** – Possui todos os outros componentes da plataforma, tais como memórias, lógicas de comunicação, configuração e alimentação da placa. Nesta camada é permitido o roteamento de todos os tipos de sinais que a placa utiliza, porém sendo necessário também adicionar um plano de terra.

### 3.2.4 Conversor Fibra Óptica para USB

Para conexão do sistema de comunicação por fibra óptica no computador, é necessário a conversão deste sistema para uma entrada USB, já que os computadores não possuem sistema de comunicação por fibra óptica. Para isto foi projetado um conversor de fibra óptica para USB com as seguintes características:

- Transmissor de fibra óptica da *Avago Technologies*, o HFBR-1524Z de 1MBPS.
- Receptor de fibra óptica da *Avago Technologies*, o HFBR-2524Z 1MBPS.
- Conversor serial para USB da *FTDI Chip*, o FT232RL.
- Drive de potência da *Texas Instruments*, o SN75451BD.

Figura 43 – Fluxograma de controle do ensaio.



Fonte: Próprio autor.

## 3.3 SOFTWARE DE CONTROLE

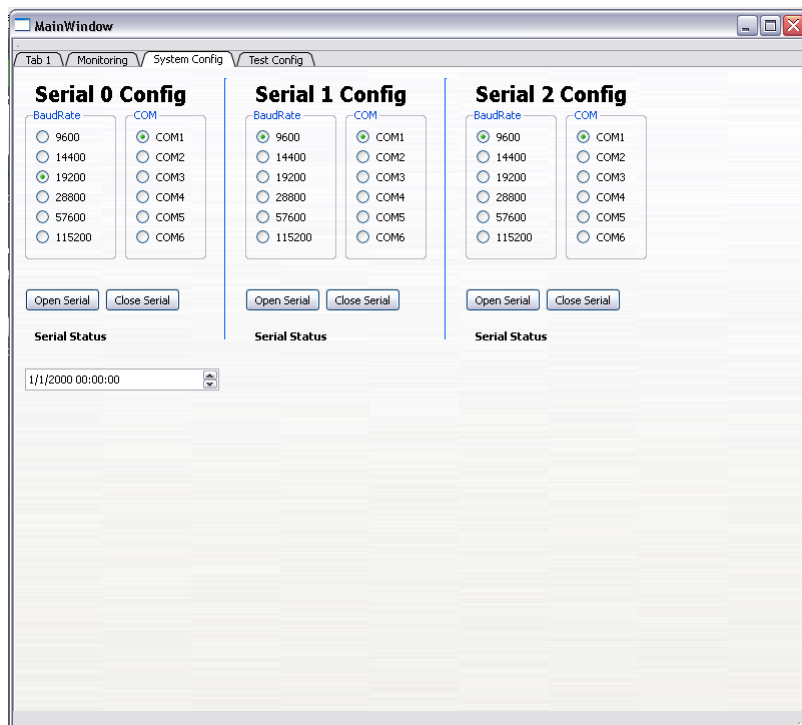
Para um melhor controle do funcionamento da plataforma tanto para a primeira quanto para a segunda versão, sugere-se que ela opere juntamente com o *software* de controle. Este *software* foi desenvolvido em QT que é um ambiente de desenvolvimento em C/C++ (licença LGPL). As funcionalidades descritas à seguir, foram implementadas e

testadas juntamente com a plataforma. Os resultados obtidos na etapa de validação contemplam o uso deste *software* de controle. Este *software* de controle ainda está em constante desenvolvimento, e funcionalidades ainda poderão ser adicionadas e/ou melhoradas. Algumas telas do *software* desenvolvido são ilustradas na Figura 44, Figura 45 e Figura 46.

A Figura 44 exibe a tela de configuração das portas seriais que são utilizadas para o controle e monitoração, tais como número da porta COM e velocidade de comunicação. O *software* se conecta em três portas seriais:

1. A serial 0 está conectada no ARM7 que controla toda a placa. O ARM7 se comunica através de outra porta serial com o dispositivo Spartan3E, podendo assim coletar dados dos DUTs e controlar um sistema de injeção de falhas por exemplo.
2. A serial 1 está conectada no FPGA0 (DUT0), que pode ser a saída de dados;
3. A serial 2 está conectada no FPGA1 (DUT1), que pode ser a saída de dados;

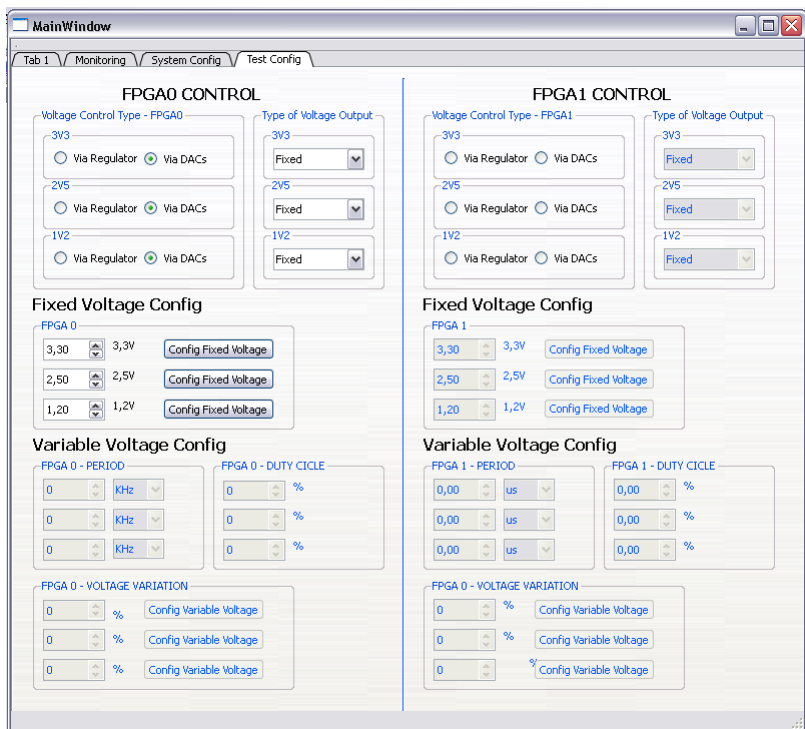
Figura 44 – Tela de configuração das portas seriais de comunicação com a plataforma.



Fonte: Próprio autor.

A Figura 45 exibe a tela de configuração das tensões de alimentação e de injeção de ruído conduzido que os dois FPGAs sobre teste poderão receber, sendo possível configurar qualquer uma das três tensões de alimentação do FPGA independentemente.

Figura 45 – Tela de configuração das alimentações dos FPGAs e configuração da injeção de ruído nas linhas de alimentação.



Fonte: Próprio autor.

O controle de alimentação opera de duas maneiras:

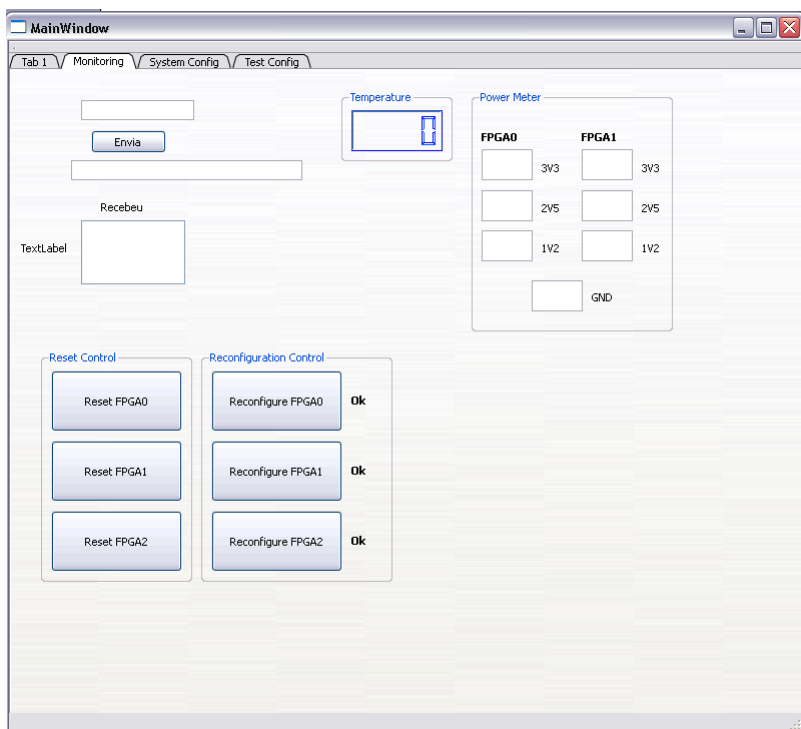
1. Operação Normal: Através dos reguladores de tensão.
2. Operação Controlada: Com esta opção temos a possibilidade de controlarmos a alimentação de duas formas:

- a) Configuração de voltagem fixa de alimentação. Como exemplo, desejamos efetuar uma queda de tensão na linha de alimentação do core do FPGA que é de 1,2 Volts. Pode-se configurar a tensão de alimentação dos FPGAs, onde o processador ARM7 atuará nos conversores D/A de maneira a ajustar a tensão programada;
- b) Configuração de variação da tensão de alimentação. Com esta opção podemos controlar a frequência do sinal injetado que varia de 1Hz a 120KHz. Podemos ajustar o Ciclo de Trabalho (Duty Cycle) do sinal injetado, de 10% a 90%. O percentual de variação da tensão para cima ou para baixo a partir da tensão nominal também pode ser configurado.

Na tela da Figura 46 podemos observar a monitoração de temperatura da placa e/ou do ambiente que ela está inserida. Verificamos o controle dos RESETs e da programação dos FPGAs. É possível também monitorar as tensões de alimentação dos dois FPGAs, através dos canais de conversores A/D (Analógico/Digital) que o processador ARM7 possui internamente.



Figura 46 – Tela de monitoração da saída serial, configuração e *reset* dos FPGAs.



Fonte: Próprio autor.

### 3.3.1 Automação do Ensaio

Além das funcionalidades já descritas do *software* de controle, está previsto novas implementações que serão descritas à seguir.

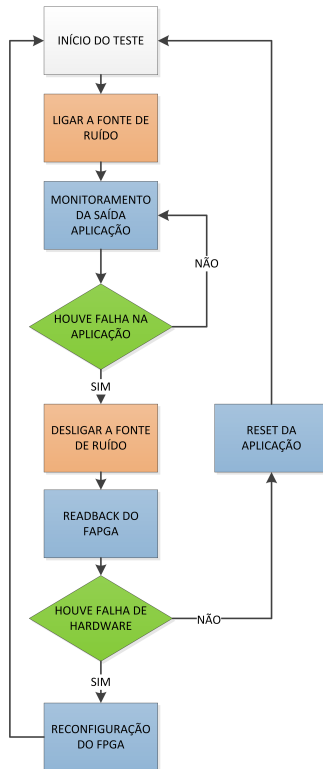
A plataforma quando utilizada em ensaios com SEU e de EMI, é necessário o monitoramento em tempo real do funcionamento da plataforma. Este monitoramento deve prever a monitoração em tempo de execução da saída da aplicação e do *hardware* de configuração do FPGA. A automação destes procedimentos é importante para o sucesso dos ensaios e da coleta de dados.

Esta automação consiste em monitorar a saída da aplicação que

deve ser feita através da USB ou do link de fibra óptica. É necessário que a aplicação possua uma saída de dados através destes meios de comunicação, pois é o único meio de monitorar a correta operação do dispositivo sob teste. Como as saídas são previamente conhecidas, e é desejável que sejam para posterior comparação, o *software* consegue identificar se as saídas produzidas pelo dispositivo em teste estão corretas ou não. Com isto, é possível monitorar em tempo real a correta operação do dispositivo, fazendo-se assim a detecção da falha. Esta falha pode ser de lógica ou de *hardware*. De lógica quando apenas ocorre uma falha na execução da aplicação, e se efetuado o *reset* do microcontrolador a operação normal é restaurada. De *hardware* mesmo quando efetuado o *reset* do microcontrolador a aplicação não restaura o correto funcionamento, fazendo-se necessário a reconfiguração do FPGA.

Antes da reconfiguração do FPGA, é feito o *readback* do *bitstream* e comparado com a versão original para verificar se houve modificação nos *bits* de configuração e caso tenha ocorrido, a reconfiguração é feita. Neste ponto, a fonte de injeção de falhas deve ser interrompida para a correta reconfiguração do FPGA. O fluxograma do procedimento completo de testes é mostrado na Figura 47.

Figura 47 – Fluxograma de controle do ensaio.



Fonte: Próprio autor.



## 4 METODOLOGIA PARA ENSAIOS COMBINADOS DE RADIAÇÃO E EMI

A proposta da Metodologia para Ensaios Combinados de Radiação e EMI (MECRE) descreve todos os procedimentos necessários para a realização dos testes utilizados neste trabalho. Esta metodologia propicia analisar os efeitos de EMI em FPGAs sob o efeito de radiação e tem como objetivo principal levantar os níveis e limites de operação ao final dos testes. O projetista de posse destes dados, pode decidir se o lote do dispositivo testado está ou não qualificado para a sua utilização na aplicação pretendida. O dispositivo testado, não deve ser utilizado na aplicação, já que o teste é destrutivo. Então o dispositivo a ser utilizado deverá ser do mesmo lote de fabricação do DUT testado, pois espera-se que dispositivos do mesmo lote de fabricação possuam propriedades muito semelhantes. A utilização de componentes do mesmo lote, não assegura a igualdade de comportamento devido as variações do processo de fabricação, principalmente em tecnologias mais novas menores que 45nm, cujo processo de fabricação ainda não está maduro. Alguns trabalhos foram publicados demonstrando as diferenças de atraso de até 5,4% no mesmo die (Choi and Milor, 2006) (Kamel et al., 2010) (Tuan et al., 2011). Estas diferenças devem ser levadas em conta para a tomada de decisão quanto a qualificação ou não do dispositivo.

Esta metodologia aborda os procedimentos utilizados para a realização destes testes, e utiliza como referencial para a proposta da metodologia de testes, normas internacionais, sendo duas normas comerciais e uma militar. De acordo com as normas comerciais, as normas não foram aplicadas, apenas foram utilizadas como embasamento da proposta do hardware da plataforma e para a realização dos testes de imunidade a EMI radiado e conduzido.

A metodologia proposta compila as informações contidas nas normas referenciadas de acordo com a necessidade dos testes realizados neste trabalho, bem como as customizações necessárias para avaliar os efeitos combinados da radiação e EMI. A caracterização dos dispositivos antes e após a exposição à radiação foi inteiramente proposta no trabalho

para a correta avaliação e caracterização dos mesmos, sendo a principal parte da metodologia, já que todos os resultados e comparações são realizados baseados na caracterização.

A metodologia se divide em três etapas. São elas:

1. Metodologia para ensaios de radiação por dose total, referenciado pela norma militar MIL-STD-883E.
2. Metodologia para ensaios de EMI radiado, referenciado pela norma comercial IEC 62.132-2.
3. Metodologia para ensaios de EMI conduzido, referenciado pela norma comercial IEC 61.000-4-29.

#### 4.1 METODOLOGIA PARA ENSAIOS DE RADIAÇÃO POR DOSE TOTAL

A metodologia para ensaios de radiação utilizou como referência a norma militar MIL-STD-883E do Departamento de Defesa dos Estados Unidos da América (MIL-STD-883E, 1997).

##### 4.1.1 Finalidade

Este procedimento define os requisitos de teste de circuitos integrados semicondutores encapsulados para a radiação ionizante (dose total) e seus efeitos para uma fonte de raios gama de Cobalto-60 (Co-60) ou fontes de raios X. Este procedimento aborda apenas irradiações com fontes contínuas de radiação, e não é aplicável para fontes pulsadas.

Deve ser observado que este teste pode produzir uma degradação severa das propriedades elétricas dos dispositivos irradiados e, portanto, deve ser considerado um teste destrutivo.

##### 4.1.2 Definições

Definições dos termos utilizados nesse procedimento são as seguintes:

- **Efeitos da Radiação Ionizante:** São as mudanças nos parâmetros elétricos de um dispositivo ou circuito integrado resultante da carga induzida pela radiação. É também referido como os efeitos da dose total.
- **Teste em Fluxo:** As medições feitas sobre os dispositivos elétricos durante a exposição a irradiação.
- **Teste fora do Fluxo:** As medições feitas sobre os dispositivos elétricos fora da exposição a irradiação.
- **Testes Remotos:** As medições feitas sobre os dispositivos elétricos que são fisicamente removidos do local de radiação.

#### 4.1.3 Plano de Teste

Os dispositivos que serão submetidos à radiação para o teste, deverão ser especificados no plano de teste.

Este plano deve especificar os seguintes pontos:

- A descrição do dispositivo;
- As condições de irradiação;
- Sistema de dosimetria;
- Dose total aplicada ao final do teste;
- Intervalo entre as doses;
- Condições de polarização do dispositivo;
- As condições de operação;
- A aplicação que estará sendo executada durante a irradiação;
- Parâmetros que serão medidos e as condições de medição.

#### 4.1.4 Equipamentos

Os equipamentos são constituídos por fonte de radiação, equipamentos para testes elétricos, placa de circuito para o teste, cabos, placa de interconexão ou sistema de comutação e um sistema de medição de dosimetria adequado.

Precauções adequadas devem ser observadas para se obter um sistema de medição elétrica com isolamento suficiente, ampla blindagem, aterramento elétrico de qualidade, e características de baixo ruído.

##### 4.1.4.1 Fontes de Radiação

As fontes de radiação utilizadas para os ensaios foram uma fonte de raios gama com campo uniforme de Co-60 e também uma fonte de raios X. A uniformidade do campo de radiação no volume em que os dispositivos são irradiados deve estar dentro de  $\pm 10\%$ , que deve ser medida pelo sistema de dosimetria.

A intensidade do campo de radiação das fontes deve ser conhecido com uma incerteza de não mais do que  $\pm 5\%$ .

As fontes de radiação utilizadas neste projeto são:

1. Fonte de raios gama para testes de TID, gerados através de cobalto-60 utilizando um irradiador industrial modelo Gamma Cell 220 originalmente fabricado pela *Atomic Energy of Canada Limited* (AECL), mas agora faz parte do *MDS Nordion International*. O equipamento utilizado pertence ao Centro Atômico Ezeiza em Buenos Aires na Argentina.
2. Fonte de raios X para testes de TID, gerados por um difractômetro de raios X da Shimadzu modelo XRD-7000. O equipamento utilizado pertence ao centro universitário da FEI (Fundação Educacional Inaciana) em São Paulo.
3. Fonte de íons pesados para testes de SEU, foi utilizado o acelerador eletrostático do tipo *Tandem*, o Pelletron de 8MV do Laboratório Aberto de Física Nuclear (LAFN) do Instituto de Física da Universidade de São Paulo (USP).



#### 4.1.4.2 Sistema de Dosimetria

Um sistema de dosimetria adequado deve ser utilizado para que seja capaz de realizar as medições de acordo com as normas da *American Society for Testing and Materials* (ASTM), tais como:

- **ASTM-E666:** Esta norma apresenta uma técnica de cálculo da dose absorvida de um material a partir do conhecimento do campo de radiação e da composição do material.
- **ASTM-E668:** Esta norma abrange os procedimentos para a utilização de dosímetros termoluminescentes (TLDs) para determinar a dose absorvida em um material irradiado por radiação ionizante.
- **ASTM-E1250:** Esta norma define a aplicação de câmaras de ionização para avaliar a componente de raios gama de baixa energia dos irradiadores por Cobalto-60 usados em circuitos integrados do tipo *radiation hardened*.
- **ASTM-E1249:** Este método de ensaio abrange um procedimento para a determinação da taxa de transmissão de vapor de água através de uma película plástica usando sensores infravermelhos pulsados.

O sistema de dosimetria utilizado para os testes de TID utilizando o Gamma Cell com cobalto-60 foi um dosímetros de dicromato de prata, que muda a sua absorção em função da dose de radiação recebida (McLaughlin et al., 1990) (Matthews, 1981). São muito precisos e foram fabricados no próprio Centro Atômico Ezeiza, em Buenos Aires.

#### 4.1.4.3 Equipamentos para Testes Elétricos

Toda a instrumentação utilizada para as medições elétricas deverão ter a estabilidade, precisão e resolução necessária para uma medição precisa dos parâmetros elétricos. Qualquer instrumentação necessária para operar em um ambiente de radiação devem estar adequadamente protegidos.

Os equipamentos de medição dos parâmetros elétricos que serão utilizados deverão preferencialmente ser os mesmos antes e depois da exposição à radiação para evitar desvios de medidas inseridos por equipamentos diferentes.

#### 4.1.4.4 Placa de Circuito para Teste

Os dispositivos a serem irradiados deve ser montados ou ligados em placas de circuito, juntamente com quaisquer circuitos associados necessários para a polarização do dispositivo durante a irradiação ou para medições *in situ*.

A geometria e os materiais que completam a placa deverão permitir a irradiação uniforme por toda a placa de teste durante o teste.

Um bom projeto e práticas de construção devem ser utilizados para evitar oscilações, minimizar correntes de fuga, evitar danos elétricos para se obter medições precisas, de preferência que sigam alguma norma de projeto de placas para testes.

Todos os equipamentos utilizados repetidamente em campos de radiação devem ser verificados periodicamente quanto a sua degradação física ou elétrica

Os componentes que são colocados na placa de circuito de teste, exceto os dispositivos sob teste, devem ser protegidos contra a radiação.

#### 4.1.4.5 Cabeamento

Os cabos que ligam as placas dos circuitos de teste com os equipamentos de teste, devem ser curtos. Se cabos longos são utilizados, reforços de linha podem ser necessários. Os cabos devem ter baixa capacitância, baixa perda de terra e baixa fuga de corrente entre os fios.

#### 4.1.5 Caracterização

A caracterização do dispositivo é a realização de medidas dos parâmetros elétricos realizados antes da radiação. Estas medidas são muito importantes, pois serão estes dados que servirão como comparação

para as medidas pós-irradiação e guiarão todas as análises dos efeitos da radiação.

As medições elétricas dos parâmetros elétricos do dispositivo pré-irradiação e pós-irradiação devem obedecer três regras básicas:

1. Devem ser realizadas no mesmo sistema de medição (mesmo equipamento);
2. As medições devem ser realizadas na mesma sequência;
3. Os parâmetros escolhidos para medição devem ser os mesmos.

Para a análise dos efeitos da radiação em dispositivos submetidos a EMI, devem ser realizados os seguintes testes para caracterização do dispositivo:

- Medir a corrente de fuga estática (o dispositivo deve estar alimentado porém não deve estar rodando nenhuma aplicação);
- Medir a corrente de fuga dinâmica (o dispositivo deve estar alimentado e deve estar rodando uma aplicação, e esta aplicação deverá ser a mesma que será executada no momento da irradiação.);
- Medir a tensão de *core* (para FPGAs esta tensão é de 1,2V) mínima de funcionamento da aplicação. Escolha a aplicação a ser executada e execute esta aplicação. Com esta aplicação em execução reduzir a tensão de *core* com degraus de 0,01V. Enquanto a tensão vai reduzindo analisar o funcionamento do circuito até que ele pare de operar ou opere de forma errônea. Este procedimento encontrará o limite de tensão de *core* para o funcionamento do FPGA para esta aplicação em específico. A tensão mínima de funcionamento do FPGA para a aplicação escolhida é encontrada somando 0,01V na tensão que ocasionou o erro. Como exemplo, se a tensão que ocasionou o erro foi 0,88V, a tensão mínima de operação é de 0,89V.

- Efetuar os testes de EMI conduzido de acordo com os procedimentos de teste descritos na seção Metodologia para Ensaio de EMI Conduzido utilizando sempre a mesma aplicação para todos os procedimentos. Basicamente o teste de EMI conduzido deve apontar quais os níveis de tensão, frequências de injeção de ruído e tipo de variação da tensão de alimentação que causam falhas. Estes mesmos testes devem ser feitos antes e depois da irradiação.
- Efetuar os testes de EMI radiado de acordo com os procedimentos de teste descritos na seção Metodologia para Ensaio de EMI Radiado utilizando sempre a mesma aplicação para todos os procedimentos. Basicamente o teste de EMI radiado deve apontar quais as frequências e níveis de campo que fazem com que o dispositivo sobre teste falhe ou opere de forma errônea, indicando então uma susceptibilidade para esta frequência e nível de campo. Estes dados deverão ser apontados em uma tabela, pois após a irradiação deverá ser repetido este mesmo procedimento para verificar quais as diferenças nas frequências e principalmente nos níveis de campo. Estes mesmos testes devem ser feitos antes e depois da irradiação.

Todos estes procedimentos e medidas devem ser cuidadosamente anotados para posterior compilação e análise dos dados.

#### 4.1.6 Seleção da Amostra e Manuseio

Apenas os dispositivos que passaram nas especificações elétricas, conforme definido no plano de teste devem ser submetidos ao teste de radiação. Salvo especificações contrárias, as amostras do ensaio devem ser selecionadas aleatoriamente a partir da população que se tem para o teste e que sejam embalados de forma idêntica e de preferência do mesmo lote de fabricação (minimiza variações entre os dispositivos devido ao processo de fabricação, a não ser que se deseja efetuar uma qualificação de distintos lotes de fabricação).

Cada parte deve ser individualmente caracterizada, como definido na seção de caracterização para permitir a comparação pré e pós-irradiação.

#### 4.1.7 Medições de Dosimetria

A intensidade do campo de radiação no local do dispositivo em teste deve ser determinada antes do teste por dosimetria ou por cálculos de correção de decaimento, para assegurar a conformidade e uniformidade das medidas e da dose obtida, e deve ser medida durante a irradiação com um dosímetro apropriado que também deve ser especificado no plano de teste.

#### 4.1.8 Níveis de Radiação

Os dispositivos de teste devem ser irradiados com nível de dose especificado no plano de teste dentro de  $\pm 10\%$ .

Se forem necessárias várias irradiações para um conjunto de dispositivos de teste, a medição dos parâmetros elétricos deve ser realizado após cada irradiação.

#### 4.1.9 Taxa de Dose de Radiação

A taxa de dose deve ser especificada no plano de teste de acordo com o tipo de resultados que se deseja, pois a taxa de dose e a dose influenciam diretamente nos resultados.

#### 4.1.10 Requisitos de Temperatura

Uma vez que os efeitos da radiação dependem da temperatura, os dispositivos sob teste devem ser irradiados à uma temperatura ambiente de  $24^{\circ}\text{C} \pm 6^{\circ}\text{C}$ , e que deve ser medido num ponto na câmara de ensaio, em estreita proximidade com a instalação do teste do dispositivo.

As medições elétricas devem ser realizadas à uma temperatura ambiente de  $25^{\circ}\text{C} \pm 5^{\circ}\text{C}$ . Se os dispositivos forem transportados para um local remoto onde serão realizadas as medições dos parâmetros

elétricos, a temperatura dos dispositivos de ensaio não deverão ter um aumento de mais de 10°C a partir do ambiente de irradiação.

#### 4.1.11 Condições de Teste

O uso de testes em fluxo ou fora do fluxo deve ser especificado no plano de teste. (Isto depende da aplicação pretendida e para que tipo de dados se deseja obter).

A utilização de ensaios em fluxo podem ajudar a evitar variações introduzidas pelos efeitos dependentes do tempo da pós-irradiação.

Testes realizados fora do fluxo geralmente permitem testes elétricos mais abrangentes, mas podem ser enganosos se as medidas elétricas não forem realizadas o mais rápido possível após a irradiação, pois os efeitos dependentes de tempo podem mudar significativamente os valores medidos.

Cada dispositivo de teste deve ser verificado para a operação dentro das especificações antes de serem irradiados.

##### 4.1.11.1 Procedimento Pós-Irradiação

Salvo outra especificação, os seguintes intervalos de tempo devem ser observados:

1. O tempo entre o final de uma irradiação e o início das medições elétricas deve ser no máximo de 1 hora.
2. O tempo necessário para realizar as medições elétricas e para devolver o dispositivo para uma subsequente irradiação, quando existir, deve ser dentro de duas horas após o final da irradiação prévia.

Para minimizar os efeitos dependentes do tempo, estes intervalos devem ser tão curtos quanto possível e a seqüência de medições dos parâmetros deve ser mantida constante ao longo da série de testes.

## 4.2 METODOLOGIA PARA ENSAIOS DE EMI RADIADO

Os procedimentos para realização de testes de EMI radiado estão referenciados pela norma IEC-62.132-1 e IEC-62.132-2. Estas normas serviram como elementos norteadores para a proposta desta metodologia necessária para a realização dos testes apresentados neste trabalho, para propiciar uma melhor análise dos resultados.

Para a realização dos testes, de acordo com as normas comerciais, não foram aplicadas. Foi utilizado as referências iniciais da norma para a realização dos testes onde os níveis de campo utilizados foram muito maiores do que a norma determina. O que foi realizado então, foram ensaios de tipo para verificar e caracterizar o seu funcionamento diante de níveis de campo de até 125V/m nas frequências de 150kHz e 1GHz. Mesmo que em aplicações espaciais sejam utilizados faixas de frequência de operação menores que as testadas sob níveis de campo bem menores, realizamos os testes para campos maiores e para as frequências de 150kHz e 1GHz para verificar o funcionamento do dispositivo diante da exposição à EMI após terem sido expostos à radiação.

Esta família de normas define os procedimentos para medições de imunidade eletromagnética radiada em circuitos integrados na faixa de frequências entre 150kHz e 1GHz.

As normas utilizadas como referência foram:

- IEC 62.132-1: Fornece as informações e definições gerais para a medida da imunidade eletromagnética radiada em circuitos integrados e o projeto de hardware da placa de testes.
- IEC 62.132-2: Medições de imunidade à EMI radiada em CI's na faixa de frequências de 150kHz a 1GHz;

### 4.2.1 Finalidade

Esta metodologia fornece informações e definições gerais sobre medição da imunidade à interferência eletromagnética radiada em circuitos integrados.

O objetivo é descrever as condições gerais necessárias para obter uma medida quantitativa da imunidade de circuitos integrados em um ambiente de teste uniforme. Este processo de medição define um método para medir a imunidade à distúrbios causados pela interferência eletromagnética radiada em um circuito integrado.

#### 4.2.2 Definições

- Modulação em amplitude (AM): O processo pelo qual uma onda de alta frequência contínua (portadora) é obrigada a variar em amplitude através da ação de uma outra onda contendo informações. [IEEE 599-1985w].
- Onda Contínua (*Continuous wave* ou CW): é uma onda eletromagnética de amplitude e frequência constante; e numa análise matemática, de duração infinita. [IEEE 599-1985w].
- Dispositivo em teste (*Device Under Test* ou DUT): Dispositivo, equipamento ou sistema a ser avaliado. Neste trabalho refere-se ao circuito integrado que será testado.
- Compatibilidade Eletromagnética (*Electromagnetic Compatibility* ou EMC): Capacidade de um equipamento ou sistema de funcionar satisfatoriamente no seu ambiente eletromagnético sem introduzir interferências eletromagnéticas inaceitáveis nesse ambiente.
- Ambiente RF (Ambiente Eletromagnético): Totalidade dos fenômenos eletromagnéticos existentes em um determinado local.

#### 4.2.3 Plano de Teste

Os dispositivos que serão submetidos à irradiação EMI, deverão ser especificados no plano de teste.

Este plano deve especificar os seguintes pontos:

- A descrição do dispositivo;
- As condições de irradiação;



- Condições de polarização do dispositivo;
- As condições de operação;
- A aplicação que estará sendo executada durante a irradiação;
- Potência de campo aplicada, ou intervalo de potência aplicado;
- Faixa de frequências aplicadas;
- Parâmetros que serão medidos e as condições de medição.

#### 4.2.4 Caracterização

A caracterização de EMI para o dispositivo de teste segue os mesmos procedimentos descritos na seção 4.1.5.

#### 4.2.5 Condições do Teste

Estas condições de teste padrão são destinados à assegurar um ambiente de teste consistente.

##### 4.2.5.1 Temperatura Ambiente

A temperatura ambiente durante o ensaio deve ser de  $23 \pm 5^{\circ}\text{C}$  para a repetibilidade.

##### 4.2.5.2 Ambiente RF

O nível de ruído RF do ambiente deve ser pelo menos 6 dB (típico) abaixo do menor nível de imunidade a ser testada. Isto deve ser verificado antes de serem realizadas as medidas.

##### 4.2.5.3 Gerador de Teste

Dependendo do *hardware* e do teste desejado, vários sinais de teste podem ser utilizados:

- Sinal de RF não modulado (onda contínua).

- Sinal de RF de amplitude modulada de acordo com a IEC 61.000-4-6 e IEC 61.000-4-3.
  
- Sinal de RF com pulso modulado de acordo com a norma IEC 61.000-4-3.

#### 4.2.5.4 Faixa de Frequência e Passos de Frequência

A faixa de frequência recomendada é de 150 kHz a 1 GHz, mas isso pode ser prolongado se o procedimento específico é utilizável em uma faixa de frequência estendida. O faixa de interesse pode ser menor, dependendo da aplicação.

Os passos de frequência devem ser selecionados de acordo com a Tabela 2.

Tabela 2 – Tamanho do passo da frequência versus faixa de frequência.

Faixa de frequência (MHz)	0,15 - 1	1 - 100	100 - 1000
Passos Lineares (MHz)	≤ 0,1	≤ 1	≤ 10
Passos Logarítmicos (MHz)	≤ 5% de incremento		

Fonte: Modificado de (Commission, 2003).

Frequências críticas, tais como frequências de *clock*, frequências de operação do sistema, para dispositivos RF etc., devem ser testados usando passos de frequência mais finos para melhor análise e varredura das falhas.

#### 4.2.5.5 Modulação em Amplitude

O sinal de ruído utilizado deve ser uma CW (onda contínua), 80% de amplitude modulada por uma onda senoidal de 1 kHz ou pulso modulado com taxa de repetição de 1 kHz.

O requisito básico para a realização de um teste de imunidade à um nível de pico, é que o pico de potência deverá ter o mesmo valor

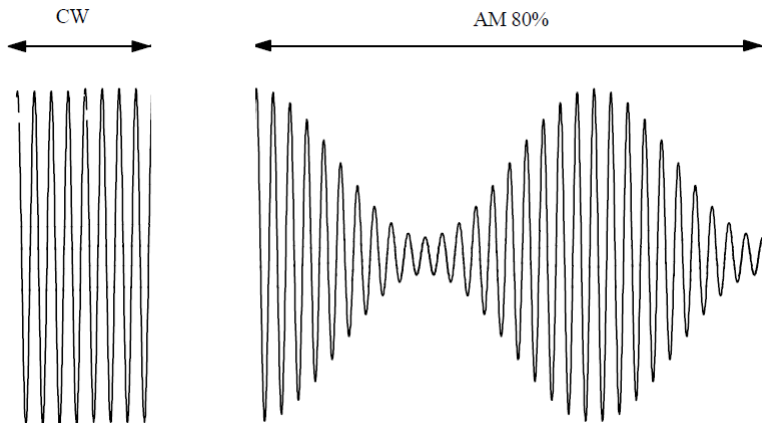
que a potência de pico, quando uma onda contínua é aplicada (CW), independentemente do índice de modulação  $m$ :

$$P_{AM-Peak} = P_{CW-Peak} \quad (4.1)$$

e

$$P_{AM} = P_{CW} \cdot \frac{2 + m^2}{2 \cdot (1 + m)^2} \quad (4.2)$$

Figura 48 – Sinal AM com modulação 80%.



Fonte: Modificado de (Commission, 2003).

#### 4.2.5.6 Tempo de Permanência da Fonte de Ruído

O tempo de espera para cada passo de frequência de modulação é de tipicamente 1 segundo ou, pelo menos, o tempo necessário para que o DUT responda, ou ainda o tempo para que o sistema de medição registre os dados de monitoração. A resposta dada pelo DUT é definida pelo usuário e deverá constar no plano de teste e no relatório de teste.

#### 4.2.6 Equipamentos

Os equipamentos de teste serão descritos à seguir para cumprir os seguintes requisitos para a realização dos testes.

Todos os equipamentos utilizados pertencem ao Instituto Nacional de Tecnologia Industrial (INTI) em Buenos Aires na Argentina.

#### 4.2.6.1 Gerador de Ruídos RF

Foi utilizado um gerador de ruídos de RF com potência e recursos suficientes para gerar um sinal AM como mostrado na Figura 48. Este gerador compreende uma fonte de sinal de RF, um atenuador variável, uma função de modulação e um amplificador de potência de RF.

Nos testes foram utilizados um gerador arbitrário de sinais do fabricante americano Tektronix modelo AWG7082C que gera sinais de até 3,2 GHz.

#### 4.2.6.2 TEM Cell

A TEM Cell utilizada para este procedimento de teste deve ser equipada com uma porta feita sob medida para acoplar com a placa de teste onde somente o CI à ser testado (DUT) deverá ficar para dentro da câmara, exposto à irradiação EMI. A Figura 18 ilustra a câmara TEM Cell.

Para este procedimento, a faixa de frequências da TEM Cell recomendada é de 150 kHz até 1,5 GHz.

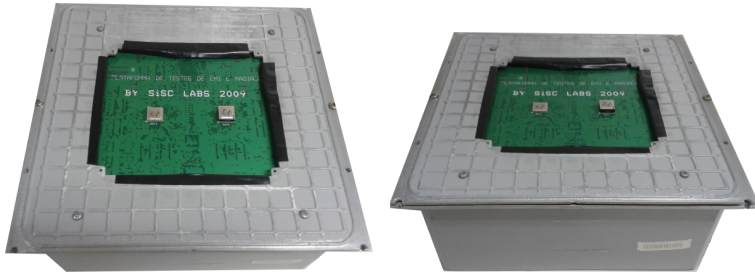
Neste trabalho, não foram realizados testes com TEM Cell.

#### 4.2.6.3 GTEM Cell de Banda Larga

A GTEM Cell de Banda Larga (*Wideband GTEM cell*) deve ser equipada com uma porta para adaptar a placa de teste onde somente o CI a ser testado (DUT) deverá ficar para dentro da câmara, exposto à irradiação EMI. Se a GTEM Cell utilizada não tiver a porta especial para acoplamento da placa, poderá ser utilizado uma caixa metálica com uma abertura na parte superior para encaixe da placa de teste, expondo apenas o(s) DUT(s) sobre teste. Esta caixa metálica funcionará como blindagem para o resto dos componentes da placa ao qual não se deseja expô-los à EMI conforme ilustrado na Figura 49.

A GTEM Cell utilizada neste trabalho foi do fabricante americano *ETS-Lindgren* modelo GTEM 5405 (<http://www.ets-lindgren.com/5405>).

Figura 49 – Caixa metálica utilizada como blindagem para encaixe da plataforma para testes de EMI radiado utilizando a GTEM-CELL.



Fonte: Próprio autor.

#### 4.2.6.4 Amplificador de RF

Um amplificador de RF é utilizado para amplificar os sinais de RF gerados pelo gerador de sinais, que sozinho não possui potência suficiente para gerar campos eletromagnéticos elevados para injeção de falhas. Este amplificador é um amplificador linear auto-suficiente em banda larga para aplicações laboratoriais que exigem largura de banda instantânea e baixo ruído.

O amplificador utilizado nos testes de EMI radiado foi do fabricante americano AR modelo LN1000B com ganho de 30dB de baixo ruído com frequências de 10 kHz à 1 GHz.

#### 4.2.6.5 Analisador de Campo Elétrico

Os analisadores de campo elétrico são projetados especificamente para medir campos elétricos modulados e são utilizados para medir a intensidade e a frequência do campo elétrico interno à câmara GTEM.

O sensor de campo é alimentado a laser para permitir um funcionamento contínuo sem recarga ou substituição da bateria. O sensor é montado em um ângulo ortogonal para facilitar a montagem em diversas orientações onde fica, dentro da câmara GTEM. É ligado através de um cabo com uma fibra óptica para evitar interferências entre as medições do sensor e a comunicação com módulo analisador.

O analisador de campo elétrico utilizado nos teste foi do fabricante americano AR modelo FA7006/Kit que mede frequências de 100 kHz à 6 GHz e intensidades de campo de 8 à 800 V/m.

#### 4.2.6.6 Classificação de Falhas

É desejado que as falhas sejam classificadas para um melhor entendimento do funcionamento do dispositivo e de uma melhor análise dos resultados de teste.

As falhas podem ser classificadas como:

- **CLASSE A:** Todas as funções do CI executaram como projetadas durante e após a exposição à um distúrbio;
- **CLASSE B ou FALHA DE LÓGICA:** Todas as funções do CI executaram como projetadas durante a exposição, entretanto, uma ou o mais delas podem ir além da tolerância especificada. Todas as funções retornam automaticamente dentro dos limites normais depois que a exposição foi removida. Para os FPGAs pode ser considerado uma falha de lógica ou operação;
- **CLASSE C ou FALHA DE LÓGICA:** Uma função do CI não executa como projetado durante a exposição, mas retorna automaticamente à operação normal depois que a exposição é removida. Para os FPGAs pode ser considerado uma falha de lógica ou operação;
- **CLASSE D ou FALHA DE LÓGICA:** Uma função do CI não executa como projetada durante a exposição e não retorna à operação normal até que a exposição seja removida e o CI

seja resetado pela ação do operador. Para os FPGAs pode ser considerado uma falha de lógica ou operação;

- **CLASSE E ou FALHA DE HARDWARE:** Uma ou mais funções do CI não executam como projetadas durante e após a exposição e não pode ser retornado à operação apropriada. Para os FPGAs pode ser considerado uma falha de *hardware*, mudança no *bitstream* de configuração.

### 4.3 METODOLOGIA PARA ENSAIOS DE EMI CONDUZIDO

Os procedimentos para realização de testes de EMI conduzido é baseado na norma IEC-61000-4-29 que define os procedimentos para medições de imunidade a interferência eletromagnética através das linhas de alimentação do circuito em teste.

#### 4.3.1 Finalidade

Esta metodologia fornece informações e definições para medir a imunidade de circuitos integrados quanto à interferência eletromagnética conduzida através das linhas de alimentação. Estas interferências são:

- Quedas na tensão de alimentação.
- Curtas interrupções na alimentação.
- Variação da tensão de alimentação.

A operação dos equipamentos elétricos ou eletrônicos podem ser afetados, assim como causar danos permanentes devido as variações na tensão de alimentação, por isso, pode ser considerado um teste destrutivo.

As principais causas da variação da tensão de alimentação normalmente são a carga e a descarga de baterias, a variação das cargas do sistema e variação na rede elétrica de alimentação.

### 4.3.2 Definições

- **Imunidade:** É a habilidade do dispositivo, equipamento ou sistema, de operar sem degradação quando na presença de um distúrbio eletromagnético.
- **Queda de tensão (*voltage dip*):** Uma súbita redução da tensão de alimentação, seguido da recuperação da tensão nominal após um curto período de tempo, a partir de alguns milissegundos até alguns poucos segundos.
- **Curtas interrupções (*short interruptions*):** É o desaparecimento total da tensão de alimentação em um período de tempo em que não ultrapassa um minuto. Na prática uma queda de tensão que baixe de 80% da tensão nominal, já pode ser considerado uma interrupção.
- **Varição da tensão (*voltage variation*):** É a gradual mudança na tensão de alimentação para um valor acima ou abaixo da tensão nominal em uma determinada frequência e em um tempo de duração que pode ser longo ou curto.

### 4.3.3 Plano de Teste

Os dispositivos que serão submetidos ao teste de EMI conduzido, deverão ser especificados no plano de teste.

Este plano deve especificar os seguintes pontos:

- A descrição do dispositivo;
- As condições de irradiação;
- Condições de polarização do dispositivo;
- As condições de operação;
- A aplicação que estará sendo executada durante o teste;
- Limites e especificações de variação da tensão de alimentação;



- Limites e especificações das interrupções da tensão de alimentação;
- Limites e especificações das quedas de tensão de alimentação;
- Parâmetros que serão medidos e as condições de medição.

#### 4.3.4 Equipamentos

Para este trabalho foi utilizada a plataforma para ensaios de EMI conduzido também proposto neste trabalho que é descrito na seção 3.1.4. Entretanto existem outras maneiras de realizar estes testes utilizando equipamentos comerciais específicos que atendem este tipo de testes, ou ainda, pode-se utilizar um amplificador de tensão juntamente com um gerador de sinais.

#### 4.3.5 Condições do Teste

De forma a minimizar o impacto dos parâmetros do ambiente nos resultados, o teste deve ser realizado antes e depois nas mesmas condições de temperatura e de níveis de ruído.

##### 4.3.5.1 Temperatura Ambiente

As condições de temperatura em que os testes serão realizados devem atender os limites especificados para o funcionamento do dispositivo sobre teste e para os equipamentos que realizarão o teste, o que normalmente está em torno de  $23 \pm 5^{\circ}C$  para a repetibilidade.

##### 4.3.5.2 Ambiente de RF

O nível de ruído de RF deve ser o mínimo possível de forma a não influenciar nas medidas do teste.

##### 4.3.5.3 Níveis de Teste

A tensão de alimentação nominal para o dispositivo sobre teste deve ser usada como referência para a especificação dos níveis de tensão à serem utilizados nos testes.

Os seguintes níveis de tensão de teste são usados (em %):

- 0%, correspondente à interrupções;
- 40% e 70%. correspondente à 60% e a 30% de quedas de tensão;
- 80% e 120%. correspondente à  $\pm 20\%$  de variações de tensão;

Os níveis de tensão e a duração utilizados no teste de quedas de tensão, são descritos na Tabela 3.

Tabela 3 – Níveis de tensão e duração utilizados no teste de quedas de tensão (*Voltage Dips*).

Teste	Níveis de Tensão em %	Duração em s
Quedas de Tensão <i>Voltage Dips</i>	40 e 70 ou x	0,01
		0,03
		0,1
		0,3
		1
		x

Fonte: Modificado de IEC-61000-4-29.

As variações de quedas de tensão utilizadas neste trabalho atingiram 25% da tensão nominal com frequência de até 5kHz. Estes valores não se encontram diretamente na tabela, porém existe a flexibilidade da customização dos percentuais dos níveis de tensão e da duração, representados na tabela por **x**.

Os níveis de tensão e sua duração utilizados no teste de curtas interrupções de tensão são descritos na Tabela 4.

Tabela 4 – Níveis de tensão e duração utilizados no teste de curtas interrupções (*Short Interruptions*).

Teste	Níveis de Tensão em %	Duração em s
Curtas Interrupções <i>Short Interruptions</i>	0	0,01
		0,03
		0,1
		0,3
		1
		x

Fonte: Modificado de IEC-61000-4-29.

Não foram realizados testes de curtas interrupções neste trabalho, ficando apenas as instruções na metodologia para outras implementações.

Os níveis de tensão e sua duração utilizados no teste de variação de tensão são descritos na Tabela 5.

Tabela 5 – Níveis de tensão e duração utilizados no teste de variação de tensão (*Voltage Variation*).

Teste	Níveis de Tensão em %	Duração em s
Variação de Tensão <i>Voltage Variation</i>	85 e 120 ou 80 e 120 ou x	0,1
		0,3
		1
		3
		10
		x

Fonte: Modificado de IEC-61000-4-29.

As variações de tensão utilizadas neste trabalho atingiram o mínimo de 25% da tensão nominal em degraus de 0,01V. Estes valores não se encontram diretamente na tabela, porém existe a flexibilidade

da customização dos percentuais dos níveis de tensão e da duração, representados na tabela por  $x$ .

## **Parte III**

### **ETAPA DE VALIDAÇÃO**



## 5 EXPERIMENTOS E RESULTADOS

Foram realizados diversos testes para verificar o funcionamento da plataforma e efetuar a análise dos dados coletados. Foram realizados testes de imunidade à interferência eletromagnética utilizando os equipamentos do Instituto de Tecnologia Industrial da Argentina e testes de radiação ionizante por dose total (TID) que foram realizados no Centro Atômico Ezeiza, ambos em Buenos Aires, Argentina.

Os resultados aqui apresentados foram obtidos através da utilização da metodologia e plataforma de testes combinados de radiação e interferência eletromagnética (EMI) propostos nesta tese. Estes resultados que serão descritos à seguir, foram publicados em (Benfica et al., 2011b), (Benfica et al., 2011a), (Benfica et al., 2012c), (Benfica et al., 2012b), (Benfica et al., 2012a), (Oliveira et al., 2013), (Seclen et al., 2014) e (Benfica et al., 2015). A plataforma é ilustrada na Figuras 26, 27 e 28, onde inicialmente foram realizados os testes de radiação utilizando quatro plataformas com um FPGA Xilinx XC4VFX12-10SF363 em cada placa.

Antes da apresentação dos resultados, será apresentado na seção 5.1 como foi feita a análise estatística dos resultados.

### 5.1 ANÁLISE ESTATÍSTICA DOS RESULTADOS

A análise estatística de resultados utiliza-se das teorias probabilísticas para explicar a frequência da ocorrência de eventos, tanto em estudos observacionais quanto em experimento, modelar a aleatoriedade e a incerteza de forma a estimar ou possibilitar a previsão de fenômenos futuros, conforme o caso, assim como avaliar a confiabilidade e a margem de erro dos resultados obtidos e a inter-relação entre estes dados (Meyer, 2000) (Bussab and Morettin, 2010).

Para os resultados obtidos neste trabalho serão analisados a variância, margem de erro, o intervalo de confiança, o desvio padrão e a covariância.

O cálculo da média é dado pela equação 5.1:

$$\bar{x} = \frac{\sum x}{n} \quad (5.1)$$

Onde  $\bar{x}$  é a média,  $\sum x$  é a soma de todas as amostras e  $n$  é o número de amostras.

### 5.1.1 Variância

Variância indica "o quão longe" em geral os seus valores se encontram do valor esperado (média). Nesse caso, como estamos analisando todos os valores de cada experimento, e não apenas uma "amostra", trata-se do cálculo da variância populacional (*var*) é dado pela equação 5.2. Para calcular a variância amostral, basta dividir pela quantidade de elementos observados subtraída de um  $(-1)$  (Meyer, 2000) (Bussab and Morettin, 2010).

$$var = \frac{\sum (x - \bar{x})^2}{n} \quad (5.2)$$

Onde *var* é a variância,  $x$  é a amostra,  $\bar{x}$  é a média das amostras e  $n$  é o número de amostras.

### 5.1.2 Desvio Padrão

O desvio padrão indica o quanto de variação ou "dispersão" existe em relação à média (ou valor esperado). Um baixo desvio padrão indica que os dados tendem a estar próximos da média; um desvio padrão alto indica que os dados estão espalhados por uma gama de valores (Meyer, 2000) (Bussab and Morettin, 2010). O desvio padrão é dado pela equação 5.3:

$$\sigma = \sqrt{var} \quad (5.3)$$

Onde  $\sigma$  é o desvio padrão e *var* é a variância.



### 5.1.3 Margem de Erro

Margem de erro é uma estatística que expressa a quantidade de erro de amostragem aleatória em um resultado de uma pesquisa ou coleta de amostras. Quanto maior a margem de erro, menos confiança temos que os resultados da pesquisa correspondam aos valores "verdadeiros", ou seja, os valores para a população inteira (Meyer, 2000) (Bussab and Morettin, 2010). A margem de erro é dada pela equação 5.4:

$$\text{Margem} = Z_{\frac{\alpha}{2}} \times \frac{\sigma}{\sqrt{n}} \quad (5.4)$$

Onde  $\alpha$  é o nível de confiança,  $Z_{\frac{\alpha}{2}}$  é o coeficiente de confiança,  $\sigma$  é desvio padrão e  $n$  é o número de amostras.

### 5.1.4 Intervalo de Confiança

Intervalo de confiança é um intervalo estimado de um parâmetro estatístico. Em vez de estimar o parâmetro por um único valor, é dado um intervalo de estimativas prováveis. Quão prováveis são estas estimativas é determinado pelo coeficiente de confiança. Quanto maior a probabilidade do intervalo conter o parâmetro, maior será o intervalo e são usados para indicar a confiabilidade de uma estimativa (Meyer, 2000) (Bussab and Morettin, 2010). O intervalo de confiança é dado pelo valor da amostra  $\pm$  a Margem de erro, e é dado pela equação 5.5

$$x \pm Z_{\frac{\alpha}{2}} \times \frac{\sigma}{\sqrt{n}} \quad (5.5)$$

Onde  $x$  é o valor da amostra,  $Z_{\frac{\alpha}{2}}$  é o coeficiente de confiança,  $\sigma$  é desvio padrão e  $n$  é o número de amostras.

### 5.1.5 Covariância

Em teoria da probabilidade e na estatística, a covariância, ou variância conjunta, é uma medida do grau de interdependência (ou inter-relação) numérica entre duas variáveis aleatórias. Se duas variáveis tendem a aumentar juntas, existe uma covariância positiva; se uma

aumenta enquanto a outra diminui, a covariância é negativa (Meyer, 2000) (Bussab and Morettin, 2010).

Como interpretação dos resultados temos:

- **Sinal de covariância** => Natureza da relação. Se positivo, os dois conjuntos de variáveis seguem a mesma direção. Se negativo, seguem direções opostas.
- **Tamanho da covariância** => Força da relação. Se for grande, a relação é forte. Se for pequena, tem uma relação fraca e se for zero, não tem relação nenhuma.

A covariância é dada pela equação 5.6

$$S_{xy} = \frac{1}{n-1} \times \left( \sum_{i=1}^n (x_i - \bar{x}) \times (y_i - \bar{y}) \right) \quad (5.6)$$

Onde  $n$  é o número de amostras,  $\bar{x}$  é a média de  $x$  e  $\bar{y}$  é a média de  $y$ .

## 5.2 EXPERIMENTOS DE RADIAÇÃO IONIZANTE POR TID UTILIZANDO CO-60

Para os experimentos de radiação, foi utilizada uma Gama Cell ilustrada na Figura 19. Está câmara de radiação utiliza o Cobalto 60 (Co-60) como fonte de radiação.

O Co-60 é um radioisótopo que é utilizado como fonte de radiação gama em radioterapia, esterilização de alimentos (pasteurização fria) e radiografia industrial para o controle de qualidade de metais (detecção de fendas) e experimentos com radiação por dose total (Okuno and Yoshimura, 2010) (Chung, 2001).

Radiação gama ou raio gama ( $\gamma$ ) é um tipo de radiação eletromagnética produzida geralmente por elementos radioativos, processos subatômicos como a aniquilação de um par pósitron-elétron e que consistem em fótons de alta energia. Por causa das altas energias que possuem, os raios gama constituem um tipo de radiação ionizante capaz de penetrar na matéria mais profundamente que a radiação alfa ou beta,

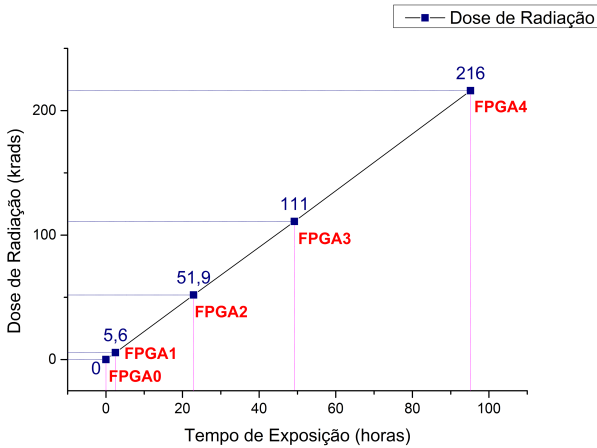
pois possuem comprimento de onda na ordem de alguns pico metros até comprimentos mais ínfimos como  $10^{-15}$  à  $10^{-18}$  metros (Chase et al., 2002) (Crowther, 1953) (Nakamura et al., 2010) (Okuno and Yoshimura, 2010) (Chung, 2001) (Martin, 2006) (Leroy and Rancoita, 2009).

A energia deste tipo de radiação é medida em Mega elétrons-volt (MeV). Um Mev corresponde a fótons gama de comprimentos de onda inferiores a  $10^{-11}$  metros ou frequências superiores a 1019 Hz (Chase et al., 2002) (Crowther, 1953) (Martin, 2006) (Leroy and Rancoita, 2009).

Os testes foram feitos ao longo de cinco dias. No primeiro dia foram colocadas todas as placas dentro da Gamma Cell ilustrada na Figura 19 seguindo a metodologia descrita na seção 4.1. A temperatura ambiente era de 25°C e os testes de caracterização e pós-irradiação foram realizados fora do fluxo de radiação.

O procedimento para caracterização dos FPGAs seguiu a sequência de procedimentos descritos na metodologia descrita na seção 4.1.5 e serão apresentados nos gráficos à seguir. O FPGA0 é o FPGA de referência, ou seja, que não sofreu exposição à radiação. Os quatro FPGAs sofreram tempos de exposição diferentes à fonte de radiação e conseqüentemente obtiveram uma dose acumulada com diferentes níveis, conforme ilustrado na Figura 50.

Figura 50 – Dose Total e Tempo de Exposição dos FPGAs.



Fonte: Próprio autor.

O suporte com as quatro placas com os FPGAs foi colocado e disposto dentro da câmara como ilustrado na Figura 51.

Durante a radiação é necessário que os FPGAs estejam em operação, pois o circuito deve estar energizado para a radiação ser depositada. Foi escolhido o microprocessador Plasma projetado por Steve Rhoads. Este microprocessador possui uma arquitetura MIPS de 32 bits. O Plasma foi escolhido por ser um microprocessador *softcore* descrito em VHDL cujos fontes, exemplos e ferramentas de compilação são fornecidos pelo seu projetista sob a licença LGPL (*Lesser General Public License*). Este material está publicado no site <http://opencores.com/project/plasma>. Este microprocessador é utilizado em inúmeros trabalhos científicos e até mesmo industriais, o que o torna confiável e robusto.

Figura 51 – Gama Cell com detalhe do suporte com as quatro placas inseridas no invólucro de testes da câmara (Benfica et al., 2011b).



Fonte: Próprio autor.

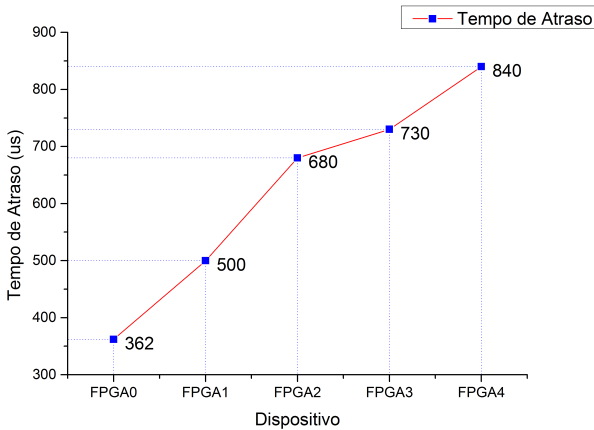
A aplicação que foi executada é um algoritmo de multiplicação de matrizes de tamanho 10x10. Esta aplicação foi escolhida por ser uma aplicação de referência que seja reconhecida e utilizada em diversos trabalhos científicos, pois requer a utilização de todos os blocos do processador, tais como banco de registradores, bloco de controle, ULA, controlador de memória e controlador de barramento.

O procedimento de testes após a retirada dos FPGAs seguiu uma sequência de procedimentos descritos na metodologia descrita na seção 4.1.

### 5.2.1 Medição do Atraso

O FPGA foi configurado com um circuito que tem a finalidade de medir o atraso entre entrada e saída dos FPGAs. O circuito possui dez mil (10.000) inversores em série, que possui em sua entrada um *clock* de 50MHz. Mediu-se então o atraso entre a entrada e a saída, sempre comparando com um FPGA que não sofreu radiação, neste caso o FPGA0, como mostrado no gráfico da Figura 52.

Figura 52 – Atraso entre entrada e saída do circuito de medição nos dispositivos sob teste.



Fonte: Próprio autor.

#### Análise Estatística das Medidas de Atraso:

Para os resultados apresentados no gráfico da Figura 52, foram calculados o desvio padrão populacional, o desvio padrão amostral e o intervalo de confiança adotando um nível de confiança de 95%.

**Desvio padrão populacional:** O desvio padrão foi calculado para todas as amostras de acordo com as equações 5.1 e 5.3:

$$Media(\bar{x}) = \frac{362+500+680+730+840}{5} = 622,4\mu s$$

$$\sigma = \sqrt{\frac{(362-622,4)^2+(500-622,4)^2+(680-622,4)^2+(730-622,4)^2+(840-622,4)^2}{5}} =$$

170,314533

**Desvio padrão amostral:** O desvio padrão foi calculado para todas as amostras segundo a equação 5.3 da seguinte forma:

- Amostra 1(FPGA0) $\Rightarrow \sigma = \sqrt{(362 - 622,4)^2} = 260,4\mu s$
- Amostra 2(FPGA1) $\Rightarrow 122,4\mu s$
- Amostra 3(FPGA2) $\Rightarrow 57,6\mu s$
- Amostra 4(FPGA3) $\Rightarrow 107,6\mu s$
- Amostra 5(FPGA4) $\Rightarrow 217,6\mu s$

**Cálculo do intervalo de confiança:** O intervalo de confiança foi calculado com um nível de confiança de 95% segundo a equação 5.4 da seguinte forma:

Com um nível de confiança de 95% temos  $\alpha = 0,95$ , então calcula-se o coeficiente de confiança dado por:

$$Z_{\frac{\alpha}{2}} = Z_{0,475}$$

Para se achar o coeficiente de confiança deve-se consultar a tabela de distribuição *t Student*. Geralmente, os valores *t* são preferíveis quando é utilizada uma amostra pequena, que é o caso.

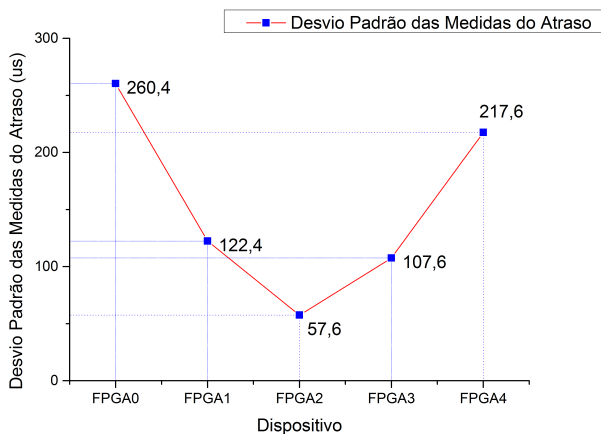
Consultando a tabela *t* o valor mais próximo para  $Z_{0,475} = 0,71$

Calcula-se então a margem de erro baseada no desvio padrão populacional que é dado por  $0,71 \times \frac{170,314533}{\sqrt{5}} = 54,07855\mu s$

No gráfico da Figura 53 é possível verificar o desvio padrão para cada amostra do atraso medido por dispositivo, onde é possível verificar que os FPGAs que sofreram as maiores e as menores dose de radiação, possuem os maiores valores de desvio padrão. Isso é esperado, já que o dispositivo que teve a menor dose de radiação, teve o menor atraso medido e o dispositivo que teve a maior dose de radiação teve o maior atraso medido, comprovando assim que quanto maior a dose de radiação, maior será o atraso interno gerado pela deposição de radiação.

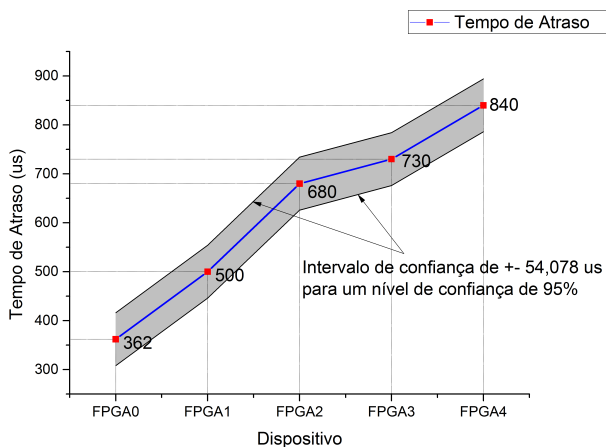
No gráfico da Figura 54 é possível visualizar o gráfico do atraso contemplando o intervalo de confiança calculado de  $\pm 54,07855\mu s$  para toda a faixa de valores.

Figura 53 – Desvio padrão das medidas de atraso entre entrada e saída do circuito para cada dispositivo.



Fonte: Próprio autor.

Figura 54 – Intervalo de confiança das medidas de atraso considerando um nível de confiança de 95%.



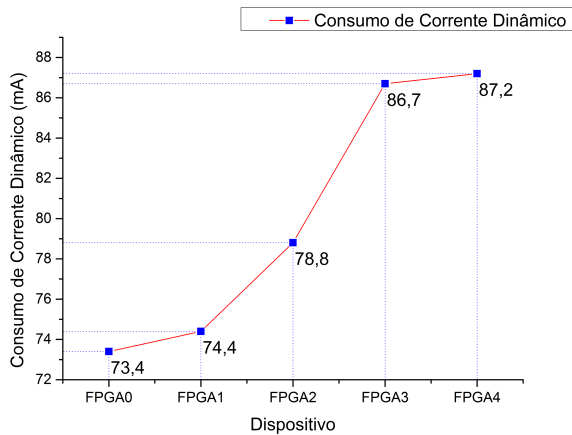
Fonte: Próprio autor.



### 5.2.2 Medição do consumo de corrente dinâmico

Medição do consumo de corrente do core do FPGA recém retirado da exposição à radiação, que é ilustrado no gráfico da Figura 55.

Figura 55 – Consumo de corrente dinâmico na alimentação do core do FPGA (1v2).



Fonte: Próprio autor.

**Desvio padrão populacional:**

$Media(\bar{x}) = 80,1mA$

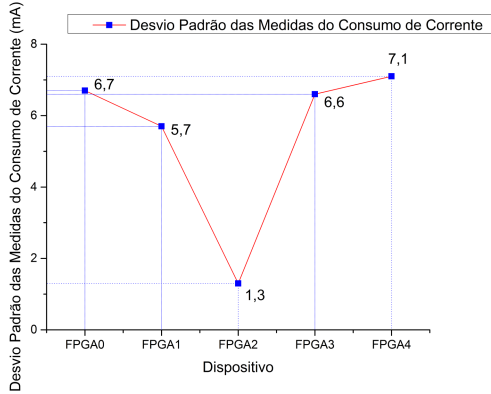
$\sigma = 5,882856449mA$

**Desvio padrão amostral:**

- Amostra 1(FPGA0)=> 6,7mA
- Amostra 2(FPGA1)=> 5,7mA
- Amostra 3(FPGA2)=> 1,3mA
- Amostra 4(FPGA3)=> 6,6mA
- Amostra 5(FPGA4)=> 7,1mA

O desvio padrão amostral pode ser observado na Figura 56.

Figura 56 – Desvio padrão das medidas do consumo de corrente dinâmico para cada dispositivo.



Fonte: Próprio autor.

### Cálculo do intervalo de confiança:

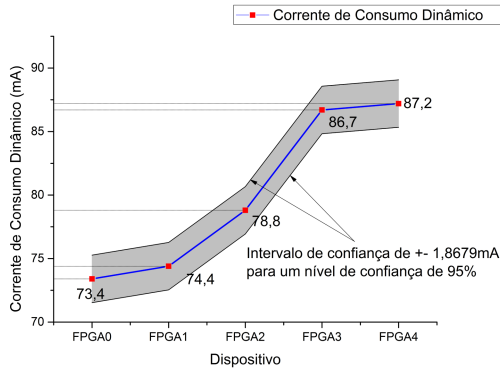
Com um nível de confiança de 95% temos  $\alpha = 0,95$ , então calcula-se o coeficiente de confiança dado por:

$$Z_{\frac{\alpha}{2}} = Z_{0,475}$$

Consultando a tabela t o valor mais próximo para  $Z_{0,475} = 0,71$

Calcula-se então a margem de erro baseada no desvio padrão populacional que é dado por:  $Margem = 1,867934303mA$  e pode ser observado na Figura 57.

Figura 57 – Intervalo de confiança das medidas de consumo de corrente dinâmico considerando um nível de confiança de 95%.



Fonte: Próprio autor.

### 5.2.3 Cálculo da covariância entre a dose total e o tempo de atraso

A covariância foi calculada conforme a equação 5.6 da seguinte forma:

A média dos dados da dose total é  $\bar{x} = 76,9krads$ , e a média dos dados do tempo total é  $\bar{y} = 622,4ps$ .

$$S_{xy} = \frac{1}{5-1} \times ((0 - 76,9) \times (362 - 622,4) + (5,6 - 76,9) \times (500 - 622,4) + (51,9 - 76,9) \times (680 - 622,4) + (111 - 76,9) \times (730 - 622,4) + (216 - 76,9) \times (840 - 622,4))$$

O valor da covariância é  $S_{xy} = 16339,02$ , o que mostra que os dois conjuntos seguem na mesma direção e existe uma forte relação entre os dois dados, o que significa que quanto maior a dose, maior o tempo de atraso.

### 5.2.4 Cálculo da covariância entre a dose total e o consumo de corrente

$$S_{xy} = \frac{1}{5-1} \times ((73,4 - 80,1) \times (362 - 622,4) + (74,4 - 80,1) \times (500 - 622,4) + (78,8 - 80,1) \times (680 - 622,4) + (86,7 - 80,1) \times (730 -$$

$$622,4) + (87,2 - 80,1) \times (840 - 622,4))$$

O valor da covariância é  $S_{xy} = 541,7$ , o que mostra que os dois conjuntos seguem na mesma direção e existe uma relação entre os dois dados, o que significa que quanto maior a dose, o consumo de corrente também aumenta e este aumento é menor que a proporção do aumento do atraso.

### 5.3 EXPERIMENTOS DE EMI RADIADO

Logo após a caracterização dos componentes quanto ao consumo de corrente e da medição do atraso em relação a entrada e a saída de um circuito projetado para esta medição. Foram realizados os ensaios de susceptibilidade à interferência eletromagnética seguindo a metodologia descrita na seção 4.2 onde foram estabelecidos protocolos que asseguram os resultados necessários para uma análise confiável.

Estes testes e procedimentos serão descritos nas próximas seções.

#### 5.3.1 Medição da tensão mínima de funcionamento do FPGA

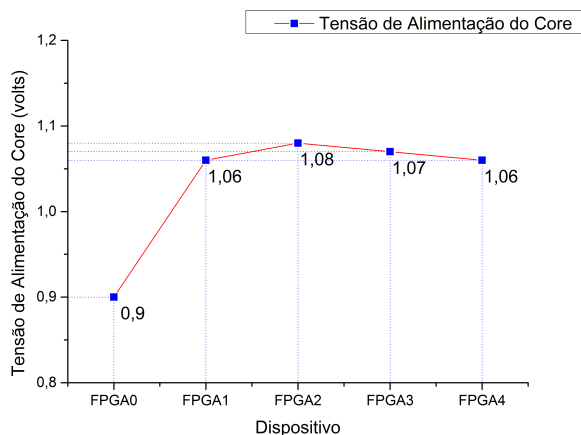
Este procedimento foi feito para se detectar uma tensão de core (1,2V) adequada de forma a tornar o CI mais susceptível ao ruído de EMI para podermos observar falhas no circuito. Isto foi feito, pois nos níveis de campo eletromagnético que foram aplicados pelo equipamento disponível para o teste e cuja potência máxima fora aplicado no FPGA, não se observou falhas nos dispositivos sobre teste. O procedimento para se detectar esta tensão foi feito da seguinte forma:

1. O FPGA sob teste foi retirado da plataforma de testes de radiação ilustrado na Figura 26 e colocado na plataforma de testes de EMI mostrado na Figura 21 onde existe um circuito capaz de reduzir a tensão de alimentação do FPGA de acordo com o desejado.
2. No FPGA foi colocado o processador PLASMA executando um algoritmo multiplicador de matrizes de dimensão 10x10.

3. Observa-se o resultado destas multiplicações que são enviadas pelo link de fibra óptica que é conectada ao PC através do conversor fibra óptica para USB, também projetado neste trabalho. Estes resultados são armazenados em um arquivo para análise.
4. Com o *software* em execução, inicia-se a redução da tensão de core (1,2V) em degraus de 0,01 volts até ser observado falhas na saída dos resultados das multiplicações.
5. Quando estas falhas são detectadas, aumenta-se 0,01 volts na tensão de core de forma a voltar ao funcionamento normal e esta tensão então é utilizada nos testes de EMI, pois sabemos que o FPGA está no limiar de falha.

Aplicando este método os seguintes resultados são apresentados na Figura 58.

Figura 58 – Tensão mínima de funcionamento do core (1,2V) para cada dispositivo.



Fonte: Próprio autor.

**Desvio padrão populacional:**

$$Media(\bar{x}) = 1,034V$$

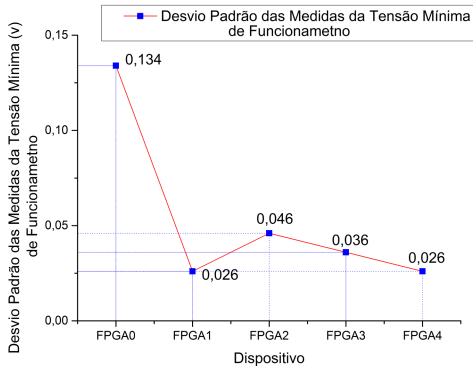
$$\sigma = 0,067409198V$$

### Desvio padrão amostral:

- Amostra 1(FPGA0)=> 0,134V
- Amostra 2(FPGA1)=> 0,026V
- Amostra 3(FPGA2)=> 0,046V
- Amostra 4(FPGA3)=> 0,036V
- Amostra 5(FPGA4)=> 0,026V

O desvio padrão amostral pode ser observado na Figura 59.

Figura 59 – Desvio padrão das medidas de tensão mínima de funcionamento para cada dispositivo.



Fonte: Próprio autor.

### Cálculo do intervalo de confiança:

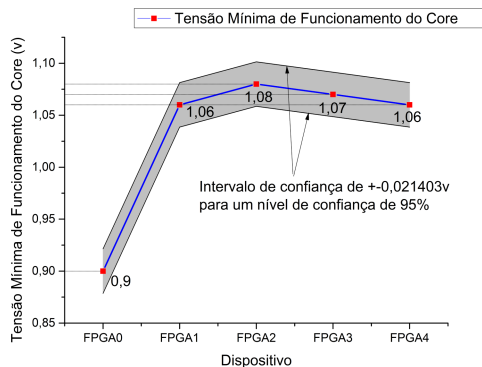
Com um nível de confiança de 95% temos  $\alpha = 0,95$ , então calcula-se o coeficiente de confiança dado por:

$$Z_{\frac{\alpha}{2}} = Z_{0,475}$$

Consultando a tabela t o valor mais próximo para  $Z_{0,475} = 0,71$

Calcula-se então a margem de erro baseada no desvio padrão populacional que é dado por:  $Margem = 0,02140388V$  e pode ser observado na Figura 60.

Figura 60 – Intervalo de confiança das medidas de tensão mínima de funcionamento considerando um nível de confiança de 95%.



Fonte: Próprio autor.

### 5.3.2 Cálculo da covariância entre a dose total e a tensão mínima de funcionamento

$$S_{xy} = \frac{1}{5-1} \times ((0,9 - 1,034) \times (362 - 622,4) + (1,06 - 1,034) \times (500 - 622,4) + (1,08 - 1,034) \times (680 - 622,4) + (1,07 - 1,034) \times (730 - 622,4) + (1,06 - 1,034) \times (840 - 622,4))$$

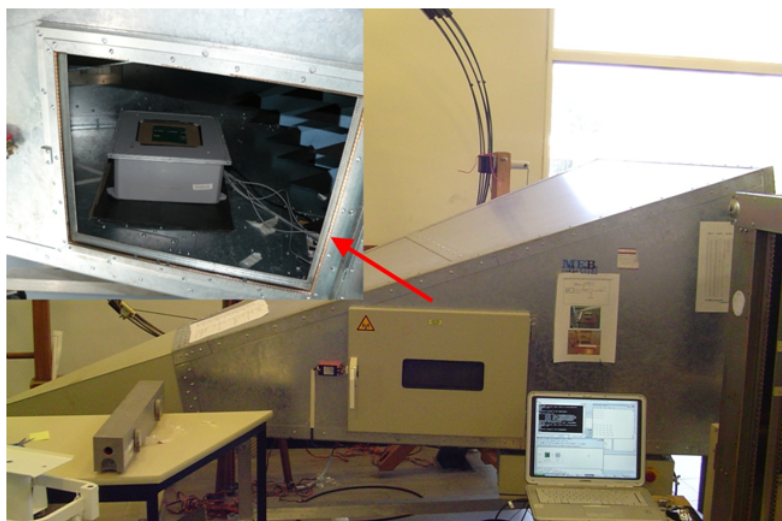
O valor da covariância é  $S_{xy} = 3,03$ , o que mostra que os dois conjuntos seguem na mesma direção e existe uma relação fraca entre os dois dados, o que significa que quanto maior a dose, a tensão mínima de funcionamento também tende à aumentar lentamente.

### 5.3.3 Realização dos testes de EMI na câmara GTEM

Após a medição de tensão mínima de funcionamento dos FPGAs, os mesmos foram colocados na plataforma de testes de EMI ilustrada na Figura 21 e realizados os testes de imunidade a interferência eletromagnética seguindo a metodologia descrita na seção 4.2 em uma GTEM-CELL que é ilustrada na Figura 17. O detalhe da placa inserida na câmara é ilustrado na Figura 61. Nesta figura, observa-se que a plataforma foi colocada em uma caixa metálica formando uma

blindagem para proteger os circuitos que não estão sob o teste, exigido pela norma, onde relata que somente o dispositivo sob teste deve ficar exposto à EMI.

Figura 61 – GTEM-CELL com o detalhe da plataforma de testes de EMI encaixado na blindagem para os testes de susceptibilidade a EMI (Benfica et al., 2011a).



Fonte: Próprio autor.

O procedimento de testes seguiu o seguinte roteiro:

1. Grava-se os FPGAs sob teste, um que não sofreu radiação e o outro que está com radiação acumulada com o mesmo *hardware* e *software*, neste caso, o processador PLASMA com o multiplicador de matrizes de dimensão 10x10.
2. As tensões do core (1,2V) dos FPGAs foi reduzida até o valor que foi encontrado no procedimento descrito anteriormente.
3. Foram feitas as varreduras de frequência entre **150kHz** e **1GHz** com uma intensidade de campo de **125 V/m** (**pois campos menores, como determina a norma (máximo de 40 V/m)**)



**não se observou falhas nos FPGAs**) com um FPGA de cada vez, porém sempre com o FPGA modelo (que não sofreu radiação) operando em paralelo. Foi colocado o mesmo *hardware* (*bitstream* de configuração) e o mesmo *software* para todos os FPGAs para fazer a comparação de funcionamento. Esta varredura de frequências em degraus de 1% foi feito para detectar as frequências críticas onde se observava falhas na saída do *software*.

4. As saídas (resultados das multiplicações de matrizes) foram monitoradas e enviadas pela porta serial, através do link de fibra óptica. Quando uma falha era detectada, esta frequência era anotada para repetição do teste neste ponto.
5. Após todos os pontos de susceptibilidade serem coletados, é feito dez medições nesta mesma frequência para observar se a repetição do erro ocorria novamente nesta frequência crítica. Com isso obtivemos os seguintes resultados apresentados nos gráficos da Figura 62 e Figura 63.

Nos gráficos das Figuras 62 e 63 são exibidos os resultados do procedimento de teste utilizando a tensão nominal do core (1,2V) dos FPGAs, um campo de **125 V/m** e o intervalo de frequência de **150kHz à 1GHz**.

Nestes gráficos é possível observar que a distribuição de falhas é praticamente igual nos cinco FPGAs, pois os FPGAs alimentados com sua tensão nominal de core se comportaram normalmente, independente da dose de radiação que sofreram, isto ocorreu por causa que os equipamentos utilizados não possuíam potência suficiente para a injeção de falhas em sua condição normal de funcionamento devido a robustez do componente.

Observa-se também que o número de **falhas de lógica**<sup>1</sup> é maior que o número de **falhas de hardware**<sup>2</sup>, isto acontece devido

---

<sup>1</sup> Falha de lógica é aquele em que o *software* para de funcionar ou funciona erroneamente, ou alguma outra falha transiente onde um *reset* do microprocessador faça retornar a sua operação normal.

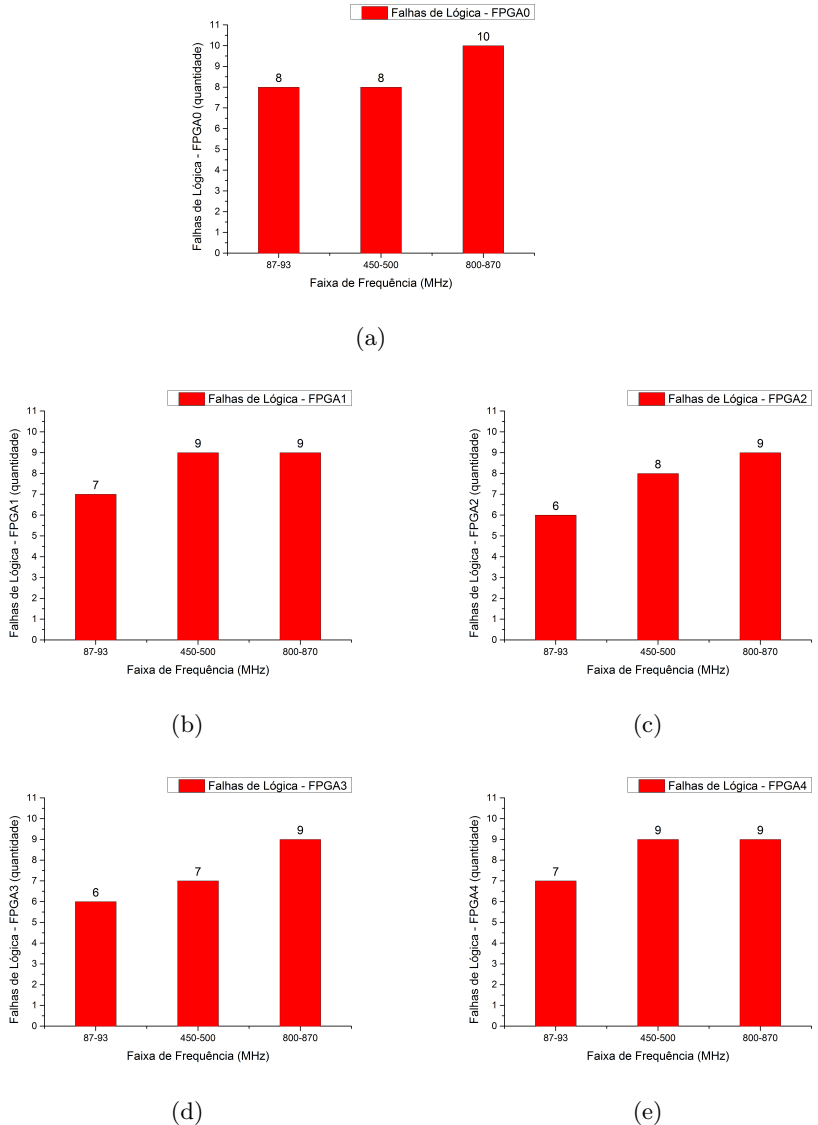
<sup>2</sup> Falha de *hardware* é quando somente um *reset* do microprocessador não recupera

à potência do equipamento de injeção de ruído que não tem potência suficiente para danificar o *bitstream* do FPGA frequentemente, mas suficiente para a injeção de falhas através dos acoplamentos por trilhas, conectores e cabos.

---

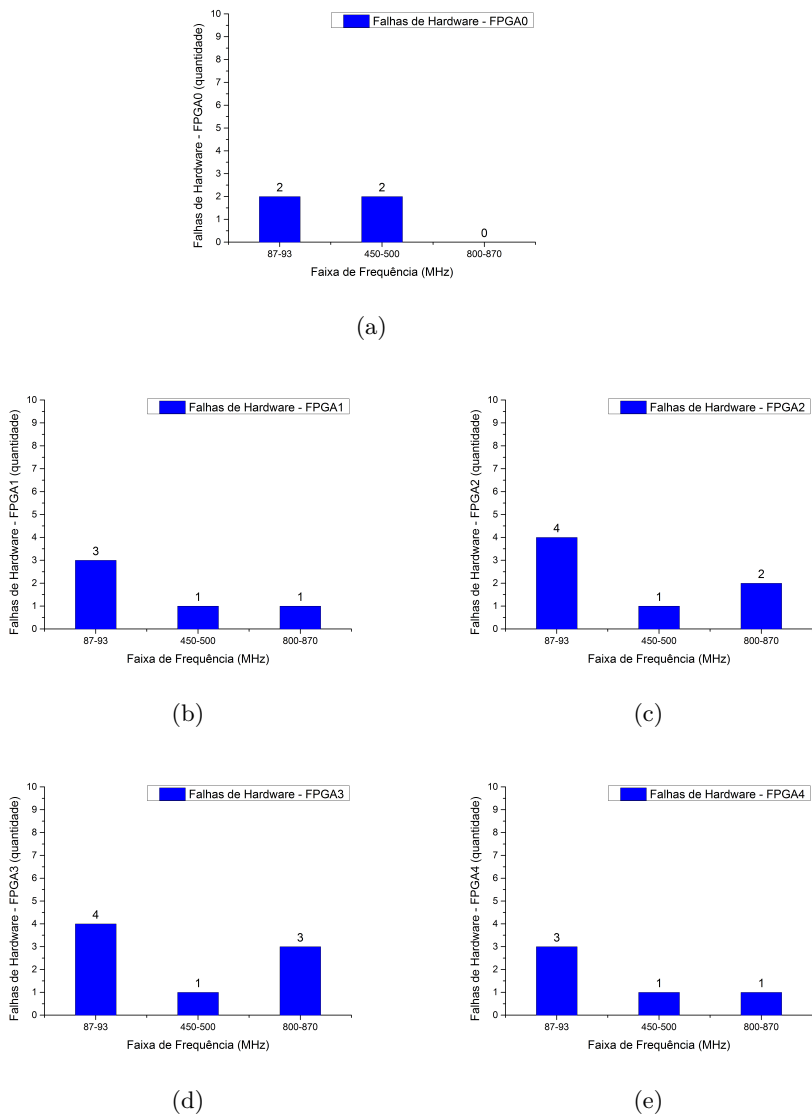
o funcionamento do sistema, é necessário a reconfiguração do FPGA para a recuperação total do sistema.

Figura 62 – Falhas de lógica por intervalo de frequência utilizando tensão de alimentação do core nominal em 1,2V. (a)FPGA0, (b)FPGA1, (c)FPGA2, (d)FPGA3, (e)FPGA4



Fonte: Próprio autor.

Figura 63 – Falhas de *hardware* por intervalo de frequência utilizando tensão de alimentação do core nominal em 1,2V. (a)FPGA0, (b)FPGA1, (c)FPGA2, (d)FPGA3, (e)FPGA4



Fonte: Próprio autor.

Nos gráficos da Figura 64 são exibidos os resultados dos ensaios de EMI radiado utilizando tensão de alimentação do core reduzida para cada um dos FPGAs, cuja tensão limite foi levantada anteriormente. A varredura das frequências aplicadas para o teste estão entre **150kHz** à **1GHz**.

Para o FPGA0 a tensão mínima descoberta para o seu funcionamento foi de 0,90V. Entretanto, quando adotado esta tensão de alimentação para os testes de EMI, o FPGA0 ficou muito sensível à aplicação de campo, perdendo sua configuração (bitstream) seguidamente, praticamente na mesma proporção que os FPGAs que sofreram exposição à radiação. Com isso chegou-se a conclusão que está tensão de alimentação realmente está muito aquém da tensão nominal e está no limiar do dispositivo perder sua configuração, mesmo que utilizados fontes de ruído de pequena intensidade. Como solução, adotou-se a tensão mínima dentre os quatro FPGAs que sofreram radiação, que foi 1,06V. Salienta-se que o objetivo deste procedimento é de detectar uma tensão de core (1,2V) adequada de forma a tornar o CI mais susceptível ao ruído de EMI e ser observado falhas no circuito, já que em condições normais de operação isto não ocorreu, devido a potência insuficiente do equipamento. Salienta-se também, que em uma aplicação real os dispositivos serão alimentados com sua tensão nominal que é de 1,2V.

No gráfico da Figura 64(a) é possível visualizar que o número de falhas ocorridas e as faixas de frequências destas falhas no FPGA0 com tensão reduzida do core (1,06V), são as mesmas que os testes utilizando a tensão nominal de core (1,2V).

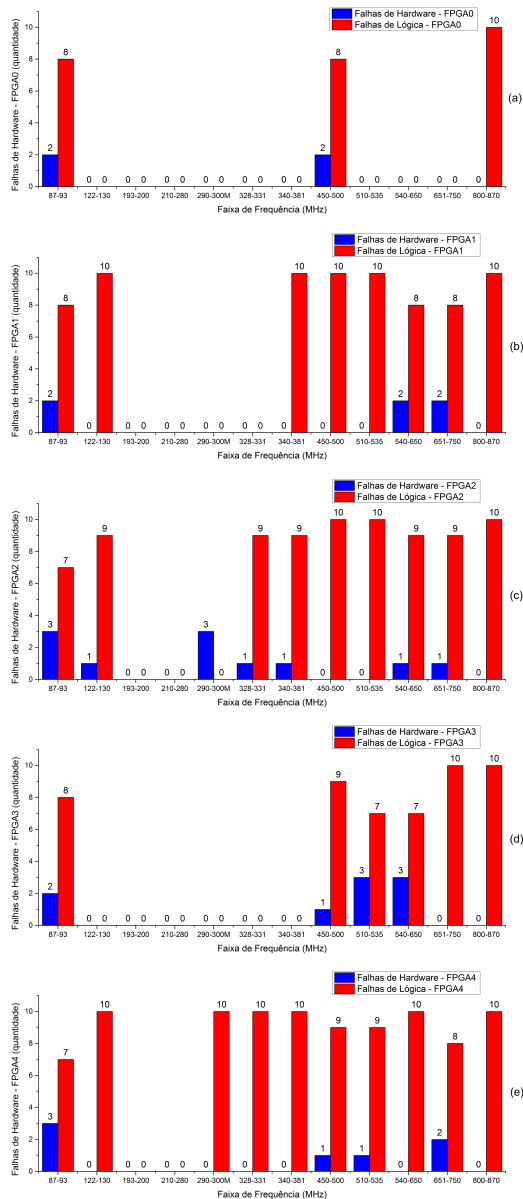
Nos gráficos da Figura 64(b), 64(c), 64(d) e 64(e) é possível visualizar as falhas ocorridas no FPGA1, FPGA2, FPGA3 e FPGA4 respectivamente.

Para os testes de EMI radiado foram realizados **cento e vinte (120)** medidas para cada dispositivo dentro dos intervalos de frequências que provocavam falhas, totalizando dez medidas para cada intervalo. **É possível concluir que o FPGA0 que não foi exposto à radiação falhou em média 23% menos que os outros FPGAs que sofreram exposição à radiação.**

Observa-se que o FPGA3 obteve um número menor de falhas em relação ao FPGA1, FPGA2 e FPGA4, mesmo que tenha uma dose de radiação maior que o FPGA1 e FPGA2. Provavelmente esta discrepância foi observada devido ao fato de que o FPGA3 é o único componente com número de lote de fabricação diferente dos demais FPGAs. É conhecido que componentes de diferentes lotes de fabricação não são iguais, ou até mesmo do mesmo lote, devido as diferenças no processo de fabricação, máquinas, tipo de material e outras variáveis intrínsecas ao processo de fabricação de circuitos integrados (Choi and Milor, 2006) (Kamel et al., 2010) (Tuan et al., 2011). Isso de certa forma se comprova, observando o gráfico da Figura 65, que mostra claramente que se excluirmos o FPGA3 do gráfico há um aumento de falhas conforme aumenta-se a dose de exposição à radiação. Mas mesmo que o FPGA3 seja incluído na análise, ainda assim este FPGA falhou duas vezes mais que o FPGA0 que não sofreu exposição à radiação, o que evidencia a relação entre a dose de radiação e a porcentagem de falhas.

Com este resultado é possível comprovar também a diferença de comportamento entre dispositivos de diferentes lotes de fabricação, e é por isso que em missões reais, somente são utilizados componentes do mesmo lote fabricação após serem qualificados.

Figura 64 – Falhas de *hardware* por intervalo de frequência com tensão de core reduzido. (a)FPGA0 (1,06V), (b)FPGA1 (1,06V), (c)FPGA2 (1,08V), (d)FPGA3 (1,07V), (e)FPGA4 (1,06V)

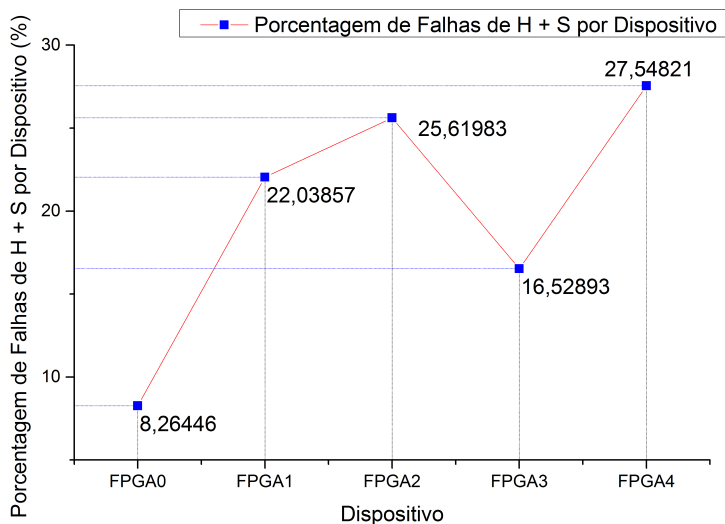


Fonte: Próprio autor.

O campo utilizado dentro da câmara foi de **125 V/m** e um intervalo de frequências de **150kHz** à **1GHz**. Com esses dados observamos claramente que o FPGA0 que não sofreu radiação, apresentou em média 23% menos falhas que os outros que foram expostos à radiação como podemos observar no gráfico da Figura 65.

No gráfico da Figura 66 é possível visualizar a porcentagem de falhas com o intervalo de confiança com margem de erro de  $\pm 2,21121\%$  calculado para um nível de confiança de 95%.

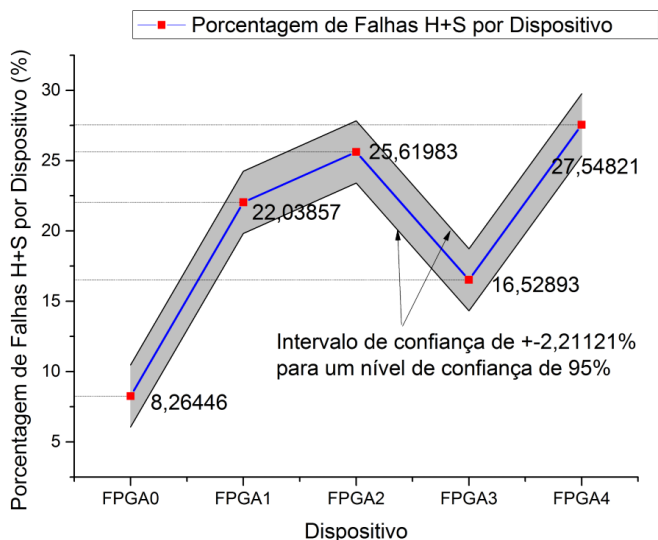
Figura 65 – Porcentagem de falhas de Hardware e de Lógica (S) para os testes de EMI.



Fonte: Próprio autor.



Figura 66 – Porcentagem de falhas de Hardware e de Lógica (S) para os testes de EMI com intervalo de confiança de 95%.



Fonte: Próprio autor.

### 5.3.4 Cálculo da covariância entre a dose total e a porcentagem de falhas

$$S_{xy} = \frac{1}{5-1} \times ((8,26 - 20) \times (362 - 622,4) + (22,04 - 20) \times (500 - 622,4) + (25,62 - 20) \times (680 - 622,4) + (16,53 - 20) \times (730 - 622,4) + (27,58 - 20) \times (840 - 622,4))$$

O valor da covariância é  $S_{xy} = 1101,79$ , o que mostra que os dois conjuntos seguem na mesma direção e existe uma relação média entre os dois dados, o que significa que quanto maior a dose a porcentagem de falhas também aumenta.

### 5.3.5 Análise da Covariância dos Resultados

No gráfico da Figura 67 ilustra a relação entre as medidas feitas no teste com a dose total. Foi feita a análise da relação entre a dose

total e o tempo de atraso, entre dose total e a porcentagem de falhas, entre dose total e o consumo de corrente dinâmico e entre dose total e a tensão mínima de funcionamento.

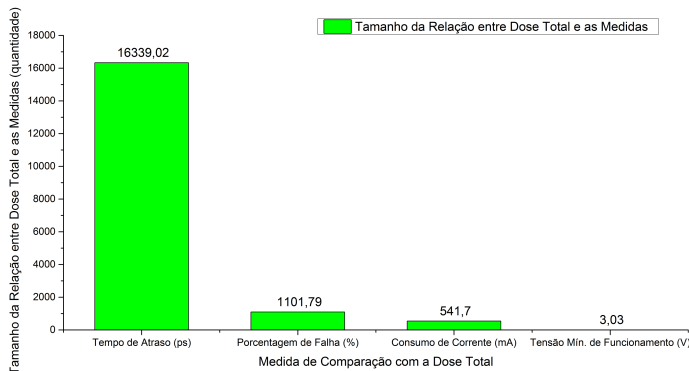
Observa-se que o dado que tem mais influência da dose de radiação é o tempo de atraso, que é possível observar pela relação forte calculada com a covariância entre os dados.

O segundo dado que sofre mais influência da dose de radiação é a porcentagem de falhas de EMI radiado, o que comprova que quanto maior a dose de radiação maior a taxa de falhas quando o FPGA é exposto à EMI radiado, ou seja, fica mais susceptível.

O terceiro dado é a corrente de consumo dinâmico que podemos observar que quanto maior a dose de radiação a corrente de consumo também aumenta em menor proporção, mas existe a tendência positiva.

O quarto e último dado é a tensão mínima de funcionamento, o que pela análise de covariância mostra que a dose de radiação não tem praticamente nenhuma influência, apesar de existir um pequeníssima tendência positiva de aumento. Talvez isso ocorreu, justamente pelo fato de que a tensão mínima de funcionamento realmente tem uma margem pequena de variação.

Figura 67 – Relação (covariância) entre as medidas utilizadas no teste e a dose total.



Fonte: Próprio autor.

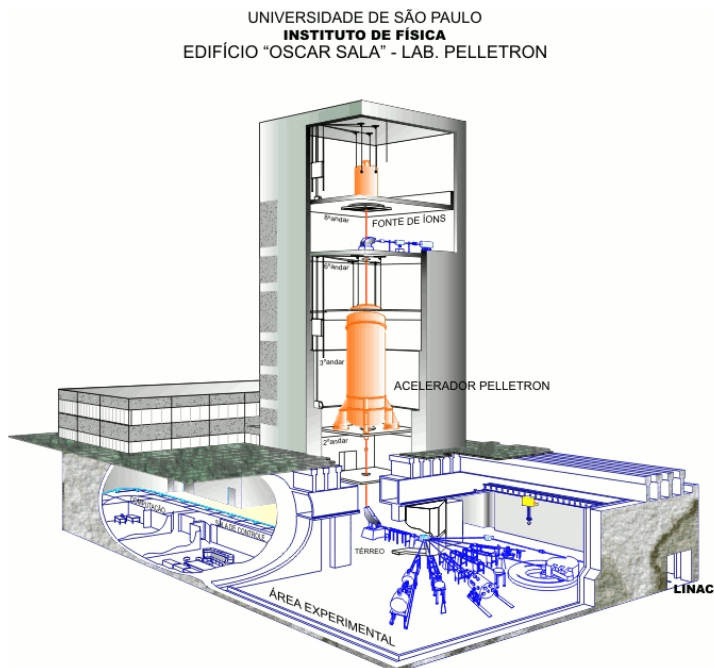
## 5.4 EXPERIMENTOS DE SEU COMBINADOS COM EMI CONDUZIDO E TID

Estes testes avaliam a susceptibilidade de FPGAs do tipo SRAM à SEU quando aplicado ruído conduzido na alimentação do core e dose total ionizante recebida (TID). **Cabe citar que estes testes são os primeiros do tipo realizados no Brasil** através do projeto de pesquisa financiado pela Fundação de Amparo a Pesquisa do Estado de São Paulo (FAPESP) e que tem o título "Desenvolvimento de Metodologia de Ensaios de Radiação em Componentes Eletrônicos" com número de processo 2012/03383-5.

O procedimento foi demonstrado para as medições de SEU em um FPGA Xilinx Spartan3E (XC3S500E-4PQ208 com tecnologia de fabricação de **90 nm**) que operam em um acelerador eletrostático do tipo *tandem* o Pelletron de 8MV do Laboratório Aberto de Física Nuclear (LAFN) do Instituto de Física da Universidade de São Paulo (USP) e que pode ser visto na Figura 68. O acelerador tandem é uma evolução dos aceleradores Van de Graaf. No tandem, o terminal de alta tensão (positiva) se localiza no centro do acelerador. Íons negativos produzidos externamente na fonte de íons, têm sua massa selecionada no ímã analisador ME20 (localizado no 8º andar da torre) e são injetados no acelerador e atraídos pela tensão positiva do terminal (Medina et al., 2013) (Medina et al., 2014) (Aguiar et al., 2014).

Ao chegar no terminal de alta tensão, estes íons adquiriram uma energia  $E=eV$ , onde  $e$  é a carga do íon e  $V$  a tensão no terminal. No centro do terminal, o feixe atravessa uma fina folha de carbono, que faz com que vários elétrons do íon sejam arrancados, transformando-o agora num íon positivo. O íon positivo (com carga  $Ne$ ) sofre então uma força repulsiva devido ao potencial positivo do terminal, sendo novamente acelerado em direção à extremidade inferior do acelerador. A energia ganha nesta etapa é  $E = NeV$ . Portanto a energia total ganha pelo íon é  $(N+1)eV$ . Note que no acelerador tipo Van de Graaf, a energia total ganha pelo feixe, para o mesmo potencial no terminal, é  $E=eV$  (Medina et al., 2013) (Medina et al., 2014) (Aguiar et al., 2014).

Figura 68 – Acelerador Pelletron do LAFN-USP construído pela NEC (National Electrostatic Corporation) no Edifício Oscar Sala.



Fonte: <http://portal.if.usp.br/fnc/pt-br/acelerador-pelletron>

Enquanto TID foi depositada por meio de um Shimadzu XRD-7000 que é difractômetro de raios X.

Os raios X são emissões eletromagnéticas de natureza semelhante à luz visível. Seu comprimento de onda vai de 0,05 *ångström* (5 pico metros) até dezenas de *ångström* (1 nano metro). A energia dos fótons é da ordem do keV (kilo elétron-volt), entre alguns keV e algumas centenas de keV. A geração desta energia eletromagnética se deve à transição de elétrons nos átomos, ou da desaceleração de partículas carregadas. Como toda energia eletromagnética de natureza ondulatória, os raios X sofrem interferência, polarização, refração, difração, reflexão, entre outros efeitos. Embora de comprimento de onda muito menor, sua natureza eletromagnética é idêntica à da luz (Okuno and Yoshimura,

2010) (Chung, 2001) (Peruzzo, 2008).

O dispositivo que gera raios X é chamado de tubo de Coolidge. Este componente é um tubo oco e evacuado, ainda possui um cátodo incandescente que gera um fluxo de elétrons de alta energia. Estes são acelerados por uma grande diferença de potencial e atingem o ânodo ou placa. O ânodo é confeccionado em tungstênio. A razão deste tipo de construção é a geração de calor pelo processo de criação dos raios X. O tungstênio suporta temperaturas que vão até 3340 °C. Além disso, possui um razoável valor de número atômico (74) o que é útil para o fornecimento de átomos para colisão com os elétrons vindos do cátodo (filamento). Ao serem acelerados, os elétrons ganham energia e são direcionados contra um alvo; ao atingi-lo, são bruscamente freados, perdendo uma parte da energia adquirida durante a aceleração. O resultado das colisões e da frenagem é a energia transferida dos elétrons para os átomos do elemento alvo. Este se aquece bruscamente, pois em torno de 99% da energia do feixe eletrônico é dissipada nele. A brusca desaceleração de uma carga eletrônica gera a emissão de um pulso de radiação eletromagnética. As formas de colisão do feixe eletrônico no alvo dão-se em diferentes níveis energéticos devido às variações das colisões ocorridas. Como existem várias formas possíveis de colisão devido à angulação de trajetória, o elétron não chega a perder a totalidade da energia adquirida num único choque, ocorrendo então a geração de um amplo espectro de radiação cuja gama de frequências é bastante larga, ou com diversos comprimentos de onda. Estes dependem da energia inicial do feixe eletrônico incidente, e é por isso que existe a necessidade de milhares de volts de potencial de aceleração para a produção dos raios X (Okuno and Yoshimura, 2010) (Chung, 2001) (Peruzzo, 2008).

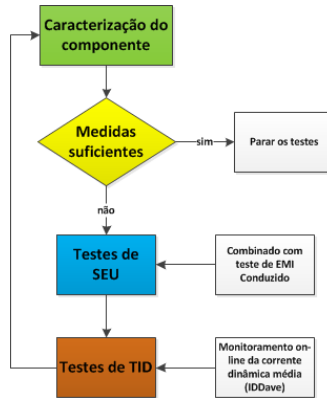
O ruído injetado na fonte de alimentação do core composta por quedas de tensão de **16,67%** e **25%** de VDD em duas frequências diferentes **10Hz** e **5kHz**, e foi realizada de acordo com metodologia descrita na seção 4.3.

O experimento envolveu dois FPGAs XC3S500E-4PQ208 de dois lotes de fabricação diferentes e que utilizaram a plataforma de testes (versão 2) de radiação para a família Spartan3E. Inicialmente,

foi realizado um teste funcional para verificar as condições de operação nominal de componentes que não receberam radiação, ou seja, sua caracterização da tensão mínima de operação (VDDmin) e a média da corrente de consumo dinâmica (IDDave). Os testes seguiram o fluxograma que é mostrado na Figura 69.

Para o teste funcional e teste de TID, os DUTs foram configurados com o microprocessador softcore LEON3 (Gaisler and Catovic, 2006) executando uma aplicação de *bubble sort* (ordenação de vetores). O LEON3 é um modelo *softcore* descrito em VHDL sintetizável de um microprocessador de 32 *bits* com um pipeline de sete estágios, compatível com a arquitetura SPARC V8. O modelo é altamente configurável, e particularmente adequado para projetos *system-on-a-chip* (SoC).

Figura 69 – Fluxograma de teste utilizado para os testes nos FPGAs Spartan3E.

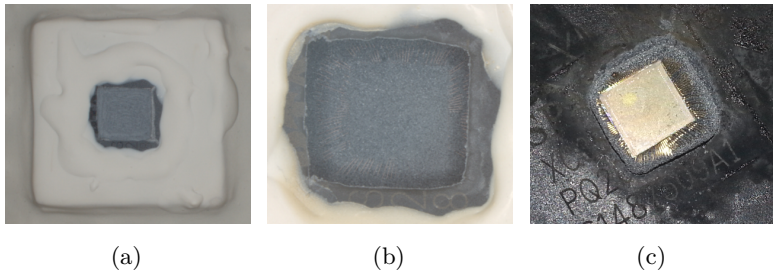


Fonte: Próprio autor.

Para a realização dos testes de SEU, os FPGAs tem de ser decapados com ácido para remover a camada de cerâmica e expor o circuito integrado, conforme ilustrado na Figura 70c. Este procedimento é necessário, pois o acelerador utilizado não produz energia suficiente para atravessar o encapsulamento e os íons não conseguem chegar a pastilha do circuito integrado. Para efetuar a decapagem o FPGA é

coberto com uma camada de resina epóxi deixando exposto somente a área em que o material será retirado, como ilustrado na Figura 70a. Após a aplicação do epóxi no restante do encapsulamento, é aplicada uma fina camada de óxido de silício ( $> 500$  nm) para proteger o die e então é aplicado ácido nítrico fumegante para corroer apenas a área desejada e que pode ser observado na Figura 70b. Estas decapagens foram feitas no Centro de Tecnologia da Informação Renato Archer (CTI) em Campinas-SP.

Figura 70 – Processo de decapagem dos FPGAs utilizados no teste.



Fonte: Próprio autor.

Na sequência, o teste TID foi iniciado para expor um dos FPGAs à uma energia de **10 keV** do feixe de raios X no Shimadzu XRD-7000 (difratômetro de raios X) que é ilustrado na Figura 71 juntamente com o detalhe da plataforma na Figura 72.

Figura 71 – Difratômetro de raio X Shimadzu XRD-7000 utilizado nos testes.



Fonte: Próprio autor.

Figura 72 – Detalhe da plataforma de testes sob o feixe de raios X.



Fonte: Próprio autor.

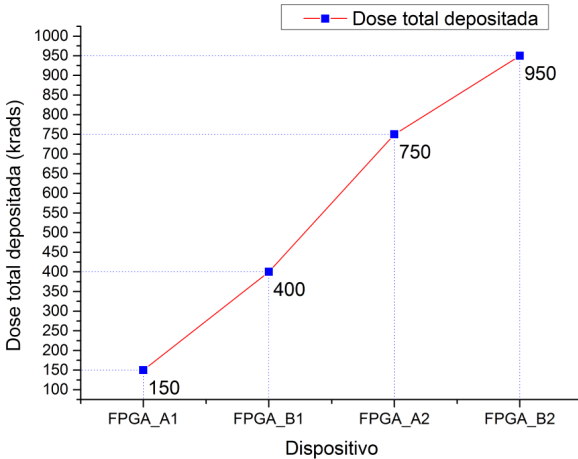


Durante o processo foi usado uma taxa de dose de **100 rad/s**. O período de irradiação foi controlado de modo que a dose total absorvida pelos dispositivos fossem de **400 krad** e **950 krad**. As amostras foram mantidas à 10 cm da fonte do feixe de raios X para assegurar a homogeneidade da área à ser irradiada.

A taxa de dose foi estimada pela medição da exposição em uma câmara de ionização e a taxa de dose de raios X em silício foi calibrada utilizando coeficientes de atenuação de massa de ar e de silício conforme descritos em (Hubbell and Seltzer, 1995) e (Silveira et al., 2012). A energia eficaz foi medida utilizando folhas de alumínio de diferentes espessuras e calculado a meia atenuação da camada do alumínio. Na verdade, para efeitos de TID, 10 keV de raios X é uma fonte muito conveniente de radiação, devido à sua taxa de rendimento superior em comparação com prótons, íons pesados e partículas alfa (Shaneyfelt et al., 2008).

O fluxo de ensaio exibido na Figura 69, foi repetido duas vezes para cada um dos FPGAs. Na primeira rodada, foi depositado **150 krad no FPGA\_A** (primeira dose chamada de FPGA\_A1) e **400 krad no FPGA\_B1** (primeira dose chamada de FPGA\_B1), enquanto que na segunda rodada foi depositado adicional de **600 krad no FPGA\_A** (segunda dose chamada de FPGA\_A2) e **550 krad no FPGA\_B** (segunda dose chamada de FPGA\_B2). No final da experiência, estes dispositivos receberam uma dose total de radiação ionizante de **750 krad (FPGA\_A = FPGA\_A1 + FPGA\_A2)** e **950 krad (FPGA\_B = FPGA\_B1 + FPGA\_B2)** como pode ser visualizado no gráfico da Figura 73. Para cada uma das doses nos dois FPGAs foram realizados **2000 (duas mil) medidas** para se levantar a taxa de falhas e a seção transversal do dispositivo.

Figura 73 – Dose total depositada no FPGA\_A e no FPGA\_B.



Fonte: Próprio autor.

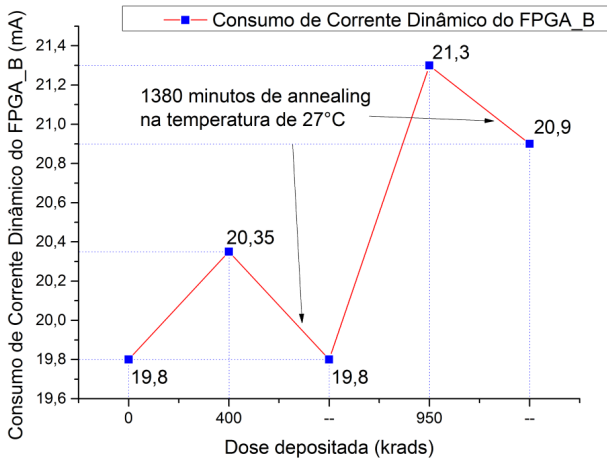
A Figura 74 mostra os valores de corrente medidos para o FPGA\_B, ao longo de todo o experimento. Como se observa, o FPGA\_B "fresh" (sem dose nenhuma de radiação) consumiu **19,80 mA**. Considerando que, após cerca de 80 minutos de irradiação (400 krad depositado), **IDDave** foi medido novamente e obtivemos **20,35 mA** de consumo. Após 1380 minutos de recozimento (*annealing*) à temperatura ambiente ( $27^{\circ}\text{C}$ ), medindo novamente o consumo de corrente dinâmico do FPGA\_B obtivemos um **IDDave = 19,80 mA**, como o dispositivo "fresh".

Após sete minutos do procedimento anterior, o dispositivo foi irradiado novamente durante 100 minutos (950 krad depositado), então foi medido o **IDDave** e obtivemos **21,30 mA**. Após 1380 minutos de recozimento, **IDDave** foi novamente medido e o valor obtido foi de **20,90 mA**. Em resumo, como se observa o pior caso da média da corrente dinâmica (**IDDave**) aumentou em **7,58%**, e após o processo de recozimento foi reduzido para **20,90 mA (5,56%)**.

Para a tensão mínima operacional (**VDDmin**), manteve-se o

valor medido no intervalo [1,026-1,034] volts. Considerando que a tensão de alimentação (VDD) nominal é de 1,20 volts, a tensão mínima operacional variou 14,50% no pior caso. O FPGA\_A apresentou resultados bastante semelhantes.

Figura 74 – Corrente dinâmica medida para o FPGA\_B.



Fonte: Próprio autor.

### Cálculo e Definição da Seção Transversal:

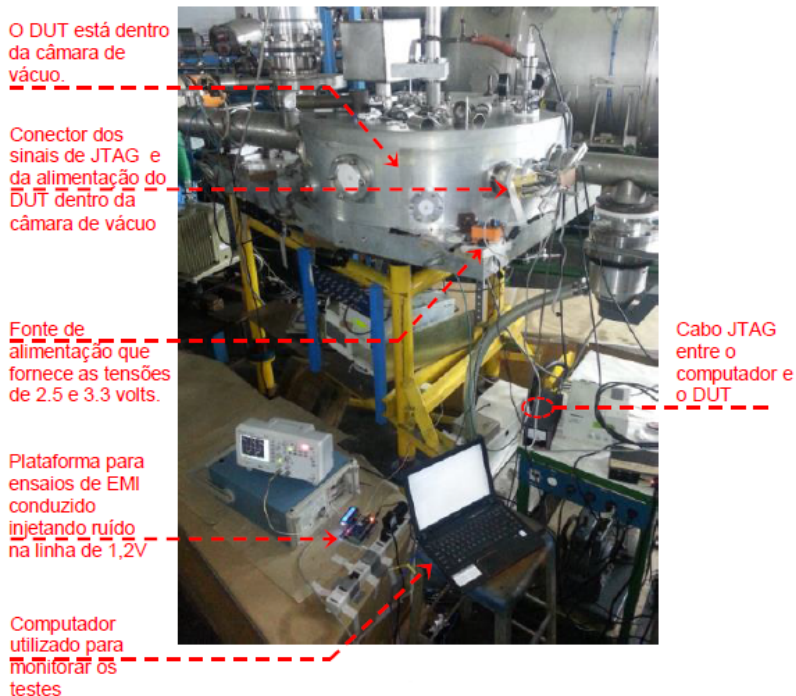
A seção transversal ou "*seção de choque*" do dispositivo é definida como a razão entre o número de eventos (*upsets*) e a fluência de partículas conforme a equação 5.7, ou seja, é a probabilidade de que uma partícula tenha energia suficiente para inverter um único bit (*bit-flip*), dado em  $cm^2/bit$  ou  $cm^2/dispositivo$  (Mori et al., 2015) (Gu et al., 2015) (Koga et al., 1988). Portanto, quanto maior é a seção transversal de um circuito integrado, mais sensível a SEUs ele será e é determinada experimentalmente em função da transferência linear de energia (LET) da partícula.

$$\sigma = \frac{N}{F \cdot \cos(\Theta)} \tag{5.7}$$

Onde  $N$  é o número de erros ocorridos e  $F$  é a fluência total de íons em  $\text{ions}/\text{cm}^2$  e aqui,  $\Theta$  é o ângulo de inclinação entre o feixe incidente e a normal ao plano da superfície do dispositivo. Para a irradiação inclinada, é também necessário corrigir a seção transversal pelo fator de  $\cos(\Theta)$ , devido a considerações geométricas da incidência da fluência do íon (Gu et al., 2015).

Então, o teste de SEU foi iniciado, a fim de medir a susceptibilidade à SEUs dos dois DUTs expondo-os a íons pesados de oxigênio com 16 elétrons ( $O^{16}$ ) dentro do acelerador Pelletron de 8MV e com uma fluência de partículas de  $10^5 \text{ partículas}/\text{cm}^2/\text{s}$  (Medina et al., 2014) conforme ilustrado na Figura 75.

Figura 75 – Configuração e disposição dos equipamentos de teste utilizados para os ensaios nos FPGAs Spartan3E.



Fonte: Próprio autor.

A Figura 76 mostra o detalhe da plataforma com o FPGA Spartan3E dentro da câmara de vácuo.

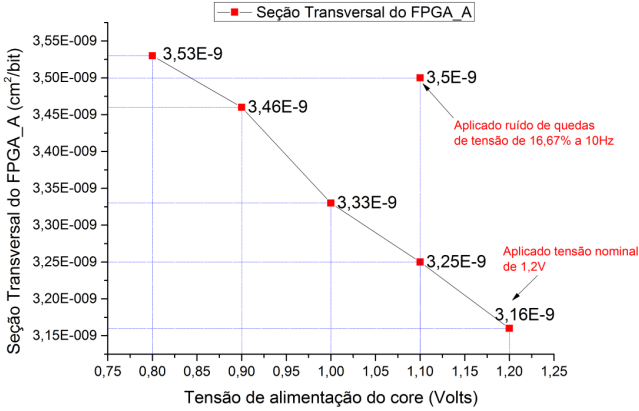
Figura 76 – Detalhe da plataforma dentro da câmara de vácuo do Pellettron.



Fonte: Próprio autor.

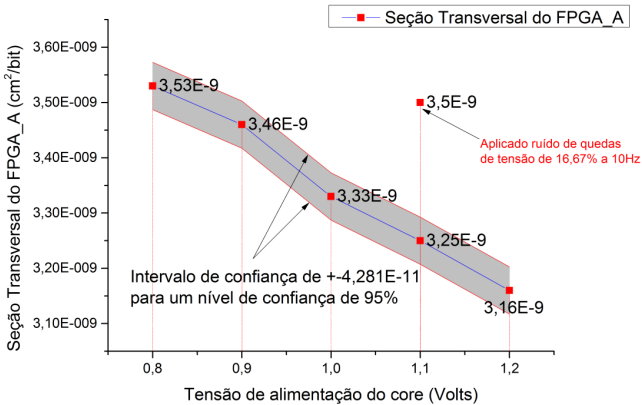
A Figura 77 apresenta a seção transversal de SEU do FPGA\_A como uma função da redução de tensão: a partir do valor nominal (1,2 volts) descendo para **800 mV**. E para uma amostra aplicando ruído nas linhas de alimentação de **16,67%** de queda de tensão em VDD, com uma frequência de **10 Hz**, ou seja, variando de **1,0V** à **1,2V**. Já a Figura 78 mostra o gráfico da seção transversal de SEU do FPGA\_A com um intervalo de confiança calculado segundo a equação 5.4 onde chegamos à uma margem de erro de  $\pm 4,28172E - 11$  com um nível de confiança de 95%.

Figura 77 – Seção transversal de SEU do FPGA\_A em função da redução de tensão.



Fonte: Próprio autor.

Figura 78 – Seção transversal de SEU do FPGA\_A em função da redução de tensão com intervalo de confiança para um nível de confiança de 95%.



Fonte: Próprio autor.

O processo de contagem de *bit-flips* foi feito através da realização de leitura de retorno contínuo da sequência de *bits* de configuração do FPGA (*readback*). Cabe ressaltar que, neste caso, o *bitstream* de configuração foi composto pelos *bits* de configuração mais os *bits* da *BlockRAM* usados para armazenar informações de usuário.

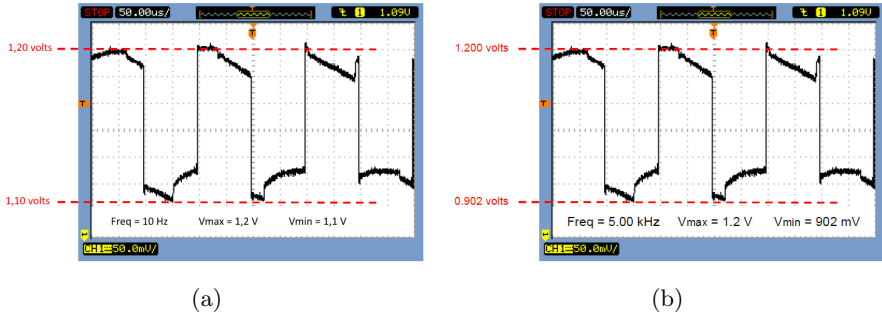
Como pode ser observado, quando VDD é reduzida de 1,2 para 0,8 volts (33,33%), a sensibilidade média à SEU do FPGA\_A (*bits* de configuração + *BlockRAM*) aumenta de  $3,16 \times 10^{-9} \text{cm}^2/\text{bit}$  para  $3,53 \times 10^{-9} \text{cm}^2/\text{bit}$ , isto é, **11,70%**.

É importante observar que o ruído nas linhas de alimentação parece ser mais prejudicial para a sensibilidade à SEU no FPGA\_A do que a simples redução do VDD: A seção transversal de SEU aumenta de  $3,16 \times 10^{-9} \text{cm}^2/\text{bit}$  para  $3,50 \times 10^{-9} \text{cm}^2/\text{bit}$  (ou seja, **10,76%**) quando um ruído de quedas de tensão de 16,67% são aplicados em VDD que pode ser observado na Figura 79a, o que é bastante perto da degradação de  $3,53 \times 10^{-9} \text{cm}^2/\text{bit}$  para VDD = 800 mV (redução de tensão de 33,33%).

Em outras palavras, a injeção de ruído de **16,67%** de quedas de tensão em VDD induz a mesma seção transversal de SEU que uma simples redução de **33,33%** no VDD.

O mesmo experimento foi feito no FPGA\_B que reproduziu resultados bastante semelhantes, só que neste caso foi injetado um ruído de quedas de tensão de **25%** com uma frequência de **5kHz** no VDD do core e que pode ser observado na Figura 79b.

Figura 79 – Captura da tela do osciloscópio que mostra a forma de onda injetada nos testes com (a) para o FPGA\_A e (b) para o FPGA\_B.



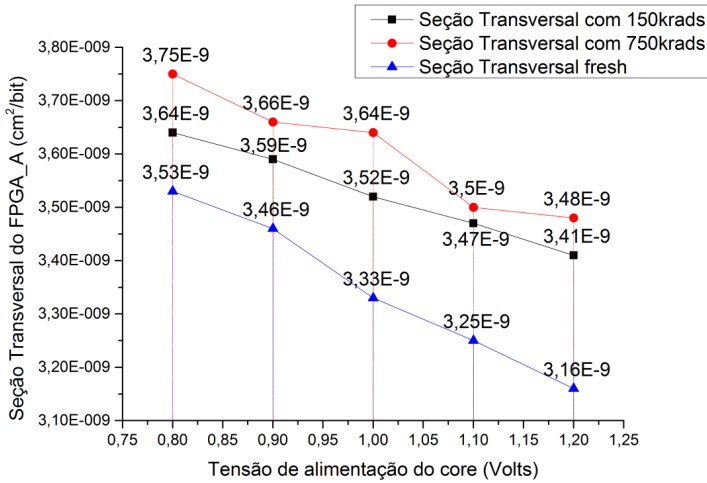
Fonte: Próprio autor.

O gráfico da Figura 80 fornece os resultados para o FPGA\_A em três instantes diferentes: "fresh", após a deposição de 150 krad e 750 krad. Como pode ser observado, quanto mais radiação é depositada, a seção transversal de SEU aumenta por um fator de 5,16% no que diz respeito à condição de "fresh" (média de cinco pontos de medição para a curva de 150 krad dividido pelas médias de cinco pontos de medição da curva "fresh") e 7,55% para a curva de 750 krad. Ao mesmo tempo, também se pode concluir que não importa se o componente não sofreu irradiação, a seção transversal de SEU aumenta drasticamente à medida que ocorre a redução de VDD de 1,2 para 0,8 volts. A seção transversal de SEU degrada em média **11,40%** para o dispositivo "fresh", **6,57%** para o dispositivo irradiado com 150 krad e **7,85%** para o dispositivo irradiado com 750 krad.

É importante notar que, tanto nos resultados ilustrados no gráfico da Figura 77 quanto da Figura 80, ambos exibem os resultados para o *bitstream*, que é composto pelos *bits* de configuração mais os *bits* da *BlockRAM* usados para armazenar informações de usuário.



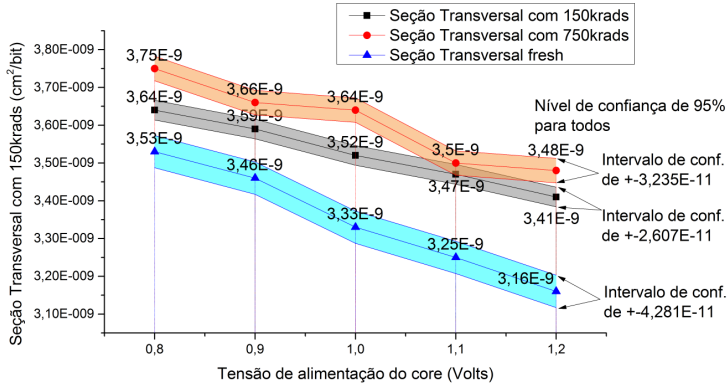
Figura 80 – Seção transversal de SEU do FPGA\_A em função da redução de tensão nas três doses de radiação.



Fonte: Próprio autor.

Calculou-se o intervalo de confiança (segundo a equação 5.4) para as três doses de radiação com um nível de confiança de 95% e que são ilustrados no gráfico da Figura 81. Chegamos aos seguintes valores de margem de erro: para o FPGA "fresh" a margem de erro foi  $4,28172E - 11$ , para o FPGA com 150 krad foi  $2,60755E - 11$  e para o FPGA com 750 krad foi  $3,23561E - 11$ .

Figura 81 – Seção transversal de SEU do FPGA\_A em função da redução de tensão nas três doses de radiação.



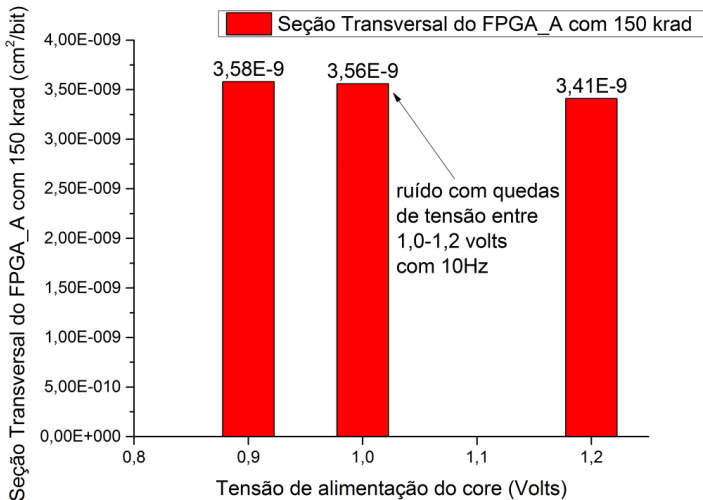
Fonte: Próprio autor.

Finalmente, a combinação de "**ruído conduzido nos pinos de alimentação mais TID**" que é mais prejudicial ao chip do que a combinação de "redução de VDD + TID", como pode ser observado que, para o componente "*fresh*", ruído de **16,67%** de quedas de tensão no VDD do core, ilustrado na Figura 79a, induz uma seção transversal de SEU semelhante a produzida nos testes com redução de VDD de **33,33%**. Fazendo-se a análise entre a dose de radiação com a redução da tensão de funcionamento e com a injeção de ruído conduzido na alimentação do core temos:

1. Como observado na Figura 82, ruído conduzido de 16,67% de quedas tensão em VDD no core induz um aumento da seção transversal de SEU em  $3,56 \times 10^{-9} \text{ cm}^2/\text{bit}$  para a curva de 150 krad, com relação a  $3,41 \times 10^{-9} \text{ cm}^2/\text{bit}$  que utilizou a alimentação nominal do core de 1,2V, o que é bastante semelhante à seção transversal de SEU  $3,58 \times 10^{-9} \text{ cm}^2/\text{bit}$  com VDD = 0,9V (25% de redução VDD).
2. Como observado na Figura 83, ruído conduzido de 16,67% de

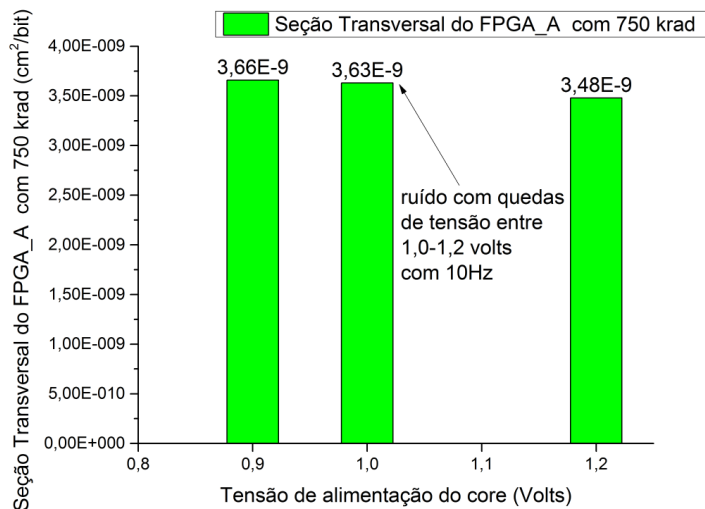
quedas tensão em VDD no core induz um aumento da seção transversal de SEU em  $3,63 \times 10^{-9} \text{cm}^2/\text{bit}$  para a curva de 750 krad, com relação a  $3,48 \times 10^{-9} \text{cm}^2/\text{bit}$  que utilizou a alimentação nominal do core de 1,2V, o que é bastante semelhante à seção transversal de SEU  $3,66 \times 10^{-9} \text{cm}^2/\text{bit}$  com VDD = 0,9V (25% de redução VDD).

Figura 82 – Comparação da seção transversal de SEU do FPGA\_A em função da redução de tensão e ruído de quedas de tensão com frequência de 10Hz com dose de radiação de 150 krad.



Fonte: Próprio autor.

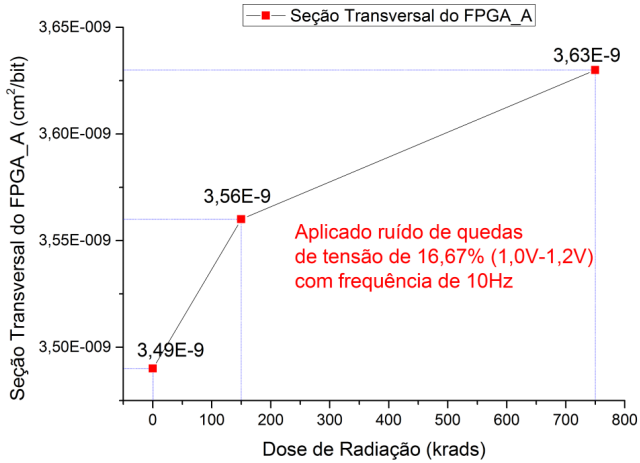
Figura 83 – SComparação da seção transversal de SEU do FPGA\_A em função da redução de tensão e ruído de quedas de tensão com frequência de 10Hz com dose de radiação de 750 krad.



Fonte: Próprio autor.

O comportamento da seção transversal de SEU do FPGA\_A quanto a injeção de ruído conduzido na alimentação do core e quanto a dose de radiação pode ser observado na Figura 84, onde fica evidente que quanto maior a dose de radiação, a mesma fonte de ruído aumenta a seção transversal de SEU do dispositivo.

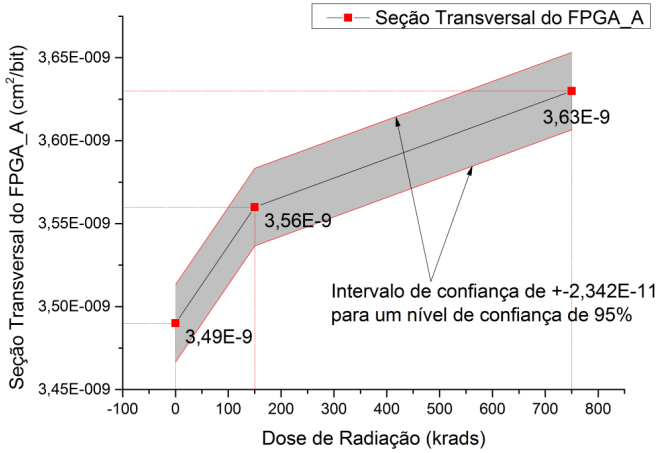
Figura 84 – Seção transversal de SEU do FPGA\_A em função da redução de tensão nas três doses de radiação.



Fonte: Próprio autor.

Calculando o intervalo de confiança para um nível de confiança de 95% temos a margem de erro de  $2,34288E - 11$  que pode ser observado no gráfico da Figura 85.

Figura 85 – Seção transversal de SEU do FPGA\_A em função da redução de tensão nas três doses de radiação com o intervalo de confiança.



Fonte: Próprio autor.

A Figura 86 apresenta seção transversal de SEU para os *bits* de configuração e os BlockRAM do FPGA\_B. Como foi o caso para os testes anteriores para sensibilidade de SEU, para o teste com o FPGA\_B o processo de contagem de bit-flips também foi conduzido através da realização de leitura de retorno contínuo da sequência de *bits* de configuração do FPGA (*readback* do *bitstream*). O *bitstream* é composto pelos *bits* de configuração mais os *bits* da *BlockRAM*.

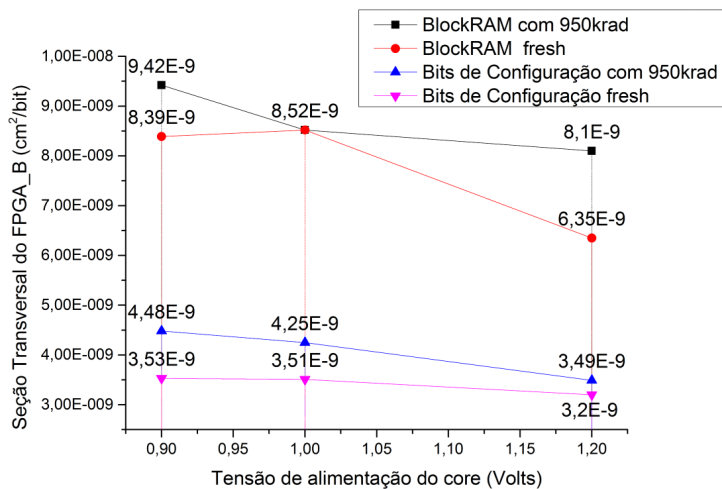
Como pode ser observado, para ambos os grupos de *bits* (configuração e *BlockRAM*) a sensibilidade à SEU aumenta a medida que ocorre a redução do VDD de 1,2V para 0,8V (33,33%), sendo **12,11%** *bits* de configuração e **37,66%** para os *bits* de *BlockRAM*. Por outro lado, os *bits* de configuração são muito mais robustos do que à redução de VDD do que as *BlockRAM* em quase 3 vezes. Este raciocínio é válido para o FPGA\_B "fresh", bem como depois de depositar 950 krad neste componente.

Finalmente, vamos analisar o impacto do ruído de quedas de tensão de **25%** com uma frequência de **5kHz** aplicado sobre a alimentação do core do FPGA\_B e que pode ser visualizado no gráfico da Figura 86.

1. Bits de configuração: ruído conduzido em VDD parece produzir uma degradação semelhante na seção transversal de SEU do que para a redução do VDD. Esta conclusão é válida para o FPGA\_B "fresh", bem como para o dispositivo com 950 krad.
2. *BlockRAM*: para o dispositivo "fresh" a seção transversal de SEU parece degradar mais rapidamente devido ao ruído conduzido aplicado do que apenas a redução de VDD. Para o dispositivo com 950 krad, quando aplicado o ruído conduzido em VDD, parece produzir degradação semelhante na seção transversal de SEU do que para a redução de VDD.

O ruído injetado na alimentação do core que é composto por quedas de tensão de **16,67%** e **25%** nas frequências de **10Hz** e **5kHz**, respectivamente, pode-se concluir que o ruído de 16,67% com 10Hz induz uma seção transversal de SEU semelhante a simples redução **33,33%** na alimentação. Assim, pelo menos para esta frequência e para este componente, o ruído nos pinos de alimentação parece ser mais prejudicial para a seção transversal de SEU do que apenas reduções no VDD. A seção transversal de SEU das BlockRams do FPGA é cerca de três vezes maior do que a dos *bits* de configuração, não importa se o FPGA não sofra dose de radiação, ou sofra irradiação com 950 krad, com tensão nominal de 1,2V ou reduzido para 0,9V e na presença de ruído (quedas de tensão de 25% de VDD e com 5 kHz de variação). Com estes dados apresentados, podemos concluir que os ruídos de baixa frequência induzem maior quantidade de falhas na seção transversal de SEU do que ruídos de alta frequência, assim como, quanto maior a dose de radiação sofrida, maior será a sensibilidade à SEU.

Figura 86 – Seção transversal de SEU do FPGA\_B em função da redução de tensão sem radiação e com 950 krad.

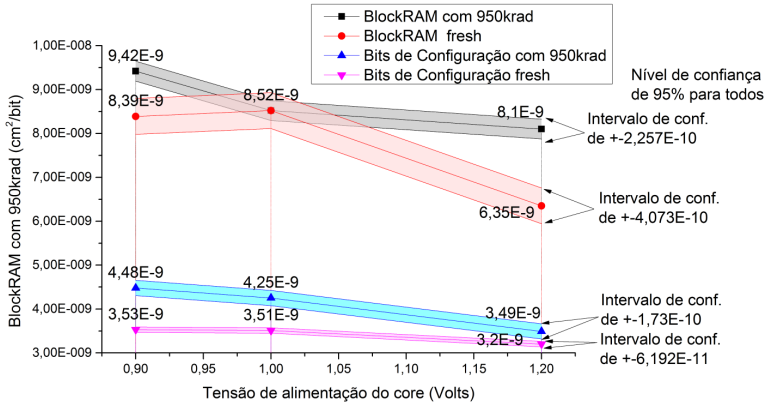


Fonte: Próprio autor.

O gráfico da Figura 87 ilustra a seção transversal do FPGA\_B com o intervalo de confiança para um nível de confiança de 95%.



Figura 87 – Seção transversal de SEU do FPGA\_B em função da redução de tensão com intervalo de confiança para um nível de confiança de 95%.



Fonte: Próprio autor.

### 5.4.1 Análise de Covariância dos Resultados

Para a análise da relação entre os resultados de SEU, calculou-se a covariância entre a dose total (TID) recebida e a média da seção transversal de SEU, entre a tensão de alimentação e a seção transversal, ambos para o FPGA\_A.

#### Covariância entre dose total (TID) e seção transversal média para o FPGA\_A:

A covariância calculada segundo a equação 5.6 foi igual a 45. Como os valores da seção transversal são muito pequenos, na ordem de  $\times 10^{-9}$ , multiplicou-se todos os valores por  $\times 10^9$  para termos números de ordem maior para facilitar a análise da covariância.

O resultado de covariância foi igual a 45 mostra que existe uma relação pequena entre os dois dados, mas demonstra que existe uma tendência de aumento em pequena proporção da seção transversal de SEU quando a dose total é maior, ou seja, crescem no mesmo sentido.

#### Covariância entre tensão de alimentação do core e se-

### ção transversal média para o FPGA\_A:

A covariância calculada segundo a equação 5.6 foi igual a  $-0,0475$ . Como os valores da seção transversal são muito pequenos, na ordem de  $\times 10^{-9}$ , multiplicou-se todos os valores por  $\times 10^9$  para termos números de ordem maior para facilitar a análise da covariância.

O resultado de covariância igual a  $-0,0475$  mostra que existe uma relação pequena entre os dois dado, mas demonstra que existe uma tendência de aumento em pequena proporção da seção transversal de SEU quando a tensão de alimentação diminui, os seja, crescem em sentidos opostos. Foram utilizados os dados da seção transversal para o FPGA\_A "fresh". Os resultado para a covariância para as outras doses foram muito parecidos e mostraram a mesma tendência,  $-0,0215$  para dose total de 150 krad e  $-0,035$  para dose total de 750 krad.

## 5.5 EXPERIMENTOS DE EMI CONDUZIDO

Como estudo de caso para os teses de EMI conduzido, o aluno de mestrado da PUCRS, Christofer de Oliveira (Oliveira, 2014), utilizou a plataforma de EMI conduzido para validação de sua dissertação de mestrado. Seu trabalho consiste no desenvolvimento de um I-IP (*Infrastructure-Intellectual Property*) que seja capaz de monitorar a atividade do sistema operacional de tempo real (RTOS) em uma arquitetura multicore. O objetivo principal é detectar falhas no processo de escalonamento de tarefas deste sistema operacional. O RTOS-Watchdog, nome dado ao I-IP proposto, foi descrito em VHDL e conectado ao barramento de endereços da CPU para monitoramento em tempo real da operação do RTOS, que em caso de falhas a detecção é feita. Neste trabalho foram utilizadas as três plataformas aqui propostas, pois foram realizados ensaios de radiação (TID), ensaios de EMI irradiado e conduzido e os resultados obtidos do trabalho do Christofer estão publicados em (Oliveira et al., 2013) e em sua dissertação de mestrado (Oliveira, 2014).

Outro estudo de caso utilizando a plataforma para testes de EMI conduzido, descritos na seção 3.1.4, foi publicado em (Seclen et al.,

2014). Este trabalho relata a susceptibilidade de FPGAs do tipo SRAM à erros lógicos (bit-flips) que geralmente aumentam com a tecnologia de escala devido à redução de tamanho dos transistores e a alimentação de tensão. Este trabalho tem como objetivo encontrar o real impacto de escala de tensão na vulnerabilidade dos FPGAs baseados em SRAM para estes erros induzidos por nêutrons em termos de seções transversais estáticas e dinâmicas. Os resultados experimentais sob exposição à radiação de nêutrons mostram que, para um FPGA do tipo SRAM com tecnologia de 45 nm, uma redução de **19%** na tensão de alimentação pode resultar em uma seção transversal **92%** mais elevada.

## 5.6 QUALIFICAÇÃO DE DISPOSITIVOS RECONFIGURÁVEIS

A qualificação de dispositivos reconfiguráveis e de sistemas em chip, tem o objetivo de verificar suas características de desempenho e de funcionamento, bem como classificá-lo quanto aos seus limites de funcionamento quanto à diversos aspectos que foram analisados para os testes de EMI+TID e para SEU+TID+EMI conduzido.

### 5.6.1 Qualificação para os testes de EMI e TID

A qualificação de dispositivos reconfiguráveis e de sistemas em chip, tem o objetivo de verificar suas características de desempenho e de funcionamento, bem como classificá-lo quanto aos seus limites de funcionamento, levando em conta dose de radiação, tempo de atraso entre entrada e saída, consumo de corrente dinâmico, tensão mínima de funcionamento, campo de EMI radiado aplicado e porcentagem de falhas de EMI radiado na faixa de frequências de **150kHz** e **1GHz**.

A qualificação aqui apresentada é feita exclusivamente para o dispositivo do fabricante Xilinx da família VIRTEX 4 o XC4VFX12-10SF363 com tecnologia de fabricação de **90 nm**, utilizando o processador Plasma e executando uma aplicação de multiplicação de matrizes de tamanho 10x10 sem a utilização de memória externa, apenas a memória interna *blockram*.

A tabela 6 mostra a qualificação dos dispositivos reconfiguráveis (FPGAs) utilizados nos testes com tensão de alimentação dos FPGAs de **1,2V** e campo aplicado de **100 V/m**, e a tabela 7 mostra a qualificação dos FPGAs com tensão mínima de funcionamento do core e campo aplicado de **125 V/m**.

A legenda utilizada nas tabelas 6 e 7 segue a descrição abaixo:

- **A** - Dose de radiação sofrida em **krads**.
- **B** - Atraso entre entrada de saída em **ps**.
- **C** - Consumo de corrente dinâmico em **mA**.
- **D** - Tensão de funcionamento em **volts**.
- **E** - Campo de EMI radiado aplicado em **V/m**.
- **F** - Porcentagem de falhas de EMI radiado para a faixa de frequência de 150kHz à 1GHz, em **%**.

Tabela 6 – Qualificação dos FPGAs utilizados nos testes para tensão nominal de alimentação do core e campo aplicado de 100V/m.

<b>DISPOSITIVO</b>	<b>A</b>	<b>B</b>	<b>C</b>	<b>D</b>	<b>E</b>	<b>F</b>
<b>FPGA0</b>	0	362	73,4	1,2	100	0
<b>FPGA1</b>	5,6	500	74,4	1,2	100	0
<b>FPGA2</b>	51,9	680	78,8	1,2	100	0
<b>FPGA3</b>	111	730	86,7	1,2	100	0
<b>FPGA4</b>	216	840	87,2	1,2	100	0

Fonte: Próprio autor.

Com mostrado nos dados da tabela 6, observamos que todos os FPGAs não falharam quando submetidos à EMI com campo aplicado de **100 V/m** na faixa de frequência de **150kHz** à **1GHz**, alimentados com sua tensão nominal do core e com a dose de radiação aplicada para cada dispositivo.

Tabela 7 – Qualificação dos FPGAs utilizados nos testes para tensão de alimentação do core mínima para funcionamento e campo aplicado de 125V/m

DISPOSITIVO	A	B	C	D	E	F
FPGA0	0	362	73,4	1,06	125	8,26
FPGA1	5,6	500	74,4	1,06	125	22,04
FPGA2	51,9	680	78,8	1,08	125	25,62
FPGA3	111	730	86,7	1,07	125	16,53
FPGA4	216	840	87,2	1,06	125	27,55

Fonte: Próprio autor.

Como mostrado nos dados da tabela 7, observamos que todos os FPGAs obtiveram falhas quando submetidos a EMI com campo aplicado de **125 V/m** na faixa de frequência de **150kHz** à **1GHz**, alimentados com a tensão mínima de funcionamento do core e com a dose de radiação aplicada para cada dispositivo.

Na tabela 8 é exibido a quantidade de falhas de *hardware* (H) e lógica (L) por faixa de frequência para cada dispositivo quando submetidos a EMI com campo aplicado de **125 V/m** na faixa de frequência de **150kHz** à **1GHz**, alimentados com a tensão mínima de funcionamento do core e com a dose de radiação aplicada para cada dispositivo. Foram realizados dez testes por faixa de frequência por dispositivo.

Tabela 8 – Qualificação dos FPGAs para as faixas de frequência utilizadas para o campo de 125V/m e tensão mínima de funcionamento.

DISPOSITIVO \ FAIXA DE FREQ.	FPGA0		FPGA1		FPGA2		FPGA3		FPGA4	
	H	L	H	L	H	L	H	L	H	L
87-93MHz	2	8	2	8	3	7	2	8	3	7
122-130MHz	0	0	0	10	1	9	0	0	0	10
193-200MHz	0	0	0	0	0	0	0	0	0	0
210-280MHz	0	0	0	0	0	0	0	0	0	0
290-300MHz	0	0	0	0	3	0	0	0	0	10
328-331MHz	0	0	0	0	1	9	0	0	0	10
340-381MHz	0	0	0	10	1	9	0	0	0	10
450-500MHz	2	8	0	10	0	10	1	9	1	9
510-535MHz	0	0	0	10	0	10	3	7	1	9
540-650MHz	0	0	2	8	1	9	3	7	0	10
651-750MHz	0	0	2	8	1	9	0	10	2	8
800-870MHz	0	10	0	10	0	10	0	10	0	10
<b>TOTAL DE FALHAS</b>	<b>4</b>	<b>26</b>	<b>6</b>	<b>74</b>	<b>11</b>	<b>82</b>	<b>9</b>	<b>51</b>	<b>7</b>	<b>93</b>

Fonte: Próprio autor.

### 5.6.2 Qualificação para os testes de SEU, TID e EMI Conduzido

Para a qualificação destes dispositivos reconfiguráveis e do sistema em chip utilizado foi levando em conta dose de radiação, consumo de corrente dinâmico, tensão de funcionamento, injeção de EMI conduzido e seção transversal de SEU.

A qualificação aqui apresentada é feita exclusivamente para o dispositivo do fabricante Xilinx da família SPARTAN3E o XC3S500E-4PQ208, utilizando no processador LEON3 e executando a aplicação de *BUBBLE SORT* sem a utilização de memória externa, apenas a memória interna *blockram*.

A tabela 9 mostra a qualificação do FPGA\_A utilizados nos testes de SEU mostrando os resultados da seção transversal de SEU em função da tensão de alimentação do core e da dose de radiação.

Tabela 9 – Qualificação do FPGA\_A em função da tensão de funcionamento e da dose de radiação com a seção transversal de SEU.

DISPOSITIVO	DOSE (krad)	TENSÃO (volts)	SEÇÃO TRANSV. $cm^2/bit$
FPGA_A	0	0,8	3,53E-9
		0,9	3,46E-9
		1	3,33E-9
		1,1	3,25E-9
		1,2	3,16E-9
		1-1,2 variável 10Hz	3,491E-09
	150	0,8	3,64E-9
		0,9	3,59E-9
		1	3,52E-9
		1,1	3,47E-9
		1,2	3,41E-9
		1-1,2 variável 10Hz	3,56E-09
	750	0,8	3,75E-9
		0,9	3,66E-9
		1	3,64E-9
		1,1	3,5E-9
		1,2	3,48E-9
		1-1,2 variável 10Hz	3,63E-9

Fonte: Próprio autor.

A tabela 10 mostra a qualificação do FPGA\_B utilizados nos testes de SEU mostrando os resultados da seção transversal de SEU das *blockRAMS* e dos *bits* de configuração em função da tensão de alimentação do core e da dose de radiação.



Tabela 10 – Qualificação do FPGA\_B em função da tensão de funcionamento e da dose de radiação com a seção transversal de SEU.

DISPOSITIVO	DOSE (krad)	TENSÃO (volts)	SEÇÃO TRANSV. BLOCKRAM BITS <i>cm<sup>2</sup>/bit</i>	SEÇÃO TRANSV. CONFIG. BITS <i>cm<sup>2</sup>/bit</i>
FPGA_B	0	0,9	8,39E-9	3,53E-9
		1	8,52E-9	3,51E-9
		1,2	6,35E-9	3,2E-9
	950	0,9	9,42E-9	4,48E-9
		1	8,52E-9	4,25E-9
		1,2	8,1E-9	3,49E-9

Fonte: Próprio autor.



## 6 CONCLUSÃO

Uma importante contribuição do projeto aqui proposto é o desenvolvimento de conhecimento e tecnologia nacional para a qualificação de componentes para uso em sistemas críticos assim como formação de mão de obra qualificada para este fim, pois em todos os laboratórios onde foram realizados os testes, todas as pessoas envolvidas se qualificaram.

Os resultados dessa pesquisa representam um grande impacto não só no Brasil, mas também a nível mundial, uma vez que passamos a dominar uma área de altíssimo valor agregado e que nosso país ainda está no início deste tipo de conhecimento. O que se comprovou através do projeto CITAR do INPE, que utilizarão as plataformas e metodologias aqui apresentados para realizarem a qualificação dos FPGAs que serão utilizados no projeto do próximo satélite brasileiro.

Outra contribuição bastante relevante é a qualificação de FPGAs do tipo SRAM mediante os efeitos combinados da radiação e EMI. O objetivo deste estudo foi levantar os níveis de operação destes FPGAs sob teste, que em um futuro próximo poderão ser utilizados, como por exemplo, nos módulos de telecomando e telemetria de satélites em vez de FPGAs do tipo anti-fuse, o que facilitaria muito a atualização de sistemas críticos mesmo que em operação.

Essa pesquisa se justifica devido a importância da investigação dos efeitos de EMI em dispositivos reconfiguráveis expostos a radiação em equipamentos que operam em ambientes críticos.

Com a plataforma e metodologia apresentadas neste trabalho foi possível comprovar que quanto maior a dose de radiação recebida, mais susceptível o dispositivo fica quando exposto à EMI, aumentando em pelo menos 30% a quantidade de falhas, em até 230% o tempo de atraso entre entrada e saída e em até 19% o consumo de corrente dinâmico do dispositivo.

O ruído injetado na alimentação do core que é composto por quedas de tensão de 16,67% e 25% nas frequências de 10Hz e 5kHz, respectivamente, pode-se concluir que o ruído de 16,67% com 10Hz

induz seção transversal de SEU semelhante a simples redução 33,33% na alimentação. Assim, pelo menos para esta frequência e para este componente, o ruído nos pinos de alimentação parece ser mais prejudicial para a seção transversal de SEU do que apenas reduções no VDD. A seção transversal de SEU na memória interna blockram do FPGA é cerca de três vezes maior do que a dos bits de configuração, não importa se o FPGA não sofreu exposição à radiação, ou serem irradiados com 950 krad, com tensão nominal 1,2V ou reduzido para 0,9V e na presença de ruído (quedas de tensão de 25% de VDD, 5 kHz). Com estes dados apresentados, podemos concluir que os ruídos de baixa frequência induzem maior degradação na seção transversal de SEU do que ruídos de alta frequência, assim como quanto maior a dose de radiação sofrida, maior será a sensibilidade à SEU.

Existem poucos grupos de pesquisa atuando nessa área, realizando testes e projetando plataformas no nível dos realizados neste trabalho, e com os números e testes apresentados para a qualificação de dispositivos reconfiguráveis. A plataforma exerceu perfeitamente o seu objetivo para que foi projetada nos levando ao êxito todas as medidas e testes realizados em todos os ensaios de campo.

Pretende-se também depositar patentes referentes as descobertas realizadas ao longo da pesquisa, assim como publicar mais artigos científicos descrevendo os resultados obtidos.

A utilização integrada da metodologia e da plataforma foi validada para a qualificação de FPGAs e os sistemas em chip utilizados no que diz respeito à dose de radiação, tempo de atraso entre entrada e saída, tensão mínima de funcionamento, consumo de corrente dinâmico, nível de campo eletromagnético máximo suportado antes da falha e faixa de frequências em que os dispositivos apresentaram falhas com outros valores de campo. Foi também analisado a sensibilidade à SEU tendo seus efeitos combinados com TID e EMI demonstrando a robustez da plataforma, já os componentes que não estão sob teste, não devem sofrer interferência e muito menos interferir nos testes em andamento.

A plataforma de injeção de ruído conduzido cumpriu seus objetivos e especificações, conseguindo aplicar com sucesso as variações

de tensão na alimentação dos FPGAs, tanto uma tensão estática quanto variável.

Este trabalho concluiu seus objetivos com sucesso demonstrando a extrema importância tanto científica quanto industrial deste tema, além de que se trata de um projeto 100% nacional com um alto grau de ineditismo.



## REFERÊNCIAS

aaaa, aaaa.

Aguiar et al., 2014 Aguiar, V., Added, N., Medina, N., Macchione, E., Tabacniks, M., Aguirre, F., Silveira, M., Santos, R., and Seixas, L. (2014). Experimental setup for single event effects at the são paulo 8ud pelletron accelerator. *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, 332:397–400. [177](#)

Alam and Mahapatra, 2005 Alam, M. A. and Mahapatra, S. (2005). A comprehensive model of pmos nbtj degradation. *Microelectronics Reliability*, 45(1):71–81. [60](#)

Alderighi et al., 2013 Alderighi, M., Casini, F., D’Angelo, S., Gravina, A., Liberali, V., Mancini, M., Musazzi, P., Pastore, S., Sassi, M., and Sorrenti, G. (2013). A preliminary study about seu effects on programmable interconnections of sram-based fpgas. *Journal of electronic testing*, 29(3):341–350. [76](#)

Alderighi et al., 2007 Alderighi, M., Casini, F., d’Angelo, S., Mancini, M., Pastore, S., and Sechi, G. R. (2007). Evaluation of single event upset mitigation schemes for sram based fpgas using the flipper fault injection platform. In *Defect and Fault-Tolerance in VLSI Systems, 2007. DFT’07. 22nd IEEE International Symposium on*, pages 105–113. IEEE. [73](#), [76](#)

Alina Elena and Roxana, 2013 Alina Elena, D. and Roxana, R. (2013). Methods of reducing capacitive coupling on the surface of a pcb. In *Electronics, Computers and Artificial Intelligence (ECAI), 2013 International Conference on*, pages 1–4. IEEE. [62](#), [63](#)

Alme et al., 2013 Alme, J., Fehlker, D., Lippmann, C., Mager, M., Rehman, A., Røed, K., Röhrich, D., and Ullaland, K. (2013). Radiation tolerance studies using fault injection on the readout control fpga design of the alice tpc detector. *Journal of Instrumentation*, 8(01):C01053. [77](#)

Angelucci et al., 2014 Angelucci, B., Fantechi, R., Lamanna, G., Pedreschi, E., Piandani, R., Pinzino, J., Sozzi, M., Spinella, F., and Venditti, S. (2014). The fpga based trigger and data acquisition system for the cern na62 experiment. *Journal of Instrumentation*, 9(01):C01055. [72](#), [77](#)

Aurand et al., 2009 Aurand, T., Dawson, J. F., Robinson, M. P., and Marvin, A. (2009). Immunity of fpga chips by direct injection. In *The 7th International Workshop on Electromagnetic Compatibility of Integrated Circuits*. 72, 77

Benfica et al., 2011a Benfica, J., Bolzani Poehls, L., Vargas, F., Lipovetzky, J., Lutenberg, A., Garcia, S., Gatti, E., Hernandez, F., and Calazans, N. (2011a). Evaluating the use of a platform for combined tests of total ionizing dose radiation and electromagnetic immunity. In *12th European Conference on Radiation and Its Effects on Components and Systems (RADECS), 2011*, pages 473–478. IEEE. 16, 43, 149, 166

Benfica et al., 2012a Benfica, J., Bolzani Poehls, L., Vargas, F., Lipovetzky, J., Lutenberg, A., and Garcia, S. E. (2012a). Configurable platform for soc combined tests of tid radiation, aging and emi. In *Electromagnetic Compatibility (APEMC), 2012 Asia-Pacific Symposium on*, pages 393–396. IEEE. 43, 83, 149

Benfica et al., 2012b Benfica, J., Bolzani Poehls, L. M., Vargas, F., Lipovetzky, J., Lutenberg, A., Garcia, S. E., Gatti, E., and Hernandez, F. (2012b). Evaluating the effects of combined total ionizing dose radiation and electromagnetic interference. *Nuclear Science, IEEE Transactions on*, 59(4):1015–1019. 43, 83, 149

Benfica et al., 2011b Benfica, J., Poehls, L. B., Vargas, F., Lipovetzky, J., Lutenberg, A., García, S. E., Gatti, E., Hernandez, F., and Calazans, N. L. (2011b). Configurable platform for ic combined tests of total-ionizing dose radiation and electromagnetic immunity. In *Test Workshop (LATW), 2011 12th Latin American*, pages 1–6. IEEE. 15, 43, 83, 149, 155

Benfica et al., 2012c Benfica, J., Poehls, L. M. B., Vargas, F., Lipovetzky, J., Lutenberg, A., Gatti, E., and Hernandez, F. (2012c). A test platform for dependability analysis of socs exposed to emi and radiation. *Journal of Electronic Testing*, 28(6):803–816. 43, 149

Benfica, 2007 Benfica, J. D. (2007). Plataforma para desenvolvimento de soc (system-on-chip) robusto à interferência eletromagnética. Master's thesis, Pontificia Universidade Catolica do Rio Grande do Sul - PUCRS. 81

Benfica et al., 2015 Benfica, J. D., Green, B., Porcher, B., Poehls, L. B., Vargas, F., Medina, N. H., Added, N., Aguiar, V., Macchione, E. L. A., Aguirre, F., Silveira, M. A. G., and Bezerra, E. (2015). Analysis



- of sram-based fpga seu sensitivity to combined effects of conducted emi and tid. In *14th European Conference on Radiation and Its Effects on Components and Systems (RADECS), 2015*, pages 1–4. IEEE. [43](#), [149](#)
- Berbel et al., 2014 Berbel, N., Fernandez-Garcia, R., and Gil, I. (2014). Characterization and modeling of the conducted emission of integrated circuits up to 3 ghz. *Electromagnetic Compatibility, IEEE Transactions on*, 56(4):878–884. [60](#)
- Bolchini et al., 2011 Bolchini, C., Miele, A., and Sandionigi, C. (2011). A novel design methodology for implementing reliability-aware systems on sram-based fpgas. *Computers, IEEE Transactions on*, 60(12):1744–1758. [71](#), [76](#)
- Boudenot, 2007 Boudenot, J.-C. (2007). Radiation space environment. In *Radiation Effects on Embedded Systems*, pages 1–9. Springer. [46](#), [47](#), [49](#), [51](#), [52](#), [53](#)
- Boutar et al., 2015 Boutar, A., Reineix, A., Guiffaut, C., and Andrieu, G. (2015). An efficient analytical method for electromagnetic field to transmission line coupling into a rectangular enclosure excited by an internal source. *Electromagnetic Compatibility, IEEE Transactions on*, 57:565–573. [60](#)
- Bussab and Morettin, 2010 Bussab, W. d. O. and Morettin, P. A. (2010). *Estatística básica*. Saraiva. [149](#), [150](#), [151](#), [152](#)
- Ceschia et al., 1998 Ceschia, M., Paccagnella, A., Cester, A., Scarpa, A., and Ghidini, G. (1998). Radiation induced leakage current and stress induced leakage current in ultra-thin gate oxides. *Nuclear Science, IEEE Transactions on*, 45(6):2375–2382. [57](#)
- Ceschia et al., 2000 Ceschia, M., Paccagnella, A., Turrini, M., Candelori, A., Ghidini, G., and Wyss, J. (2000). Heavy ion irradiation of thin gate oxides. *Nuclear Science, IEEE Transactions on*, 47(6):2648–2655. [57](#)
- Chase et al., 2002 Chase, G. D., Rituper, S., and Nickoloff, E. L. (2002). *Ionizing radiation : boon or bane*. Clinical Ligand Assay Society. [153](#)
- Choi and Milor, 2006 Choi, M. and Milor, L. (2006). Impact on circuit performance of deterministic within-die variation in nanoscale semiconductor manufacturing. *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, 25(7):1350–1367. [123](#), [172](#)

- Chua et al., 2012 Chua, K.-L., Zarar Mohamed Jenu, M., Fong, C.-S., and Ying, S.-H. (2012). Characterizations of fpga chip electromagnetic emissions based on gtem cell measurements. In *Electromagnetic Compatibility (APEMC), 2012 Asia-Pacific Symposium on*, pages 978–982. IEEE. [71](#), [74](#), [77](#)
- Chung, 2001 Chung, K. (2001). *Introdução à física nuclear*. EdUERJ. [152](#), [153](#), [179](#)
- Commission, 2003 Commission, I. E. (2003). Iec 62132: Integrated circuits, measurement of electromagnetic immunity, 150 khz to 1 ghz. Technical report, International Electrotechnical Commission. [39](#), [69](#), [70](#), [81](#), [82](#), [100](#), [136](#), [137](#)
- Crouch, 1999 Crouch, A. L. (1999). *Design-for-test for Digital IC's and Embedded Core Systems*, volume 1. Prentice Hall PTR. [34](#)
- Crowther, 1953 Crowther, J. A. (1953). *Iones, electrones y radiaciones ionizantes*. Espasa-Calpe. [153](#)
- Davidoff et al., 1984 Davidoff, M. R., Ponsot, M., and Ségur, A. (1984). *The satellite experimenter's handbook*. American Radio Relay League. [49](#)
- Dhia et al., 2006 Dhia, S. B., Ramdani, M., and Sicard, E. (2006). *Electromagnetic Compatibility of Integrated Circuits: Techniques for low emission and susceptibility*. Springer. [60](#), [61](#), [62](#), [63](#), [64](#), [65](#), [66](#), [67](#), [68](#), [69](#)
- Ecoffet, 2007 Ecoffet, R. (2007). In-flight anomalies on electronic devices. In *Radiation Effects on Embedded Systems*, pages 31–68. Springer. [53](#)
- EMV, 2015 EMV, L. (2015). Ic in tem cell. <http://www.langer-emv.de/produkt/e/messung-nach-norm-bissiec/>. [67](#)
- Foucard et al., 2011 Foucard, G., Peronnard, P., and Velazco, R. (2011). Reliability limits of tmr implemented in a sram-based fpga: Heavy ion measures vs. fault injection predictions. *Journal of Electronic Testing*, 27(5):627–633. [74](#), [77](#)
- Foundation, 2013 Foundation, T. S. (2013). The space report 2013: The authoritative guide to global space activity. Technical report, The Space Foundation. [37](#)

- Gaisler and Catovic, 2006 Gaisler, J. and Catovic, E. (2006). Multi-core processor based on leon3-ft ip core (leon3-ft-mp). In *DASIA 2006-Data Systems in Aerospace*, volume 630, page 76. 180
- Girard, 2002 Girard, P. (2002). Survey of low-power testing of vlsi circuits. *Design & Test of Computers, IEEE*, 19(3):80–90. 34
- Glein et al., 2014 Glein, R., Schmidt, B., Rittner, F., Teich, J., and Ziener, D. (2014). A self-adaptive seu mitigation system for fpgas with an internal block ram radiation particle sensor. In *Field-Programmable Custom Computing Machines (FCCM), 2014 IEEE 22nd Annual International Symposium on*, pages 251–258. IEEE. 52
- Gosheblagh and Mohammadi, 2014a Gosheblagh, R. and Mohammadi, K. (2014a). Hybrid time and hardware redundancy to mitigate seu effects on sram-fpgas: Case study over the microlan protocol. *Microelectronics Journal*, 45(7):870–879. 45
- Gosheblagh and Mohammadi, 2014b Gosheblagh, R. and Mohammadi, K. (2014b). New approach to emulate seu faults on sram based fpgas. *Journal of Electronics (China)*, 31(1):68–77. 76
- Grinschgl et al., 2011 Grinschgl, J., Krieg, A., Steger, C., Weiss, R., Bock, H., and Haid, J. (2011). Modular fault injector for multiple fault dependability and security evaluations. In *Digital System Design (DSD), 2011 14th Euromicro Conference on*, pages 550–557. IEEE. 76
- Gu et al., 2015 Gu, S., Liu, J., Zhao, F., Zhang, Z., Bi, J., Geng, C., Hou, M., Liu, G., Liu, T., and Xi, K. (2015). Influence of edge effects on single event upset susceptibility of soi srams. *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, 342:286–291. 185, 186
- Guenzer et al., 1979 Guenzer, C., Wolicki, E., and Allas, R. (1979). Single event upset of dynamic rams by neutrons and protons. *Nuclear Science, IEEE Transactions on*, 26(6):5048–5052. 53
- Halligan and Beetner, 2014 Halligan, M. S. and Beetner, D. G. (2014). Maximum crosstalk estimation in weakly coupled transmission lines. *Electromagnetic Compatibility, IEEE Transactions on*, 56(3):736–744. 61
- Hori et al., 2012 Hori, Y., Katashita, T., Sasaki, A., and Satoh, A. (2012). Sasebo-giii: A hardware security evaluation board equipped with a 28-nm fpga. In *Consumer Electronics (GCCE), 2012 IEEE 1st Global Conference on*, pages 657–660. IEEE. 75, 76

- Hubbell and Seltzer, 1995 Hubbell, J. H. and Seltzer, S. M. (1995). Tables of x-ray mass attenuation coefficients and mass energy-absorption coefficients 1 keV to 20 MeV for elements  $Z = 1$  to 92 and 48 additional substances of dosimetric interest. Technical report, National Inst. of Standards and Technology-PL, Gaithersburg, MD (United States). Ionizing Radiation Div. 183
- Ibrahim et al., 2013 Ibrahim, M. M., Asami, K., and Cho, M. (2013). Evaluation of sram based fpga performance by simulating seu through fault injection. In *Recent Advances in Space Technologies (RAST), 2013 6th International Conference on*, pages 649–654. IEEE. 76
- Ireson and Coombs, 1988 Ireson, W. and Coombs, C. (1988). Handbook of reliability engineering and management. chapter 19. mathematical and statistical methods and models in reliability and life studies. 58
- Kamel et al., 2010 Kamel, D., Hocquet, C., Standaert, F.-X., Flandre, D., and Bol, D. (2010). Glitch-induced within-die variations of dynamic energy in voltage-scaled nano-cmos circuits. In *ESSCIRC, 2010 Proceedings of the*, pages 518–521. IEEE. 123, 172
- Kastensmidt et al., 2014 Kastensmidt, F. L., Tonfat, J., Both, T., Rech, P., Wirth, G., Reis, R., Bruguier, F., Benoit, P., Torres, L., and Frost, C. (2014). Aging and voltage scaling impacts under neutron-induced soft error rate in sram-based fpgas. In *Test Symposium (ETS), 2014 19th IEEE European*, pages 1–2. IEEE. 58
- Kathail et al., 2002 Kathail, V., Aditya, S., Schreiber, R., Ramakrishna Rau, B., Cronquist, D. C., and Sivaraman, M. (2002). Pico: automatically designing custom computers. *Computer*, 35(9):39–47. 35
- Keese, 2003 Keese, C. J. E. (2003). Satellite telemetry, tracking and control subsystems. *Massachusetts Institute of Technology*. 48
- Kefei et al., 2011 Kefei, X., Yueke, W., Mingdong, H., Wei, H., et al. (2011). Seu induced dynamic current variation of sram-based fpga: A case study. In *Radiation and Its Effects on Components and Systems (RADECS), 2011 12th European Conference on*, pages 815–821. IEEE. 73, 77
- Klutke et al., 2003 Klutke, G.-A., Kiessler, P. C., and Wortman, M. (2003). A critical look at the bathtub curve. *IEEE Transactions on Reliability*, 52(1):125–129. 58, 59

- Koga et al., 1988 Koga, R., Kolasinski, W., Osborn, J., Elder, J., and Chitty, R. (1988). Seu test techniques for 256 k static rams and comparisons of upsets by heavy ions and protons. *Nuclear Science, IEEE Transactions on*, 35(6):1638–1643. 185
- Kretzschmar et al., 2011 Kretzschmar, U., Astarloa, A., Lazaro, J., Jimenez, J., and Zuloaga, A. (2011). An automatic experimental set-up for robustness analysis of designs implemented on sram fpgas. In *System on Chip (SoC), 2011 International Symposium on*, pages 96–101. IEEE. 76
- Kumamoto and Henley, 1996 Kumamoto, H. and Henley, E. J. (1996). *Probabilistic risk assessment and management for engineers and scientists*. Institute of Electrical & Electronics Engineers (IEEE Press). 58
- Lanuzza et al., 2010a Lanuzza, M., Zicari, P., Frustaci, F., Perri, S., and Corsonello, P. (2010a). Exploiting self-reconfiguration capability to improve sram-based fpga robustness in space and avionics applications. *ACM Transactions on Reconfigurable Technology and Systems (TRETS)*, 4(1):8. 76
- Lanuzza et al., 2010b Lanuzza, M., Zicari, P., Frustaci, F., Perri, S., and Corsonello, P. (2010b). A self-hosting configuration management system to mitigate the impact of radiation-induced multi-bit upsets in sram-based fpgas. In *Industrial Electronics (ISIE), 2010 IEEE International Symposium on*, pages 1989–1994. IEEE. 77
- Legat et al., 2010 Legat, U., Biasizzo, A., and Novak, F. (2010). Automated seu fault emulation using partial fpga reconfiguration. In *Design and Diagnostics of Electronic Circuits and Systems (DDECS), 2010 IEEE 13th International Symposium on*, pages 24–27. IEEE. 76
- Legat et al., 2012 Legat, U., Biasizzo, A., and Novak, F. (2012). Seu recovery mechanism for sram-based fpgas. *Nuclear Science, IEEE Transactions on*, 59(5):2562–2571. 76
- Leroy and Rancoita, 2009 Leroy, C. and Rancoita, P.-G. (2009). *Principles of radiation interaction in matter and detection*, volume 2. World Scientific. 54, 153
- Li et al., 2015 Li, G., Hess, G., Hoeckele, R., Davidson, S., Jalbert, P., Khilkevich, V. V., Van Doren, T. P., Pommerenke, D., and Beetner, D. G. (2015). Measurement-based modeling and worst-case estimation of crosstalk inside an aircraft cable connector. *Electromagnetic Compatibility, IEEE Transactions on*, 57:827–835. 62

- Lihua et al., 2011 Lihua, W., Xiaowei, H., Yan, Z., Zhongli, L., Fang, Y., and Chen, S. L. (2011). Design and implementation of a programming circuit in radiation-hardened fpga. *Journal of Semiconductors*, 32(8):085012. [73](#), [76](#), [77](#)
- Lin et al., 2015 Lin, M.-S., Jhang, Y.-S., and Hsu, C.-I. G. (2015). Evaluation of radiated emissions from circuit boards by non-contact measurement techniques. In *Electromagnetic Compatibility (APEMC), 2015 Asia-Pacific Symposium on*, pages 460–462. IEEE. [65](#)
- Liu et al., 2011 Liu, S.-F., Sorrenti, G., Reviriego, P., Casini, F., Maestro, J. A., and Alderighi, M. (2011). Increasing reliability of fpga-based adaptive equalizers in the presence of single event upsets. *Nuclear Science, IEEE Transactions on*, 58(3):1072–1077. [73](#), [76](#)
- Lopes, 2005 Lopes, D. C. (2005). Estimaco da robustez de sistemas eletrnicos via injecco de falhas por interferncia eletromagntica. Master’s thesis, Pontificia Universidade Catolica do Rio Grande do Sul - PUCRS. [82](#)
- Mansour et al., 2013 Mansour, W., Marques-Costa, G., and Velazco, R. (2013). Tima labs, grenoble, france. In *Microelectronics (ICM), 2013 25th International Conference on*, pages 1–4. IEEE. [74](#), [76](#)
- Mansour and Velazco, 2013 Mansour, W. and Velazco, R. (2013). Seu fault-injection in vhdl-based processors: A case study. *Journal of Electronic Testing*, 29(1):87–94. [74](#), [76](#)
- Martin, 2006 Martin, B. (2006). *Nuclear and particle physics: An introduction*. John Wiley & Sons. [153](#)
- Matthews, 1981 Matthews, R. W. (1981). Effect of silver ions in dichromate dosimetry. *The International Journal of Applied Radiation and Isotopes*, 32(12):861–867. [127](#)
- McLaughlin et al., 1990 McLaughlin, W., Al-Sheikhly, M., Farahani, M., and Hussmann, M. (1990). A sensitive dichromate dosimeter for the dose range, 0.2–3 kgy. *International Journal of Radiation Applications and Instrumentation. Part C. Radiation Physics and Chemistry*, 35(4):716–723. [127](#)
- ME, 2014 ME, S. P. (2014). Literature review on emc in integrated circuits. *Middle-East Journal of Scientific Research*, 19(7):985–989. [61](#), [62](#), [63](#), [64](#), [65](#), [66](#)

- Medina et al., 2013 Medina, N., Silveira, M., Added, N., Aguiar, V., Aguirre, F., Giacomini, R., Macchione, E., de Melo, M., Oliveira, J., Santos, R., et al. (2013). Brazilian facilities to study radiation effects in electronic devices. In *Radiation and Its Effects on Components and Systems (RADECS), 2013 14th European Conference on*, pages 1–7. IEEE. 177
- Medina et al., 2014 Medina, N., Silveira, M., Added, N., Aguiar, V., Giacomini, R., Macchione, E., de Melo, M., Santos, R., and Seixas, L. (2014). First successful see measurements with heavy ions in brazil. In *Radiation Effects Data Workshop (REDW), 2014 IEEE*, pages 1–3. IEEE. 177, 186
- Meisenheimer et al., 1991 Meisenheimer, T., Fleetwood, D., Shaneyfelt, M., and Riewe, L. (1991).  $1/\langle e1 \rangle$  noise in n-and p-channel mos devices through irradiation and annealing. *Nuclear Science, IEEE Transactions on*, 38(6):1297–1303. 56
- Meyer, 2000 Meyer, P. L. (2000). *Probabilidade: aplicações à estatística*. LTC. 149, 150, 151, 152
- MIL-STD-883E, 1997 MIL-STD-883E (1997). Mil-std-883e - test method standard - microcircuits. Technical report, Department of Defense of United States of America. 124
- Mogollon et al., 2011 Mogollon, J., Guzman-Miranda, H., Napoles, J., Barrientos, J., and Aguirre, M. (2011). Ftunshades2: A novel platform for early evaluation of robustness against see. In *Radiation and Its Effects on Components and Systems (RADECS), 2011 12th European Conference on*, pages 169–174. IEEE. 74, 76
- Mohammadi et al., 2012 Mohammadi, A., Ebrahimi, M., Ejlali, A., and Miremadi, S. G. (2012). Scfit: A fpga-based fault injection technique for seu fault model. In *Design, Automation & Test in Europe Conference & Exhibition (DATE), 2012*, pages 586–589. IEEE. 76
- Mohr et al., 2012 Mohr, P. J., Taylor, B. N., and Newell, D. B. (2012). Codata recommended values of the fundamental physical constants: 2010a). *Journal of Physical and Chemical Reference Data*, 41(4):043109. 46
- Mon et al., 2009 Mon, J., Gonzalez, D., Gago, J., Balcells, J., Fernandez, R., and Gil, I. (2009). Contribution to conducted emi reduction in multiconverter topology. In *Industrial Electronics, 2009. IECON'09. 35th Annual Conference of IEEE*, pages 4086–4091. IEEE. 77

- Montenbruck and Gill, 2012 Montenbruck, O. and Gill, E. (2012). *Satellite orbits: models, methods and applications*. Springer Science & Business Media. 50, 51
- Mori et al., 2015 Mori, H., Uemura, T., Matsuyama, H., Abe, S.-i., and Watanabe, Y. (2015). Critical charge dependence of correlation of different neutron sources for soft error testing. In *Reliability Physics Symposium (IRPS), 2015 IEEE International*, pages 2C–3. IEEE. 185
- Nakamura et al., 2010 Nakamura, K., Group, P. D., et al. (2010). Review of particle physics. *Journal of Physics G: Nuclear and Particle Physics*, 37(7A):075021. 55, 153
- Nazar and Carro, 2012 Nazar, G. L. and Carro, L. (2012). Fast single-fpga fault injection platform. In *Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), 2012 IEEE International Symposium on*, pages 152–157. IEEE. 76
- Nazar et al., 2013 Nazar, G. L., Rech, P., Frost, C., and Carro, L. (2013). Radiation and fault injection testing of a fine-grained error detection technique for fpgas. *Nuclear Science, IEEE Transactions on*, 60(4):2742–2749. 77
- O’Gorman, 1994 O’Gorman, T. J. (1994). The effect of cosmic rays on the soft error rate of a dram at ground level. *Electron Devices, IEEE Transactions on*, 41(4):553–557. 45
- Okuno and Yoshimura, 2010 Okuno, E. and Yoshimura, E. M. (2010). *Física das radiações*. Oficina de Textos. 152, 153, 178, 179
- Oliveira, 2014 Oliveira, C. (2014). *Desenvolvimento de um I-IP para o Monitoramento da Atividade do Sistema Operacional em Processadores Multinúcleos*. PhD thesis, Pontifícia Universidade Católica do Rio Grande do Sul. 200
- Oliveira et al., 2013 Oliveira, C., BENFICA, J. D., POEHLS, L. B., VARGAS, F., LIPOVETZKY, J., LUTENBERG, A., GATTI, E., HERNANDEZ, F., and BOYER, A. (2013). Reliability analysis of an on-chip watchdog for embedded systems exposed to radiation and emi. In *9th International Workshop on electromagnetic Compatibility of Integrated Circuits (EMC Compo 2013)*, pages 1–6. IEEE. 43, 149, 200
- Park et al., 2014 Park, S., Kami, Y., and Nahm, Y. (2014). Coupling analysis of complex-layout traces using a circuit-concept approach. *Electromagnetic Compatibility, IEEE Transactions on*, 56(1):208–220. 61



- Peronnard et al., 2009 Peronnard, P., Velazco, R., and Hubert, G. (2009). Real-life seu experiments on 90 nm srams in atmospheric environment: Measures versus predictions done by means of platform. *Nuclear Science, IEEE Transactions on*, 56(6):3450–3455. 71, 72, 77
- Peruzzo, 2008 Peruzzo, J. (2008). *Fundamentos De Energia Nuclear*. Clube de Autores. 179
- Piccoli, 2006 Piccoli, L. B. (2006). Soluções híbridas de hardware/software para a detecção de erros em systems-on-chip (soc) de tempo real. Master’s thesis, Pontificia Universidade Catolica do Rio Grande do Sul - PUCRS. 82
- Pradhan, 1996 Pradhan, D. (1996). *Fault-Tolerant Computer System Design*. Fault-Tolerant Computer Systems. Prentice Hall. 34
- Reeves et al., 2013 Reeves, G., Spence, H. E., Henderson, M., Morley, S., Friedel, R., Funsten, H., Baker, D., Kanekal, S., Blake, J., Fennell, J., et al. (2013). Electron acceleration in the heart of the van allen radiation belts. *Science*, 341(6149):991–994. 46
- Scarpa et al., 1997 Scarpa, A., Paccagnella, A., Montera, F., Ghibauda, G., Pananakakis, G., Ghidini, G., and Fuochi, P. (1997). Ionizing radiation induced leakage current on ultra-thin gate oxides. *Nuclear Science, IEEE Transactions on*, 44(6):1818–1825. 56, 57
- Schrimpf, 2007 Schrimpf, R. (2007). Radiation effects in microelectronics. In *Radiation Effects on Embedded Systems*, pages 11–29. Springer. 54, 56
- Schroder and Babcock, 2003 Schroder, D. K. and Babcock, J. A. (2003). Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing. *Journal of Applied Physics*, 94(1):1–18. 60
- Schwank et al., 2008 Schwank, J. R., Shaneyfelt, M. R., Fleetwood, D. M., Felix, J. A., Dodd, P. E., Paillet, P., and Ferlet-Cavrois, V. (2008). Radiation effects in mos oxides. *Nuclear Science, IEEE Transactions on*, 55(4):1833–1853. 51, 52, 54, 55
- Seclen et al., 2014 Seclen, J. T., Azambuja, J. R., Nazar, G., Rech, P., Carro, L., Reis, R., Kastensmidt, F., Benfica, J., Vargas, F., Bezerra, E., and Frost, C. (2014). Measuring the impact of voltage scaling for soft errors in sram-based fpgas from a designer perspective. *19th Annual International Mixed-Signals, Sensors, and Systems*

- Test Workshop (IMS3TW 2014). Porto Alegre, 17-19 Sept. 2014. (<http://www.inf.ufrgs.br/ims3tw/>). 43, 149, 200
- Sexton et al., 1997 Sexton, F., Fleetwood, D., Shaneyfelt, M., Dodd, P., and Hash, G. (1997). Single event gate rupture in thin gate oxides. *Nuclear Science, IEEE Transactions on*, 44(6):2345–2352. 53
- Shaneyfelt et al., 2008 Shaneyfelt, M. R., Schwank, J. R., Dodd, P. E., and Felix, J. A. (2008). Total ionizing dose and single event effects hardness assurance qualification issues for microelectronics. *Nuclear Science, IEEE Transactions on*, 55(4):1926–1946. 183
- Shen et al., 2006 Shen, C., Li, M.-F., Foo, C., Yang, T., Huang, D., Yap, A., Samudra, G., and Yeo, Y.-C. (2006). Characterization and physical origin of fast vth transient in nbti of pmosfets with sion dielectric. In *Electron Devices Meeting, 2006. IEDM'06. International*, pages 1–4. IEEE. 60
- Shi et al., 2015 Shi, C., Fang, W., Chai, C., Huang, Y., En, Y., Yang, Y., Liu, Y., Chen, Y., and Liao, X. (2015). Using termination effect to characterize electric and magnetic field coupling between tem cell and microstrip line. *Electromagnetic Compatibility, IEEE Transactions on*. 65
- Shi and Zhou, 2014 Shi, L.-F. and Zhou, D.-L. (2014). Selectively embedded electromagnetic bandgap structure for suppression of simultaneous switching noise. *Electromagnetic Compatibility, IEEE Transactions on*, 56(6):1370–1376. 64
- Silveira et al., 2012 Silveira, M., Cirne, K., Santos, R., Gimenez, S., Medina, N., Added, N., Tabacniks, M., Barbosa, M., Seixas, L., Melo, W., et al. (2012). Performance of electronic devices submitted to x-rays and high energy proton beams. *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, 273:135–138. 183
- Simion and Burciu, 2013 Simion, E. and Burciu, P. (2013). A view to sasebo project. In *Electronics, Computers and Artificial Intelligence (ECAI), 2013 International Conference on*, pages 1–6. IEEE. 74, 76
- Siozios and Soudris, 2013 Siozios, K. and Soudris, D. (2013). A low-cost fault tolerant solution targeting commercial fpga devices. *Journal of Systems Architecture*, 59(10):1255–1265. 45, 53

- Stassinopoulos and Raymond, 1988 Stassinopoulos, E. and Raymond, J. P. (1988). The space radiation environment for electronics. *Proceedings of the IEEE*, 76(11):1423–1442. [45](#), [54](#)
- Sterpone et al., 2011 Sterpone, L., Margaglia, F., Köster, M., Hagemeyer, J., and Pormann, M. (2011). Analysis of seu effects in partially reconfigurable socs. In *Adaptive Hardware and Systems (AHS), 2011 NASA/ESA Conference on*, pages 129–136. IEEE. [76](#)
- Straka et al., 2011 Straka, M., Kastil, J., and Kotasek, Z. (2011). Seu simulation framework for xilinx fpga: first step towards testing fault tolerant systems. In *Digital System Design (DSD), 2011 14th Euromicro Conference on*, pages 223–230. IEEE. [76](#)
- Straka et al., 2013 Straka, M., Kastil, J., Kotasek, Z., and Miculka, L. (2013). Fault tolerant system design and seu injection based testing. *Microprocessors and Microsystems*, 37(2):155–173. [53](#), [76](#)
- Tan et al., 2014 Tan, F., Huang, R., An, X., Wu, W., Feng, H., Huang, L., Fan, J., Zhang, X., and Wang, Y. (2014). Total ionizing dose (tid) effect and single event effect (see) in quasi-soi nmosfets. *Semiconductor Science and Technology*, 29(1):015010. [55](#), [56](#)
- Tuan et al., 2011 Tuan, T., Lesea, A., Kingsley, C., and Trimberger, S. (2011). Analysis of within-die process variation in 65nm fpgas. In *Quality Electronic Design (ISQED), 2011 12th International Symposium on*, pages 1–5. IEEE. [123](#), [172](#)
- Turowski et al., 2004 Turowski, M., Raman, A., and Schrimpf, R. (2004). Nonuniform total-dose-induced charge distribution in shallow-trench isolation oxides. *Nuclear Science, IEEE Transactions on*, 51(6):3166–3171. [54](#)
- Vargas et al., 2008 Vargas, F., Benfica, J., Piccoli, L., Moraes, M., Gatti, E., Garcia, L., Lupi, D., and Hernandez, F. (2008). Soc prototyping environment for electromagnetic immunity measurements. In *Micro-Nanoelectronics, Technology and Applications, 2008. EAMTA 2008. Argentine School of*, pages 6–10. IEEE. [43](#)
- Velazco et al., 2010 Velazco, R., Foucard, G., and Peronnard, P. (2010). Combining results of accelerated radiation tests and fault injections to predict the error rate of an application implemented in sram-based fpgas. *IEEE Transactions on Nuclear Science*, 57(6):3500. [75](#), [76](#)

- Violante et al., 2007 Violante, M., Sterpone, L., Manuzzato, A., Gerardin, S., Rech, P., Bagatin, M., Paccagnella, A., Andreani, C., Gorini, G., Pietropaolo, A., et al. (2007). A new hardware/software platform and a new 1/e neutron source for soft error studies: Testing fpgas at the isis facility. *Nuclear Science, IEEE Transactions on*, 54(4):1184–1189. 72, 77
- Wang and Agrawal, 2008 Wang, F. and Agrawal, V. D. (2008). Single event upset: An embedded tutorial. In *VLSI Design, 2008. VLSID 2008. 21st International Conference on*, pages 429–434. IEEE. 52
- Węgrzyn and Sosnowski, 2014 Węgrzyn, M. and Sosnowski, J. (2014). Tracing fault effects in fpga systems. *International Journal of Electronics and Telecommunications*, 60(1):92–97. 45, 76
- Williams et al., 1963 Williams, T., Austin, M. H., and King, T. S. (1963). Van allen belt. *Popular Science*, page 75. 46, 51
- Wolf, 2012 Wolf, M. (2012). *Computers as components: principles of embedded computing system design*. Access Online via Elsevier. 35
- Wowk, 1991 Wowk, V. (1991). *Machinery vibration: measurement and analysis*. McGraw Hill Professional. 58
- Xi et al., 2014 Xi, Y., Hsieh, Y.-L., Hwang, Y.-H., Li, S., Ren, F., Pearnton, S. J., Patrick, E., Law, M. E., Yang, G., Kim, H.-Y., et al. (2014). Effect of 5 mev proton radiation on dc performance and reliability of circular-shaped algan/gan high electron mobility transistors. *Journal of Vacuum Science & Technology B*, 32(1):012201. 57
- Yoshimura, 2009 Yoshimura, E. M. (2009). Física das radiações: interação da radiação com a matéria. *revista brasileira de física médica*, 3(1):57–67. 55, 58
- Yu et al., 2013a Yu, Z., Mix, J., Sajuyigbe, S., Slattery, K. P., Fan, J., et al. (2013a). An improved dipole-moment model based on near-field scanning for characterizing near-field coupling and far-field radiation from an ic. *Electromagnetic Compatibility, IEEE Transactions on*, 55(1):97–108. 67, 68
- Yu et al., 2013b Yu, Z., Mix, J., Sajuyigbe, S., Slattery, K. P., Pommerenke, D., Fan, J., et al. (2013b). Heat-sink modeling and design with dipole moments representing ic excitation. *Electromagnetic Compatibility, IEEE Transactions on*, 55(1):168–174. 65

- Yuan et al., 2010 Yuan, S.-Y., Wu, C.-H., and Liao, S.-S. (2010). Fpga programmable pll impact on emc behavior. In *Electromagnetic Compatibility (APEMC), 2010 Asia-Pacific Symposium on*, pages 1072–1075. IEEE. [71](#), [74](#), [77](#)
- Zhang et al., 2014a Zhang, J., Li, X., Moseley, R., Pommerenke, D., and Beetner, D. G. (2014a). Predicting field coupling to an ic using measured coupling factors. *Electromagnetic Compatibility, IEEE Transactions on*, 56(6):1287–1294. [65](#)
- Zhang et al., 2014b Zhang, Y., Huang, H., Bi, D., Tang, M., and Zhang, Z. (2014b). Investigation of unique total ionizing dose effects in 0.2  $\mu\text{m}$  partially-depleted silicon-on-insulator technology. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 745:128–132. [51](#), [54](#), [55](#)
- Zhu et al., 2013 Zhu, M., Song, N., and Pan, X. (2013). Mitigation and experiment on neutron induced single-event upsets in sram-based fpgas. *Nuclear Science, IEEE Transactions on*. [73](#), [77](#)
- Zupac et al., 1993 Zupac, D., Galloway, K., Khosropour, P., Anderson, S., Schrimpf, R., and Calvel, P. (1993). Separation of effects of oxide-trapped charge and interface-trapped charge on mobility in irradiated power mosfets. *Nuclear Science, IEEE Transactions on*, 40(6):1307–1315. [58](#)