



Universitat
Autònoma
de Barcelona



Disseny de cel·les digitals paramètriques per a electrònica impresa

Memòria del Projecte Fi de Carrera
d'Enginyeria en Informàtica
realitzat per David Gomez Puig
i dirigit per Jordi Carrabina Bordoll

Bellaterra, 25 de Juny de 2014

El sotasignat, Dr. Jordi Carrabina Bordoll i el Dr. Ricard Sanahuja
Professor de l'Escola Tècnica Superior d'Enginyeria de la UAB,

CERTIFIQUEN:

Que el treball a què correspon aquesta memòria ha estat realitzat sota la seva
direcció per en David Gomez Puig

I per tal que consti firma la present.

Signat:

Bellaterra, 25 de Juny de 2014

Y manos a labor, que en la tardanza dicen que suele estar el peligro
El ingenioso hidalgo don Quijote de la Mancha, Miguel de Cervantes Saavedra

AGRAÏMENTS

Voldria agrair a Jordi Carrabina i Ricard Sanahuja el suport i les indicacions necessàries per a iniciar el projecte.

També vull donar les gràcies als meus pares pel suport i l'oportunitat d'haver realitzat aquests estudis.

Índex

Disseny de cel·les digitals paramètriques per a electrònica impresa.....	1
Capítol 1. Introducció	8
1.1. Motivació	9
1.2. Objectiu.....	10
1.3. Organització de la memòria	10
Capítol 2. Introducció a l'electrònica impresa	11
2.1. Conceptes tecnològics bàsics	12
2.1.1. Tecnologies d'impressió.....	12
a) Tècniques d'impressió per contacte.	13
b) Tècniques d'impressió sense contacte.	13
c) Mètodes de sala blanca	14
2.1.2. Tintes funcionals	14
2.2. Circuits digitals	15
2.2.1. El transistor orgànic	15
a) Funcionament.....	15
b) Estructura.....	16
2.2.2. Circuits lògics	17
Capítol 3. Biblioteca de cel·les: disseny i implementació	18
3.1. Definició de cel·la estàndard	19
3.1.1. Consideracions.....	19
3.1.2. Directrius sobre el disseny	19
3.2. Estils de disseny	20
3.2.1. Lògica <i>ratioed</i> pMOS	20
3.3. Implementació del layout.....	21
3.3.1. Regles de disseny	21
3.3.2. <i>Layout</i> del OFET.....	25
3.3.3. Estructura de les cel·les	26
3.3.4. Biblioteca de cel·les.....	27
3.3.5. Portes lògiques bàsiques	28
3.3.6. Portes lògiques compostes	28
Capítol 4. Generació automàtica de <i>layout</i>	29
4.1. Concepte de layout i cel·les paramètriques	29
4.1.1. Eines de generació automàtica de <i>layout</i>	30
4.1 Generació de layout paramètric amb AutoLISP.....	30
4.1.1 Entorn de creació de <i>layouts</i> paramètrics	30
4.1.2 Objectes paramètrics.....	32
4.1.3 Disseny d'una cel·la paramètrica	34
4.2 Implementació de cel·les paramètriques	34
4.2.1 Nand.....	34
4.2.2 Xor	38
5 Conclusions	42

5.1	Experiència personal i professional	43
5.2	Evolució futura	43
	Referències i Bibliografia	45
	Annex 1 Referència de les funcions de disseny	47
	a) Estructures de dades.....	47
	b) Relació de funcions	48
	c) Constants de les cel·les	52
	Annex 2 Exemple de cel·la paramètrica	54

Capítol 1. Introducció

L'ús de tecnologies d'impressió per a fabricar circuits integrats ha deixat de formar part de les previsions per a un futur llunyà per a esdevenir un fet. En els darrers anys un gran nombre de grups de recerca han invertit grans esforços per a crear els primer circuits funcionals.

La gran motivació d'aquesta recerca es troba en el fet que suposa un canvi de paradigma per a les noves possibles aplicacions de l'electrònica.

La major part dels dispositius electrònics actuals es basen en tecnologies desenvolupades en el darrer mig segle, a partir de la invenció del transistor i la seva integració en xips mitjançant el procés planar. Tot i la gran evolució experimentada en aquest temps pel que fa a la gran capacitat d'integració i les millores en les prestacions, encara no s'han pogut resoldre alguns inconvenients.

Per una banda, els costos de fabricació s'han mantingut molt elevats degut a la gran complexitat tècnica dels processos i per a la maquinària i el manteniment de les instal·lacions. Per altra banda, i deixant de banda algunes excepcions, les característiques dels materials emprats han imposat restriccions en la capacitat d'integrar els dispositius en diferents entorns, per la qual cosa n'ha limitat les seves aplicacions.

Els nous materials i processos tecnològics en desenvolupament es perfilen com una alternativa per solucionar els problemes existents, però sense pretendre desplaçar, d'entrada, les tecnologies establertes fins ara.

Els dos aspectes fonamentals de les tecnologies d'impressió que prometen revolucionar la fabricació de circuits integrats, es troben en el baix cost, degut al gran volum de producció que es pot assolir, i la flexibilitat en la integració dels circuits que permeten els nous materials.

La introducció d'aquestes tecnologies a gran escala pot suposar una revolució, amb una multitud de noves aplicacions enfocades a una major integració de l'electrònica amb l'entorn. Concretament, comencen a sorgir els termes internet de les coses o intel·ligència ambiental, i es caracteritzen per a dotar els objectes d'ús quotidià de dispositius electrònics per a atorgar-los-hi noves funcionalitats o augmentar-ne les seves prestacions. Per aquestes aplicacions, la flexibilitat d'integració amb l'entorn és un requisit essencial. Alguns exemples d'aquests dispositius es podran trobar en l'etiquetat de productes, en la roba o fins i tot, directament al cos humà.

Actualment ja s'han aconseguit implementar diversos prototips al laboratori, entre els quals:

- Un microprocessador de propòsit general de 8 bits i 40 instruccions per segon, fabricat amb materials semiconductors orgànics sobre un substrat flexible [1].
- Identificadors de radiofreqüència (RFID), on l'antena i la lògica de control s'han fabricat a partir del mateix procés sobre un substrat flexible. El circuit electrònic està format per transistors orgànics i és capaç d'enviar un codi de 64 bits sobre la freqüència de lectura estàndard de 13,56 Mhz [2].
- Diversos sensors, per exemple, un sensor de pressió fabricat sobre un substrat flexible pot esdevenir una "pell electrònica" per a robots [3], però el mateix tipus de substrat també es

pot dotar de sensors útils per aplicacions biomèdiques, tals com la monitorització de la temperatura [4]. També s'ha fabricat, per el mètode d'impressió d'injecció, un sensor de proximitat basat en l'efecte piroelèctric, capaç de detectar la radiació tèrmica del cos humà [5].

1.1. Motivació

Tot i els grans progressos aconseguits, l'electrònica impresa encara és als seus inicis. De moment es troba inscrita en l'àmbit de la recerca i de les petites series i encara és lluny de produir-se a gran escala, perquè s'han d'acabar de perfeccionar les tècniques i investigar amb els materials per a obtenir millors prestacions i una fiabilitat adequada.

En aquest context i pel que fa a l'àmbit del disseny de sistemes digitals, s'han deixat de banda algunes metodologies de disseny ben establertes per a centrar-se en les limitacions tecnològiques [6]. Aquestes metodologies han esdevingut essencials ja que estalvien temps de disseny dels enginyers i en minimitzen els errors que poden sorgir. Un exemple de metodologia molt estesa actualment és el disseny a partir de cel·les estàndard, la qual es caracteritza per l'ús de blocs o cel·les de funcions lògiques per implementar sistemes digitals. La particularitat d'aquesta metodologia és que el conjunt de cel·les ha estat prèviament caracteritzat, és a dir, amb el comportament ben definit. Per la qual cosa els dissenyadors es poden centrar en la funcionalitat del sistema i deixar de banda la implementació a nivell físic i, en definitiva, proporciona una abstracció que estalvia temps i evita el redisseny, perquè les cel·les es poden reutilitzar en diferents sistemes. Un altre avantatge és que permet l'ús d'eines de disseny automatitzades, EDA (*Electronic design automation*), cosa que també escurça el temps necessari per a dissenyar els dispositius.

Com s'ha comentat, el gran avantatge que pot suposar l'electrònica impresa és el baix cost de fabricació. Per tant, es fa palesa la necessitat de disposar de les metodologies i eines adequades per a reduir els costos en l'àmbit del disseny, així doncs, seria molt interessant disposar d'una biblioteca de cel·les.

L'exemple esmentat anteriorment del microprocessador de 8 bits creat al centre de recerca IMEC de Bèlgica [1], s'ha realitzat amb un nombre limitat de cel·les (inversors, buffers i portes nand de dues entrades) i amb un total de 4000 transistors. No obstant això, si es disposés d'una biblioteca de cel·les més àmplia es podria reduir el nombre de portes lògiques necessàries i en conseqüència el nombre de transistors i l'àrea necessària. En aquest mateix processador, si es disposés d'una biblioteca de només 9 cel·les, es podria aconseguir una reducció de fins al 37% del total de transistors, segons l'estudi [6].

En resum, no només és necessari implantar la metodologia de disseny a partir de cel·les estàndard a l'electrònica impresa, sinó que també es requereix una biblioteca de portes lògiques prou àmplia per a no penalitzar excessivament la mida total del disseny. Ara bé, en aquest context de tecnologies poc madures no té sentit disposar d'aquesta biblioteca si està lligada a un determinat procés i per a cada canvi s'ha de modificar el seu disseny. La solució per aquest problema és fer ús de cel·les paramètriques (*P-cells*). La particularitat d'aquestes cel·les es que estan descrites per un codi i el seu *layout* es pot modificar segons uns paràmetres d'entrada. Així serà possible disposar d'una biblioteca adaptable als canvis tecnològics.

1.2. Objectiu

L'objectiu d'aquest projecte és desenvolupar un petit conjunt de cel·les estàndard definides de forma paramètrica, per a l'electrònica impresa. La finalitat és la d'aconseguir una petita biblioteca amb la finalitat d'integrar-la en un entorn EDA. L'àmbit del projecte és generar el layout de les cel·les a través d'un codi. Com que l'objectiu és aconseguir uns dissenys flexibles, el layout serà modificable segons uns paràmetres que permetran obtenir les modificacions necessàries per adaptar-les segons els requisits tècnics.

Pel disseny inicial de les cel·les s'ha escollit el llenguatge de programació AutoLISP, que forma part del programa de disseny assistit per ordinador AutoCAD. En principi, aquest software no ha estat concebut com un entorn per a la realització de circuits integrats, ja que hi ha eines específiques. Però el motiu de l'elecció és d'una banda és la de disposar d'un entorn de prototipat ràpid, atès que les eines especialitzades impliquen una corba d'aprenentatge elevada degut a la complexitat de l'entorn. Per altra banda, i seguint amb l'argument del baix cost de fabricació, les eines específiques pel disseny de circuits integrats, per exemple les de l'empresa Cadence, són molt exclusives i d'un cost molt elevat. En comparació el cost software AutoCAD és un ordre de magnitud inferior i està molt més estès. L'altre objectiu es comprovar la viabilitat per a generar un *layout* apte per a la fabricació.

També cal destacar la similitud entre el llenguatge AutoLISP i el llenguatge de programació SKILL usat per a descriure cel·les de forma paramètrica en l'entorn Cadence, cosa que pot facilitar la portabilitat en un futur.

L'objectiu final és aconseguir que els dissenys generats siguin aptes per a implementar-se físicament, ja que s'ha obert una línia de recerca dins del Centre d'Accessibilitat i Intel·ligència Ambiental de Catalunya, CAIAC.

1.3. Organització de la memòria

La memòria s'organitza en els següents capítols:

- **Capítol 2:** Introducció a l'electrònica impresa. En aquest capítol es fa un repàs sobre els conceptes tecnològics bàsics de l'electrònica impresa i les diferències que existent vers les tecnologies de l'electrònica de silici i les implicacions que això té a l'hora de generar el layout.
- **Capítol 3:** Biblioteca de cel·les: disseny i implementació. En aquest capítol s'indiquen els passos necessaris per a la creació d'una biblioteca de cel·les i s'estableixen les normes per a iniciar la creació dels dissenys.
- **Capítol 4:** Generació automàtica de layout. En l'últim capítol es fan unes explicacions sobre l'entorn on es generaran els dissenys i es mostren els resultats.
- **Capítol 5:** S'exposen les conclusions a les que he arribat.

Capítol 2. Introducció a l'electrònica impresa

L'electrònica impresa es basa en l'ús de mètodes d'impressió per a implementar circuits electrònics. A partir de les tècniques d'impressió existents, capaces de definir patrons i dipositar de forma controlada en diferents capes els materials que formaran els components actius i passius dels circuits. Aquests materials, anomenats tintes funcionals, han de complir uns requisits concrets per a ser factible la seva deposició i alhora mantenir-ne les propietats.

L'electrònica impresa abasta conceptes molt amplis, és per això que està relacionada amb altres termes que designen els materials usats i/o les propietats físiques: electrònica flexible, electrònica orgànica, FOLAE -*Flexible Organic Large Area Electronics* -, etc.

Com s'ha comentat a la introducció, la combinació de les tecnologies d'impressió i els nous materials permetran assolir dos punts clau: el baix cost i la flexibilitat en la integració. Els aspectes que permetran aconseguir aquests objectius es poden resumir en aquests punts:

- Manufactura ràpida i simple.
- Circuits de gran àrea.
- Compatible amb substrats flexibles.
- Compatible amb materials orgànics.
- Baix consum de recursos (materials energètics).

Si es compara amb el procés tradicional de fabricació de circuits integrats basats en silici, és a dir, el procés fotolitogràfic en sala blanca, i els seus múltiples passos de deposició, implantació, gravat i extracció, l'electrònica impresa permet simplificar la fabricació de circuits amb múltiples passos additius a canvi d'aconseguir unes prestacions menor però suficients per a un gran rang de circuits.

Uns altres avantatges que comporten les tecnologies d'impressió és la gran varietat de mètodes de fabricació existents que es poden adaptar per a la fabricació de circuits. D'una banda són tecnologies madures, i per altra banda es disposa d'una gran versatilitat per a escollir la tecnologia adequada segons les necessitats. Per sobre de tot, les tecnologies d'impressió s'adapten directament a diferents tipus de medis flexibles i permet crear circuits de gran àrea o escalar-la de forma relativament fàcil, en comparació amb els circuits de silici que poden ser hibridats sobre els mateixos plàstics que formen els transistors.

L'altre aspecte que caracteritza els circuits creats per impressió és la compatibilitat amb els materials orgànics. Per exemple, els semiconductors actualment més adequats per a l'electrònica impresa es basen en molècules orgàniques (tant polímers com a petites molècules). Aquest fet pot explotar les interaccions entre diferents substàncies orgàniques i els semiconductors per aconseguir sensors químics i biològics [7].

Com a últim punt, les tecnologies d'impressió suposen una reducció del consum de recursos, ja sigui de materials, perquè només s'utilitza la quantitat exacta en la posició precisa, sinó també en el consum energètic, perquè permet el processament a baixa temperatura.

Per altra banda, els punts febles de l'electrònica impresa es poden resumir en aquests dos aspectes:

- Baixes prestacions, alts temps de commutació
- Baixa densitat d'integració (i rendiment encara no gaire elevat)

Els semiconductors orgànics són els més apropiats per a les tecnologies d'impressió, perquè es poden preparar fàcilment en forma de solució. Tanmateix les seves aplicacions són encara limitades, degut a una mobilitat electrònica reduïda. Els efectes que provoca són alts temps de commutació i una baixa densitat d'integració, pel fet de requerir estructures grans per assegurar la funcionalitat (la qual cosa en baixa el rendiment).

No obstant, l'àmbit tecnològic de l'electrònica impresa és encara poc explorat i està en constant evolució. Les limitacions inherents dels materials i dels processos imposen tot un seguit de restriccions que n'afecten les prestacions, i en fan difícil que s'assoleixin millores espectaculars en aquest aspecte tot i la progressiva millora observada en els darrers anys. L'objectiu de la recerca en el futur més immediat és l'estudi de millores en la integració dels processos d'impressió i els materials, i en noves formulacions més fiables per aconseguir crear circuits electrònics pràctics, però en cap cas sense buscar competir amb l'electrònica convencional.

En definitiva, l'objectiu de l'electrònica impresa és fer viable la introducció de nous mètodes de fabricació més econòmics i permetre la introducció d'un ampli ventall de noves aplicacions que fins ara han restat inexplorades, però també de coexistir i complementar-se amb l'electrònica convencional, per a les aplicacions de majors prestacions.

2.1. Conceptes tecnològics bàsics

En aquest apartat es farà una breu introducció sobre els processos i materials que defineixen l'electrònica impresa. L'objectiu no és ser exhaustiu sinó explicar-ne les peculiaritats i les implicacions que comporten en el disseny de circuits digitals, i també comentar les diferències que existeixen en comparació amb els processos tradicionals de fabricació de circuits integrats basats en silici.

2.1.1. Tecnologies d'impressió

El procés de fabricació de circuits es basa en la impressió de patrons geomètrics (*layout* del circuit electrònic) estructurats en diferents capes. En altres paraules, els circuits electrònics es construeixen capa a capa en un procés additiu on es dipositen els materials individualment. Després de la impressió de cada capa, normalment es fa necessari un tractament complementari consistent en un procés tèrmic o de curació per a fixar la funcionalitat dels materials.

Gairebé totes les tecnologies d'impressió industrials s'han explorat per adaptar-les a la fabricació de circuits [8]. Cada tecnologia s'adapta a substrats i materials d'unes determinades propietats físiques, tals com la solubilitat de les tintes o la viscositat; depenent de la compatibilitat entre els materials, funcionarà millor una o altra tecnologia.

El conjunt de tecnologies d'impressió és molt extens, però es divideixen en dos grups d'acord amb el volum de producció i la disposició del substrat:

- Processament en rotativa, Roll-to-roll (R2R): Consisteix en sistemes d'impressió que permeten un procés continu rotatiu. El substrat on s'imprimiran els circuits és un full flexible que es pot disposar en bobines. Després de la impressió els circuits es tallen a la mida requerida. Algunes tecnologies que es basen en el processament R2R són la litografia òfset, la flexografia, el rotogravat, etc. El fet destacat d'aquestes tecnologies és

que permet obtenir un gran volum de producció i per tant un cost molt reduït.

- Processament per fulls, Sheet-to-sheet (S2S): Aquestes tecnologies, per contra, treballen sobre una sola làmina, sacrificant l'alt volum per treballs de major precisió o amb diversitat de substrats. Les tecnologies que fan ús del processament S2S són entre d'altres la impressió per injecció de tinta i la serigrafia.

Segons la forma de dipositar els materials, les tecnologies d'impressió es poden classificar en dos grans grups: tecnologies d'impressió per contacte i tecnologies d'impressió sense contacte. A banda d'aquests dos grups també se'n pot mencionar un tercer, encara que té més relació amb el procés convencional de fabricació de circuits integrats, es pot combinar amb els anteriors mètodes i unir els avantatges de cada tecnologia.

a) Tècniques d'impressió per contacte.

Dins d'aquest grup s'inclouen les tecnologies d'impressió industrials més esteses, basades en la deposició directa dels materials sobre el substrat a través d'una planxa o malla, on s'hauran gravat els motius d'impressió. Els aspectes més destacats de les tecnologies d'aquest grup són:

- Litografia offset: es basa en l'ús d'una planxa d'impressió on els motius es delimiten per zones que repel·leixen o atrauen la tinta.
- Rotogratat: els motius d'impressió estan formats per ranures en la planxa d'impressió.
- Flexografia: es basa en l'ús d'una planxa d'impressió flexible, que es pot embolcallar al voltant de cilindres per a permetre un procés rotatiu.
- Serigrafia: el mitjà d'impressió és una malla amb els motius gravats. Normalment treballa amb tintes de gran viscositat que permeten capes gruixudes, però de baixa resolució.

El punt en comú de les tecnologies d'aquest grup es troba en el fet que poden proporcionar un gran volum de producció, i costos molt reduïts, si realitzen un processament de tipus R2R. Però per altra banda, l'ús dels motius d'impressió fixos (impressió analògica), també comporta inflexibilitat i majors costos en el cas de produir sèries curtes o necessitar modificacions en els dissenys.

b) Tècniques d'impressió sense contacte.

La tecnologia d'impressió sense contacte més coneguda és la impressió per injecció de tinta, també coneguda per drop on demand o impressió digital. La impressió per injecció és una tecnologia molt estesa en l'àmbit d'impressió industrial i domèstic.

El procés d'impressió es basa en l'ejecció dels materials a partir d'un raig de microgotes, expulsades a través d'uns capçals formats per transductors piezoelèctrics (majoritaris) o tèrmics (minoritaris perquè els processos tèrmics destrueixen els materials orgànics). La característica més destacada de les tecnologies d'impressió per injecció i el seu principal avantatge es troba en el fet que el procés d'impressió és controlat digitalment, és a dir, un ordinador emmagatzema les instruccions i genera els impulsos que accionaran els actuadors. Aquest fet és molt important en el context de la creació de prototips, per a l'oportunitat de modificació dels dissenys i la seva immediata implementació.

Per altra banda, les dificultats que es presenten en adaptar aquest mètode d'impressió per a la fabricació de circuits, es troba en la gran variabilitat de materials a dipositar i entre les seves interaccions físiques – en comparació a la impressió d'injecció per a documents i les seves tintes homogènies de base aquosa – al tractar d'un procés d'impressió tridimensional. L'altra limitació inherent és el baix volum de producció, comparat amb les altres tecnologies d'impressió.

c) Mètodes de sala blanca

Tot un conjunt de processos, entre els quals s'hi inclouen la cobertura per centrifugació (*spin coating*) i les deposicions químiques per vapor (*chemical vapor deposition, CVD*), no formen part pròpiament de l'àmbit de l'electrònica impresa perquè són tecnologies més properes al procés convencional de fabricació de semiconductors de silici, i perquè en comparteixen els inconvenients, com l'elevat cost del procés per l'ús de fotolitografia. No obstant, aquestes tecnologies, usades per a la fabricació de transistors TFT per a pantalles de cristall líquid, s'han adaptat per a crear circuits orgànics sobre substrats flexibles i de moment són els circuits amb millors prestacions.

2.1.2. Tintes funcionals

Els materials d'impressió o tintes funcionals són els ingredients essencials que formaran els circuits. És necessari disposar de materials conductors, semiconductors, i aïllants, i al mateix temps que permetin el seu processament en tintes, per exemple, preparant-les en solució, dispersió o suspensió, i n'assegurin la seva capacitat d'impressió.

Pel que fa a la composició dels materials, existeixen tant compostos basats en materials inorgànics com també en materials exclusivament orgànics. Per exemple, es dona el cas de les tintes conductores, on per una banda es disposen de tintes basades en nanopartícules metàl·liques, per exemple de plata, en suspensió sobre dissolvents i aglutinadors. Per altra banda, es disposen de tintes conductores basades en materials totalment orgànics, com pot ser la mescla dels polímers PEDOT:PSS Poli(3,4-EtilenDioxiTiofè):Poli (Estirè Sulfonat).

Els compostos orgànics són els principals materials en l'electrònica impresa perquè suposen els millors semiconductors. Els semiconductors orgànics es poden dividir en oligòmers i polímers. Ambdós estan formats per repeticions de compostos orgànics de baix pes molecular, anomenats monòmers. Les diferències entre els uns i els altres es troben en que els oligòmers contenen poques unitats de repetició i també disposen de millors prestacions (millors temps de commutació, millor mobilitat, etc.), però en canvi, són poc adients per a la impressió perquè són poc solubles en els dissolvents més comuns. En canvi, es dipositen a partir de tecnologies de sala blanca (deposicions al buit, etc.). Per altra banda, en comparació, els polímers orgànics contenen llargues cadenes de monòmers i encara que amb pitjors prestacions, són solubles i es poden preparar en solucions aptes per a la impressió.

Pel que fa a la funcionalitat, existeixen majoritàriament semiconductors de tipus p (transport similar als “forats”) ja que tenen major mobilitat que els de tipus n (transport similar als “electrons”). El transport electrònic es basa en les interaccions entre els orbitals de les molècules. L'orbital ocupat més alt o HOMO (highest occupied molecular orbital) i l'orbital desocupat més baix o LUMO (lowest unoccupied molecular orbital) són anàlogues a la banda de valència i la de conducció dels semiconductors inorgànics. La diferència entre l'un i l'altre és la banda prohibida (bandgap). Com que els polímers formen sistemes amorfs (altament desordenats), la banda de conducció és molt reduïda, així com també, les prestacions electròniques. Per exemple, polímer

semiconductor de tipus p comú és el PH3 Poli(3-Hexiltiofè), té una mobilitat de només 0,1 cm²/Vs, en comparació als 450 cm²/Vs dels semiconductors de silici. Els polímers semiconductors de tipus n encara estan poc desenvolupats, perquè per una banda la mobilitat és un ordre de magnitud més reduïda que els corresponents de tipus p, així com també, tenen una estabilitat molt reduïda, perquè en condicions ambientals normals es neutralitzen i perden les propietats.

2.2. Circuits digitals

Els elements indispensables per a la construcció de circuits digitals són els transistors i les seves agrupacions en circuits per a formar les funcions lògiques. En aquest apartat s'exposaran les principals característiques dels transistors i el seu funcionament.

2.2.1. El transistor orgànic

Els transistors dins de l'àmbit de l'electrònica impresa reben la denominació de: OFET *Organic field-effect transistor*, també anomenat transistor orgànic de pel·lícula fina o OTFT *Organic thin-film transistor*, derivat sovint dels transistors utilitzats per a les pantalles planes amb dispositius de cristall líquid (TFTs). El funcionament i l'estructura és similar a la dels transistors de silici cristal·lí tot i que no tenen el substrat polaritzat.

a) Funcionament

Els OFET són dispositius de tres terminals: font, drenador i porta, i el seu funcionament està basat en l'efecte camp: una tensió aplicada al terminal de porta crea un canal de conducció entre els terminals font i drenador. La tensió de porta modula la corrent del canal de conducció.

Les equacions que en regeixen el seu funcionament es poden veure a la taula 2.1 i la seva representació gràfica en les corbes I-V a la figura 2.1. Una diferència entre els transistors convencionals de silici i els transistors orgànics, és que aquests normalment funcionen a partir de l'acumulació de càrregues, on l'increment en la magnitud del voltatge de porta V_{GS} , incrementa la conductivitat del canal [9]. Les altres diferències de funcionament es deuen a les característiques dels semiconductors orgànics i la seva reduïda mobilitat, també requereixen d'un voltatge de funcionament relativament elevat (de fins a 50V) [10] i a un factor de no idealitat associat a l'ordenació de les molècules orgàniques impreses. Addicionalment, la conducció en estructures orgàniques en lloc d'estructures cristal·lines es modela com un factor de no idealitat (γ) que afecta l'exponent de la dependència en el voltatge de porta ($1+\gamma$ en lloc de 2).

Zona de funcionament	Fórmula	Marge de validesa	Paràmetres
Regió lineal	$I_{SD} = K \left[(V_{SG} - V_T) V_{SD} - \frac{V_{SD}^2}{2} \right]$	$V_{DS} < V_{GS} - V_T$	$K = \mu C_i \frac{W}{L}$ μ -> mobilitat (cm ² /Vs) C_{ox} -> capacitat per unitat de superfície (F/cm ²) L -> longitud del canal W -> amplada del canal
Regió de saturació	$I_{SD} = \frac{K}{2} (V_{SG} - V_T)^2$	$V_{DS} > V_{GS} - V_T$	

Taula 2.1 Equacions de funcionament

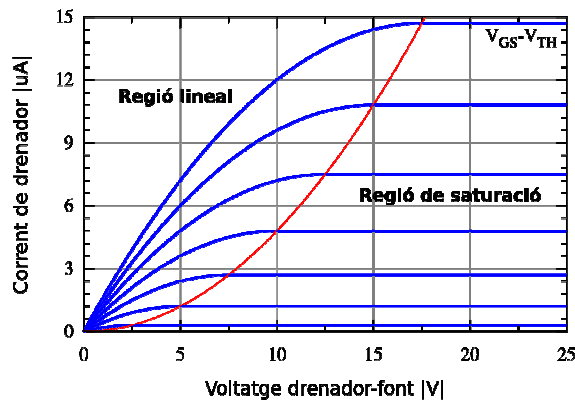


Figura 2-1 Corbes I-V [gràfic adaptat de CyrilB, Wikimedia Commons]

La velocitat de commutació dels transistors està limitada per la longitud del canal i per la mobilitat del transport de càrregues pel semiconductor. A menor amplada de canal i major mobilitat, major freqüència de commutació. L'amplada del canal està limitada per la resolució dels processos tecnològics i la mobilitat és una propietat del material, però també depèn del grau d'ordre del semiconductor orgànic.

b) Estructura

Els transistors orgànics són de tipus TFT (*thin film transistor*), on els materials es dipositen en capes sobre una estructura aïllant. L'estructura del transistor ve donada per l'ordre de deposició de les diferents capes, que es distingeixen segons les posicions dels elèctrodes. Les configuracions més comunes són: Bottom gate - bottom contact (BGBC), Bottom gate - top contact (BGTC), Top gate - top contact (TGTC), Top gate - bottom contact (TGBC). L'ús de les diferents estructures depèn de la compatibilitat entre els materials i els processos tecnològics de fabricació.

A causa de la baixa mobilitat dels semiconductors orgànics, i per a no augmentar excessivament l'amplada dels transistors, és comú l'ús d'estructures interdigitals, com es mostra a la figura 2.2, on un mateix transistor disposa de múltiples contactes font-drenador, anomenats *fingers*, amb una funcionalitat semblant a disposar de múltiples transistors en paral·lel.

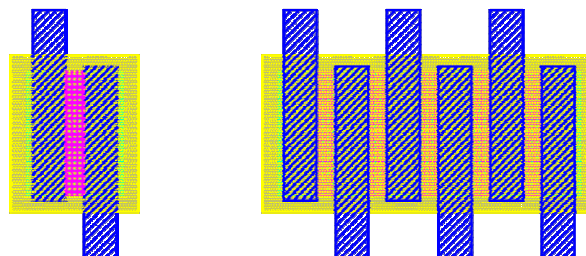


Figura 2-2 Esquema de vista superior d'un transistor: a l'esquerra un transistor simple, i a la dreta un transistor d'estructura interdigital.

2.2.2. Circuits lògics

Existeixen diferents topologies possibles pels transistors que formen les famílies lògiques. Degut a les baixes prestacions dels semiconductors de tipus n, el disseny lògic predominant en l'electrònica impresa només utilitza transistors de tipus p.

La porta lògica més bàsica és l'inversor. El funcionament es basa en que el nivell de l'entrada al transistor inversor, o de commutació és invertida. Per a l'inversor cal transistor de commutació i un altre dispositiu de càrrega per generar l'altre valor lògic (amb un corrent limitat per quan el transistor de commutació està en conducció).

Les diferents alternatives per a implementar els inversors en l'electrònica impresa es poden veure a la figura 2.3. De la mateixa manera que en l'electrònica convencional, la lògica de càrrega resistiva no és viable d'implementar en circuits per els problemes pràctics que comporta, ja sigui la gran superfície que requereixen [11] com a la gran tolerància del valor de la resistència de càrrega. Un enfocament alternatiu és fer ús d'un altre transistor, anomenat de càrrega, que treballa en el règim de funcionament lineal (veure taula 2.1).

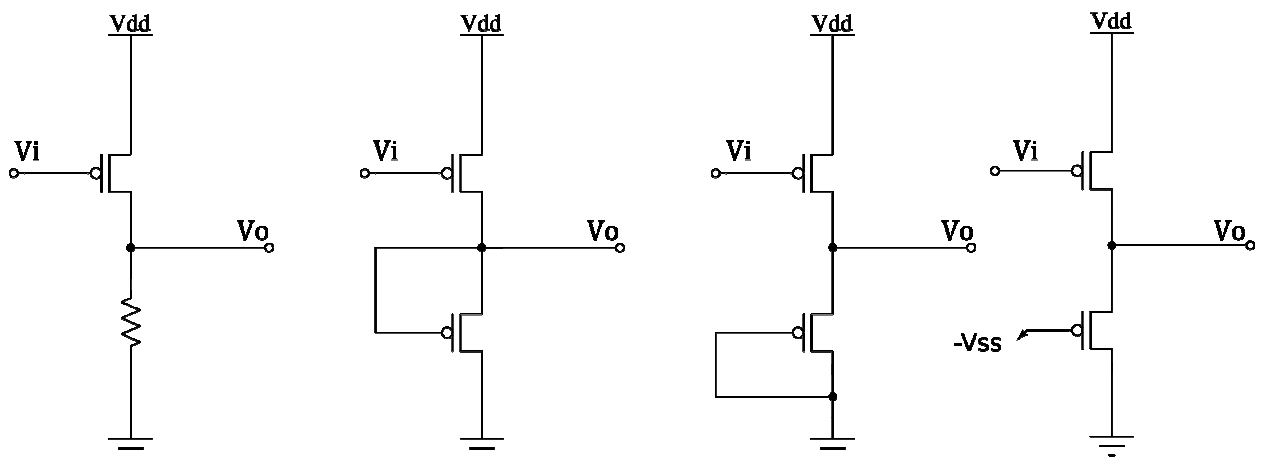


Figura 2-3 Lògiques unipolars, d'esquerra a dreta: càrrega resistiva, diode load, zero vgs load, transistor de càrrega amb v_t variable.

Capítol 3. Biblioteca de cel·les: disseny i implementació

Les tendències en el disseny de circuits digitals en les darreres dècades han tendit a introduir metodologies i eines de disseny per a proporcionar una major abstracció, degut a l'evolució i la gran complexitat dels processos de fabricació (veure figura 3.1). L'abstracció permet reduir el temps de desenvolupament, i permet la introducció noves millores tecnològiques sense afectar els fluxos de disseny, a l'haver-hi una separació clara entre la funcionalitat i els processos tecnològics.

Al capítol introductori s'han comentat els beneficis de disposar d'aquestes noves metodologies per a l'àmbit de l'electrònica impresa, i de fet, l'objectiu d'aquest treball és crear una petita biblioteca de cel·les estàndard.

La manera de dur a terme aquesta tasca és a baix nivell: primerament es realitza un esquema, amb els transistors que implementen la funció lògica de la cel·la. Després s'haurà de convertir aquest esquema en una representació geomètrica o *layout* del circuit integrat mitjançant una eina específica per a crear les representacions geomètriques. Tots aquests passos s'hauran de realitzar per a cada una de les funcions lògiques que integraran aquesta biblioteca. Però abans d'iniciar tot aquest procés, s'han d'establir algunes qüestions que serveixin de pauta per a la creació de la biblioteca.

Per aquest motiu, en aquest capítol s'exposaran les directrius necessàries per a iniciar la creació d'una biblioteca de cel·les adaptades a l'electrònica impresa, amb l'objectiu de servir de referència per al posterior implementació amb les eines de generació de *layout* al següent capítol.

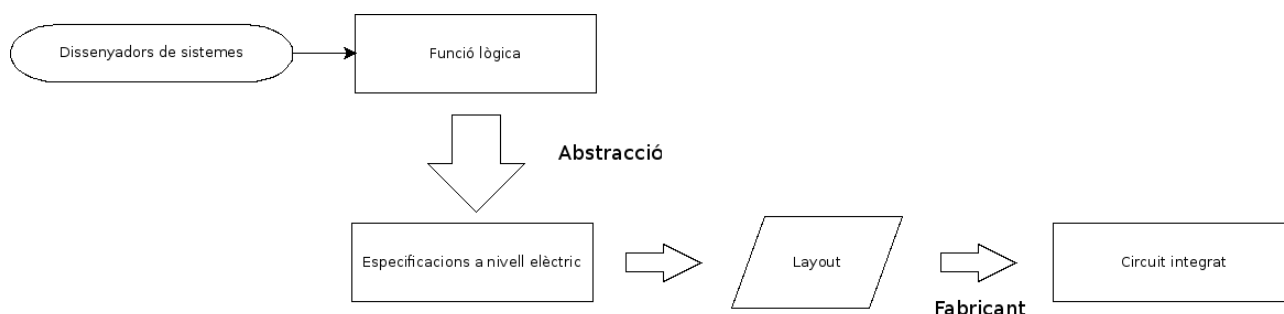


Figura 3-1 Flux de disseny de circuits digitals

3.1. Definició de cel·la estàndard

Una cel·la estàndard és un circuit electrònic que implementa una funció lògica. L'avantatge que comporten les cel·les és la seva capacitat de reutilització i la seva integració en entorns de disseny automatitzat. Però com a contrapartida, les cel·les estan lligades a una tecnologia concreta, per tant, si es vol canviar s'haurà de crear una nova biblioteca de cel·les perquè satisfaci els nous requeriments. Això és degut a que l'estratègia de creació de les cel·les estàndard és el disseny fet a mida (FC, *Full Custom*), on, dins d'uns límits marcats, que hauran de seguir tot el conjunt de cel·les, el disseny individual busca reduir l'àrea del circuit.

3.1.1. Consideracions

A part d'estar lligades a una tecnologia concreta, les cel·les estàndard es caracteritzen per la seva geometria: les cel·les es disposen en fileres, delimitades pels carrils d'alimentació. Per tant, totes les cel·les han de tenir la mateixa distància vertical (excepte alguns casos especials, però en la majoria dels casos és així per a simplificar la tasca de les eines de síntesi). Per altra banda, la distància horitzontal és variable, depenent de la complexitat del circuit. Les connexions d'entrada i sortida es troben als extrems superior i inferior de les cel·les, on s'enllacen amb altres línies a través de canals d'enrutament, situats entre les fileres de les cel·les.

Es pot veure una representació esquemàtica a la figura 3.2, on les cel·les es representen per rectangles morats, situats entre dos carrils d'alimentació.

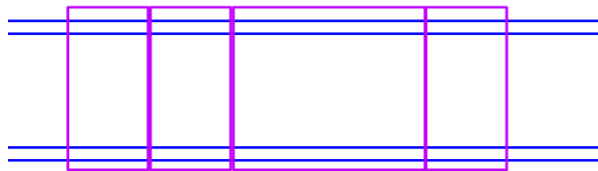


Figura 3-2 Representació d'una filera de cel·les

3.1.2. Directrius sobre el disseny

Com que cada biblioteca està lligada a un procés tecnològic, s'han de delimitar alguns aspectes fonamentals que influiran en els dissenys de les cel·les:

- Escollir l'estil de disseny → Família lògica en la qual s'implementaran les cel·les.
- Conèixer el procés tecnològic → Extreure'n les regles de disseny, definir l'estil del *layout*

Als següents apartats s'aclariran aquestes qüestions, tenint en compte al què s'ha vist a l'anterior capítol, que el procés tecnològic en el qual es basaran aquestes cel·les està orientat a l'electrònica impresa i encara és una tecnologia experimental.

3.2. Estils de disseny

Com s'ha comentat a l'anterior capítol, la diferència entre les prestacions dels semiconductors orgànics, ha portat a que els circuits lògics predominants sigui de tipus unipolar, basats en els semiconductors de tipus p. Per aquest motiu, s'escollirà entre una d'aquestes famílies.

3.2.1. Lògica *ratioed* pMOS

S'ha vist que totes les famílies lògiques presenten un transistor de càrrega, en configuració *pull-down*, és a dir, connectat a terra, degut a la inviabilitat de la lògica de càrrega resistiva. La funció d'aquest transistor de càrrega, el qual es troba sota règim lineal, és la de produir un "0" lògic. L'elecció d'una o altra alternativa es deu al voltatge llindar del transistor i si és capaç de proporcionar una bona resistència de càrrega (que el valor de sortida s'apropi al "0" i s'obtingui una bona corba de transferència.).

La lògica que s'ha escollit per implementar les cel·les d'aquest treball és l'alternativa que incorpora un voltatge negatiu addicional a la porta del transistor de càrrega. La motivació de l'elecció és que en el context d'un entorn experimental, es podran determinar els valors òptims de funcionament, sense canviar els dissenys. No obstant, té l'inconvenient que suposarà una complexitat afegida al disseny de les cel·les, ja que es necessitaran tres carrils d'alimentació.

Aquesta tecnologia també s'anomena lògica *ratioed*, perquè és necessari modificar el ràtio del transistor de càrrega segons, la mida dels transistors de commutació, o xarxa *pull-up* (el grup que es troba entre el carril positiu i el transistor de càrrega).

L'esquema general d'aquesta tecnologia es pot veure a la figura 3.3. on les entrades es connecten a un grup de transistors de commutació, disposats segons la funció lògica a realitzar. A la figura 3.4 es pot veure els esquemes de les portes bàsiques NAND i NOR realitzades amb aquesta tecnologia. En el primer cas, els transistors es disposen en paral·lel i el segon en sèrie. Les portes són generalitzables per a un número superior d'entrades, a partir de la configuració adequada. Les portes més complexes es construeixen a partir de la configuració de diferents transistors en sèrie/paral·lel, disposats dins la xarxa de transistors de la figura 3.3.

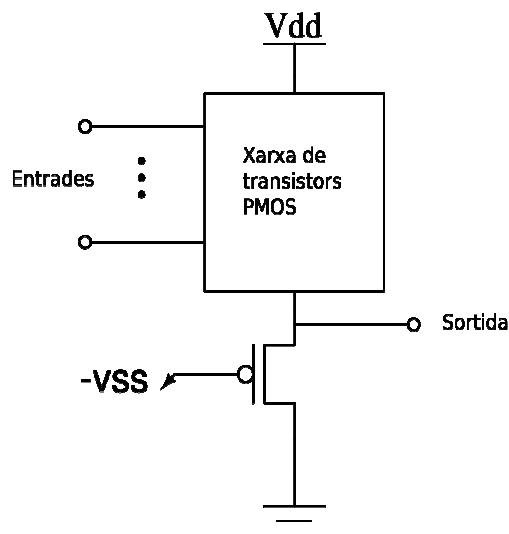


Figura 3-3 Esquema general lògica *ratioed* pmos

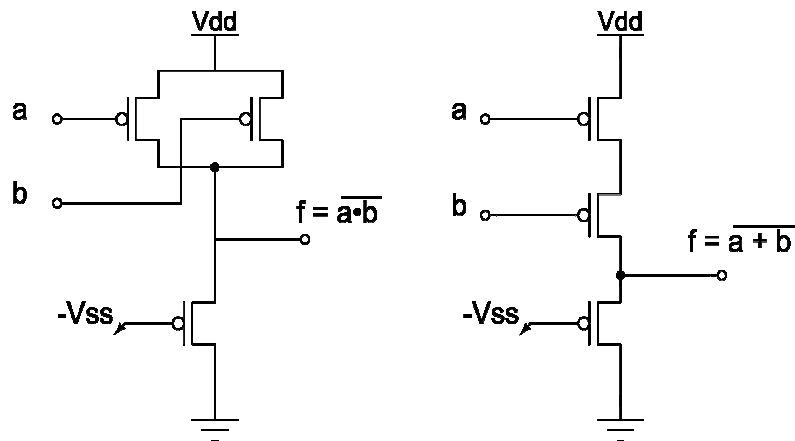


Figura 3-4 Portes lògiques, NAND i NOR, esquerra i dreta, respectivament

3.3. Implementació del layout

Per iniciar el pas de la creació del *layout* és necessari conèixer les característiques del procés tecnològic en el qual s'implementaran les cel·les. Per una banda, l'abstracció a partir de les regles de disseny permet separar el pas de fabricació (el mateix disseny es podrà fabricar per impressió d'injecció o per rotogravat, per dir alguns exemples), d'altra banda, s'han de tenir nocions sobre els materials disponibles que serviran per a definir els transistors i les línies d'interconnexió.

Atès que la biblioteca està orientada a l'electrònica impresa i encara no és una tecnologia prou madura, el nombre de materials per a formar el *layout* serà el mínim dispensable per a crear estructures funcionals, és a dir, el requeriment principal és que ha de ser simple. Els materials requerits, són: el semiconductor (només de tipus p, com s'ha explicat abans), dos metalls (per a les interconnexions i els contactes font-drenador i un altre per el terminal de porta dels transistors) i un aïllant. Aquests materials formaran part de les diferents capes (màscare en terminologia d'electrònica convencional).

3.3.1. Regles de disseny

Les regles de disseny proporcionen als dissenyadors un conjunt de normes per a garantir que el *layout* generat es pot portar a terme de manera controlada i reproducible. L'objectiu és augmentar la capacitat d'integració (mínima àrea necessària) sense comprometre la fiabilitat del circuit. Cada procés tecnològic té les seves pròpies regles, obtingudes a partir d'una extracció experimental de patrons de test (veure la figura 3.5); d'aquesta manera es pot fer una separació entre les àrees de disseny i les d'enginyeria de materials.

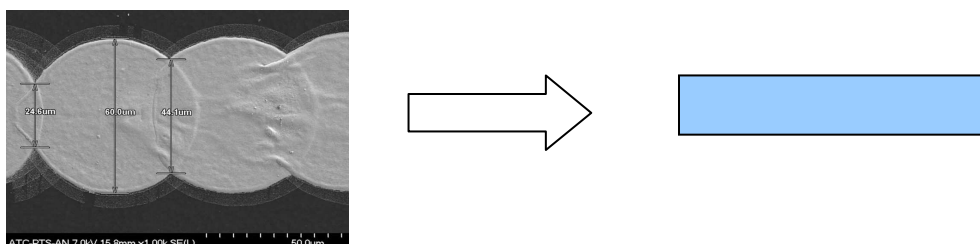


Figura 3-5 Exemple extracció de regles de disseny [imatge extreta de wikimedia commons, autor: Inikitin]

Les regles de disseny poden representar una gran quantitat de restriccions, però bàsicament es basen en dos aspectes: (relacions intracapa i intercapa [12])

- Els patrons geomètrics que pot reproduir el procés
- La interacció entre les diferents capes.





Aquestes dos consideracions formen el conjunt de regles més bàsiques que defineixen una tecnologia concreta:

1. Amplada mínima que es pot representar.
2. Espai mínim permès.
3. Precisió en la què dues capes es poden superposar.

Tradicionalment les regles de disseny es classifiquen en dos tipus:

- a) Basades en un paràmetre lambda (Regles escalables): Es dona per fet que totes les regles mantenen una proporció.
- b) Valor absolut (expressades en unitats arbitràries)

Les cel·les d'aquest treball especificaran les unitats de les regles de disseny en unitats arbitràries (atès que els materials poden tenir restriccions no lineals). Les regles de disseny es representaran per la lletra N seguida d'un identificador numèric. Per exemple, la primera capa metàl·lica es representa amb un 5 i la segona amb un 6. Es poden veure el conjunt de regles de disseny inferides a la taula 3.2 a les següents pàgines.

	Metall 1
	Metall 2
	Aïllant
	Semiconductor

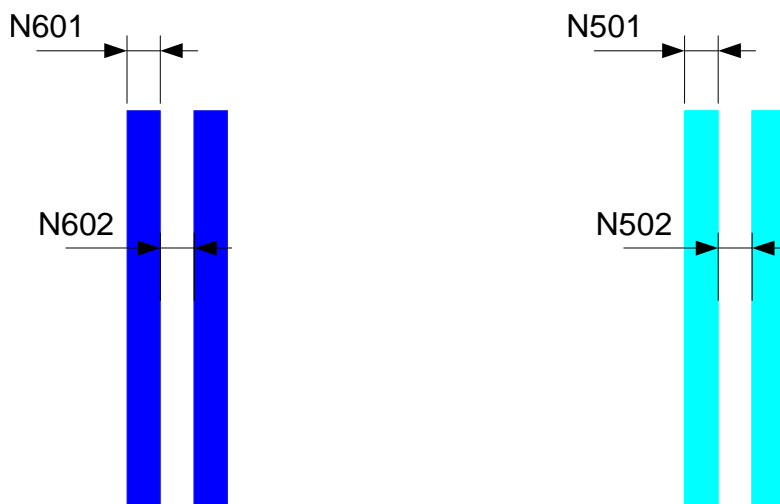
Taula 3.1 Codi de colors dels materials

Identificador	Descripció
N201	Ample mínim Semiconductor
N501	Ample mínim Metall 1
N502	Distància mínima entre Metalls 1
N503	Distància mínima Metall1 a Aïllant.
N504	Desbordament metall en contacte entre Metall1 i Metall2

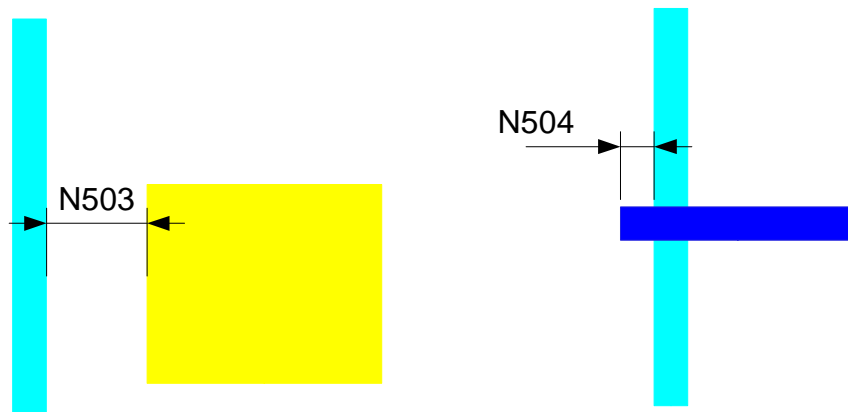
N601	Ample mínim Metall 2
N602	Distància mínima entre Metalls 2
N603	Ample mínim contactes font – drenador
N604	Desbordament mínim Metall1 sota Metall2 (contactes font - drenador)
N901	Desbordament d'Aïllant sobre Metall 1 (intersecció Metall1 Metall2)
N902	Desbordament d'Aïllant sobre Metall 1 (contactes font - drenador)

Taula 3.2. Llistat de regles de disseny

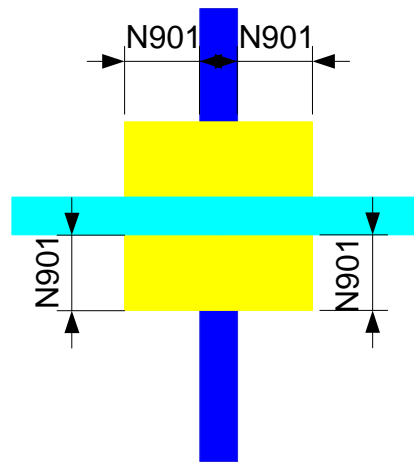
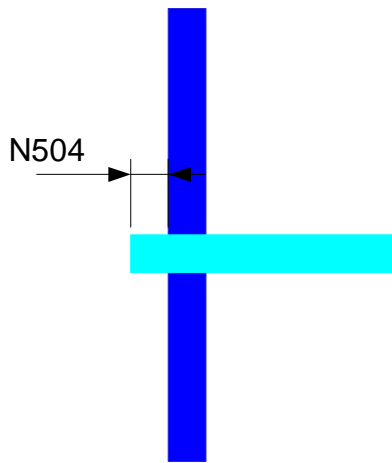
Representació gràfica del conjunt de regles de disseny:



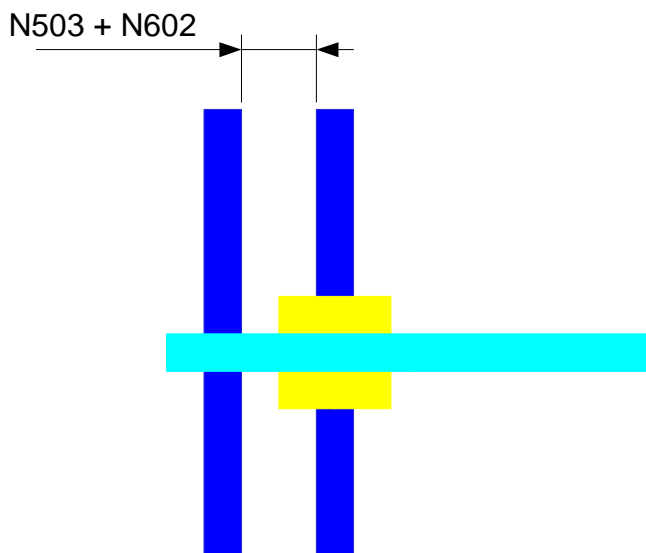
Relació intracapa, amplada i separació mínima



Relació intercapa, espai mínim i desbordament (connexió entre dos línies)

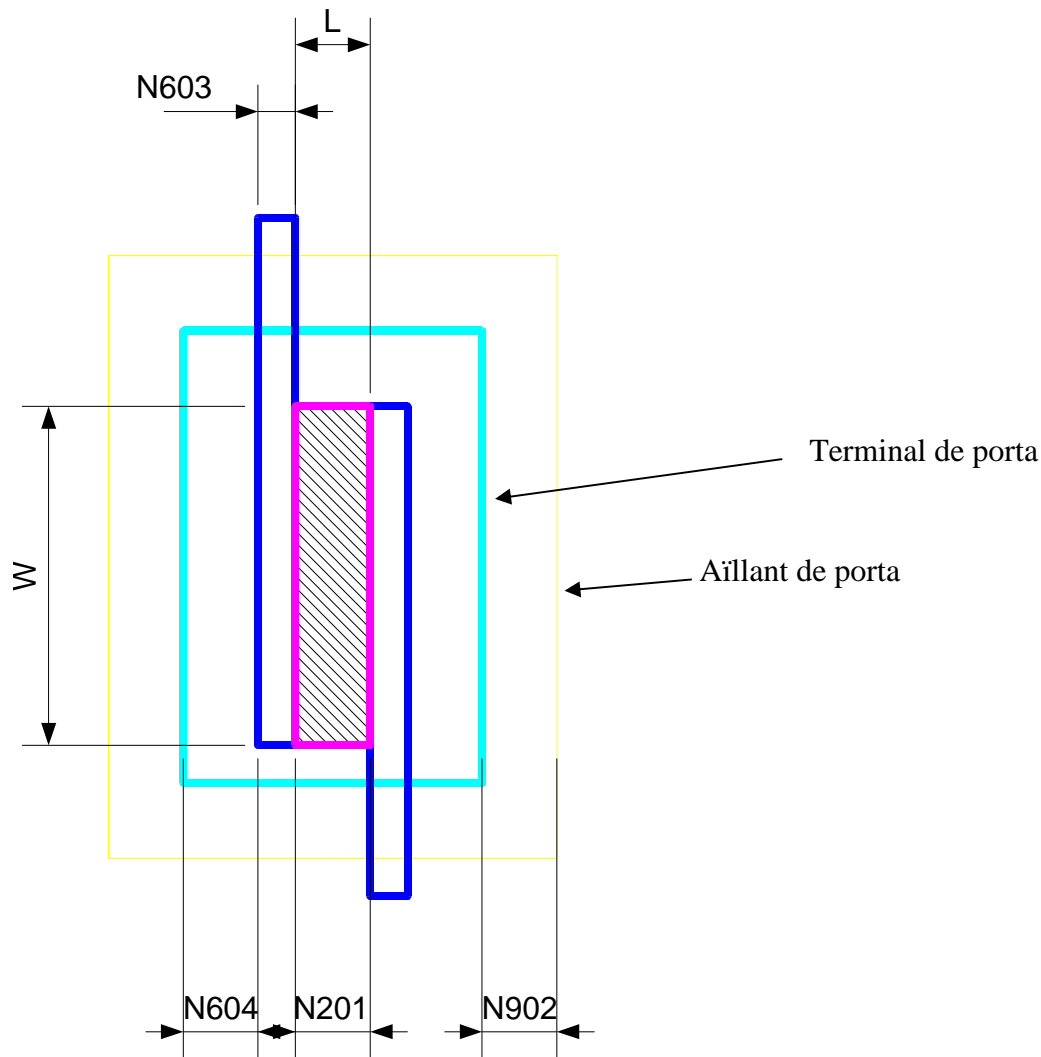


Relació intercapa, desbordament metall i aïllant.



Relació intracapa + intercapa, desbordament metall i aïllant.

3.3.2. Layout del OFET



En aquest esquema es poden veure les normes de disseny i els paràmetres que s'apliquen a l'estructura del transistor. Els terminals font i drenador estan construïts a partir del metall 2, però tenen la seva pròpia norma. La longitud dels terminals conformen l'amplada del transistor (W). En canvi la longitud del transistor (L), que és la distància entre els terminals, queda determinada per la norma de disseny del semiconductor ($N201$). El terminal de porta està separat dels altres dos contactes i el semiconductor per l'aïllant de porta, el qual comporta un desbordament ($N902$) pels costats de la porta del transistor.

Aquest transistor té l'estructura d'un TFT, és a dir, el substrat només té la funció de suport. L'estructura del transistor no està del tot especificada en aquest esquema, perquè pel que fa a la topologia del transistor (bottom gate o bottom contact), o l'ordre de deposició de les diferents capes és durà a terme durant el procés de fabricació.

3.3.3. Estructura de les cel·les

Abans d'iniciar el procés de disseny de les cel·les s'hauran d'establir unes normes que serveixin de guia d'estil i ajudin a mantenir la consistència entre tot el conjunt. Pot servir d'exemple la porta lògica més bàsica, que és l'inversor. A la figura 3.6 se'n pot veure una representació esquemàtica amb les característiques més importants.

La lògica de l'inversor és la que s'ha estudiat a l'anterior apartat: dos transistors, el superior és el de commutació o inversor, on el carril d'entrada està connectat al terminal de porta. El transistor inferior és la càrrega activa, on la seva porta està connectada al carril d'alimentació inferior ($-V_{SS}$, al requadre central). Els dos transistors estan units pels corresponents terminals a una línia central que conforma la sortida de la porta lògica. Ambdós transistors disposen d'una estructura interdigital, per a reduir-ne la seva amplada, i per tant la de la cel·la.

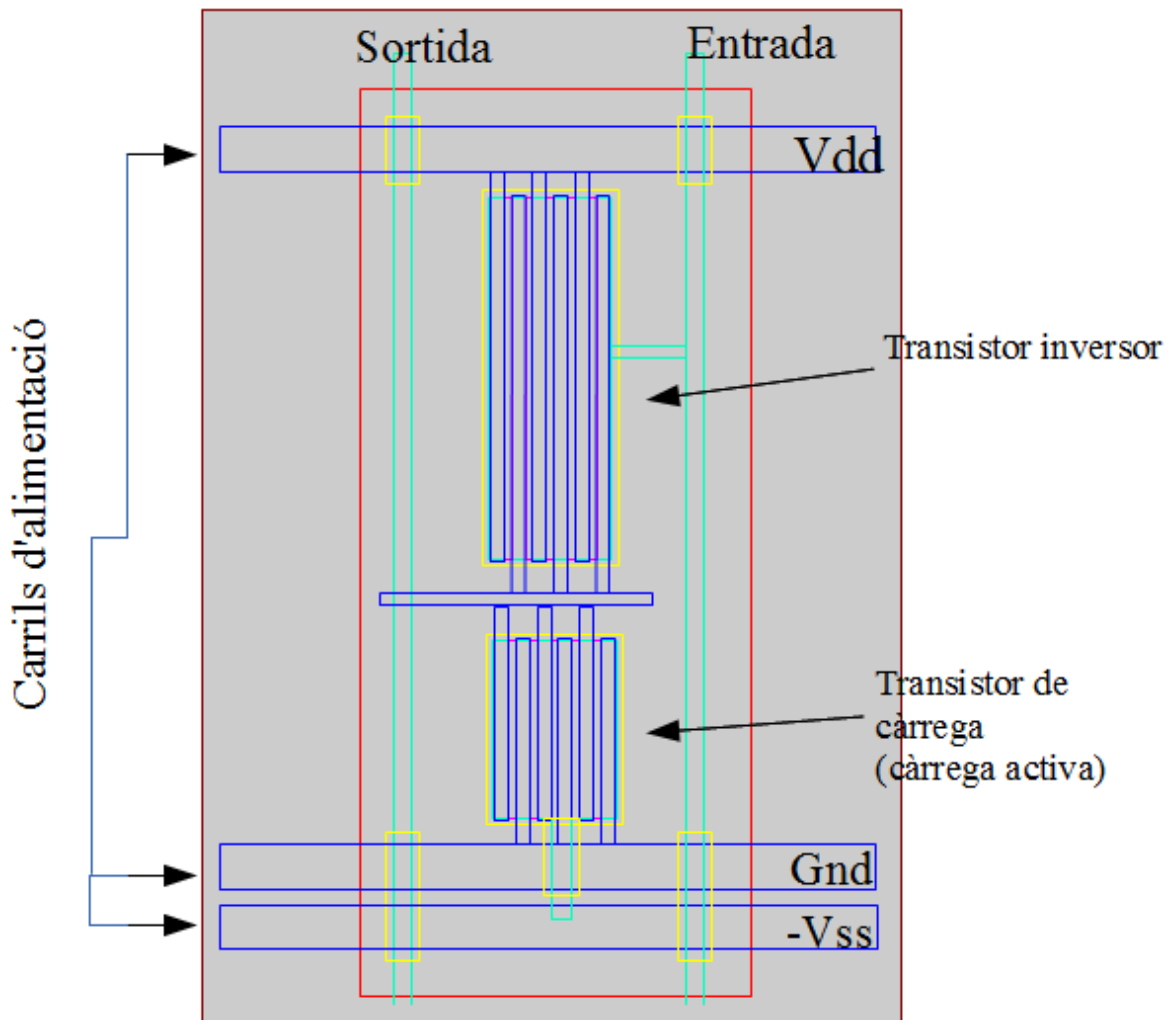


Figura 3-6 Esquema d'una porta inversora

D'aquest esquema se'n poden extreure algunes conclusions:

- Estructura:
 - La distància entre els tres carrils d'alimentació haurà de ser la mateixa per totes les cel·les.
 - La distància entre el carril -Vss i Gnd (Figura 3.7) es veu dictada per la norma de disseny aïllant-metall.
 - L'àrea (requadre vermell en l'esquema de l'inversor) i l'estructura de l'interior dependrà segons la complexitat.
 - Els carrils d'entrada i sortida travessen la cel·la de forma perpendicular.

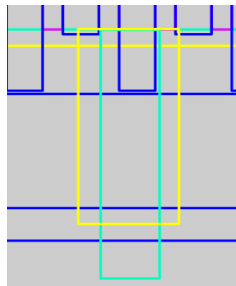


Figura 3-7 Detall contacte porta de la càrrega activa

- Materials:
 - Els carrils d'alimentació estan formats per Metall 2. En contraposició, els carrils d'entrada/sortida estan formats per Metall 1. A les interseccions hi haurà d'haver el corresponent aïllant (figures 3.7 i 3.8).
 - Per convenció, tots els transistors hauran de seguir els mateixos materials (degut a les normes de disseny) contactes (font-drenador) Metall 2, terminal de porta, Metall 1.

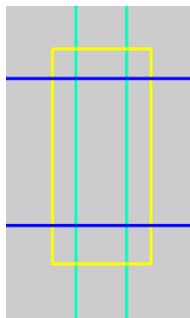


Figura 3-8 Detall intersecció metall 1 metall 2.

3.3.4. Biblioteca de cel·les

La planificació sobre el nombre de cel·les que integraran la biblioteca és una tasca que depèn de l'aplicació, però generalment és preferible disposar del major nombre possible de cel·les. No obstant, s'ha vist al primer capítol que disposar d'un conjunt no molt extens de cel·les pot suposar

una reducció en el nombre de transistors totals del disseny, i per tant, de l'àrea que ocupa. En aquest apartat es farà una exploració sobre les cel·les que s'implementaran al següent capítol.

3.3.5. Portes lògiques bàsiques

Dins d'aquest grup s'hi inclouen les portes que es generen directament segons la disposició del transistors en paral·lel/sèrie, en concret es tracta de les portes Nand i Nor, respectivament. El nombre de transistors necessaris en cada cas és de $N + 1$ on N és el nombre d'entrades. En el cas de les portes Nor, al tractar-se de transistors en sèrie, no és convenient realitzar portes de més de dues entrades per a la poca mobilitat dels semiconductors i la caiguda de tensió resultant[11].

3.3.6. Portes lògiques compostes

Els elements lògics compostos resulten d'aplicar les combinacions anteriors. A partir d'agrupacions de transistors en sèrie i paral·lel i un transistor de càrrega es poden obtenir reduccions significatives en el nombre de transistors. Aquest és el cas de la porta lògica Xor, la qual es pot derivar a partir de l'aplicació del teorema De Morgan (Eq 3.1), on el resultat és una agrupació d'una porta Nor, amb una porta lògica AOI21 (And-Or-Invert) (Figura 3.9)

Equació 3-1

$$a \oplus b = a\bar{b} + \bar{a}b$$

$$a \oplus b = \overline{a \cdot b + \bar{a} \cdot \bar{b}}$$

$$= \overline{[a \cdot b + (\bar{a} + \bar{b})]}$$

Taula lògica

a	b	$a \oplus b$
0	0	0
0	1	1
1	0	1
1	1	0

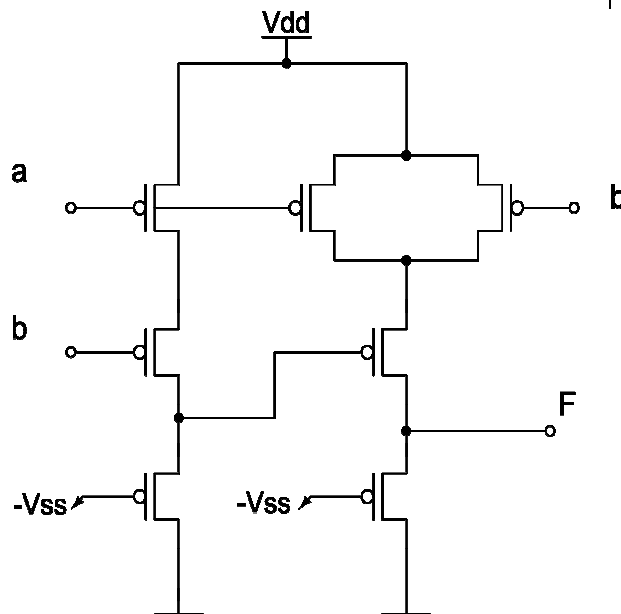


Figura 3-9 Esquema de la porta lògica Xor

Capítol 4. Generació automàtica de *layout*

El disseny del *layout* de circuits integrats és una activitat molt costosa en termes econòmics, o més ben dit, de temps. Encara més si a part de la pròpia complexitat del circuit, també es té en compte el desenvolupament de nous sistemes i la problemàtica del re-disseny. La solució per tots aquests problemes es troba en utilitzar estructures definides de forma paramètrica, a partir d'eines de generació de *layout*. Les cel·les proposades en l'anterior capítol es definiran de forma paramètrica.

4.1. Concepte de layout i cel·les paramètriques

Una cel·la paramètrica (Pcell) és un tros de codi (programa), que a través d'uns paràmetres d'entrada (característiques de l'estructura interna), genera una representació física (*layout*) de la cel·la. D'aquesta manera, la definició de la cel·la paramètrica, també anomenada “*master*”, pot generar múltiples instàncies de la mateixa cel·la, però amb diferents característiques. Els avantatges de l'ús de Pcells es poden resumir en aquests punts[13]:

- Evita la necessitat de disposar de versions duplicades de la mateixa cel·la, com a conseqüència s'estalvia espai d'emmagatzemament.
- Elimina els possibles errors que es podrien presentar en haver de crear els duplicats.
- Estalvia temps en l'anàlisi de prototips.

A part d'aquests punts, l'ús de Pcells pot suposar molts avantatges en el context d'aquest treball: la creació d'una biblioteca de cel·les des de zero, amb un procés tecnològic encara experimental. La extracció experimental, mitjançant un procés iteratiu, ha de portar a els paràmetres òptims de funcionament que serviran per a caracteritzar les especificacions de cada cel·la.

El paràmetre més important és el que defineix la mida dels transistors (W, L), perquè modifica directament la funcionalitat de la cel·la. En el cas de la lògica *ratioed*, és essencial tenir la capacitat de controlar els transistors per assegurar unes bones prestacions. No obstant, el codi generador de la cel·la s'ha de dissenyar de tal manera que els paràmetres d'entrada mantinguin l'estructura definida per a garantir la consistència entre tot el conjunt d'entitats de la biblioteca.

4.1.1. Eines de generació automàtica de *layout*

La definició de les Pcells normalment es realitza de forma programàtica degut a la versatilitat. Les eines que en permeten la definició es poden classificar en dos grups segons el llenguatge de programació que les implementa: SKILL i pycells. El primer cas es tracta d'un llenguatge basat en LISP de l'empresa Cadence, usat entre d'altres per l'entorn Virtuoso. En l'altre cas es tracta d'una API lliure basada en el llenguatge python i desenvolupada per Synopsis.

No obstant, s'han deixat de banda aquest conjunt d'entorns per a la implementació de cel·les del projecte, i al seu lloc s'ha escollit el llenguatge AutoLISP, que forma part del programa de disseny assistit AutoCAD, de l'empresa Autodesk. Encara que les anteriors eines són específiques pel disseny de circuits integrats i són acceptades per a la indústria, la motivació d'aquesta elecció rau en el fet de disposar d'un entorn de desenvolupament ràpid, apte per a realitzar prototips de dissenys i permetre la seva immediata implementació (per exemple, a partir d'una impressora d'injecció) atès que les eines professionals tenen una corba d'aprenentatge molt elevada i aquest pas seria molt feixuc de realitzar.

El programa AutoCAD disposa dels requisits necessaris, com un llenguatge d'*scripting*, pot treballar per capes i permet exportar els dissenys a través del format d'intercanvi DXF.

4.1 Generació de layout paramètric amb AutoLISP

El llenguatge de programació AutoLISP, està basat en un vell dialecte de LISP, encara que és antiquat i no disposa de les prestacions que s'han afegit als últims anys (macros, orientació a objectes, etc), les característiques principals es poden resumir en:

- Àmbit dinàmic
- Tipus de dades dinàmic
- Recollida automàtica de memòria

El llenguatge permet interaccionar amb l'entorn d'AutoCAD i controlar les entitats gràfiques mitjançant comandes i funcions primitives.

En les últimes versions s'hi ha integrat un entorn IDE, anomenat VisualLISP (Figura 4-1), que proporciona verificació de sintaxi, un depurador i fins i tot pot compilar el codi i així protegir-lo per a una posterior distribució.

4.1.1 Entorn de creació de *layouts* paramètrics

El conjunt de comandes i primitives gràfiques que proporciona l'AutoCAD serviran per programar a través del llenguatge AutoLISP, un conjunt de funcions que serveixin per a crear un entorn de disseny de *layouts* paramètrics. Per a realitzar aquest treball s'ha utilitzat la versió 2012 del programa, però no ha de suposar cap problema utilitzar versions anteriors.

A la il·lustració inferior (Figura 4.1) s'hi pot veure una captura de la pantalla principal; la línia de comandes serveix per a introduir instruccions específiques de disseny (per exemple: *line*), però també proporciona una REPL (*Read Eval Print Loop*) per a interaccionar directament amb el codi i modificar-ne els atributs.

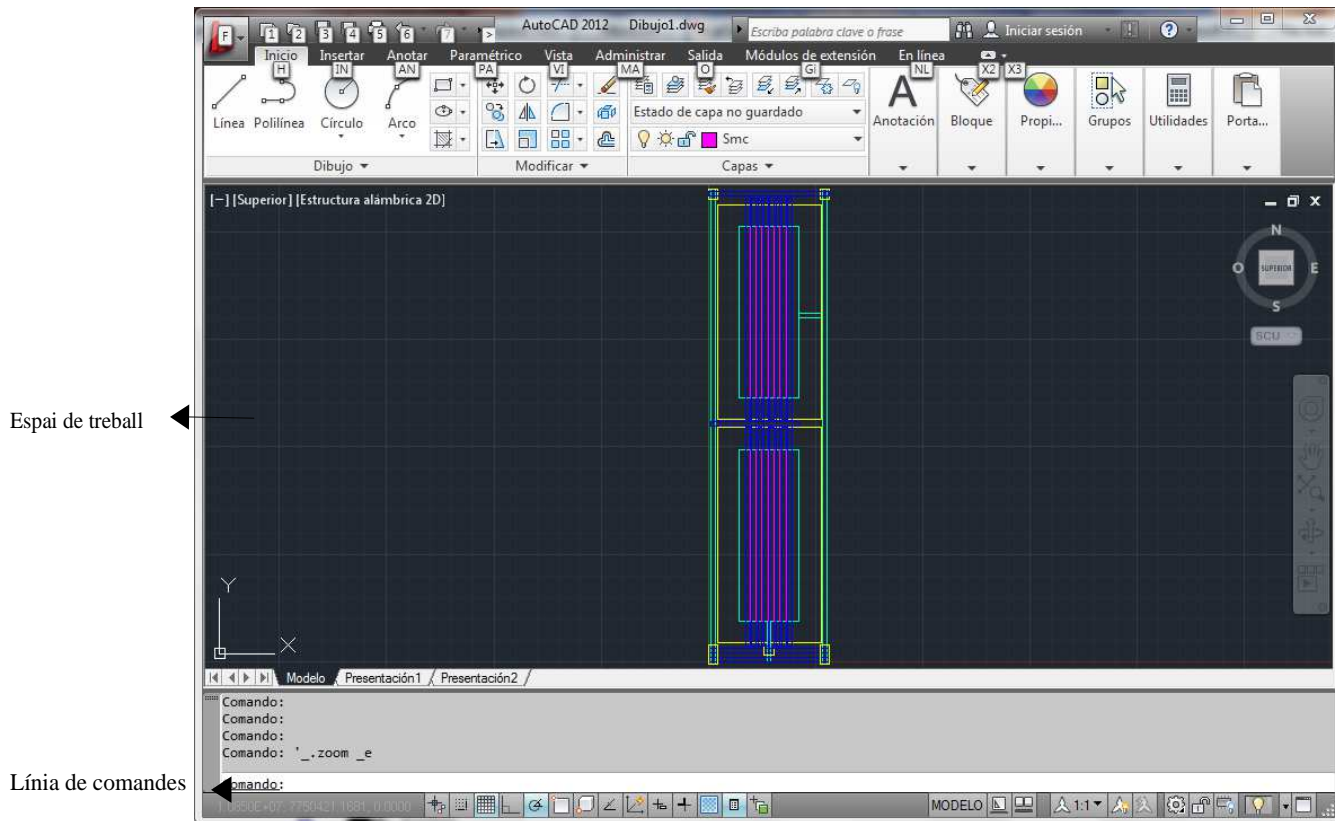


Figura 4-1 Captura de la finestra principal d'AutoCAD

El primer pas per a la programació de l'entorn consisteix en definir les diferents capes, les quals representaran els diferents materials i esdevindran les "màscares" del disseny. El nombre de capes final és de 5¹, ja que l'aïllant s'ha separat en dos parts: Tox, que serveix per definir l'aïllant de porta i Field que representa l'aïllant separador de connexions.

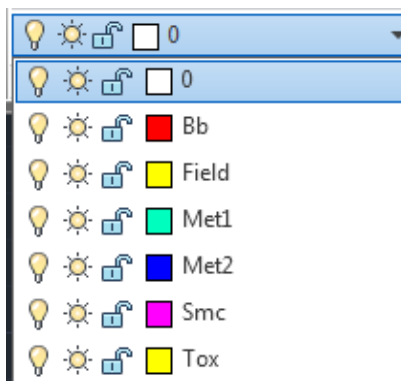


Figura 4-2 Drop list de selecció de capes

¹ La capa de nom "0" és per defecte i la capa "Bb" és de proves

El programa de creació de cel·les treballarà a partir d'aquestes capes i mitjançant funcions d'automatització, crearà les entitats gràfiques més bàsiques, que són els rectangles. Aquestes entitats es poden classificar en dos grups:

- Objectes paramètrics: se'ls hi assigna un valor de forma directe. Corresponen als transistors.
- Objectes escalables: la seva estructura es veu afectada en funció d'un altre element, o a causa del canvi de les regles de disseny, per exemple els aïllants (Figura 4.6)

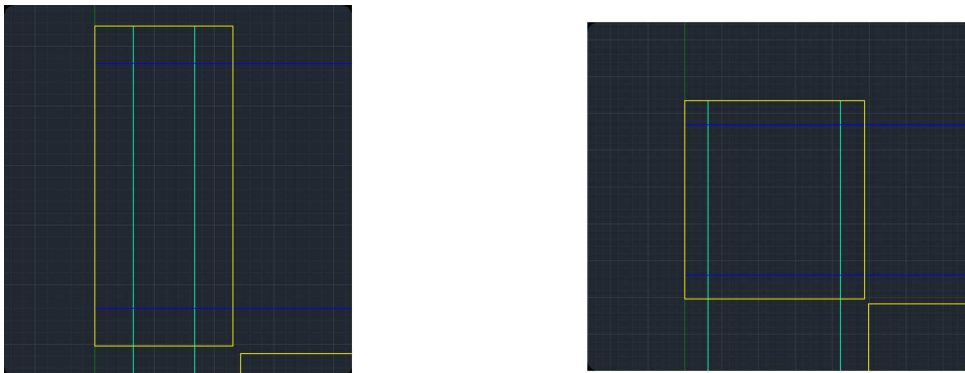


Figura 4-3 Exemple d'objecte escalable

4.1.2 Objectes paramètrics

La mida dels transistors és el paràmetre més important, ja que afectarà directament les prestacions del circuit i també és el que modificarà la morfologia de les cel·les.

Ja que la distància vertical ha de ser consistent entre el conjunt de cel·les, una manera d'assegurar-se que compleixi aquesta condició és l'ús de *fingers*. En el disseny de les cel·les, es disposa de dos paràmetres:

- **Wp**: Indica el llarg fix de porta, o amplada efectiva del transistor (figura 4.7).
- **Wp total**: Amplada total de la porta.

Si es divideix Wp_{total} / Wp s'obté el nombre de *fingers*. Si es manté fix el valor Wp , es pot definir una "direcció d'estirament" i així mantenir la coherència, tot variant les prestacions del circuit. Aquest fet es pot veure a la figura 4.8, en una filera d'inversors amb diferents valors de Wp_{total} . L'inversor de l'extrem dret és l'únic al que se l'hi ha variat el paràmetre Wp .

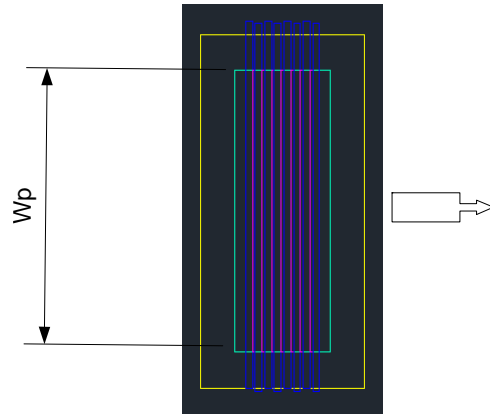


Figure 4-4 Layout d'un transistor

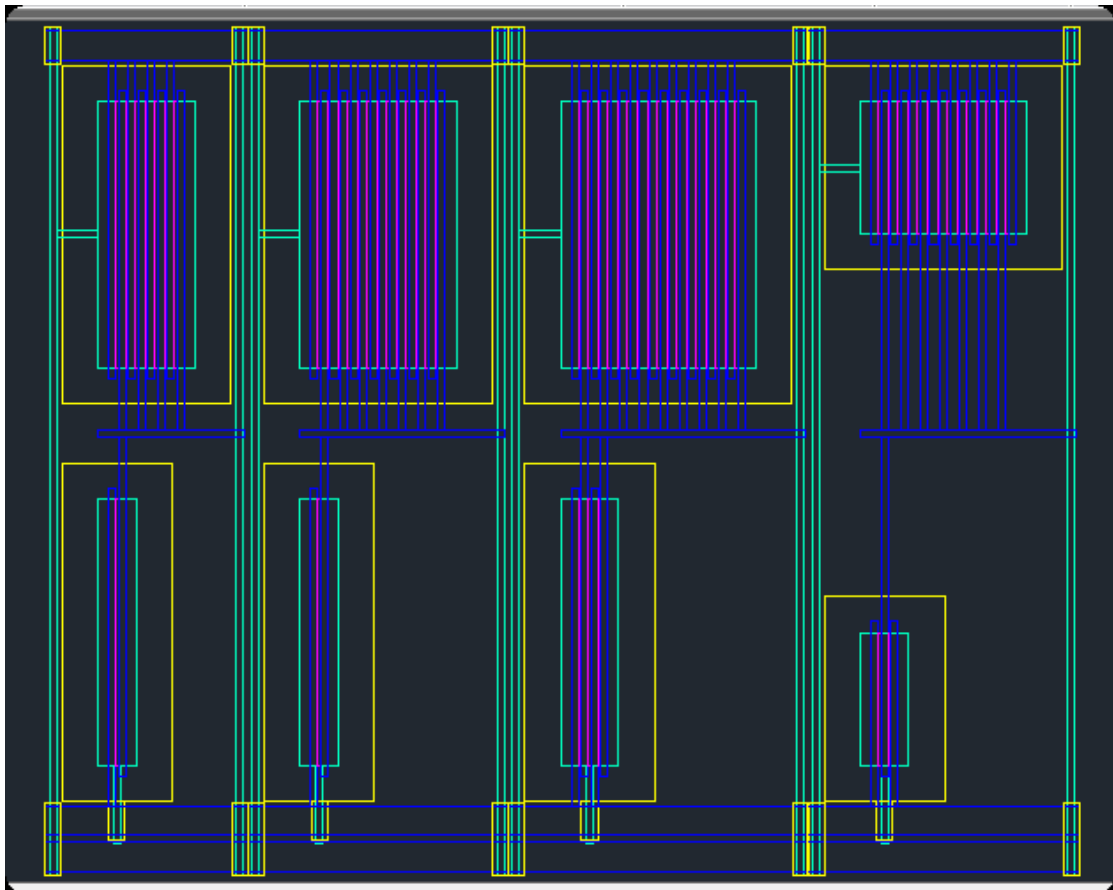


Figure 4-5 Filera d'inversors amb diferents valors de W_p

4.1.3 Disseny d'una cel·la paramètrica

Els passos per a la creació d'una cel·la paramètrica es poden resumir en:

1. Pas previ: planificació de la distància vertical:
 - a. Decidir l'emplaçament dels transistors.
 - b. Comptar el connexionat intern necessari.
 - c. Comptar el valor de les regles de disseny.

2. Implementació
 - a. Escollir un punt inicial (punt inserció)
 - b. Seguir un ordre de construcció, per exemple d'esquerra a dreta
 - c. Emplaçar els components segons l'ordre i el tipus (per exemple, un contacte
 - d. Emplaçar els components segons l'ordre i el tipus (per exemple, un contacte depèn de la posició d'un segon contacte, o primer definir un la intersecció de metalls per a després posicionar un aïllant)

4.2 Implementació de cel·les paramètriques

4.2.1 Nand

La primera versió de la porta Nand (figura 4.6) és una adaptació directe del layout de l'inversor, on es disposen dels transistors de commutació en una primera filera i en una segona filera es disposa el transistor de càrrega. No obstant, aquesta versió malgasta bastant espai. Una alternativa és disposar en la segona filera d'un transistor de commutació, alimentat a través d'una línia que l'alimenta a través del carril Vdd (Figura 4.7). Per a una mateixa $W_{p\text{total}}$ dels transistors, l'estalvi d' entre la primera versió de la porta Nand2 i la nova és del 10,44%. La diferència és més marcada per la versió de Nand3, ja que és del 27,19% a favor de la nova versió. La segona versió del layout també es pot adaptar per a fer una Nand4, però el disseny es pot millorar si s'adapten els valors de W_p dels transistors, es podrà disposar d'una tercera filera, amb el transistor de càrrega (Figura 4.8). Per fer aquest canvi s'ha aconseguit un 10,34% de millora en l'àrea ocupada.

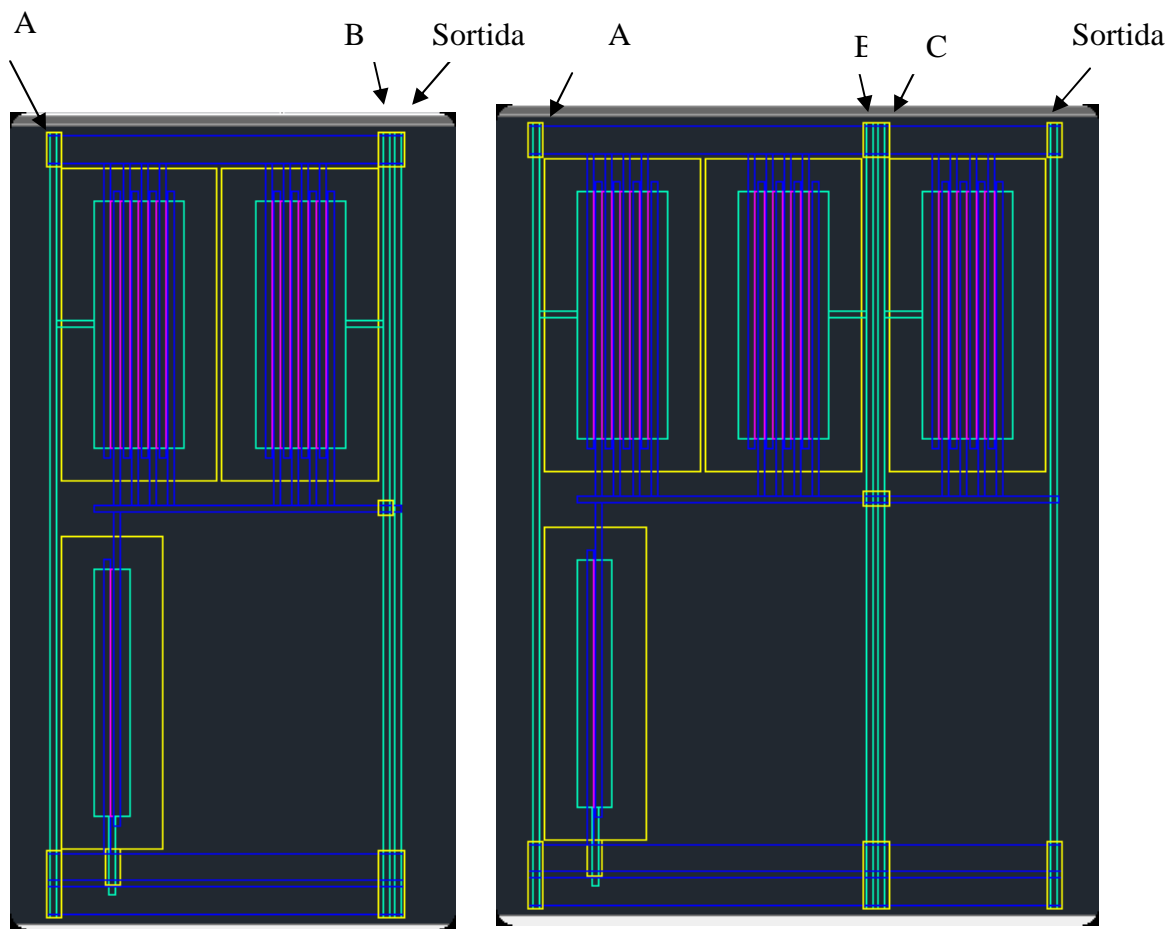


Figura 4-6 Primera versió Nand2 i Nand3

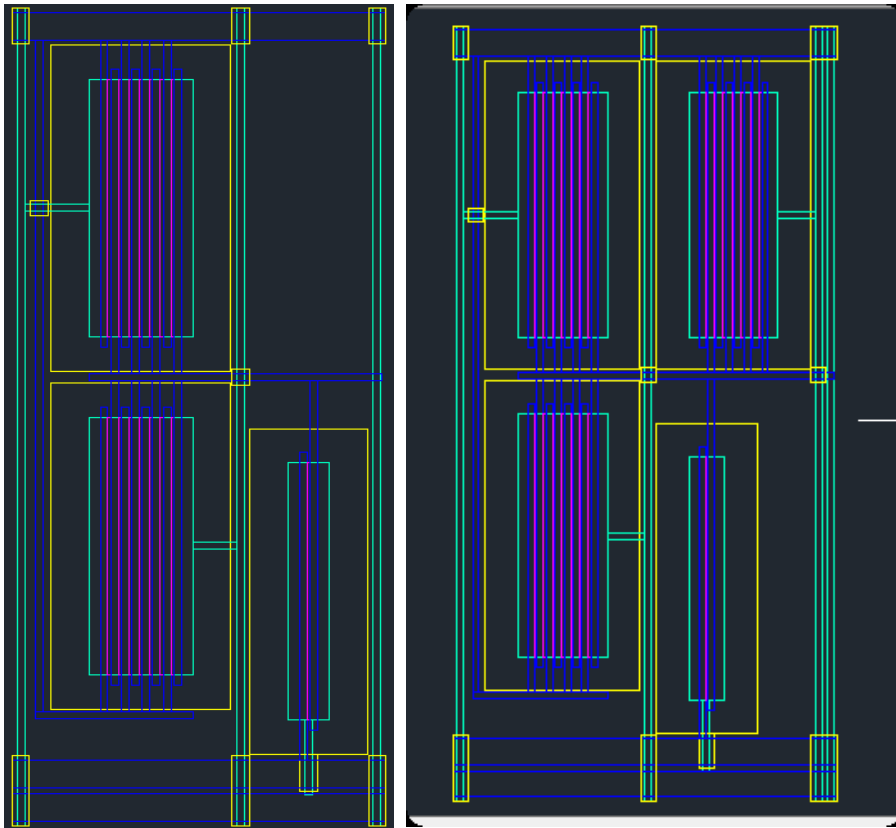


Figura 4-7 Segona versió Nand2 i Nand3

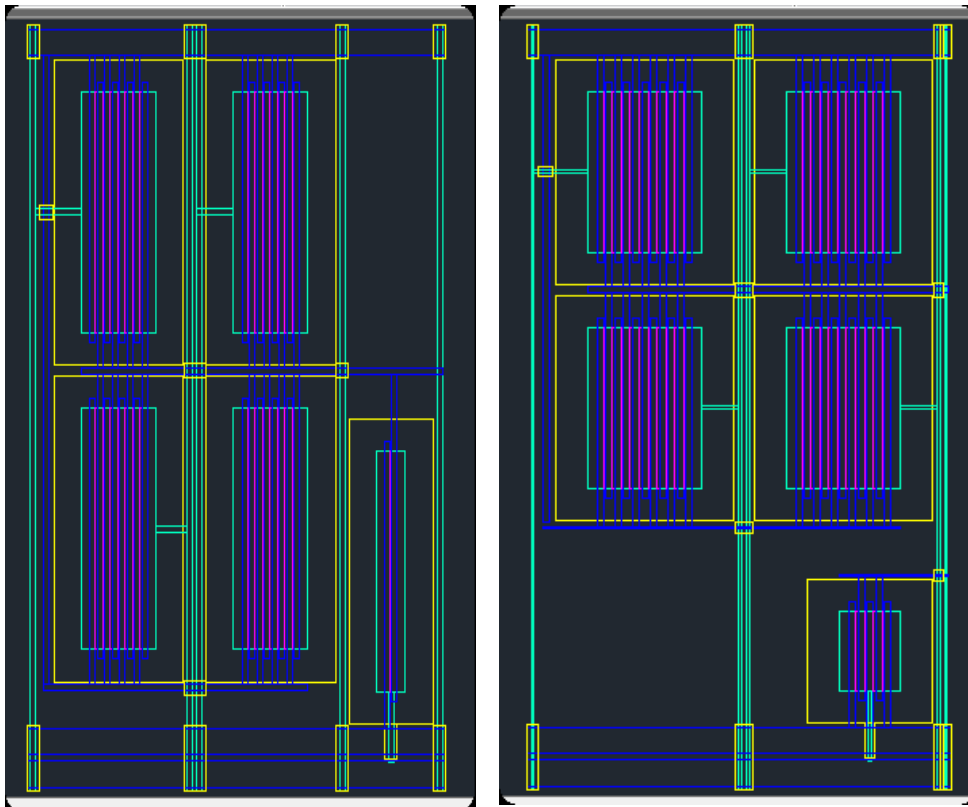


Figura 4-8 Nand 4, a la dreta amb els valors de W_p adaptats i canvis en el posicionament del transistor de càrrega

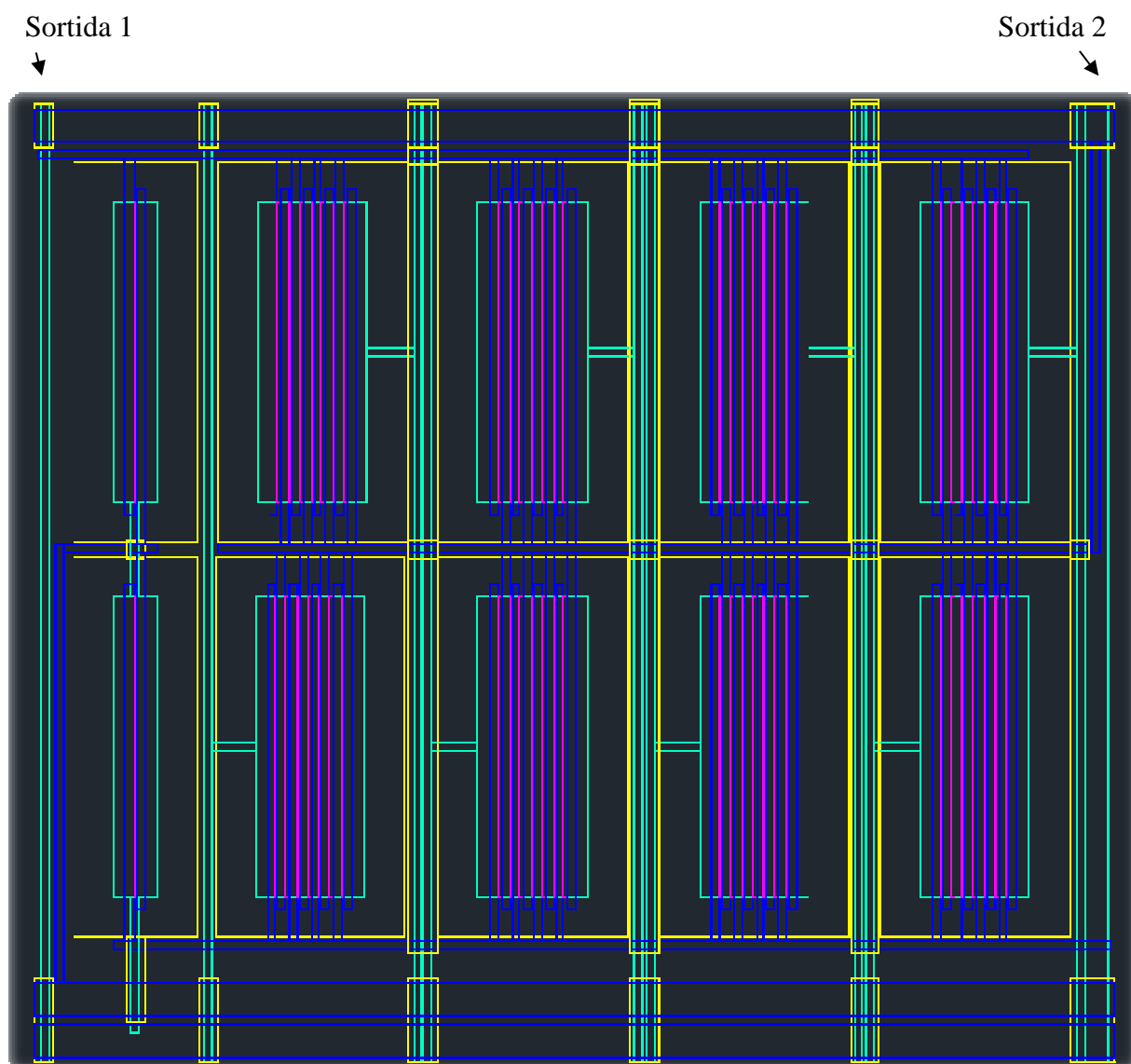


Figura 4-9 Doble Nand4

A la imatge superior es pot veure el *layout* d'una alternativa de construcció de portes lògiques Nand, la qual es tracta d'una cel·la de dues portes independents. En el cas de la figura 4.9 es tracta d'una porta Nand4. Els transistors d'aquesta alternativa es disposen en dues fileres, corresponents a les dues portes independents. La part central, entre aquestes fileres es troba un carril de distribució de Vdd; a l'extrem esquerra es troben els transistors de càrrega amb un carril de distribució de Gnd. L'avantatge d'aquesta alternativa de construcció és que suposa un avantatge en la densitat d'integració. Concretament, es guanya un 12% d'espai en comparació a disposar de 2 cel·les independents de Nand4 (en el cas de la versió de dues fileres de transistors).

4.2.2 Xor

Es pot veure a la figura 4-12 l'esquema amb l'identificador dels components i en l'altra figura un esquema amb l'emplaçament dins la primera proposta del layout.

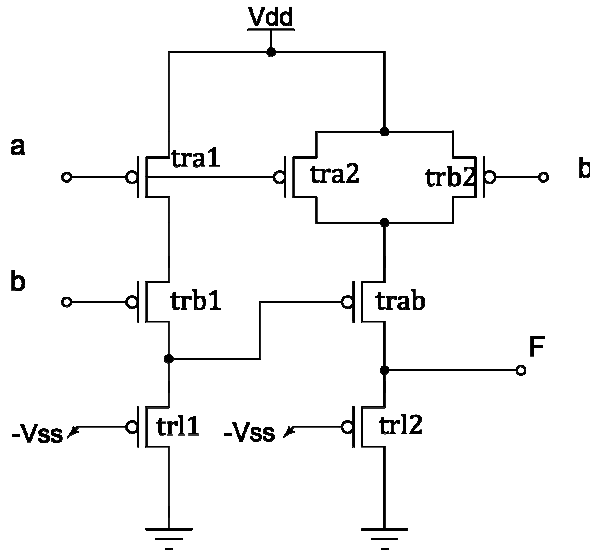


Figura 4-10 Esquema Xor

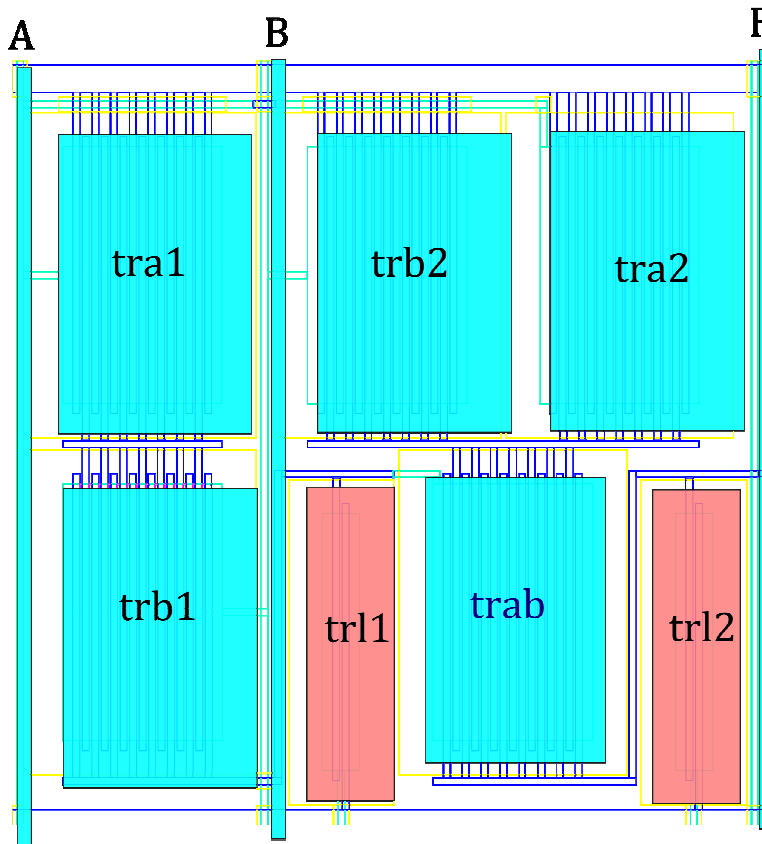


Figura 4-3 Esquema del layout, amb el posicionament dels components

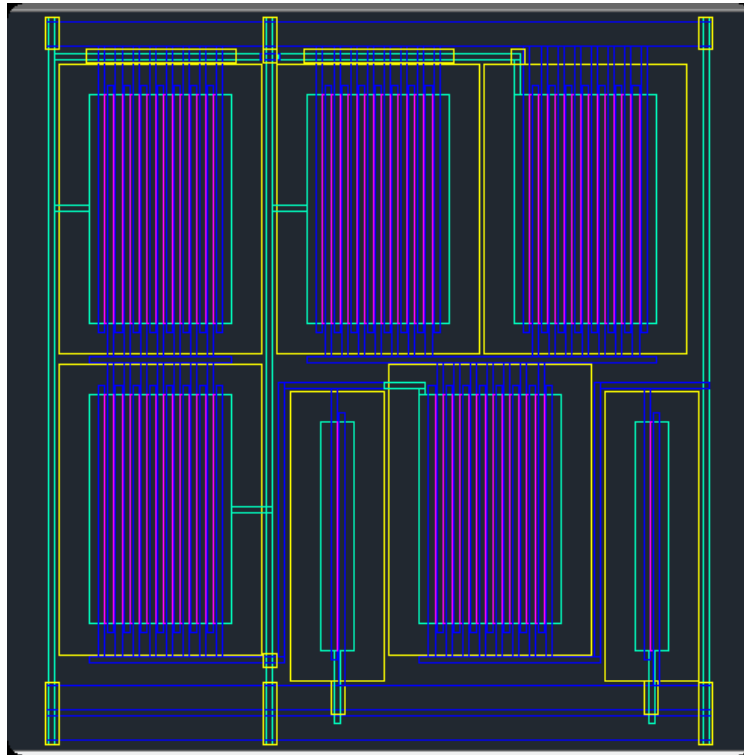


Figura 4-12 Primera versió Xor

La primera versió de la porta lògica correspon a un disseny de dos nivells. No obstant si es vol variar el paràmetre de W_p del transistor trab, el disseny no es fa tant òptim:

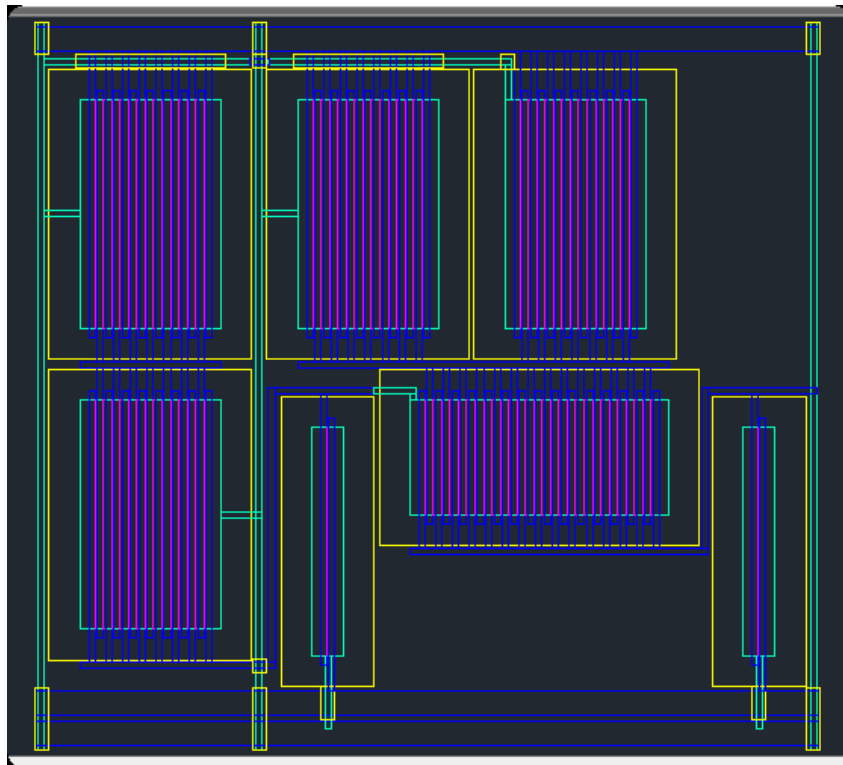


Figura 4-13 Cel·la resultant de la variació del paràmetre W_p de trab

La segona versió de la porta lògica es realitza en un disseny de dos i tres nivells, on els transistors de càrrega es disposen de forma horitzontal i el transistor *trab* queda a un nivell intermig, d'aquesta manera es pot adaptar el valor $W_{p\text{total}}$ i/o W_p del transistor *trab*, en consonància als transistors *tra2* i *trb2*, sense haver de desplaçar el transistor *trl2*.

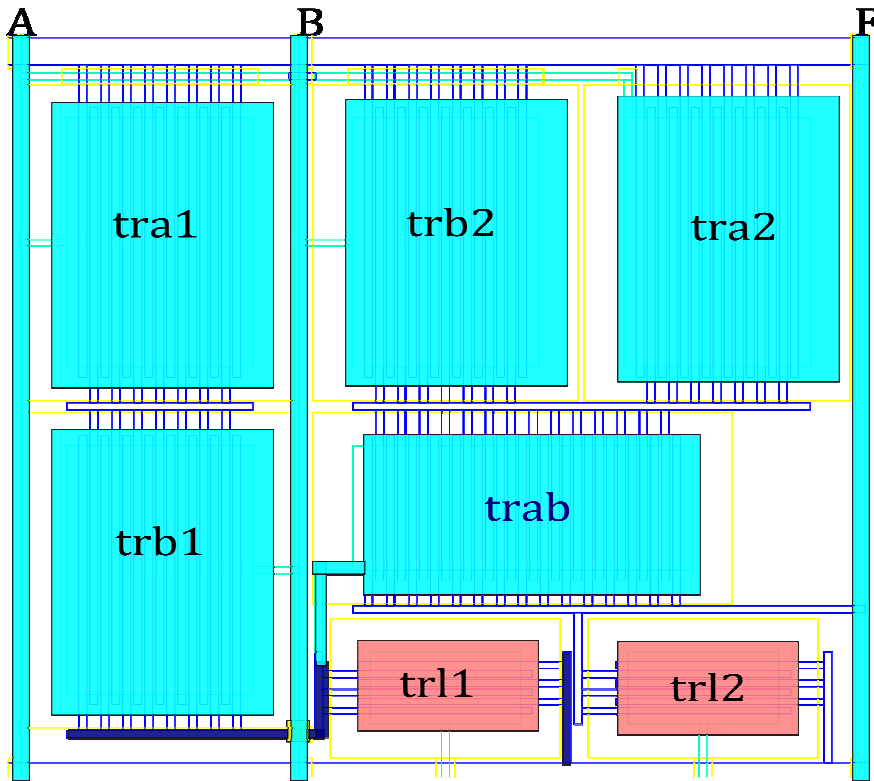


Figura 4-14 Esquema del layout, de la segona versió

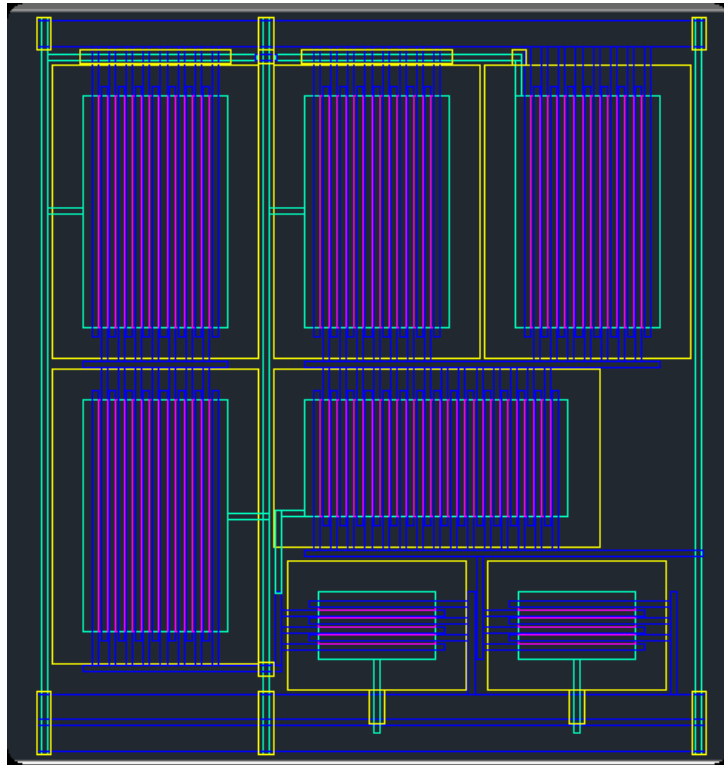


Figura 4-15 Segona versió Xor

5 Conclusions

Les conclusions que es poden extreure al moment de la conclusió del projecte es que he aconseguit desenvolupar correctament la representació geomètrica (layout) d'un petit conjunt de cel·les estàndard parametrizable, per a l'electrònica impresa, amb tecnologia PMOS i estil de disseny pseudo-PMOS. Aquestes cel·les formen una petita biblioteca que es pot integrar en un entorn EDA, mercès al fet que s'utilitza un entorn LISP habitual en eines de disseny i s'obtenen uns dissenys flexibles que permeten modificar el *layout* segons uns paràmetres s'adaptaran a la implementació final que dependrà de les regles de disseny i paràmetres elèctric de la tecnologia.

Els aspectes que s'han assolit són:

- Validar l'entorn que proporciona el programa AutoCAD i que s'ha mostrat molt flexible, amb moltes alternatives per a la definició i el disseny de les cel·les.
- Una vegada s'ha programat i configurat aquest entorn, la creació de les diferents cel·les, des de l'esborrany fins a la seva implementació, és molt ràpid.
- Degut a l'anterior motiu, abans de la implementació física es poden comparar diferents dissenys per a escollir el que ocupa menys àrea, per exemple.
- El procés de provatures és molt àgil, és apte per a dur a terme un desenvolupament continuat, permetent fer diferents canvis i visualitzant els resultats.

Per altra banda, cal fer esment que la flexibilitat que el programa AutoCAD proporciona per a definir el disseny de les cel·les també suposa una complexitat afegida alhora de seleccionar l'estratègia de codificació, procés que podria donar per a un altre treball. A causa d'aquesta flexibilitat, m'ha sorgit la dificultat afegida de plantejar el disseny i la programació de l'entorn. La forma d'implementar-lo m'ha portat a utilitzar funcions ad-hoc segons la forma de desenvolupament de les cel·les.

En quant als aspectes econòmics, s'ha de tenir en compte l'elevat cost del programa AutoCAD. Encara que per altra banda aquest problema es pot mitigar, perquè també existeixen altres eines de disseny assistit que suporten el llenguatge AutoLISP, com pot ser per exemple, el programa BricsCAD, amb un preu deu vegades menor al de l'anterior [14]. Tot i que no s'ha provat aquesta alternativa, no hauria de suposar cap problema, perquè només s'ha fet ús de les funcions bàsiques del llenguatge.

Per a concloure, es pot resumir que aquesta manera d'implementar les cel·les s'ha mostrat molt flexible i ràpida, molt més que no pas el disseny des de zero en un llenguatge especialitzat. Ara bé, amb l'inconvenient que les altres eines generen directament el *layout* en un format interoperable.

En relació al disseny de les cel·les, he demostrat que cada cel·la disposa de múltiples alternatives en quant a l'emplaçament dels components, però quan s'apliquen variacions en els

paràmetres (per exemple en l'amplada dels transistors), alguns dissenys no són tan òptims perquè desaprofiten espai. Així doncs, es pot concloure, que algunes cel·les són parametrizables dintre d'un interval, sinó, és millor mirar de refer el disseny.

5.1 Experiència personal i professional

Pel que fa a la valoració personal, i tenint en compte la perspectiva que m'ha atorgat l'haver arribat fins aquest punt, es poden fer els següents comentaris sobre el desenvolupament del projecte i sobre quins aspectes s'haurien pogut millorar.

La llibertat que m'ha suposat el plantejament i la forma de portar a terme els objectius ha estat potser excessiva la qual cosa ha endarrerit el procés de disseny. Encara que es van delimitar uns objectius intermedis en l'informe previ, el desenvolupament d'alguns punts no ha pogut seguir el camí marcat i ha durat més temps del necessari, o en alguns casos, han suposat quedar-se en un carreró sense sortida i haver de refer de nou el treball.

La solució de tot això hauria d'haver estat una major planificació temporal i el seu corresponent compliment, i haver realitzat un desenvolupament incremental fixant primer les especificacions més bàsiques i a partir d'aquí implementar els dissenys i fer evolucions a partir d'aquests passos.

Aquesta altra manera de fer podria haver estat més productiva, la qual cosa penso que es una bona conclusió a nivell d'experiència personal.

Com a aspectes positiu essencial, considero que els nous coneixements que he adquirit en l'electrònica impresa i en el disseny de *layouts*, em donen una projecció de futur significativa. Addicionalment, considero molt positiva la estimulació que m'ha suposat buscar informació científico-tecnològica i estudiar-ne la implementació, tenint en compte la poca informació disponible.

5.2 Evolució futura

El resultat d'aquest projecte ha esdevingut un punt de partida, des d'on es poden presentar diverses possibilitats, però siguin quines siguin aquestes, l'objectiu final és la creació d'una biblioteca integrada en un PDK (Process Design Kit), és a dir, agrupar en aquesta biblioteca un conjunt de fitxers on s'hi incloguin: (1) Conjunt de regles de disseny, (2) Model de simulació dels transistors (tipus SPICE), (3) Informació del layout (en un format que permeti interoperabilitat, com poden ser GDSII o OASIS) i (4) afegir-hi la informació elèctrica de la cel·la (temps, consum)..

Per arribar a aquest objectiu s'ha de sospesar si es podria continuar en aquest entorn i realitzar les millores pertinents, o si, per una altra banda, seria millor la traducció dels dissenys de les

cel·les a un llenguatge descriptor de Pcells especialitzat, com poden ser Skill o Pycells. De totes maneres, amb el resultat aquí presentat, ja es podrien realitzar alguns passos en aquest sentit, com podrien ser el pas per a un aplicatiu de DRC (Design rule checking), o sigui un comprovador de regles de disseny automàtic, o l'extracció de la informació de les estructures geomètriques per a un programa de simulació. Les possibles millores, però, són gairebé il·limitades.

Referències i Bibliografia

- [1] K. Myny, E. van Veenendaal, G. Gelinck, J. Genoe, W. Dehaene, P. Heremans, "An 8-Bit, 40-Instructions-Per-Second organic microprocessor on plastic foil," IEEE Journal of Solid-State Circuits, Vol 47, No 1, pp. 284-291, Jan. 2012.
- [2] E. Cantatore, T. C. T. Geuns, G. H. Gelinck, E. van Veenendaal, A. F. A. Gruijthuijsen, L. Schrijnemakers, S. Drews, D. M. de Leeuw", A 13.56-MHz RFID System Based on Organic Transponders", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 42, NO. 1, JANUARY 2007, 84-92
- [3] Takao Someya Tsuyoshi Sekitani, "Printed skin-like large-area flexible sensors and actuators", Proceedings of the Eurosensors XXIII conference, Procedia Chemistry 1 (2009) 9–12
- [4] <http://spectrum.ieee.org/biomedical/bionics/bionic-skin-for-a-cyborg-you>
- [5] Chin-Tsan Wang, Kuo-Yi Huang, David T. W. Lin, Wei-Chia Liao, Hua-Wei Lin, Yuh-Chung Hu, "A Flexible Proximity Sensor Fully Fabricated by Inkjet Printing", Sensors 2010, 10, 5054-5062
- [6] R. Sanahuja, Ll. Terés, E. Ramon, D. Marín, J. Carrabina, "Improving Circuit Performance by using Cell-Libraries for Application Specific Printed Electronic Circuits" LOPE-C 2012, pp. 282-285.
- [7] Ananth Dodabalapur, Organic and polymer transistors for electronics, materials today. April 2006 Volume9 Number 4 pp.24-30
- [8] Umur Caglar – tesi : Studies of Inkjet Printing Technology with Focus on Electronic Materials, Tampere University 2009
- [9] A. Facchetti, "Semiconductors for organic transistors", MaterialsToday, Vol 10, Num 3, 2007, pp. 28-37.
- [10] Qing Wu, Jingyi Zhang, Qinru Qiu, "Design considerations for digital circuits using organic thin film transistors on a flexible substrate", ISCAS 2006th Proceedings, pp. 1270 (2006)
- [11] Ioannis Kymissis, Organic Field Effect Transistors Theory, Fabrication and Characterization, Springer 2009
- [12] C. Martínez-Domingo, E. Ramon, A. Alcalde-Aragonés, J. Carrabina, "Inkjet Geometric Design Rules Generation and Characterization" LOPE-C 2012, pp. 293-297
- [13] Virtuoso Parameterized Cell Reference, Cadence design systems, 2002
- [14] <https://www.bricsys.com/estore/estoreBcad.jsp>
- [15] John P. Uyemura, Chip Design for Submicron VLSI: Cmos Layout and Simulation, Tohmson, 2006

[16] Ramon Alcobilla, Joan Pons, Daniel Bardés, Diseño digital Una perspectiva VLSI-CMOS, edicions UPC, 1995

[17] AutoLISP Reference Guide, Autodesk, 2012

Annex 1 Referència de les funcions de disseny

a) Estructures de dades

L'estructura de dades bàsica d'AutoLISP i LISP en general és la llista. Totes les entitats gràfiques s'emmagatzemen en llistes i fan ús de les funcions de gestió per accedir als seus elements, com són (car) per accedir al primer element de la llista i (cdr) per la resta d'elements. També existeixen diverses combinacions entre aquestes comandes per accedir als elements (veure la referència del llenguatge).

L'entitat en que es basen tots els objectes és el rectangle (Figura 1.1), es defineix a partir de dos punts P1(esquerra baix) P2(dreta dalt). Les coordenades s'emmagatzemen en una llista: ((xeb yeb) (xdd ydd)), per accedir directament a les posicions dels eixos x i y es disposen de les funcions p1x, p2x, p1y i p2y.

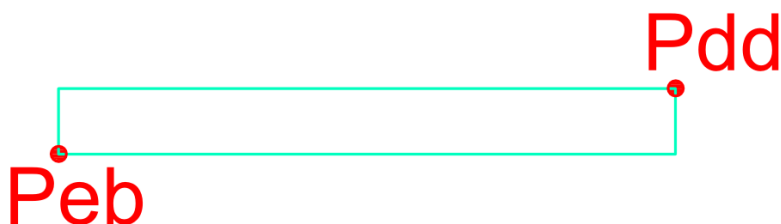


Figura 1-0-1 Exemple de rectangle

També existeixen les *dotted list* o llistes associatives, les quals es basen en una clau per accedir al valor. En aquest treball s'utilitzen per a emmagatzemar informació dels transistors:

Exemple de paràmetres d'un transistor:

```
((PORTA (1180000 11300000) (3360000 17300000)) (AILLANT (380000 10500000) (4160000 18100000))  
(NFINGERS . 7) (ROT . 0) (WP . 6000000))
```

Per accedir als diferents paràmetres es disposen de les següents funcions:

(**porta** transistor): retorna el rectangle que forma el contacte de porta.

(**n_fingers** transistor): retorna el nombre de fingers que formen part del transistor.

(**aillant_tr** transistor): retorna el rectangle que forma l'aïllant de porta.

b) Relació de funcions

Explicació del conjunt de funcions utilitzades per a implementar les cel·les.

(carrils ExtremDD)

Dibuixa els carrils d'alimentació d'acord amb el paràmetre d'entrada ExtremDD, el qual és un valor numèric que en defineix l'extrem horitzontal (límit de la cel·la) que s'hauran de dibuixar. Els valors verticals queden definits a les constants dels límits verticals. La funció no té cap retorn

(contacte_es pox)

Dibuixa un contacte d'entrada /sortida, que travessa la cel·la de forma perpendicular. El paràmetre d'entrada n'especifica l'extrem esquerra horitzontal. Retorna les coordenades del rectangle.

(transistor px py params rot)

Defineix el terminal de porta d'un transistor i l'aïllant associat. Els paràmetres d'entrada px i py representen la distància vertical i horitzontal respecte una entitat. Params és l'amplada Wp i Wp total, i rot indica l'orientació del transistor (0 vertical, 1 horitzontal)

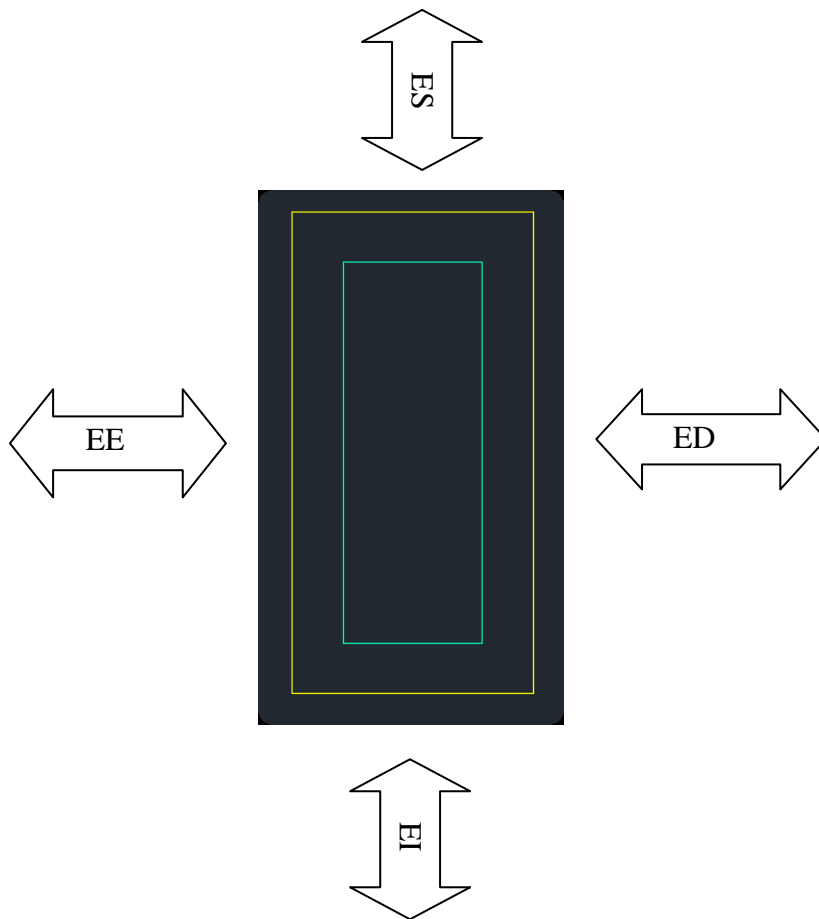


Figura 1-0-2

Exemple:

```
(transistor
  (list "ee" (+ (p2x input) N502 N503))
  (list "es" (- PmVddEB N503 N602))
  (list Wptotal Wp) 0))
```

(fingers transistor (list extrem_superior extrem_inferior) invers)

Defineix els fingers sobre el transistor d'entrada, entre les coordenades verticals de la llista d'entrada, invers inverteix l'ordre de creació dels fingers. El motiu és perquè coincideixin els contactes quan es disposen de dos transistors en sèrie (figura 1.3).

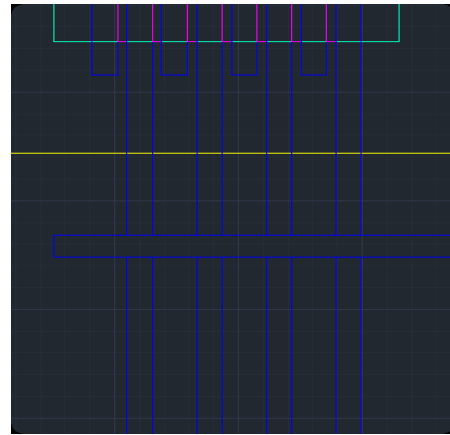


Figura 1-0-3 Exemple d'inversió de fingers (imatge dreta)

(contacte_porta transistor orientació posició_final)

Crea el contacte de porta del transistor, orientació és a quin costat (“v” vertical, i “h” horitzontal) i posició_final el punt final o inicial del contacte, segons el costat.

Exemple:

(contacte_porta tr1 "v" (p2x input))

(aïllant p1 p2)

Crea un rectangle aïllant entre els punts p1 i p2

(aïllant_intersec ch cv)

Crea un aïllant en la intersecció de ch (contacte horitzontal) i cv (contacte vertical)

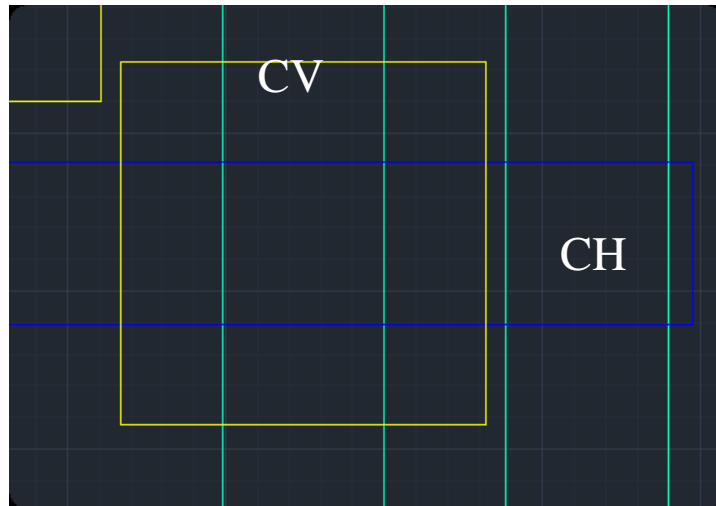


Figura 1-0-4

(aillant_io cont)

Crea els aïllants entre els carrils d'alimentació i el contacte cont. Pot ser un sol element (rectangle) o llista de rectangles:

```
(aillant_io (list input_b input_c))
(aillant_io input_d)
```

(contacte1_h (llista p1x p1y) (llista p2x p2y))

Crea un contacte metall 1 entre els punts p1 i p2, si la coordenada p2y és nul·la (nil) s'especifica la mida mida que indica la regla metall 1.

(contacte2_h (llista p1x p1y) (llista p2x p2y))

Crea un contacte metall 2 entre els punts p1 i p2, si la coordenada p2y és nul·la (nil) s'especifica la mida mida que indica la regla metall 1.

(contacte2_m dalt baix costat_esquerre costat_dret)

Crea un contacte metall 2 en la posició mitja entre dalt i baix, delimitat per costat_esquerre i costat_dret.

Exemple:

```
(contacte2_m (aillant_tr tr_a) (aillant_tr tr_b) (p1x (porta tr_a)) (+ (p2x output) N504))
```

c) Constants de les cel·les

Les constants que han de seguir el conjunt de cel·les es poden descriure en aquests punts i veure gràficament a la figura 1.5.

- **Punt inserció:** Coordenada on s'insertarà la cel·la.
- **Alçada de cel·la:** Hi inclou l'espai que ocupen els carrils d'alimentació.
- **Desbordament entrada/sortida:** distància que sobresurten els contactes d'entrada/sortida per els carrils d'alimentació.
- **Desplaçament horitzontal a l'inici:** Desplaçament horitzontal entre el punt d'inserció i el primer element de la cel·la.

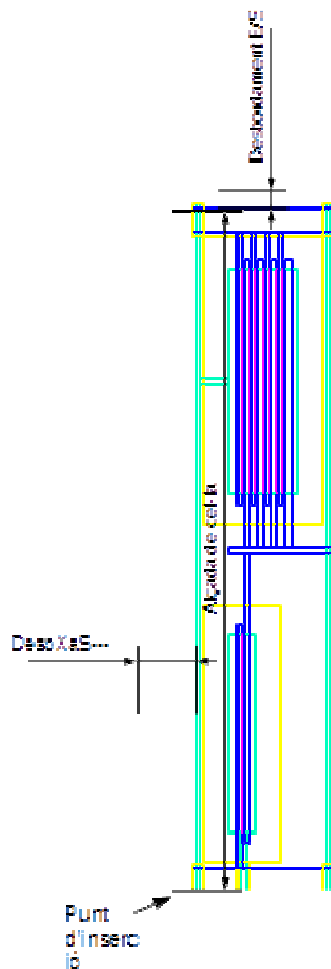


Figura 1- 0-5

Annex 2 Exemple de cel·la paramètrica

En aquest annex es mostra la implementació d'un inversor definit de forma paramètrica i la seva representació a la figura 2.1.

```
tr1: transistor inversor, (Wptotal, Wp)
tr2: transistor de càrrega (Wptotalps, Wpseudo)

;--Paràmetres dels transistors
(setq Wptotal 42000000)
(setq Wptotalps 8400000)
(setq Wp 3000000)
(setq Wpseudo 8400000)
;-----
```

1. Carril d'entrada

```
(setq input (contacte_es DesplXa5))
```

2. Definició del transistor inversor.

```
(setq tr1 (transistor
(list "ee" (+ (p2x input) N502 N503))
(list "es" (- PmVddEB N503 N602))
(list Wptotal Wp)
0))
```

3. Definició del transistor de càrrega

```
(setq tr2 (transistor
(list "ee" (+ (p2x input) N502 N503))
(list "ei" (+ PmGndDD N503 N602))
(list Wptotalps Wpseudo)
0 ))
```

4. Carril de sortida.

```
(setq output (contacte_es (+ N502 N503 (maxtrX (list tr1 tr2)))))
```

5. Contactes de porta dels transistors

```
(contacte_porta tr1 "v" (p2x input))
(setq cont_tr2 (contacte_porta tr2 "h" (- PmVssDD N504)))
```

6. Aïllant sobre el contacte de porta del transistor de càrrega.

```
(aïllant_cont tr2 cont_tr2)
```

7. Contacte de sortida

```
(setq cont (contacte2_m
```

```
(aïllant_tr tr1)
```

```
(aïllant_tr tr2)
```

```
(p1x (porta tr1))
```

```
(+ (p2x output) N504)))
```

8. Definició dels fingers

```
(fingers tr1 (list Pmvddeb (p2y cont)) 0)
```

```
(fingers tr2 (list (p1y cont) Pmgnddd) 1)
```

9. Creació dels carrils d'alimentació

```
(carrils (cadr output))
```

10. Creació dels aïllants dels carrils d'entrada/sortida sobre els carrils d'alimentació.

```
(aïllant_io input)
```

```
(aïllant_io output)
```

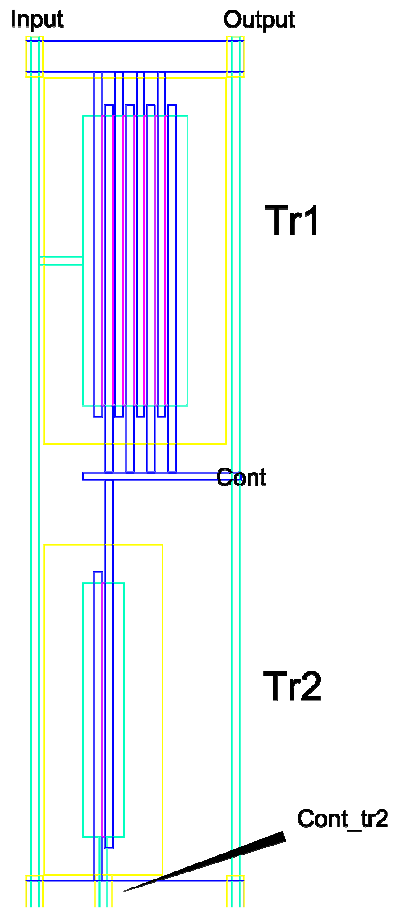


Figura 2-0-1 Inversor

David Gomez Puig
(Signatura)

RESUM

L'objectiu d'aquest treball és el disseny i la implementació d'un conjunt de cel•les definides de forma paramètrica, i orientades a l'àmbit tecnològic emergent de l'electrònica impresa. L'ús de cel•les paramètriques en aquest entorn tecnològic poc madur, ha de permetre que els dissenys s'adaptin als canvis de regles de disseny de les tecnologies en aquest cas per estils de disseny PMOS.

RESUMEN

El objetivo de este Trabajo es el diseño y la implementación de un conjunto de celdas definidas de manera paramétrica, y orientadas al ámbito tecnológico emergente de la electrónica impresa. El uso de celdas paramétricas en este entorno tecnológico poco maduro, tiene que permitir que los diseños sean capaces de adaptarse a los cambios de reglas de diseño de las tecnologías en este caso para estilos de diseño PMOS.

SUMMARY

The goal of this project is to design and implement a set of parametric Standard cells, aimed to the emerging technologic area of printed electronics. The use of parametric defined Standard cells in the context of a Technology with a low level of maturity has to allow future changes of design rules for PMOS design style.