

ELABORACIÓN DE UNA REFERENCIA DE BAJO VOLTAJE CON EL FENÓMENO DE
“BANDGAP”, UTILIZANDO TÉCNICAS DE MICROELECTRÓNICA.

LUIS FELIPE MORENO QUINTERO.

Pontificia Universidad Javeriana.

Facultad de ingeniería.

Ingeniería Electrónica.

Bogotá D.C.

2011

ELABORACIÓN DE UNA REFERENCIA DE BAJO VOLTAJE CON EL FENÓMENO DE
“BANDGAP”, UTILIZANDO TÉCNICAS DE MICROELECTRÓNICA.

LUIS FELIPE MORENO QUINTERO.

TRABAJO DE GRADO, PROYECTO.

Director de trabajo: GERMAN YAMHURE KATTAH.

Pontificia Universidad Javeriana.

Facultad de ingeniería.

Ingeniería Electrónica.

Bogotá D.C.

2011

PONTIFICIA UNIVERSIDAD JAVERIANA
FACULTAD DE INGENIERIA
CARRERA DE INGENIERÍA ELECTRÓNICA

RECTOR MAGNÍFICO: JOAQUIN EMILIO SANCHEZ GARCIA, S.J.

DECANO ACADÉMICO: Ing. FRANCISO JAVIER REBOLLEDO MUÑOZ

DECANO DEL MEDIO UNIVERSITARIO: P. SERGIO BERNAL RESTREPO, S.J.

DIRECTOR DE CARRERA: Ing. JUAN MANUEL CRUZ BOHORQUEZ, M.Ed.

DIRECTOR DEL PROYECTO: Ing. GERMAN YAMHURE KATTAH.

ARTÍCULO 23 DE LA RESOLUCIÓN No. 13 DE JUNIO DE 1946

"La universidad no se hace responsable de los conceptos emitidos por sus alumnos en sus proyectos de grado. Sólo velará porque no se publique nada contrario al dogma y la moral católica y porque los trabajos no contengan ataques o polémicas puramente personales. Antes bien, que se vea en ellos el anhelo de buscar la verdad y la justicia".

Artículo 23 de la Resolución No. 13, del 6 de julio de 1946, por la cual se reglamenta lo concerniente a Tesis y Exámenes de Grado en la Pontificia Universidad Javeriana.

TABLA DE CONTENIDO

1. INTRODUCCION	3
2. ESPECIFICACIONES	5
3. MARCO TEORICO.....	5
3.1 REFERENCIA DE VOLTAJE BANDGAP	5
3.2 TECNICAS DE LAYOUT.....	5
3.3 TECNOLOGIAS DE FABRICACION.....	6
3.4 APLICACIÓN DE LAS REFERENCIAS BANDGAP.....	7
3.5 TRANSISTORES VERTICALES, CMOS.....	7
3.6 MODELOS DE TRANSISTORES, Y PROCESOS DE VARIACION	8
3.7 DESCRIPCION FLUJO DE DISEÑO.....	9
4. DESARROLLO DEL PROYECTO.....	10
4.1 SELECCION DE LA TOPOLOGIA.....	10
4.2 OBTENCION DE LAS ECUACIONES DE DISEÑO.....	13
4.3 DISEÑO DE LA REFERENCIA DE VOLTAJE TIPO “BANDGAP”	15
4.3.1 RESULTADOS ESQUEMATICO	21
4.4 TECNICAS A UTILIZAR EN LA ELABORACION DE LAYOUT	23
4.5 DISTRIBUCION DEL CIRCUITO	24
5. ANALISIS DE RESULTADOS	29
6. CONCLUSIONES	32
7. BIBLIOGRAFIA.....	34
8. ANEXOS.....	35
8.1 NETLIST ESQUEMATICO	35
8.2 IMPLEMENTACION PMOS Y RESISTORES.....	36

TABLA DE GRAFICAS

Ilustración 1 Técnica de centroide común [4].	6
Ilustración 2. Transistor PNP lateral en el proceso de CMOS.[9]	7
Ilustración 3. Transistor PNP vertical en el proceso de CMOS.[9]	8
Ilustración 4. Flujo de diseño para un circuito integrado CMOS. [9].	9
Ilustración 5. Referencia de voltaje Bandgap propuesta por Banba[2].	11
Ilustración 6. Referencia de voltaje Bandgap propuesta por Jiang[3].	11
Ilustración 7. Referencia de voltaje Bandgap propuesta por Leung[5].	12
Ilustración 8. Generación de la una corriente PTAT [1].	13
Ilustración 9. Forma conceptual de la obtención del voltaje independiente de la temperatura. [1].	14
Ilustración 10. Variación de con la temperatura de las juntas (-10° a 100°).	15
Ilustración 11. Funcion de la diferencia de la densidad de corriente.	16
Ilustración 12. I vs V_{eb} del diodo	17
Ilustración 13. W vs I Pmos, $V_{sg}=0.5$ V, $V_{ds}=0.5$ V.	18
Ilustración 14. W vs I Nmos $V_{gs}=0.6$ V, $V_{ds}=0.6$ V.	19
Ilustración 15. W vs I Pmos . $V_{sg}=0.5$ V, $V_{ds}=0.9$ V.	19
Ilustración 16. Esquemático del circuito implementado.	20
Ilustración 17. Voltajes del circuito y voltaje de referencia a temperatura ambiente (25°C).	21
Ilustración 18. Variación con la temperatura del voltaje de referencia (-10°C a 100°C).	22
Ilustración 19. Máximo y mínimo de la referencia obtenida.	22
Ilustración 20. Línea de tendencia $V_{ref}(V)$ vs temperatura (°C).	22
Ilustración 21. Gradientes de temperatura y de stress.[12]	23
Ilustración 22. Inter-digitación, centroide común y dummies en el “ <i>matching</i> ” de dos transistores [12]...	24
Ilustración 23. Diagrama de distribución en el Layout del circuito.	25
Ilustración 24. Layout de la referencia de voltaje.	27
Ilustración 25. Reubicación de las estructuras del Layout, adición de blindaje y protecciones.	28
Ilustración 26. Voltaje de referencia obtenido.	29
Ilustración 27. Variación del voltaje de referencia con la temperatura.	30
Ilustración 28. Cálculo y tendencia del voltaje de referencia(V) vs la temperatura(°C).	30
Ilustración 29. Esquinas del proceso de fabricación.	31

1. INTRODUCCIÓN

Como hace referencia Bezhad Razavi en su libro [1], con el paso del tiempo la tecnología CMOS¹ ha abarcado a gran velocidad el diseño analógico de circuitos electrónicos, dando una mayor rentabilidad debido a las economías de escala y soluciones de gran desempeño, creciendo a tal punto de dominar el mercado de la electrónica [8]. Con solo algunas aplicaciones en donde las junturas bipolares encuentran acogida, la tecnología CMOS ha emergido como la solución a la integración de los sistemas extensamente complejos de las señales mixtas. En general el diseño de circuitos analógicos se ha acogido a esta tecnología debido a las exigencias del mercado. Los circuitos analógicos pasaron de ser sistemas de alto voltaje y alta potencia que contenían unos pocos transistores, a ser elementos compactos con miles de transistores de un bajo consumo y con apenas unos cuantos voltios para su operación, de esta manera las técnicas actuales en el diseño analógico se han adaptado a este propósito.

Otro de los temas que envuelven a este proyecto es el diseño de circuitos de bajo consumo se ha constituido como uno de los temas más importantes a tratar en ciertas áreas de la electrónica, debido a la gran demanda de bajo consumo de energía en la electrónica actual y al fuerte incremento de aplicaciones portables que operan con bajos voltajes y buscan una prolongada duración de trabajo sin recarga. En los circuitos integrados, que demandan bajo consumo de potencia, baja variación con la temperatura y una robustez importante respecto a las fuentes de alimentación el tema de una referencia de voltaje es uno de los problemas clave a solucionar. Un ejemplo de la utilización de referencias de voltaje, son los bloques de potencia DC-DC y circuitos mixtos, tales como los ADCs-DACs, en los cuales es imperativo una gran exactitud en dicha referencia con el fin de alcanzar una alta resolución en la obtención de datos, inclusive en condiciones en donde las fuentes de alimentación son bajas (1V-3V). De esta manera y sin lugar a dudas la exactitud y precisión en una referencia de voltaje determina el desempeño en ciertos circuitos integrados.

Las referencias “bandgap”² (BGR) son unos de los generadores de referencia de voltajes más populares que fácilmente alcanzan los requerimientos de ser estables ante: la temperatura, la variación de voltaje y de variaciones en el proceso. Sin embargo la excursión de voltaje de un BGR convencional es de aproximadamente 1,25 eV, (un valor muy cercano a la banda de energía del silicio) lo que limita el diseño de circuitos de bajo voltaje con referencias de voltaje BGR en ellos.

Dada la miniaturización de las tecnologías, y el creciente esfuerzo por lograr circuitos de bajo consumo se plantea la solución de implementar referencias bandgap que alcancen valores menores a 1-V en tecnología CMOS [2] [3] [4] y [5] las cuales muestran una diversidad de implementaciones, que permiten mejorar las características de las referencias de bajo voltaje.

Para las referencias de voltaje, especialmente para los BGR la tecnología predilecta es CMOS debido a su gran acogida en el mundo electrónico, especialmente por sus bajas corrientes de fuga proporcionando un menor consumo de energía, y en este caso especial permite una fácil extracción junturas tipo P y N, necesarias en la implementación de la referencia de voltaje “bandgap”.

En cuanto a la elaboración del circuito, es de gran importancia tener presente que todos los circuitos integrados están sometidos a variaciones de los parámetros (W , L , V_{th} ³, entre otros) de los transistores debido a los procesos de fabricación [6] y [7], ocasionando cambios en los resultados esperados, es esta la razón por la cual el diseño en Layout cobra su grado de importancia, al reducir de forma efectiva los efectos de las variaciones ocasionadas en el proceso de elaboración sobre el circuito final [7].

¹ Cmos denota: “Complementary Metal Oxide Semi-conductor”.

² Bandgap o banda de energía hace referencia a la energía necesaria para liberar un electrón de la capa exterior de su órbita alrededor del núcleo para convertirse en un portador de carga móvil.

³ W, L y V_{th} significan ancho, largo de canal y voltaje de de umbral del transistor respectivamente

Considerando los temas planteados anteriormente, surge este proyecto el cual pretende implementar o tomar como referencia a las topologías planteadas por [2] , [3] , [4] y [5] para realizar un BGR alrededor de 1V en tecnología CMOS.

Como objetivo principal del proyecto se busca realizar una referencia de bajo voltaje con el fenómeno de “bandgap” a nivel de Layout, utilizando técnicas de microelectrónica en VLSI. Como resultado de esto se busca de forma específica el seleccionar una topología, a nivel de esquemático, para la referencia BGR. Posterior a esto se diseñará a nivel de Layout la referencia de voltaje seleccionada, proponiendo una topología adecuada para minimizar los efectos de variación de los parámetros W, L y V_{th} del proceso de fabricación por medio de técnicas de Layout adecuadas y finalmente se evaluarán los efectos de variación del proceso en la topología de Layout propuesta.

Este texto contiene las especificaciones propuestas para la referencia de voltaje, a continuación presenta el contexto que envuelve a las referencias de voltaje tipo “Bandgap”, los circuitos en escalas micrométricas, y los procesos de elaboración de los mismos. Posteriormente el desarrollo del proyecto es abordado.

De forma específica, en el capítulo 4 presenta el proceso del proyecto, mostrando el avance de los objetivos de selección de la topología y diseño de Layout en el, mientras que el capítulo de análisis de resultados y conclusiones presentan de forma implícita los últimos objetivos, de efectos de variación y análisis de la topología planteada.

2. ESPECIFICACIONES

En la elaboración de la referencia de voltaje BGR, se alcanzaron resultados cercanos de:

- . Fuente de alimentación: 1,7 V.
- . Rango de temperatura: -10- 100 °C.
- . Referencia de voltaje nominal: 813 mV .
- . Coeficiente de temperatura: 113 ppm/°C.

3. MARCO TEORICO

3.1 REFERENCIA DE VOLTAJE BANDGAP

Una referencia de voltaje, es una cantidad de voltaje DC⁴ que es usada en los circuitos electrónicos como base de comparación en las distintas operaciones requeridas por una configuración electrónica específica. Es esta la razón principal por la que se busca que dicha referencia posea características excepcionales frente a las posibles variaciones en el circuito, tales como la temperatura, las fuentes de alimentación, el cambio de los componentes, entre otras.

Por otra parte, una referencia de voltaje bandgap o “BGR”, busca la generación de voltaje por medio de topologías de circuitos que sean muy poco dependientes a variaciones en la fuente de alimentación y a los parámetros de procesos, y cuya dependencia con la temperatura esté muy bien definida con el fin de controlarla. De forma resumida, las referencias de voltaje tipo Bandgap combinan el coeficiente de temperatura (“TC”⁵) positivo de la diferencia de las junturas en el circuito, con el coeficiente negativo de la tensión producida por una juntura bipolar o diodo, dando como resultado la disminución del efecto de la temperatura en la referencia de voltaje, (es de aquí donde surge la denominación de este circuito como Bandgap, ya que la banda de energía del silicio disminuye conforme la temperatura aumenta, o TC negativo, y es este el efecto utilizado en la independización con respecto a la temperatura).

3.2 TÉCNICAS DE LAYOUT

Como cualquier proceso de fabricación, la elaboración de circuitos cuenta con errores de producción, debidos a la precisión de las maquinas usadas, la distinta mezcla de materiales y la naturaleza química de los mismos. Dichos errores provocan el cambio en los distintos parámetros de los transistores, y es por esto que surgen distintas disposiciones, o técnicas de Layout, con el fin de disminuir las diferencias causadas por las variaciones en la producción entre los circuitos teóricos y los circuitos reales.

Las técnicas de Layout, son las diferentes organizaciones y formas, de los dispositivos electrónicos en un circuito, que son diseñados para lograr el mejor desempeño, y en consecuencia una mayor invulnerabilidad ante las variaciones del proceso de fabricación y alteraciones de variables externas como

⁴ DC es equivalente a “direct current” o flujo unidireccional de corriente.

⁵ TC se refiere al coeficiente de temperatura, relacionado con el aumento o decremento de una característica física con variaciones en la temperatura. Negativo si al aumentar la temperatura disminuye la característica o positivo si al aumentara la temperatura se incrementa la propiedad física.

la temperatura, tensión mecánica entre otras. Como ejemplo de las técnicas de Layout se encuentran la implementación de transistores “*dummies*”⁶ o partes “*dummies*”, y la técnica de centroide común. La primera tiene la función de proteger al circuito o dispositivo diseñado del fenómeno de “*etching*”⁷ en el proceso de elaboración y la segunda técnica consiste en crear una distribución simétrica de los dispositivos, de tal manera que el centro de las distintas estructuras establecidas, coincida en el mismo punto logrando así distribuciones uniformes de los fenómenos de variación sobre el circuito .ilustración [1].

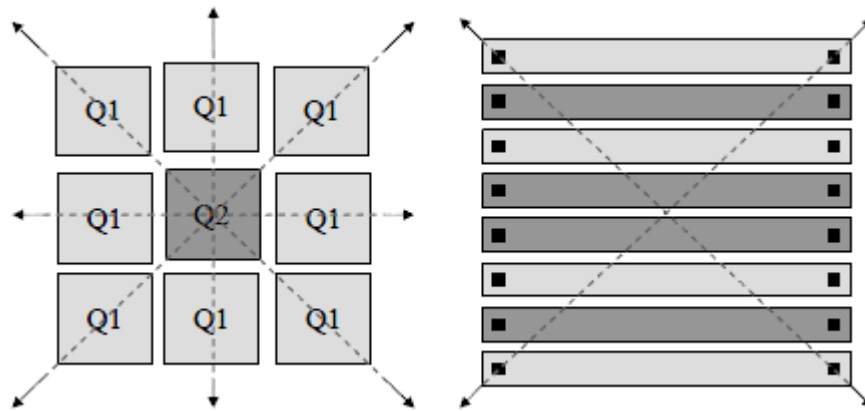


Ilustración 1 Técnica de centroide común [4].

3.3 TECNOLOGIAS DE FABRICACIÓN.

En las últimas décadas la tecnología de elaboración de circuitos que se ha impuesto es la llamada CMOS debido a su gran inmunidad al ruido, su bajo consumo de potencia y su bajo costo. Estas características mejoraron las cualidades de los circuitos lógicos, específicamente de los procesadores aumentando su capacidad de desempeño por watt usado y permitiendo la miniaturización de los mismos en la medida que la tecnología evoluciona.

Sin embargo, la tecnología CMOS no es la única utilizada en la elaboración de circuitos, ya que para la fabricación de circuitos digitales existen distintas familias lógicas como RTL (resistor-transistor-logic), TTL (transistor-transistor-logic), entre otras, que aunque son utilizadas en circuitos muy específicos, son dejadas de lado gracias a las bondades antes nombradas de CMOS y por los bajos precios que esta brinda, cualidades que se han alcanzado gracias a los grandes avances en esta familia de transistores.

En cuanto a la fabricación de circuitos analógicos también existe la tecnología BiCMOS o Bipolar-CMOS que tiene como característica la unión entre transistores bipolares con los CMOS en los procesos de fabricación. Como características de los BJT se destaca que son transistores que manejan alta potencia, son de alta velocidad, y presentan bajas capacitancias parasitas, sin embargo su elaboración es mucho más costosa, lo que da como resultado una tecnología que brinda circuitos de alta velocidad y alto ancho de banda, con los inconvenientes de mayor costo de elaboración y menor rendimiento en lo que se refiere a potencia comparados contra la tecnología CMOS, lo que postula esta última como la herramienta de implementación de los circuitos integrados a gran escala.

Como parte adicional, cabe destacar que la definición de una tecnología como 90 nm o 180 nm hace referencia a la mínima resolución alcanzada por el proceso, siendo así, para la tecnología de 90 nm se

⁶ Dummies pretende explicar dispositivos sin uso circuital aparente, usados para proteger los demás componentes en el proceso de fabricación.

⁷ Etching: proceso en el cual se usa un ácido fuerte u otra sustancia, para cortar o remover partes no protegidas en la superficie de un metal con el fin de crear un diseño específico.

espera un mínimo de 0,1 μm y para 180nm un mínimo de 0,18 μm , ya sea en la longitud 'L' o en ancho 'W' de los transistores.

3.4 APLICACIÓN DE LAS REFERENCIAS BANDGAP

Las referencias de voltaje son ampliamente usadas en los circuitos electrónicos, un ejemplo de esto es la generación de una corriente de polarización de un par diferencial a partir de una referencia, de este modo surge una relación directa entre las referencias de voltaje y características como la ganancia y el ruido de un circuito, debido a que una referencia mucho más robusta ante cambios se traducirá en mejores características del circuito. Otro ejemplo de la utilización de referencias de voltaje proviene de los conversores A/D y D/A, debido a la necesidad de definir un rango de escala completo tanto a la entrada como a la salida a partir de un voltaje DC estable o referencia de voltaje.

Las referencias de voltaje tipo bandgap son usadas en convertidores A/D y D/A gracias a su bajo costo de producción y simplicidad frente a otros circuitos. De forma general, son usadas en sistemas cuya máxima precisión llega a ser de 10 bits, y tienen características como errores iniciales de 0.5-10% , coeficientes de temperatura de 25-50 ppm/ $^{\circ}\text{C}$ y un ruido asociado a la salida de 15-30 μVpp (0.1-10 Hz) [11], sin embargo, hay que considerar que éstos son parámetros para sistemas con fuentes de alimentación de 5 V y 10 V lo que plantea un problema en la reducción de las fuentes y mucho mas para una referencia sub 1V, dando origen a la necesidad de recurrir a nuevas topologías de implementación y nuevas metodologías de diseño, como las propuestas por Banba[2], Leung[3] y Jiang[5] .

3.5 TRANSISTORES VERTICALES, CMOS.

Dentro de la topología básica del BGR se encuentra que como núcleo de la misma se utiliza el transistor bipolar PNP, ya que al usar su juntura base emisor se obtendrá el voltaje con TC negativo (diodo), lo que hará posible la cancelación de la dependencia con la temperatura de la referencia.

En la tecnología CMOS el transistor bipolar tipo PNP es formado por un implante P+ como emisor, un pozo N como una base y un sustrato tipo P como el colector como se muestra en la ilustración 3, sin embargo, y como muestra las ilustración 2, hay diferentes componentes parásitos que son extraídos de los procesos de fabricación y que pueden ser aprovechados en la construcción de distintos transistores bipolares.

Nótese que al atar el colector y la base a un mismo potencial, ilustración 3, se forma un diodo a partir del transistor PNP, conocido también como *DIODE-CONNECTED TRANSISTOR*.

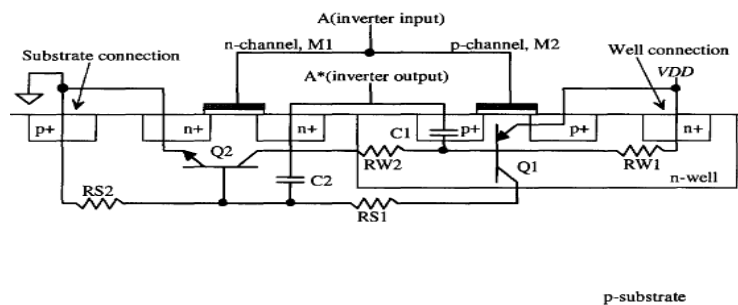


Ilustración 2. Componentes parásitos en el proceso de CMOS.[9]

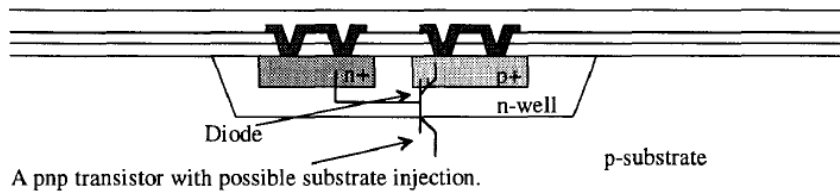


Ilustración 3. Transistor PNP vertical en el proceso de CMOS.[9]

En la tecnología CMOS estándar es imposible producir transistores bipolares sin la adición extra de un sustrato (ilustración .2). En esta tecnología los transistores bipolares laterales poseen baja ganancia en corriente, las corrientes de fugas hacia el sustrato son altas y son difíciles de controlar esto produce características pobres de este tipo de dispositivos, es por esto que los transistores verticales surgen como

opción principal, siendo más reproducibles y con mejores parámetros. [10].

3.6 MODELOS DE TRANSISTORES, Y PROCESOS DE VARIACIÓN

En la creación de circuitos electrónicos existen distintos modelos los cuales son utilizados para el cálculo y la simulación de parámetros en los circuitos, sin embargo difieren entre ellos dependiendo de las constantes, la cantidad de parámetros utilizados y las distintas consideraciones incluidas en ellos, ya que algunos implican un mayor número de variables y observaciones, lo que se ocasiona una mayor capacidad de computo para su utilización, es por esto que se hace relevante seleccionar adecuadamente el modelo a utilizar, dependiendo de la profundidad del estudio y las especificaciones de diseño. Algunos de los modelos existentes de transistores son BSIM⁸1, BSIM3, Spice level 1, Spice level 2, entre otros.

Por otra parte, los procesos de elaboración tienen consigo errores implícitos que varían las características de los transistores. En lo que corresponde a la simulación de circuitos digitales los distintos transistores han sido clasificados de forma estadística según su velocidad de conmutación (esto se traduce en “*V_{th}*” menores, una cantidad de capacitancias parasitas más bajas, propiedades resistivas más altas, entre otras), como S “*slow*”, T “*typical*” y F “*fast*”, estas clasificaciones de los transistores forman las esquinas de análisis que dependiendo del circuito son más o menos favorables para el diseño en específico. Como se habla de *Complementary MOS*, en el análisis de las esquinas se nombra la característica para Pmos y Nmos así: SS, TT, FF, ST, SF, teniendo en cuenta todas las posibles combinaciones entre MOSFETs rápidos, lentos y típicos.

La información de la variación de los parámetros en la fabricación de circuitos, o las funciones de distribución aleatoria de variación que se utilizan para análisis de sus efectos en los circuitos análogos, hacen parte del secreto industrial de cada fabricante, es esta la razón de la utilización del análisis de las esquinas de transistores, ya que esta herramienta hace posible el análisis de los posibles efectos del proceso sobre el circuito de forma preliminar. En otras ocasiones es de interés mirar la variación de las características respecto a distintas situaciones, entonces se ubica el proceso en distintas esquinas, o se procede a efectuar una simulación Montecarlo, la cual analiza distribuciones de variables usando simulación de números aleatorios en variables de interés, esto es útil para observar las distintas posibilidades en la conformación de transistores, esto con el fin de analizar el peor caso de funcionamiento en los circuitos análogos, y determinar relaciones entre parámetros deseados.

⁸ BSIM traduce (Berkeley Short-channel IGFET Mode) en referencia al modelo planteado para la familia de los MOSFETS en los circuitos integrados.

3.7 DESCRIPCIÓN FLUJO DE DISEÑO.

El flujo de diseño de un circuito integrado, (ilustración 4), consiste en el seguimiento de ciertos pasos lógicos, como punto de partida se establece la definición de las entradas y salidas del circuito, es decir, las especificaciones, objetivos y limitaciones del mismo, posteriormente se establece la base teórica de la topología por medio de cálculos manuales y a continuación se ejecuta la simulación del circuito.

La siguiente etapa del flujo continúa con el Layout del circuito, seguido de las simulaciones incluyendo los parámetros parásitos y finalmente la etapa final incluye la fabricación, las pruebas y la evaluación del circuito integrado terminado [9].

Para este proyecto y en general para los desarrolladores del circuito, es de vital importancia saber acerca de la creación del Layout y el entendimiento de los elementos parásitos que están presentes en el proceso, ya que serán estos últimos los que modifiquen o limiten el funcionamiento del diseño planteado.

Los elementos parásitos son aquellas resistencias, capacitancias e inductancias presentes en los circuitos reales, y son directamente asociados con efectos tales como, el almacenamiento de carga, latch-up⁹ entre otras.

Cabe resaltar que para este proyecto el flujo de diseño se seguirá hasta los procedimientos de Layout y sus simulaciones respectivas, ya que no se poseen las herramientas necesarias para en un futuro cercano desarrollar la fabricación del circuito de la referencia de voltaje tipo Bandgap.

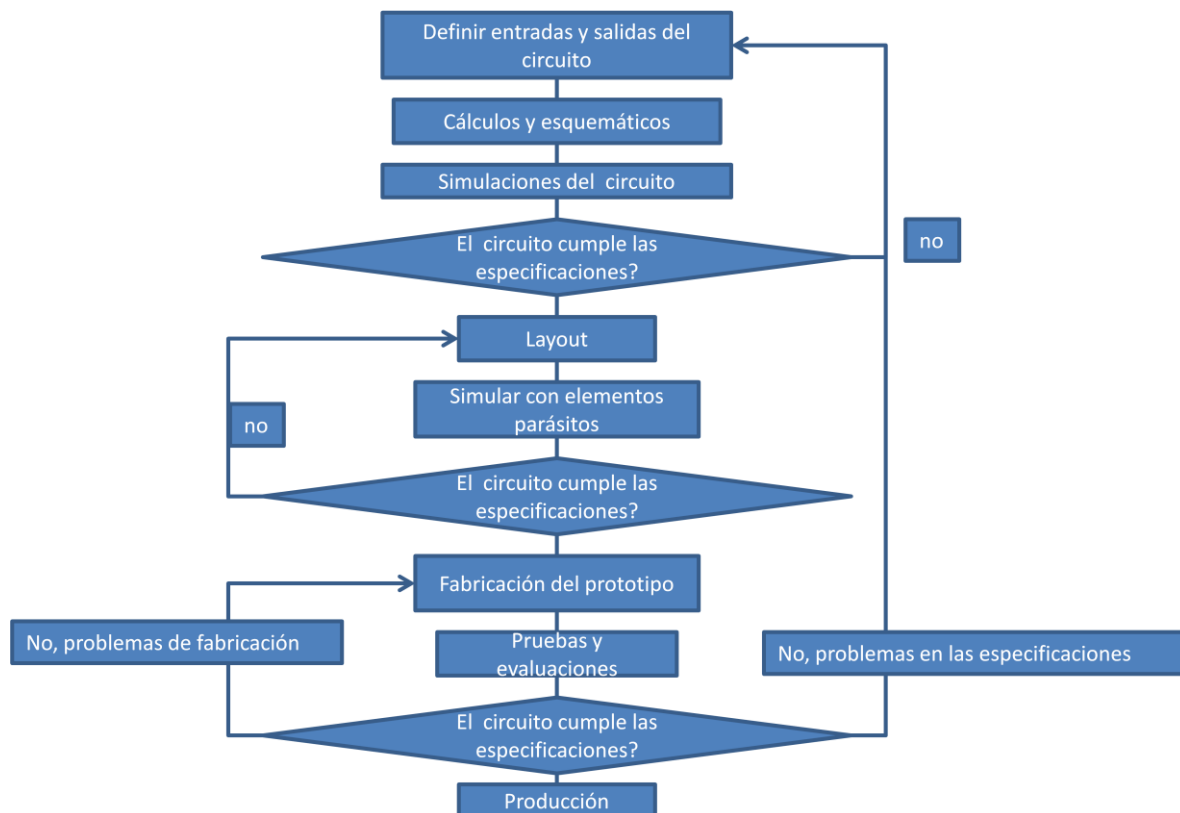


Ilustración 4. Flujo de diseño para un circuito integrado CMOS. [9].

⁹ Latch-up: hace referencia a un tipo de corto circuito ocasionado por la formación de pequeñas inductancias entre las fuentes de alimentación y los caminos de polarización del circuito.

4. DESARROLLO DEL PROYECTO

Este proyecto consiste en implementar una referencia de voltaje tipo bandgap sub 1 V en escalas sub-micrónicas, con el fin de elaborar técnicas de diseño en Layout para probar los distintos efectos de las variaciones de proceso en el comportamiento del circuito y sus especificaciones.

Para la elaboración de la referencia de voltaje, se tiene como punto de partida la investigación de distintas topologías, los criterios de selección de la topología están centrados en sus ventajas, facilidad de implementación e información disponible, particularmente especificaciones para con las cuales comparar.

Posteriormente, se diseñará para las especificaciones propuestas de tal manera que se siga el flujo de diseño propuesto anteriormente, seguido a esto, el trabajo de grado se fundamentará en el diseño en Layout, planteando distribuciones adecuadas de los componentes teniendo en cuenta las condiciones relevantes del circuito, como un mejor “*matching*”¹⁰ entre transistores, la relaciones de resistencias, entre otros.

Por ultimo, se harán simulaciones de variación de parámetros como el W y el L de los transistores conforme a funciones propuestas, teniendo como variable objetivo el voltaje de referencia generado, esto con el fin de mirar los efectos de las variaciones de proceso sobre el circuito.

4.1 SELECCIÓN DE LA TOPOLOGIA.

Siguiendo una investigación acerca de las topologías propuestas para la referencia de voltaje tipo bandgap menores a 1 V, se encontraron aquellas propuestas por Banba[2], Leung[3] y Jiang[5] nombradas respectivamente como:

1. “A CMOS Band-Gap Reference Circuit with Sub 1V Operation”.
2. “A Low-Voltage Bandgap Reference Using Transimpedance Amplifier”.
3. “A Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device”.

¹⁰ Matching: se refiere a la igualdad existente entre transistores, los errores de *matching* son intrínsecos al proceso de fabricación, por lo que equivalencias enteras nunca son posibles, pero si cercanas dependiendo de la forma de implementación.

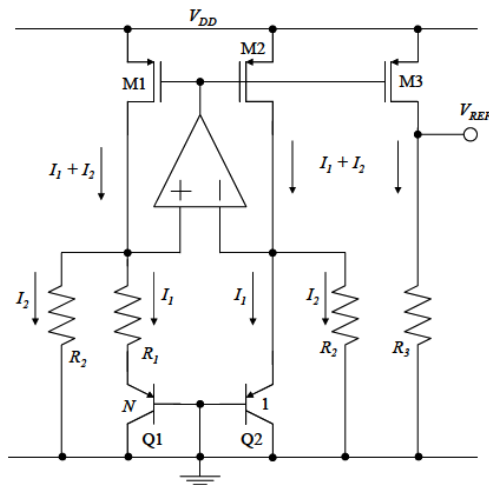


Ilustración 5. Referencia de voltaje Bandgap propuesta por Banba[2].

El voltaje de referencia en la configuración de Banba[2], ilustración 5, se expresa como:

$$V_{ref} = \left(\frac{R3}{R2}\right) * [V_{eb2} + \left(\frac{R2}{R1}\right) \ln(N) * Vt]$$

Donde, el voltaje de referencia es formado por 2 corrientes I1 e I2 que se denotan:

$$I1 = \frac{Vt * \ln(N)}{R1} \quad I2 = \frac{V_{eb2}}{R2}$$

Se obtiene una ecuación en la que los coeficientes de variación con la temperatura y la magnitud de este voltaje pueden ser reducidos con el cálculo apropiado de relaciones entre las resistencias R1, R2 y R3.

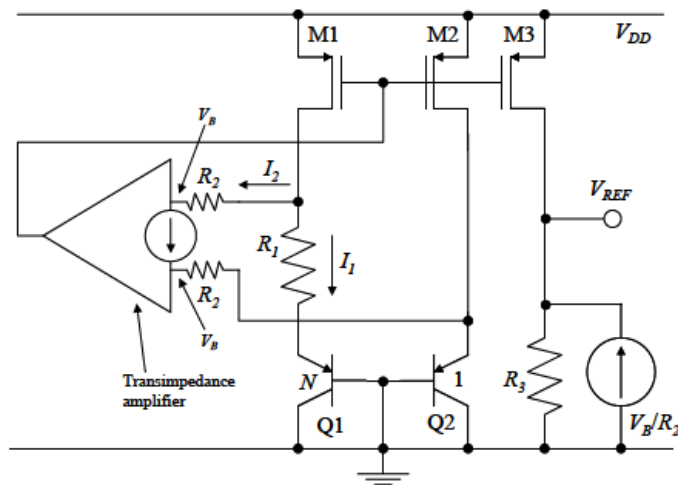


Ilustración 6. Referencia de voltaje Bandgap propuesta por Jiang[3].

Como parte de la investigación, se encontró que la referencia de voltaje obtenida con esta configuración planteada por Jiang [3], ilustración 6, se expresa en la misma forma que el circuito anterior, así:

$$V_{ref} = R_3 * \left(I_1 + I_2 + \frac{V_b}{R_2} \right)$$

Se deduce que I_1 e I_2 son:

$$I_1 = \frac{V_t * \ln(N)}{R_1} \quad I_2 = \frac{V_{be2} - V_b}{R_2}$$

Simplificando y reemplazando los términos pertinentes:

$$V_{ref} = \left(\frac{R_3}{R_2} \right) * \left[V_{eb2} + \left(\frac{R_2}{R_1} \right) \ln(N) * V_t \right]$$

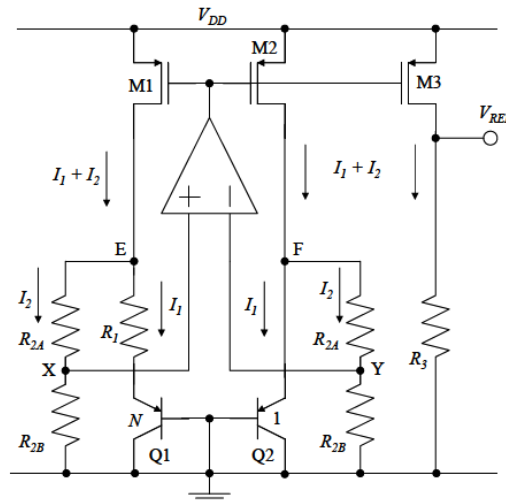


Ilustración 7. Referencia de voltaje Bandgap propuesta por Leung[5].

Por último, el BGR dado por Leung [5], ilustración 7, presenta una expresión del voltaje referencia idéntica a las anteriores, en esta configuración no es necesario la utilización de transistores de bajo voltaje de umbral o “ V_{th} ”, con valores típicos de 0,2 V ~ 0,3 V, sin embargo, debido a la inclusión de elementos resistivos, se introduce un error de “ $offset^{11}$ ” mayor al que se muestra en las demás topologías, el cual se manifiesta en la referencia así:

$$V_{ref} = \left(\frac{R_3}{R_2} \right) * \left[V_{eb2} + \left(\frac{R_2}{R_1} \right) (\ln(N) * V_t + V_{err}) \right]$$

Donde el “ V_{err} ” es el incremento del voltaje “ $offset$ ”:

$$V_{err} = V_{off} * \frac{R_{2a} + R_{2b}}{R_{2b}} > V_{off}$$

En adición a la comparación de las configuraciones encontradas, a continuación se presenta la comparación de las especificaciones alcanzadas por las topologías propuestas.

¹¹ Voltaje offset se refiere a una cantidad añadida de voltaje, es decir, se hace una suma entre señales, una constante (voltaje offset) más la señal a considerar.

	<i>Banba</i>	<i>Jiang</i>	<i>Leung</i>
Tecnología	0.4 um	1.2 um	0.6 Um
Threshold Voltage	Vthp= -1,0 V* Vthn= +0,7 V*	Vthp= -0,93 V Vthn=+0,53 v	Vthp=-0,9 v Vthn=+0,9V
Vref	515 mv	~1000 mv	603mv
TC	±59 ppm/°C	± 100 ppm/°C	±15 ppm/°C

Debido a las especificaciones dispuestas para este proyecto, las topologías en discusión serán la de Banba[2] y Leung[3], sin embargo debido a cantidad de información respecto al cálculo de especificaciones, sus distintas implementaciones, la posibilidad de implementar con transistores de bajo “Vth” y su simplicidad, la topología a trabajar será la planteada por Bamba [2], ilustración 5.

4.2 OBTENCIÓN DE LAS ECUACIONES DE DISEÑO

La realización de la referencia de voltaje, se basa en la obtención de una topología que sea capaz de disminuir de forma considerable la dependencia del voltaje de salida respecto a la temperatura y a la variación con las fuentes.

De forma teórica, el TC para el circuito de referencia de voltaje debe ser nulo, de tal manera que garantice una variación inexistente a la temperatura, es así, como la utilización del coeficiente negativo de temperatura de las junturas pn, surgen como las solución a este problema.

El voltaje de una juntura pn exhibe una variación negativa con la temperatura de la forma [1]:

$$\frac{dV_{be}}{dT} = \frac{V_{be} - (4 + m)V_T - \frac{E_g}{q}}{T}$$

Siendo “ $V_T = Kq/T$ ”, “ E_g ” la energía de Bandgap del material y en este caso particular del silicio, y “ m ” un factor exponencial de la variación de la corriente de saturación “ I_s ” con la temperatura, o la constante que relaciona el efecto de la movilidad de los portadores.

Ahora, para contrarrestar este efecto se utiliza un TC positivo logrado con la diferencia entre dos transistores bipolares de dimensiones distintas u operando a diferentes densidades de corriente, esta relación es directamente proporcional a la temperatura, en otras palabras un TC positivo.

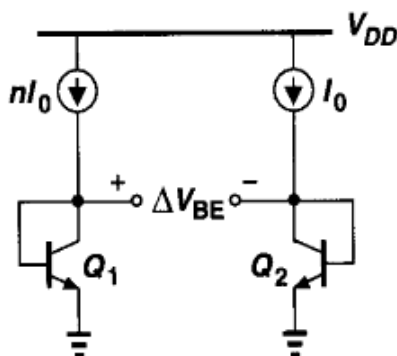


Ilustración 8. Generación de la una corriente PTAT [1].

Se tiene entonces que [1]:

$$\Delta V_{be} = V_{be1} - V_{be2}$$

Reescribiendo V_{be} .

$$\Delta V_{be} = V_T \ln\left(\frac{nI_0}{I_{S1}}\right) - V_T \ln\left(\frac{I_0}{I_{S2}}\right)$$

$$\Delta V_{be} = V_T \ln(n)$$

Esto da como resultado un TC positivo de la forma:

$$\frac{d\Delta V_{be}}{dT} = \frac{k}{q} \ln(n)$$

Con “ k ” como la constante de Boltzman, “ q ” la constante de carga eléctrica y n como la diferencia de densidades de corriente (interpretada como la diferencia de tamaños entre las junturas bipolares).

Será ahora cuestión de una topología adecuada el lograr utilizar de forma correcta los TC encontrados, de forma general, el núcleo de las topologías de las referencias tipo bandgap se basa en la igualación o copia apropiada de corrientes y voltajes en las ramas del circuito.

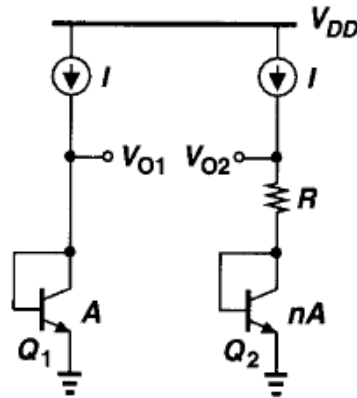


Ilustración 9. Forma conceptual de la obtención del voltaje independiente de la temperatura. [1].

En consecuencia, cumpliendo si y solo si que $V_{01} = V_{02}$ (implicando un excelente “*matching*” de los transistores Pmos y Nmos) se obtiene que.

$$V_{be1} = RI + V_{be2} \quad y \quad RI = V_{be1} - V_{be2} = V_T \ln(n)$$

De forma equivalente.

$$V_{02} = V_{be2} + V_T \ln(n)$$

Llegando así a la obtención de un voltaje independiente a la temperatura de forma teórica.

$$\frac{dV_{ref}}{dT} = \frac{V_{be} - (4 + m)V_T - \frac{E_g}{q}}{T} + \frac{V_T}{T} \ln(n)$$

Para lograr un TC nulo se debe alcanzar la siguiente igualdad.

$$\frac{V_{be} - (4 + m)V_T - \frac{E_g}{q}}{T} = -\frac{k}{q} \ln(n)$$

4.3 DISEÑO DE LA REFERENCIA DE VOLTAJE TIPO “BANDGAP”

De forma consecuente con las ecuaciones de diseño se tiene que para obtener TC nulo para la topología seleccionada se debe cumplir que:

$$\frac{V_{be} - (4 + m)V_T - \frac{E_g}{q}}{T} = -\frac{R_2 k}{R_1 q} \ln(n)$$

Utilizando las herramientas de simulación se obtuvo que el coeficiente de temperatura de la juntura bipolar y la diferencia entre ellas se describan por las pendientes de la ilustración 10, así:

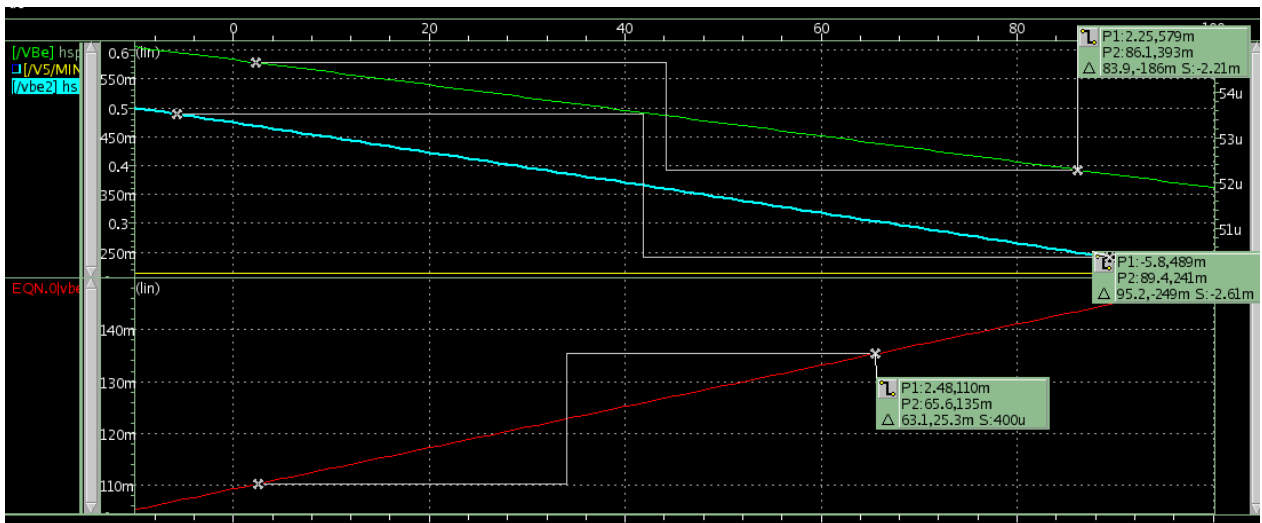


Ilustración 10. Variación de con la temperatura de las junturas (-10° a 100°)

Con una variación desde -10°C a 100°C, el coeficiente de temperatura obtenido es de -2,21 mV/°C, y la variación con respecto a la temperatura de la diferencia de potencial entre junturas es de 400 uV/°C muy cercano al esperado de 397,196uV/°C.

Uno de los parámetros de diseño es la selección de la magnitud de la diferencia en la densidad de corriente a través de las estructuras bipolares, o diodos, ésta se hace teniendo en cuenta la formula relacionada al voltaje de error en el capítulo 4 en su primera sección, donde se puede inferir de forma directa, que una mayor diferencia en la densidad de corriente, representara una menor incidencia del voltaje de error producida por “offset”, por esta razón es conveniente un “n” grande.

Teniendo en cuenta, el impacto del tamaño en la reducción del error en la referencia y la función de la densidad de corriente, ilustración 11, se concluye que un tamaño de 100 es apropiado para este circuito, ya que al comparar con tamaños mayores, en específico un aumento de 100 a 1000, da como resultado solo una reducción del 0.1% en la presencia del voltaje de error en la referencia a 1 mV e incluye de forma directa el incremento de elementos parásitos en el circuito.

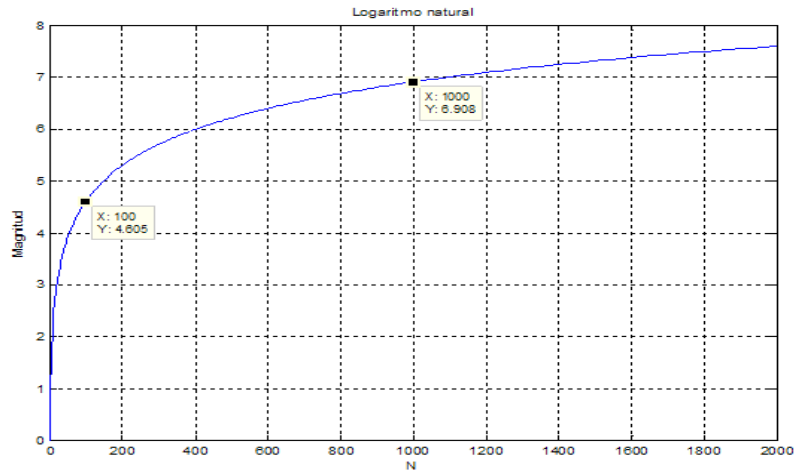


Ilustración 11. Función de la diferencia de la densidad de corriente.

Por otra parte, reemplazando en la fórmula que provee al cancelación teórica del TC y seleccionando la diferencia de tamaños en $n=100$ tomando como referencia lo citado en [2] acerca de la disminución del efecto de “*offset*”, se tiene que.

$$-2.21 \frac{mV}{^{\circ}C} = -\frac{R2}{R1} * 0,08625 \frac{mV}{^{\circ}C} * \ln(n)$$

Dando como resultado una relación $R2/R1=5,564$ veces.

Es así como, teniendo $n=100$ se genera que la diferencia de voltaje entre dos junturas bipolares equivalga a:

$$\Delta V_{be} = V_T \ln(n) = 119,004 mV$$

Al seleccionar $R1= 2,380 \text{ k}\Omega$ se obtiene una corriente PTAT aproximada de 50 uA , la cual da como resultado un voltaje producido por el diodo de aproximadamente $0,529 \text{ mV}$. Ilustración (12). La corriente de operación es elegida, al buscar una relación aceptable de variación en el punto de operación del diodo o voltaje de la juntura, ya que como se observa en la ilustración 11, gracias al comportamiento logarítmico de la corriente vs el voltaje, solo cambios considerables de corriente en este punto de operación representarían un movimiento considerable en la tensión aportada por la juntura bipolar.

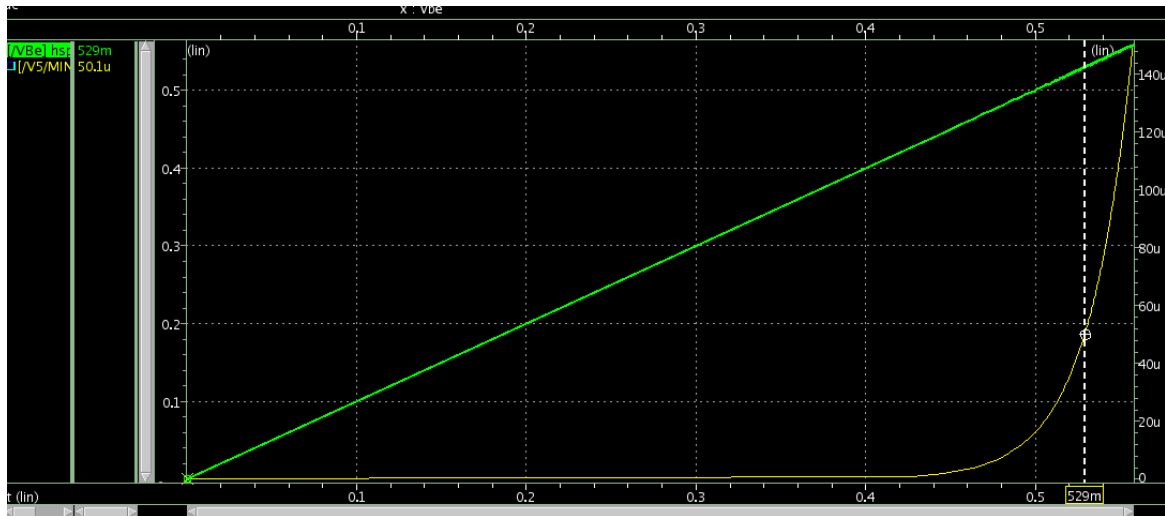


Ilustración 12. I vs Vbe del diodo

Tomando la relación obtenida $R2=13.242 \text{ k}\Omega$. Ahora, seleccionando las resistencias para lograr un voltaje de 0.8 V se calcula $R3/R2$ tal que:

$$V_{ref} = \left(\frac{R3}{R2}\right) * \left[V_{eb2} + \left(\frac{R2}{R1}\right) \ln(N) * Vt \right] = 0,8 \text{ V}$$

$$\frac{R3}{R2} = 0,671$$

$$R3 = 8,892 \text{ k}\Omega$$

Se obtiene como resultado $R1=2,380 \text{ k}\Omega$, $R2= 13,242 \text{ k}\Omega$ y $R3=8,892 \text{ k}\Omega$.

Entonces, como corriente polarización de una de las ramas del circuito, se tiene de forma teórica:

$$I = \left[\frac{V_{eb2}}{R2} + \ln(N) * \frac{Vt}{R1} \right]$$

$$I = 89,96 \text{ uA}$$

Como paso siguiente y teniendo en cuenta el circuito elegido, ilustración 16, se selecciona un tamaño apropiado de transistores, para lograr la corriente calculada y evitar los efectos de modulación de canal.

Utilizando la tecnología de 90nm disponible para este proyecto y teniendo como referencia una fuente de alimentación de 1,7 V, se tiene que para un largo mínimo ($L_{min}=0,24\mu$) seleccionado así para reducir el efecto de modulación de canal [1], el ancho (W) necesario en un Pmos para alcanzar una corriente de aproximadamente 100uA será, $W= 8,91\mu$ (ilustración 13), para un Nmos será necesario $W=1,45\mu$ (ilustración 14) y para un Pmos con un voltaje de caída entre su “source” y su “drain” de 0,9 V el tamaño del ancho $W=8,56\mu$ (ilustración 15). Lo anterior teniendo en cuenta los puntos de polarización y los voltajes de “overdrive”¹² y “dropout”¹³ necesarios para regiones de saturación e inversión fuerte en los transistores.

	V threshold	Vgs-Vsg	Vds-Vsd
PMOS-replica(M1-M2)	-0,276	0,5(Vov=224 mV)	0,5
NMOS-replica(M4-M5)	0,397	0,6(Vov=203 mV)	0,6
PMOS-salida(M3)	-0,276	0,5(Vov=224 mV)	0,9

Las características obtenidas de los transistores son:

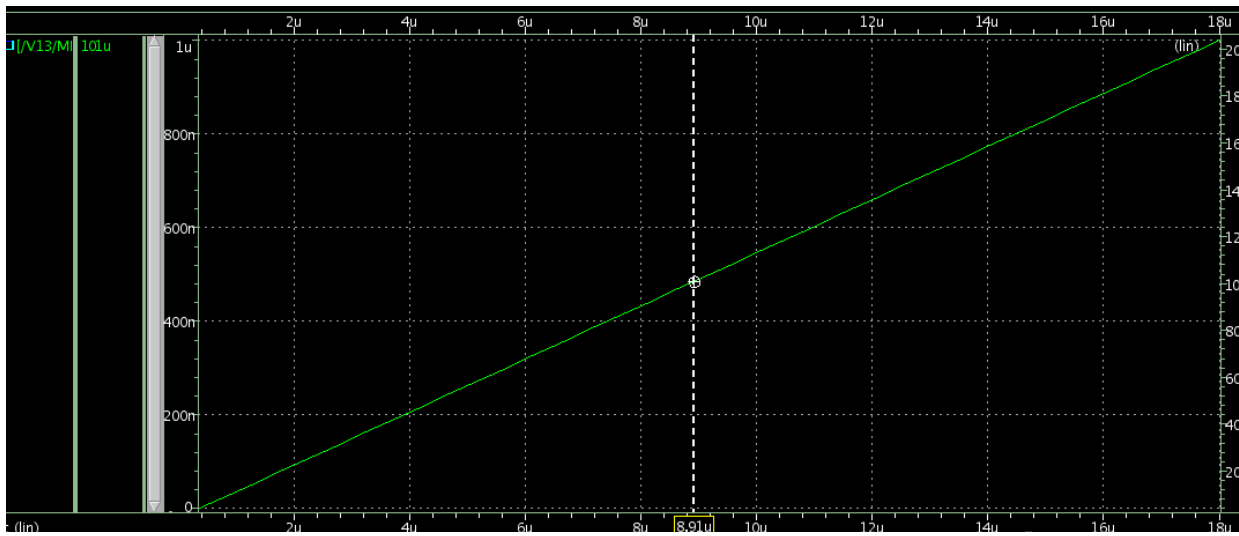


Ilustración 13. W vs I_{Pmos} , $V_{sg}=0.5\text{ V}$, $V_{ds}=0.5\text{ V}$.

¹² El voltaje overdrive es la equivalencia de $V_{gs}-v_t$ o $V_{sg}-v_t$, cuyo valor se encuentra en 150 mV -300 mV para inversiones fuertes en los transistores P o N.

¹³ El voltaje de dropout se refiere al V_{ds} o V_{sd} de los transistores.

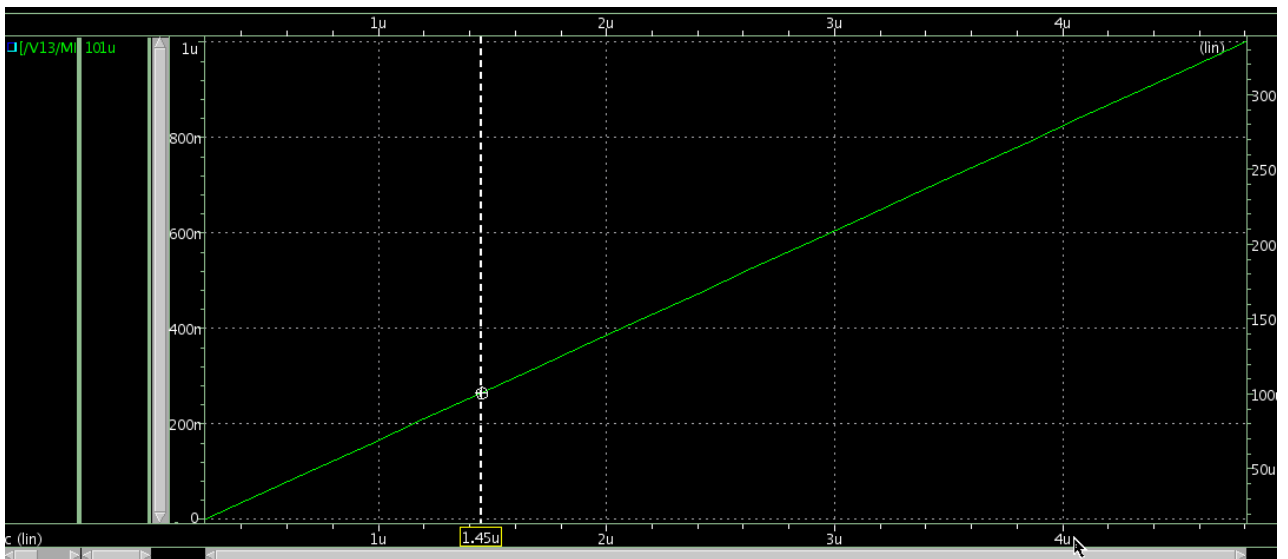


Ilustración 14. W vs I Nmos $V_{gs}=0.6$ V, $V_{ds}=0.6$ V.

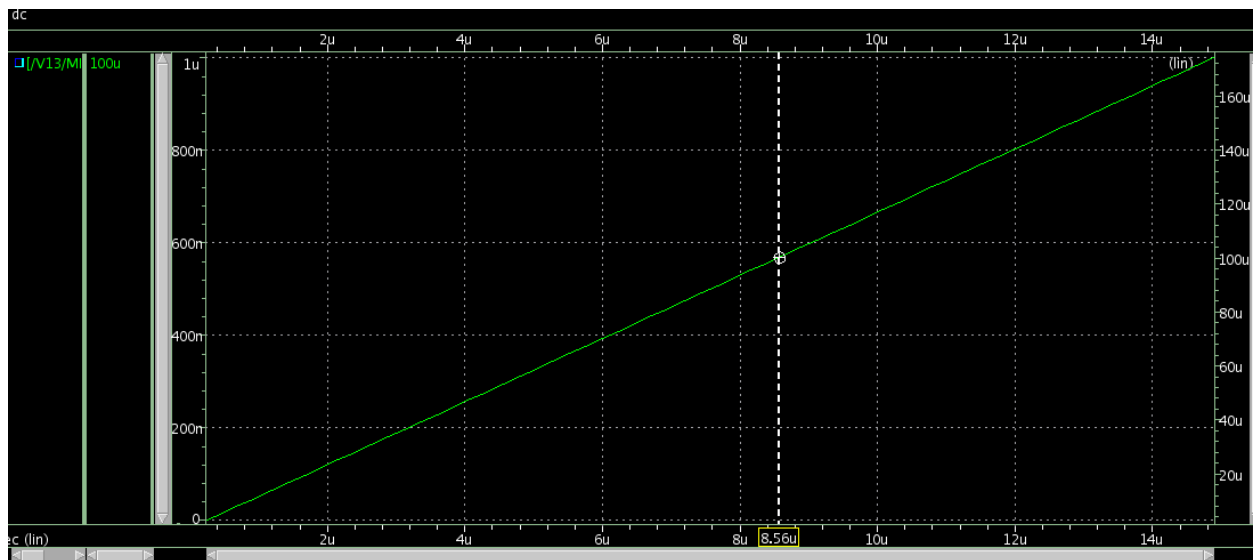


Ilustración 15. W vs I Pmos . $V_{sg}=0.5$ V, $V_{ds}=0.9$ V.

	L	W	W/L
Pmos-réplica(M1-M2)	0,24u	8,91u	37,125
Nmos-réplica(M4-M5)	0,24u	1,45u	6,04167
Pmos-salida(M3)	0,24u	8,56u	35,666

Nótese que la corriente de operación de los transistores fue seleccionada por encima de la corriente calculada, dando un margen suficiente para mantener a los transistores en las regiones y voltajes de “*overdrive*” deseados, anticipando las posibles tolerancias de $\pm 30\%$ [12] sobre las resistencias, lo que se

traduce en una corriente máxima de aproximadamente 125 μA y por consecuencia en voltajes superiores a los esperados en algunos de los nodos del circuito.

El esquemático del circuito elegido para la referencia de voltaje será:

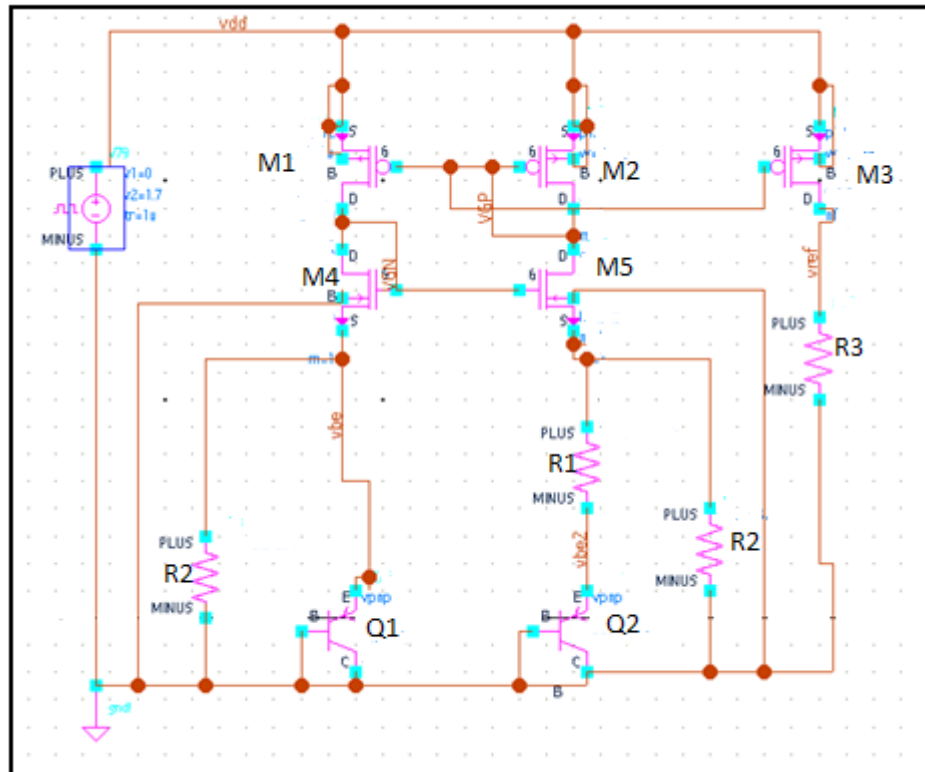


Ilustración 16. Esquemático del circuito implementado.

La selección de un amplificador diferencial simple sobre un amplificador diferencial completo se debe a las especificaciones de voltaje propuestas anteriormente y condiciones para el correcto funcionamiento de un amplificador diferencial, ya que al implementar un circuito como el ilustrado por Bamba [2], se tiene que un amplificador diferencial NMOS exige ($V_{be} > V_{thn} + 2 \cdot V_{ds}$), y por otra parte para el diferencial PMOS ($V_{DDmin} > V_{be} + V_{thp} + 2 \cdot V_{sd}$).

Siendo, $V_{be} = 0,529 \text{ V}$ y suponiendo V_{ds} mínimo de $(0,397 \text{ V} + V_{ov})$ y V_{sd} de $(0,276 \text{ V} + V_{ov})$ con $V_{ov} = 0,2 \text{ V}$, da como resultado un $V_{be} \approx 1,5 \text{ V}$ lo que plantea la utilización de corrientes altas sobre las juntas bipolares. Por otra parte, el caso de PMOS la fuente mínima de alimentación será $V_{DDmin} = 1,793 \text{ V}$, es por esto que la condición de igualación de voltajes en las ramas de corriente se logra con un diferencial simple como el mostrado en la ilustración 15.

Si bien, se elige la implementación de un amplificador simple, es necesario mostrar que se cumple la premisa citada en 4.2, el cual implica que los voltajes de “source” tanto de M4 como de M5 deben ser iguales.

Debido a que la corriente de M4 es igual a la corriente de M1, y debido a que el voltaje de “drain” y “gate” de M4 son equipotenciales se tiene que:

$$I_{M4} = \frac{Kn'}{2} * \frac{Wn}{Ln} * (V_{gs4} - V_{tn})^2 = I_{M1}$$

Teniendo si y solo si que M2 y M1 tienen las mismas dimensiones, es decir, no tienen efectos de “*miss-match*”, se deduce que $I_{m1}=I_{m2}$, ya que comparten el mismo voltaje tanto en “*gate*” como en “*source*”. Ahora como la corriente de M2 es la misma que atravesará a M5 y M2 tiene un voltaje equipotencial en “*drain*” y “*gate*”, se puede escribir esta como:

$$I_{M2} = \frac{Kp'}{2} * \frac{Wp}{Lp} * (V_{sg2} - |V_{tp}|)^2 = I_{M5}$$

Considerando las ecuaciones de las corrientes sobre M4 y M5, se tiene que $I_{m4}=I_{m5}$, entonces, si los transistores tienen las mismas dimensiones y poseen las mismas características intrínsecas, como V_{tn} y Kn' , los voltajes de “*source*” de M4 y M5, (que es la única variable libre al tener los “*gates*” a un mismo potencial), serán iguales y su diferencia idealmente nula.

Nótese que esta consideración es posible si los transistores M1-M2 y M4-M5 son idénticos, lo que exige técnicas de Layout adecuadas para lograr la reducción efectiva del “*miss-match*”.

4.3.1 RESULTADOS ESQUEMATICO

El resultado del voltaje de referencia del circuito en esquemático a 25°C, ilustración 17:

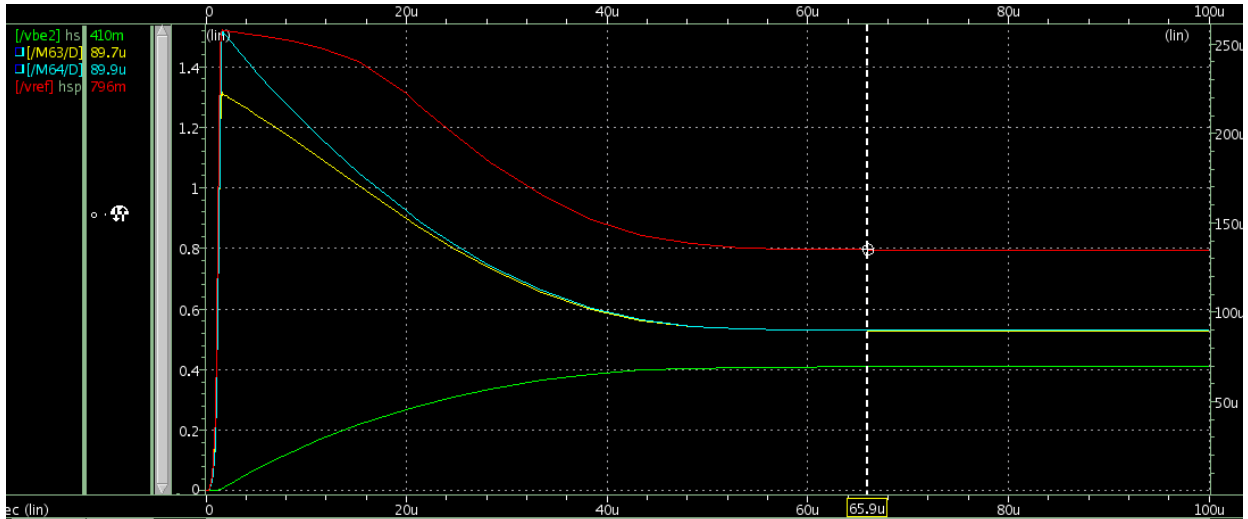


Ilustración 17. Voltajes del circuito y voltaje de referencia a temperatura ambiente (25°C).

$V_{ref} \approx 796 \text{ mV}$

Realizando un barrido de temperatura de -10°C a 100°C se obtiene la variación del voltaje de referencia tendrá la forma mostrada por la ilustración 18.

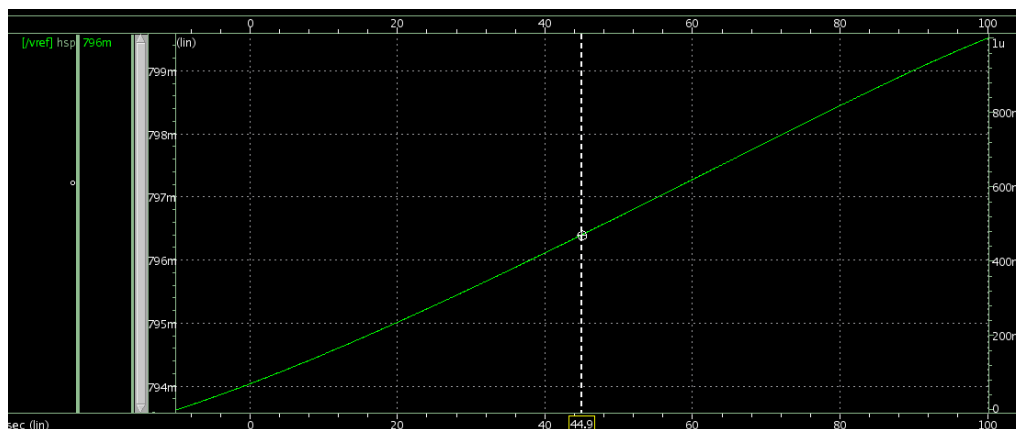


Ilustración 18. Variación con la temperatura del voltaje de referencia (-10°C a 100°C).

Con un punto mínimo y máximo de:

y _{max} (v/v _{ref})	dc	0.799515
y _{min} (v/v _{ref})	dc	0.793623

Ilustración 19. Maximo y mínimo de la referencia obtenida.

Lo que resulta en una variación de voltaje de 5,892 mV.

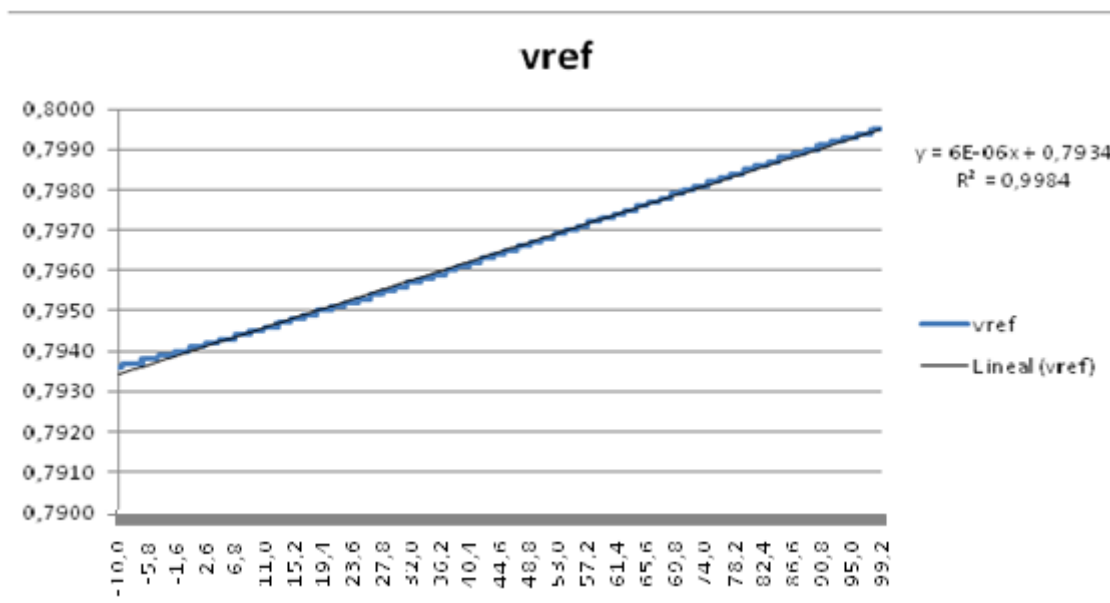


Ilustración 20. Línea de tendencia Vref(V) vs temperatura (°C).

La aproximación de la variación de la referencia con la temperatura de forma lineal se refleja en el valor de R^2 , siendo este un indicador de que tan similar es la aproximación lineal y la curva de datos obtenido, entre mas idéntico el valor de R^2 tiende a 1.

Se observa como el coeficiente de temperatura del BGR planteado en esquemático es cercano a 60 ppm/°C.

4.4 TECNICAS A UTILIZAR EN LA ELABORACIÓN DE LAYOUT

La selección del Layout en este circuito debe tener en cuenta los posibles efectos de “*miss-match*” entre los transistores y las resistencias, los cuales son esenciales en el correcto funcionamiento de la referencia de voltaje.

De forma específica, estos efectos se verán reflejados en la correcta cancelación del coeficiente de temperatura, un reflejo adecuado de la corriente PTAT, una igualación de voltaje en los nodos de entrada al amplificador y una distribución uniforme de la temperatura en los dispositivos clave como los diodos (efectos parcialmente nombrados en el capítulo 5.2).

Por otra parte, la construcción de las juntas bipolares, así como algunas resistencias, no exigen tener consideraciones para lograr valores nominales específicos debido a que la finalidad es encontrar una relación precisa entre ellas y no valores exactos, sin embargo, las consideraciones alrededor de estos dispositivos incluyen, gradientes térmicos, fuerzas mecánicas aplicadas, variaciones estadísticas del proceso, entre otras.

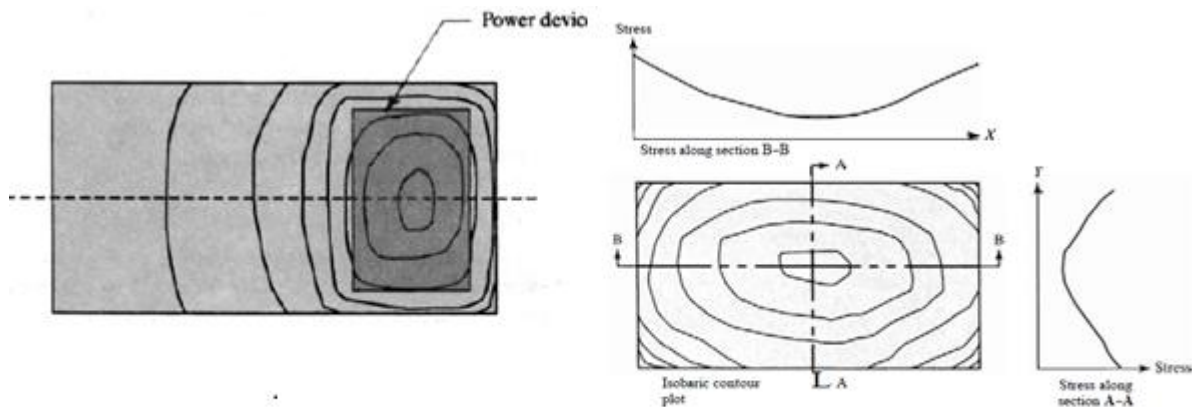


Ilustración 21. Gradientes de temperatura y de stress.[12]

Es de considerar, que el silicio es un material piezo-resistivo lo que implica la variación de la resistividad al ser afectado por fuerzas mecánicas, es por esto que la técnica de centroide común debe ser considerada con el fin de reducir este efecto lo máximo posible. Además, los efectos de temperatura que afectan a todos los demás dispositivos se mitigan con esta misma técnica al someter a todo el dispositivo a una variación uniforme, reduciendo así su impacto sobre el circuito.

Un ejemplo de la técnica de centroide común en 1 y 2 dimensiones, se puede apreciar en la ilustración 1, y aunque es una técnica necesaria para mitigar los efectos de variación, no cubre por completo las especificaciones de “*miss-match*”, necesarias tanto en los transistores como en las resistencias. Es así, Como la técnica de “*inter-digitación*” se usa de forma complementaria en el circuito. La digitación de un dispositivo supone la partición en segmentos de una estructura, por lo que la “*inter-digitación*” genera la mezcla de 2 o más elementos de forma compacta, garantizando un mejor acople, dispositivos de características mucho más similares, y en casos de una correcta distribución, la reducción apropiada de efectos adversos como temperatura y errores de proceso sistemáticos (ilustración 21).

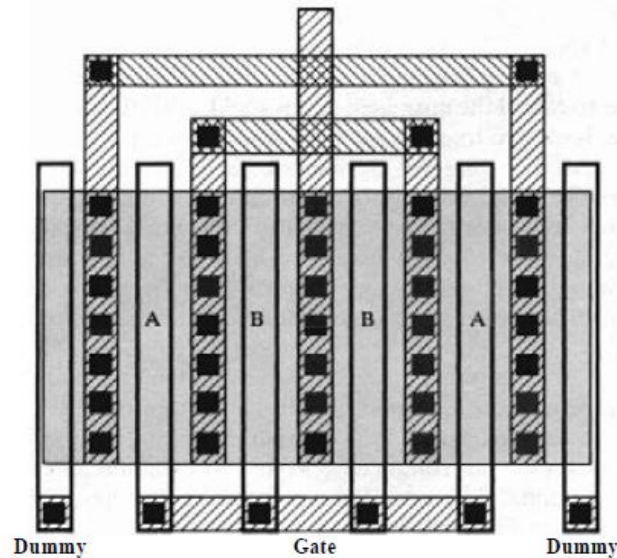


Ilustración 22. Inter-digitación, centroide común y dummies en el “*matching*” de dos transistores [12].

Como parte adicional a esta etapa en la elaboración del circuito, comprende la consideración de técnicas que sean robustas ante la fabricación estructuras, es de allí donde nace la utilidad de estructuras “*dummy*”, o sin uso, con el fin de proteger los circuitos de fenómenos de producción, en especial el fenómeno de “*etching*”.

Por otra parte, y considerando la técnica de centroide común como el eje de la implementación en Layout de múltiples circuitos, se pueden plantear como reglas generales de la técnica las siguientes pautas:

1. Los centroides de los elementos a tratar deben coincidir de forma aproximada. Idealmente deben coincidir.
2. El arreglo de dispositivos debe ser simétrico vertical y horizontalmente, correspondiendo al posicionamiento de segmentos en el arreglo, y no en la simetría del arreglo como tal.
3. El arreglo debe tener el máximo grado de dispersión posible, esto significa que los segmentos de cada dispositivo deben estar distribuidos en el arreglo tan uniformemente como se pueda.
4. El arreglo debe ser tan compacto como el diseño lo permita.
5. Los dispositivos a igualar deben estar orientados en una misma dirección.

4.5 DISTRIBUCIÓN DEL CIRCUITO

El “*floor plan*” o distribución del circuito, busca la ubicación adecuada de los dispositivos con el fin de establecer técnicas de blindaje, protección y planeación de conexiones entre los dispositivos y otros circuitos.

Como se muestra en la ilustración 23, los dispositivos resistivos y los transistores se ubicarán a un lado de los diodos formados por transistores bipolares, esto debido a la importancia y al tamaño de los diodos en el circuito.

Cada uno de las estructuras serán construidas bajo las técnicas anteriormente mencionadas, ya que se pretende minimizar la creación de elementos parásitos, el error sistemático de fabricación y alcanzar las especificaciones del circuito de forma apropiada.

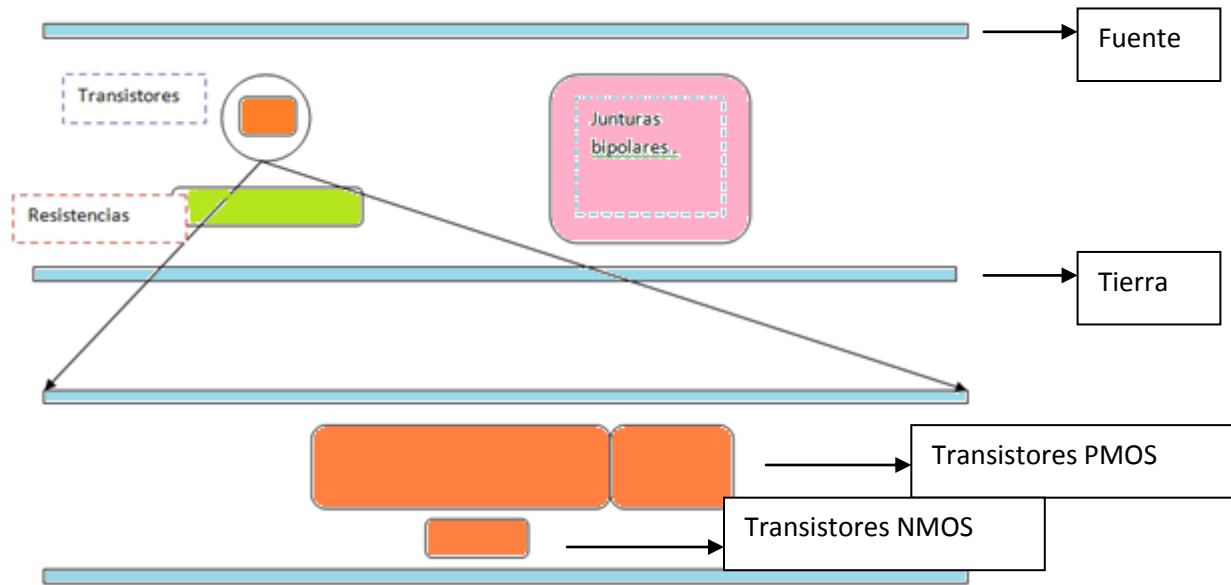


Ilustración 23. Diagrama de distribución en el Layout del circuito.

A continuación las estructuras y las técnicas a utilizadas en su elaboración, en donde las letras en mayúsculas simbolizan cada una de las estructuras primarias y las minúsculas las partes relevantes de los transistores (*d-drain* y *s-source*) en los casos pertinentes:

- ⊙ Pmos duplicadores (M1-M2), ramas de la corriente PTAT y su copia (14 “*fingers*” cada uno): inter-digitación mas centroide común.

$$({}_dA_sA_dA_sB_dB)({}_sA_dA_sB_dB_s)(A_dA_sB_dB_sB)_d(B_sB_dB_sA_dA_s) (B_dB_sA_dA_s)(B_dB_sA_dA_sA_d).$$

- ⊙ Nmos duplicadores (M4-M5), ramas de la corriente PTAT y su copia (4 “*fingers*” cada uno): inter-digitación.

$({}_sA_dA_sA_dA_s) (B_dB_sB_dB_s)$. Debido a que los terminales “*drain*” y/o “*source*” no comparten conexión en ninguno de los transistores se utilizará solo la técnica de inter-digitación.

- ⊙ Pmos salida (M3), copia generador de el voltaje de referencia (19 “*fingers*”): inter-digitación.
- ⊙ Juntas bipolares (relación 100 a 1): centroide común de dos dimensiones. Un diodo en el centro de la estructura, rodeada de un recuadro de 80 juntas, y en los bordes las 20 estructuras restantes en agrupaciones de 5 en cada uno de los lados, norte, sur, este y oeste.
- ⊙ Resistencias de poli-silicio tipo P, R1 (3 “*fingers*”) y dos veces R2 (17 “*fingers*”): inter-digitación mas centroide común.

(AAAAAAAA) (B) (CCCCCCCC) (C) (B) (A) (CCCCCCCC) (B) (AAAAAAAA),

siendo $A=C=R_2$ y $B=R_1$, como se observa, se conserva una relación aproximada a la calculada R_2/R_1 de 5.666, esto propone un error del 1.8% con respecto a la relación teórica con lo que se espera un coeficiente de temperatura alrededor de 90 ppm/°C.

La elaboración de la resistencia R_3 tiene consideraciones adicionales, ya que de esta depende el voltaje de salida que se busca en el circuito, sin embargo las tecnologías actuales de fabricación entregan a los diseñadores márgenes de tolerancia resistiva del 20% al 30% [12], constituyendo el valor absoluto de una resistividad en un inconveniente para los circuitos en escalas micrométricas.

Las resistencias en las que se necesita un mayor grado de exactitud, como en el caso de la referencia de voltaje tipo Bandgap, son especialmente elaboradas con procesos mucho más precisos en lo que se trata de tolerancia resistiva y adicionalmente y para garantizar su exactitud se elaboran circuitos de ajuste que se le añaden para alcanzar el valor deseado.

Por otra parte, la distribución del circuito se elige de tal manera que no se desperdicie área y se puedan aplicar estrategias de blindaje y conexión, en otras palabras, la ubicación adecuada de los dispositivos, lo que explica la ubicación de las junturas bipolares ya que al poseer las dimensiones de un tamaño considerablemente mayor con respecto a las estructuras de los transistores y las resistencias, exige un posicionamiento prioritario como el corazón del circuito.

A continuación se presenta la elaboración del circuito propuesto en Layout, implementando técnicas de centroide común e inter-digitación.

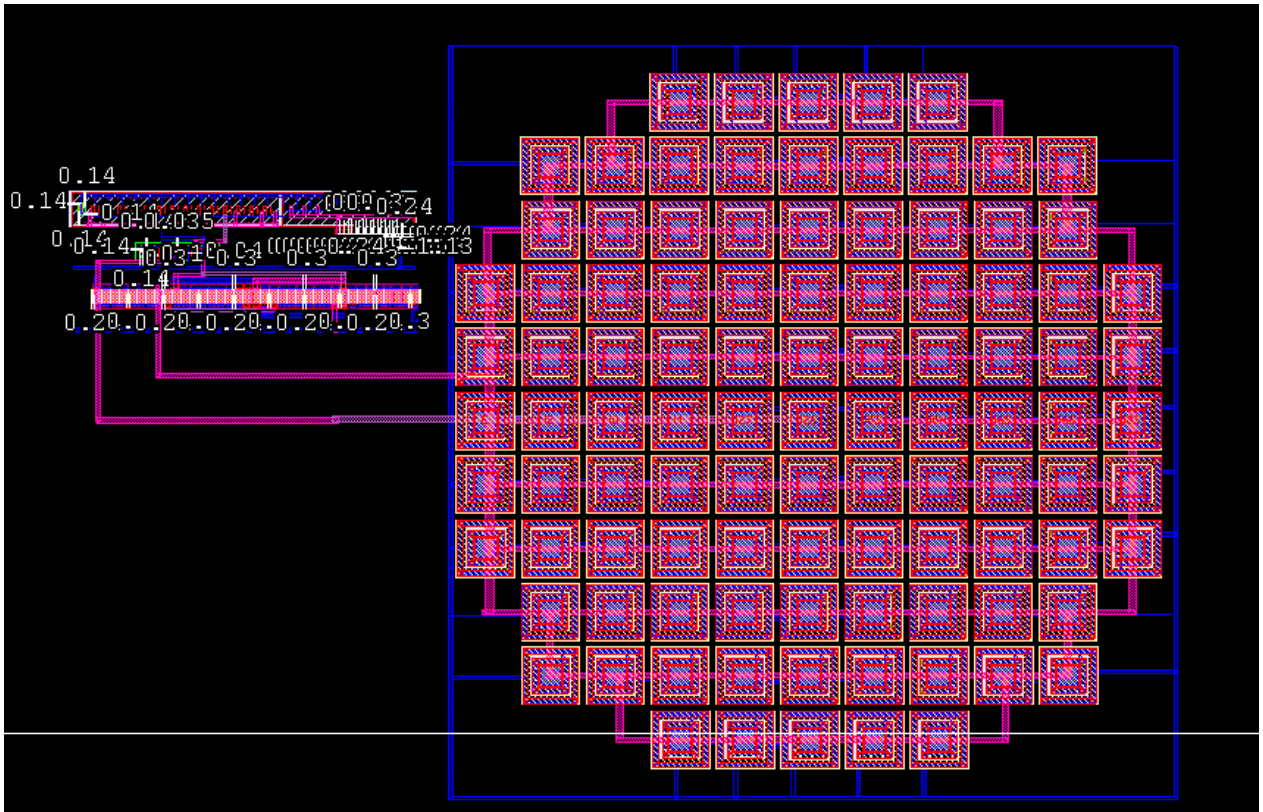


Ilustración 24. Layout de la referencia de voltaje.

Como característica relevante, se aprecia la distribución de centroide común en dos dimensiones de las junturas bipolares en una relación 100 a 1, la cual permitirá reducir los efectos de temperatura, variación de proceso y fuerzas de deformación mecánicas sobre las mismas.

En la ilustración 24, se hace evidente que una reforma en la ubicación de las resistencias y los transistores permitirán optimizar la cantidad de área utilizada, además de permitir de una forma más eficiente la creación del blindaje en el circuito como un plano de tierra, mostradas como formas geométricas delineadas en naranja en la ilustración 25.

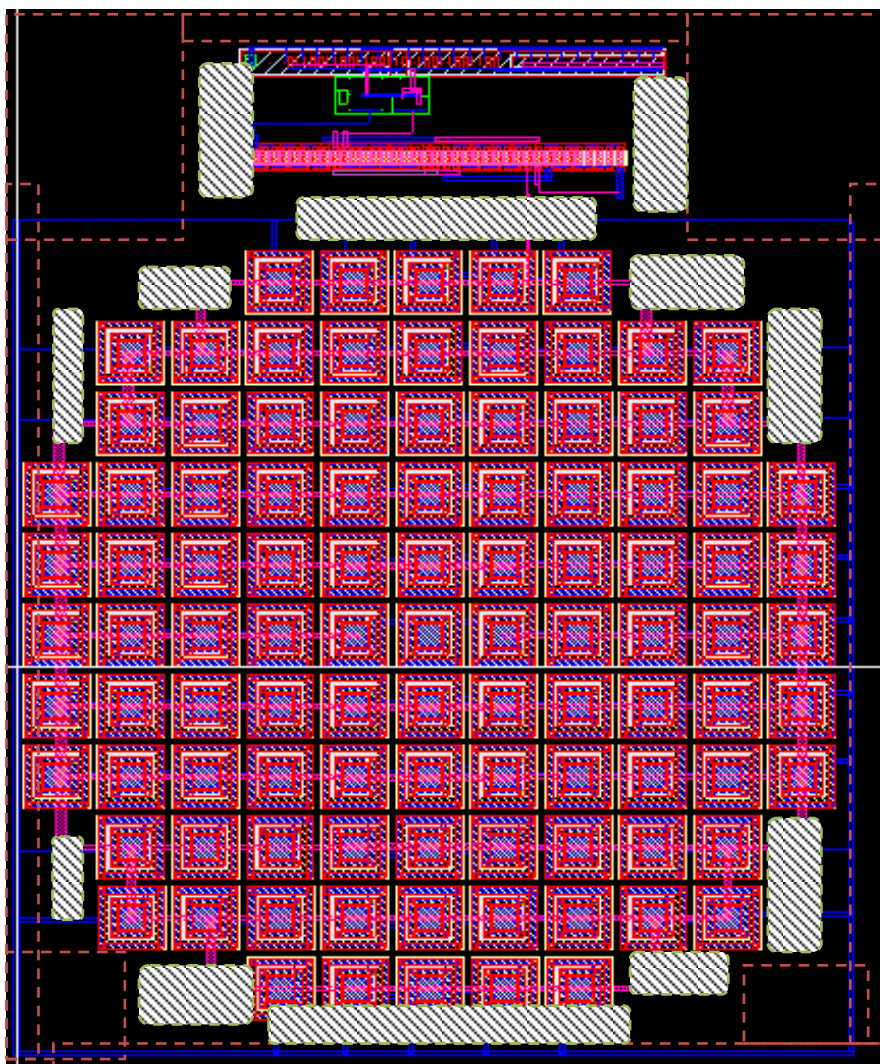


Ilustración 25. Reubicación de las estructuras del Layout, adición de blindaje y protecciones.

Teniendo en cuenta la posible modificación de los valores resistivos, así como de las características de los transistores por la corrosión causada en los procesos de elaboración, se hace necesaria la ubicación de estructuras protectoras para evitar este fenómeno. Los cuadrados en interlineados verdes indican los ya mencionados arreglos “dummy”, que deben ser construidos con el fin de lograr un diseño apropiado del Layout y un correcto funcionamiento del circuito.

5. ANALISIS DE RESULTADOS

Como resultado de la simulación incluyendo los componentes parásitos del circuito en Layout, se procede a evaluar los resultados del circuito elegido, considerando sobre todo el parámetro deseado, que en este caso es la generación de un voltaje de referencia, con una variación ante la temperatura baja.

El resultado de la simulación, mostrado en la ilustración 26, deja ver que el voltaje de referencia alcanzado fue de 814mV, además de los voltajes de las junturas de 522 mV para Q1 y 401mV para Q2 (dispositivo sobre el cual la densidad de corriente es de 1 a 100).

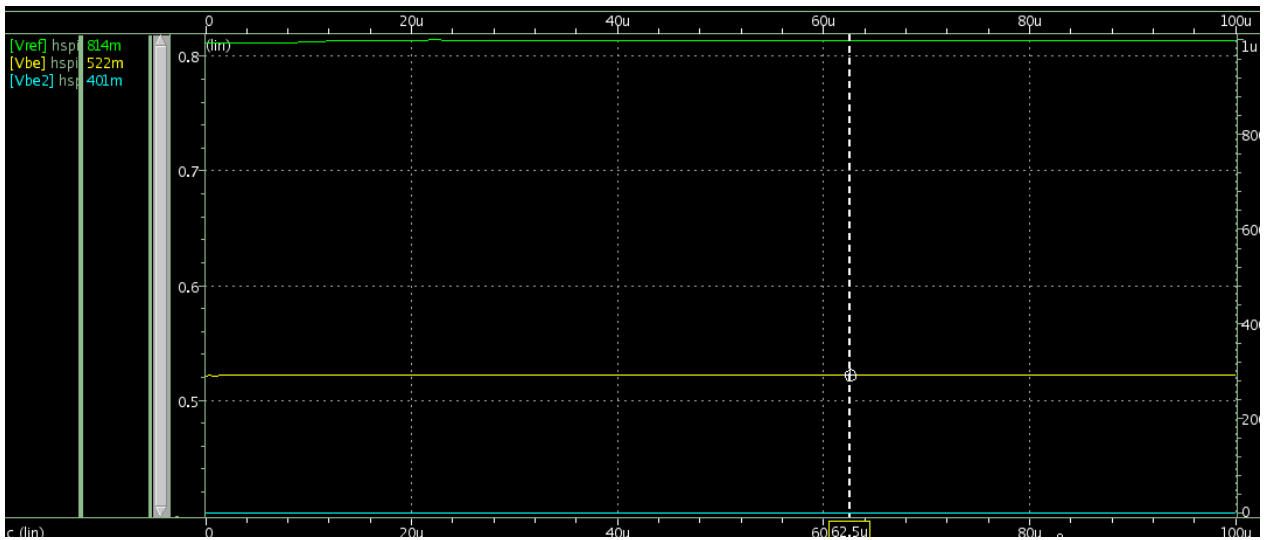


Ilustración 26. Voltaje de referencia obtenido.

Se observa, cómo los valores alcanzados son similares a los mostrados por la simulación de esquemático explícitos en la ilustración 17, sin embargo, es importante considerar el gran efecto que tienen los componentes parásitos sobre este circuito, y en especial la variación en el valor nominal de las resistencias. Es por esto, que fue necesario el ajuste de la resistencia de salida o R3, en busca de un voltaje cercano al calculado para la referencia.

Por otra parte es necesario analizar el resultado que corresponde a la variación con la temperatura. Como se muestra en la ilustración 27 el efecto de un coeficiente negativo frente a la temperatura fue compensando logrando una apariencia lineal, sin embargo, es necesario calcular su variación de forma precisa como parte del estudio del circuito, es así como en la ilustración 28 se muestra en detalle la ampliación de la referencia alcanzada.

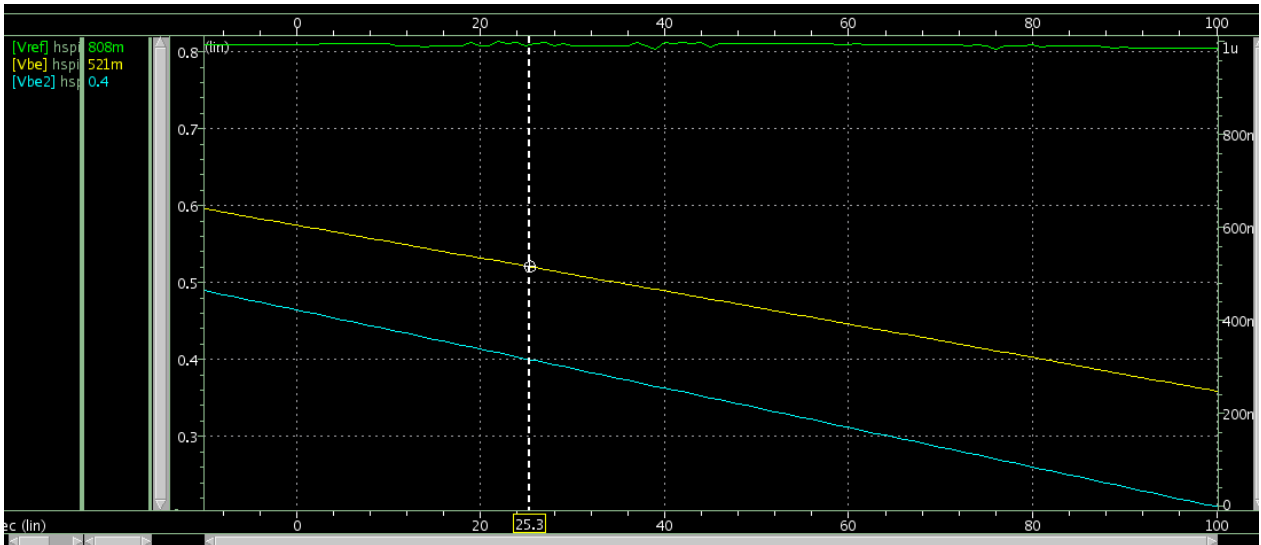


Ilustración 27. Variación del voltaje de referencia con la temperatura.

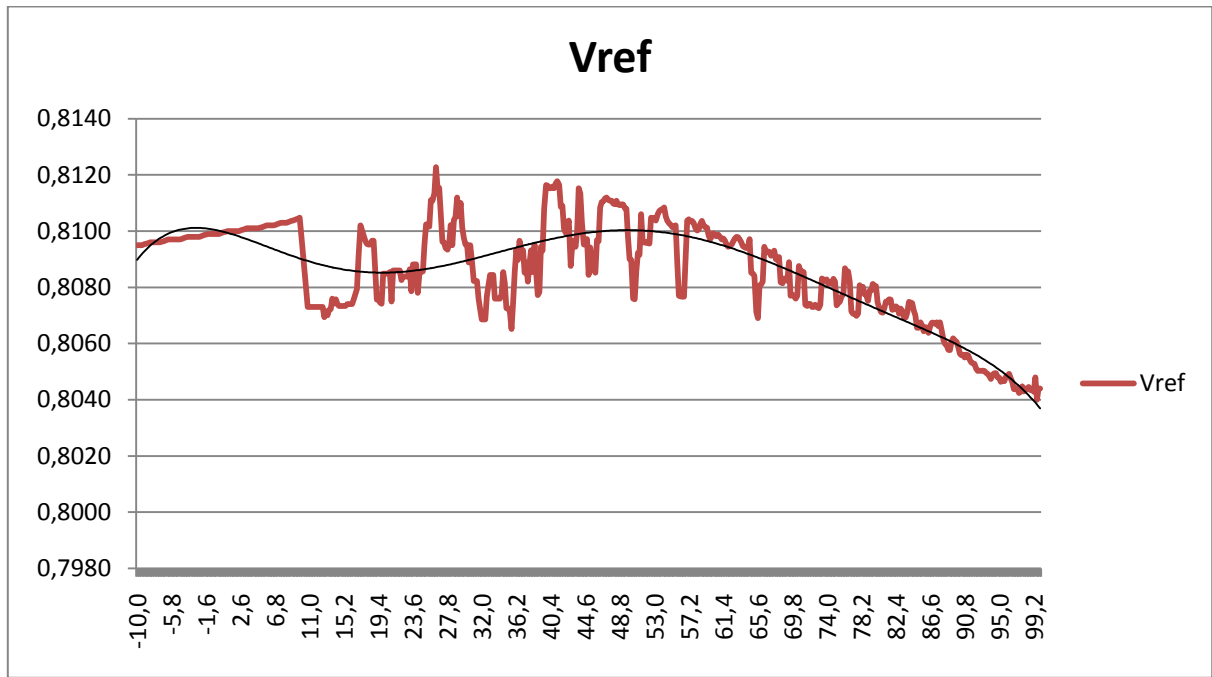


Ilustración 28. Calculo y tendencia del voltaje de referencia (V) vs la temperatura (°C)

La ilustración 28, muestra una grafica de puntos del voltaje obtenido contra una variación de temperatura de -10°C a 100°C del circuito con la consideración de los elementos parásitos del Layout, como resultado se obtiene una tendencia de degradación mucho menor a la presentada por el voltaje expuesto por los Diodos, como se puede apreciar al comparar con la ilustración 27. La variación medida es de $113 \text{ ppm}/^{\circ}\text{C}$, el cual se relaciona y da un indicador de la compensación del coeficiente de temperatura, presentado en el sub-capítulo 4.3.

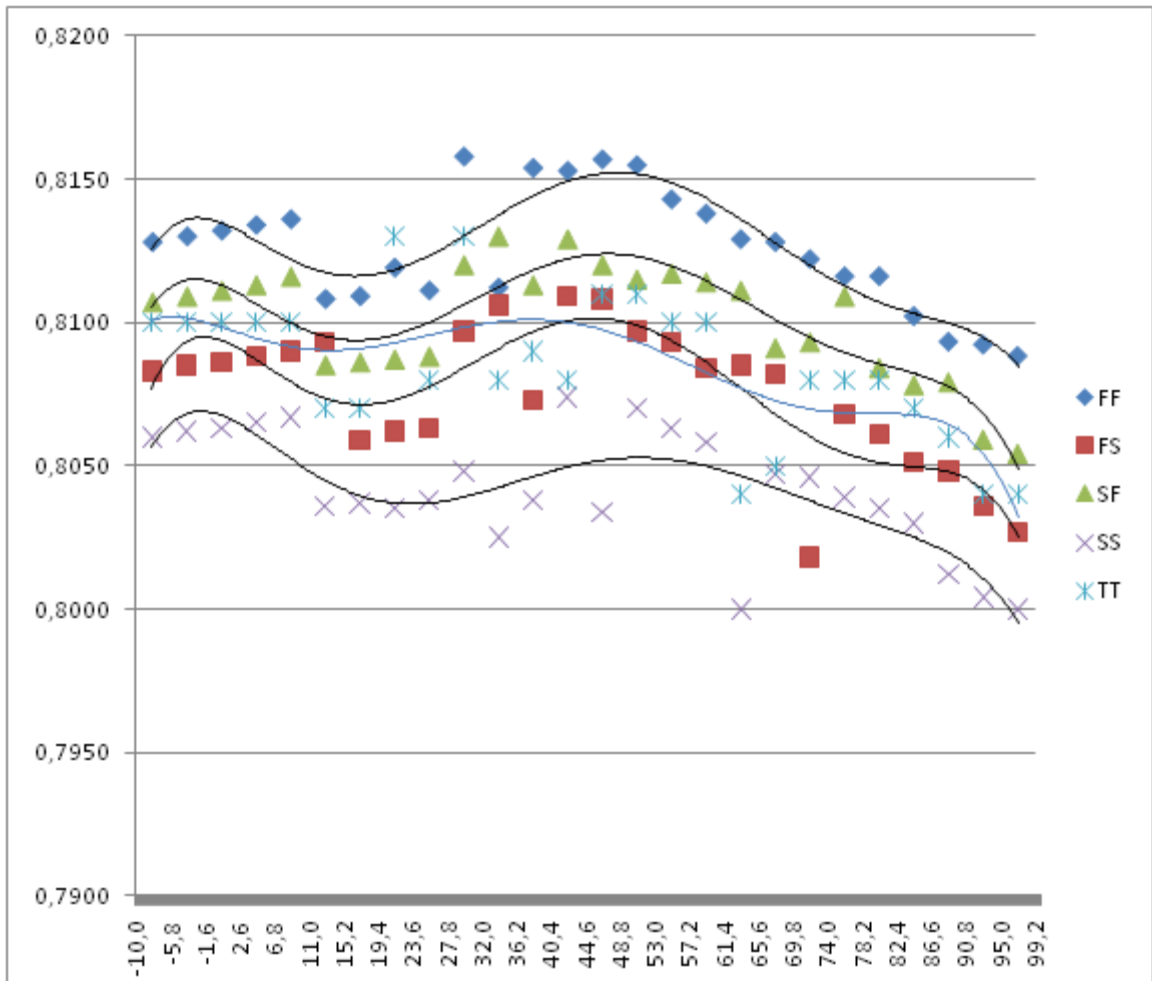


Ilustración 29. Esquinas del proceso de fabricación.

La variación de parámetros como el ancho “W” y el largo de los transistores “L” y sus características implícitas como el “Vth”, son las constituyentes de posibles variaciones no sistemáticas debidas a la elaboración del circuito, y es por esto que se debe buscar una disminución de su impacto al diseñar en Layout de forma adecuada al planear una implementación acorde a las técnicas antes mencionadas para el circuito elegido. Como se muestra en la ilustración 28, dicha variación muestra los posibles cambios del proceso de 90nm a través del análisis por esquinas, (mencionada en el subcapítulo 3.6), la utilización de este método se hace necesaria debido a la información limitada y prácticamente inexistente de una función de exactitud en la elaboración de las estructuras de circuitos, sin embargo, dichas esquinas constituyen el margen aprobado por el fabricante o “tolerancias” del proceso, en las cuales los transistores del circuito una vez fabricados tendrán sus características.

Aunque el proceso de las esquinas no muestra el peor caso en el que el cambio del voltaje logrado es máximo, sí evidencia de forma clara la tendencia del mismo antes estos cambios al alejarse de los valores típicos de fabricación como lo muestra [13] ante variaciones del circuito y efectos de “miss-match” entre sus componentes. Este análisis deja ver una variación cercana al 2% sobre el valor nominal, sin embargo, no se debe despreciar el efecto de diferencia en los transistores causado por errores foto-litográficos, afectando las dimensiones de diseño, ya que como cita [13] este tendrá un impacto del 1% al 10%, y este es solo medible sobre el circuito una vez fabricado.

Finalmente se tiene que las características alcanzadas:

		<i>Este trabajo</i>	<i>Topología propuesta por Banba [1]</i>	<i>Implementación de Banba por [5]</i>	<i>Topología propuesta por Jiang[3]</i>
Fuentes de alimentación (V)	de	1.7	2.2	1.2	N.E
PSRR@1kHz		15.1 dB	N.E	N.E	20 dB
Rango de temperatura (°C)	de	-10 a 100	27 a 125	-10 a 100	0 a 100
Voltaje de referencia (mV)		813	515	630	~1000
Coefficiente de Temp.(ppm/°C)	de	112	59	29	100
Corriente Bias (uA)		89	N.E.	N.E.	N.E

*N.E. : no especificada

Se tiene como punto de partida, que las topologías comparadas con este trabajo utilizaron transistores nativos¹⁴, sin embargo presentan mejores características en el coeficiente de temperatura con respecto al alcanzado en este proyecto, aunque por otra parte, el rango de temperatura al igual que el voltaje de alimentación se encuentra dentro de las especificaciones de un BGR regular, y el voltaje nominal de salida logro el objetivo de estar alrededor de 1V. Lo anterior propone como continuación del proyecto, un mejoramiento en el coeficiente de temperatura por medio de mejores relaciones en los elementos resistivos, y una posible disminución tanto en las fuentes de alimentación como en el voltaje alcanzado, por medio de la modificación de la tecnología y / o de la topología utilizada.

6. CONCLUSIONES

En este trabajo se logró implementar una referencia de voltaje tipo bandgap o “BGR” sub 1v, teniendo como voltaje de salida 814mv, con fuentes de alimentación de 1.7 V y un coeficiente de temperatura final de 112 ppm/°C.

Se observó la conveniencia de construir resistencias en secciones sobre la construcción en serpentina, al igual que el material de elaboración prefiriendo poli-silicio tipo P sobre los demás materiales como sugiere [12], ya que a través de las distintas pruebas, exhibieron una menor inclusión de elementos parásitos, un potencial resistivo mayor respecto de materiales como poli-silicio tipo N difusiones tipo P entre otras, y mejores características termoeléctricas.

El último avistamiento conduce a considerar el valor nominal de la resistencia de salida como uno de los elementos más determinantes del circuito, debido a que a través de este dispositivo que derivara el valor final de la referencia. De esta manera, y sin lugar a dudas, la resistencia de salida dará al circuito un grado de libertad al escoger una magnitud específica en la tensión del circuito, pero en adición de esto, su tolerancia debe ser mucho mejor a la exhibida por otros componentes, es decir, debe ser especialmente

¹⁴ Transistores nativos, son elemento cuyas características son mejoradas y típicamente poseen menores voltajes de umbral del orden de 0.2 V.

fabricada y diseñada, destinada a ajustes post- fabricación (procesos de “*trim*”¹⁵ y “*tweak*”¹⁶), para lograr resultados adecuados y de mayor exactitud en la referencia de voltaje.

En lo que hace referencia al coeficiente de temperatura alcanzado, y en general para lograr una cancelación cada vez mejor, se hacen necesarias relaciones precisas de elementos resistivos, esto propone relaciones de construcción precisas, y de forma específica relaciones de inter-digitación que converjan con 3 o más cifras decimales dando como resultado una mayor precisión, pero también el incremento en los órdenes de magnitud de las resistencias y la complejidad del diseño de las mismas.

Por otra parte, se debe señalar que los errores causados por efectos de desigualdades en los transistores pueden ser mitigados al elegir magnitudes grandes en la diferencia de corriente sobre los diodos como se muestra en el subcapítulo 4.3 como señala y demuestra [2], sin embargo, debido a su función logarítmica en la referencia valores extensivamente grandes no tendrán un efecto dramático en la disminución del error y si incluirán más componentes parásitos al circuito.

Finalmente, como continuación del proyecto, es necesario continuar con un análisis frente a las variaciones del proceso donde se utilice el análisis Montecarlo como la herramienta para los cambios aleatorios en la fabricación sobre parámetros “objetivo” específicos. Por otra parte, en cuanto a las especificaciones del circuito, y de forma particular su factor de rechazo a variaciones en la fuente puede ser mejorada, al reevaluar la topología del amplificador utilizado y/o incrementando el largo de los transistores utilizados aunque esto último implicara también un análisis profundo de los efectos de segundo orden sobre el comportamiento del circuito.

¹⁵ Trim: modificación de las dimensiones resistivas por medio de cortes con laser.

¹⁶ Tweak : ajustes pequeños, logrados al cambiar las distancias en las conexiones resistivas del circuito.

7. BIBLIOGRAFIA

- [1] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*. New York: McGraw Hill Higher Education, 2001.
- [2] Hironori Banba, Hitoshi Shiga, Akira Umezawa, Takeshi Miyaba, Toru Tanzawa, Shigeru Atsumi, and Koji Sakui, "A CMOS Bandgap Reference Circuit with Sub-1-V Operation" *IEEE journal of solid-state circuits*, vol. 34, no. 5, may 1999.
- [3] Ka Nang Leung, *Student Member, IEEE*, and Philip K. T. Mok, *Senior Member, IEEE* "A Sub-1-V 15-ppm/ C CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device". *Solid-State Circuits, IEEE Journal of*, Apr 2002.
- [4] *Philip K. T. Mok and Ka Nang Leung* "Design Considerations of Recent Advanced Low-Voltage Low-Temperature-Coefficient CMOS Bandgap Voltage Reference" Custom Integrated Circuits Conference, 2004. Proceedings of the IEEE 2004. 3-6 Oct. 2004 .
- [5] Yueming Jiang and Edward K. F. Lee . "Design of Low-Voltage Bandgap Reference Using Transimpedance Amplifier". Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, Jun 2000.
- [6] R. Difrenza, P. Llinares, G. Ghibaudo, E. Robillard, E. Granger "Dependence of Channel Width and Length on MOSFET Matching for 0.18 μm CMOS Technology" Solid-State Device Research Conference, 2000. Proceeding of the 30th European, 11-13 September 2000.
- [7] Rajeev Narayanan, Behzad Akbarpour, Mohamed H. Zaki, Sofi`ene Tahar and Lawrence C. Paulson "Formal Verification of Analog Circuits in the Presence of Noise and Process Variation". Design, Automation & Test in Europe Conference & Exhibition (DATE), 2010. 8-12 March 2010.
- [8] Tak H. Ning. "Silicon VLSI Trends -What Else besides Scaling CMOS to Its Limit?" Physical and Failure Analysis of Integrated Circuits, 2003. IPFA 2003. Proceedings of the 10th International Symposium on the, 7-11 July 2003.
- [9] R.J.Baker, H.W.Li, D.E.Boyce. "*CMOS circuit design, layout, and simulation*". IEEE press series on Microelectronic Systems. Stuart K. Tewksbury. Series Editor.
- [10] S. Strik. "*Bandgap voltage reference: errors and techniques for their minimization*" Baltic Electronics Conference, 2006 International 2-4 Oct. 2006.
- [11] P.Miller y D.Moore. "*Precision Voltage References*". Analog Application Journal, pp.1-4. Texas Instruments Inc. Nov 1999.
- [12] Allan Hastings. "The art of analog layout". Pearson education. 2004.
- [13] Vishal Gupta, *Student Member, IEEE* and Gabriel A. Rincón-Mora, *Senior Member, IEEE* , "Predicting and Designing for the Impact of Process Variations and Mismatch on the Trim Range and Yield of Bandgap References", *Proceedings of the Sixth International Symposium on Quality Electronic Design*.
- [14] Dong-Ok Han., Jeong-Hoon Kim, Nam-Heung Kim, "Design of Bandgap Reference and Current Reference Generator with Low Supply Voltage", 2008 IEEE.

8. ANEXOS

8.1 NETLIST ESQUEMATICO

* Generated for: HSPICE

* Design library name: Bgr_sch

* Design cell name: corriente_PTAT

* Design view name: schematic

.option PARHIER = LOCAL

.option ARTIST=2 PSF=2

.temp 25

.lib '/usr/synopsys/SAED90nm/SAED_PDK90nm/hspice/SAED90nm.lib' BJT_12

.lib '/usr/synopsys/nueva_lib/SAED90nm.lib' TT_12

*Custom Designer (TM) Version E-2010.09

*Mon May 16 20:17:52 2011

.GLOBAL gnd!

* Library : Bgr_sch

* Cell : corriente_PTAT

* View : schematic

* View Search List : hspice hspiceD cmos.sch cmos_sch schematic

* View Stop List : hspice hspiceD

r45 vref gnd! r=8.89257k

r46 net516 gnd! r=13.2428k

r47 net516 vbe2 r=2.38008k

r48 vbe gnd! r=13.2428k

v77 vdd gnd! dc=1.7

```

q75 gnd! gnd! vbe vnp area=4 m=1
q74 gnd! gnd! vbe2 vnp area=400.0 m=1
m62 vgp vgp vdd vdd p12 w=8.91u l=0.24u nf=1 m=1
m61 vgn vgp vdd vdd p12 w=8.91u l=0.24u nf=1.0 m=1
m67 vref vgp vdd vdd p12 w=8.56u l=0.24u nf=1.0 m=1
m64 vgp vgn net516 gnd! n12 w=1.45u l=0.24u nf=1 m=1
m63 vgn vgn vbe gnd! n12 w=1.45u l=0.24u nf=1.0 m=1

.dc temp -10 100 0.1
.option opfile=1 split_dp=1
.end

```

8.2 IMPLEMENTACIÓN PMOS Y RESISTORES

