

“DISEÑO DE UN AMPLIFICADOR DE AUDIO CON EXCURSIÓN
DE VOLTAJE MAYOR A LAS FUENTES DE POLARIZACIÓN,
UTILIZANDO TÉCNICAS DE MICROELECTRÓNICA”

JAVIER MAURICIO OLARTE GONZÁLEZ

PONTIFICIA UNIVERSIDAD JAVERIANA
FACULTAD DE INGENIERIA
CARRERA DE INGENIERIA ELECTRONICA
BOGOTÁ D.C.
2011

“DISEÑO DE UN AMPLIFICADOR DE AUDIO CON EXCURSIÓN
DE VOLTAJE MAYOR A LAS FUENTES DE POLARIZACIÓN,
UTILIZANDO TÉCNICAS DE MICROELECTRÓNICA”

JAVIER MAURICIO OLARTE GONZÁLEZ

TRABAJO DE GRADO PARA OPTAR POR EL TITULO DE INGENIERO
ELECTRONICO

DIRECTOR
ING. GERMÁN YAMHURE KATTAH

PONTIFICIA UNIVERSIDAD JAVERIANA
FACULTAD DE INGENIERIA
CARRERA DE INGENIERIA ELECTRONICA
BOGOTÁ D.C.
2011

PONTIFICIA UNIVERSIDAD JAVERIANA
FACULTAD DE INGENIERIA
CARRERA DE INGENIERÍA ELECTRÓNICA

RECTOR MAGNÍFICO: JOAQUIN EMILIO SANCHEZ GARCIA, S.J.

DECANO ACADÉMICO: Ing. FRANCISO JAVIER REBOLLEDO MUÑOZ

DECANO DEL MEDIO UNIVERSITARIO: P. SERGIO BERNAL RESTREPO, S.J

DIRECTOR DE CARRERA: Ing. JUAN MANUEL CRUZ BOHORQUEZ, M.Ed.

DIRECTOR DEL PROYECTO: Ing. GERMAN YAMHURE KATTAH

ARTÍCULO 23 DE LA RESOLUCIÓN No. 13 DE JUNIO DE 1946

"La universidad no se hace responsable de los conceptos emitidos por sus alumnos en sus proyectos de grado. Sólo velará porque no se publique nada contrario al dogma y la moral católica y porque los trabajos no contengan ataques o polémicas puramente personales. Antes bien, que se vea en ellos el anhelo de buscar la verdad y la justicia".

Artículo 23 de la Resolución No. 13, del 6 de julio de 1946, por la cual se reglamenta lo concerniente a Tesis y Exámenes de Grado en la Pontificia Universidad Javeriana

TABLA DE CONTENIDO

INTRODUCCIÓN	1
I. MARCO TEÓRICO	2
1 CARACTERÍSTICAS DE LA SEÑAL DE ENTRADA	2
2 AMPLIFICADORES DE AUDIO	3
3 BOMBAS DE CARGA Y CONDENSADORES DE BOOTSTRAP	4
4 CARACTERIZACIÓN DE LA CARGA	5
II. ESPECIFICACIONES	7
5 ESPECIFICACIONES ALCANZADAS	7
5.1 REQUERIMIENTOS ELÉCTRICOS.....	7
5.2 ANÁLISIS DE SEÑAL	7
5.3 RESTRICCIONES DE TECNOLOGÍA.....	8
III. DESARROLLOS	10
6 SOLUCIÓN PROPUESTA – DIAGRAMA EN BLOQUES	10
7 PULL-UP Y PULL-DOWN NETWORK	11
7.1 DIAGRAMA SIMPLIFICADO	11
7.2 CIRCUITO ESQUEMÁTICO	11
7.3 LAYOUT	15
8 ETAPAS DE CONTROL	16
8.1 DIAGRAMA SIMPLIFICADO	16
8.2 CIRCUITO ESQUEMÁTICO	17
8.3 LAYOUT	20
9 ETAPA DE POTENCIA	21
9.1 DIAGRAMA SIMPLIFICADO	21
9.2 CIRCUITO ESQUEMÁTICO	21
9.3 LAYOUT	23
10 AMPLIFICADOR	24
10.1 DIAGRAMA SIMPLIFICADO	24
10.2 CIRCUITO ESQUEMÁTICO	24
10.3 LAYOUT	26
11 REALIMENTACIÓN	26
12 LAYOUT GENERAL – FLOORPLAN	28
13 SIMULACIÓN	29
13.1 SCHMITT TRIGGER	29
13.2 ETAPA DE POTENCIA.....	33
13.3 AMPLIFICADOR OPERACIONAL.....	34
13.4 SISTEMA COMPLETO	37
14 SIMULACIÓN POR SOFTWARE	45
IV. ANÁLISIS DE RESULTADOS	47

15	ANÁLISIS	47
15.1	SCHMITT TRIGGER	47
15.2	ETAPA DE POTENCIA.....	47
15.3	AMPLIFICADOR OPERACIONAL.....	48
15.4	SISTEMA COMPLETO	49
15.5	SIMULACIÓN POR SOFTWARE	49
	CONCLUSIONES	50
	BIBLIOGRAFÍA	51
	ANEXOS.....	52

LISTA DE FIGURAS

Figura 1-1 Ejemplo de Factor de Cresta para Música Clásica	2
Figura 2-1 Ejemplo de Amplificador Clase G	3
Figura 3-1 Bomba de Carga de una Etapa.....	4
Figura 3-2 Ejemplo de Condensador de Bootstrap	5
Figura 5-1 Análisis de Audio a Señal Real	7
Figura 6-1. DIAGRAMA EN BLOQUES.....	10
Figura 7-1 Diagrama simplificado de Pull-up Network	11
Figura 7-2 Circuito Esquemático. Pull-up Network	12
Figura 7-3 Ciclo de Carga del Condensador. Red de pull-up.....	13
Figura 7-4 Circuito Esquemático. Pull-down Network	14
Figura 7-5 Circuito Modelo. Red de Pull-up	14
Figura 7-6 Layout de conexiones de Metal en un transistor de la red de pull-up.	16
Figura 8-1 Diagrama Simplificado de las Etapas de Control.....	16
Figura 8-2 Schmitt-Trigger Transistorizado	17
Figura 8-3 Schmitt Trigger Modificado, Control de Pull-up	18
Figura 8-4 Schmitt Trigger Modificado, Control de Pull-down	19
Figura 9-1 Diagrama Simplificado. Etapa de Potencia	21
Figura 9-2 Circuito Esquemático. Etapa de Salida.....	21
Figura 9-3 Fragmento de Layout, Mostrando Conexiones de Metal de 1.5 μ m.....	23
Figura 10-1 Diagrama Simplificado. Amplificador de Ganancia Variable.....	24
Figura 10-2 Circuito Esquemático. Amplificador Operacional	25
Figura 11-1 Amplificador Inversor	26
Figura 11-2 Diagrama del Sistema, Análisis de Realimentación Negativa	27
Figura 12-1 Comparación de Tamaños de Layout.....	28
Figura 12-2 Estrategia empleada en Layout para blindar la señal análoga.	29
Figura 13-1 Simulación Pre-Layout. Salida del Divisor. Schmitt_up.....	30
Figura 13-2 Simulación Pre-Layout. Salida Schmitt Trigger UP sin Inversora	30
Figura 13-3 Simulación Pre-Layout. Salida Schmitt Trigger UP	31
Figura 13-4 Simulación Pre-Layout. Salida del Schmitt Trigger Down.....	31
Figura 13-5 Simulación Post-Layout. Salida Schmitt Trigger UP	32
Figura 13-6 Simulación Post-Layout. Salida Schmitt Trigger Down	33
Figura 13-7 Salida Etapa de Potencia Sin Carga	33
Figura 13-8 Salida Etapa de potencia Con Carga	34
Figura 13-9 Simulación Pre-Layout. Salida Amplificador Operacional.....	35
Figura 13-10 Simulación Post-Layout. Salida Amplificador Operacional.....	35
Figura 13-11 Rechazo a Fuentes. Amplificador Operacional	36
Figura 13-12 Circuito Esquemático. Circuito Completo	37
Figura 13-13 Circuito de Prueba.....	38
Figura 13-14 Señal de Salida 20kHz. Sistema Completo.	38
Figura 13-15 Señal de Salida 1kHz. Sistema Completo	39
Figura 13-16 Secuencia de Conmutación Errada.....	39

Figura 13-17 Secuencia de Conmutación Correcta	40
Figura 13-18 Retardo Requerido en INH_2	41
Figura 13-19 Retardo Requerido en INH_1	41
Figura 13-20 Circuito de Retardo. Red de Pull-up.....	42
Figura 13-21 Caminos de Retardo.....	42
Figura 13-22 Circuito de Retardo. Red de Pull-Down	42
Figura 13-23 Corrección Spikes	43
Figura 13-24 Correcto Funcionamiento del Circuito	43
Figura 13-25 Simulación Post-Layout. Señal de Salida 2kHz	44
Figura 13-26 Simulación Post-Layout. Señal de Salida 1kHz	44
Figura 15-1 Gráfica Ids vs Vds. Transistor NMOS Etapa de Potencia	48
Figura 15-2 Gráfica Ids vs Vds. Transistor PMOS Etapa de Potencia	48

LISTA DE TABLAS

Tabla 4.1 Especificaciones Audífonos más Populares	6
Tabla 5.1 Resultados Análisis. Matlab®	8
Tabla 5.2 Voltaje Pico requerido para entregar 100mW	9
Tabla 7.1 Descripción de Pines de la red de Pull-up.....	12
Tabla 9.1 Comparación entre Corriente de Polarización y tamaño de Transistor NMOS.....	22
Tabla 13.1 Punto s de Conmutación Schmitt Trigger. Pre-Layout	32
Tabla 14.1 Resultados Análisis de Energía Entregada	46

INTRODUCCIÓN

El constante desarrollo de dispositivos móviles, ha encontrado en la microelectrónica una solución muy satisfactoria, pues gracias a ésta cada vez se pueden integrar más funcionalidades en espacios cada vez más reducidos. Como ingenieros, es nuestro deber buscar nuevas soluciones, y nuevas propuestas que permitan aprovechar las nuevas tecnologías. Como caso de estudio, en este trabajo, se propone el diseño de un amplificador de audio, que pueda ser integrado en sistemas móviles, como celulares o reproductores de música.

Los primeros cuatro capítulos cubrirán aspectos teóricos que se estudiaron durante el proyecto, que fueron importantes para el desarrollo del diseño propuesto. Una vez planteados los conceptos, y el comportamiento deseado del circuito, el capítulo 5 resumirá las especificaciones buscadas en el proyecto, debido a varias restricciones impuestas por distintos factores.

El capítulo 6 presentará el diseño propuesto, iniciando con un nivel conceptual, el cual se irá elaborando, para finalizar en un diagrama de bloques. Permitiendo así una mejor comprensión del funcionamiento del circuito.

Los capítulos 7 a 11, se encargarán de explicar en detalle cada uno de los bloques propuestos. Para esto, se utilizará la siguiente estructura; se presentará un diagrama simplificado, un circuito esquemático y su correspondiente Layout. Una vez explicados los bloques, es necesario analizar su interconexión a nivel de layout, pues como se podrá ver en estos capítulos, los tamaños difieren mucho entre algunos bloques. Para ello, el capítulo 12 explica las consideraciones tenidas para hacer el floorplan del diseño, teniendo en cuenta los tamaños reales de los circuitos explicados en capítulos anteriores.

Una vez el sistema se encuentra completo, es necesario realizar una extracción de componentes parásitos, resultantes del layout implementado. Con estos componentes se realiza una simulación que permite prever el comportamiento del circuito al ser implementado en layout. Para tener un punto de comparación, se realizan simulaciones sin componentes parásitos y luego éstos se añaden y se vuelve a simular. Este procedimiento se encuentra expuesto en el capítulo 13.

Para poder simular el comportamiento del circuito, ante entradas reales (canciones, discurso), es necesario hacer un análisis por medio de software, pues la herramienta de simulación no permite agregar este tipo de señales. El capítulo 14 expone un análisis hecho a algunas canciones, el cual analiza un parámetro de desempeño, para poder hacer una comparación de los resultados al utilizar o no el circuito propuesto.

Con los resultados obtenidos se realizó un análisis detallando las ventajas y desventajas obtenidas en el diseño propuesto. Este análisis se encuentra consignado en el capítulo 15. Luego se realizó una reflexión en torno al proyecto, y se redactó el capítulo 16, donde se consignan las conclusiones obtenidas al finalizar este trabajo.

Para realizar este proyecto se requirió el uso de herramientas pertenecientes a la Suite de Diseño Microelectrónico de Synopsys®. Debido a la alta complejidad de éstas se entregan videotutoriales que explican la forma como se utilizaron las herramientas durante el desarrollo del proyecto. El anexo A contiene la caracterización de la tecnología utilizada en el desarrollo de este proyecto. El anexo B contiene un análisis realizado a varios archivos de audio, que permitieron obtener algunos valores utilizados en el diseño del sistema.

I. MARCO TEÓRICO

Durante los siguientes cuatro capítulos se desarrollarán las bases teóricas que plantean el problema a resolver y que dieron pie a la solución propuesta.

Se analizará la señal que se desea amplificar (música, discurso), luego se estudiarán topologías de amplificadores de audio; de los cuales surgirá una idea que hará necesario el estudio de las bombas de carga y el uso de condensadores de bootstrap. Finalmente se realizará un estudio sobre las especificaciones requeridas, dadas las características de las cargas a utilizar.

1 Características de la Señal de Entrada

La señal de audio, es una señal generalmente acotada al rango de frecuencias audible, 20Hz a 25kHz. Esta es una señal que viaja como una onda de presión en el aire, por lo tanto es necesario utilizar transductores que la convierten en señales eléctricas, con las cuales se puede trabajar. El proceso inverso se realiza por medio de un altavoz, el cual se encarga de convertir las señales de voltaje en ondas de presión que generan sonido.

La música, y el discurso; tienen una característica muy particular, que hace difícil amplificarlas sin llegar a afectar la integridad de la señal. Estas señales tienen un factor de cresta¹ muy grande, en algunos casos hasta 20dB [1]. Esto quiere decir, que las señales permanecen en niveles bajos durante largos periodos de tiempo, y por pequeños instantes incrementan su valor a niveles muy altos. La gráfica muestra un ejemplo de una canción con un factor de cresta de aproximadamente 20dB.

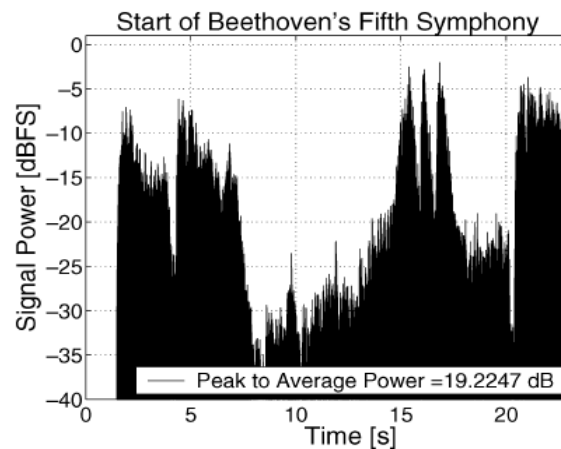


Figura 1-1 Ejemplo de Factor de Cresta para Música Clásica²

Al intentar amplificar estas señales, se requerirían fuentes de alimentación muy altas, o de lo contrario, la señal de audio sería recortada cada vez que esta pretendiese llegar a niveles más altos que las fuentes de polarización. Este proyecto se plantea buscar una forma de entregar

1 Factor de Cresta: Relación de Potencia Pico / Potencia Promedio
2 Tomado de [1] con fines académicos.

voltajes más altos que la fuente de polarización por pequeños instantes de tiempo, logrando así polarizar con fuentes pequeñas, sin tener que recortar los picos de voltaje.

2 Amplificadores de Audio

Los amplificadores de audio se encargan de amplificar las señales de audio y de entregar la potencia necesaria para manejar un altavoz o un audífono, encargado de generar las ondas de presión de aire que producen el sonido.

Con el paso del tiempo se han propuesto y trabajado varias topologías de amplificadores, buscando mejorar cada vez más el desempeño de estos.

Los amplificadores se suelen dividir por clases, según la forma como se implemente su etapa de salida. El amplificador clase D se caracteriza por modular la señal de entrada [2], y utilizar los transistores de la etapa de salida como switches. Debido al alto contenido de frecuencias que tiene la señal, a la salida se utiliza un filtro pasa bajas que se encarga de recuperar la señal. Este filtro generalmente se implementa con componentes reactivos (condensadores, inductancias) para no reducir la eficiencia del amplificador. Como los transistores de la etapa de salida, son utilizados como switches[3], el consumo de potencia de esta etapa es muy bajo, pues los transistores siempre se encuentran en región de corte o resistiva, por lo tanto mantienen relaciones de $I \cdot V$ muy bajas.

El amplificador clase D es una opción bastante buena, pero debido a su alta complejidad, se decidió optar por otra topología pues ésta iba más allá de los alcances de este trabajo.

Otra topología estudiada fue el amplificador clase G; un ejemplo de este amplificador se encuentra en la figura 2.1

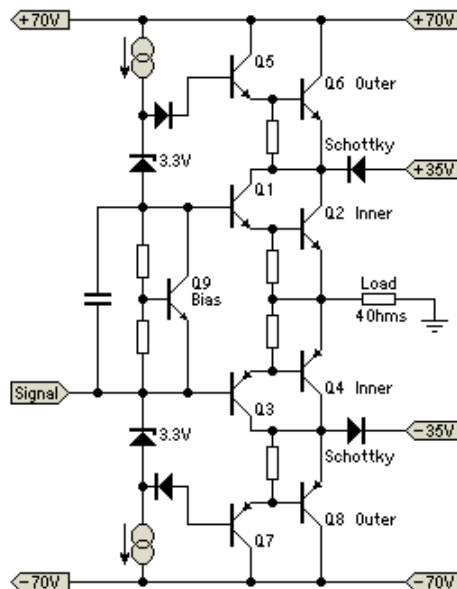


Figura 2-1 Ejemplo de Amplificador Clase G ³

³ Tomado de [4] con fines académicos.

Como puede observarse, este amplificador se caracteriza por utilizar varias fuentes de polarización, las cuales se van alternando a medida que la señal de salida va aumentando o disminuyendo su valor. Los valores de las fuentes de alimentación se escogen dependiendo de las características de la señal que se desea amplificar, pues escoger mal los valores, podría ocasionar que las fuentes nunca se alternaran y siempre se estuviera trabajando con una fuente sencilla [4].

Al analizar el amplificador Clase G, se encontró interesante su funcionamiento, pues el cambio entre fuentes de polarización se acercaba bastante al comportamiento deseado en el circuito a diseñar. Pero pretender utilizar más de una fuente de polarización, iba en contra de la idea del proyecto por lo tanto se pensó en buscar una forma de generar un voltaje por encima de la fuente, que pudiera cumplir el papel de fuente extra.

3 Bombas de Carga y Condensadores de Bootstrap

Investigando formas de generar voltajes por encima de la fuente de polarización, se estudiaron dos opciones. Las bombas de carga y los condensadores de bootstrap.

Las bombas de Carga son circuitos que por medio de conmutaciones, cargan condensadores a voltajes más altos que las fuentes de polarización utilizadas. Un ejemplo de bomba de carga se presenta en la figura 3-1. [5]

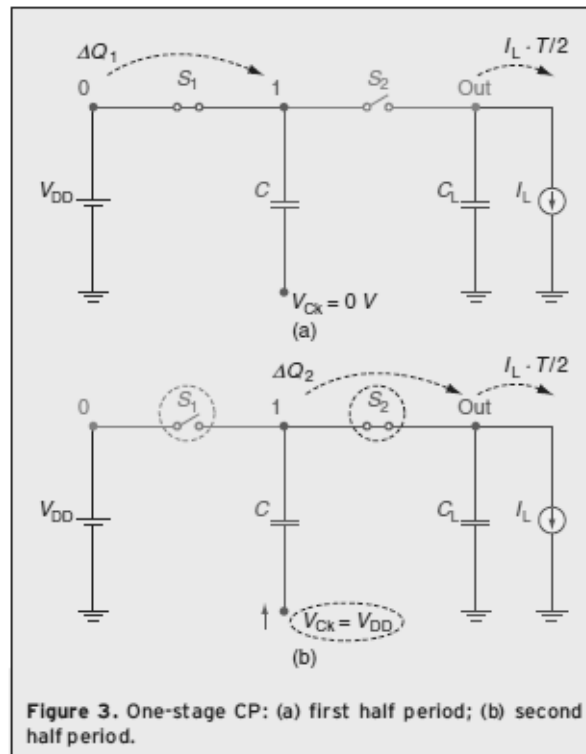


Figura 3-1 Bomba de Carga de una Etapa⁴

⁴ Tomado de [5] con fines académicos.

El funcionamiento de este ejemplo es bastante sencillo, mientras que la señal V_{Clk} se encuentra en cero, el condensador C se carga al nivel de la fuente (V_{DD}), cuando el voltaje de V_{Clk} es alto, el nodo 1 queda en un nivel de voltaje equivalente a 2 veces la fuente. De esta forma, empieza a compartir carga con el condensador de carga, logrando así, poco a poco elevar el voltaje en el condensador de carga, hasta un voltaje final mayor a la fuente de polarización.

El voltaje final ideal de este ejemplo es $2V_{DD}$, y a medida que se incrementan las etapas, se pueden obtener voltajes cada vez más altos.

Los condensadores de bootstrap, son condensadores que se utilizan para mantener los gate de los transistores, por encima de la fuente de polarización. Esto se logra con arreglos que cargan el condensador en un voltaje inicial, y luego, en el momento que se requiere, elevan la referencia del condensador. Un ejemplo de condensador de bootstrap se muestra en la figura 3-2. [6]

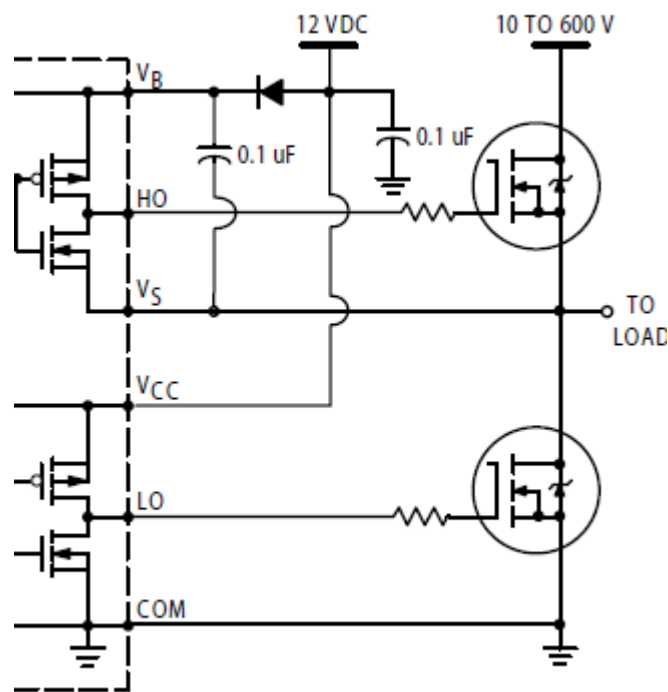


Figura 3-2 Ejemplo de Condensador de Bootstrap ⁵

En la figura se puede observar que cuando el nodo V_s se encuentra en cero, el condensador de $0.1\mu F$ se carga a través de la fuente de $12V$. Cuando el voltaje V_s sube, hace que el diodo se apague. Cuando V_s llega al valor de la fuente, el nodo V_b , se encuentra en un voltaje mayor a la fuente de polarización.

4 Caracterización de la Carga

Para poder plantear especificaciones, es necesario hacer un estudio sobre las características que tienen los audífonos utilizados comercialmente. Para ello se analizarán las especificaciones de varios audífonos, permitiendo definir las características que debe tener el amplificador a diseñar.

⁵ Tomado de [6] con fines académicos

Los audífonos se encargan de convertir las señales de voltaje aplicadas, en señales de presión que generan el sonido. Dependiendo de la calidad y de las características del audífono, estos pueden ser más o menos eficientes.

Esta eficiencia es reportada en unidades dB/mW, y se encuentra en las especificaciones de los audífonos. Tomando como referencia una hoja de aplicación [7], se obtienen valores comerciales utilizados, y valores de potencia que pueden ser entregados, conservando los niveles de presión por debajo del umbral de dolor de las personas.

Según lo expuesto [7], dada una sensibilidad promedio en la industria de 94dB/mW, sobrepasar un nivel de potencia de 100mW, podría ser muy peligroso para los usuarios.

A partir de los datos recogidos en un sitio web [8], los cuales recopilan las especificaciones de los audífonos más populares, se elaboró una tabla comparativa que resume dichas especificaciones.

Impedancia (Ω)	Sensibilidad (dB/mW)	Ancho de Banda (Hz)
18	110	10 – 19k
32	100	-
36	119	18 – 19k
32	-	15 – 20k

Tabla 4.1 Especificaciones Audífonos más Populares

II. ESPECIFICACIONES

5 Especificaciones Alcanzadas

Este capítulo toma la teoría explicada anteriormente y plantea las especificaciones necesarias para que el diseño pueda manejar unos audífonos comerciales. Posteriormente se explica un análisis de señal hecho para determinar la duración y la amplitud de los picos de voltaje. Para completar el análisis, se revisan las exigencias impuestas por las tecnologías con las cuales se puede trabajar.

5.1 Requerimientos Eléctricos

Luego del análisis hecho en el capítulo 4, se pueden definir algunos requerimientos eléctricos; debido a la sensibilidad comercial que se tiene, entregar más de 100mW puede ser perjudicial para la salud del usuario, por lo tanto este será el tope de potencia entregada.

Por otra parte, el ancho de banda que utilizan los audífonos generalmente se limita al rango audible de frecuencias. Entonces, el ancho de banda requerido en el amplificador no va a ser mayor a 25kHz, teniendo certeza que se cubre el ancho de banda del audífono utilizado para convertir la señal en sonido.

5.2 Análisis de Señal

Para definir los tiempos a cumplir por parte del diseño, se realizó un análisis utilizando Matlab®. El análisis se realizó utilizando un script; este tomaba una referencia como “fuente”, y, a partir de esta, medía cuanto tiempo duraba la señal por encima de esa referencia (duración), cuánto tiempo duraba la señal sin superar este nivel (repetición), y por último el valor del sobrepico (altura), es decir, que tanto superaba la señal al nivel de referencia. La figura 5-1 muestra una señal de audio real, utilizando una fuente del 70% del máximo de la señal.

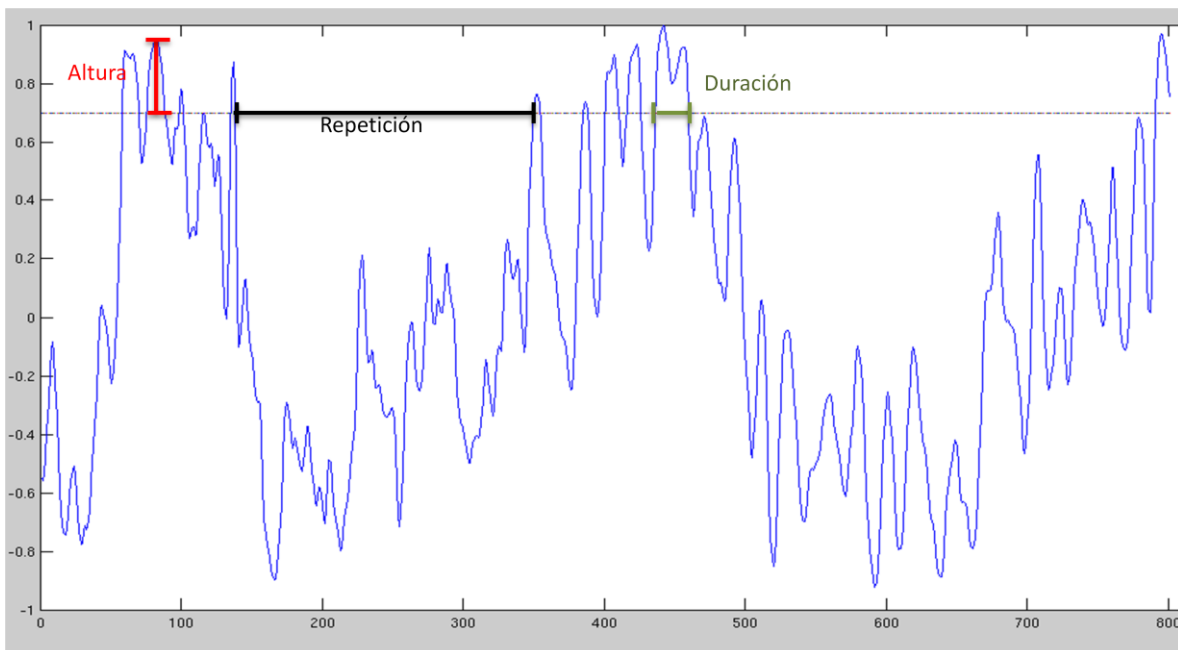


Figura 5-1 Análisis de Audio a Señal Real

Para almacenar la información se utilizaron tres vectores, donde la posición N de cada vector, representaba el dato correspondiente al sobrepico N.

Es importante aclarar que si un dato de repetición, resultaba más grande que 6ms, este se tomaba como 6ms, pues la idea de este dato era encontrar el valor más pequeño de duración que permitiera cumplir con un gran número de casos. Por lo tanto, si el circuito, estaba preparado para entregar un nuevo sobrepico en 6ms, estaría preparado también, para entregarlos con valores mayores de duración.

Con la información recopilada se realizaron histogramas, que permitían ver la distribución de los datos, y se buscaron puntos que permitieran abarcar el 90% de los casos.

Este script se ejecutó utilizando distintos valores de referencia, emulando distintos valores de fuente, para poder obtener distintas medidas, que permitieran definir un sobrepico a entregar. Los resultados obtenidos se encuentran resumidos en la tabla 5.2.1. Para mayor detalle revisar el anexo B.

Referencia	0.6	0.7	0.8
Repetición	30us	30us	30us
Duración	300us	180us	145us
Altura	1.4	1.27	1.18

Tabla 5.1 Resultados Análisis. Matlab®

Se toma como caso de estudio el caso de referencia 0.7, pues ante un incremento de referencia de 0.1, se disminuye la duración, permitiendo tener valores menos exigentes para trabajar, sin tener cambios significativos en referencia. Esta decisión impone la condición del pico máximo a entregar, y es que éste debe ser 1.3 veces la fuente de polarización.

5.3 Restricciones de Tecnología

La tecnología que se tiene actualmente en la universidad, que funciona con la nueva herramienta, es la librería de 90nm. Normalmente esta librería exige fuentes de voltaje de 1.2V, pero al hacer ciertos cambios en las difusiones de los transistores, se pueden trabajar otros modelos, de 2.5V y de 3.3V. Con voltajes más altos no es posible trabajar con la tecnología disponible en el kit de diseño microelectrónico, instalado en los servidores de la universidad.

Teniendo en cuenta estas condiciones, se analizan las condiciones anteriores, teniendo en cuenta que se requiere una potencia de salida de 100mW, se realiza la siguiente tabla comparativa que permite definir que carga se encuentra dentro de los niveles de voltaje a trabajar.

Carga (Ω)	Voltaje Pico
18	1.9 V
32	2.53 V
36	2.7 V

Tabla 5.2 Voltaje Pico requerido para entregar 100mW

Teniendo en cuenta estos resultados, se toma la decisión de trabajar con una carga de 18 ohmios y utilizar una fuente de polarización de 2V. La tecnología a utilizar es la tecnología de 2.5V.

III. DESARROLLOS

Los siguientes capítulos desarrollarán la solución propuesta en este proyecto, inicialmente se explicará a nivel de concepto la solución, y se presentará un diagrama en bloques que ilustrará la estructura del diseño. Los capítulos 7, 8, 9 y 10 explicarán cada bloque en detalle, la forma como se implementó y el trabajo que se realizó en torno a cada uno. Finalmente se analizará una realimentación necesaria en el circuito y la forma como se realizó el layout del proyecto completo. En los capítulos 13 y 14, se mostrarán algunas simulaciones, que permitirán comprobar el funcionamiento del diseño.

6 Solución Propuesta – Diagrama en Bloques

Para el problema planteado, se propone un sistema que cargue un condensador a un voltaje cercano a la fuente de voltaje, y en el momento que la salida requiera llegar a niveles más altos que la polarización, este condensador se montará encima de la fuente, logrando entregar un nivel de voltaje superior por un corto periodo de tiempo. El sistema se dividirá en cuatro grandes bloques, los cuales se presentan en el diagrama.

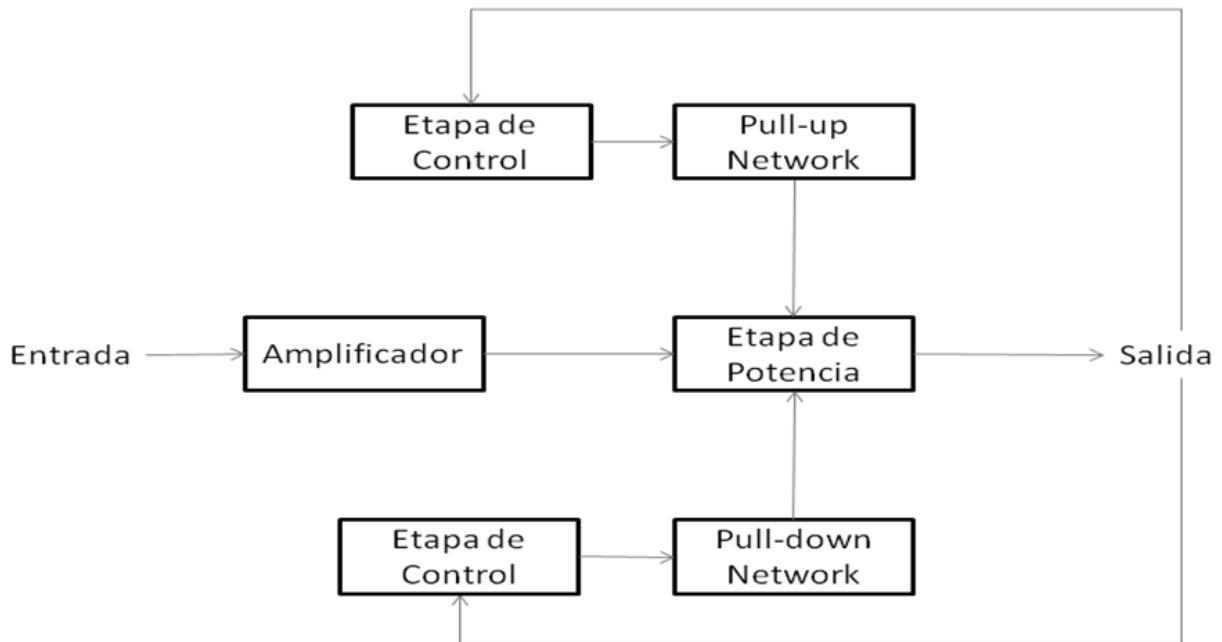


Figura 6-1. DIAGRAMA EN BLOQUES

Aunque en el diagrama aparezcan más de cuatro bloques, es importante aclarar que los bloques Pull-down y Pull_up serán diseñados de manera similar, de igual forma las etapas de control, por ello no se tendrán en cuenta como bloques independientes.

Cuando la señal de salida, requiera subir a un voltaje superior a la fuente de polarización, la etapa de control superior se encargará de activar la red de pull-up, logrando así entregar un voltaje por encima de la fuente de polarización. Un comportamiento similar se espera de la etapa de control

inferior y la red de pull-down. La etapa de potencia se encargará de entregar la corriente necesaria para alimentar la carga, y el amplificador simplemente convertirá la señal de entrada en una versión de mayor amplitud que pueda manejar la etapa de salida.

7 Pull-Up y Pull-Down Network

7.1 Diagrama Simplificado

Para iniciar el análisis, se explicará el Pull-up network, la idea principal de este bloque es cargar un condensador a un voltaje aproximadamente igual al de la fuente, para luego subir éste condensador a una referencia más alta y poder entregar un voltaje superior al de polarización.

El diagrama presentado es un modelo simplificado del bloque. En este se evidencian los voltajes a los que deben conmutarse los terminales del condensador para obtener el comportamiento deseado.

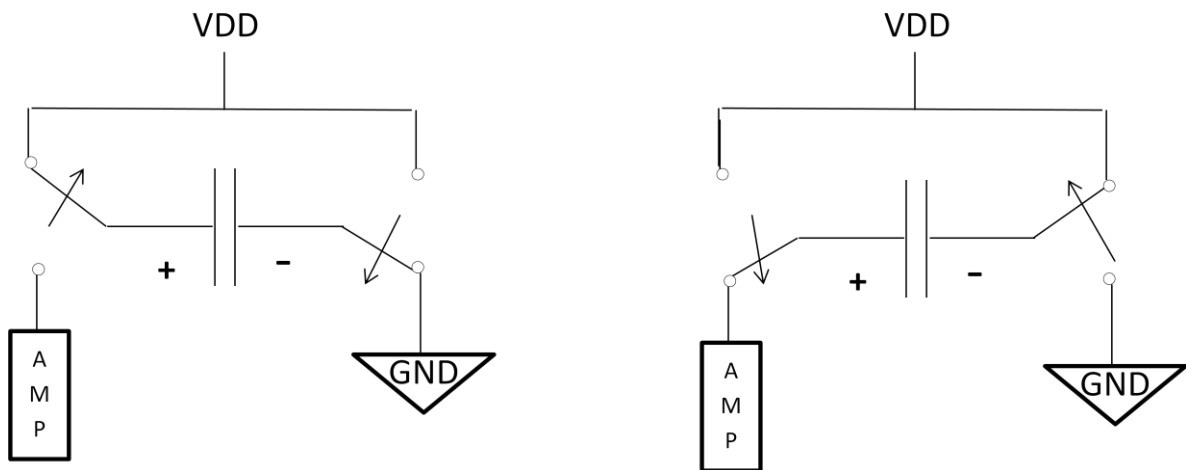


Figura 7-1 Diagrama simplificado de Pull-up Network

7.2 Circuito Esquemático

El diagrama planteado anteriormente se solucionó utilizando el siguiente circuito. En este se puede observar que el switch de la izquierda, se simplificó de un switch de dos posiciones a uno de una posición nada más (on - off). Logrando así disminuir el número de transistores a utilizar. Los tamaños de los transistores son grandes debido a que estos deben entregar grandes corrientes, pues éstos deben cargar un condensador muy rápido, y entregar la corriente pedida por la carga, más de 100mA. Es importante aclarar que en el esquemático no se incluye el condensador, pues este condensador debe tener un valor muy alto, haciendo poco práctico realizarlo en layout, por lo tanto este debe conectarse al chip, por ello la celda tiene los pines correspondientes para conectar el condensador.

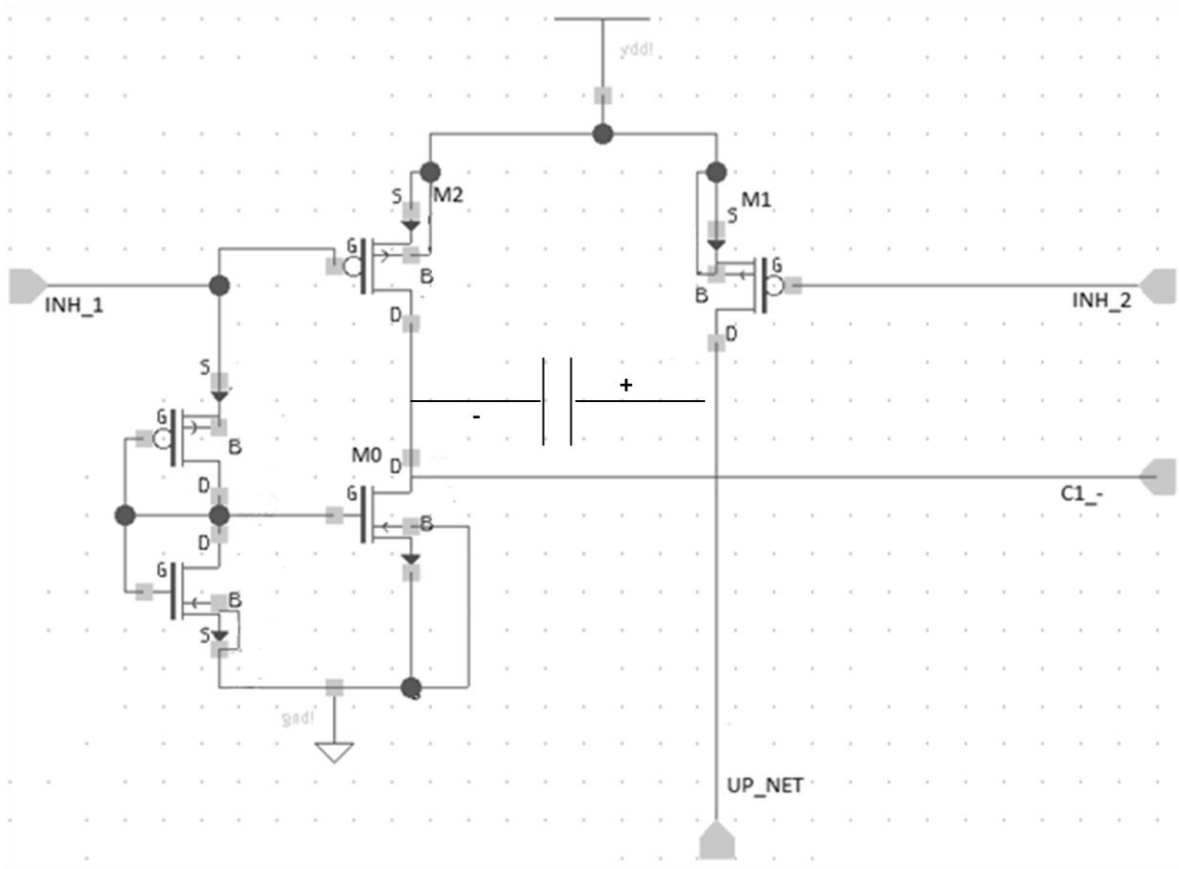


Figura 7-2 Circuito Esquemático. Pull-up Network

A continuación se presenta una relación de los pines del circuito, explicando el objetivo de cada uno.

PIN	DESCRIPCIÓN
INH_1	Entrada: Señal de control que apaga y prende los transistores M0 y M2.
INH_2	Entrada: Señal de control que apaga y prende el transistor M1.
C1_-	Entrada: Punto de Conexión del terminal negativo del condensador.
UP_NET	Entrada – Salida: Punto de Conexión del terminal positivo del condensador. Salida hacia la etapa de potencia.

Tabla 7.1 Descripción de Pines de la red de Pull-up

Las señales de control son señales digitales, complementaria una de la otra. El ciclo de carga del condensador se da cuando la señal de control INH_1 se encuentra en 1 (Vdd), por lo tanto INH_2 se encuentra en 0, la figura 7-3 muestra el ciclo de carga en el esquemático. De esta forma, el condensador se carga a través de M1 y M0. Como puede observarse en el esquemático, el voltaje en el Gate de M0 no se deja llegar a la fuente, pues la idea de este transistor es que funcione como fuente de corriente, por lo tanto no se desea llevar a región resistiva. Esto permite que durante la carga, el drain de M1 este en un voltaje muy cercano a Vdd, fijando así la fuente que se necesita mientras el condensador se carga.

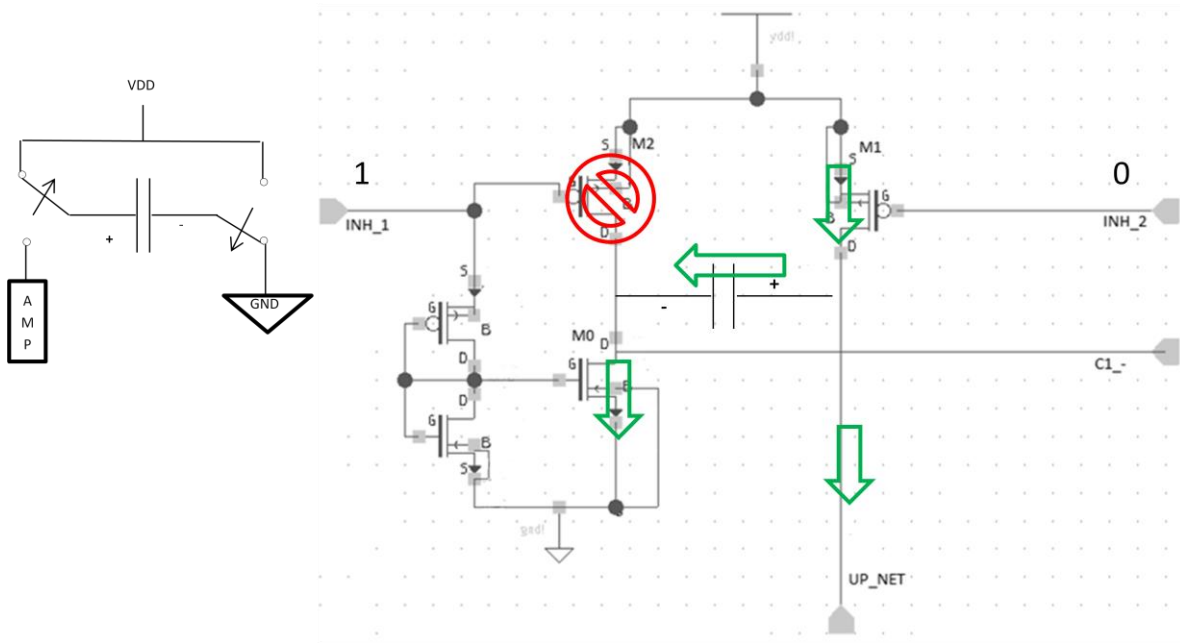
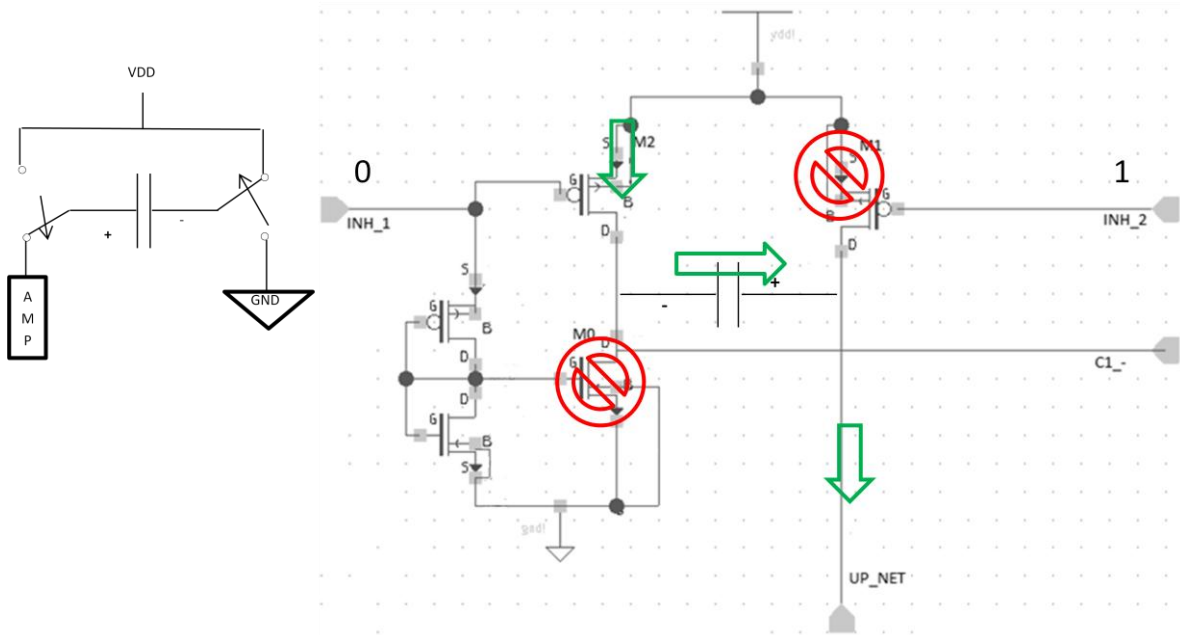


Figura 7-3 Ciclo de Carga del Condensador. Red de pull-up

Cuando las señales de control cambian, inicia el ciclo en el que el condensador alimenta al circuito, esta etapa se explica en la figura 7-4. Se puede observar que M2 se activa, y entra en región resistiva, subiendo el terminal negativo del condensador a un voltaje cercano a la fuente de polarización, y M1 se apaga para dejar subir el terminal positivo del condensador a un voltaje superior al de la fuente de polarización.



De manera similar se plantea la etapa de pull-down, cambiando el tipo de transistores, (Tipo P por tipo N), y fuente por tierra. El esquemático del circuito de pull-down se encuentra en la siguiente figura. El funcionamiento de éste es análogo al descrito para la etapa pull-up.

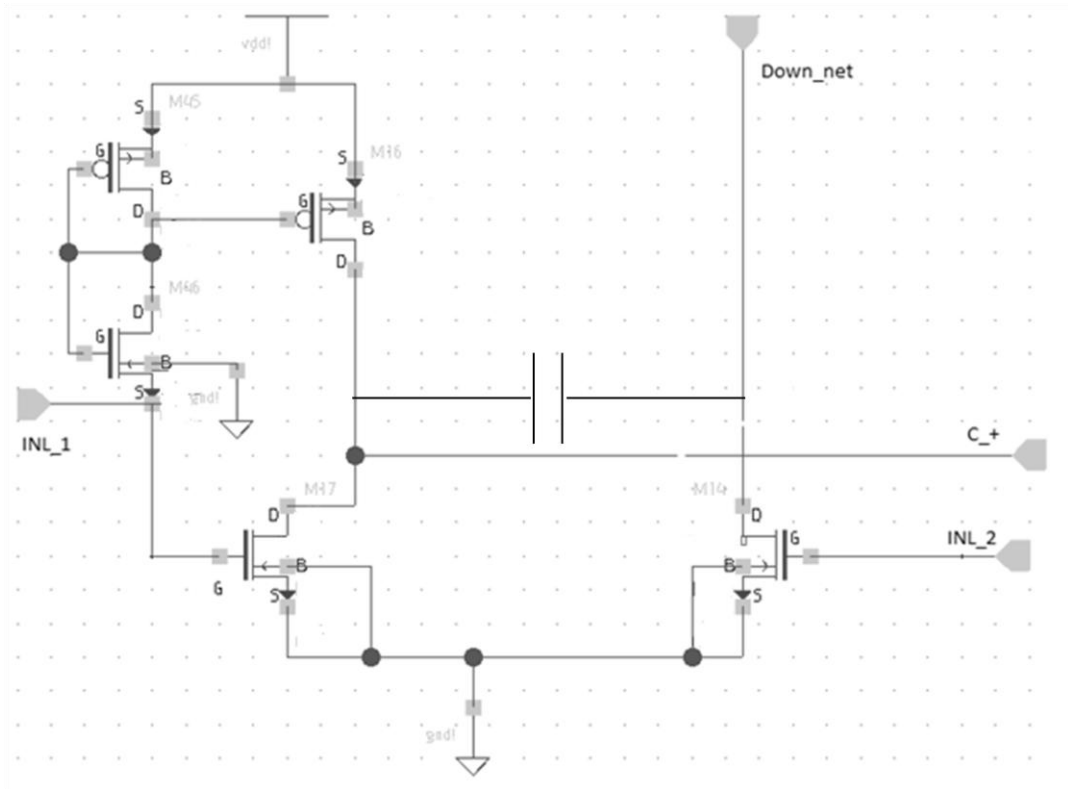


Figura 7-4 Circuito Esquemático. Pull-down Network

Se plantea un circuito para modelar el comportamiento de las redes de pull-up y pull-down. El circuito de modelo para la red de pull-up es presentado en la figura 7-4, en este se tiene como voltaje inicial del condensador 2V.

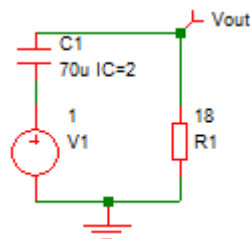


Figura 7-5 Circuito Modelo. Red de Pull-up

A partir del modelo propuesto para las redes de pull-up y pull-down, y teniendo en cuenta los tiempos correspondientes a la referencia 0.7 presentados en la tabla 5.1, se puede plantear la ecuación que determina el condensador que debe utilizarse. Se supone 3V como voltaje inicial de descarga del nodo Vout, pues debido a las caídas en los transistores el voltaje difícilmente llegará a 4V al realizar la conmutación. Se plantea una impedancia de 18Ω para tener un margen de seguridad.

$$3Ve^{-\frac{180\mu s}{18c}} > 2.6V \quad (1)$$

Resolviendo la inecuación se obtiene que el condensador a utilizarse en las etapas de pull-up y pull-down debe ser mayor o igual a 63μF.

7.3 Layout

El layout de estas etapas se hizo teniendo en cuenta los efectos de electromigración⁶ en el metal, pues debido a las altas corrientes que tienen que circular por los transistores, es importante que los metales sean lo suficientemente anchos. Para realizar este análisis se tomó como referencia un ejemplo [9] de cálculo de densidad de corriente para tecnología de 90nm.

Teniendo una densidad de corriente máxima $J=1\text{mA}/\mu\text{m}$, se calculan los anchos necesarios para las conexiones de estos transistores.

Para la red de Pull-up, se tienen tres transistores de tamaños muy grandes, que van a llevar corrientes muy altas. Los transistores grandes deben pintarse en varios “fingers”, logrando así, distribuir mejor los transistores, creciendo el chip de una forma más uniforme. Teniendo esto en mente, para los transistores tipo P se utilizaron fingers con $W=100\mu\text{m}$ y $L=0.5\mu\text{m}$. Para el transistor tipo N se utilizaron fingers de $W=32\mu\text{m}$ y $L=0.4\mu\text{m}$. Es importante aclarar que los anchos de canal L, se definieron a partir del análisis hecho a la tecnología, consignado en el anexo A.

Definidos los tamaños de los fingers, los transistores con menos fingers tienen 200. Por lo tanto el ancho de las conexiones de cada finger se calcula teniendo en cuenta que la corriente se debe dividir entre 200 conexiones. Con el valor de la carga se conoce que la corriente que deben soportar los transistores es de aproximadamente 150mA.

$$Wc = \frac{Imax}{J} \quad (1)$$

Por lo tanto, al dividir la corriente entre 200, se requiere un valor de $Wc=0.75\mu\text{m}$.

En la figura se puede observar el ancho y los contactos de la conexión en metal de varios fingers del transistor. Para satisfacer la condición de mínimo ancho se utilizó un ancho de $Wc=0.8\mu\text{m}$.

⁶ “**Electromigración** es el transporte de material causado por el movimiento gradual de los [iones](#) en un [conductor](#) debido a la transferencia de momentum entre los electrones de conducción y los átomos del metal.” [10]

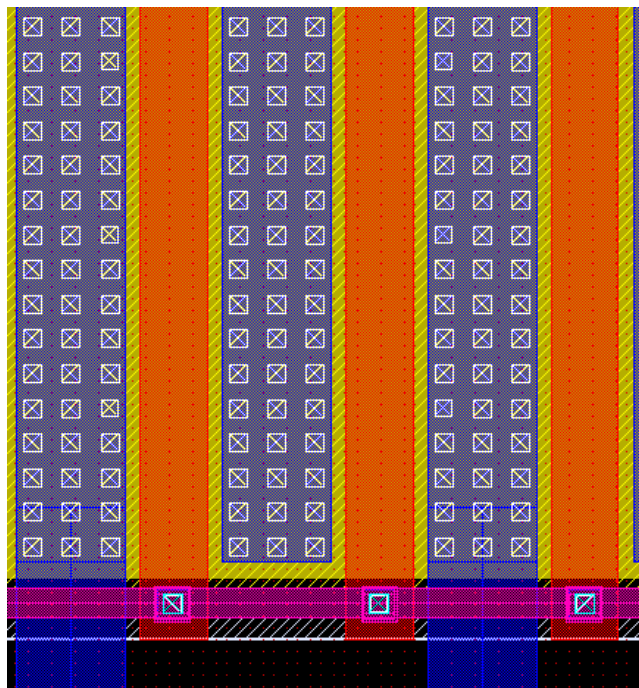


Figura 7-6 Layout de conexiones de Metal en un transistor de la red de pull-up.

Los archivos de layout pueden ser inspeccionados en el DVD adjunto, para obtener un mayor detalle de las conexiones realizadas.

De manera similar el análisis de fingers, para la red de pull-down, dividió los transistores en 160 fingers, por lo tanto se utilizó la misma estrategia, esta vez utilizando un ancho para las conexiones de $W_c=1\mu\text{m}$.

8 Etapas de Control

8.1 Diagrama Simplificado

Las etapas de control tienen que determinar en qué momento las redes de pull-up y pull-down deben cambiar de estado para alimentar el circuito con un voltaje más alto que la fuente de voltaje. Una idea inicial que se pensó fue el uso de comparadores, que se encargaran de determinar en qué momento la señal superaba una referencia, y de esta forma activar las etapas de pull-up y pull-down.

Esta idea tiene un inconveniente, pues la señal de audio tiene mucho ruido, y podría ocasionar oscilaciones en la salida de los comparadores. Para evitar esto se tomó la idea de implementar comparadores con histéresis, logrando así evitar que los comparadores oscilaran debido al ruido característico de la señal.

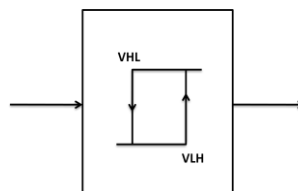


Figura 8-1 Diagrama Simplificado de las Etapas de Control

8.2 Circuito Esquemático

Para implementar los comparadores con histéresis, se utilizó una topología de Schmitt-Trigger transistorizado [11]. Para la red de pull up se tomaron como puntos de cambio 1.8V, 1.6V, y para la red de pull down 0.2V, 0.4V.

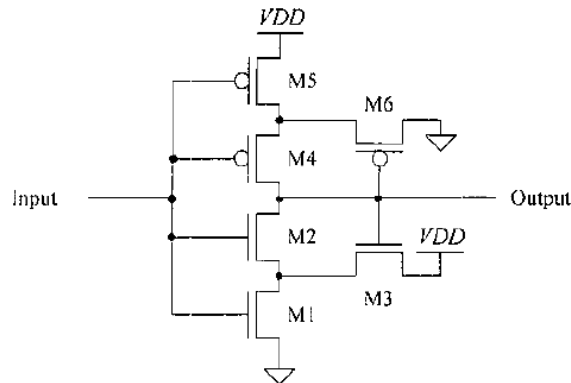


Figura 8-2 Schmitt-Trigger Transistorizado ⁷

El circuito planteado por Baker se presenta en la figura 8-1. Las ecuaciones que permiten determinar los puntos de cambio se relacionan a continuación:

ECUACIONES DEL SCHMITT TRIGGER

$$\frac{W1 \cdot L3}{W3 \cdot L1} = \left[\frac{VDD - VHL}{VHL - Vth1} \right]^2 \quad (2)$$

$$\frac{W5 \cdot L6}{L5 \cdot W6} = \left[\frac{VLH}{VDD - VLH - Vth5} \right]^2 \quad (3)$$

VLH: Punto de conmutación para que la salida cambie de Bajo a Alto.

VHL: Punto de conmutación para que la salida cambie de Alto a Bajo.

Los voltajes de cambio están determinados por las relaciones de tamaño entre los transistores. Los transistores tipo N se encargan de definir el límite VHL, por lo tanto, no es posible que éste límite este por debajo del voltaje de encendido de los transistores NMOS. Algo similar ocurre con el límite VLH, pues este voltaje no puede estar por encima del voltaje necesario para encender los transistores PMOS.

Dados los requerimientos de las señales de control, es necesario hacer una modificación al circuito, pues en el caso de la red de pull-up, se requieren puntos de cambio en 1.8V y 1.6V. En

⁷ Tomado de [11] con fines académicos

este caso, el punto de cambio de 1.8V se puede ajustar con los tamaños de los transistores NMOS, pero para encender los transistores PMOS, se requiere un voltaje más bajo que 1.6V. Por esto se plantea un divisor de voltaje, de tal forma que en la entrada del Schmitt Trigger se obtenga un voltaje menor, que permita encender los transistores PMOS fácilmente.

En el diseño del control de la etapa de pull-down surge un problema similar, pues en este caso los transistores NMOS no pueden encenderse con los voltajes deseados, para solucionar eso se utilizó una estrategia similar, esta vez elevando el voltaje de la señal para poder hacer conmutar fácilmente los transistores.

La inclusión de los divisores de voltaje ocasiona que los cambios a la salida del comparador no sean muy rápidos; para mejorar esto, se conectaron inversoras que corrigieron la señal, logrando así mejorar la forma de salida.

Las inversoras incluidas no se hicieron de tamaño mínimo, pues estas deben manejar Gates de transistores muy grandes, por lo tanto tienen como carga una capacitancia considerablemente grande.

A continuación se presentan los circuitos obtenidos luego de hacer las modificaciones mencionadas.

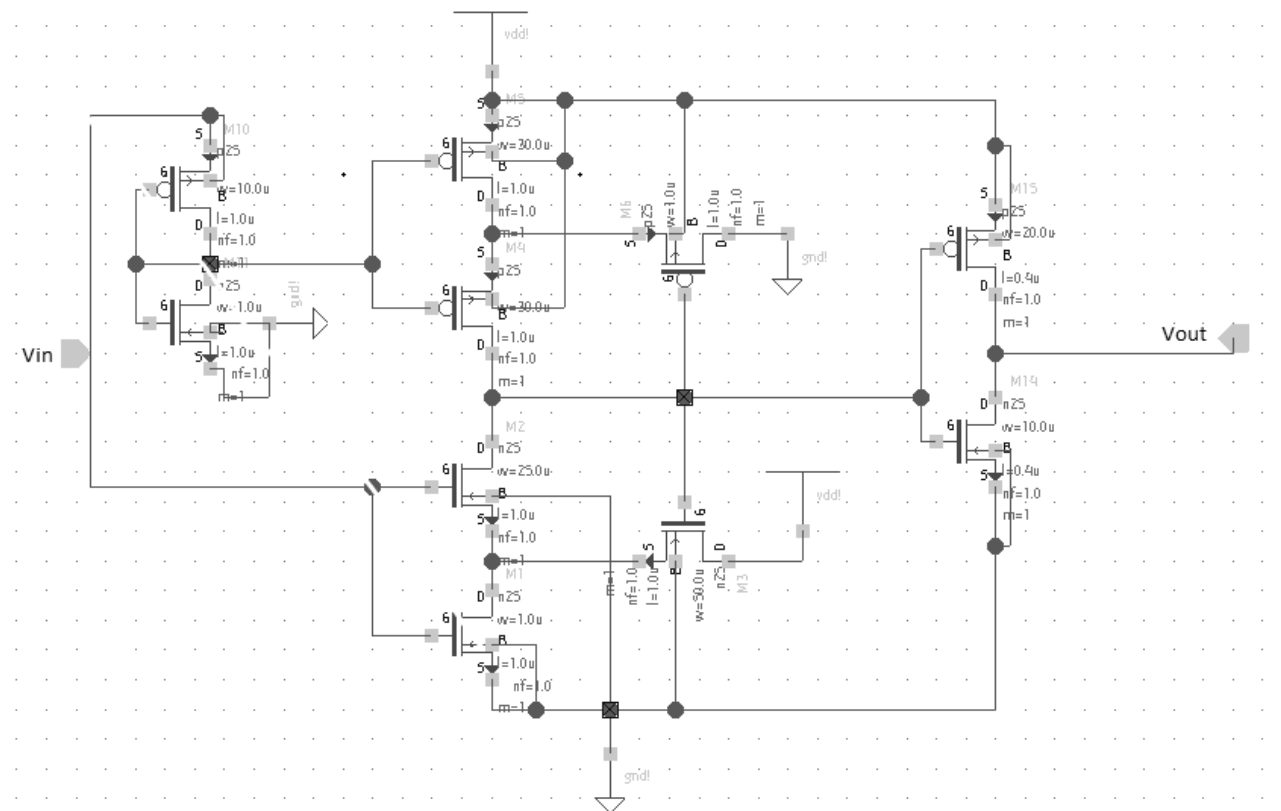


Figura 8-3 Schmitt Trigger Modificado, Control de Pull-up

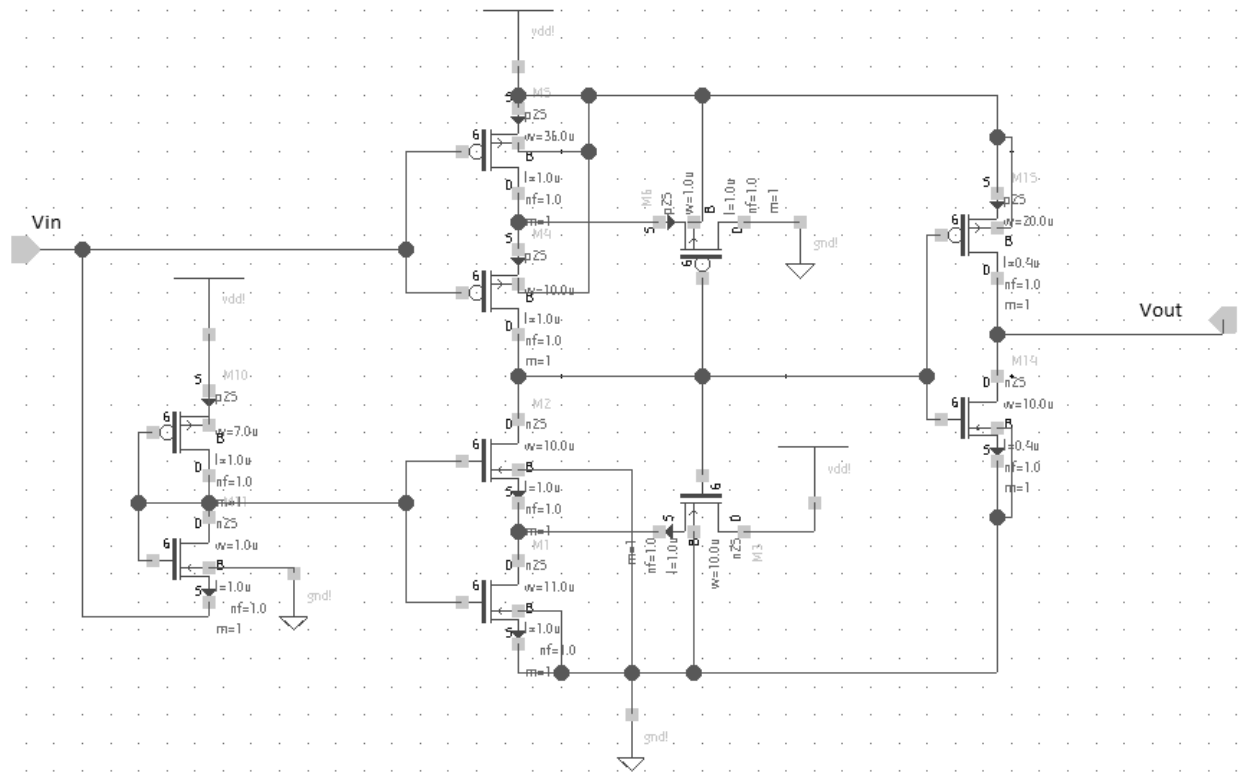


Figura 8-4 Schmitt Trigger Modificado, Control de Pull-down

El divisor de voltaje del Schmitt trigger de control UP, se calculó para que cuando el Voltaje de entrada se encontrara en 1.6V, éste entregara a la salida un voltaje de 0.8V. Teniendo en cuenta esto, los tamaños de los transistores se calcularon utilizando la siguiente ecuación⁸.

$$82\mu \frac{W_n}{L_n} (0.8 - 0.43)^{1.75} = 22\mu \frac{W_p}{L_p} (0.8 - 0.6)^{1.7} \quad (4)$$

De donde se concluyó que el transistor tipo P, debía ser 10 veces más grande que el transistor tipo N.

El divisor de voltaje del Schmitt trigger de control Down se calculó de forma similar, esta vez planteando un voltaje de entrada de 0.4V y un voltaje de salida de 1.2V. Las ecuaciones utilizadas difieren a las utilizadas anteriormente, pues en el caso de este divisor el source del transistor NMOS no se encuentra conectado a tierra, por lo tanto éste experimenta el efecto body, que hace que su voltaje de encendido aumente. De acuerdo al modelo planteado en el Anexo A, el voltaje de encendido, para un valor de $V_{sb}=0.4V$, incrementa a 0.51V. Teniendo esto en cuenta se planteó la siguiente ecuación.

$$82\mu \frac{W_n}{L_n} (0.8 - 0.51)^{1.75} = 22\mu \frac{W_p}{L_p} (0.8 - 0.6)^{1.7} \quad (5)$$

⁸ Ecuación Basada en el Modelo desarrollado en el Anexo A

Al resolver la ecuación se encuentra que el transistor tipo P debe ser 7 veces más grande que el transistor tipo N.

8.3 *Layout*

El layout de los Schmitt trigger no tiene ninguna consideración particular, pues las corrientes a manejar son del orden de microamperios. De nuevo se utilizaron fingers para pintar los transistores más grandes. Logrando así que el circuito no creciera tanto en una sola dirección; Es importante realizar las conexiones de bulk correctamente, pues en este circuito en particular, no todos los transistores tipo P tienen el bulk conectado a fuente, por lo tanto hay que separar el pozo N, para poder conectarlo al source y no a la fuente de alimentación. Los archivos de Layout de ambos Schmitt trigger se encuentran dentro del CD adjunto, para que puedan ser inspeccionados con más detalle.

9 Etapa de Potencia

9.1 Diagrama Simplificado

En la etapa de potencia se requiere un manejo a la salida, que pueda superar las fuentes de polarización. Por lo tanto es necesario que exista amplificación, para poder manejar la etapa con voltajes que se encuentren entre cero y la fuente de polarización. Otro requerimiento importante es que la etapa sea capaz de entregar la corriente necesaria para generar 2V pico en una resistencia de 18Ω.

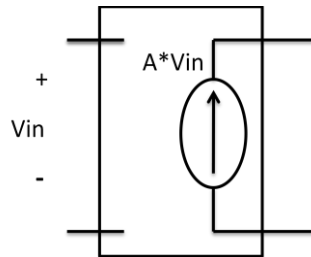


Figura 9-1 Diagrama Simplificado. Etapa de Potencia

9.2 Circuito Esquemático

Para la etapa de salida se planteó el circuito de la figura 9-2. Esta etapa tiene la ventaja de ofrecer una alta ganancia, y una impedancia de entrada muy alta.

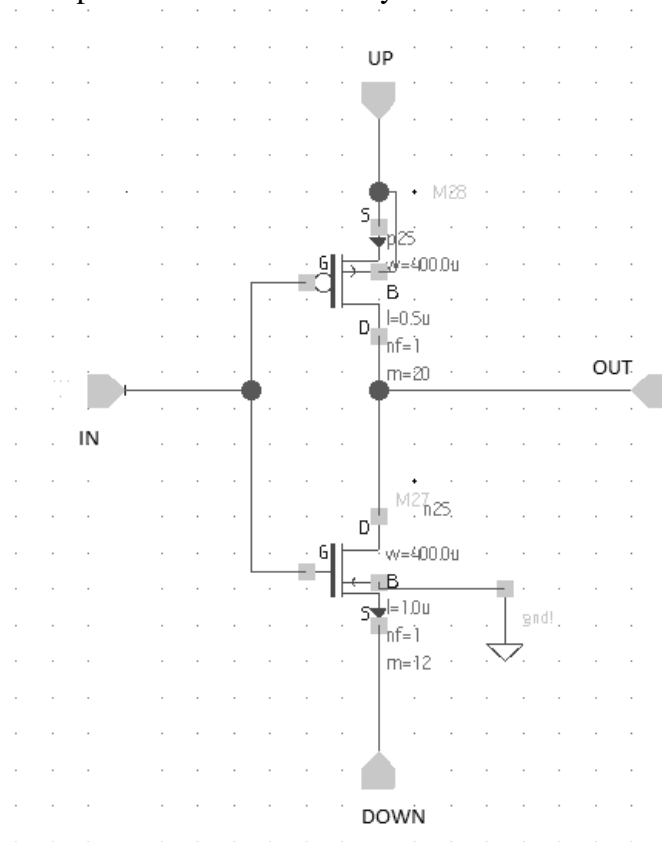


Figura 9-2 Circuito Esquemático. Etapa de Salida

Al analizar el circuito propuesto, se observa que la ganancia de la etapa se disminuye al conectar la carga, pues la ecuación que define esta ganancia es:

$$Av = (gm1 + gm2) * r01 // r02 // RL \quad (6)$$

Como puede observarse, al utilizar una impedancia de carga muy pequeña, la ganancia disminuye notoriamente. Para obtener las dimensiones de los transistores se asume que el paralelo de las tres resistencias se aproxima a RL, y que se van a tener valores de transconductancia iguales en los transistores NMOS y PMOS. Por lo tanto la ecuación que simplificada de la siguiente manera:

$$Av = 2gm * RL \quad (7)$$

Planteando una ganancia esperada mayor o igual a 3, se obtiene que la transconductancia de los transistores debe ser mayor o igual a 83mA/V.

A partir de esta condición se encuentran valores tentativos para la relación W/L del transistor tipo N, teniendo en cuenta que este es más pequeño que el PMOS.

Se hace el análisis para varias corrientes de polarización, utilizando la siguiente ecuación:

$$gm = \sqrt{4 * 82\mu * \frac{W}{L} * Id} \quad (8)$$

Y se arma la siguiente tabla comparativa, que permite evidenciar el valor tan grande que debe tomar W/L para cumplir con el objetivo propuesto.

Id	W/L
1mA	21000
5mA	4200
10mA	2100

Tabla 9.1 Comparación entre Corriente de Polarización y tamaño de Transistor NMOS

Otra forma de abordar el tamaño de los transistores, es utilizando el valor de corriente que éstos deben entregar. Y suponiendo un voltaje Vgs, se pueden obtener las relaciones necesarias en los transistores.

La corriente máxima que se entrega en condiciones normales (sin conmutar la fuente de alimentación), es de

$$I = \frac{V}{R} = \frac{2V}{18\Omega} = 111mA \quad (9)$$

Teniendo este valor como referencia se calculan los tamaños necesarios para que los transistores, con un voltaje source-gate de 1V aproximadamente, puedan entregar la corriente necesaria. De esa manera se obtienen los siguientes valores para los tamaños de los transistores.

NMOS W/L= 3600.

PMOS W/L=24000

Al observar las dos aproximaciones, se obtienen resultados similares, que indican el tamaño que

deben tener los transistores de la etapa de salida, para que estos puedan cumplir con los requerimientos planteados. Es importante aclarar que estos valores sirvieron como un punto inicial, y que los valores finales de los transistores se ajustaron teniendo en cuenta los resultados obtenidos en algunas simulaciones.

9.3 Layout

Para el layout de esta etapa se tuvieron las mismas consideraciones que se tuvieron en las redes de pull up y pull down. Pues estos transistores tienen que soportar toda la corriente entregada a la carga.

Dados los tamaños finales de los transistores, cada uno se dividió en 100 fingers, permitiendo así conectarlos de una forma más simple. Los 100 fingers se alinearon de tal forma que al extender los metales correspondientes a los drain estos se encontraran.

En esta ocasión, la corriente que debe soportar cada finger es de 1.5mA, por lo tanto se requirió un ancho de los conectores metálicos mayor a 1.5 μ m.

La figura 9-3 muestra cómo las conexiones de metal son mucho más anchas que los gate de los transistores.

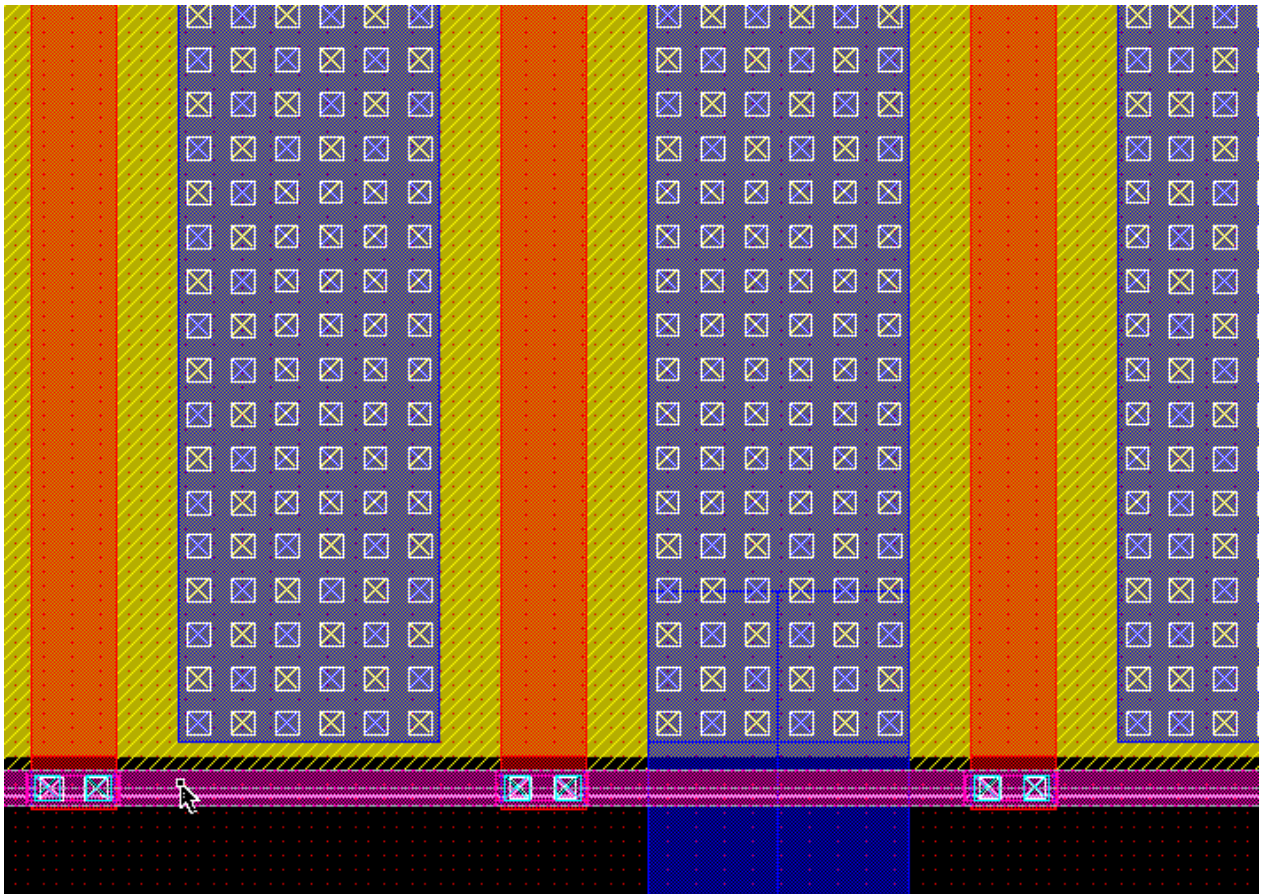


Figura 9-3 Fragmento de Layout, Mostrando Conexiones de Metal de 1.5 μ m

10 Amplificador

10.1 Diagrama Simplificado

Como se evidenció en el capítulo anterior, la etapa de potencia no amplifica mucho la señal de entrada, para ello, se implementa este bloque que se encarga de amplificar la señal las veces necesarias para poder generar la salida esperada.

La facilidad de ajustar la ganancia del amplificador es una característica deseada en este bloque, pues poder ajustar la ganancia de forma sencilla facilita el diseño del sistema en general. Por tal razón el diagrama simplificado de este bloque representa un amplificador con una ganancia variable, no por qué el funcionamiento del circuito lo requiera, sino por prevención de futuros inconvenientes en el proyecto.

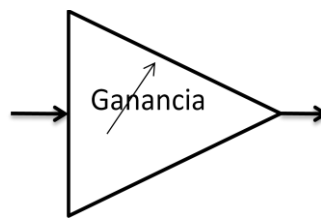


Figura 10-1 Diagrama Simplificado. Amplificador de Ganancia Variable

10.2 Circuito Esquemático

Tal vez la mejor forma de realizar un amplificador que permita cambiar su ganancia fácilmente es diseñar un amplificador operacional, pues conectando distintas configuraciones de resistencias se puede modificar la ganancia al valor deseado, sin afectar en gran manera el comportamiento del circuito, y sobre todo, sin necesidad de cambiar tamaños de transistores o conexiones a nivel de layout. Por esta razón se planteó un amplificador Operacional.

Dadas las características del proyecto, las exigencias para este amplificador eran muy permisivas, pues el ancho de banda con el que se esperaba trabajar no excedía 20kHz. Simplemente se requería que este tuviera una ganancia significativamente alta. Estas mínimas exigencias facilitaron mucho el diseño de este amplificador. Por tal razón es importante aclarar que este es un diseño hecho para el proyecto, no se puede pretender utilizarlo en distintos proyectos sin revisar primero las características pertinentes.

Buscando conseguir una ganancia alta, se propuso un amplificador operacional de dos etapas. La etapa diferencial se implemento utilizando la configuración de OTA, saliendo en corriente, maximizando el uso de esta corriente al conectar como carga un gate de un transistor. En el diseño se tuvo en cuenta la condición necesaria para evitar el off-set sistemático [12], y de esta forma se decidieron los tamaños de los transistores de la segunda etapa.

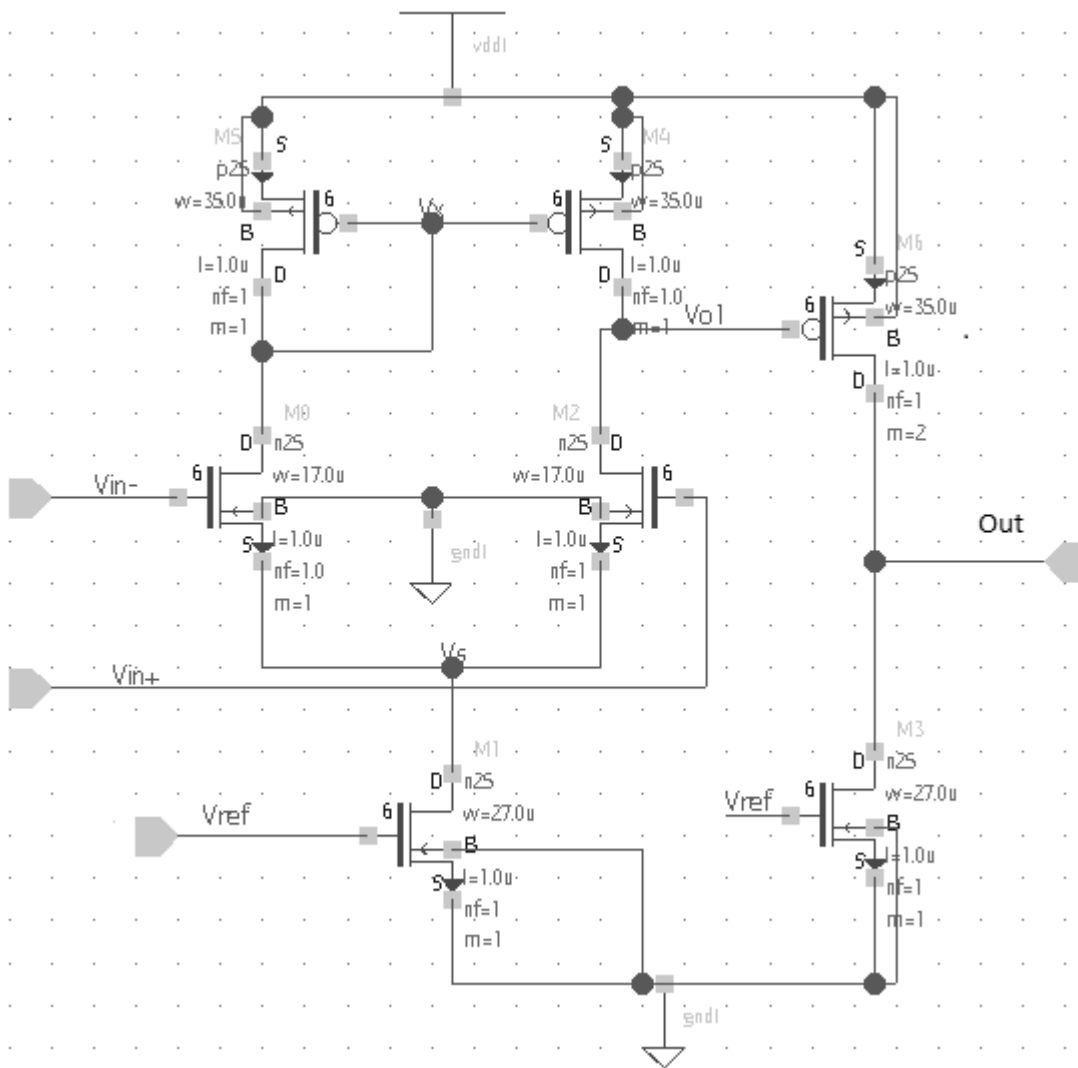


Figura 10-2 Circuito Esquemático. Amplificador Operacional

Tomando 0.6V como voltaje de referencia para la fuente de corriente, y la carga activa de la segunda etapa. Se inició el proceso de diseño de los tamaños de los transistores correspondientes a la etapa diferencial. Se plantearon las siguientes ecuaciones, escogiendo como corriente de polarización 100µA.

$$100\mu\text{A} = 82\mu\frac{W}{L} * (0.6 - 0.43)^{1.75} \Rightarrow W/L= 27 \quad (\text{NMOS - Fuente de Corriente}) \quad (10)$$

$$50\mu\text{A} = 82\mu\frac{W}{L} * (0.7 - 0.55)^{1.75} \Rightarrow W/L= 17 \quad (\text{NMOS - Amplificadores}) \quad (11)$$

$$50\mu\text{A} = 22\mu\frac{W}{L} * (0.8 - 0.6)^{1.7} \Rightarrow W/L= 35 \quad (\text{PMOS - Cargas Activas}) \quad (12)$$

Para los transistores de la segunda etapa, se decide utilizar la misma corriente, por lo tanto el NMOS tiene el mismo tamaño que el de la fuente de corriente, y el PMOS tiene el doble tamaño de los PMOS de la etapa diferencial, evitando así el off-set sistemático.

10.3 Layout

Para realizar el layout de un amplificador operacional hay que tener ciertas precauciones, pues a pesar de no conducir corrientes tan altas, el layout debe buscar hacer matching entre ciertos transistores, para lograr así un mejor desempeño del circuito.

Todos los transistores del circuito requieren matching; al transistor de la fuente de corriente debe hacersele matching con el transistor NMOS de la segunda etapa del amplificador; los dos transistores NMOS de la etapa diferencial, y los tres transistores PMOS. Al hacer este matching se busca que las corrientes reflejadas tengan las relaciones que se plantearon al diseñar.

Una forma de hacer matching es mezclar los dedos de los transistores, logrando así que los transistores queden distribuidos de manera uniforme. Otra opción de matching es buscar que los transistores compartan difusiones, esto hace que las características definitivas de cada transistor sean muy similares.

11 Realimentación

Dadas las características de la etapa de salida, se presentan dos problemas. Primero, al conmutar la fuente, la ganancia de la etapa cambia, pues el voltaje gate-source aumenta y hace que el transistor produzca más corriente. Segundo, la impedancia de salida del amplificador es muy alta; característica no deseada en el circuito.

Afortunadamente estos dos inconvenientes pueden ser solucionados al aplicar un esquema de realimentación. El cual, aplicado correctamente, puede controlar la señal de voltaje a la salida, para que a pesar de los cambios, mantenga una relación bien definida con la entrada, y además puede disminuir la impedancia de salida del amplificador.

Para realimentar se utilizó el esquema de amplificador inversor, presentado en la figura 11-1.

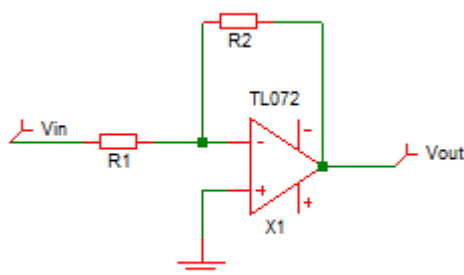


Figura 11-1 Amplificador Inversor

Esta estructura debe aplicarse con cuidado, pues debido a que se tiene una etapa adicional de amplificación que invierte, la realimentación debe hacerse al terminal positivo del amplificador operacional. La figura 11-2 muestra un diagrama donde se muestra el análisis de tendencias en los nodos del circuito, para garantizar que la realimentación efectivamente corrige los cambios, o que se realimenta negativamente como se esperaba.

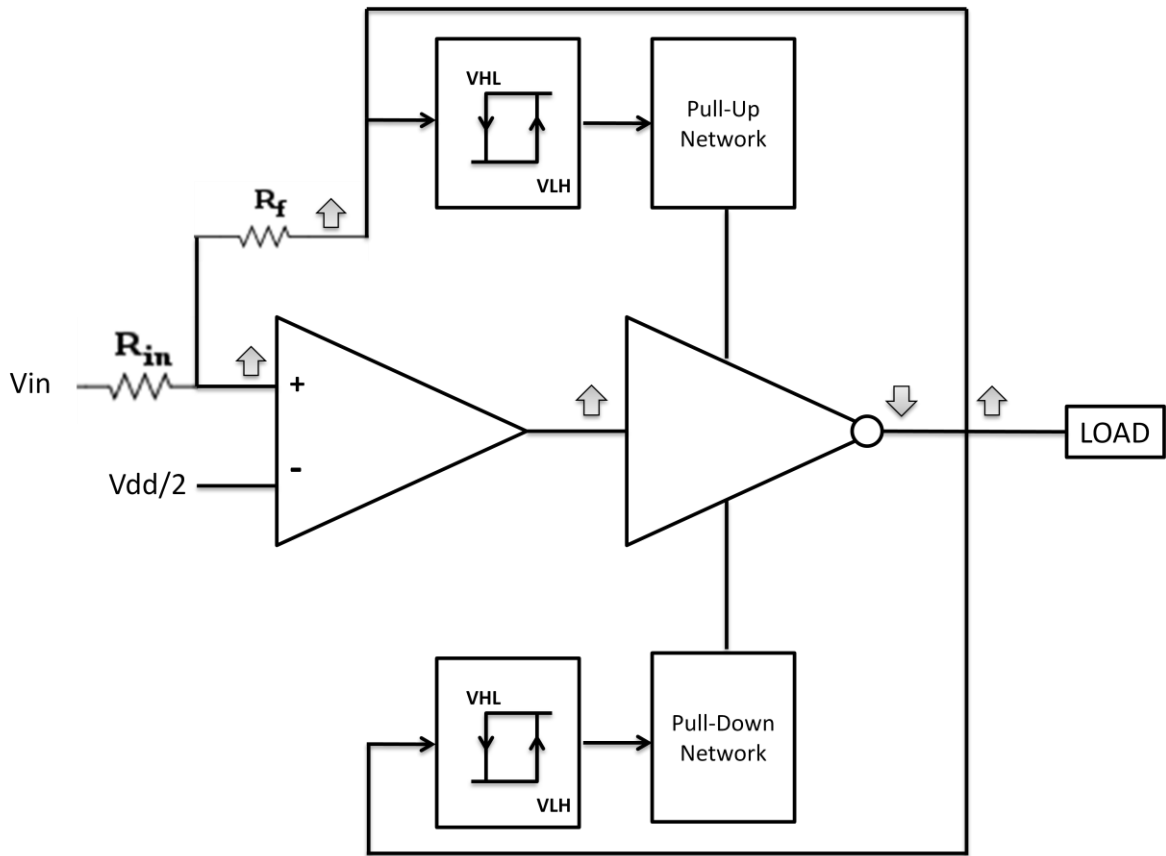


Figura 11-2 Diagrama del Sistema, Análisis de Realimentación Negativa

La ganancia de malla cerrada de este amplificador se puede controlar con los valores de las resistencias pues en este caso la expresión aproximada de ganancia de este amplificador es:

$$A_v = -\frac{R_f}{R_{in}} \quad (13)$$

12 Layout General – Floorplan

Para interconectar los bloques descritos anteriormente, es necesario analizar los tamaños, y las características de las señales utilizadas por cada uno. La figura 12-1 muestra un esquema que permite comparar los tamaños de los bloques; Es importante notar la diferencia de tamaños tan grande que hay entre las etapas de potencia (pull_up net, pull_down net e Inv_out) y los Schmitt trigger y el Amplificador Operacional.

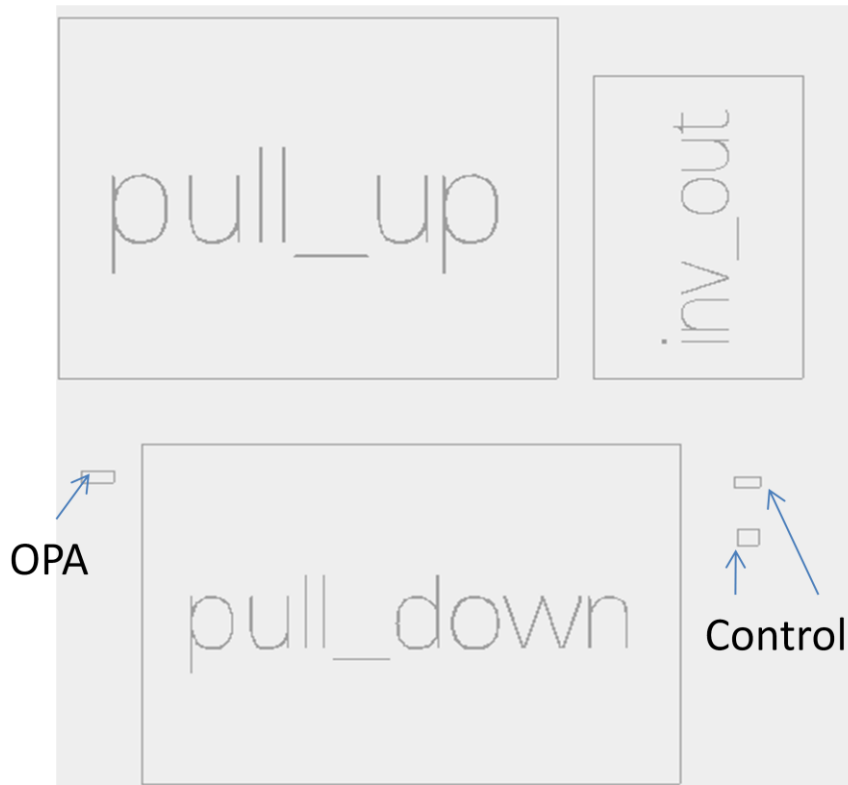


Figura 12-1 Comparación de Tamaños de Layout.

Para el sistema completo se plantean las entradas a la izquierda y la salida a la derecha, por esta razón se decide dejar el amplificador operacional lo más cerca a la entrada posible. Como las demás etapas generan picos de voltaje, que no son deseados en el OPA, éste se encierra en un plano de tierra, buscando aislarlo del comportamiento dinámico de las etapas aledañas. Además el amplificador tiene sus propias conexiones a los pines de entrada de fuente y tierra, evitando en parte, el ruido de fuentes generado por las demás etapas.

Dado que las señales de control tienen naturaleza digital, estas pueden estar más cerca de las etapas de potencia, y no ver afectado su comportamiento. Además, al ser las encargadas de controlar las etapas de pull_up y pull_down, es deseable que estas señales estén cerca a estos bloques.

La etapa de salida, debe alimentarse de las etapas de pull_up y pull_down, y debe salir hacia la derecha, por ello se decide acomodar esta etapa a la derecha de todo el circuito, permitiendo así tener la conexión de 150µm hacia la derecha lista para ser conectada al pin de salida.

La conexión hecha entre la salida del amplificador operacional y la entrada de la etapa de potencia, se envió rodeada de conectores de tierra, buscando así blindar la señal para pasar través de ambientes ruidosos.

La figura 12-2 muestra la forma como se blindó la señal para atravesar el circuito.

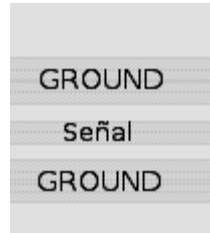


Figura 12-2 Estrategia empleada en Layout para blindar la señal análoga.

Como se había analizado previamente, las conexiones de metal que deben llevar altas corrientes deben hacerse lo suficientemente anchas para soportar la corriente a entregar. A partir de la entrada, los cables que distribuyen fuente y tierra a las etapas de alta corriente deben tener un ancho de $150\mu\text{m}$ como mínimo, teniendo en cuenta que estos deben proveer la corriente a la etapa de potencia. Pues las corrientes que entregan los transistores provienen de la fuente y terminan en tierra, por ello es importante hacer estas conexiones teniendo en cuenta las corrientes cercanas a los 150mA.

Debido a la alta capacitancia que deben manejar los Schmitt Trigger, se puede utilizar el espacio restante para incluir pares de inversoras, haciendo el dimensionamiento digital necesario para poder manejar las etapas de pull_up y pull_down.

El layout completo de todas las etapas interconectadas puede encontrarse dentro de la celda llamada completo, dentro del DVD adjunto.

13 Simulación

El diseño que se realizó se desarrollo de manera jerárquica, diseñando cada uno de los bloques por separado, y uniéndolos en una celda general. Para cada bloque se diseño una celda de prueba, en donde se comprobaba el funcionamiento del circuito teniendo entradas ideales. Esta simulación se hizo, pre y post-layout, es decir, con componentes parásitos y sin estos.

13.1 Schmitt Trigger

Simulación Pre-Layout

Para comprobar el funcionamiento del Schmitt Trigger, se utilizó un circuito de prueba que ponía a la entrada una señal Rampa con un tiempo muerto en la parte superior, permitiendo así diferenciar bien los cambios en los puntos de interés.

Primero se probó el divisor de voltaje; de este se esperaba que tomara una muestra más pequeña de la señal de entrada, permitiendo así encender más fácil los transistores tipo P.

La figura 13-1 muestra la gráfica obtenida, en ella se ilustra la señal de entrada (Verde) y la salida del divisor de voltaje (Amarillo).

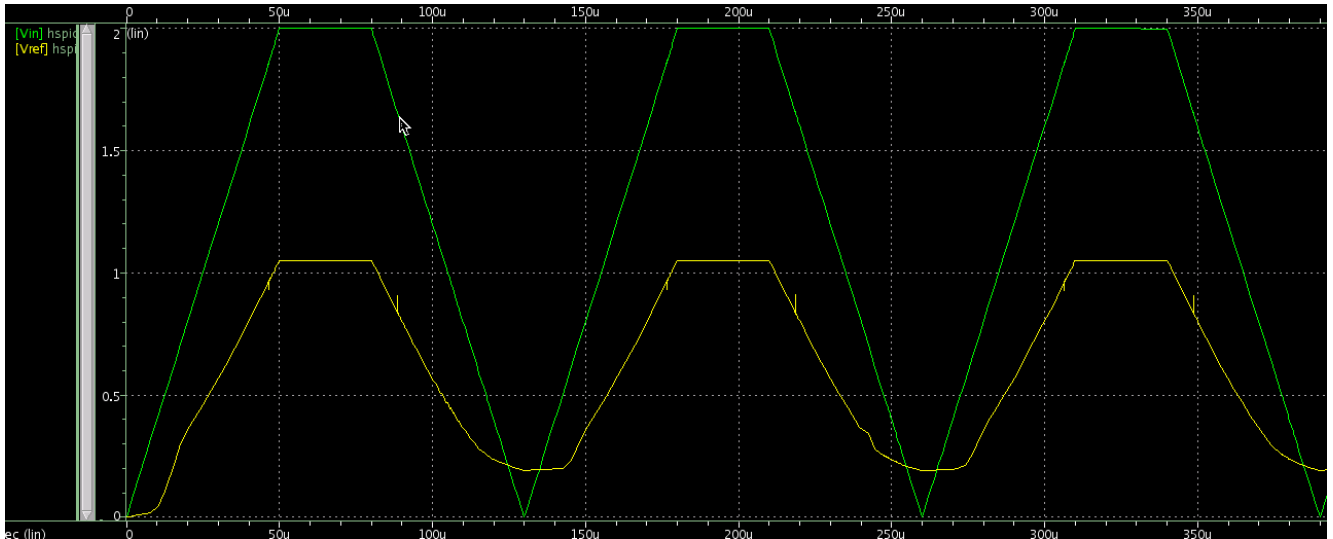


Figura 13-1 Simulación Pre-Layout. Salida del Divisor. Schmitt_up

Una vez comprobado el funcionamiento del divisor, se observó la salida del Schmitt Trigger antes de la etapa inversora, y después de ésta. Las gráficas obtenidas se muestran a continuación.

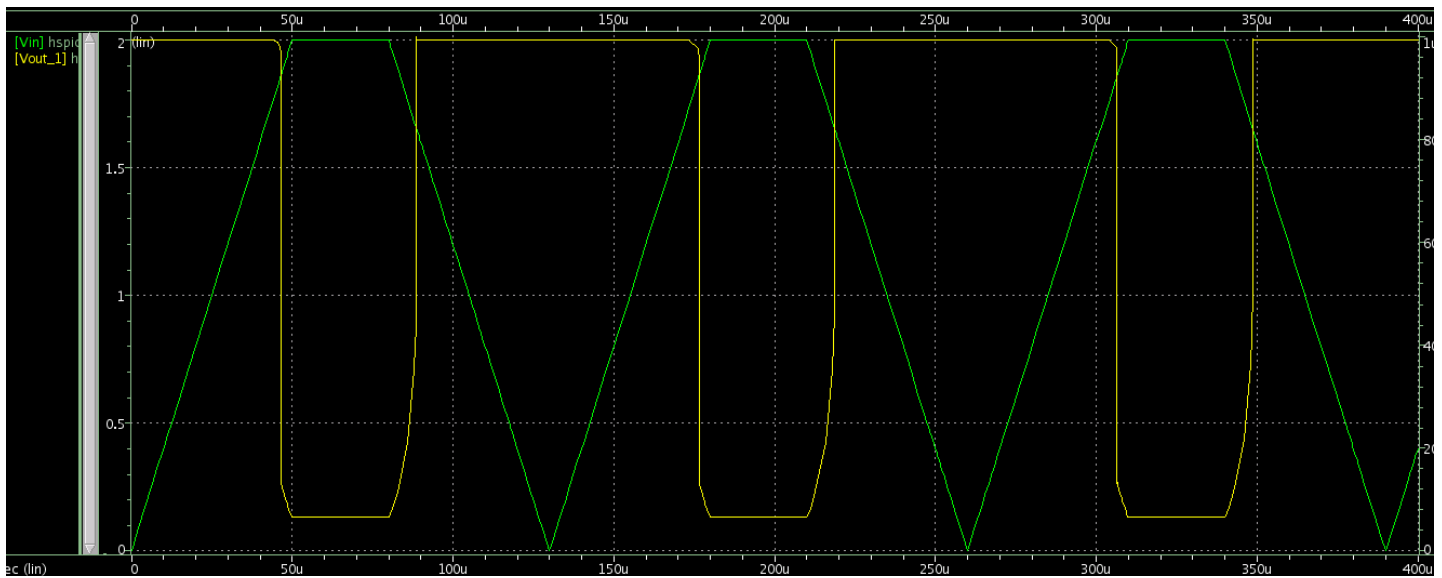


Figura 13-2 Simulación Pre-Layout. Salida Schmitt Trigger UP sin Inversora

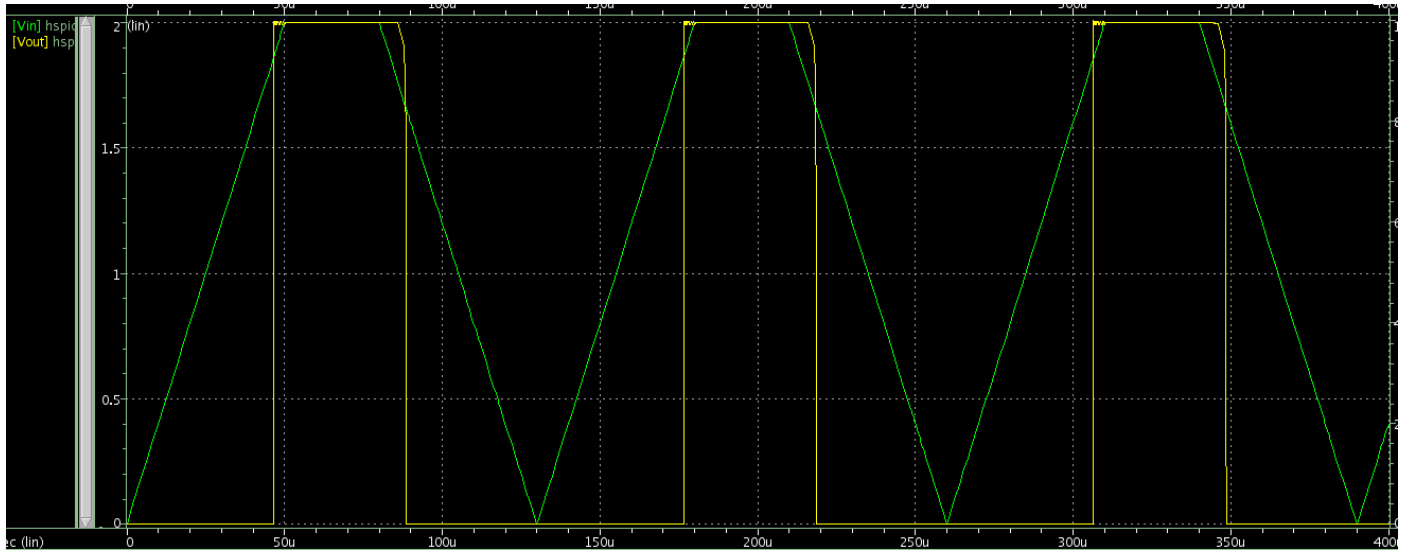


Figura 13-3 Simulación Pre-Layout. Salida Schmitt Trigger UP

Para el Schmitt Trigger que controla la etapa de Pull down se realizaron simulaciones similares, la figura 13-4 muestra el resultado de esta etapa.

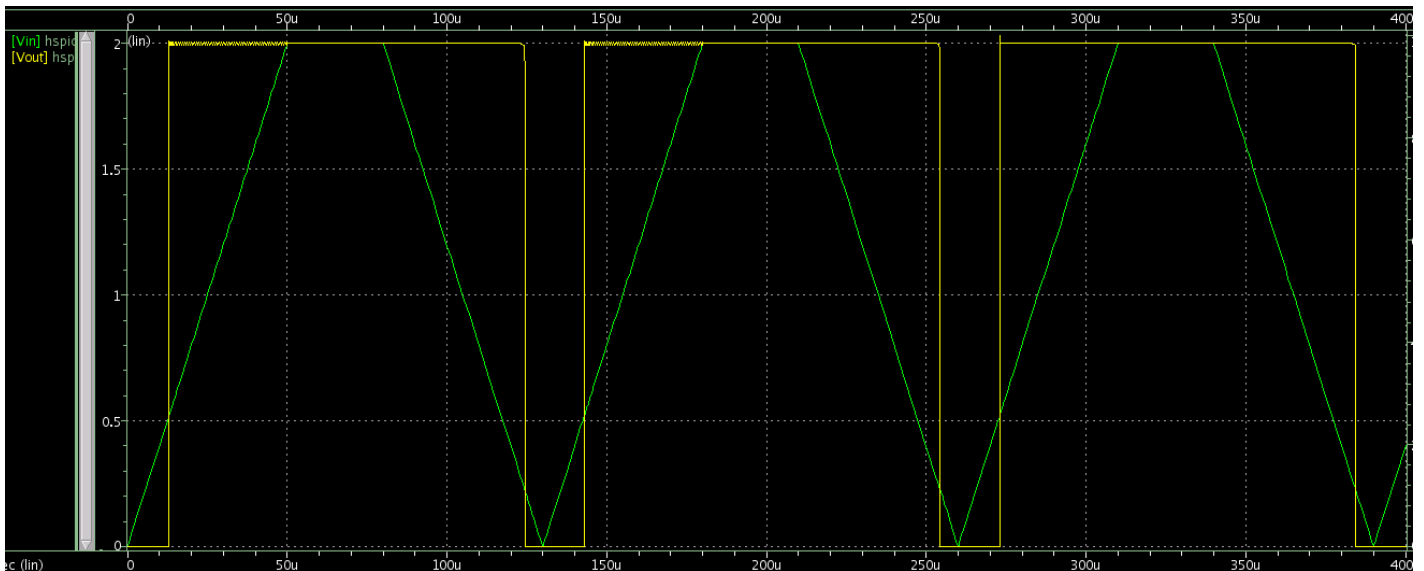


Figura 13-4 Simulación Pre-Layout. Salida del Schmitt Trigger Down

Con la información obtenida en las simulaciones se realizó la tabla 13.1 que resume el comportamiento de los Schmitt Trigger.

	Schmitt Trigger Up	Schmitt Trigger Down
VLH	1.85V	0.5V
VHL	1.63V	0.21V

Tabla 13.1 Puntos de Conmutación Schmitt Trigger. Pre-Layout

Simulación Post-Layout

Una vez se implementa la celda que contiene los componentes parásitos, no se puede acceder a los nodos internos del circuito, por tal razón la simulación post-layout solo comprueba el funcionamiento del circuito utilizando los pines de entrada y salida. La respuesta obtenida se muestra a continuación.

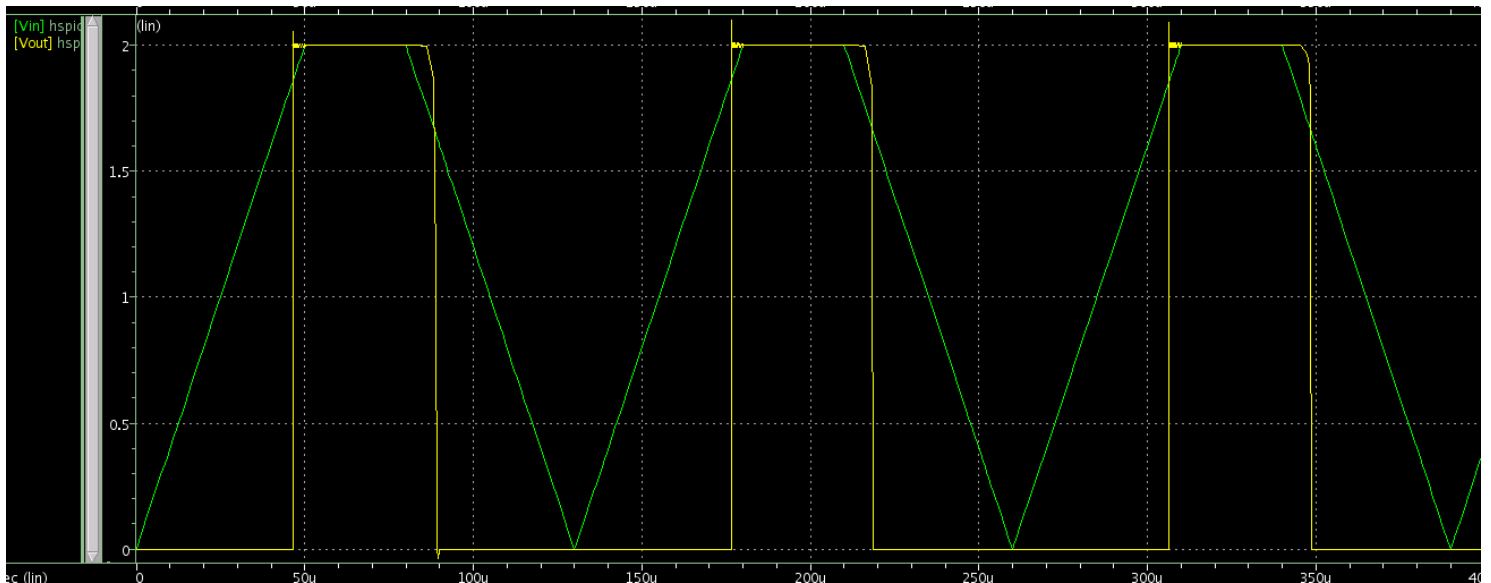


Figura 13-5 Simulación Post-Layout. Salida Schmitt Trigger UP

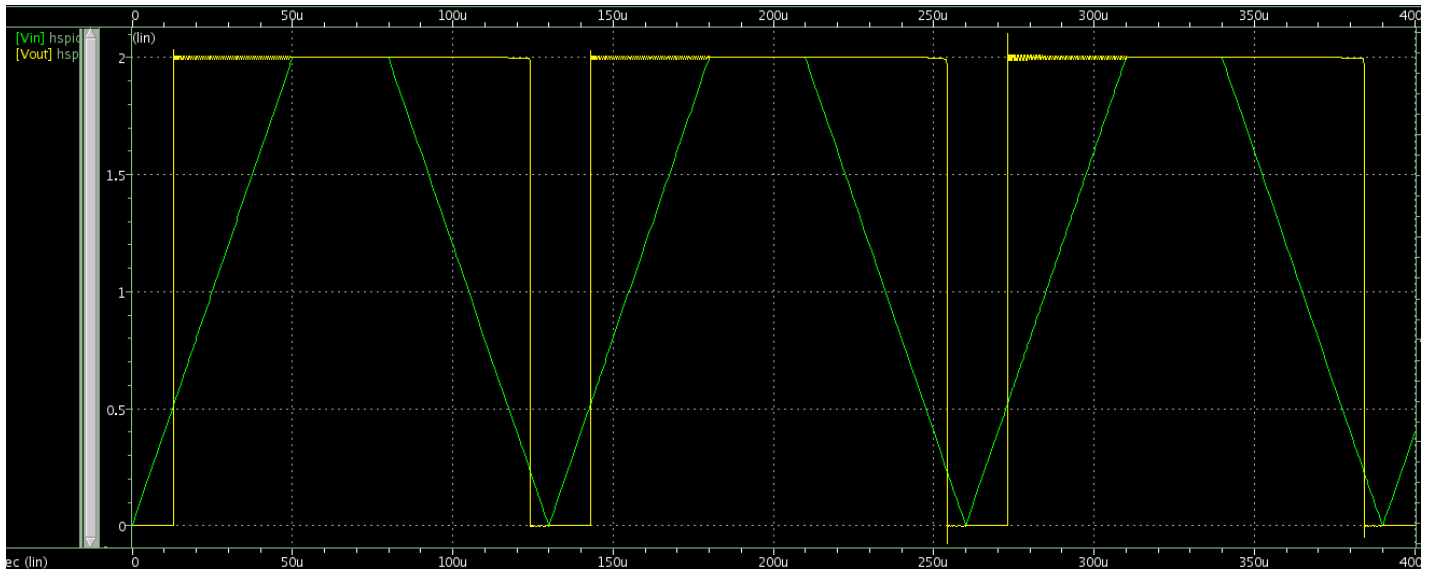


Figura 13-6 Simulación Post-Layout. Salida Schmitt Trigger Down

13.2 Etapa de Potencia

La etapa de potencia se simuló utilizando como entrada una señal triangulo (color azul); dependiendo de la pendiente de salida, se podía conocer la ganancia de la etapa. Este procedimiento se realizó con carga y sin carga, para poder determinar que tanto se veía afectada la ganancia del circuito. Las gráficas se muestran a continuación.

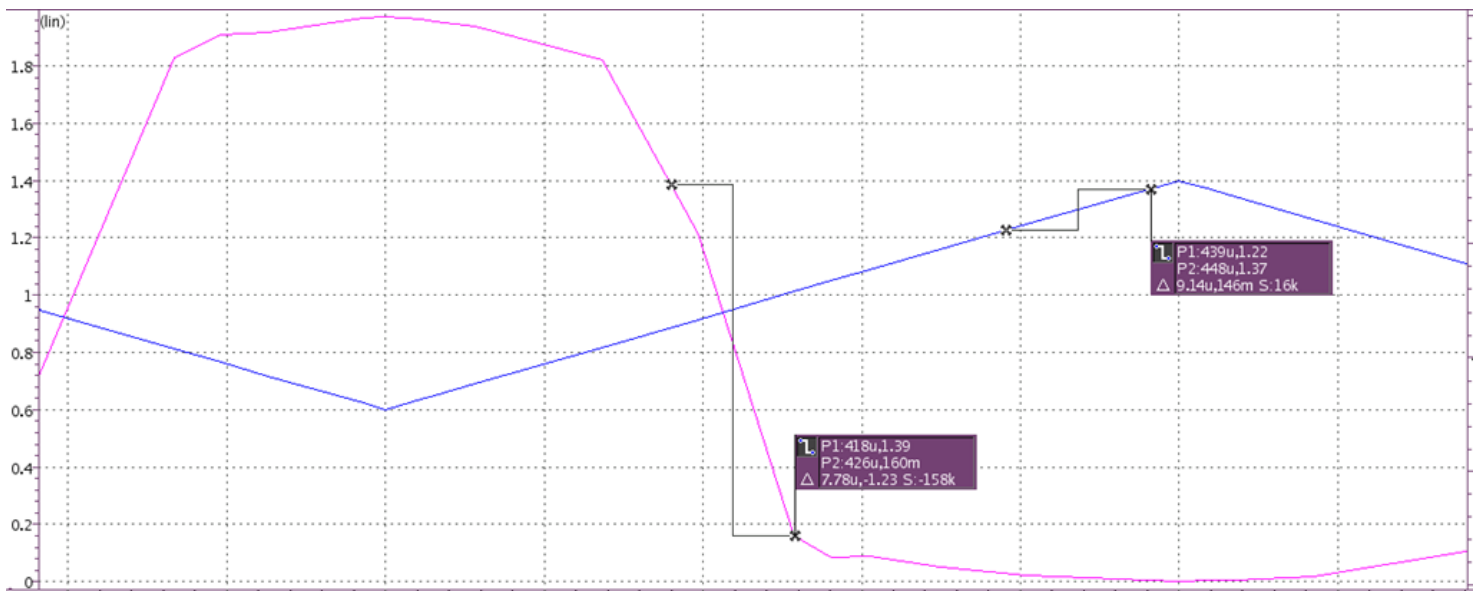


Figura 13-7 Salida Etapa de Potencia Sin Carga

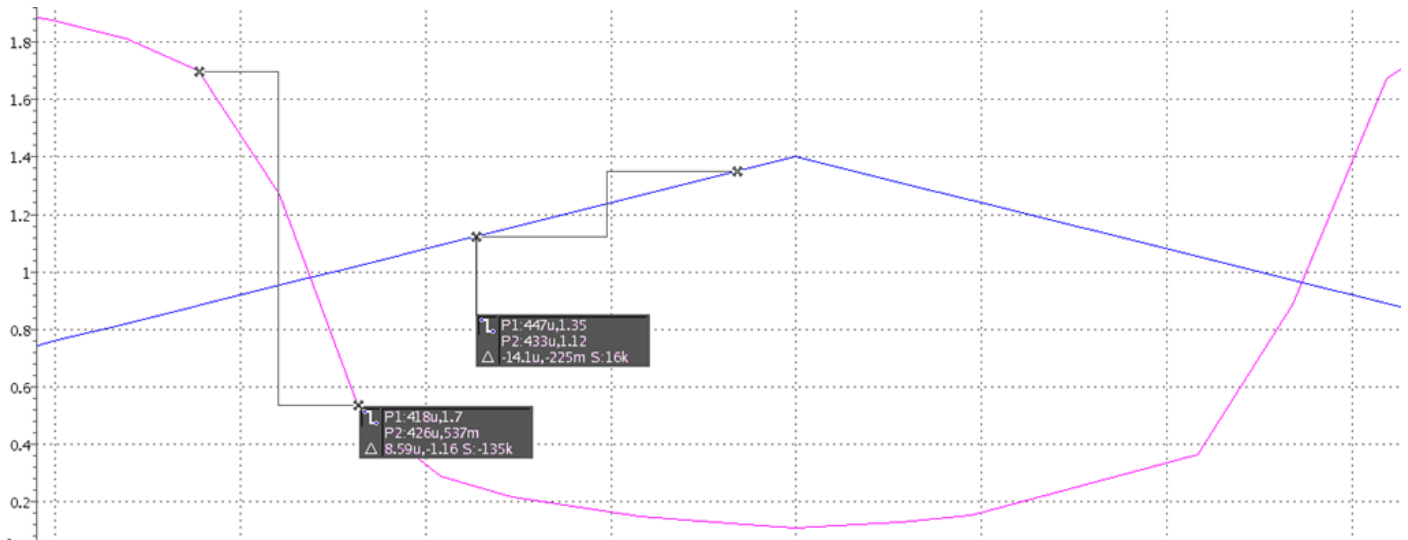


Figura 13-8 Salida Etapa de potencia Con Carga

Los resultados obtenidos fueron los siguientes:

Ganancia Sin carga: $-158k/16k = -9,9$

Ganancia Con carga: $-135k/16k = -8,4$

13.3 Amplificador Operacional

Como el parámetro de desempeño de interés en este bloque es la ganancia, se simuló el amplificador en malla abierta. Como entrada diferencial se utilizó una señal sinusoidal de $20\mu V$ pico a pico.

Simulando el amplificador sin componentes parásitos, se obtuvo a la salida una variación de $42.9mV$. Por lo tanto se tiene una ganancia de malla abierta de:

$$A = 42.9mV / 20\mu V = 2145.$$

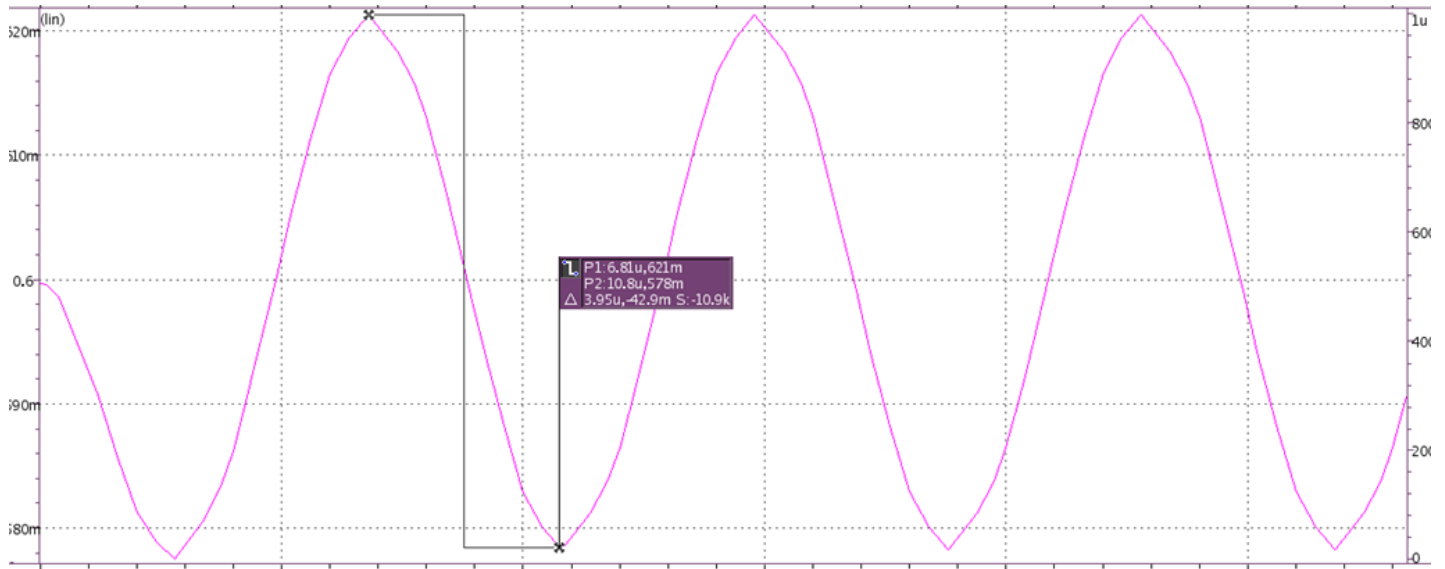


Figura 13-9 Simulación Pre-Layout. Salida Amplificador Operacional

Posteriormente, se agregaron los componentes parásitos al amplificador y se obtuvo una variación a la salida de 42mV. Significando una ganancia en malla abierta de:

$$A=42\text{mV}/20\mu\text{V} = 2100.$$

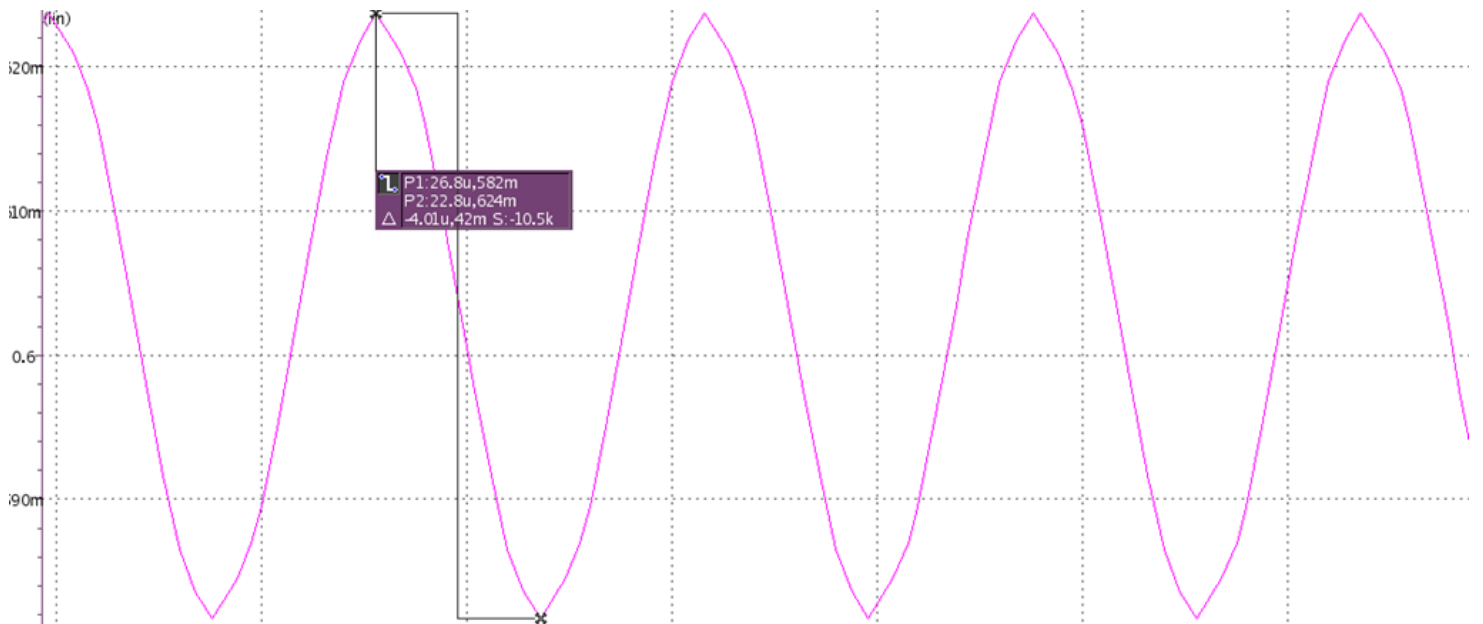


Figura 13-10 Simulación Post-Layout. Salida Amplificador Operacional

Se simuló el rechazo a fuentes obtenido por el amplificador, para esto se utilizó una señal seno encima de la fuente polarización, y se observó la señal a la salida del amplificador, midiendo la ganancia obtenida en este caso. La figura 13-11 muestra las gráficas obtenidas.

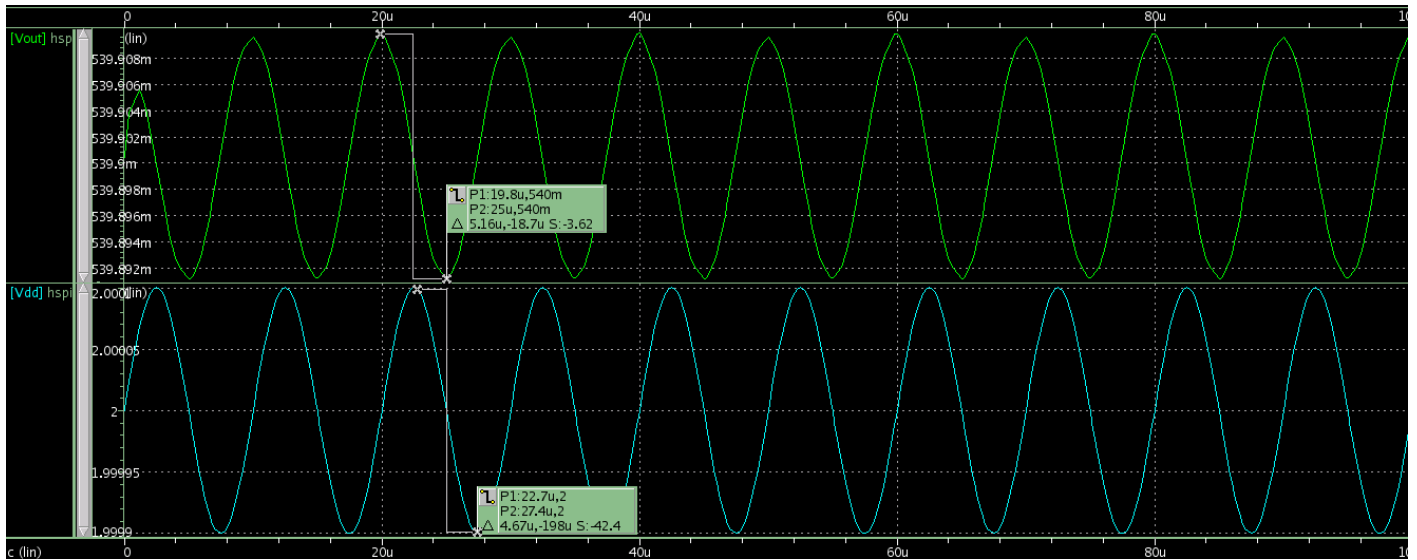


Figura 13-11 Rechazo a Fuentes. Amplificador Operacional

Se utilizó como entrada una señal seno de 200uV de amplitud pico a pico, y a la salida se obtuvo una señal de amplitud 18.7uV. A partir de estos resultados se evidenció una atenuación de más de 10 veces, equivalente a un factor de rechazo a fuentes PSRR de 20dB.

13.4 Sistema Completo

Finalmente se conectaron todos los bloques, creando la celda Completo. El circuito esquemático completo se encuentra en la figura 13-13. Es importante resaltar que se añadieron las inversoras necesarias para generar la señal de control complementaria para los Schmitt Trigger. Además se incluyeron divisores de voltaje que generan las referencias necesarias en el amplificador operacional.

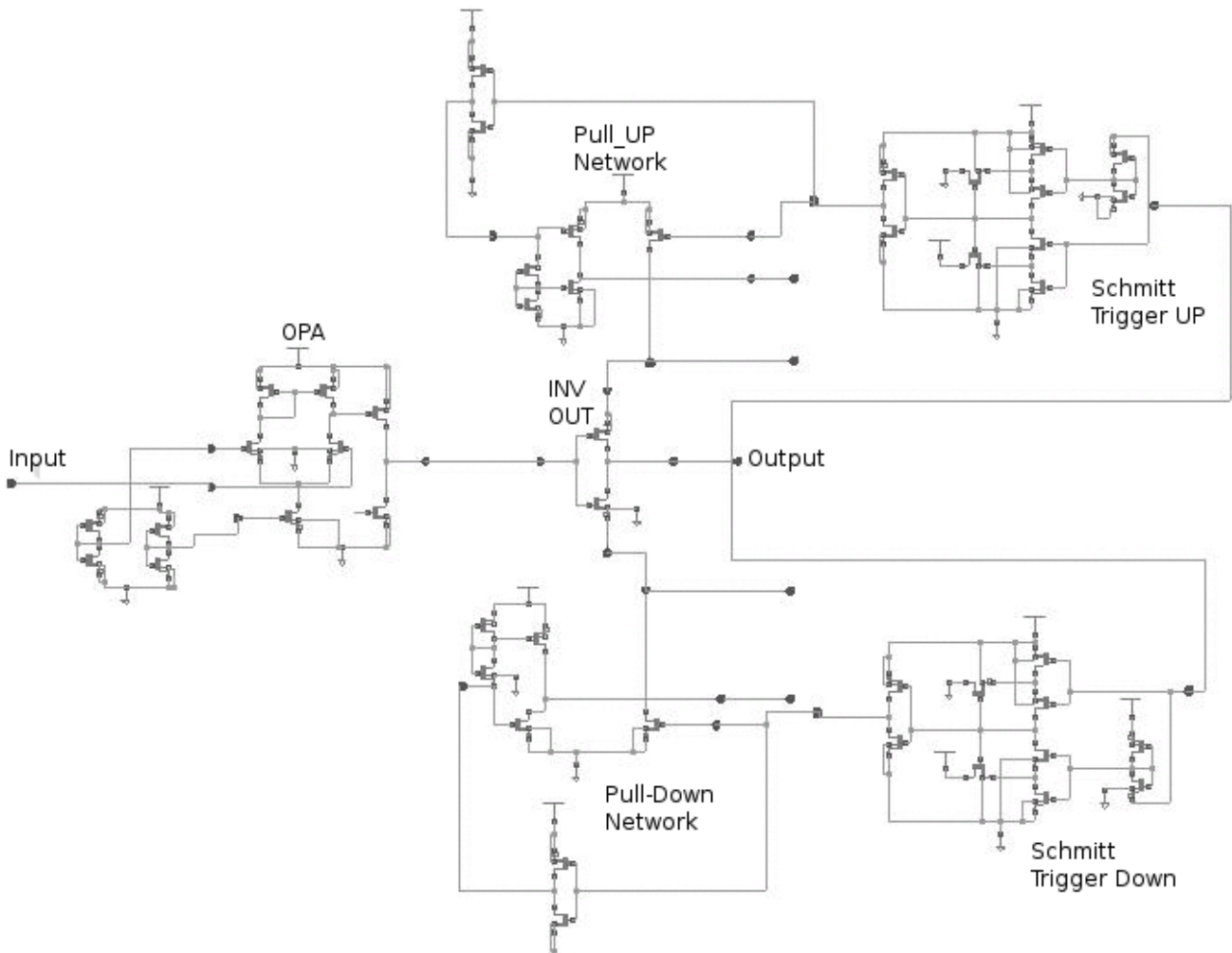


Figura 13-12 Circuito Esquemático. Circuito Completo

El circuito de prueba utiliza una vista symbol del proyecto completo, donde solo se tiene acceso a los terminales de entrada y salida.

Para emular una señal de audio, se utilizó como entrada la suma de señales seno, logrando que ésta permaneciera por debajo de las fuentes de polarización durante un tiempo, y luego subiera por encima, exigiendo el uso de las etapas de pull-up y pull-down. La figura 13-13 muestra el circuito de prueba utilizado para la simulación.

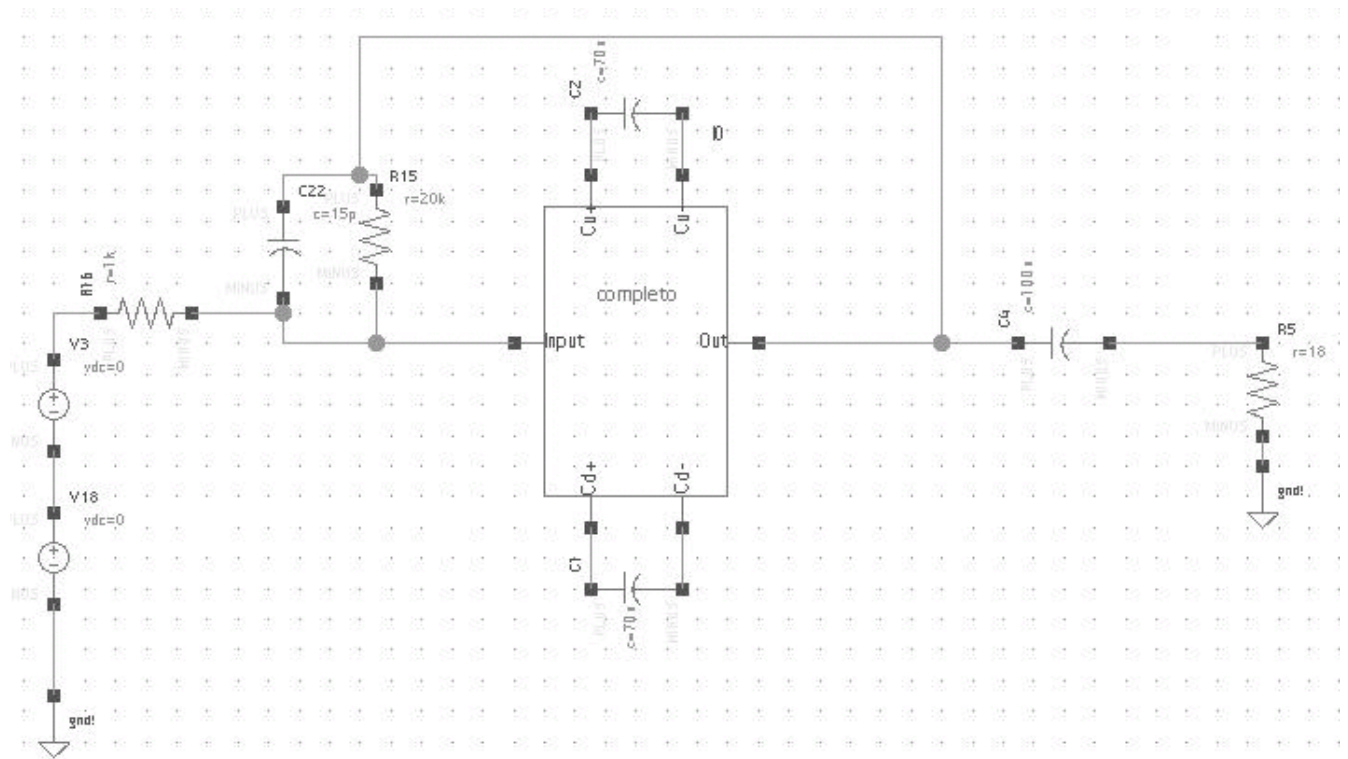


Figura 13-13 Circuito de Prueba

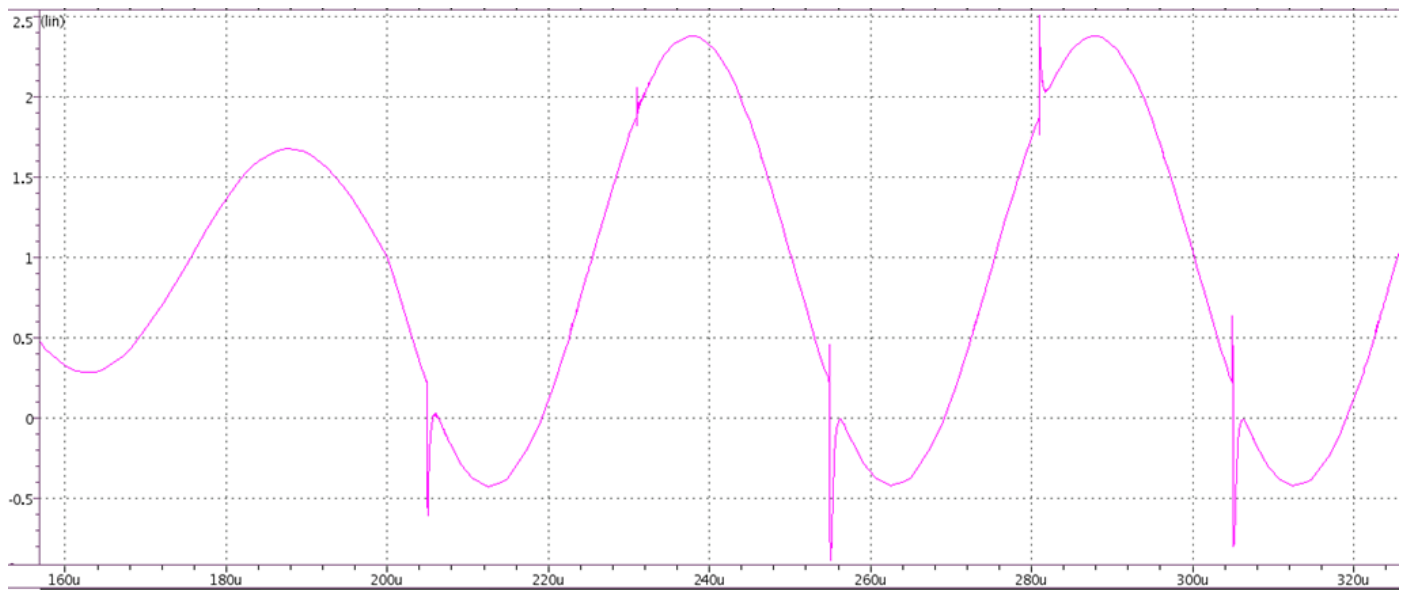


Figura 13-14 Señal de Salida 20kHz. Sistema Completo.

En la figura 13-14 se puede observar que la salida sube por encima de la fuente de polarización de 2V, y baja hasta valores negativos.

Se realizó la simulación cambiando la frecuencia de la señal de entrada, obteniendo la figura 13-15. En esta ocasión se utilizó una frecuencia de 1kHz.

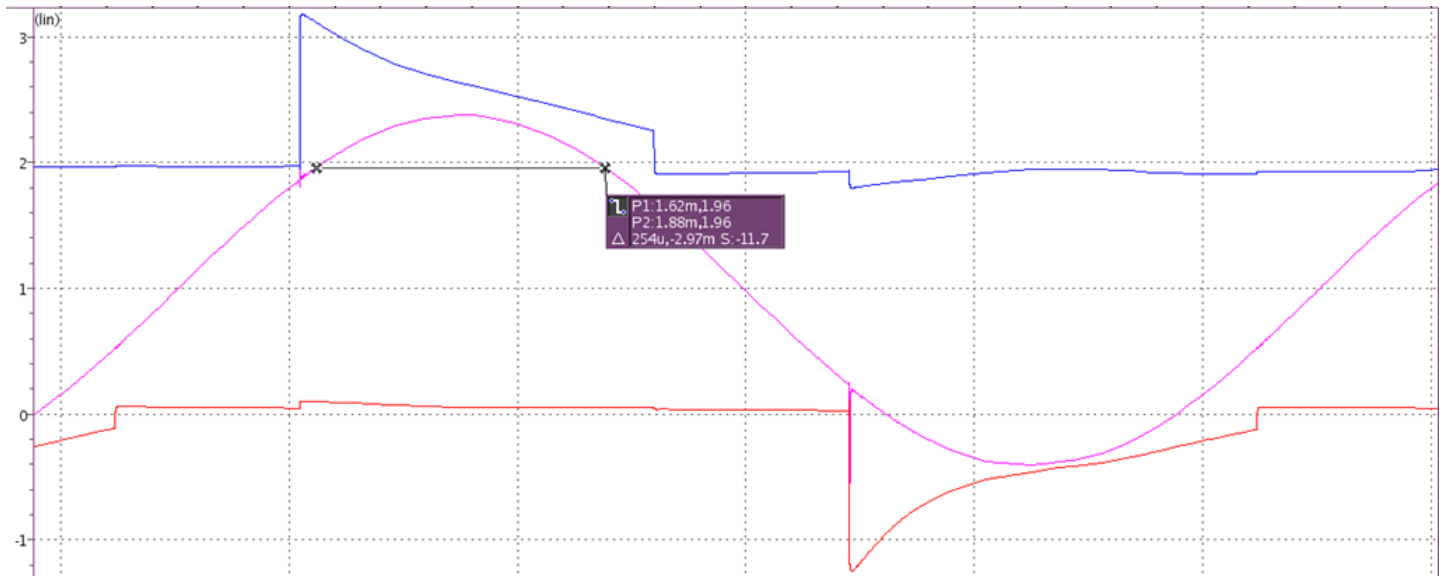


Figura 13-15 Señal de Salida 1kHz. Sistema Completo

En la figura 13-15 se pueden observar los cambios en los nodos Up (Azul) y Down (Rojo). La fuente se mantiene en 2V y conmuta para permitir que la señal de salida llegue a valores superiores a la polarización; mientras que el circuito entrega el sobrepico de voltaje, se puede observar cómo se va descargando el condensador.

Los spikes generados a la salida, se debían a una falta de control en las conmutaciones. Es importante analizar el funcionamiento de las redes de pull-up y pull-down, para entender el problema. Las conmutaciones no se realizan simultáneamente, por lo tanto es inevitable que alguno de los dos switches se adelante. La figura 13-16 muestra cómo es la conmutación cuando el switch de la derecha se adelanta.

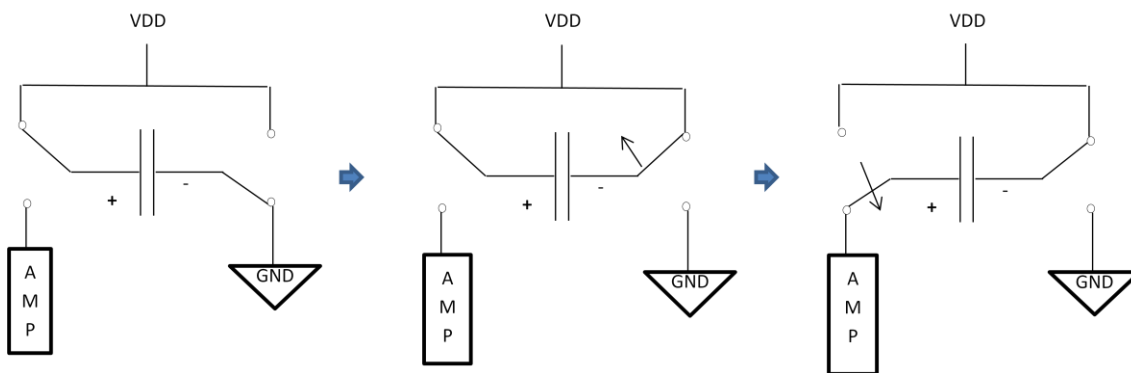


Figura 13-16 Secuencia de Conmutación Errada

Se puede observar que en un pequeño instante de tiempo se genera un corto circuito en el condensador, ocasionando esto un pico de corriente, que se refleja en la señal de salida como spikes de voltaje.

Para solucionar este inconveniente se requiere que el switch de la izquierda se adelante, evitando así el corto circuito en el condensador. La figura 13-7 muestra el orden correcto de conmutación.

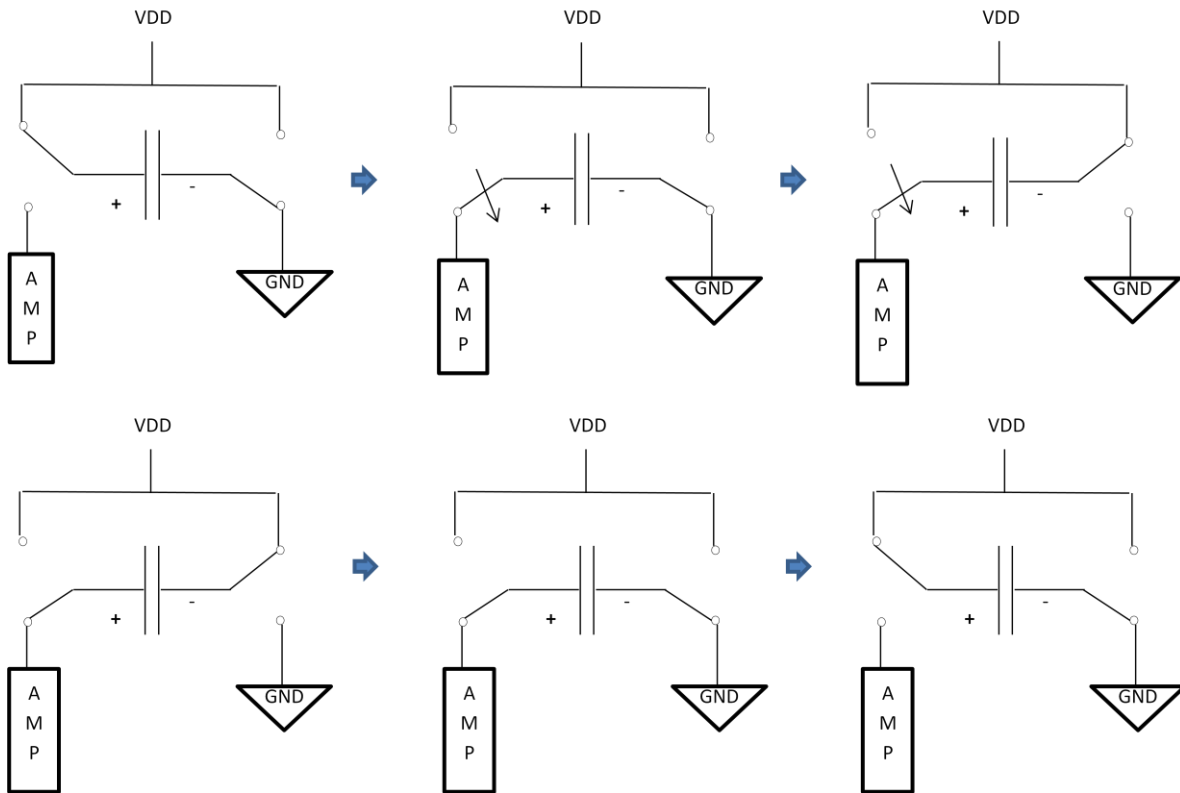


Figura 13-17 Secuencia de Conmutación Correcta

Se plantearon redes de retardo que se encargaban de controlar el orden de conmutación de las parejas de switches, logrando así evitar el corto circuito generado en los terminales del condensador. Es importante notar que el retardo no debía ser siempre en el mismo switch, por lo tanto se implementó una red de retardo con tiempos de propagación distintos para 0 y para 1.

Los tiempos necesarios de retardo se obtuvieron a partir de los circuitos de pull-up y pull-down, generando los cambios en el orden correcto, y midiendo el mínimo retardo requerido para cumplir con la conmutación deseada.

A continuación se muestra un ejemplo de la forma como se determinaron los retardos requeridos. En la etapa de pull-up se requiere que la señal INH_2 se retrase con respecto a la señal INH_1 cuando C1_- debe cambiar de alto a bajo. La figura 13-18 muestra el retardo necesario para que el nodo C1_- haya llegado a cero, y por lo tanto la señal INH_2 pueda conmutar.

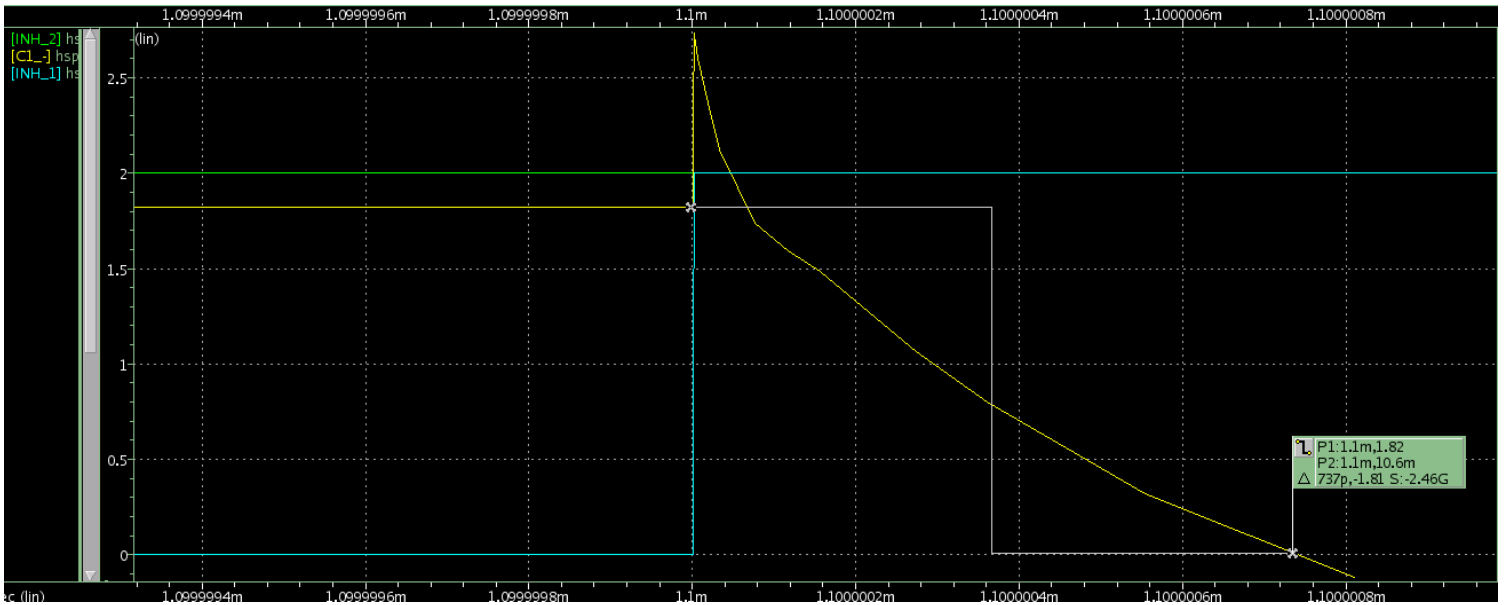


Figura 13-18 Retardo Requerido en INH_2

Cuando C1_- debía cambiar de bajo a alto, se debía retardar la señal INH_1. La figura 13-17 muestra el retardo requerido en esta situación. En este caso se debe esperar a que el nodo finalice un spike de voltaje generado en up_net, para que así se pueda subir el voltaje en C1_- libremente.

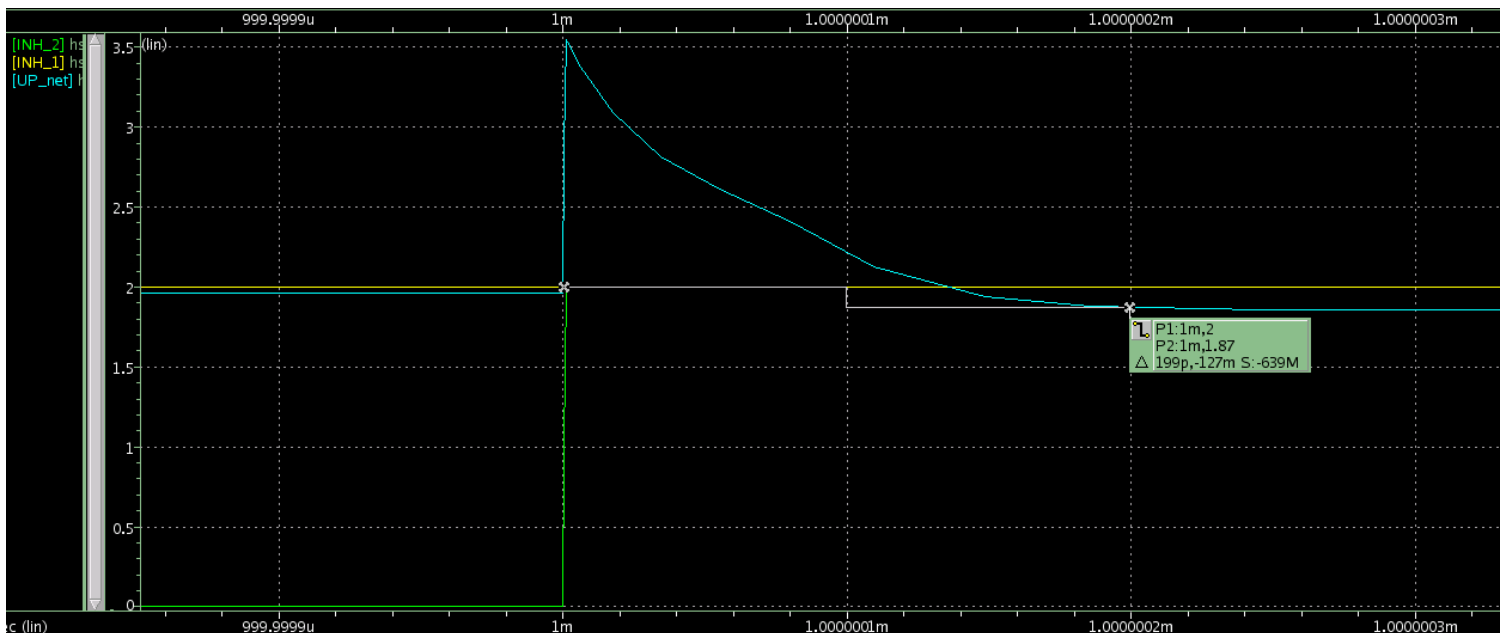


Figura 13-19 Retardo Requerido en INH_1

Teniendo en cuenta los resultados de las simulaciones, se concluyó que se requerían retardos mayores a 800ps para no generar corto circuito entre los terminales del condensador.

Debido a las exigencias de las conmutaciones, el retardo debía hacerse dependiendo del cambio que se necesitara, pues como se explicó anteriormente, en un caso INH_1 debe retrasarse y en el otro INH_2 debe hacerlo, por tal razón se utilizó un esquema especial que se encargó de retardar más los cambios de las señales al cambiar de 0 a 1.

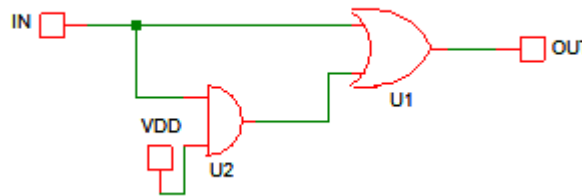


Figura 13-20 Circuito de Retardo. Red de Pull-up

El circuito presentado en la figura 13-20 se encarga de propagar más rápido los 1 que los 0, los caminos que deben recorrer las señales digitales. Estos caminos se evidencian en la figura 13-21.

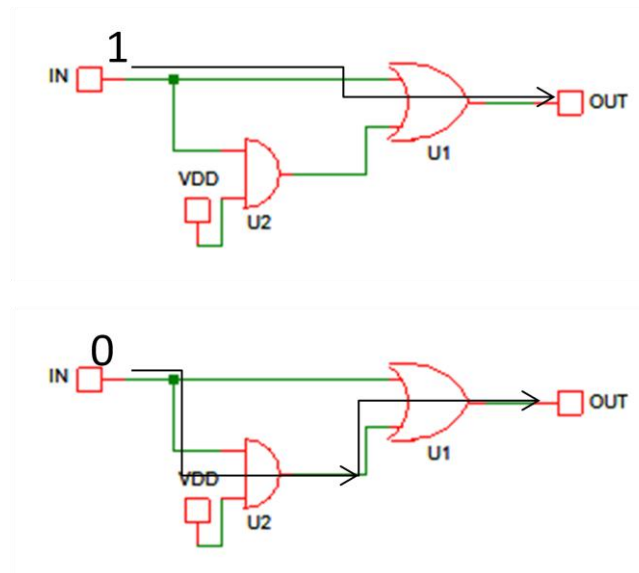


Figura 13-21 Caminos de Retardo

A partir de un análisis similar se determinó que el retardo requerido en las señales de control de la etapa de pull-down, debía ser mayor a 1ns. Además, la velocidad de propagación debía ser mayor para los 0. Por tal razón se planteó el circuito de la figura 13-22.

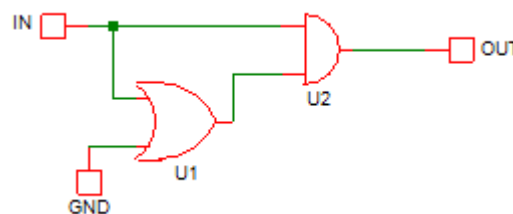


Figura 13-22 Circuito de Retardo. Red de Pull-Down

Al utilizar las redes de retardo, el funcionamiento del circuito se corrigió. La gráfica 13-23 muestra la señal de salida del circuito sin spikes.

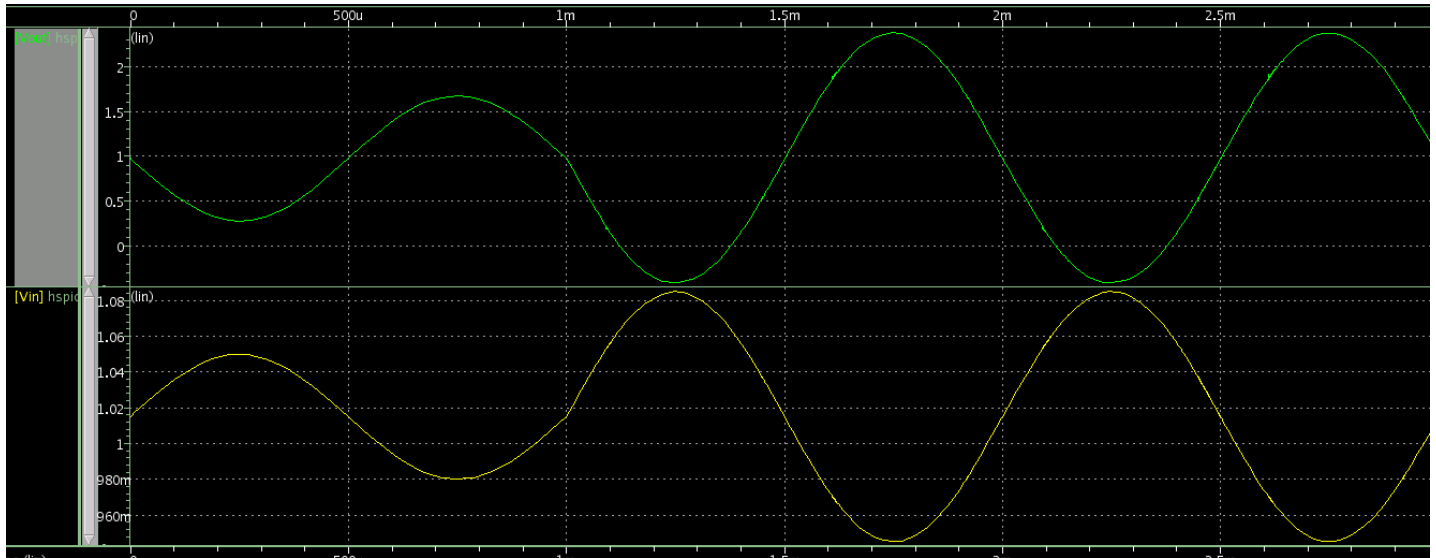


Figura 13-23 Corrección Spikes

La figura 13-24 muestra las señales Up, Down, Vin, Vout. Se observa el correcto funcionamiento del circuito tras añadir las redes de retardo correspondientes.

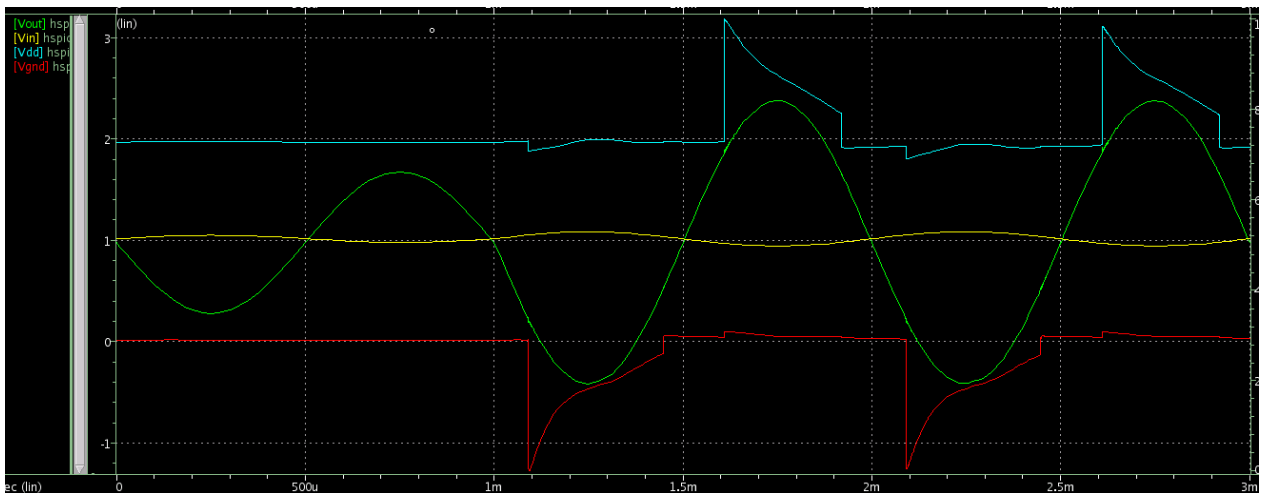


Figura 13-24 Correcto Funcionamiento del Circuito

La simulación Post-layout del circuito completo fue complicada de llevar a cabo, pues en varias ocasiones el servidor de la universidad, rechazaba el proceso y finalizaba las simulaciones sin haber concluido. Como ejemplo, el proceso de escribir el netlist del circuito, sin llevar a cabo ninguna simulación, tardó seis horas.

Por esta razón no se pudo hacer un análisis completo del circuito utilizando componentes parásitos. Las simulaciones que lograron finalizar se presentan a continuación y se analizan en el capítulo 15.

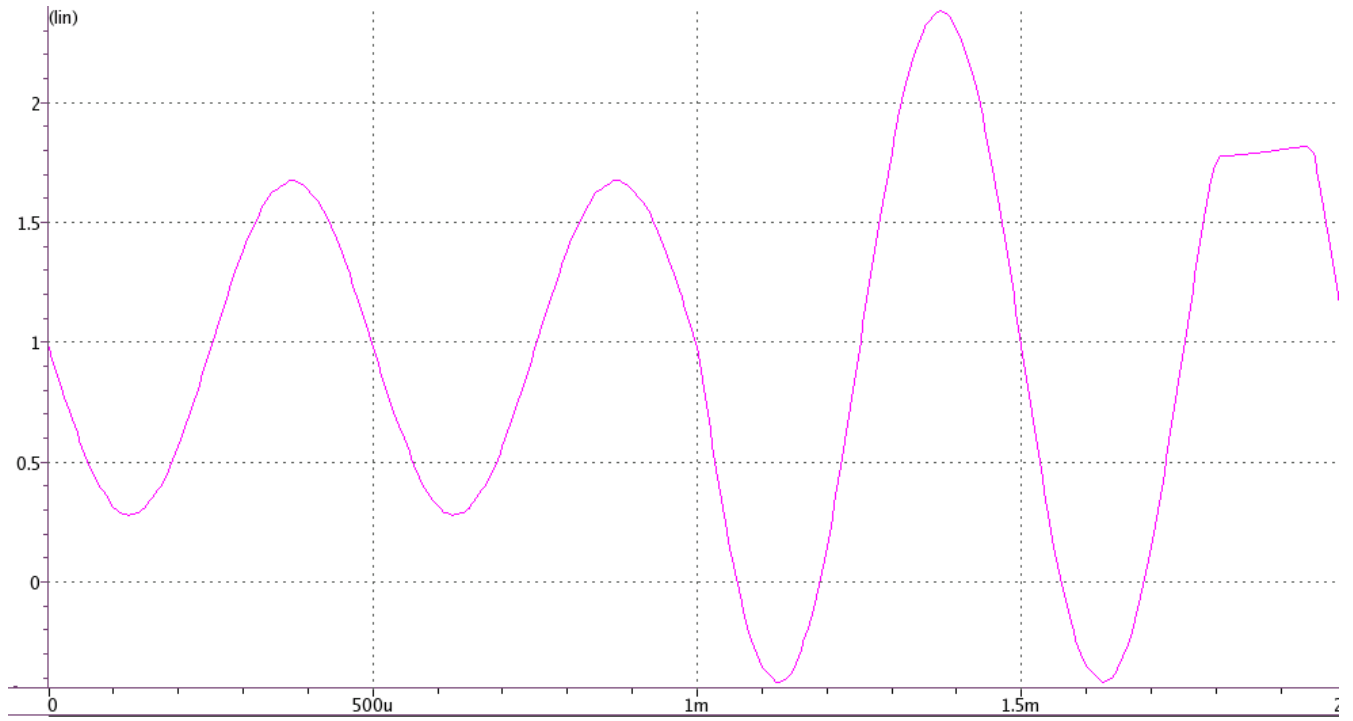


Figura 13-25 Simulación Post-Layout. Señal de Salida 2kHz

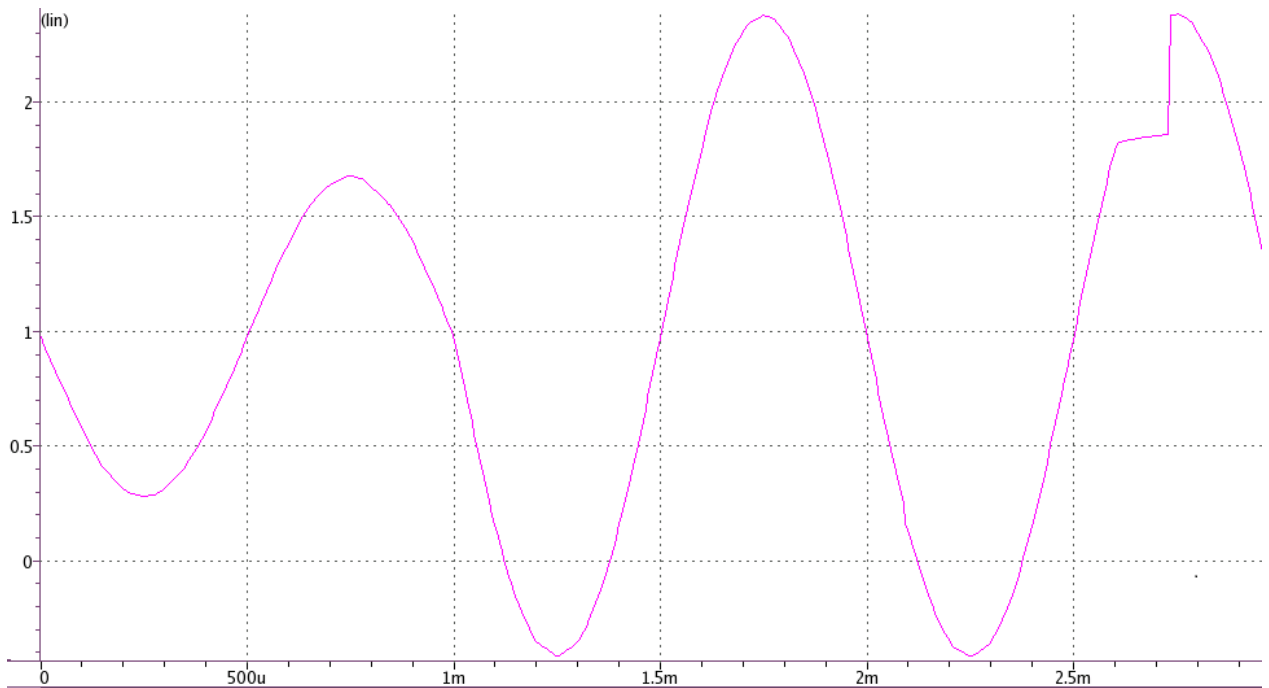


Figura 13-26 Simulación Post-Layout. Señal de Salida 1kHz

14 Simulación por Software

Para poder tener una referencia numérica del desempeño del circuito, se crea un parámetro de desempeño. La idea es encontrar la energía adicional que entrega el circuito, para ellos se plantea integrar la señal de voltaje, y acumular el área entregada mientras la señal se encuentra por encima del nivel de la fuente.

Este análisis se realizó con los mismos diez archivos trabajados en el anexo B. Se utilizó un nuevo script en Matlab para realizar los cálculos pertinentes. A continuación se presenta el script empleado en esta etapa del proyecto:

CODIGO FUENTE SCRIPT SIMULACION.M

```
tam=size(data);
tam=tam(1);

data=data(1:tam,1);

ref =0.7*max(data);

counter=0;

tot_area=0;

for i=1 : 1 : tam

    if(abs(data(i))>ref) % estoy por encima de la referencia

        if(counter<12) % aun no han pasado 254µs entregando señal..
            tot_area=tot_area+(data(i)-ref)^2/44100;
            % integral V^2/R dt (energia) Jules
        end
        counter=counter+1;
    else
        counter=0;
    end

end

total_time=1/44100*tam;
```

Precondición

El archivo de audio ha sido previamente cargado en la variable data.

Poscondición

En la variable tot_área queda almacenado el valor del área acumulada, y total_time es el número de segundos que dura el archivo de sonido.

Los resultados obtenidos se encuentran a continuación:

Archivo	Energía total	Tiempo	Energía promedio entregada
Dance of Death	15,53	516,7	3,01E-002
Got the Time	0,12	164,4	7,30E-004
Matador	0,22	276	7,97E-004
Chatiment de la Rose	26,1	317,1	8,23E-002
La Mona	2,07	266,9	7,76E-003
La Agarro Bajando	0,64	257,2	2,49E-003
Valió la Pena	4,5	292,3	1,54E-002
Por Ella	0,334	279,9	1,19E-003
Kennedy	0,71	323,37	2,20E-003
Al Pacino	4,46	111,1	4,01E-002

Tabla 14.1 Resultados Análisis de Energía Entregada

IV. ANÁLISIS DE RESULTADOS

Esta sección está compuesta por un capítulo, en el cual se analizarán los resultados mostrados en los capítulos 13 y 14. Cada bloque se analizará por separado, teniendo en cuenta que los resultados fueron presentados de la misma manera.

Finalmente se analizarán los resultados del sistema completo funcionando, teniendo en cuenta los resultados Pre-Layout y los resultados Post-Layout.

15 Análisis

15.1 Schmitt Trigger

Al observar las gráficas presentadas, se puede apreciar la importancia del inversor a la salida de los Schmitt Trigger, pues la inclusión de los divisores de voltaje hace que la señal de salida no cambie rápidamente, y genera por lo tanto que los puntos de conmutación no queden bien definidos. Otro punto a favor de los inversores son los voltajes de salida; una muestra de esto puede apreciarse en la figura 13-2, pues el voltaje de salida no llega a cero. Al agregar el inversor este inconveniente es corregido.

Al ser un circuito de naturaleza digital, el funcionamiento de éste no se ve fuertemente afectado por los componentes parásitos. Pues el layout de esta etapa fue realizado sin mayores consideraciones y aún así se obtuvieron resultados bastante buenos.

15.2 Etapa de Potencia

Dados los resultados es interesante observar que la ganancia de la etapa sin carga es muy baja para lo que se esperaba. Teniendo en cuenta que los tamaños de los transistores generan un valor de g_m bastante grande, se plantea que la ganancia disminuye debido al valor de R_o , pues una ganancia tan baja debe estar relacionada con valores de R_o muy pequeños.

La ganancia de la etapa con carga conectada refuerza la hipótesis planteada, pues al conectar en paralelo con los R_o una resistencia de carga de 18Ω , la ganancia se reduce muy poco. Significando que el paralelo de los dos R_o , es aproximadamente igual a el paralelo de R_L y los dos r_o . Para comprobar la hipótesis planteada se obtuvieron las gráficas paramétricas de los transistores, I_{ds} vs V_{ds} , para poder obtener valores aproximados de R_o .

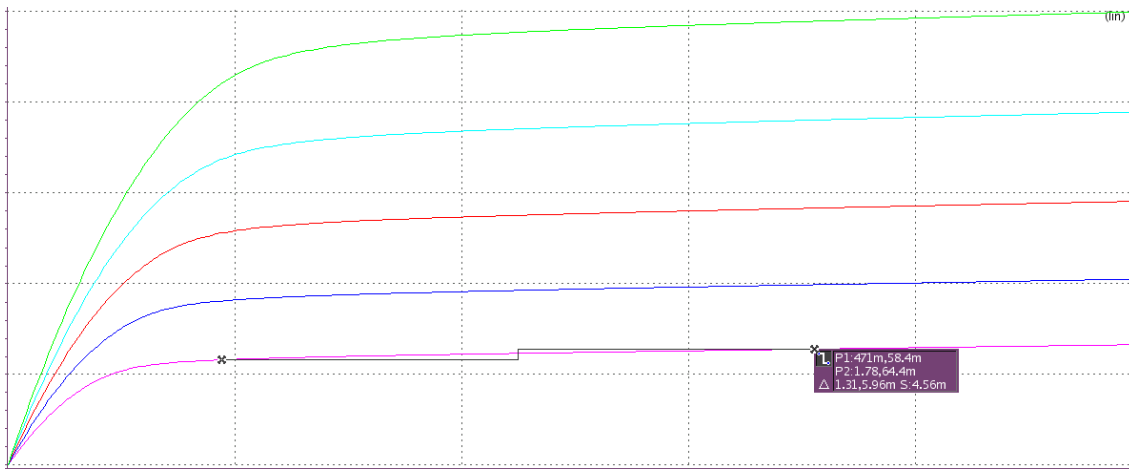


Figura 15-1 Gráfica Ids vs Vds. Transistor NMOS Etapa de Potencia

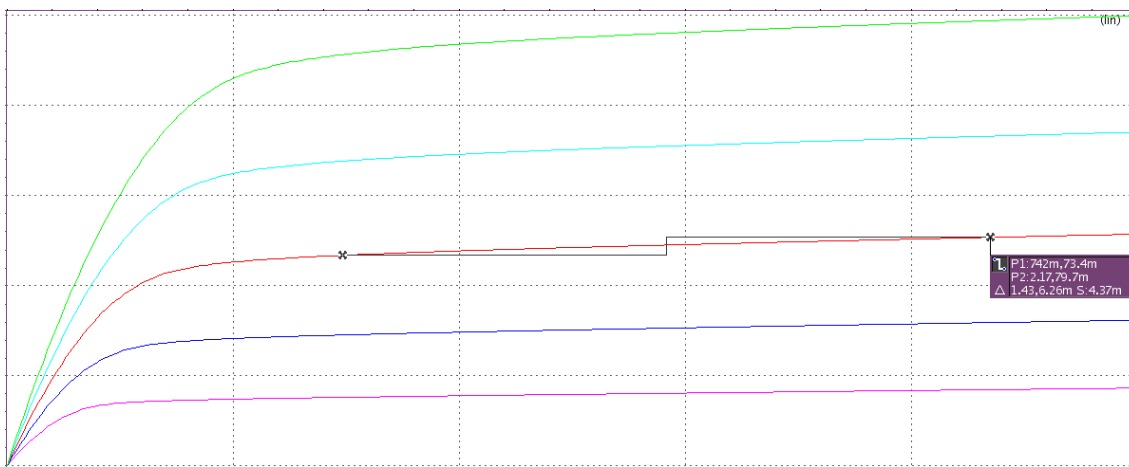


Figura 15-2 Gráfica Ids vs Vds. Transistor PMOS Etapa de Potencia

Como era de esperarse, los valores de R_o obtenidos son de 200Ω aproximadamente, comprobando la hipótesis planteada. Es importante aclarar que los valores de R_o fueron calculados para los R_o máximos de esos transistores, por lo tanto es de esperarse que, al tener voltajes V_{gs} más altos, se obtengan valores de R_o aún más pequeños.

15.3 Amplificador Operacional

Gracias a las técnicas empleadas al hacer el layout, la ganancia del amplificador operacional no se vio muy afectada por los componentes parásitos. El uso de fingers disminuye las capacitancias no deseadas en los transistores.

Es importante notar que, a diferencia de los Schmitt Triggers, este circuito es más sensible a cambios, pues al agregar componentes parásitos a la simulación, la ganancia disminuyó de 2145 a 2100. Además se obtuvo un factor de rechazo a fuentes de 20dB.

15.4 Sistema Completo

Las simulaciones del sistema completo muestran que el comportamiento esperado es conseguido, pues se logran entregar los picos de voltaje por encima de la fuente y por debajo de cero. Se puede observar que la retroalimentación cumple con su trabajo, pues al corregir los spikes que se generan al conmutar la fuente de voltaje, se controlan los cambios de ganancia en la etapa de salida.

El resultado obtenido de la simulación Post-Layout, muestra un error en el funcionamiento de la red de pull up, al parecer los componentes parásitos están robando mucha corriente de carga del condensador, y hacen que el sistema no esté listo para responder a tiempo.

15.5 Simulación por Software

Los resultados resumidos en la tabla 14.1, muestran que el desempeño del circuito varía mucho dependiendo del tipo de música que se esté amplificando. Mientras que algunos archivos evidenciaron números del orden de 0.04J/s, hubo algunos que no dieron mayor provecho al sistema propuesto.

A pesar de las grandes variaciones, la mayoría de los archivos aprovechan bastante el diseño. Si se desean aumentar los resultados obtenidos, puede plantearse el mismo análisis hecho en el proyecto, esta vez utilizando un valor de referencia más bajo.

CONCLUSIONES

Se realizó una investigación y se logró diseñar un amplificador de audio, obteniendo el comportamiento deseado. Se cumplieron los requerimientos planteados a partir de la simulación por software.

Algunas consideraciones deben hacerse antes de poder llegar a fabricar este proyecto. Debido a la falta de conocimiento referente a la herramienta de simulación, no se pudo realizar el análisis de eficiencia de potencia necesario, por tal razón no se tomó como parámetro de optimización en el diseño.

Por otra parte es necesario hacer el análisis pertinente de los PAD, o puntos de conexión al exterior. Pues el considerar el ancho de las conexiones no es suficiente, el diseño del PAD es muy importante y debe hacerse cuidadosamente antes de pretender fabricar el proyecto.

El proyecto desarrollado puede conectarse de muchas formas en un dispositivo, dependiendo de las exigencias que se tengan. Por ejemplo, se puede alimentar la carga diferencialmente, utilizando dos amplificadores, cada uno alimentando un terminal de la carga. Otra opción que se puede utilizar es conectar varios amplificadores en paralelo, siendo capaz así de manejar cargas más pequeñas. Esta interconexión en paralelo es posible debido a la salida en corriente que se utilizó en el amplificador diseñado.

El amplificador diseñado en este proyecto, se basó en un análisis hecho para distintos tipos de señales, y se buscaron valores que cumplieran los requerimientos en la mayoría de los casos estudiados. Pero, si de antemano se conoce la aplicación para la cual será utilizado el amplificador, el análisis se puede optimizar. Esto se puede concluir gracias a los análisis hechos, distintos géneros musicales requieren de distintas especificaciones, además los resultados obtenidos para las muestras de voz, fueron distintos también.

Una ventaja importante que tiene el diseño CMOS es la capacidad de mezclar circuitos digitales y analógicos. En el sistema se podría añadir un DSP, que controle de distintas formas las señales de control, e implemente sistemas de control más complejos, logrando así mejorar el desempeño del circuito sin cambiar la implementación a nivel de hardware.

Es importante investigar e indagar nuevas opciones ante problemas que se encuentren. Nunca se debe subestimar la investigación personal, buscar soluciones no presupone encontrarlas pero crea el camino para que uno mismo u otros puedan llegar a soluciones completamente nuevas.

El conocimiento de herramientas profesionales de diseño microelectrónico fue un plus del proyecto, pues los recientes cambios en la suite de diseño de Synopsys, obligaron a una investigación previa que complementó la preparación como Ingeniero Electrónico.

BIBLIOGRAFÍA

- [1] R. Becker, W. Groeneweg. “*An Audio Amplifier Providing Up to 1 Watt in Standard 90-nm CMOS*”. IEEE Journal of Solid-State Circuits, Vol.41 No. 7, Julio 2006. P 1648-1653
- [2] J. Pan, L. Yao, Y. Lian. “*A Sigma-Delta Class-D Audio Power Amplifier in 0.35 μ m CMOS Technology*”. International SoC Design Conference, 2008.
- [3] http://es.wikipedia.org/wiki/Amplificador_Clase_D . Consultada en febrero de 2011.
- [4] <http://sound.westhost.com/articles/class-g.htm#cg5> . Consultada en febrero de 2011.
- [5] G. Palumbo, D. Pappalardo. “*Charge Pump Circuits: An Overview on Design Strategies and Topologies*”. IEEE Circuits And Systems Magazine. First Quarter 2010. p 31-45.
- [6] <http://www.electro-tech-online.com/attachments/general-electronics-chat/36490d1261244267-bootstrap-capacitor-mosfet-mpic2111-mosfet-drvr.pdf> Consultada en marzo de 2011.
- [7] http://www.instrumentpro.com/resources/akg/headphone_specs.pdf?PHPSESSID=60283328938793eaf70f5390829377db . Consultada en Marzo de 2011.
- [8] <http://reviews.cnet.com/best-headphones/> Consultada en marzo de 2011.
- [9] R. Jacob Baker. “*CMOS Circuit Design, Layout and Simulation*”. Segunda Edición. Wiley-Interscience. 2005. p 68.
- [10] <http://es.wikipedia.org/wiki/Electromigraci%C3%B3n> Consultada en mayo de 2011.
- [11] R. Jacob Baker. “*CMOS Circuit Design, Layout and Simulation*”. Segunda Edición. Wiley-Interscience. 2005. p 524-526.
- [12] P. Allen, D. Holberg. “*CMOS Analog Circuit Design*”. Segunda Edición. OXFORD University Press. 2002. P 276-278.
- [13] F. Antolínez, D. Hernández, E. Pineda. “*Diseño y Simulación de Amplificadores Operacionales en VLSI con Tecnología CMOS*”. Trabajo de Grado, Pontificia Universidad Javeriana. 2009.

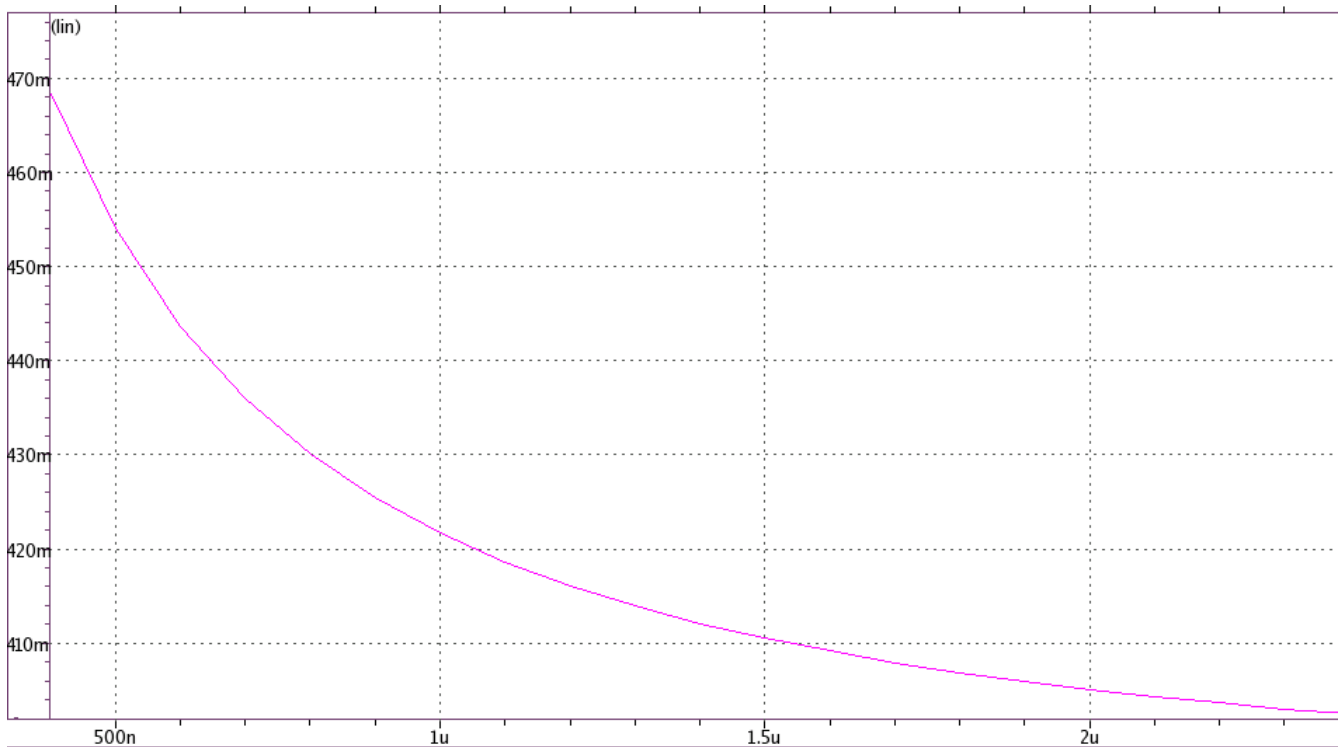
ANEXOS

ANEXO A

Para diseñar es necesario tener un modelo que aproxime el comportamiento de los transistores, y que permita hacer las cuentas necesarias para obtener los tamaños correspondientes de los transistores. Los modelos con los que trabaja el simulador son cada vez más complejos y difíciles de modelar por fórmulas convencionales, por ello es necesario desarrollar modelos matemáticos enfocándose en los tamaños de interés, logrando así obtener resultados bastante buenos.

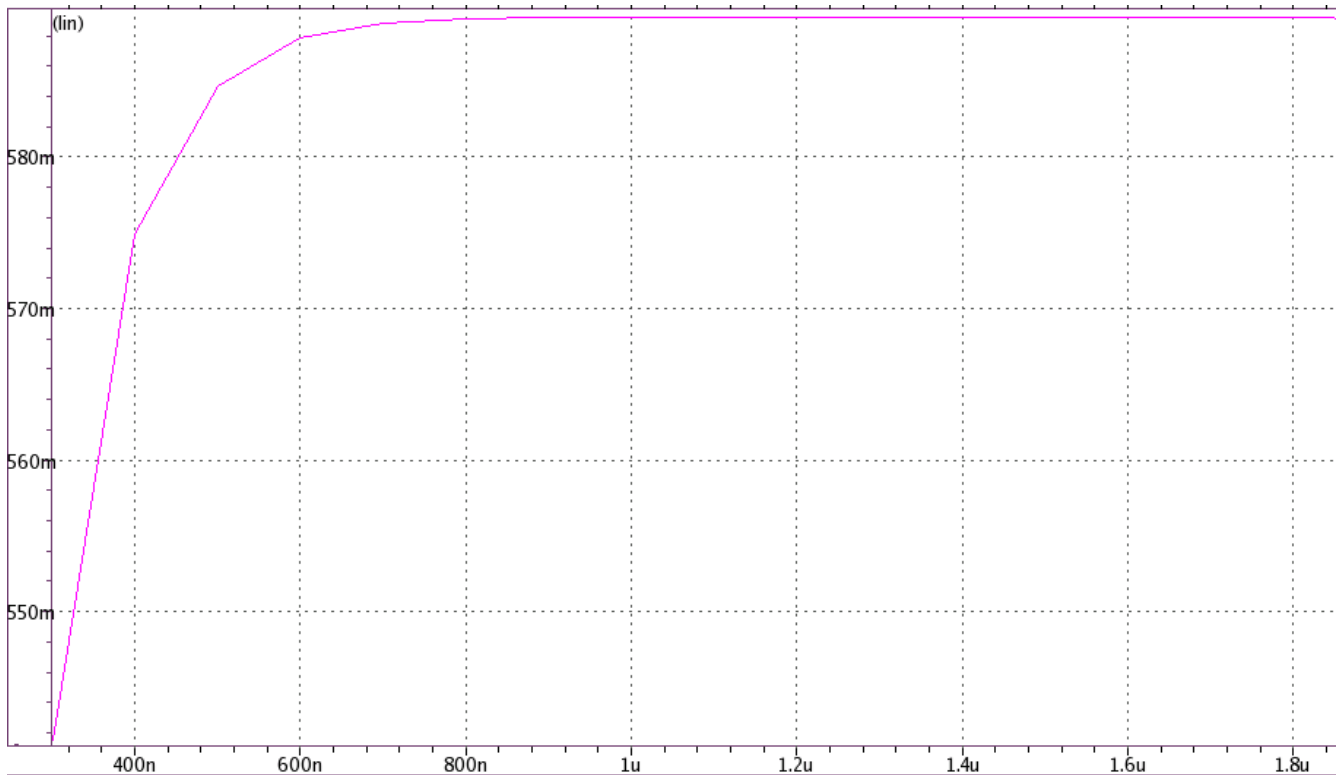
Un primer paso fue definir el L mínimo permitido para el diseño analógico, para esto se obtuvieron las gráficas de V_t vs L , teniendo así una idea de los valores de longitud L para los cuales las variaciones en el voltaje de encendido de los transistores fueran pequeñas.

La forma de obtener las gráficas y de simular los distintos modelos se explica en detalle en varios videos que se pueden encontrar en el DVD adjunto.



Vt vs L. Modelo n25

A partir de la gráfica obtenida para el modelo n25 se determinó que el L más pequeño con el que se puede trabajar un transistor tipo N, que va a llevar señal analógica, es $L_{\text{min}}=1\mu\text{m}$. Es importante aclarar que las variaciones de V_t respecto a W son muy pequeñas, por ello solo se tiene en cuenta esta gráfica.



Vt vs L. Modelo p25

A partir de la gráfica obtenida para el modelo p25, se determinó que en los transistores PMOS que fueran a llevar señal análoga, el L mínimo a trabajar sería $L_{min}=0.5\mu m$.

Teniendo en cuenta los valores de L_{min} obtenidos, se obtuvieron las gráficas paramétricas de los transistores, desarrollando así un modelo matemático que permitiera calcular las corrientes generadas por los transistores al estar en región de Saturación de Corriente.

Modelo NMOS

Para el modelo de los transistores tipo N se obtuvieron las gráficas para un transistor de dimensiones $W=1\mu m$ y $L=1\mu m$. A partir de las gráficas se creó una tabla donde se resumían los resultados, tomando como parejas el Voltaje Gate-source y la corriente generada I_{ds} . A continuación se muestra la tabla obtenida.

Vgs (V)	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5	1.6	1.7	1.8	1.9	2
Ids (μA)	7.8	13.8	21.2	30	40.2	51.6	64.2	77.8	92.4	108	124	141	158	176

Teniendo en cuenta estos resultados se propuso el siguiente modelo:

$$I_{ds} = K(V_{gs} - 427mV)^n \quad \text{Modelo Propuesto}$$

Las constantes de la ecuación planteada se obtuvieron tomando parejas de datos, en este caso, se tomaron 0.9V con 1.5V y 1.3V con 1.8V. Planteando sistemas de dos ecuaciones y dos incógnitas se resolvieron las constantes a hallar, K y n.

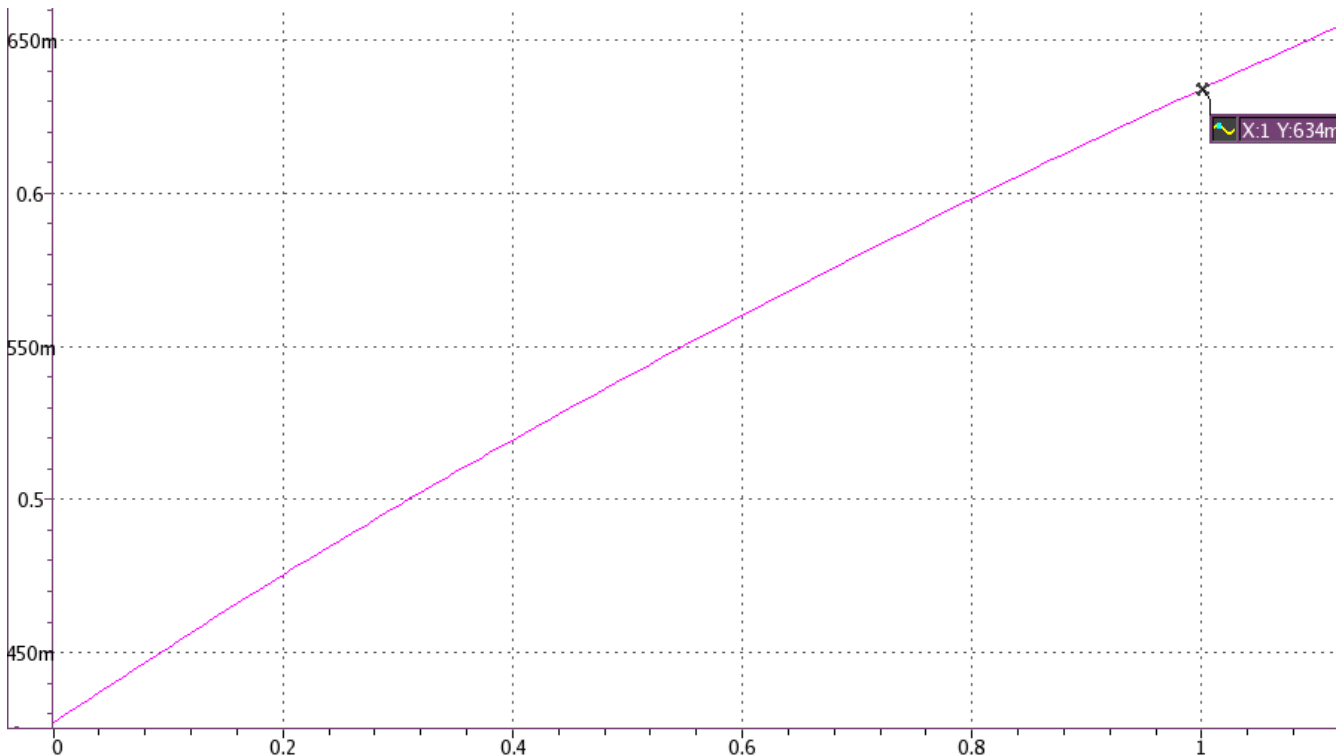
$$\text{Pareja 1.8V y 1.3V} \Rightarrow n = 1.73 \quad k = 81.7\mu$$

$$\text{Pareja 1.5V y 0.9V} \Rightarrow n = 1.78 \quad k = 82\mu$$

De acuerdo a los resultados obtenidos se planteó la siguiente ecuación para representar los transistores NMOS en estado de Saturación de Corriente.

$$I_{ds} = 82\mu(V_{gs} - 427mV)^{1.75}$$

Otra ecuación necesaria para el diseño es la variación de V_t cuando el terminal source no se encuentra a tierra. Este comportamiento es conocido como “efecto bulk”. Para esto se obtuvo la gráfica V_t vs V_{sb} que se presenta a continuación.



Vt vs Vsb. Modelo n25

Analizando la gráfica se plantea como modelo una recta, obteniendo la siguiente ecuación que representa el incremento en V_t , dado un voltaje source-bulk.

$$V_{th} = 0.43 + \frac{V_{sb}}{5}$$

Modelo PMOS

El modelo para los transistores tipo P se desarrolló de manera similar, realizando las simulaciones descritas anteriormente. El modelo resultante para los transistores PMOS, en estado de Saturación de Corriente se resume en la siguiente ecuación.

$$I_{ds} = 22\mu(V_{gs} - 600mV)^{1.7}$$

Es importante aclarar que para los transistores tipo P, no se realizó el estudio del efecto bulk, pues en los transistores PMOS, siempre es posible hacer el corto circuito entre bulk y source, evitando así el incremento en V_t .

ANEXO B

Los tiempos necesarios a cumplir por el circuito se obtuvieron a partir de un análisis hecho a varias canciones. Este análisis se hizo utilizando matlab; por medio de un script se obtenían los resultados de distintas canciones. A continuación se presenta el script utilizado:

```
% Script Analisis de una Canción
load matlab.mat;
tam=size(data);
tam=tam(1);
data=data(1:tam,1);
total=0;
duration=0;
height=0;
rep=0;
res_tot=0;
res_dur=0;
res_h=0;
res_rep=0;
ref =0.6*max(data); % referencia contra la que se van a hacer las comparaciones. 0.6, 0.7, 0.8, 0.9

%% Cargar info en los vectores

over=0;
auxrep=0;
auxh=0;
auxdur=0;
for i=1 : 1 : tam
    if(over==0) %no estoy analizando un sobrepico
        if( data(i) >ref) %empiezo a analizar un sobrepico
            over=1;
            total=total+1;
            auxh=data(i);
            if(auxrep>265) % si el tiempo es mayor a 6ms, lo dejo en 6 ms
                auxrep=265;
            end
            rep(length(rep)+1)=auxrep/44100;
            auxrep=0;
        else
            auxrep=auxrep+1;
        end
    else % estoy analizando un sobrepico
        if(data(i) >ref ) %no ha terminado el sobrepico
            auxdur=auxdur+1;
            auxh=max(auxh,data(i));
        else % acaba de terminar el sobrepico
            height(length(height)+1)=auxh;
            auxh=0;
            duration(length(duration)+1)=auxdur/44100;
            auxdur=0;
            over=0;
        end
    end
end
```

```

    end
end %ciclo que carga la informacion en los vectores

%% eliminar la primera posicion que contiene un cero que no es válido
rep=rep(2:total+1);
height=height(2:total+1);
duration=duration(2:total+1);

%% Obtener la Spec de Duration
h_dur=hist(duration,100);
for(i=1:1:100)
    if( (sum(h_dur(1:i))/sum(h_dur(1:100))) > 0.9) %garantizo que se cubren el 90% de los casos
        dur_spec=(max(duration) - min(duration))/100*i;
        break;
    end
end

%% Obtener la Spec de Rep
k=1000;
h_rep=hist(rep,k);
for(i=k:-1:1)
    if( (sum(h_rep(i:k))/sum(h_rep(1:k))) > 0.9) %garantizo que se cubren el 90% de los casos
        rep_spec=(max(rep) - min(rep))/k*i;
        break;
    end
end

%% Obtener la Spec de Height
h_h=hist(height,100);

for(i=1:1:100)

    if( (sum(h_h(1:i))/sum(h_h(1:100))) > 0.9) %garantizo que se cubren el 90% de los casos
        h_spec=(max(height) - min(height))/100*i+ref;
        break;
    end
end
h_spec=h_spec/ref;

```

PRECONDICIÓN

Para el correcto funcionamiento del script es necesario que se haya leído la canción a analizar y se haya almacenado en la variable data del workspace.

POSCONDICIÓN

Se crearán tres vectores que en la posición N tendrán la información correspondiente al pico N.

El script se ejecutó con distintas canciones, variando los estilos de música para obtener un resultado que tuviera en cuenta distintos tipos de música. Además se utilizaron conversaciones para incluir este tipo de señal también, pues el amplificador puede ser utilizado para amplificar conversaciones.

A continuación se presenta un listado de las canciones y conversaciones utilizadas en el análisis.

Título	Autor	Género / Estilo de Música
Dance of Death	Iron Maiden	Heavy Metal
Got the Time	Anthrax	Punk Rock
Matador	Los Fabulosos Cadillac	Ska
Chatiment de la Rose	Anorexia Nervosa	Melodic Black Metal
La Mona	Bonka	Pop Tropical
La Agarro Bajando	Gilberto Santa Rosa	Salsa
Valió la Pena	Marc Anthony	Salsa Tropical
Por ella	Victor Manuelle	Salsa
Discurso Kennedy	-	Discurso
Al Pacino	-	Conversación

Para cada uno de estos archivos se realizaron varias simulaciones, cambiando la referencia del script. A continuación se presentan las tablas que relacionan los resultados para cada uno de los archivos.

RESULTADOS DE SIMULACIÓN

		0,6	0,7	0,8	0,9
01 DANCE OF DEATH	rep_spec	24us	96us	114uS	114uS
	dur_spec	388us	229us	207uS	159uS
	height_spec	1,47	1,31	1,19	1,09

02 GOT THE TIME	rep_spec	96us	138uS	228uS	5,8ms
	dur_spec	141us	149uS	95uS	68uS
	height_spec	1,25	1,19	1,13	1,09

03 MATADOR	rep_spec	24uS	12uS	24uS	24uS
	dur_spec	239uS	192uS	163uS	116uS
	height_spec	1,3	1,19	1,13	1,09

04 CHATIMENT DE LA ROSE	rep_spec	24uS	24uS	24uS	48uS
	dur_spec	215uS	162uS	139uS	90uS
	height_spec	1,52	1,35	1,22	1,11

05 LA MONA	rep_spec	24uS	24uS	48uS	456uS
	dur_spec	310uS	235uS	163uS	70uS
	height_spec	1,38	1,28	1,17	1,08

06 LA AGARRO BAJANDO	rep_spec	24uS	24uS	24uS	48uS
	dur_spec	116uS	95uS	70uS	68uS
	height_spec	1,37	1,3	1,22	1,11

07 VALIO LA PENA	rep_spec	24uS	24uS	24uS	24uS
	dur_spec	254uS	204uS	187uS	138uS
	height_spec	1,41	1,3	1,22	1,11

08 POR ELLA	rep_spec	24uS	24uS	24uS	72uS
	dur_spec	185uS	146uS	114uS	68uS
	height_spec	1,29	1,21	1,13	1,07

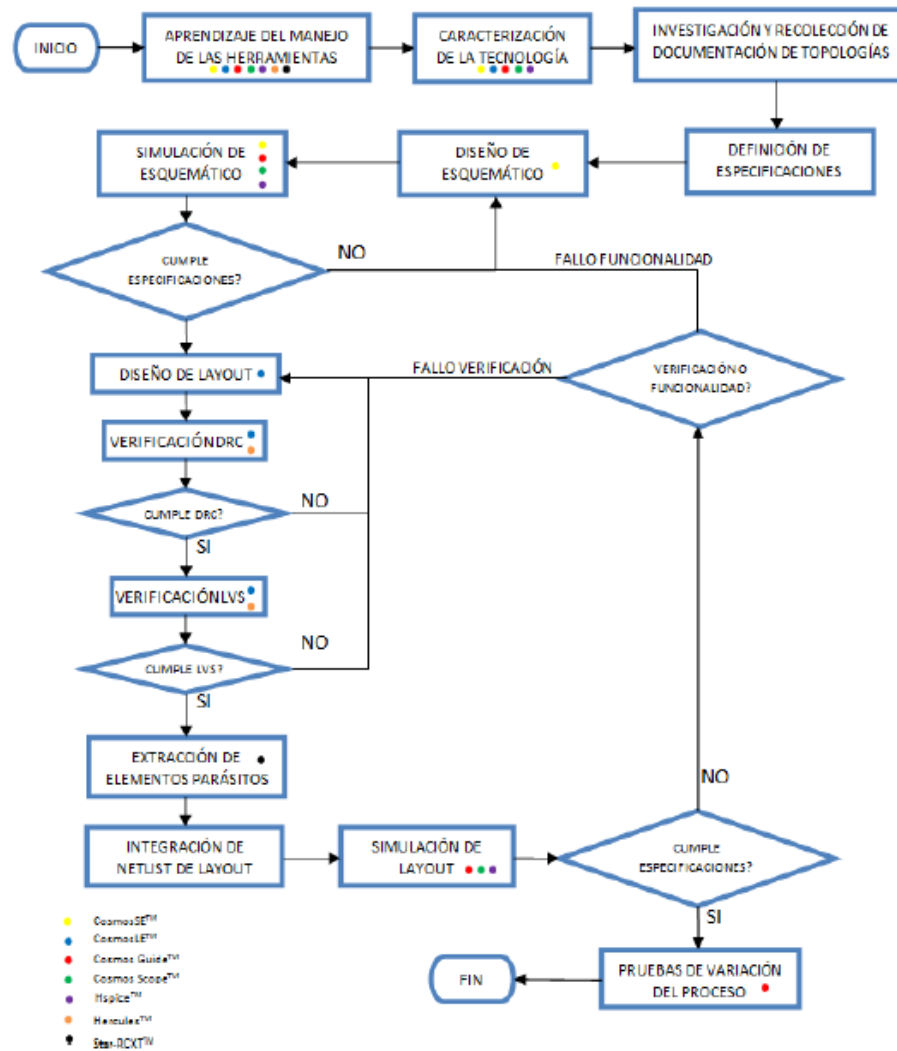
09 KENNEDY	rep_spec	1,2mS	1,7mS	3,9ms	4,4ms
	dur_spec	254uS	229us	185us	159us
	height_spec	1,56	1,37	1,2	1,08

10 AL PACINO	rep_spec	276us	276us	162us	72us
	dur_spec	433us	387us	349us	230us
	height_spec	1,63	1,4	1,24	1,11

Los archivos de audio, y los workspace generados por matlab se encuentran dentro del DVD adjunto, en ellos se pueden encontrar los vectores generados para cada canción, en cada uno de los casos de referencia. Además el archivo Caracterizacion_Picos.m que contiene el script descrito anteriormente y utilizado en estas pruebas.

ANEXO C

Las herramientas que se utilizan en el flujo de diseño analógico se presentan en el flujo de diseño analógico presentado en [13].



Debido a los recientes cambios hechos en la suite de synopsys® se deben cambiar las herramientas utilizadas. Los cambios se relacionan a continuación.

Herramienta Anterior	Herramienta Actual
CosmosSE	Custom Designer. SE
CosmosLE	Custom Designer. LE
Cosmos Guide	Custom Designer SAE
Cosmos Scope	Custom Wave View
Hspice	Hspice
Hercules	Hercules
StarRCXT	StarRCXT