
表面再構成制御成長法による Si 上 InSb 量子井戸作製と その超高速 FET への応用

研究代表者 理工学研究部(工学) 前澤 宏一
研究員 齊藤 光史

研究成果

InSb は高い電子移動度、電子飽和速度を持つことから、超高速低消費電力デバイスへの応用可能性を示唆されてきた。しかし InSb は大きな格子定数を持つため、基板となる材料との格子不整合という大きな問題を抱えている。我々の研究においては基板材料として Si を用いている。我々の研究により、Si(111)上への InSb 単分子層(InSb bi-layer)を介して InSb 層を成長させることによって、Si 上で面内方向に 30° 回転した InSb 層を得ることができ、このとき InSb/Si 間の格子不整合が見かけ上、約 3.3%にまで減少することが明らかになった。この手法は非常に大きな格子不整合を持つ系であるにもかかわらず、厚いバッファ層を必要としないという大きな利点がある。本プロジェクトではこの現象を応用し、InSb 高電子移動度トランジスタ(InSb HEMT)の試作を最終目標としている。

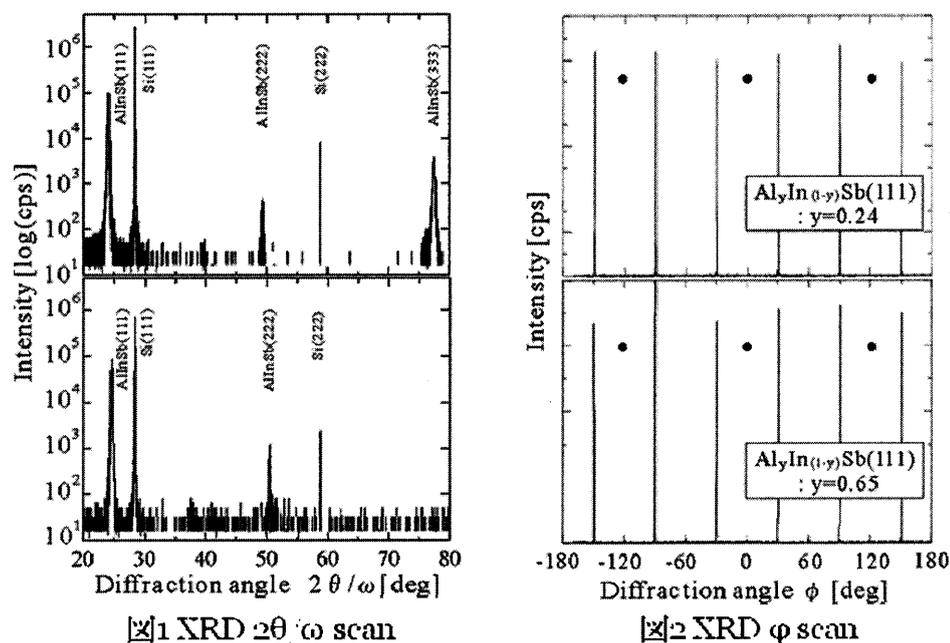
トランジスタ構造を得るための第一の課題は前述した面内 30° 回転による格子不整合緩和効果を AlInSb へ応用し高品質な AlInSb barrier 層の形成を目指すことである。本年度は様々な組成比 x を持つ $\text{Al}_x\text{In}_{(1-x)}\text{Sb}$ の実現と、その評価、更に InSb/AlInSb 量子井戸トランジスタ構造の試作を目標とした。以下に本年度の主な研究内容と、得られた知見を簡単に示す。

i) InSb bi-layer 上での $\text{Al}_x\text{In}_{(1-x)}\text{Sb}$ 薄膜の形成

InSb/AlInSb 量子井戸トランジスタ構造を形成するにあたり、量子井戸構造におけるバンドギャップの大きさ、及び、InSb/AlInSb 界面における格子不整合に起因する臨界膜厚を考慮すると $\text{Al}_x\text{In}_{(1-x)}\text{Sb}$ の適当な組成比 x は 0.1~0.3 程度であると考えられている。また、我々の手法における面内 30° 回転による AlInSb/Si 界面の格子不整合緩和という観点からは、 $x=0.62$ で格子不整合がおおよそ 0 となる。このため、 $x=0.1\sim 0.65$ 程度の範囲で 30° 回転 AlInSb 薄膜を結晶性良く形成できるかについて検討を行った。

図 1 はそれぞれ Al 組成比を変えた 2 つの試料についての XRD $2\theta/\omega$ スキャン測定結果である。AlInSb(111)ピークのポジションより、それぞれの試料の Al 組成比は(a) $x=0.24$, (b) $x=0.65$ と見積もられた。どちらの試料においても AlInSb(111)及び Si(111)面に関するピークのみが観察されることから、表面垂直軸方向に対して単結晶成長していることがわかる。図 2 は図 1 で示したそれぞれの試料に対する ϕ スキャン測定結果を示す。 ϕ スキャンでは試料の面内配向性を評価することができる。(a)は組成比 $x=0.24$, (b)は $x=0.65$ の試料における AlInSb(111)面に対する結果である。黒丸は Si(111)ピークの観察される位置を示している。どちらの試料においても AlInSb のピークは Si ピークの位置から 30° ずれた位置に観察されることから、それぞれの試料が面内において 30° 回転していることがわかる。

Si 基板上で InSb 単分子層を介して AlInSb 層を成長させることで Al 組成比 $x=0\sim 0.65$ の範囲において面内で 30° 回転し、且つ表面垂直方向に単結晶成長した薄膜を得ることができた。非常に大きな格子不整合を持つ系において、特別に厚いバッファ層なしでこのような高品質な薄膜を形成できた報告は他に類を見ない結果である。



ii) InSb デバイスのためのプロセス検討と FET 試作

FET 構造の試作を実際に試みた。作製した量子井戸トランジスタ構造の模式図を図 3(a)に、構造作成後の顕微鏡写真(ゲート長 $2\mu\text{m}$ のもの)を図 3(b)に示す。このときの量子井戸における上下 barrier 層としての $\text{Al}_x\text{In}_{(1-x)}\text{Sb}$ 薄膜の Al 組成は $x=0.15$ とした。このデバイスの電気特性について測定を行ったが、ソースドレイン間のリーク電流が大きくゲート電圧による電流制御ができなかった。各積層について検討の結果 AlInSb 層のキャリア密度が $1 \times 10^{18}/\text{cm}^2$ 程度と高すぎるのが問題であると分かった。原因は現段階で不明であるが、積層界面における欠陥もしくは不純物の混入によるものであると考えられる。対応策としては成長条件の見直し、または、大きなバンドギャップを持つ高 Al 組成層の導入を検討する必要がある。

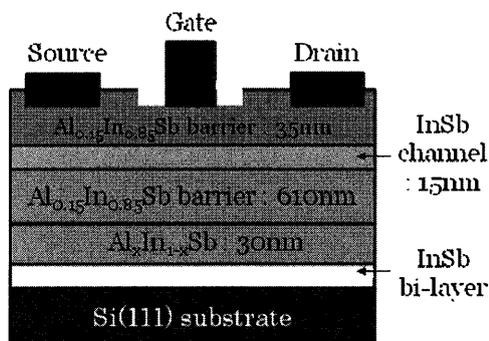


図3(a) 試作FET 構造模式図

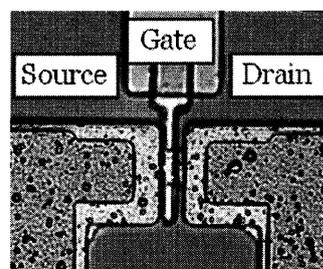


図3(b) 顕微鏡写真 ゲート長: $2\mu\text{m}$

今年度の研究成果から期待される今後の展望

本年度は我々の特色的な表面再構成制御を利用した量子井戸トランジスタ構造の試作(図 3)を実際に行った。各層の Al 組成及び、膜厚等がある程度任意に設定できるようになり、且つ XRD による測定において良好な結果を得ることができた。しかし、 AlInSb 層の高いホール密度が問題となっている。薄膜成長条件及び、FET 作製プロセス行程の見直しを図ることで、未だ世界的に報告例の少ない InSb -based デバイスの Si 基板上での実現が期待される。