

行政院國家科學委員會專題研究計畫成果報告

低功率高輸出驅動力之 GHz 半數位式鎖相迴路電路之設計與實現

The Design and Implementation of a GHz CMOS Half-Digital PLL with
Low-Power Dissipation and High-Driving Ability

計畫編號：NSC 90-2215-E-032-002

執行期限：90 年 8 月 1 日至 91 年 7 月 31 日

計畫主持人：鄭國興 淡江大學電機系副教授 mail:cheng@ee.tku.edu.tw

一. 中文摘要

在現今的高速 IC 設計中，鎖相迴路已經廣泛的使用於通訊系統、微處理器或是無線系統裡。然而，鎖相迴路卻有一些關鍵性的因素會影響到整個電路的效能，例如：功率消耗、脈波抖動、雜訊影響等。

圖 1 是一個完整的鎖相迴路系統。在這個系統裡，主要的功率消耗是在壓控振盪器的部分，幾乎佔了整個鎖相迴路的功率消耗一半以上。因此，為了有效的降低鎖相迴路的整體功率消耗，我們設計了 3 種不同的低功率壓控振盪器，提供給鎖相迴路使用

在鎖相迴路的應用裡，“抖動(jitter)”也是一項很重要的性能指標。因為，時脈的抖動會造成相位的不一致，導致系統操作錯誤。而在鎖相迴路中，壓控振盪器是最易產生相位抖動與最容易受雜訊干擾的電路，因此，如何設計具有高輸出驅動力與低功率之壓控振盪器，為本次計畫之主要目的。

關鍵詞：低功率壓控振盪器、高輸出驅動力、鎖相迴路。

Abstract :

Modern high speed CMOS processors using on-chip PLL often require a clock buffer with stringent specifications on the signal's rise time and fall time rather than on the buffer's delay time. For these applications we propose a novel VCO with split-path CMOS driver. It is proposed to reduce the total power consumption and phase errors of the PLL. The proposed VCO with the split-path CMOS driver has low power consumption and lower area requirement than the conventional tapered

CMOS buffer. In this project, a low power, wide operating frequencies and high noise immunity half-digital phase locked loop (HDPLL) is proposed and analyzed. A novel voltage-controlled oscillator is proposed and used to improve linear V-f characteristic and reduce the total power consumption for the HDPLL design. By HSPICE simulation results, the power dissipation of the novel VCO can be reduced over 60% in comparison to conventional VCO. Moreover, the novel VCO also has good immunity in noises and wide operating frequencies.

Keyword: VCO, PLL, split-path, power, noise

二.計畫緣由與目的

隨著科技的進步和生活便利性的要求，產品的功能變得愈來愈強大，體積變得愈來愈小，耗電量也變得愈來愈少。因此，低功率、高效能的晶片也就由此順應而生。在可攜式電子產品的使用中，都會要求具備有體積小、操作時間長的優點，所以降低功率消耗就成了很重要的問題。除了功率消耗之外，高速度 IC 也是一個很普遍的要求，但是在高頻的操作下，時脈週期變得相當的短，因此抖動在時脈裡所佔的量，就成了很重要的部分，為了不使系統在高頻操作下出錯，就得設計出低抖動的電路，降低抖動在時脈裡所佔的比率。

三.研究方法及成果

一般的壓控振盪器區塊中包含了一些延遲元件。當壓控振盪器振盪在低頻時，壓控振盪器的延遲元件，也會產生很大的短路功率消耗。因此我們設計三種不同的壓控振盪器，以下為三種電路的說明。

(1)第一種低功率高輸出驅動力的壓控振盪器

如圖 2 所示，我們提供了一個低功率高輸出驅動力的壓控振盪器，來改善整個鎖相迴路電路的功率消耗。本電路主要是由一個分離路徑的控制器，讓輸出級消除短路功率消耗，以達成此目的。

經由 TSMC 0.35um 1P4M 的 CMOS 製程，2.5 伏特 Hspice 模擬，圖 3 是 sln、slp、bn、bp、driver 的模擬波形，我們可以發現結果如我們所預估的一樣，會產生非重疊的波形以避免短路電流效應。由表 1 的結果可以發現比傳統的緩衝放大器省功率 10% 以上，而表 2 是將其運用在 PLL 中，而其性能亦符合我們的預期，因此這個電路確實有省能的功效。

(2)第二種新型 GHz 低功率壓控振盪器

如圖 4 所示，我們設計了一個新架構的壓控振盪器，利用 C²MOS inverter 來實現其延遲元件，並且使電流源端點固定在一常數電壓，因而相對的降低了切換功率消耗，並且限制住來自電源的雜訊，而達成低功率高抗雜訊的要求。在傳統壓控振盪器電路中，當電路開始振盪時，中間的 inverter 開始作充、放電的動作，由於不斷的切換開關使得電流源產生較大的切換雜訊，與增加動態功率消耗，因此傳統的 VCO 架構，不適合用在需要高頻或高穩定性且靈敏度高的系統中。其操作方法與特性如下所述：

(i) 電路操作方法

如圖 5 所示，我們可以看到，兩級的延遲級是共用一個電流源，因此偏壓電流不會有關掉的現象，所以此時 D 點與 E 點就像是一個固定常數電壓，不會有所變動。除了有減少開關切換雜訊的好處之外，對於電源 noises 也能提高其雜訊免疫力。圖 6 為我們在延遲單元的 VDD 與 VSS 到電路之間，分別加上了 10nH 的電感，我們可以看到傳統的 VCO(虛線)，其抖動的比較劇烈，因此新型 VCO(實線)對於電源 noises 的免疫能力比傳統來得好。如圖 4 所示，由於電流源不會有開關切換頻繁的現象，因此在高頻時不會產生額外的動態功率消耗。而且又因新式的振盪器只是將

電流直接轉到另一顆電晶體上，因而加快了電晶體充放電的速度。

經由 TSMC 0.35um 1P4M 的 CMOS 製程 Hspice 模擬結果如表 3、表 4 所示，由表 3 可知新型壓控振盪器，在功率消耗方面新型壓控振盪器節省約 50% 以上。而在輸出振盪頻率方面，新型壓控振盪器亦高於傳統 VCO。圖 7 為採用新型壓控振盪器之 HDPLL 晶片 Layout，圖 8 為晶片實際量測到之輸出波形與時脈抖動圖，由此可知本壓控振盪器具有低功率、高輸出振盪頻率的特性。

(3)第三種新型 GHz 低功率壓控振盪器

如圖 9 所示，第三種壓控振盪器為第二種新型 GHz 低功率壓控振盪器之改良，我們將延遲單元中的 inverter 之所有源極端接在一起，以獲得一固定之電流源，而其操作原理和第二種新型 GHz 低功率壓控振盪器一樣。但是為了增加第一種新型 GHz 低功率壓控振盪器的線性度問題，我們將其壓控電路部分一分為三，如圖 10 所示，並使每一電壓轉電流部分皆為低增益，因此當電壓持續上升時，其 VCO 的增益也會是三者之增益相加，以使其達到高增益的目的。

經由 TSMC 0.35um 1P4M 的 CMOS 製程 Hspice 模擬結果如圖 11 所示，其 VCO 可用之範圍相當之廣，且其功率消耗比傳統節省約 60% 以上。表 5 為用第三種 GHz 低功率壓控振盪器，來完成之 HDPLL 電路之模擬，由此可知其功率消耗與可用線性區均比傳統 HDPLL 來得小與廣。

四. 結論與討論

在本計畫中，我們提供了三種新型壓控振盪器。第一種新型低功率高輸出驅動力的壓控振盪器，其特色為採用新型的整波電路，並結合分離路徑架構，以減少輸出緩衝放大器的短路電功率消耗。因此本壓控振盪器比傳統的壓控振盪器省功率 10% 以上。

第二種新型 GHz 低功率壓控振盪器，利用雙端差動對的原理，應用在單端的電路上而產生了低功率消耗高抗雜訊的壓控

振盪器，並且將其應用在鎖相迴路上。由模擬與晶片驗證可知，本新型 GHz 低功率壓控振盪器具有低功率高振盪頻率之特性。

第三種新型 GHz 低功率壓控振盪器，我們增加第二種新型 GHz 低功率壓控振盪器之線性度，並且將其應用在鎖相迴路上。由比較表可知，其具有低功率 GHz 與高線性度特點。

五. 執行成效

本計畫已利用 0.35um 製程完成晶片之設計與量測，而所測得之結果已符合本計畫所提之低功率 GHz HDPLL 的目標。而 0.25um 製程之 HDPLL 電路，也將完成模擬與晶片驗證。此外，第一、二種新型壓控振盪器將發表於期刊[1]-[3]，而第三種新型壓控振盪器已發表於國際期刊[4]，如下所列：

- [1] Kuo-Hsing Cheng et al., "A Mix-Mode Delay-Locked Loop for Wide-Range Operation and Multiphase Outputs," has been submitted to ISCAS'2003.
- [2] Kuo-Hsing Cheng et al., "A Low-Power High Driving Ability Voltage Control Oscillator Used in PLL," will submit to International Journal of Electronics.
- [3] Kuo-Hsing Cheng et al., "A Low-Power and Low-Jitter Single-Ended Voltage Control Oscillator used in Phase-Locked-Loop," will submit to IEEE Trans. On Circuit and System.
- [4] Kuo-Hsing Cheng and Wei-Bin Yang, "A Low Power Wide Operating Frequency and High Noise Immunity Half-Digital Phased_Locked Loop," Proc. Of 3rd IEEE Asia-Pacific Conference on Asic, Ap-Asic 2002, Grand Hotel, Taipei, Taiwan, August 6-8, 2002.

六. 參考文獻

- [1] S. Kim et al., "A 960-Mb/s/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 5, pp. 691-699, MAY 1997.
- [2] H. Johansson et al., "A Simple Precharged CMOS Phase Frequency Detector," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 2, pp. 295-299, Feb. 1998.
- [3] I. Novof et al., "Fully Integrated CMOS Phase-Locked Loop with 15 to 240 MHz Locking Range and ± 50 ps Jitter," *IEEE Journal of Solid-State Circuits*, vol. 30, no. 11, pp. 1259-1266, Nov. 1995.
- [4] V. Kaenel et al., "A 320 MHz, 1.5 mW @ 1.35 V CMOS PLL for Microprocessor Clock Generation," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 11, pp. 1715-1722, Nov. 1996.
- [5] Kuo-Hsing Cheng, Wei-Bin Yang, and Hong-Yi Huang "The Charge-Transfer Feed-back-Controlled Split-Path CMOS Buffer" *IEEE Transactions on circuit Circuits and System—II: Analog and Digital Signal Processing*, Vol.46,

- No. 3, MARCH 1999.
- [6] C. Hyeon, J. Cornish, K. McClellan, J. Choma, Jr, "Design of Low Jitter PLL for Clock Generator with Supply Noise Insensitive VCO," *IEEE international Symposium on Circuits and Systems* 1998 vol. 1, pp. 233-236
- [7] H. Kondoh et al., "A 1.5 V 250 MHz to 3.0 V 622 MHz Operation CMOS Phase-Locked Loop with Precharge Type Phase-Frequency Detector," *IEICE Trans. Electron*, vol. E78-C, no. 4, pp. 381-388, April, 1995.
- [8] N. H. E. Weste and K. Eshraghian, *Principle of CMOS VLSI Design*, 2nd ed. Reading, MA: Addison Wesley, 1993.

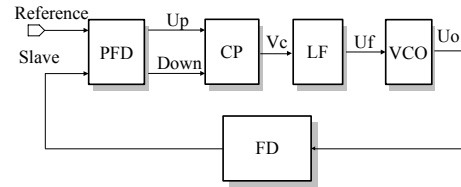


圖 1 鎖相迴路的架構

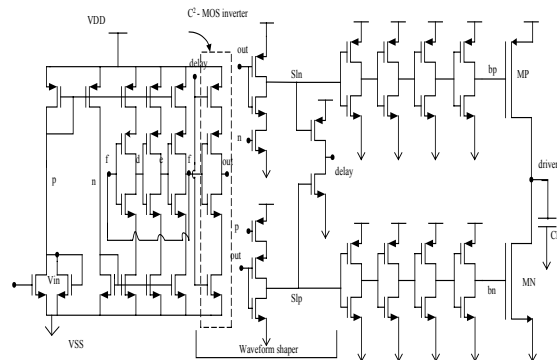


圖 2 分離路徑緩衝放大器電壓控制震盪器

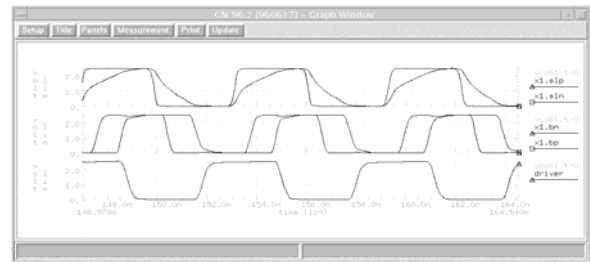


圖 3 sln、slp、bn、bp、driver 的模擬波形

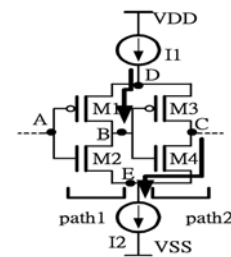


圖 4 第二種壓控振盪器架構的延遲級

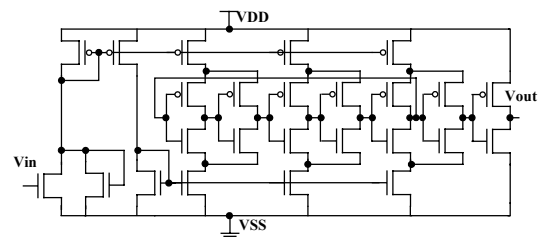


圖 5 第二種壓控振盪器架構

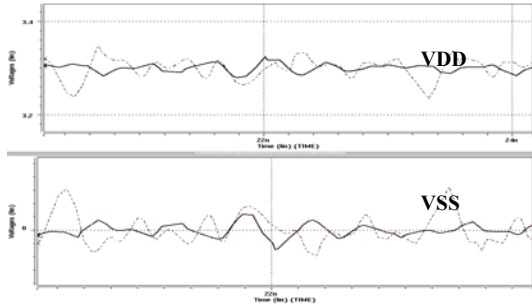


圖 6 power supply noise

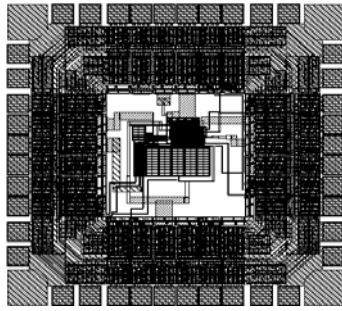


圖 7 HDPLL 晶片 Layout

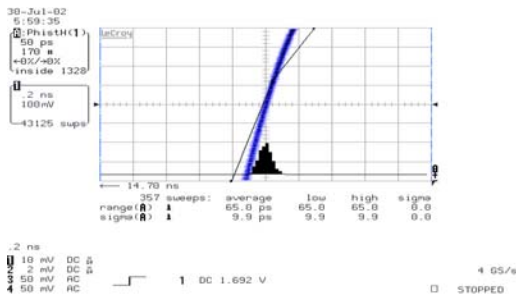


圖 8 HDPLL 時脈抖動之量測

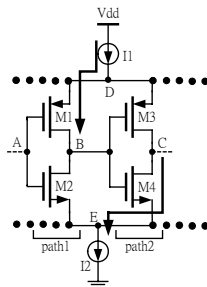


圖 9 第三種壓控振盪器架構的延遲級

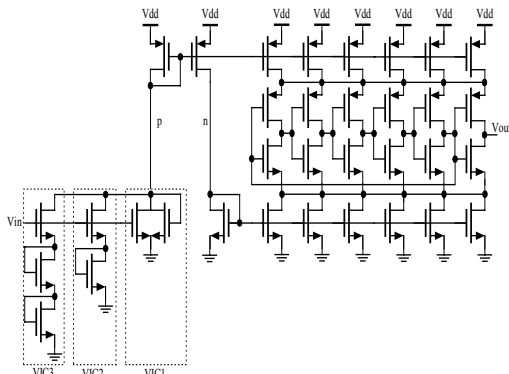


圖 10 第三種壓控振盪器架構

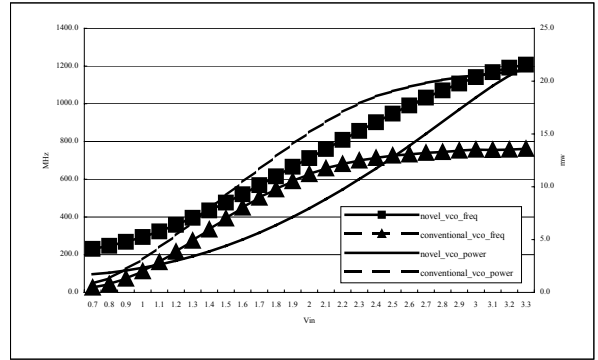


圖 11 第三種壓控振盪器頻率、功率消耗對電壓

表 1 第一種壓控振盪器效能比較

	Low Power VCO with Split-Path Driver	Ring VCO With Traditional Buffer
Frequency Range (MHz)	92.8~514.9	78~479
Tune Range (MHz)	422.1	401
Max. Power (mw)	404	440
Mini. Power (mw)	81.5	72
Mw/100MHz	76.4	87.2
Avg. gain (Mhz/v)	169.2	160.4

表 2 第一種 HDPLL 效能列表

Locked Freq. (MHz)	Locked-Time (us)	Long-term-Jitter (ps)	Cycle-Jitter (ps)
300	6	124	60
400	6.5	100	60
500	6.9	112	145

表 3 第二種壓控振盪器效能比較

	傳統 VCO	新式 VCO
可調頻率範圍(Mhz)	18~723	215.2~1179
最大功率消耗	16mW @723MHz	24mW @1179MHz
最小功率消耗	0.589mW @19.9MHz	1.198mW @215.2MHz
功率消耗對頻率的比值(mW/100MHz)	2.13 @500MHz	0.93 @500MHz
平均增益(Mhz/v)	232.8	419.9

表 4 第二種 HDPLL 效能列表

	傳統 HDPLL	新式 HDPLL
VCO Output Frequency	500MHz	500MHz
Power Consumption	34.8mw	28.7mw
Long-term Jitter	150ps	132ps
Cycle jitter	12ps	10ps
Locked time	15us	5.5us

表 5 第三種 HDPLL 效能列表

	Conventional VCO In HDPLL	Novel VCO In HDPLL
Power Consumption (mW)	12	21.1
Locked time (us)	10	13
Cycle jitter (ps)	30.2	19.4
Cycle-to-Cycle Jitter (ps)	31	27