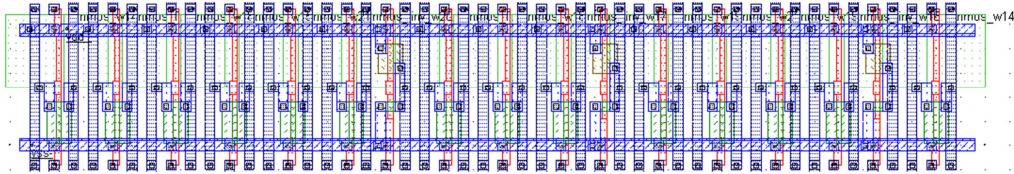




UNIVERSIDADE DO ALGARVE
INSTITUTO SUPERIOR DE ENGENHARIA



METODOLOGIA PARA PREVER O ENVELHECIMENTO DE CIRCUITOS DIGITAIS

AGING PREDICTION METHODOLOGY FOR DIGITAL CIRCUITS

Jakson dos Santos Pachito

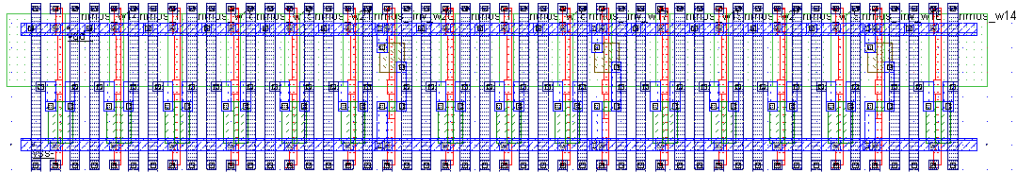
Dissertação para obtenção do Grau de Mestre em
Engenharia Eléctrica e Electrónica

Área de Especialização em Tecnologias de Informação e Telecomunicações

Janeiro de 2012



UNIVERSIDADE DO ALGARVE
INSTITUTO SUPERIOR DE ENGENHARIA



METODOLOGIA PARA PREVER O
ENVELHECIMENTO DE CIRCUITOS DIGITAIS

AGING PREDICTION METHODOLOGY FOR DIGITAL CIRCUITS

Jakson dos Santos Pachito

Dissertação para obtenção do Grau de Mestre em
Engenharia Eléctrica e Electrónica
Área de Especialização em Tecnologias de Informação e Telecomunicações

Orientador: Professor Doutor Jorge Filipe Leal Costa Semião

Presidente de Júri: Professor Doutor Isménio Lourenço Eusébio Martins

Vogais: Professor Doutor José Manuel Aguiar Tavares Bastos
Professor Doutor António João Freitas Gomes da Silva
Professor Doutor Jorge Filipe Leal Costa Semião

Janeiro de 2012

À Kiana e Lucélia.

AGRADECIMENTOS

Em primeiro lugar quero agradecer a uma pessoa fundamental para que este trabalho chegasse até aqui. O meu Professor e orientador Jorge Semião. Agradeço-lhe pela sua dedicação pessoal e profissional, pela paciência, pelos ensinamentos que foram para além dos académicos, e por muitas vezes me ter concedido tempo para estudar e apreender. Agradeço-lhe pelo dom que tem em ensinar e fazer as coisas parecerem simples, quando na verdade em muitas ocasiões não o eram. Embora sem saber, nos momentos em que sentia que não era capaz de continuar, a sua motivação e talento foi sempre uma inspiração para mim. Enfim, palavras não chegam para tamanha gratidão. Obrigado Professor!

Durante a realização deste trabalho muitas foram as pessoas que, de uma maneira ou de outra, contribuíram para o seu sucesso. Quero agradecer aos professores da UAlg que me acompanharam, em especial ao Professor Carlos Marinho. Agradeço aos meus colegas Edmar, Balakov, Naiss, Mats, Ivan e Ary. Agradeço à Dona Joana, pelo afecto e cuidado incondicional que sempre demonstrou, e à CASA, na pessoa do Sr. Pedro Cebola. Agradeço também ao Wilson e ao Aricson pelo companheirismo.

Aos meus pais deixo uma palavra especial de gratidão, pela educação que tive, e agradeço também aos meus irmãos Vânia e Wando.

A todos os que disponibilizaram documentação e informações diversas, nomeadamente M. A. Alam – Purdue University, Y. Cao e E. Wang - Arizona State University, Júlio Vazquez – INAOE/INESQ ID, quero também deixar uma palavra de agradecimento.

Por fim, e não menos importante, um muito obrigado à pessoa que me estendeu a mão no momento mais crítico, o Sr. Aristides.

Jakson dos Santos Pachito, Faro, 19 de Janeiro de 2012

RESUMO

Com a constante miniaturização da tecnologia de circuitos integrados CMOS, diversos problemas de fiabilidade e performance estão a tornar-se críticos à medida que a escala continua a ser reduzida. Efeitos a longo prazo, como o NBTI, TDDB, HCI, MS, etc, degradam os parâmetros físicos dos transístores CMOS e com consequências nas propriedades eléctricas dos semicondutores. O fenómeno NBTI é considerado o efeito dominante no processo de degradação por envelhecimento dos CMOS e influencia a operação dos transístores PMOS. Os efeitos degradantes do NBTI são manifestados na degradação da corrente de dreno, nas capacidades, na transcondutância e na tensão limiar de condução (V_{th}) dos transístores PMOS, mas pode ser representada simplesmente como um incremento no $|V_{th}|$ ao longo do tempo. Esta degradação é chamada de envelhecimento e estes efeitos cumulativos têm um grande impacto na performance do circuito, especialmente se ocorrerem outras variações paramétricas, como as variações de processo, tensão de alimentação e temperatura.

O trabalho apresentado nesta dissertação tem por objectivo desenvolver uma metodologia para prever a degradação na performance dos circuitos digitais CMOS na presença de efeitos de envelhecimento por NBTI. Uma biblioteca genérica SPICE de CMOS foi também definida de forma a usar vários modelos preditivos de tecnologias (PTM). A previsão do envelhecimento é baseada em cálculos das probabilidades dos transístores PMOS terem uma polarização negativa em V_{GS} , na modelação das correspondentes variações em V_{th} para cada transístor e nas simulações SPICE para medir a degradação na performance. A automatização da metodologia é materializada numa nova ferramenta de *software* chamada AgingCalc, desenvolvida no âmbito desta tese de mestrado.

A metodologia de previsão de envelhecimento proposta é demonstrada através de simulações em circuitos de referência em tecnologias de 130nm a 16nm, usando modelos PTM.

PALAVRAS-CHAVE: Previsão do envelhecimento, NBTI, Degradação dos atrasos nos caminhos, Modulação de V_{th} , Probabilidade de operação, Simulações SPICE automáticas.

ABSTRACT

With the constant miniaturization of CMOS IC (*Integrated Circuits*) technology, various issues of reliability and performance are becoming critical as the scale continues to be reduced. Long term effects, such as NBTI, TDDB, HCI, MS, etc., degrade the physical CMOS transistors' parameters and with consequences on the electrical properties of semiconductors. The NBTI phenomenon is considered the dominant effect in the CMOS aging degradation process and influences PMOS transistors' operation. The degrading effects of NBTI are manifested in the degradation of drain current, capacitance, transconductance and threshold voltage (V_{th}) of PMOS transistors, but it can be represented simply as an increment in $|V_{th}|$ over time. The set of this degradation is called aging and these cumulative effects have high impact on circuit performance, especially if other parametric variations occur, such as Process, Voltage or Temperature variations.

The work presented in this thesis aims to develop a methodology to predict CMOS digital circuits' performance degradation in the presence of NBTI aging effects. A generic SPICE CMOS library was defined in order use various transistor's Predictive Technology Models (PTM). The aging prediction is based on probability calculations for the PMOS transistors to have a negative V_{GS} polarization, on modeling the corresponding V_{th} variations of each transistor and on SPICE simulations to measure the performance degradation. Methodology automation is materialized in a new software tool called `AgingCalc`, developed in the context of this thesis.

The proposed aging prediction methodology is demonstrated by extensive simulation on benchmark circuits designed in IC technologies ranging from 130nm to 16nm, using PTM models.

KEYWORDS: Aging prediction, NBTI, Path-delay degradation, Operation probability, V_{th} Modulation, Automatic SPICE simulations.

INDÍCE

1.	Introdução.....	1
1.1	Envelhecimento em Circuitos Integrados.....	1
1.2	Enquadramento do Trabalho.....	3
1.3	Objectivos do Trabalho.....	4
1.4	Contexto do Trabalho	6
1.5	Organização do Documento	7
2.	Envelhecimento em Nano tecnologias CMOS.....	9
2.1	Fenómeno NBTI.....	11
2.1.1	O Modelo <i>Reaction-Diffusion</i>	14
2.1.2	Geração dos Obstáculos à Passagem de Corrente (<i>Interface Traps</i>).....	15
2.1.3	Dependência do NBTI com a Temperatura.....	20
2.1.4	Dependência do NBTI com o Campo Eléctrico	21
2.1.5	Modelação do efeito NBTI.....	21
2.1.6	Redução de Efeitos Provocados pelo NBTI.....	25
2.2	Outros Efeitos que Causam o Envelhecimento dos Circuitos	26
2.2.1	<i>Time Dependent Dielectric Breakdown</i>	27
2.2.2	<i>Hot Carrier Injection</i>	27
2.2.3	<i>Electro-Migration</i>	28
2.2.4	<i>Stress Induced Voids</i>	30
2.2.5	<i>Total Ionizing Dose</i>	30
3.	Metodologia para Previsão do Envelhecimento.....	33
3.1	Modelação do Envelhecimento dos Transístores CMOS.....	33
3.2	Cálculo de Probabilidades em Circuitos Digitais	35
3.2.1	Cálculo das Probabilidades nos Nós de Saída dos Componentes	36
3.2.2	Cálculo das Probabilidades de Operação dos Transístores PMOS	38
3.3	Degradação de Circuitos Digitais	43
3.3.1	Modelo do Transístor para Modelação do Parâmetro V_{th}	44
3.3.2	Biblioteca CMOS para Modelação do Envelhecimento.....	46

3.3.3	Simulação HSPICE com Modelação do Envelhecimento	48
3.3.4	Simulação de Monte Carlo com Modelação do Envelhecimento.....	52
3.4	Enquadramento com Metodologia de Inserção de Sensores de Envelhecimento	55
4.	Programa AgingCalc	59
4.1	Características Gerais.....	59
4.1.1	Entrada de Dados.....	60
4.1.2	Organização e Estrutura de Dados.....	60
4.1.3	Saída de Dados	65
4.2	Descrição das Principais Funcionalidades	71
4.2.1	Cálculo de Probabilidades	74
4.2.2	Cálculo de Atrasos em Portas Lógicas e Caminhos	78
5.	Resultados Experimentais.....	85
5.1	Resultados do Envelhecimento de um Transístor	85
5.1.1	Variação da Degradação com a Temperatura.....	85
5.1.2	Variação da Degradação com a Frequência de Operação	87
5.1.3	Variação da Degradação com a Tensão de Alimentação V_{DD}	88
5.1.4	Variação da Degradação com a Tecnologia de Fabricação	89
5.2	Resultados do Envelhecimento em Circuitos de Referência	92
5.2.1	Caracterização dos Circuitos de Referência	93
5.2.2	Resultados de Cálculo de Probabilidades	94
5.2.3	Resultados de Análise de Atrasos em Condições Nominais	95
5.2.4	Resultados de Análise de Envelhecimento	95
5.2.5	Comparação entre Atrasos Calculados por Simulação de Componentes e por Simulação do Circuito.....	99
6.	Conclusões e Trabalho Futuro	103
6.1	Conclusões	103
6.2	Trabalhos Futuros	106
	Bibliografia.....	109

ÍNDICE DE FIGURAS

Figura 1: Representação física da estrutura do transístor PMOS onde se dão as reacções químicas (esquerda) e representação química da estrutura da interface Si-SiO ₂ (direita) [50].....	12
Figura 2: Distribuição do hidrogénio pelo óxido fino: (a) quebra das ligações químicas; (b) relação da concentração de ao longo do óxido fino do PMOS [33].....	14
Figura 3: Geração de IT, difusão do H e H ₂ em direcção à porta e combinação de átomos de H para formar H ₂ [55].....	16
Figura 4: Quantidade de NIT junto à gate do PMOS durante as fases de stresse e recuperação [7].	18
Figura 5: Corte transversal de um transístor apresentando um caminho condutivo no óxido da gate devido ao TDDB.	27
Figura 6: Radiografia de um fio condutor rompido devido a degradação devido à migração eléctrica dos átomos [93].	29
Figura 7: Corte transversal de um transístor sob efeito de radiação por partículas carregadas positiva e negativamente.....	31
Figura 8: Inversor	37
Figura 9: Porta lógica OAI210	37
Figura 10: Esquemático da porta lógica NAND20.	39
Figura 11: Esquemático da porta lógica NOR20.....	40
Figura 12: Porta lógica AOI210	41
Figura 13: Esquemático da porta lógica AOI210.....	41
Figura 14: Porta lógica XOR20.....	42
Figura 15: Composição da porta lógica XOR20.	42
Figura 16: Cadeia de 2 Inversores.....	49
Figura 17: Variações na frequência e em I _{DDQ} , num CI de 65nm, considerando variações do processo de fabricação.....	56

Figura 18: Variações no tempo de propagação de uma cadeia de 20 inversores, provocada por variações VT, numa tecnologia de 65nm.....	57
Figura 19: Resumo da estrutura de dados do programa AgingCalc.....	61
Figura 20: Gráfico da evolução da degradação dos atrasos dos caminhos em [%].....	70
Figura 21: Gráfico da evolução da degradação dos atrasos dos caminhos em [ps].....	71
Figura 22: Aspecto gráfico e janela principal do programa AgingCalc.....	72
Figura 23: Pormenor da janela do programa AgingCalc, com as principais funcionalidades agrupadas no menu <i>Simulation Tools</i>	72
Figura 24: Fluxograma geral da aplicação AgingCalc.....	73
Figura 25: Fluxograma do procedimento <i>Probabilidades</i>	75
Figura 26: Fluxograma do procedimento <i>CalculaProbabilidades</i>	77
Figura 27: Circuito sequencial genérico.....	79
Figura 28: Tempos de propagação de subida t_{PLH} e descida t_{PHL}	80
Figura 29: Fluxograma para obter a propagação dos atrasos das portas e dos caminhos.....	81
Figura 30: Sub-circuito de exemplo para cálculo dos tempos de propagação na porta lógica NAND20.....	82
Figura 31: Evolução da degradação do V_{th} do transístor PMOS com variação da temperatura.....	86
Figura 32: Evolução da degradação do transístor PMOS com variação da frequência.....	87
Figura 33: Evolução da degradação do transístor PMOS com variação da tensão de alimentação V_{DD}	88
Figura 34: Evolução da degradação do transístor PMOS com variação da tecnologia de fabricação para tecnologias de dieléctrico normal e V_{DD} nominal.....	89
Figura 35: Evolução da degradação do transístor PMOS <i>Low Power</i> (LP) com variação da tecnologia de fabricação utilizando material dieléctrico <i>high-K</i> e V_{DD} nominal.....	90
Figura 36: Evolução da degradação do transístor PMOS <i>High Performance</i> (HP) com variação da tecnologia de fabricação utilizando material dieléctrico <i>high-K</i> e V_{DD} nominal.....	90
Figura 37: Evolução da degradação do transístor PMOS com variação da tecnologia de fabricação para tecnologias de dieléctrico normal e V_{DD} constante.....	91

Figura 38: Evolução da degradação do transistor PMOS <i>Low Power</i> (LP) com variação da tecnologia de fabricação utilizando material dielétrico <i>high-K</i> e V_{DD} constante.....	91
Figura 39: Evolução da degradação do transistor PMOS <i>High Performance</i> (HP) com variação da tecnologia de fabricação utilizando material dielétrico <i>high-K</i> e V_{DD} constante.....	91
Figura 40: Degradação do CP do circuito <i>PM_4-2_balanced</i> , para a tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=500Hz$	97
Figura 41: Degradação do CP do circuito <i>PM_4-2_balanced</i> , para a tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=10Hz$	98
Figura 42: Evolução dos tempos de propagação dos 2 CP do circuito <i>PM_4-2_balanced</i> , para a tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=10Hz$	98
Figura 43: Comparação dos resultados para cálculos de atrasos para o circuito <i>20_invs</i> , para a tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=500kHz$	100

ÍNDICE DE TABELAS

Tabela 1: Parâmetros das tecnologias PTM.	34
Tabela 2: Tabela de verdade do Inversor.	37
Tabela 3: Tabela de verdade da porta OAI210.....	37
Tabela 4: Tabela de verdade da porta AOI210.....	41
Tabela 5: Tabela de verdade da porta XOR20.	42
Tabela 6: Tabela resumo da Classe TComponente.	62
Tabela 7: Tabela resumo da Classe TPorto.	63
Tabela 8: Tabela resumo da Classe TTransistor.	63
Tabela 9: Tabela resumo da Classe TNo.....	63
Tabela 10: Tabela resumo da Classe TDelay.	64
Tabela 11: Tabela de verdade da porta NAND20.	82
Tabela 12: Descrição dos circuitos de referência utilizados.	93
Tabela 13: Caracterização da estrutura dos circuitos de referência utilizados.....	93
Tabela 14: Resultados do cálculo das probabilidades nos nós nos circuitos de teste.	94
Tabela 15: Resultados da análise de atrasos sem envelhecimento, para a tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=500kHz$	95
Tabela 16: Resultados da análise de atrasos com envelhecimento a 10 anos, para a tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=500kHz$	96

ACRÓNIMOS

ASIC	<i>Application Specific Integrated Circuit</i> , ou circuito integrado de aplicação específica
ATPG	<i>Automatic Test Pattern Generator</i> , ou gerador automático para padrões de teste
CI	Circuito Integrado
CMOS	<i>Complementary Metal-Oxide Semiconductor</i> , ou semiconductor de metal e óxido de lógica complementar (família lógica)
CP	<i>Critical Path</i> , ou caminho crítico (o caminho com maior tempo de propagação)
EM	<i>Electro-Migration</i> , ou migração eléctrica
FF	Flip-flop
FPGA	<i>Field Programmable Gate Array</i> , ou matriz de portas programáveis
H	Hidrogénio (símbolo químico)
HCA	<i>Hot Carrier Aging</i> , ou envelhecimento por portadores quentes
HCI	<i>Hot Carrier Injection</i> , ou inserção de portadores quentes
IT	<i>Interface Traps</i> , ou obstáculos à passagem da corrente eléctrica, formados no interface Si-SiO ₂
LTD	<i>Long Term Degradation</i> , ou degradação em períodos de tempo longos (referente a modelo de degradação)
NBTI	<i>Negative Bias Temperature Instability</i> , ou instabilidade na temperatura em polarização negativa
NMOS	<i>N-type Metal-Oxide Semiconductor</i> , ou semiconductor de metal e óxido do tipo N (transístor ou família lógica)
NMOSFET	<i>N-type Metal Oxide Semiconductor Field-Effect Transistors</i> , ou transístor semiconductor de metal e óxido de efeito de campo do tipo N

PBTI	<i>Positive Bias Temperature Instability</i> , ou instabilidade na temperatura em polarização positiva
PDF	<i>Path Delay Faults</i> , ou faltas de atrasos em caminhos
PI	<i>Primary Input</i> , ou entrada primária
PMOS	<i>P-type Metal-Oxide Semiconductor</i> , ou semicondutor de metal e óxido do tipo P (transístor ou família lógica)
PMOSFET	<i>P-type Metal Oxide Semiconductor Field-Effect Transistors</i> , ou transístor semicondutor de metal e óxido de efeito de campo do tipo P
PO	<i>Primary Output</i> , ou saída primária
PTM	<i>Predictive Technology Model</i> , ou modelo preditivo da tecnologia (referente a modelos SPICE de transistores)
PVT	<i>Process, power-supply Voltage and Temperature</i> , ou processo (V), tensão de alimentação (V) e temperatura (T) (variações)
PVTA	<i>Process, power-supply Voltage, Temperature and Aging</i> , ou processo (V), tensão de alimentação (V), temperatura (T) e envelhecimento (A) (variações)
R-D	<i>Reaction – Diffusion</i> , ou reacção – difusão (modelo)
SI	<i>Secondary Input</i> , ou entrada secundária
Si	Silício (símbolo químico)
SiO₂	Dióxido de Silício
SIV	<i>Stress Induced Voids</i> , lacunas induzidas por stresse
SM	<i>Stress Migration</i> , ou migração devida ao stresse
SO	<i>Secondary Output</i> , ou saída secundária
T	Temperatura
TC	<i>Thermal Cycling</i> , ou fase termal
TV	Tabela de Verdade
Tddb	<i>Time Dependent Dielectric Breakdown</i> , ou quebra no dieléctrico dependente do tempo
TID	<i>Total Ionizing Dose</i> , ou dose de ionização total (efeito cumulativo da ionização de um circuito ou semicondutor)
V	<i>Power-supply Voltage</i> , ou tensão de alimentação (variações)
VT	<i>Power-supply Voltage and Temperature</i> , ou tensão de alimentação (V) e temperatura (T) (variações)

V_{th} *Threshold Voltage*, ou tensão limiar de condução dos transístores MOSFET (valor que pode variar)

1. INTRODUÇÃO

O envelhecimento, de uma forma geral, pode ser entendido como a consequência da passagem do tempo ou como o processo cronológico pelo qual um indivíduo se torna mais velho. Em biologia, o processo natural de envelhecimento, ou o conjunto de fenómenos associados a este processo, denomina-se por “senescência” e caracteriza-se pelo envelhecimento do organismo como um todo, ligado, entre outros fenómenos, ao envelhecimento celular [60]. Este envelhecimento é geralmente caracterizado pela diminuição da capacidade de responder a desafios da função orgânica, desafios esses que, em geral, oneram a capacidade funcional dos órgãos e sistemas (que diminui com o passar dos anos).

De forma interessante, em indivíduos jovens e saudáveis, esta capacidade funcional encontra-se muito além do necessário para o quotidiano, de forma que existe uma denominada reserva funcional [60]; o envelhecimento fisiológico, ou normal, pode também ser entendido como uma diminuição lenta e progressiva desta reserva funcional, de forma a diminuir a capacidade de resposta a desafios. Por esta razão, a morte é a consequência final do envelhecimento.

1.1 ENVELHECIMENTO EM CIRCUITOS INTEGRADOS

É interessante verificar que, tal como os organismos vivos, os circuitos integrados apresentam, durante a sua vida útil, um processo de degradação das suas características iniciais muito semelhante ao envelhecimento fisiológico. Também os circuitos vão perdendo as suas características iniciais, ou vão modificando lentamente o seu comportamento. Assim, a esse processo de degradação também chamamos de envelhecimento. É um processo lento e cumulativo, em que ocorre um desgaste dos circuitos provocado pelo tempo de operação e condições de funcionamento, com origem em diversos factores, como temperatura, tensão de alimentação, humidade,

frequência de operação, radiação exterior presente, etc [2][10][30]. No fundo, o envelhecimento é provocado por todos os mecanismos que acabam por alterar os parâmetros físicos e eléctricos dos circuitos, diminuindo o seu tempo de vida útil [5].

Para além disso, o envelhecimento fisiológico provoca normalmente a diminuição da capacidade de responder aos estímulos, que nos circuitos digitais pode ser representada pelo tempo de resposta das células, ou pelo tempo de propagação dos caminhos combinatórios, associado à menor condutividade média dos transístores. Enquanto o aumento dos tempos estiver garantido pelo tempo de segurança (definido normalmente por *time slack*, ou seja a margem de tempo que resta num período, depois de subtraído o tempo de propagação do caminho) existente dentro do período de operação dos circuitos, não ocorrerá nenhum erro de sincronismo [68]. No entanto, se o tempo de propagação aumentar, potenciado por variações do processo de fabrico (*Process variations*), ou por variações na tensão de alimentação (*power-supply Voltage variations*), ou por variações na temperatura de operação (*Temperature variations*), ou pelo envelhecimento (*Aging variations*), ou por um somatório de todos os efeitos (*PVTA variations*), ocorre um erro de sincronismo [72]. As células de memória (normalmente os flip-flops) não capturam o valor correcto, mas um valor atrasado, devido ao aumento do tempo de propagação dos caminhos combinatórios que terminam na entrada da célula de memória [8]. Assim, embora as variações PVT possam provocar os mesmos erros de sincronismo que as variações provocadas pelo envelhecimento, como estas últimas são variações cumulativas, fazem com que o tempo de vida útil diminua, porque os circuitos integrados (CI) digitais começam a ter cada vez mais propensão para falhar, por ficarem mais lentos [6][7][30].

Pelo exposto atrás, mais uma vez é interessante verificar a extraordinária semelhança com os organismos vivos, onde podemos comparar a reserva funcional com o tempo de segurança ou *time slack*. Gradualmente a degradação provocada pelo envelhecimento altera os parâmetros eléctricos dos transístores e, conseqüentemente, do circuito [1], até ao ponto em que o equipamento, no seu todo, deixa de funcionar devido a falhas críticas (a morte, nos organismos vivos).

O envelhecimento dos circuitos integrados tem sido alvo de extensa pesquisa na comunidade científica [2][3][4][9]. Diversos factores contribuem para degradar a longo prazo a estrutura do transístor, como o *Negative Bias Temperature Instability* (NBTI) [28][31], *Hot Carrier Injection* (HCI) [14][20], *Electro-Migration* (EM)

[16][17], *Time Dependent Dielectric Breakdown* (TDDB) [15][19] e *Stress Induced Voids* (SIV) [23], *Thermal Cycling* (TC) [15], *Stress Migration* (SM) [24], ou *Total Ionizing Dose* (TID) [94]. No entanto, o efeito considerado dominante no processo de envelhecimento é o NBTI, que é caracterizado por afectar a condução dos transístores PMOS, traduzindo-se esse efeito num aumento da sua tensão limiar de condução, V_{th} [25]. Estas alterações de V_{th} irão modificar os tempos de propagação dos caminhos, alterando em última análise a performance dos circuitos integrados e podendo causar uma falha de atraso (*delay-fault*). Se pensarmos em aplicações onde a segurança é crítica (por exemplo, para aplicações da indústria automóvel), estas falhas não podem ocorrer [69].

1.2 ENQUADRAMENTO DO TRABALHO

Já existem diversos trabalhos publicados que estudam o impacto do efeito NBTI no desempenho dos circuitos integrados [39][41]. Soluções para tornar os circuitos integrados mais tolerantes a variações e degradações de V_{thp} foram já apresentados em [61][62], e em [3] é mostrado como a optimização do projecto do circuito integrado pode minimizar a degradação de performance provocada pelo efeito NBTI. Para além disso, foram apresentadas em [27][63][64][65] várias topologias de sensores de envelhecimento para, globalmente, detectar a degradação do desempenho do circuito.

Porém, o desempenho temporal de um circuito é afectado por muitos factores para além do envelhecimento (como por exemplo o *crosstalk* [66], ou o *IR-drop* [67], e muitos outros), dos quais se destacam as variações de processo, da tensão de alimentação ou da temperatura (*Process, power-supply Voltage and Temperature – PVT – variations*) [68]. Aliás, o efeito cumulativo de muitos destes factores pode provocar uma situação de aumento extraordinário nos tempos de propagação de um circuito, conduzindo à ocorrência das falhas de atraso.

Por outro lado, pequenos defeitos que não se manifestaram em falhas durante a produção, podem vir a tornar-se críticos durante a vida útil do circuito ao serem potenciados por variações de PVT e de envelhecimento (PVTa, *PVT and Aging*). Assim, é importante estudar quais os caminhos onde é mais provável a ocorrência de

erros de desempenho, para podermos actuar sobre os componentes onde as falhas críticas realmente ocorrem.

Um tipo diferente de sensores de envelhecimento foi apresentado por M. Agarwal et al. em [58], realizando uma previsão de falha sobre as células de memória que capturam os erros de desempenho. A ideia subjacente é antecipar os erros no sistema, antes de eles ocorrerem. Este conceito foi posteriormente melhorado e utilizado com o objectivo de monitorizar os erros de desempenho durante toda a vida útil de um circuito em [69][70][71]. O objectivo é observar o envelhecimento numa situação real, perante a existência de variações heterogéneas da tensão de alimentação e da temperatura (VT, *power-supply Voltage and Temperature*), para antecipar a falha crítica. Mais recentemente, este sensor foi ainda aperfeiçoado, surgindo um sensor inovador para monitorização local do envelhecimento e previsão das falhas de desempenho que ainda está em desenvolvimento [72].

1.3 OBJECTIVOS DO TRABALHO

Ao considerarmos a operação dos sensores de envelhecimento atrás referidos, que monitorizam a performance do circuito localmente, existem dois aspectos que são críticos para que os sensores sejam eficazes: monitorizar as células de memória correctas, e garantir que os caminhos críticos são efectivamente activados e testados. Assim, os sensores são inseridos no final dos caminhos críticos e dos caminhos quase críticos (caminhos com os maiores tempos de propagação). Contudo, a questão fundamental é: “Quantos caminhos quase críticos devem ser monitorizados?” Como é referido em [3], os caminhos pequenos têm margens de segurança (*time slacks*) muito grandes que conseguem acomodar as degradações provocadas pelas variações PVTA, os caminhos críticos são conhecidos e podem ser monitorizados, mas os caminhos quase críticos podem envelhecer de forma diferente dos restantes caminhos do circuito e poderão tornar-se críticos com os efeitos do envelhecimento. Como os caminhos quase críticos são muitos e estão a crescer exponencialmente à medida que a tecnologia decresce em tamanho, torna-se importante prever como estes caminhos envelhecem. Torna-se portanto imperativo a existência de uma metodologia completa para prever o envelhecimento em circuitos integrados digitais, de forma a identificar

quais dos caminhos quase críticos têm mais probabilidades de se tornarem críticos quando os efeitos do envelhecimento influenciarem o comportamento e desempenho do circuito. Este é o objectivo primordial do trabalho documentado na presente dissertação de mestrado.

A modelação dos efeitos de NBTI nos transístores, tanto na operação estática (*constant stress*), como na operação dinâmica (alternância entre o *stress* e o *recovery*), por períodos curtos, ou até a longo prazo (*long term*), já foram propostos em [46][49]. Estes trabalhos mostram como calcular qual o desvio em V_{th} , de um transístor PMOS, provocado pelo efeito NBTI. Estes resultados, aliados aos resultados de uma análise temporal estática com dados estatísticos (*Statistical Static Timing Analysis, SSTA*), ou ao estudo das probabilidades de operação dos componentes do circuito apresentados em [81], poderão permitir prever e extrapolar os desvios em V_{th} , provocados pelo envelhecimento, para todos os transístores presentes num circuito.

Assim, o primeiro objectivo do trabalho é definir uma biblioteca de células ao nível de transístor, através de descrições SPICE de cada porta lógica e utilizando como modelos de transístores os modelos de Berkeley *Predictive Technology Models, PTM* [74]. Essa biblioteca deve ser genérica o suficiente para permitir a utilização de diferentes tamanhos de transístor e de tecnologia, para poder serem analisadas várias tecnologias nano métricas: 130nm, 90nm, 65nm, 45nm, 32nm e 22nm [74].

O segundo objectivo é analisar um circuito ao nível de porta lógica e, com base em probabilidades iniciais definidas para as suas entradas primárias (probabilidade de ocorrência de '0' lógico em cada entrada) e analisando o comportamento lógico de cada porta que compõe o circuito, pretende-se calcular as probabilidades de ocorrência do nível baixo (valor lógico '0') em todos os nós que compõem o circuito. Esta informação é fundamental para definir qual a probabilidade de operação de cada transístor dentro das portas lógicas, mais propriamente a probabilidade de condução de cada transístor. É de notar que apenas irão ser calculadas as probabilidades de operação dos transístores PMOS, uma vez que é sobre estes que incide maioritariamente o efeito NBTI, o efeito dominante no envelhecimento, como já foi referido.

O terceiro objectivo é, utilizando os modelos de envelhecimento a longo prazo por NBTI definidos em [46][59], automatizar o cálculo de todas as variações do parâmetro V_{th} nos transístores PMOS para um circuito, ao longo do suposto tempo de utilização do circuito. O resultado será uma descrição SPICE em que o parâmetro V_{th}

é diferente entre transístores, de acordo com a probabilidade de operação de cada transístor e com o tempo de envelhecimento pretendido. É de notar que, para a obtenção da descrição SPICE com todas as modelações de V_{th} , é necessário que a biblioteca de células seja genérica o suficiente de forma a permitir essas modelações nas portas lógicas.

O quarto objectivo é automatizar a simulação SPICE para todos os componentes lógicos do circuito. Cada simulação permitirá determinar os tempos de propagação de uma porta lógica, de acordo com o tempo de utilização e envelhecimento modelado nos parâmetros V_{th} dos seus transístores.

O quinto objectivo é, com base nos tempos de propagação das portas lógicas, obter todos os caminhos combinatórios e calcular os seus tempos de propagação. Esta análise permite obter, para cada caminho, qual a sua degradação ao longo do tempo de envelhecimento do circuito, e prever como o circuito se irá comportar quando os efeitos do envelhecimento são considerados. Esta análise permite obter aquele que foi definido como o objectivo principal, já referido, que é analisar quais os caminhos que poderão se tornar críticos na vida útil de um circuito.

O último objectivo, e de forma mais genérica, é definir uma metodologia completa para prever o envelhecimento dos circuitos integrados digitais, reunindo todos os objectivos anteriormente definidos, e elaborar uma ferramenta de *software* que automatize este método para prever o comportamento dos circuitos digitais com um determinado tempo de vida e nível de envelhecimento.

1.4 CONTEXTO DO TRABALHO

O presente trabalho de investigação foi realizado no Instituto Superior de Engenharia da Universidade do Algarve, em estreita colaboração com o INESC-ID Lisboa. O grupo de trabalho constituído nos 2 institutos portugueses, e com parcerias desenvolvidas com outros institutos e universidades estrangeiras, como a Universidade de Vigo em Espanha, o INAOE no México e a PUCRS no Brasil, tem vindo nos últimos anos a realizar trabalho de investigação na área dos sensores de envelhecimento, tanto para circuitos integrados de aplicação específica (ASIC, *Application Specific Integrated Circuit*) como para circuitos emulados em FPGA

(*Field-Programmable Gate Array*). Para além disso, em paralelo com o presente trabalho de mestrado, está a ser desenvolvido um novo sensor de envelhecimento em outra tese de mestrado desenvolvida no ISE (já publicado em [72]).

O presente estudo é, portanto, de fulcral importância na correcta utilização dos sensores de envelhecimento. A análise e previsão do comportamento dos circuitos envelhecidos permitirá reduzir a complexidade do *hardware* necessário num circuito de monitorização do envelhecimento, pela redução do número de sensores necessários, mesmo garantindo uma boa fiabilidade do circuito sujeito a variações PVTAs [73].

O trabalho foi ainda aceite para publicação numa conferência internacional da especialidade, em [73] (ainda não apresentado, à data de escrita desta tese).

1.5 ORGANIZAÇÃO DO DOCUMENTO

O presente documento está organizado como se descreve em seguida.

No capítulo 2 são apresentados os principais fenómenos e efeitos que contribuem para o envelhecimento dos circuitos integrados digitais CMOS, com especial destaque para o fenómeno NBTI. São apresentados os modelos que permitem calcular a variação do parâmetro V_{th} dos transístores PMOS, na presença de efeitos a longo prazo provocados pela instabilidade NBTI, bem como uma breve referência a trabalhos que propõe técnicas para minimizar os efeitos degradantes do NBTI.

No capítulo 3 é apresentada a metodologia para prever o envelhecimento dos circuitos digitais CMOS. A metodologia consiste na modelação do envelhecimento dos transístores CMOS, utilizando o cálculo da probabilidade de operação de cada transístor PMOS presente no circuito, a definição de uma biblioteca CMOS genérica, para ser utilizada em simulações SPICE, e a previsão final do impacto que a degradação do circuito pelo fenómeno NBTI terá, previsivelmente, na sua performance (ou desempenho).

No capítulo 4 é feita a descrição da ferramenta de *software* desenvolvida para automatizar todo o processo de modelação da degradação do efeito NBTI, no qual é apresentado as suas características gerais e funcionalidades. Para além disso, faz-se

uma breve descrição sobre o seu enquadramento com a metodologia de inserção de sensores de envelhecimento.

Os resultados do estudo realizado são apresentados no capítulo 5. Este capítulo tem por objectivo perceber como se comporta a evolução da degradação do tempo de atraso de um transístor sob os efeitos do NBTI, bem como em circuitos digitais CMOS de referência. Também apresenta resultados de simulação sobre a relação existente entre o NBTI e factores tais como a temperatura, o campo eléctrico e tecnologias de fabricação dos CMOS.

Por último, no capítulo 6 as conclusões do trabalho realizado, bem como futuras investigações, são apresentadas e discutidas.

2. ENVELHECIMENTO EM NANO TECNOLOGIAS CMOS

Como tudo na vida, os circuitos também vão perdendo as suas características iniciais, ou vão modificando lentamente o seu comportamento. Diz-se, portanto, que envelhecem. Mas, é de notar que este envelhecimento não é a deterioração ocasional e aleatória que pode danificar um componente (muitas vezes potenciada por variações extremas no processo de fabrico), nem a deterioração provocada por operações em situações muito particulares de *stress* que danificam irremediavelmente um componente (como por exemplo, a entrada em disrupção de um condensador, ou a quebra das ligações eléctricas num componente). O envelhecimento aqui reportado trata-se de uma modificação generalizada no comportamento de todos os transístores que compõem um circuito integrado [40], modificação essa que é lenta, progressiva e diferente de transístor para transístor, e que se traduz normalmente numa diminuição da sua capacidade de condução da corrente eléctrica (que no caso do NBTI, corresponde ao aumento do valor absoluto do V_{th} dos transístores do tipo P).

Por outro lado, a constante redução do tamanho da tecnologia, necessária para manter actual a Lei de Moore¹, também potencia o envelhecimento dos circuitos integrados CMOS. A existência de transístores mais pequenos, em que a condução é feita por um menor número de iões e electrões, torna os circuitos e componentes mais vulneráveis a influências externas. O aumento da variação de qualquer parâmetro existente, em nano tecnologias conduz a maiores incertezas no comportamento eléctrico dos circuitos e a menores níveis de energia necessários para modificar esse comportamento, ficando os circuitos mais susceptíveis a modificações da sua estrutura e do seu comportamento. O envelhecimento é, portanto, mais acelerado em nano tecnologias [30][43].

¹ Gordon Moore vaticinou que o número de transístores usados num único circuito integrado duplica, aproximadamente, a cada dois anos. Esta lei foi descrita num artigo publicado em 1965 [75], referindo-se aos resultados obtidos desde a invenção do CI em 1958 até 1965, e prevendo que a mesma relação se manteria pelo menos por mais 10 anos. Na realidade, a relação manteve-se até hoje, mais de 50 anos depois, e espera-se que continue pelo menos até 2015 ou 2020.

Em tecnologias anteriores às nano métricas, este envelhecimento também ocorria, mas como os efeitos sobre os circuitos eram menores, eles não se faziam notar durante a vida útil dos circuitos, estando garantidos pelos generosos tempos de segurança (*time slacks*) normalmente utilizados. Então, dizia-se que os circuitos, praticamente, não envelheciam. Porém, em nano tecnologias, e mais concretamente no caso dos circuitos integrados digitais, o envelhecimento causa normalmente o aumento dos tempos de propagação das portas lógicas e, conseqüentemente, dos tempos de propagação dos caminhos. Se o tempo de propagação aumentar, causado nomeadamente por variações PVTA, pode ocorrer um erro de sincronismo nos circuitos digitais síncronos, quando o tempo de segurança existente no período não conseguir acomodar este aumento dos tempos de propagação. Neste caso, os flip-flops (e as células de memória síncronas) não conseguem capturar o valor correcto, pois ele chega atrasado em relação ao sinal de relógio (que marca o sincronismo) [68]. A existência de variações PVT em conjunto com a degradação cumulativa provocada pelo envelhecimento (ou seja, no geral variações PVTA), faz reduzir o tempo de vida útil dos circuitos. Na verdade, como referido em [69], se considerarmos aplicações em nano tecnologias onde a segurança é crítica e onde os circuitos têm tempos médios de utilização relativamente elevados, como é o caso da electrónica para a indústria automóvel onde os camiões têm tempos médios de vida útil de 15 a 20 anos (e onde a electrónica utilizada já é maioritariamente em tecnologias nano métricas [70]), então a degradação cumulativa provocada pelo envelhecimento começa a tornar-se crítica para o correcto desempenho dos circuitos. É imperativo que o envelhecimento seja considerado na fase de projecto, de forma a prever a sua existência e garantir que os circuitos se mantêm a funcionar durante o tempo de vida útil esperado, sem erros, sobretudo nas novas tecnologias nano métricas [73].

Os principais fenómenos e mecanismos que provocam a degradação nos CI digitais são: *Negative Bias Temperature Instability* (NBTI) [36][38], *Hot Carrier Injection* (HCI) [14][20] (também conhecido como *Hot Carrier Aging*, HCA [12]), *Electro-Migration* (EM) [16][17], *Time Dependent Dielectric Breakdown* (TDDB) [15][19], *Stress Induced Voids* (SIV) [23], *Thermal Cycling* (TC) [15], *Stress Migration* (SM) [24] e *Total Ionizing Dose* (TID) [94]. De todos estes os fenómenos, o NBTI destaca-se como sendo aquele que provoca maior degradação nos CIs,

afectando os transístores tipo *p*, ou seja, os PMOSFET (*P-type Metal Oxide Semiconductor Field-Effect Transistors*).

O presente capítulo apresenta um breve estudo sobre os principais fenómenos descritos atrás que provocam o envelhecimento nos circuitos integrados. Destaca-se uma descrição mais detalhada do fenómeno NBTI, uma vez que é o efeito considerado dominante de entre todos e o utilizado neste trabalho de investigação para prever o impacto do envelhecimento nos circuitos integrados digitais.

2.1 FENÓMENO NBTI

Embora, recentemente esteja sendo dado muito interesse ao seu estudo, o fenómeno NBTI foi dado a conhecer pela primeira vez em 1967 por Deal e seus colegas (como referido em [30][31]), mas o seu efeito só se tornou significativo para tecnologias abaixo dos 130nm de comprimento de canal [47]. Pode ser simplesmente caracterizado pelo aumento do valor absoluto da tensão limiar de condução (*threshold voltage*, ou *V_{th}*), ocorrendo nos transístores PMOSFET. O seu nome vem da analogia com a *Na⁺ induced negative bias temperature instability*, que também causa o aumento do *V_{th}* [25].

Analisando com mais detalhe o fenómeno NBTI, este ocorre nos transístores PMOSFET negativamente polarizados (com $V_{GS} < 0V$) e com temperaturas elevadas, e é uma consequência do aparecimento de novos dadores de electrões (conhecidos por *Interface Traps*, IT) no canal, que são no fundo obstáculos à condução no semiconductor que se formam na interface entre o Silício e o Dióxido de Silício (Si - SiO₂). Durante a formação desta interface, criam-se ligações entre as moléculas de Si do canal (Silício cristalino) e as moléculas de Oxigénio do dieléctrico SiO₂. Porém, devido às diferenças nas estruturas entre os 2 materiais (desfasamentos), ficam algumas moléculas de Silício cristalino do canal sem ligação a moléculas de Oxigénio (ligações químicas pendentes, de Si), enfraquecendo as ligações entre os materiais, criando instabilidades e dando origem a possíveis dadores de electrões (pois ficam alguns electrões sem ligação). Por essa razão, no processo de fabricação tradicional de MOSFETs em Silício, os transístores são formados em ambiente hidrogenado (ambiente com hidrogénio (H)), de forma a tornar passivas as ligações de Silício que

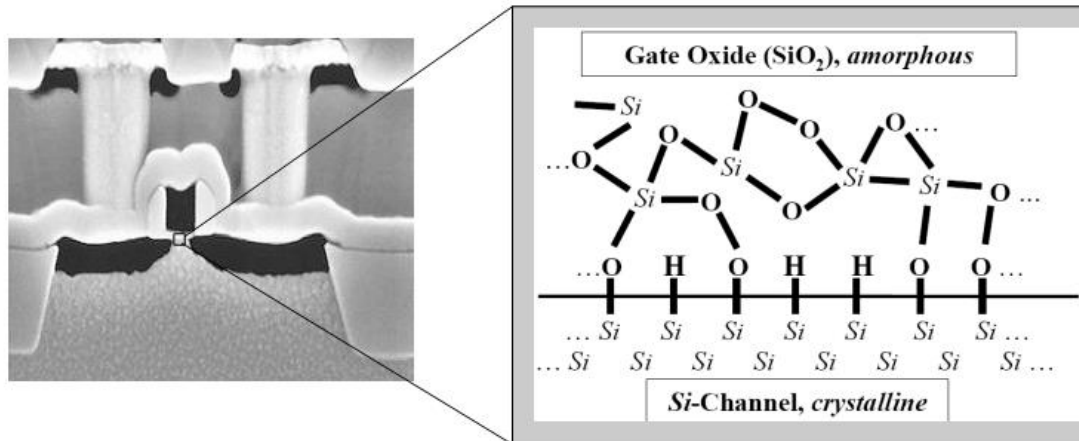


Figura 1: Representação física da estrutura do transístor PMOS onde se dão as reacções químicas (esquerda) e representação química da estrutura da interface Si-SiO₂ (direita) [50].

ficam livres, pela criação de ligações ao H (ver Figura 1) [26][28][29]. Este método tradicional de fabricação provou ser, durante décadas, uma boa solução para a existência de instabilidades nas interfaces com o semiconductor, fazendo diminuir a existência deste tipo de obstáculos à condução. Contudo, os constantes esforços para miniaturizar os MOSFET, (isto é, a diminuição da espessura do óxido, que conduz a elevados campos eléctricos no óxido e a outras modificações do processo, como a nitridação dos óxidos para prevenir a difusão de átomos de Boro da área dopada p+, reduzindo correntes de fuga [25]) e a operação a altas temperaturas (derivada da dissipação de potência dos circuitos ou das condições ambiente) aceleram, com o tempo, a quebra de ligações na interface Si-SiO₂ durante a operação do dispositivo. A existência de novos dadores de electrões no canal do transístor PMOS faz aumentar a tensão limiar de condução, reduzindo a mobilidade [78]. De uma forma geral, com o passar do tempo aumenta a degradação da tensão limiar (V_{th}), da corrente de dreno, das capacidades, da transcondutância, e a confiança no transístor começa a merecer uma importante preocupação [25]. De salientar ainda que a degradação destes parâmetros é fortemente afectado pela temperatura, ou seja, quanto maior for a temperatura, maior é a degradação [33][34].

Pelo exposto, é fácil perceber que o fenómeno NBTI, como o próprio nome indica, é uma instabilidade que é provocada nos transístores PMOS quando estes são polarizados negativamente [32] e operando a altas temperaturas [35].

Num circuito digital, a operação de um transístor PMOS corresponde normalmente à ligação da porta (*gate*) ao nível lógico '0', o que equivale a ter $V_{GS} =$

$-V_{DD}$. Nesta condição, também conhecida como a fase de *stress* do transístor, o campo eléctrico exercido entre a porta e o canal do transístor tem uma intensidade máxima. Para além disso, se existir uma energia térmica maior (temperatura elevada), estão reunidas as condições que favorecem a quebra das ligações químicas (as ligações de Si e H na interface Si-SiO₂), aumentando a instabilidade [36][37] e criando obstáculos à condução (que fazem diminuir a mobilidade dos buracos, fazendo diminuir a corrente de condução, I_D [3]).

Na condição em que o nível lógico da porta é alto ($V_{GS} = 0V$, ou $V_G = V_{DD}$), algumas das ligações Si-H são restabelecidas, sendo por isso esta fase também chamada de fase de recuperação (*recovery*) [9][37]. No entanto, nem todas as ligações são restabelecidas, o que conduz a uma degradação lenta e cumulativa do transístor. Isto é, considerando o transístor como uma chave (como acontece nos circuitos digitais), o tempo entre o corte e a condução, e vice-versa, será maior [10]. Por esse facto, o NBTI é o mecanismo de envelhecimento que mais danos causa nos CI digitais, sendo actualmente o que mais preocupa a comunidade científica na área das nano tecnologias e, portanto, o mais investigado [2]. O aumento do V_{th} dos transístores, faz com que o tempo de vida útil dos PMOS seja drasticamente reduzido, aumentando os tempos de atraso das portas lógicas digitais e os tempos de respostas dos caminhos, levando a que os circuitos possam começar a falhar [9][42] e, conseqüentemente, todo o equipamento onde estão inseridos. De salientar ainda que em [30] é defendido que a NBTI, é um factor limitador na redução do tamanho para as próximas tecnologias.

É de notar que, de forma similar aos efeitos de NBTI nos transístores PMOS, os transístores NMOS são afectados pelo PBTI (*Positive Bias Temperature Instability*) [77], sendo que este afecta a mobilidade dos electrões quando ocorre uma polarização positiva $V_{GS} > 0$ (e tendo como efeito a diminuição do V_{th}) e sendo igualmente afectado pela temperatura. Porém, os seus efeitos são diminutos quando comparados com os efeitos de NBTI nos transístores PMOS [5][7].

A explicação teórica do efeito NBTI sustenta-se, principalmente, no modelo *Reaction-Diffusion* (R-D) [9], que se apresentará na próxima secção 2.1.1.

2.1.1 O Modelo *Reaction-Diffusion*

Como referido, o modelo teórico que melhor explica a física por detrás do fenómeno de envelhecimento dos transístores PMOS devido ao NBTI é o modelo *Reaction-Diffusion* (R-D), explicado em [25] e publicado pela primeira vez em 1970 por Jeppson e Svensson [49]. O modelo é constituído por dois processos, a reacção e a difusão [9][26], que explicam que a degradação do transístor tem origem nas ligações químicas Si-H que são quebradas na interface Silício – Dióxido de Silício (Si-SiO₂), ou seja, a região entre o substrato e a porta (*gate*), durante a polarização negativa da porta ($V_{GS} = -V_{DD}$), sob forte campo eléctrico (E_{ox}) e a altas temperaturas (T), pela geração de obstáculos à passagem da corrente no canal [48][51][52][53][54].

Na Figura 1 podemos observar a estrutura das ligações químicas na interface Si-SiO₂, a interface entre o canal e o dieléctrico da porta do transístor. Das ligações Si-H que se vão quebrando, como resultado das vibrações térmicas das ligações químicas, vão sendo libertados átomos de H (Figura 2 (a)). As ligações de Si livres irão actuar como possíveis dadores de electrões para o canal, criando obstáculos à condução da corrente eléctrica. Este processo é designado de Reacção (*Reaction*) no modelo R-D.

Por outro lado, os átomos de H que se libertam podem-se difundir pelo óxido fino até à *gate* [8][33][35], permanecendo livres ou combinando-se entre si para formar H₂ (Figura 2 (a)), ou até se podem voltar a recombinar com o Si de novo. Com o passar do tempo, e devido ao processo de difusão do H pelo óxido, estas moléculas vão-se afastando do canal e vão-se aproximando da porta (*gate*, tradicionalmente em

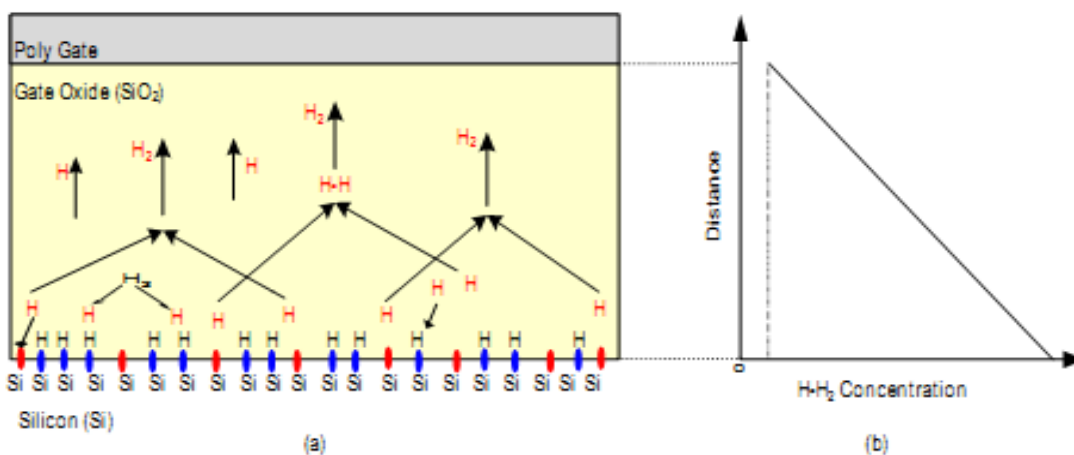


Figura 2: Distribuição do hidrogénio pelo óxido fino: (a) quebra das ligações químicas; (b) relação da concentração de ao longo do óxido fino do PMOS [33]

polisilício). Este processo designa-se por Difusão (*Diffusion*) no modelo R-D. Deste modo, o hidrogénio vai-se distribuindo ao longo do dieléctrico SiO₂ da porta (também chamado de óxido fino) sob a forma de H ou de H₂, sendo que a sua concentração é maior junto ao canal e vai diminuindo à medida que nos aproximamos do terminal da porta (como se pode ver na Figura 2 (b)). É de notar que embora possa haver o restabelecimento das ligações Si-H originais, o processo de difusão do H pelo óxido, e o seu afastamento do canal em direcção à porta, torna mais difícil o seu processo de recombinação com o Si. Por essa razão o efeito NBTI provoca degradações lentas e cumulativas na estrutura do transístor, envelhecendo-o.

É de notar que as fases de *Stress* e Recuperação referem-se ao estado do transístor (com tensão negativa entre a porta e o canal, ou tensão de 0V), enquanto Reacção e Difusão referem-se aos processos que ocorrem no transístor. A fase de *stress* favorece a reacção de quebra das ligações Si-H; e a fase de recuperação favorece a reacção de restabelecimento das ligações Si-H. A difusão, pode ocorrer em ambas as fases [35].

2.1.2 Geração dos Obstáculos à Passagem de Corrente (*Interface Traps*)

Como mostrado atrás, o modelo R-D [44][82] assume que o NBTI resulta da dissociação das ligações químicas entre o Silício e o Hidrogénio, gerando na interface Si-SiO₂ novos dadores de electrões para o canal (os Si que ficam sem a ligação aos H). A existência de um campo eléctrico e a presença de temperaturas elevadas favorece a quebra das ligações Si-H e, conseqüentemente, a ionização do Si pela perda do electrão que ficou sem ligação ao H. A existência de cargas positivas Si⁺ prejudica a livre circulação dos electrões pelo canal, pois cria obstáculos à passagem da corrente. Os átomos de H que se libertam, irão difundir-se pelo dieléctrico. A longo prazo, os átomos de H tendem a associar-se entre si formando moléculas de Hidrogénio (H₂) [47].

A equação (1) (apresentada em [82]) resume a reacção química que resulta na geração dos obstáculos à passagem da corrente, as *Interface Traps* (IT). Em (1), Si-H refere-se a uma ligação passiva entre o Si e o H; h⁺ refere-se a um buraco; e Si⁺ refere-se ao Si que perdeu a ligação com o H e que perdeu um electrão para o buraco, tornando-se numa IT no canal.



De acordo com [33][35][48], a taxa de geração de obstáculos à passagem a corrente na interface (N_{IT} , *number of interface traps*) depende: (i) da taxa de ligações químicas quebradas (k_f) entre Si-H na interface Si-SiO₂; e (ii) da taxa de recuperação das ligações (k_r) antes desfeitas. Este número N_{IT} é exponencialmente dependente do campo eléctrico, bem como da temperatura e densidade de reacção das espécies. O N_{IT} pode ser quantificado através da seguinte expressão:

$$\frac{dN_{IT}}{dt} = k_f(N_o - N_{IT}) - k_r N_{IT} N_H^0 \quad (2)$$

Na equação (2), N_o e N_H^0 representam, respectivamente, a densidade inicial de ligações existentes e a densidade atómica de H na interface Si-SiO₂.

Os átomos de Hidrogénio resultantes da quebra das ligações Si-H, contribuem para três sub-processos, que são: (a) a difusão em direcção à *gate*; (b) a combinação entre átomos produzindo moléculas de Hidrogénio (H₂) (estas difundem em direcção à *gate* tanto na forma de H₂ como de H, pois as moléculas podem dissociar-se formando novamente átomos de Hidrogénio); e por último (c) a recuperação das ligações quebradas, ou seja, o Hidrogénio recombina-se novamente com o Silício (fase de recuperação), sendo que esta recombinação depende da distância a que se encontram

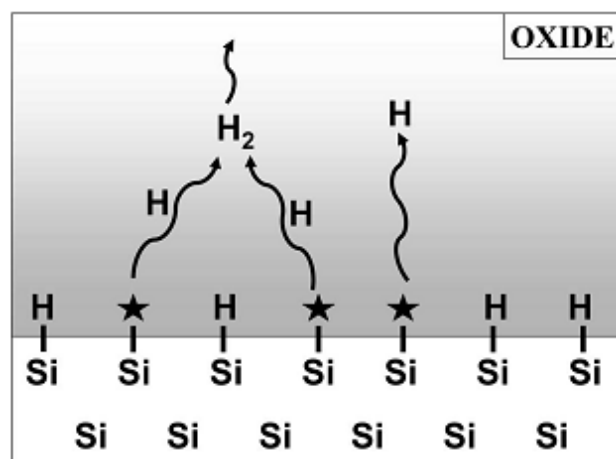


Figura 3: Geração de IT, difusão do H e H₂ em direcção à porta e combinação de átomos de H para formar H₂ [55].

esses átomos de H (ou seja, quanto mais perto estes átomos se encontrarem da interface maior é a probabilidade da recombinação) [7]. Na Figura 3, ilustram-se os sub-processos (a) e (b), pelo que o sub-processo (c) nada mais seria do que o sentido inverso representado pela direcção das setas. Todos estes sub-processos determinam o número de obstáculos presentes na interface substrato/porta.

A quantificação das espécies de Hidrogénio presentes junto à interface SiO₂, podem ser calculadas pelas expressões (3) e (4), que exprimem, respectivamente, as quantidades de átomos e moléculas de Hidrogénio.

$$\frac{dN_H}{dt} = D_H \frac{d^2N_H}{dx^2} - k_H N_H^2 + k_{H_2} N_{H_2} \quad (3)$$

$$\frac{dN_{H_2}}{dt} = D_{H_2} \frac{d^2N_{H_2}}{dx^2} - \frac{1}{2} k_H N_H^2 + k_{H_2} N_{H_2} \quad (4)$$

N_H e N_{H_2} representam as densidades dos átomos e moléculas de H e H₂. D_H e D_{H_2} representam a taxa de difusão atómica e molecular de Hidrogénio e, por último, k_H e k_{H_2} representam as taxas de geração e conversão de átomos e de moléculas de Hidrogénio.

Inicialmente, os sub-processos dominantes são a quebra e a recuperação das ligações químicas na interface Si-SiO₂, e a espécie de difusão dominante na camada SiO₂ é o de H. No entanto, se o transístor for mantido a uma polarização negativa durante um longo período de tempo, a maioria dos átomos de H convertem-se em moléculas de Hidrogénio, tornando o H₂ a espécie de difusão dominante junto à camada SiO₂. Combinando as equações (2) e (4), obtêm-se a quantidade de IT (N_{IT}) presentes na interface substrato/gate [33][35][56], dada pela equação (5).

$$N_{IT}(t) = \left(\frac{k_f N_o}{k_r}\right)^{2/3} \left(\frac{k_H}{k_{H_2}}\right)^{1/3} (6D_{H_2}t)^{1/6} \quad (5)$$

A equação (5) mostra que a quantidade de IT presente depende de diferentes sub-processos, sendo que estes, por último, dependem do campo eléctrico e/ou da temperatura, provando assim o papel relevante que a temperatura e o campo eléctrico desempenham no processo da degradação devido ao NBTI [33][35]. Segundo [7] e

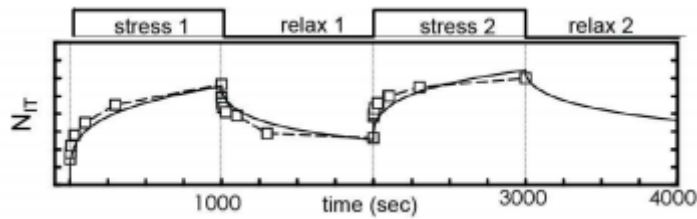


Figura 4: Quantidade de NIT junto à gate do PMOS durante as fases de stress e recuperação [7].

como ilustrado na Figura 4, a velocidade com que ocorre a degradação (aumento do V_{th}) diminui com a diminuição da quantidade de ligações Si-H, por isso N_{IT} aumenta. Por outro lado, na fase de recuperação ocorre exactamente o contrário, ou seja, quanto maior a quantidade N_{IT} presente mais rápido se dá a recuperação. Contudo uma total recuperação teoricamente, só ocorre para um tempo infinitamente grande.

De acordo com os sub-processos atrás mencionados, (a), (b) e (c) (respectivamente, a difusão em direcção a gate, a combinação entre átomos produzindo moléculas de Hidrogénio (H_2) e a recuperação das ligações quebradas), a sua análise foi melhorada em [35][55] e, por conseguinte, foi revisto e melhorado o modelo R-D, na qual, em vez dos três sub-processos, foram distinguidos quatro estágios diferentes, dependentes da geração de IT. No primeiro estágio (i), no instante inicial da fase de *stress* em que o número de IT e de Hidrogénio presentes na interface é zero ($N_{IT} = N_H \sim 0$), os sub-processos de recuperação, conversão e difusão podem ser desprezadas. Nesta fase inicial, o número de IT gerados é maioritariamente dominado pela taxa das ligações químicas quebradas entre Si-H, ou seja, $N_{IT}(t) = k_f N_o t$.

Durante o segundo estágio (ii), a predominância da quebra de ligações continua a produzir átomos de Hidrogénio, podendo estes participar no processo de recuperação ou na interacção com outros átomos para formar as moléculas H_2 , mas sendo as densidades de H e H_2 na interface muito baixas, o sub-processo de difusão (a) também pode ser desprezado. Rearranjando as equações (2) e (3), a quantidade de “armadilhas” presentes na interface, N_{IT} , é dado por:

$$N_{IT}(t) = \left(\frac{k_f N_o}{k_r} \right)^{2/3} (k_H t)^{1/3} \quad (6)$$

No terceiro estágio (iii), que é considerado muito curto, os sub-processos dominantes na geração de IT são: a quebra e a recuperação das ligações e a difusão de átomos de Hidrogénio. Contudo, a difusão e a dissociação molecular do H_2 continuam desprezáveis. Este terceiro estágio pode ser quantificado resolvendo as equações (2) e (3), resultando em um N_{IT} dado por,

$$N_{IT}(t) = \left(\frac{k_f N_o}{k_r} \right)^{1/2} (D_H t)^{1/4} \quad (7)$$

E por último, no estágio (iv), a maioria dos átomos de Hidrogénio convertem-se em H_2 , tornando estes na espécie dominante na geração do número de IT e dado pela equação (5) [35]. Por esta razão, a versão do modelo R-D mais utilizado na modelação do NBTI seja o H_2 R-D, por considerar o processo da degradação devido ao NBTI a longo prazo (*long-term*) (ou seja, utiliza-se o parâmetro n com o valor aproximado de 1/6 para indicar este tipo de modelo, H_2 R-D) [44][47]. Para além da conversão $H \rightarrow H_2$, neste estágio também acontece o processo inverso, ou seja, a dissociação do H_2 em H , que por seu lado, contribui para a recuperação das ligações pendentes do Silício.

Porém, como o modelo R-D prevê a fase de recuperação quando a condição de polarização $V_{GS} = V_{DD}$ é satisfeita, alguns átomos de H difundem em direcção ao Silício, refazendo as ligações de Si pendentes. A recuperação destas ligações pode então ser traduzida através da equação (8) [25][35],

$$N_{IT}^* = \frac{1}{2} N_H^* (\xi \cdot D_H \cdot t)^{1/n} \quad (8)$$

em que, N_H^* representa o número de átomos de Hidrogénio que recuperam as ligações pendentes do Silício e ξ é a constante de difusão na camada do óxido durante o processo de recuperação. Como se referiu anteriormente, uma total recuperação teoricamente só acontece para um tempo infinitamente grande [7], isto porque o número de IT que conseguem resistir à fase de recuperação depende das quantidades restantes das fases anteriores. Assim, o número de obstáculos resistentes é dado por:

$$N_{IT}(t) = N_{IT}(t_0) - N_{IT}^*(t) \quad (9)$$

em que, $N_{IT}(t_0)$ diz respeito aos obstáculos das fases anteriores e N_{IT}^* representa os que foram recuperados.

2.1.3 Dependência do NBTI com a Temperatura

Nas secções anteriores falou-se na dependência do NBTI em relação à temperatura, mas, segundo os autores em [25], [33] e [35], o modelo R-D assume que a degradação por NBTI depende da temperatura, mas não apresenta nenhuma explicação física para essa dependência. Por outro lado, em [47] defende-se que esta dependência ainda não estava extensivamente explorada.

Embora exista uma aparente contradição entre a comunidade científica sobre esta matéria, alguns autores como [33], [35] e [82], defendem que a dependência do NBTI em relação à temperatura pode ser explicada pela relação de Arrhenius², ou seja, a velocidade da maioria das reacções químicas aumenta à medida que a temperatura aumenta. Isto porque, como o sub-processo de difusão de H e H₂ no óxido segue a lei de Fick³, a densidade de difusão das espécies H e H₂ no óxido (D_H e D_{H_2} respectivamente) são fortemente afectadas pela variação da temperatura segundo a relação de Arrhenius, dada por:

$$D_H = D_{H_0} \exp\left(-\frac{E_a}{kT}\right) \quad (10)$$

Em que D_{H_0} é a taxa de difusão a uma temperatura de referência T_{ref} , E_a é a energia de activação, k é a constante de Boltzman e T é a temperatura em Kelvin. Pela equação verifica-se que aumentando a temperatura T , a taxa de difusão D_H também aumenta. Além disso, a dependência do NBTI em relação à temperatura pode ser modelada por

² A relação de Arrhenius é uma fórmula simples, mas extremamente precisa, que permite determinar a dependência da constante de velocidade com a temperatura numa reacção química

³ A lei de Fick é uma lei que quantifica na forma de equação diferencial diversos casos de difusão da matéria ou energia em um meio no qual inicialmente não existe equilíbrio químico ou térmico.

uma onda sinusoidal, como se apresenta na equação (11) [33][35], em que t representa qualquer instante das fases de *stress*, T_{max} é a temperatura de *stress* máximo em relação à temperatura de referência T_{ref} e f é frequência térmica.

$$T(t) = \left[\frac{1}{2}(T_{max} + T_{ref}) \right] + \left[\frac{1}{2}(T_{max} - T_{ref})\sin(2\pi ft) \right] \quad (11)$$

Contudo, alguns autores tais como [83] e [84], defendem que esta dependência não pode ser descrita simplesmente pela relação de Arrhenius. Por esta razão, em [85] defende-se que a explicação desta dependência recorrendo à relação de Arrhenius é controversa, pelo que é muito importante resolver esta inconsistência na comunidade científica, para que a estimacão do tempo de vida útil dos PMOS seja a mais correcta possível. Para além disso, em [35] conclui-se que, o impacto da temperatura durante a fase de recuperação é um fenómeno que ainda levanta muitas dúvidas na comunidade científica, sendo importante a sua clarificacão.

2.1.4 Dependência do NBTI com o Campo Eléctrico

Por várias vezes foi referida a dependência do fenómeno NBTI em relação ao campo eléctrico, mas o modelo inicial R-D não apresenta claramente a quantificacão desta dependência, como também acontece em relação à temperatura.

Segundo [47], esta dependência só foi demonstrada pela primeira vez em [25]. A demonstracão consistiu na generalizacão do modelo R-D, pelo que o estudo mais pormenorizado pode ser analisado em [25] e [87].

2.1.5 Modelacão do efeito NBTI

De acordo com a formulacão do modelo R-D, a degradacão devido ao NBTI resulta das ligacões químicas entre Si-H que são desfeitas na interface Si/SiO₂, favorecendo a ionizacão do Si, que ficou sem ligacão ao H, pela perda do seu electrão livre (resultando em Si⁺ [82], [47]), ou seja, cargas carregadas que impedem a livre

circulação dos electrões que atravessam o canal. Como consequência, o PMOS acaba por se tornar lento, o que naturalmente pode ser mais ou menos visível, dependente do número de obstáculos presentes na interface (*interface traps*). Por outro lado, como se sabe, estes obstáculos podem ser criados pela libertação e difusão de H na forma atómica, ou então na forma de moléculas de Hidrogénio (H₂). A presença predominante de uma destas duas espécies (H e/ou H₂) é quantificada pelas equações (5) e (7) mais precisamente pelo $(D_H t)^n$ e $(6D_{H_2} t)^n$, em que o expoente $n = 1/4$ e $1/6$, respectivamente, reflecte esta predominância. Ao fim de muito tempo, a espécie H₂ é a mais predominante porque os átomos de H acabam por se associarem, pois embora haja períodos em que a condição de *stress* seja retirada, os H nunca fazem o percurso inverso por completo. Assim, a modelação do efeito NBTI normalmente faz-se utilizando o modelo de degradação a longo prazo (*Long Term Degradation*) [44][55] que será explicado mais a frente. Não obstante, a degradação devido ao NBTI pode ser modelada considerando: (a) NBTI estático (*Static NBTI*); e o (b) NBTI dinâmico (*Dynamic NBTI*). O NBTI estático corresponde ao caso em que o PMOS se encontra constantemente na condição de *stress*, enquanto o NBTI dinâmico existe pelo facto de haver uma alternância entre as condições de *stress* e *recovery* (que, por sua vez, pode ser analisado a curto ou a longo prazo).

A degradação do V_{th} sofrida nestes casos pode ser calculado como a seguir se descreve.

NBTI estático

$$\Delta V_{th} = A \left((1 + \delta)t_{ox} + \sqrt{C(t - t_0)} \right)^{2n} \quad (12)$$

Em que t_{ox} é a espessura do óxido, $(t - t_0)$ é o intervalo de tempo no qual o PMOS esteve submetido à condição de *stress* e $\delta = 0,5$. Por seu lado n e C representam respectivamente a predominância da espécie de *interface traps* (1/4 ou 1/6) e a dependência do NBTI em relação a temperatura [59], em que,

$$C = T_o^{-1} \exp\left(\frac{-E_a}{kT}\right) \quad (13)$$

Em (13): E_a é a energia de activação ($\approx 0,49$ [eV]) quando a difusão é dominada pelo H_2 ; $T_0 = 10^{-8}$ s.nm⁻²; T é a temperatura Kelvin; e k é a constante de Boltzmann.

$$A = \left(\frac{qt_{ox}}{\epsilon_{ox}}\right)^3 \sqrt[3]{K^2 C_{ox} (V_{gs} - V_{th}) \left(\exp\left(\frac{E_{ox}}{E_0}\right)\right)^2} \quad (14)$$

Em (14), A é linearmente proporcional à densidade dos buracos e têm uma dependência exponencial da temperatura T e do campo eléctrico E_{ox} no óxido. Para além disso, q é a carga do electrão, ϵ_{ox} refere-se à constante dieléctrica do terminal *gate* em relação ao vácuo, $C_{ox} = \left(\frac{\epsilon_{ox}}{t_{ox}}\right)$ é a capacidade do óxido (depende da tecnologia) por unidade de área [F/nm²], e $K = 3 \times 10^4$ [C^{-0.5}nm⁻²]. A fórmula do campo eléctrico vertical em [V/nm] entre o terminal *gate* e o canal do PMOS, E_{ox} , é dada pela expressão (15) e a constante de aceleração do campo eléctrico, E_0 , apresenta o valor de 0,335 [V/nm] para os modelos PTM de Berkeley.

$$E_{ox} = \frac{V_{gs} - V_{th}}{t_{ox}} \quad (15)$$

NBTI dinâmico (para períodos curtos de tempo)

$$Stress: \Delta V_{th} = \left[K_v (t - t_0)^{1/2} + {}^{2n}\sqrt{\Delta V_{th0}} \right]^{2n} \quad (16)$$

$$Recovery: \Delta V_{th} = \Delta V_{th0} \left[1 - \frac{2\xi_1 t_e + {}^{2n}\sqrt{\xi_2 C(t-t_0)}}{2t_{ox} + \sqrt{Ct}} \right] \quad (17)$$

Em que,

$$K_v = \left(\frac{qt_{ox}}{\epsilon_{ox}}\right)^3 K^2 C_{ox} (V_{gs} - V_{th}) \sqrt{C} \exp\left(\frac{2E_{ox}}{E_0}\right) \quad (18)$$

ΔV_{th0} é a variação da tensão de *threshold* e ξ_1 e ξ_2 são constantes adimensionais, cujos valores são respectivamente 0,9 e 0,5.

$$t_e = t_{ox} \sqrt{\frac{t-t_0}{t_1}} - \frac{\sqrt{\xi_2 C(t-t_0)}}{2\xi_1} \quad (19)$$

É de notar que, normalmente, os modelos referidos para NBTI estático e dinâmico são utilizados para períodos de tempo muito curtos em que se consegue conhecer o intervalo de tempo ($t - t_0$) em que ocorre o *stress* ou então o *recovery*. Porém, é mais usual querer-se conhecer os efeitos degradantes do NBTI a longo prazo. Assim, é comum utilizar-se o modelo de cálculo do ΔV_{th} pela expressão da degradação a longo prazo, descrita em [25][46][59].

NBTI dinâmico (para períodos longos de tempo)

A análise a longo prazo prevê períodos de *stress* (α) e *recovery* (β_t) de acordo com um tempo de funcionamento t , pelo que torna impraticável conhecer os intervalos ($t - t_0$) em que estes ocorrem. A modelação à longo prazo do efeito degradante do V_{th0} do PMOS pode então ser calculado recorrendo ao modelo *Long Term Degradation* (LTD), como se segue:

$$\Delta V_{th} = \left(\frac{\sqrt{K_v^2 \alpha T_{clk}}}{1 - \beta_t^{1/2n}} \right)^{2n} \quad (20)$$

Onde α representa a probabilidade do PMOS se encontrar sob a condição de *stress*; β_t é o parâmetro que traduz as fases de recuperação durante o processo de envelhecimento e é dado por:

$$\beta_t = 1 - \frac{2\xi_1 t_e + \sqrt{\xi_2 C(1-\alpha)T_{clk}}}{2t_{ox} + \sqrt{Ct}} \quad (21)$$

T_{clk} é o período do relógio e corresponde a um ciclo de *stress-recovery*; e K_v é calculado através da equação (18), e é dependente do campo eléctrico e da temperatura [59].

O facto de se utilizar o LTD, o cálculo de t_e pode ser simplificado ao desprezar os tempos t_o e t_l , em que estes representam tempos em que o PMOS se encontra em períodos de *stress* e *recovery*. Como referido em [46][59], para LTD podemos considerar:

$$t_e = t_{ox} \quad (22)$$

2.1.6 Redução de Efeitos Provocados pelo NBTI

Uma vez conhecido o fenómeno NBTI, desde logo a comunidade científica começou a estudar formas de minimizar os seus efeitos nas tecnologias mais pequenas. Nesta secção serão abordados, numa breve descrição, alguns trabalhos que propõem técnicas com o objectivo de atenuar o efeito do NBTI nos CI digitais. O objectivo não é ser um estudo exaustivo dos trabalhos existentes sobre minimização dos efeitos de NBTI, mas apenas ilustrar que é possível diminuir a sua influência na degradação dos CIs.

Os autores em [3], demonstraram como um simples aumento da banda de guarda dos tempos de atrasos dos caminhos em circuitos de lógica aleatória (*random logic*), pode ser eficiente para mitigar os efeitos destrutivos do NBTI.

Por outro lado, existem técnicas mais sofisticadas e agressivas, tais como (*Adaptive Body Biasing* - ABB) e a redução da tensão V_{DD} em períodos de *stand-by*. A primeira (ABB), traduz-se em adaptar a polarização do poço dos transístores PMOS para modificar a sua tensão limiar de condução (e atenuar os efeitos de NBTI) [11]. A redução da tensão V_{DD} consiste em aproveitar os períodos de *stand-by*, que normalmente são períodos prolongados, para reduzir a tensão de alimentação para níveis abaixo do valor nominal. Com isto, atinge-se o objectivo de reduzir a dissipação de potência (*leakage power consumption*), bem como a degradação provocada pelo NBTI, sabendo que este é fortemente dependente do campo eléctrico

vertical do óxido (*vertical oxide field*). Esta técnica tem a vantagem de ser facilmente incorporada em estruturas de memória sem custos adicional [57].

Em [10], é utilizando o algoritmo de relaxamento de Lagrange⁴ (*Lagrangian Relaxation - LR*) modificado para otimizar o tamanho das portas lógicas. Utilizando a tecnologia dos 70nm, conseguiram evitar os efeitos degradantes devido ao NBTI aumentando a área média em 8,7% (*worst case scenario*). Em alternativa, e utilizando ainda o algoritmo LR modificado, em [96], para aumentarem a área, aplicaram diferentes escalas em relação aos NMOS e PMOS, conseguindo assim uma redução da área em cerca de 40% em relação ao proposto em [86].

Por último, em [7] é apresentada uma solução para reduzir os efeitos devido ao NBTI, através da redução do tempo em que o PMOS está sujeito ao sinal lógico '0'. Considerando os instantes em que um determinado bloco não está a ser executado, são utilizados vectores específicos para activar esse bloco de forma a reduzir o tempo que determinados transístores PMOS estão a conduzir. Segundo os autores, este método tem a vantagem de não ter custos adicionais devido a adição de *hardware* extra, nem a perda de performance e o TDP (*Thermal Design Power*) pode ser desprezado.

2.2 OUTROS EFEITOS QUE CAUSAM O ENVELHECIMENTO DOS CIRCUITOS

Embora o NBTI seja o efeito dominante no processo de envelhecimento dos transístores e circuitos integrados CMOS, existem outros factores que também influenciam no processo de degradação de desempenho dos CIs. Os mais importantes serão abordados nesta secção.

⁴ Relaxamento de Lagrange é um método utilizado no campo da optimização matemática para resolver problemas de optimização não lineares. Consiste em simplificar o problema e encontrar uma solução óptima aproximada.

2.2.1 *Time Dependent Dielectric Breakdown*

Os efeitos do *Time Dependent Dielectric Breakdown* (TDDB, ou quebra no dielétrico dependente do tempo) nos CI está directamente relacionado com o Óxido de Silício (SiO_2) do terminal da porta dos transístores. Mais precisamente, o TDDB provoca uma falha no mecanismo de funcionamento dos MOSFETs. Isto acontece porque os MOSFETs, normalmente encontram-se submetidos durante um longo período de tempo sob um campo eléctrico relativamente baixo e, gradualmente, ocorre a desagregação do óxido da gate, tornando-o electricamente condutivo (conforme ilustrado na Figura 5). Quando a condução do transístor é realizada sob condições de funcionamento extremas (tais como a operação a temperaturas altas e/ou um forte campo eléctrico induzido), o tempo em que ocorre a desagregação do óxido é muito curto, resultando em redução drástica do tempo útil de funcionamento dos CI.

Sob condições normais de funcionamento dos CI, é suposto que o material dielétrico dure milhões de anos, mas operando em condições extremas, este tempo pode ser reduzido para um período muito mais pequeno, pelo que é comum fazer uso do TDDB para medir o tempo de vida útil do material dielétrico. Para realizar esta previsão, o material é submetido a temperatura e tensão constantes [19][80].

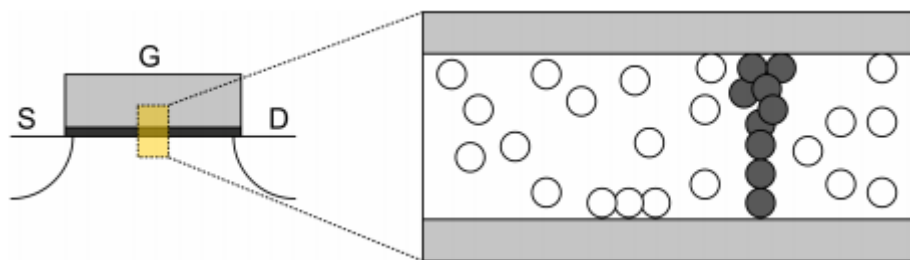


Figura 5: Corte transversal de um transístor apresentando um caminho condutivo no óxido da gate devido ao TDDB.

2.2.2 *Hot Carrier Injection*

O *Hot Carrier Injection* (HCI), a par do NBTI, é um dos fenómenos que mais degradam o normal funcionamento dos CI. Da mesma forma que o efeito NBTI, este

incide na velocidade em que o transístor transita entre os estados de condução e corte. É considerado como sendo um potencial limitador na redução do tamanho dos MOSFETs, porque o comportamento dos MOSFETs devido ao HCI é fortemente dependente do projecto, qualidade do material e parâmetros de processamento do FET [20]. O impacto da degradação do HCI em comparação com o NBTI é menos crítico, mas contudo devido a rápida miniaturização da tecnologia dos FETs (levando em consideração o comprimento da *gate* dos FETs), este deve ser levado em consideração.

O HCI descreve a degradação da tensão limiar (V_{th}) e da mobilidade dos FETs sob o modo de *stress* dinâmico. Os electrões presentes no canal que se movem da fonte para o dreno ficam sujeitos a um campo eléctrico com intensidade variável, dependendo das condições de polarização [21], acabando por ser injectados no óxido da *gate* do transístor. Devido a este facto, a propriedade dieléctrica do óxido acaba sendo afectada, o que provoca uma redução na capacidade de corrente nos NMOS, enquanto nos PMOS essa capacidade é elevada [92]. Consequentemente, a velocidade de operação do circuito fica reduzida, o que potencialmente pode causar falhas durante a operação do mesmo a longo prazo. Este tipo de degradação, surge devido a agressiva diminuição na geometria do tamanho dos MOSFETs, mais precisamente no comprimento do canal dos FETs. Quanto menor o comprimento do canal do FET maior é a sua velocidade de comutação, mas isto acarreta um aumento no campo eléctrico presente no canal, o que provoca alterações físicas do FET na interface do óxido da porta devido às cargas aí depositadas, resultando assim na degradação da performance do dispositivo [22].

2.2.3 *Electro-Migration*

O processo de degradação devido à *Electro-Migration* (EM, ou migração eléctrica) ocorre nas interligações entre o alumínio (Al) e o cobre (Cu), devido ao deslocamento de massas de átomos de metal condutor nas interligações. A longo prazo, este efeito pode até causar a ruptura de fios condutores, como ilustrado na Figura 6. As interligações, referem-se às soldaduras e contactos no encapsulamento dos circuitos [17][18].

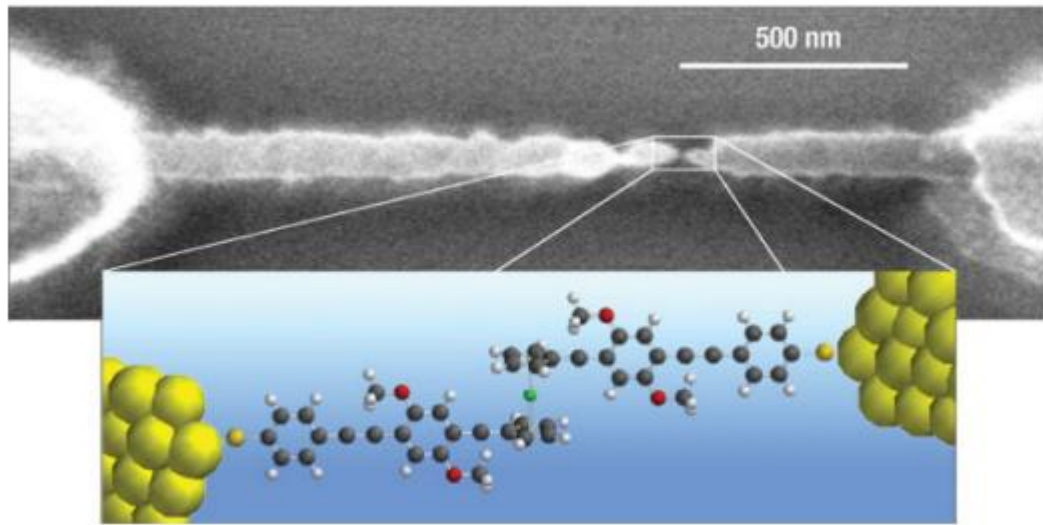


Figura 6: Radiografia de um fio condutor rompido devido a degradação devido à migração eléctrica dos átomos [93].

O processo pode ser entendido fazendo uma analogia com o deslocamento de pequenas pedras numa corrente de água de um ponto para o outro. O deslocamento dos átomos é um processo gradual, que resulta da corrente que flui no metal devido à condução de energia. Fisicamente, o deslocamento de massas de átomos no metal condutor ocorre porque os electrões condutores transferem parte do seu momento (momento da força) para os átomos do metal nas interligações. Estes electrões são apelidados de “*electron wind*” (ou vento de electrões). A força motriz destes “*electron wind*”, dá origem a um novo fluxo de átomos do metal. Como resultado da migração destes átomos, há uma diminuição (*depletion*) destes em uma região (origem), acabando por ser acumulados noutra região. Com a continuação do processo, a região (origem) pode continuar a perder átomos, resultando em um aumento na resistência ou então em um circuito aberto nas interligações. Por outro lado, a região onde foram depositados os átomos deslocados, pode sofrer um processo de deformação. Todo este processo de degradação para não variar, é fortemente dependente da temperatura [15][16].

Em [79], é apresentado a modelação dos efeitos provocados pelo EM.

2.2.4 *Stress Induced Voids*

O SIV (*Stress Induced Voids*, ou lacunas induzidas por *stress*) é um dos mecanismos de degradação que também contribui para o encurtamento do tempo de vida dos circuitos. Ocorre principalmente nas ligas de Alumínio que compõe as ligações dentro dos chips, provocando o desgaste e o mau funcionamento do mesmo. Isto normalmente acontece em espessuras abaixo dos 4 μm , causado por um elevado nível de *stress* hidrostático devido à relativa rigidez dos dieléctricos do encapsulamento, por exemplo o Óxido de Silício, SiO_2 , ou então o Nitreto de Silício, Si_3N_4 . Segundo Sullivan em [23], este fenómeno também é denominado por *Creep Voiding*, *Stress Voiding*, ou então, *Stress Migration*.

O princípio de funcionamento por detrás do SIV pode ser explicado em parte pelo EM, como explicado anteriormente na secção 2.2.3. No entanto, um estudo pormenorizado sobre o SIV foi levado a cargo por Sullivan, e pode ser encontrado em [23].

2.2.5 *Total Ionizing Dose*

Outro fenómeno que influencia o normal funcionamento dos transístores é os defeitos provocados devido à radiação de partículas ionizadas. A degradação devido a partículas ou iões carregados, e o seu efeito cumulativo conhecido como *Total Ionizing Dose* (TID), tem mais incidência em circuitos que integram soluções espaciais. A Figura 7 ilustra como o transístor fica sujeito as radiações, cujas partículas podem estar carregadas positiva ou negativamente [94].

Embora os circuitos que vão para o espaço estejam mais sujeitas a tais partículas ionizadas, normalmente com uma energia muito grande e com a contínua redução do tamanho dos transístores, a quantidade de átomos presente na estrutura do transístor tende a ser cada vez menor, pelo que estes tornaram-se mais susceptíveis de serem afectados pela presença de partículas energeticamente carregadas. Além de serem afectados cada vez mais, estes ficam sujeitos a tais radiações por partículas cuja energia era considerada mediana. Isto faz com que as falhas devido às radiações tendam a ser cada vez mais significativas [94].

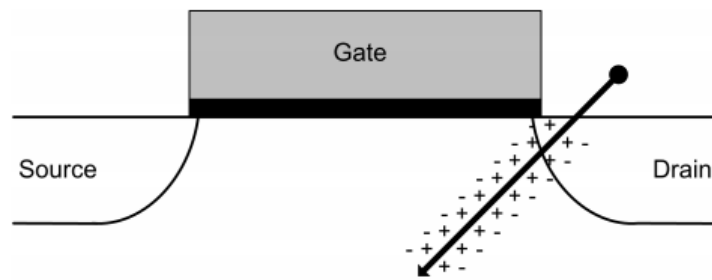


Figura 7: Corte transversal de um transistor sob efeito de radiação por partículas carregadas positiva e negativamente.

3. METODOLOGIA PARA PREVISÃO DO ENVELHECIMENTO

Neste capítulo pretende-se descrever em pormenor a metodologia para previsão de envelhecimento dos circuitos integrados digitais CMOS. A metodologia compreende vários pontos fundamentais, nomeadamente:

- Cálculo probabilístico da taxa de operação de cada transístor;
- Cálculo da previsão de aumento de V_{th} de cada transístor, com base na sua taxa de operação, temperatura, tensão de operação e parâmetros da tecnologia de fabricação;
- Descrição SPICE das portas lógicas do circuito com envelhecimento inserido pela modelação do V_{th} dos transístores PMOS
- Cálculo dos tempos de atraso dos caminhos (degradação da performance do circuito), com base na simulação SPICE das portas lógicas

3.1 MODELAÇÃO DO ENVELHECIMENTO DOS TRANSÍSTORES CMOS

Como já foi referido, os CI digitais estão sob o efeito da degradação por NBTI quando as suas portas lógicas estão no estado de *stress* ($V_{GS} = -V_{DD}$), provocando uma variação na tensão limiar de condução, ΔV_{th} . O processo de envelhecimento, como já foi explicado, envolve duas fases, que são a fase de *stress* e a de recuperação ($V_{GS} = V_{DD}$). Para além disso, como foi mostrado na secção 2.1.5, a degradação do ΔV_{th} devido ao NBTI pode ser modelada matematicamente utilizando equações para o caso estático (*Static* NBTI, considerando o transístor sempre numa situação de *stress*) ou equações para o caso dinâmico (*Dynamic* NBTI, considerando as fases de *stress* e recuperação para períodos curtos de tempo, ou considerando uma degradação média em períodos longos de tempo, LTD).

Neste trabalho, pretende-se prever o tempo de vida útil de um circuito, ou prever como o circuito irá envelhecer nos seus diversos caminhos e portas lógicas.

Naturalmente, espera-se que o tempo de vida útil seja grande (de vários anos), por isso devemos recorrer a uma análise a longo prazo para modelar os efeitos do NBTI.

Assim, a modelação dos efeitos de NBTI usada na metodologia para previsão do envelhecimento é realizada com o recurso às equações (20), (21), (18) e (22), já apresentadas e explicadas na secção 2.1.5. Estas equações foram automatizadas numa ferramenta de *software* (AgingCalc, que será explicada no próximo capítulo 4), que não só estima a carga de operação do circuito por cálculos probabilísticos, como calcula as degradações provocadas pelo NBTI ao nível dos transístores, para posteriormente calcular por simulação (SPICE) qual o impacto destas degradações no circuito.

É de referir que a utilização do modelo LTD descritos nas equações (20), (21), (18) e (22), pressupõe a definição de vários parâmetros, onde se incluem constantes universais e variáveis que variam com a tecnologia utilizada. Neste trabalho foram utilizadas as tecnologias desenvolvidas em Berkeley, PTM de 16nm, 22nm, 32nm, 45nm, 65nm, 90nm e 130nm [74]. De acordo com estas tecnologias, apresenta-se na Tabela 1 os valores definidos para alguns parâmetros utilizados nas diferentes tecnologias.

Tecnologia PTM	V_{th0p} [V]	t_{ox} [nm]	E_{ox} [V/nm]	V_{dd} Típico [V]
16 nm LP, HK/metal gate	-0,6862	1,22	0,1752	0,9
16 nm HP, HK/metal gate	-0,43121	1,0	0,26879	0,7
22 nm LP, HK/metal gate	-0,63745	1,4	0,22325	0,95
22 nm HP, HK/metal gate	-0,4606	1,1	0,3085	0,8
32 nm LP, HK/metal gate	-0,5808	1,62	0,2588	1,0
32 nm HP, HK/metal gate	-0,49155	1,2	0,3404	0,9
45 nm LP, HK/metal gate	-0,587	1,82	0,2819	1,1
45 nm HP, HK/metal gate	-0,49158	1,3	0,3911	1,0
22 nm	- 0,372	1,2	0,3567	0,8
32 nm	- 0,450	1,75	0,257	0,9
45 nm	- 0,4118	1,85	0,318	1,0
65 nm	- 0,365	1,95	0,377	1,1
90 nm	- 0,339	2,15	0,400	1,2
130 nm	- 0,321	2,35	0,4166	1,3

Tabela 1: Parâmetros das tecnologias PTM.

3.2 CÁLCULO DE PROBABILIDADES EM CIRCUITOS DIGITAIS

Um aspecto importante na análise do envelhecimento por NBTI é a estimação da taxa de operação de cada transístor, ou seja, como poderemos prever qual irá ser o tempo de operação do transístor, ou mais especificamente, os tempos em que este estará ligado (na fase de *stress*) e desligado (na fase de recuperação). A estimação da carga (tempo de operação) efectiva de cada transístor está sempre relacionada com a topologia do circuito e das portas lógicas, pois a ligação do transístor no circuito e numa determinada porta lógica influenciará sobremaneira a sua operação. Assim, antes de ser avaliada a taxa de operação de cada transístor, é necessário analisar a topologia do circuito, para avaliar quais os estados lógicos ('0' ou '1') prováveis em cada entrada e saída das portas lógicas digitais.

Por outro lado, estimar os estados lógicos que um circuito digital irá ter no futuro, por exemplo durante 10 ou 20 anos, é uma tarefa ingrata pela incerteza que se coloca em toda a análise. Tradicionalmente, este tipo de estimação é feita com o recurso a cálculos probabilísticos (como em [88]), a cálculos estatísticos (como feito em [89]), ou a ambos (como referido por [90]). Seja qual for o método escolhido, tem que se partir de um pressuposto inicial, normalmente relativo às entradas primárias do circuito, de forma a estimar a operação de todas as portas lógicas internas. A situação óptima seria ter a estatística de operação do circuito no terreno, para sabermos quais as taxas reais de operação e quais as entradas primárias esperadas durante o tempo que se quer fazer a previsão de operação. No entanto esta não é uma situação comum, pois o que queremos é desenvolver uma metodologia de previsão de envelhecimento que possa ser usada durante o projecto do circuito, e não para ser usada depois do circuito estar a funcionar no terreno.

Assim, neste trabalho optou-se por utilizar o cálculo probabilístico como método para estimar a taxa de operação dos circuitos, deixando ao utilizador (da metodologia) a possibilidade de escolher, com a sua experiência, qual a taxa inicial para as entradas primárias do circuito. Uma vez definidos e calculadas as probabilidades para os estados lógicos do circuito ao nível de porta lógica, conhecendo a estrutura de cada porta lógica e, conseqüentemente, o circuito ao nível de transístor para cada porta lógica, obtém-se então a taxa de operação de cada transístor.

3.2.1 Cálculo das Probabilidades nos Nós de Saída dos Componentes

Para o cálculo das probabilidades nos nós de um circuito lógico, poderemos definir dois tipos de probabilidades: a probabilidade de um nó estar no nível baixo ('0' lógico), ou a probabilidade de o nó estar no nível alto ('1' lógico). No entanto, as duas probabilidades (para o mesmo nó) relacionam-se facilmente, pois a sua soma é igual a 1. Assim, como o efeito NBTI afecta a condução dos transístores PMOS, e uma vez que a condução de um transístor PMOS implica ligar a sua porta (*gate*) ao valor lógico '0', então a probabilidade que nos interessa calcular é a de um nó estar ao nível lógico '0'. Considerando uma porta lógica com entrada A e saída Q, utilizaremos então a seguinte notação para designar as probabilidades nos nós:

$$P_{A=0} = \alpha_A ; P_{A=1} = 1 - \alpha_A ; P_{Q=0} = \alpha_Q ; P_{Q=1} = 1 - \alpha_Q$$

No caso do cálculo das probabilidades nos nós de saída das portas lógicas, com base na tabela de verdade do componente e nas probabilidades nos nós de entrada, iremos determinar as condições em que o nível '0' se propaga das entradas do circuito até as suas saídas.

Exemplo da Porta INV0

Vejamos o exemplo da porta inversora (INV0⁵), em que a tabela de verdade é apresentada na Tabela 2. A saída encontra-se no nível lógico '0' quando a entrada se encontra no nível lógico '1'. Assim, a probabilidade de termos a saída no nível baixo é dado pela expressão (23):

⁵ Nas portas lógicas definidas, utilizou-se um algarismo (o último número do nome) para indicar a sua capacidade de condução na carga (*drive*). Assim, INV0 designa-se ao inversor com menor capacidade de *drive*; INV1 ao inversor com capacidade de *drive* dupla do INV0; e assim sucessivamente.

A	Q
0	1
1	0

Tabela 2: Tabela de verdade do Inversor.

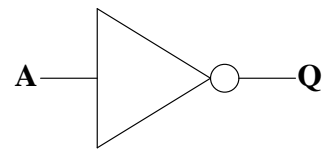


Figura 8: Inversor

$$P_{Q=0} = P_{A=1} = 1 - \alpha_A \tag{23}$$

Exemplo da Porta OAI210

Se considerarmos uma porta lógica mais complexa, como por exemplo a porta OR-AND-INVERTER de 3 entradas (OAI210⁶), cujo símbolo está representado na Figura 9 e a tabela de verdade está representada na Tabela 3, o cálculo da probabilidade do nó de saída ser ‘0’ é dado pela soma das várias probabilidades de ocorrência das respectivas entradas. Para este componente, segundo a sua tabela de verdade, pode-se observar que existem apenas três possibilidades da saída ser ‘0’; então a probabilidade da saída Q ser ‘0’ é dada pela equação (24) seguinte.

$$P_{Q=0} = \alpha_A(1 - \alpha_B)(1 - \alpha_C) + (1 - \alpha_A)\alpha_B(1 - \alpha_C) + (1 - \alpha_A)(1 - \alpha_B)(1 - \alpha_C) \tag{24}$$

A	B	C	Q
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Tabela 3: Tabela de verdade da porta OAI210.

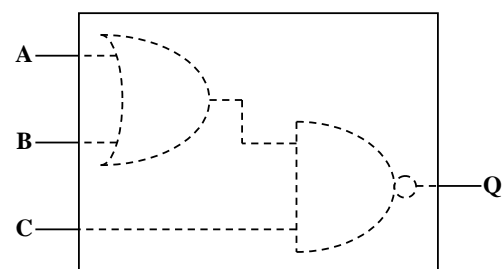


Figura 9: Porta lógica OAI210

⁶ OAI210 é o nome do componente OAI (Or – And – Inverter) com 2 entradas primárias no OR, 1 (uma) no AND e 0 de capacidade de *drive*.

Para todas as restantes portas lógicas da biblioteca seguiu-se o mesmo critério, não se apresentando os cálculos para não sobrecarregar o documento. No entanto, todas as tabelas de verdade dos componentes da biblioteca poderão ser consultadas directamente no programa `AgingCalc`.

3.2.2 Cálculo das Probabilidades de Operação dos Transístores PMOS

Uma vez calculadas as probabilidades nos nós lógicos do circuito, podem ser analisadas as topologias internas das portas lógicas, ao nível de transístor, de forma a podermos calcular as probabilidades de operação dos transístores PMOS existentes em cada porta. Nesta secção não irão ser explicados os cálculos para todas as portas lógicas, mais uma vez para não sobrecarregar em demasia o documento. No entanto, irão ser explicados os cálculos para alguns componentes seleccionados, de forma a ilustrar as diferentes situações possíveis.

Exemplo da Porta NAND20

Veamos o caso do componente NAND20⁷, que é um dos componentes que apresenta uma análise mais simples (a par do INV0). A estrutura interna ao nível de transístor para a porta NAND20 está representada na Figura 10. Como se pode observar, apresenta 2 transístores PMOS e 2 transístores NMOS. Para calcular a probabilidade de ligação dos transístores PMOS, temos que analisar em que condições estes transístores irão ficar no estado ON, com uma tensão alta e negativa entre a porta e o canal (V_{GS} negativo, ou seja, $V_{GS} = -V_{DD}$). É fácil perceber que estas condições se verificam quando a porta de cada um está ao nível lógico '0'. Assim, as probabilidades de operação dos transístores PMOS da porta NAND20 são dadas pelas expressões (25) e (26).

⁷ NAND20 é uma porta NAND de 2 entradas, com a menor capacidade de drive (0).

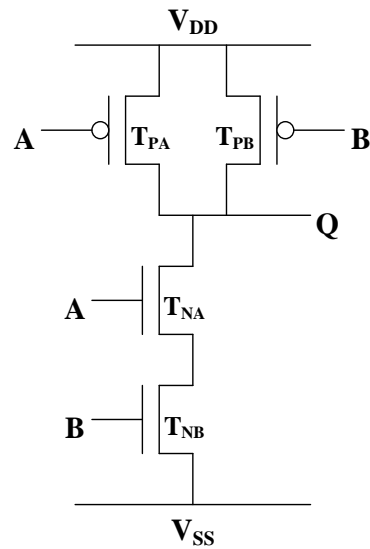


Figura 10: Esquemático da porta lógica NAND20.

$$P_{TPA=ON} = P_{A=0} = \alpha_A \quad (25)$$

$$P_{TPB=ON} = P_{B=0} = \alpha_B \quad (26)$$

Exemplo da Porta NOR20

O caso da porta NOR20 requer uma análise ligeiramente diferente, uma vez que apresenta transistores PMOS ligados em série (em vez da ligação em paralelo, como acontece com o NAND20). É de realçar que é necessário determinar as condições em que existe uma tensão negativa entre a porta do transístor e o seu canal ($V_{GS} = -V_{DD}$, com o transístor ligado). Assim, analisando o esquemático ao nível de transístor apresentado na Figura 11, podemos verificar que o transístor T_{PB} se encontra na mesma situação do caso anterior. Porém, para o transístor T_{PA} , a porta estar a '0' lógico ($A = V_{SS}$ ⁸) não é condição suficiente para existir uma tensão negativa em V_{GS} , pois caso B esteja a '1' (e $A = '0'$), o transístor T_{PA} ficará no limiar de condução, sendo baixa a tensão no seu canal ($Q = V_{D(TPA)} = 0V$, pois T_{NB} conduz, embora a

⁸ Tipicamente, $V_{SS} = 0V$. Deste modo pode-se dizer que a situação que gera a quebra das ligações químicas no transístor corresponde a $V_{GS} = V_{SS} - V_{DD} = -V_{DD}$.

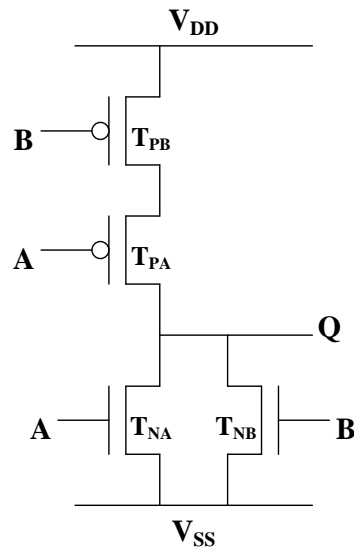


Figura 11: Esquemático da porta lógica NOR20.

tensão da fonte, $V_{S(TPA)}$, possa estar ligeiramente acima de 0V, com a tensão $|V_{thP}|$. Desta forma, as probabilidades de operação dos transistores PMOS da porta NOR20 são dadas pelas expressões (27) e (28).

$$P_{TPA=ON} = P_{A=0} \times P_{B=0} = \alpha_A \times \alpha_B \quad (27)$$

$$P_{TPB=ON} = P_{B=0} = \alpha_B \quad (28)$$

Exemplo da Porta AOI210

O exemplo da porta AOI210⁹ (apresentada na Figura 12) mostra outra situação particular, que é a conjugação num único componente das duas situações atrás mostradas nos exemplos do NAND20 e do NOR20. A Tabela 4 sintetiza o comportamento da porta lógica e a Figura 13 apresenta o seu esquemático ao nível de transístor. Analisando a tabela de verdade, obtêm-se as probabilidades para os transistores descritas nas expressões (29), (30) e (31).

⁹ AOI210 é o nome do componente AOI (And – Or – Inverter) com 2 entradas primárias no AND, 1 (uma) no OR e 0 de capacidade de *drive*.

A	B	C	Q
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

Tabela 4: Tabela de verdade da porta AOI210.

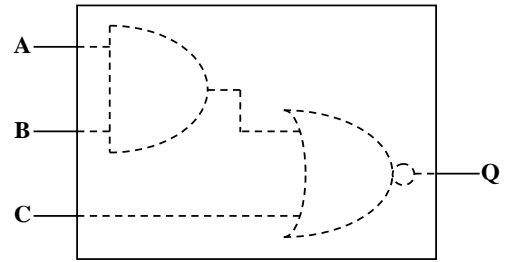


Figura 12: Porta lógica AOI210

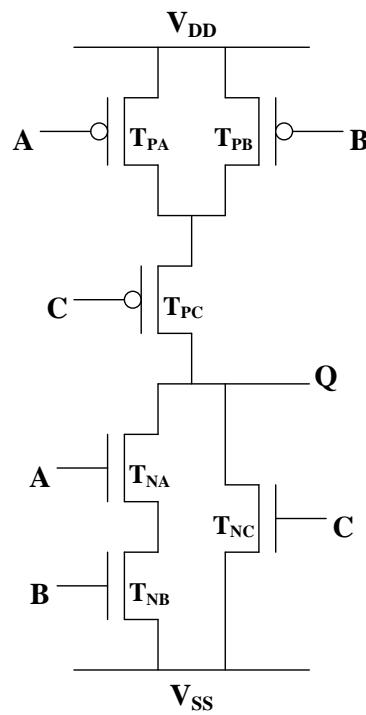


Figura 13: Esquemático da porta lógica AOI210.

$$P_{TPA=ON} = P_{A=0} = \alpha_A \tag{29}$$

$$P_{TPB=ON} = P_{B=0} = \alpha_B \tag{30}$$

$$\begin{aligned} P_{TPC=ON} &= P_{A=0} \times P_{B=0} \times P_{C=0} + P_{A=0} \times P_{B=1} \times P_{C=0} + P_{A=1} \times P_{B=0} \times P_{C=0} = \\ &= \alpha_A \times \alpha_B \times \alpha_C + \alpha_A \times (1 - \alpha_B) \times \alpha_C + (1 - \alpha_A) \times \alpha_B \times \alpha_C \end{aligned} \tag{31}$$

Existem, porém, outro tipo de componentes que são formados pela ligação de outros componentes. Assim, a análise é diferente, como a seguir se exemplifica.

Exemplo da Porta XOR20

A porta lógica XOR20¹⁰ é constituído pela ligação de um componente AOI210 e de um componente NOR20, como mostram a Figura 14 e a Figura 15. Assim, este componente é composto por 5 transístores PMOS, 2 relativos à porta NOR20 e 3 relativos à porta AOI210. Analisando a tabela de verdade, podemos obter as probabilidades dos nós internos e da operação de todos os transístores P. As expressões (32), (33), (34), (35) e (36) resumem os cálculos das probabilidades dos transístores do tipo P em apresentar o seu $V_{GS} < 0$.

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Tabela 5: Tabela de verdade da porta XOR20.

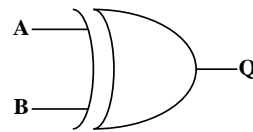


Figura 14: Porta lógica XOR20.

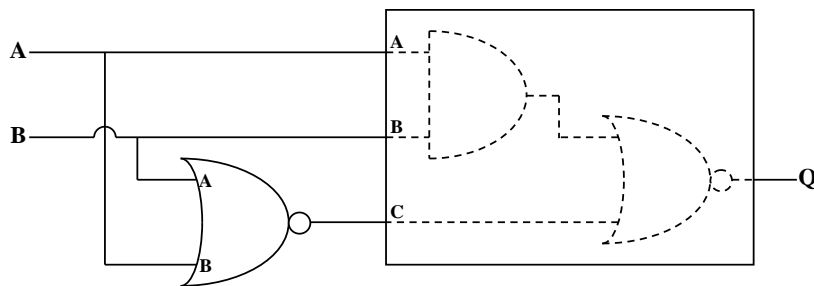


Figura 15: Composição da porta lógica XOR20.

$$P_{TPA_NOR2=ON} = P_{NOR2_A=0} \times P_{NOR2_B=0} = P_{B=0} \times P_{A=0} = \alpha_B \times \alpha_A \quad (32)$$

¹⁰ XOR20 é o nome da porta 'OU' exclusiva (XOR) com 2 entradas primárias e mais baixa capacidade de *drive* (0).

$$P_{TPB_NOR2=ON} = P_{NOR2_B=0} = P_{A=0} = \alpha_A \quad (33)$$

$$P_{TPA_AOI21=ON} = P_{A=0} = \alpha_A \quad (34)$$

$$P_{TPB_AOI21=ON} = P_{B=0} = \alpha_B \quad (35)$$

$$P_{TPC_AOI21=ON} = P_{A=0} \times P_{B=1} + P_{A=1} \times P_{B=0} = \alpha_A \times (1 - \alpha_B) + (1 - \alpha_A) \times \alpha_B \quad (36)$$

É de notar que, embora as expressões (36) e (31) se refiram ao mesmo transístor na mesma porta lógica, a expressão (36) resulta de uma situação particular que apresenta menos combinações de estados possíveis. Consideremos que o nó interno que liga a saída da porta NOR20 à entrada C da porta AOI210 tem a designação de nó X. De acordo com a tabela de verdade da porta AOI210 (Tabela 4) e a expressão (31), a operação com V_{GS} negativo do transístor T_{PC_AOI21} resulta de 3 situações possíveis nas entradas: (i) $A=0 \wedge B=0 \wedge X=0$; ou (ii) $A=1 \wedge B=0 \wedge X=0$; ou (iii) $A=0 \wedge B=1 \wedge X=0$. Porém, a situação (i) $A=0 \wedge B=0 \wedge X=0$ não se verifica, já que se com $A=0 \wedge B=0$ resulta $X=1$. Ou seja, como existem apenas 2 entradas primárias e 4 estados possíveis nas entradas da porta XOR20 (em vez de 3 PIs e 8 combinações de estados das PIs na porta AOI210), a expressão 36 resulta simplificada em relação à expressão (31).

3.3 DEGRADAÇÃO DE CIRCUITOS DIGITAIS

Depois de definirmos nas secções 2.1.5 e 3.1 a forma de modelar os efeitos do NBTI em variações do parâmetro V_{th} dos transístores PMOS, necessitamos analisar qual o impacto que estas variações têm num circuito digital. Em particular, é necessário obter o impacto que as variações de V_{th} têm: (i) no tempo de resposta das células digitais; e (ii), conseqüentemente, nos caminhos do circuito.

Para avaliar esse impacto, e uma vez que a modelação do envelhecimento é feita ao nível de transístor, recorre-se a simulações HSPICE onde o circuito é descrito ao nível de transístor. A ferramenta HSPICE é instanciada e estas simulações são

realizadas com modificações no parâmetro v_{th0} ¹¹ dos modelos dos PMOSFETs, sendo a variação deste parâmetro calculada através da equação (20), para todos os PMOSFETs de um circuito.

Porém, para que as simulações automáticas com modelação do envelhecimento sejam possíveis, é preciso garantir:

- i) Um modelo de transístor que permita modificar o parâmetro v_{th0} dos transístores, de forma diferente em todos os transístores existentes no circuito;
- ii) Uma biblioteca de células, descrita de forma genérica, para poder ser utilizada com vários modelos de transístores e de várias tecnologias;
- iii) Uma forma simples de descrever o circuito através de elementos da biblioteca (portas lógicas), que permita modelar diferentes parâmetros v_{th0} para os diferentes transístores em cada elemento da biblioteca.

Nesta secção 3.3 descreve-se como realizar e simular as descrições do circuito em formato SPICE, para podermos calcular a degradação em todo o circuito digital.

3.3.1 Modelo do Transístor para Modelação do Parâmetro V_{th}

Um aspecto importante é a modelação do parâmetro V_{th} ao nível do transístor. Neste trabalho, os modelos do transístor utilizados, como antes já foi referido, são os modelos PTM, desenvolvidos em Berkeley [74].

A primeira modificação importante que é necessária fazer é substituir o valor do parâmetro v_{th0} do modelo para o PMOSFET (por exemplo, para a tecnologia PTM 65nm, $v_{th0} = -0,365$) por uma variável, neste caso a variável v_{th0p} (ou seja, no modelo fica então $v_{th0} = v_{th0p}$). De referir que esta alteração só é feita para os PMOSFET, porque o NBTI não afecta os NMOS. Para além disso, é necessário garantir que estamos a trabalhar com modelos SPICE de nível 54 (*level 54*), de forma a existir um grau elevado de detalhe na descrição do transístor (modelo).

¹¹ v_{th0} refere-se a um parâmetro do modelo SPICE de um transístor MOS, que representa o valor nominal da tensão limiar de condução, V_{th} , do transístor.

Porém, a simulação com a definição de uma variável para o parâmetro V_{th} dos PMOS apenas garante que é possível modificar esse parâmetro, mas essa modificação é geral e não particular em cada transístor, dos diferentes transístores que existem em cada uma das diferentes instâncias das portas lógicas. Assim, foi necessário criar um sub-circuito para definir o transístor, de forma a garantir: (i) poder ser instanciado o modelo do transístor apenas para cada instância do sub-circuito transístor; e (ii) poder instanciar um transístor com um valor específico de V_{th} .

De seguida apresenta-se um excerto da biblioteca SPICE definida onde são apresentadas as definições dos parâmetros para a tecnologia PTM 65nm (inicialização das variáveis), e também a descrição dos sub-circuitos transístor (PMOS e NMOS).

```
.param VTH0_n_model=0.423 VTH0_p_model=-0.365
      +LNmin=65n LPmin=65n WNmin=100n WPmin=260n

.subckt PMOSFET D G S B
      +vth0p=VTH0_p-model W=WPmin L=LPmin
M1 D G S B pmos w=W l=L
      .include "model_PMOS_65nm.sp"
.ends

.subckt NMOSFET D G S B
      +vth0n=VTH0_n-model W=WNmin L=LNmin
M1 D G S B nmos w=W l=L
      .include "model_NMOS_65nm.sp"
.ends
```

É de notar que os parâmetros $VTH0_n-model$ e $VTH0_p-model$ servem apenas para inicializar o valor de V_{th} para os transístores NMOS e PMOS, respectivamente. Para além disso, o ficheiro “model_PMOS_65nm.sp” apresenta a descrição SPICE do modelo do transístor, em que a descrição do parâmetro V_{th} apresenta a seguinte modificação:

$vth0 = vth0p$ (em lugar de: $vth0 = -0.365$)

O mesmo caso acontece no modelo do transístor NMOS, com $vth0 = vth0n$.

Depois, na descrição da biblioteca e das portas lógicas digitais, é preciso fazer a instanciação de cada sub-circuito transistor da seguinte forma (respectivamente para o PMOS e para o NMOS):

```
X<nome> <dreno> <porta> <fonte> <corpo> pmosfet
+w=<WP> l=<LP> vth0p=<vth_novo>
```

```
X<nome> <dreno> <porta> <fonte> <corpo> nmosfet
+w=<WN> l=<LN> vth0n=<vth_novo>
```

Nas descrições acima, no caso de as instâncias dos transístores apresentarem valores nominais de V_{th} , comprimento (L), ou largura (W), poderá ser omitido o respectivo parâmetro na descrição.

3.3.2 Biblioteca CMOS para Modelação do Envelhecimento

O principal requisito da biblioteca CMOS necessária para a metodologia de previsão de envelhecimento é que seja genérica o suficiente para permitir ser usada em diferentes tamanhos de tecnologia, garantindo que as definições específicas de cada tecnologia sejam respeitadas. Deste modo pode ser comparada a mesma implementação de um circuito, e o seu envelhecimento, para diferentes tecnologias de diferentes tamanhos.

Com este objectivo em mente, utilizou-se o mesmo procedimento feito em [68], para obter as descrições das portas lógicas de uma biblioteca, com base numa biblioteca digital comercial: CMOS AMS (*Austria Micro Systems*) 350nm [91]. Assim, obtiveram-se as definições SPICE para as portas lógicas da tecnologia, substituindo todos os parâmetros relativos aos tamanhos dos transístores por tamanhos dependentes de um parâmetro (tamanhos relativos). Como exemplo, apresenta-se a descrição SPICE para um sub-circuito inversor:

```
.param VTH0_n_model=0.423 VTH0_p_model=-0.365
+LNmin=65n LPmin=65n WNmin=100n WPmin=260n
```

```
.subckt inv_core in out Vss Vdd
    +vth_nin=VTH0_n_model vth_pin=VTH0_p_model
    +MN1W=WNmin MN1L=LNmin MP1W=WPmin MP1L=LPmin
    xMN1 out in Vss Vss nmosfet w=MN1W l=MN1L vth0n=vth_nin
    xMP1 out in Vdd Vdd pmosfet w=MP1W l=MP1L vth0p=vth_pin
.ends
```

Com este sub-circuito de base, foram depois criados outros sub-circuitos para o inversor, de forma a criar vários inversores com capacidade de condução e tamanhos diferentes. Por exemplo, INV0 e INV1:

```
.subckt INV0 A Q Vss Vdd
    +vth_pa=VTH0_p_model vth_na=VTH0_n_model
    X3 A Q Vss Vdd inv_core
    +MN1W=WNmin MN1L=LNmin MP1W=WPmin MP1L=LPmin
    +vth_pin=vth_pa vth_nin=vth_na
.ends
```

```
.subckt INV1 A Q Vss Vdd
    +vth_pa=VTH0_p_model vth_na=VTH0_n_model
    X3 A Q Vss Vdd inv_core
    +MN1W='WNmin*2' MN1L=LNmin MP1W='WPmin*2' MP1L=LPmin
    +vth_pin=vth_pa vth_nin=vth_na
.ends
```

É de notar também a forma como pode ser instanciado um sub-circuito de um componente assim definido. Vejamos o seguinte exemplo:

```
XU10 A1 n5 vss! vdd! INV0 vth_PA=-0.36579
```

Neste exemplo, apenas está a ser modificado o parâmetro *vth_PA*, que corresponde ao *Vth* do transístor PMOS do inversor. Todos os restantes parâmetros (como *Vth* do transístor NMOS, ou os tamanhos dos 2 transístores), ao serem omitidos na descrição irão tomar o valor existente por defeito nas descrições dos sub-circuitos INV0, *inv_core* e dos sub-circuitos transístores (PMOSFET e NMOSFET).

3.3.3 Simulação HSPICE com Modelação do Envelhecimento

Para que a metodologia de previsão de envelhecimento esteja completa, é necessário simular o circuito com modelação do envelhecimento através do parâmetro V_{th} dos transístores PMOS, de forma a calcular a degradação na performance do circuito. Esta degradação de performance pode ser calculada por simulação de duas formas: (i) pela geração da descrição do circuito completo e sua simulação, com modulação do efeito NBTI para cada ano de envelhecimento, calculando os tempos de propagação em todos os caminhos existentes; ou (ii) pela geração e simulação da descrição SPICE de cada porta lógica, individualmente, calculando os atrasos nos caminhos de cada porta, para posteriormente somar os atrasos das portas lógicas e prever os atrasos dos caminhos.

Das duas formas atrás descritas, a primeira (i) é a que oferece maiores garantias para uma melhor previsão do envelhecimento do circuito, já que permite obter resultados de atrasos em caminhos mais fidedignos, pois simula sempre o circuito completo. Para além disso, permite ao mesmo tempo determinar quais os caminhos reais e quais os caminhos que não podem ser activados no circuito (caminhos falsos). Porém, esta forma (i) é também a mais complexa e difícil de implementar, porque ao simular o circuito completo necessitamos de conhecer quais os caminhos reais combinatórios a simular e ter os vectores que estimulam todos esses caminhos. No fundo, é necessário realizar sobre o circuito uma análise para gerar automaticamente os padrões de teste (implementar um *Automatic Test Pattern Generator*, ATPG) para faltas de atraso em caminhos (*Path Delay Faults*, PDF). Pela complexidade associada a esta forma de cálculo dos atrasos nos caminhos, esta tarefa está fora do alcance deste trabalho, pelo que apenas foi implementada a geração automática da descrição SPICE de todo o circuito, com modulação do envelhecimento ao longo de um tempo especificado.

Relativamente à segunda forma de calcular a degradação nos caminhos (ii), simular individualmente cada porta lógica para calcular os seus tempos de propagação tem a vantagem de as simulações SPICE serem curtas, pois os sub-circuitos a simular de cada vez são pequenos. Para além disso, é de implementação muito mais simples em

relação a (i), uma vez que é muito mais fácil obter os padrões de teste para as portas lógicas individualmente (através da sua tabela de verdade), do que para o circuito completo. Porém, não há garantia de que os caminhos obtidos sejam todos caminhos reais (pode haver caminhos falsos, ou seja, caminhos que nunca irão ser activados quando o circuito está em funcionamento) e a soma dos tempos de propagação das portas num caminho é uma forma aproximada para cálculo do atraso completo do caminho.

Pelo exposto, optou-se neste trabalho por simular, automaticamente e individualmente, as descrições SPICE de cada porta lógica do circuito, conjuntamente com todo o sub-circuito ligado à sua saída (para reduzir o erro de cálculo dos caminhos), para depois calcular os tempos de propagação dos caminhos pela soma dos atrasos das portas que compõem cada caminho. Para além disso, é possível também gerar a descrição SPICE de todo o circuito, com as modulações de envelhecimento por NBTI para um dado período de tempo, deixando para o utilizador a definição dos padrões de teste que permitam simular o circuito.

Consideremos um circuito de exemplo composto por dois inversores, como mostra a Figura 16. Este circuito, como se pode observar, tem um único caminho para os sinais se propagarem, sendo considerados dois atrasos de caminhos, um quando a saída comuta do nível alto para o nível baixo (*fall*) e o outro quando a saída comuta do nível baixo para o nível alto (*rise*). Assim, para calcular os dois tempos de atraso do caminho de X a Y é necessário gerar dois ficheiros SPICE, um por cada inversor, de forma a obter em cada um deles os dois tempos de atraso de cada inversor (tempo de subida e tempo de descida da saída, *rise* e *fall*). De seguida apresenta-se um exemplo do ficheiro SPICE que deve ser gerado para calcular os tempos relativos ao inversor U1.

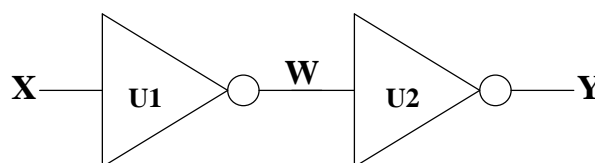


Figura 16: Cadeia de 2 Inversores.


```

* Delay component XU1 (INV1)
.include "65nm_library.sp"
.param period=2n vdd=1.1 vss=0
.temp 110
.tran 1p 4n
.options acct=0 LIST ALT999 autostop=1 nowarn post
Vvdd vdd! 0 dc vdd
Vvss vss! 0 dc vss
VU1A X 0 dc vss
    +pulse(vss vdd 'period/2' 0 0 'period/2' 'period')
XU1 X W vss! vdd! INV1 vth_PA=-0.38208
XU2 W Y vss! vdd! INV1 vth_PA=-0.38208
.measure tran tpd_hl
    +TRIG v(X) VAL=0.55 TD=0 CROSS=1
    +TARG v(W) VAL=0.55 TD=0 CROSS=1
.measure tran tpd_lh
    +TRIG v(X) VAL=0.55 TD=0 CROSS=2
    +TARG v(W) VAL=0.55 TD=0 CROSS=2
.end

```

Nesta simulação são calculados os 2 tempos de atraso no inversor U1, os tempos de subida e descida da saída (tpd_lh e tpd_hl). É de notar ainda que os tempos são medidos entre os nós X e W, e que o inversor U2 é ligado ao nó W para poder ser incluído o seu efeito de carga sobre os tempos de atraso do inversor U1. Depois do mesmo procedimento ser executado para o inversor U2 (pela geração e simulação de um novo ficheiro SPICE), poderão ser calculados os tempos de atraso para o circuito, devendo-se obter o seguinte resultado para 10 anos de envelhecimento:

```

--- Gate Delay's for Year 10 ---
U2(INV1): A->Q(rise)=4,637E-12
U2(INV1): A->Q(fall)=4,223E-12
U1(INV1): A->Q(rise)=9,28E-12
U1(INV1): A->Q(fall)=7,186E-12

--- Path Delay's for Year 10 ---

```

Path 1 = X(rise) -> W(U1:INV1:A->Q) (fall) -> Y(U2:INV1:A->Q) (rise) =11,823 ps
 Path 2 = X(fall) -> W(U1:INV1:A->Q) (rise) -> Y(U2:INV1:A->Q) (fall) =13,503 ps

Relativamente à descrição SPICE para o circuito completo, deverá ser gerado o seguinte ficheiro para 2 anos de análise de envelhecimento:

```
* CIRCUIT SIMULATION WITH AGING *
***** AGING CONDICTIONS
* 65nm_library.sp
* Vdd = 1.1 [V]
* Temp = 110 [°C]
* Tclk = 2 [ns]
* t = 2 [Years]
***** SIMULATION PARAMETERS
.include "65nm_library.sp"
.param Vss=0 vdd=1.1 period=2n
.temp 110
.option acct=0 LIST ALT999 autostop=1 nomod nowarn post
Vdd vdd! 0 dc=vdd
Vss vss! 0 dc=vss
*** TO BE COMPLETED BY THE USER ***
.tran 1p ...
VX X 0 dc ...
***** CIRCUIT AGING AFTER 0 YEAR
XU2 W Y vss! vdd! INV1 vth_PA=-0.36579
XU1 X W vss! vdd! INV1 vth_PA=-0.36579
***** CIRCUIT AGING AFTER 1 YEAR
.alter
XU2 W Y vss! vdd! INV1 vth_PA=-0.37664
XU1 X W vss! vdd! INV1 vth_PA=-0.37664
***** CIRCUIT AGING AFTER 2 YEARS
.alter
XU2 W Y vss! vdd! INV1 vth_PA=-0.37806
XU1 X W vss! vdd! INV1 vth_PA=-0.37806
```

.end

3.3.4 Simulação de Monte Carlo com Modelação do Envelhecimento

As simulações de Monte Carlo (MC) são muito utilizadas em electrónica para analisar o comportamento de um circuito nas suas diferentes instâncias, depois de fabricado. Na realidade, não existem dois circuitos exactamente iguais, existindo sempre variações no processo de fabricação que fazem com que cada circuito seja único. As simulações de MC são por isso utilizadas, para permitir simular as variações do processo de fabricação, através de uma variação com distribuição normal dos parâmetros de um transístor.

Nesta secção pretende-se demonstrar que é possível integrar numa mesma descrição SPICE de um circuito, variações de MC e as variações que modelam o envelhecimento do circuito pelo efeito NBTI.

Um aspecto importante a considerar ao fazermos uma simulação de MC conjuntamente com análises de envelhecimento por modulação de NBTI é que, a cada iteração de MC são gerados, aleatoriamente e segundo uma distribuição normal, novos parâmetros para uma determinada variável, por exemplo o comprimento da porta de um transístor, L . Mas este comprimento deve ser simulado com os diferentes tipos de envelhecimento do transístor, ou seja, com os diferentes valores de V_{th} gerados para os anos em análise. Portanto, necessitamos de uma análise multi-parâmetro, garantindo que os parâmetros gerados automaticamente nas diferentes iterações de MC não sejam diferentes nas diferentes simulações de envelhecimento (nos diferentes anos em análise).

É possível conjugar estas análises (envelhecimento e MC), garantindo que por cada iteração de MC são simulados todos os anos da análise de envelhecimento. Para isso, é necessário utilizar o comando “*alter*” para descrever o circuito em outro patamar de envelhecimento, e utilizar a simulação de MC com o comando “*sweep monte=30*” na análise a realizar (normalmente transiente). Para além disso, a variação dos parâmetros de MC pode ser feita: (i) de igual forma para todos os transístores (por exemplo um novo L igual para todos os transístores em cada iteração de MC); (ii) de

forma diferente entre transístores (por exemplo um novo L para cada transístor em cada iteração de MC e em iterações diferentes); (iii) ou ainda um misto das duas situações anteriores.

Para a geração dos parâmetros de MC deve utilizar-se o comando “*agauss(65n, 6.5n, 3)*”, de forma a gerar para o parâmetro um valor aleatório que siga uma distribuição normal (também chamada distribuição de Gauss ou Gaussiana). Se essa instrução for colocada na descrição do circuito, estaremos na situação (i) atrás, onde o parâmetro toma um valor diferente por cada iteração de MC, mas igual para todos os transístores do circuito. Se essa instrução for colocada dentro da descrição do sub-circuito transístor, estaremos na situação (ii), onde o parâmetro toma um valor diferente por cada transístor no circuito e diferente em cada iteração de MC. Se utilizarmos simultaneamente duas instruções, uma na descrição geral do circuito e outra dentro da descrição do sub-circuito transístor, e posteriormente esses valores forem somados para atribuir o valor ao parâmetro do transístor, então estaremos na situação (iii), em que o parâmetro de cada transístor tem uma componente (percentagem) que é igual entre todos os transístores da mesma iteração de MC, e outra componente (percentagem) que é diferente entre os diferentes transístores. Esta última situação, embora mais complexa, é a que corresponde a uma variação mais próxima dos circuitos reais, apenas se deve definir as percentagens do parâmetro que cabe a cada tipo de variação.

No entanto, está fora do alcance deste trabalho demonstrar qual a melhor forma de realizar simulações de MC. Nesta secção, apenas se pretende demonstrar que é possível integrar as modelações de envelhecimento com variações de MC utilizando a biblioteca definida. Como exemplo, apresenta-se uma descrição SPICE do circuito da Figura 16, para simulações de envelhecimento durante 2 anos e, conjuntamente, 30 iterações de MC com variação dos parâmetros L e Tox dos transístores (situação (i)).

```
* CIRCUIT SIMULATION WITH AGING *  
***** AGING CONDICTIONS  
* 65nm_library.sp  
* Vdd = 1.1 [V]  
* Temp = 110 [°C]  
* Tclk = 2 [ns]  
* t = 2 [Years]
```

```

***** SIMULATION PARAMETERS
.include "65nm_library_MC.sp"
.param VTH0_n_model=agauss(0.423,0.0423,3)
  +VTH0_p_model=agauss(-0.365,0.0365,3)
  +Lmin=agauss(65n, 6.5n, 3)
  +LNmin=agauss(65n, 6.5n, 3)
  +LPmin=agauss(65n, 6.5n, 3)
  +WNmin=100n
  +WPmin=260n
.param TOXEN=agauss(1.85n,0.185n,3)
  +TOXPN=agauss(1.2n,0.12n,3)
  +TOXMN=agauss(1.85n,0.185n,3)
  +DTOXN=agauss(0.65n,0.065n,3)
.param TOXEP=agauss(1.95n,0.195n,3)
  +TOXPP=agauss(1.2n,0.12n,3)
  +TOXMP=agauss(1.95n,0.195n,3)
  +DTOXP=agauss(0.75n,0.075n,3)
.param Vss=0 vdd=1.1 period=2n
.temp 110
.option acct=0 LIST ALT999 autostop=1 nomod nowarn post
Vvdd vdd! 0 dc=vdd
Vvss vss! 0 dc=vss
*** TO BE COMPLETED BY THE USER ***
.tran 1p 4n sweep monte=30
VX X 0 dc vss
  +pulse(vss vdd 'period/2' 0 0 'period/2' 'period')
.measure tran tpd_lh
  +TRIG v(X) VAL=0.55 TD=0 CROSS=1
  +TARG v(Y) VAL=0.55 TD=0 CROSS=1
.measure tran tpd_hl
  +TRIG v(X) VAL=0.55 TD=0 CROSS=2
  +TARG v(Y) VAL=0.55 TD=0 CROSS=2
***** CIRCUIT AGING AFTER 0 YEAR
XU2 W Y vss! vdd! INV1 vth_PA=-0.36579
XU1 X W vss! vdd! INV1 vth_PA=-0.36579
***** CIRCUIT AGING AFTER 1 YEAR
.alter

```

```
XU2 W Y vss! vdd! INV1 vth_PA=-0.37664
XU1 X W vss! vdd! INV1 vth_PA=-0.37664
***** CIRCUIT AGING AFTER 2 YEARS
.alter
XU2 W Y vss! vdd! INV1 vth_PA=-0.37806
XU1 X W vss! vdd! INV1 vth_PA=-0.37806
.end
```

3.4 ENQUADRAMENTO COM METODOLOGIA DE INSERÇÃO DE SENSORES DE ENVELHECIMENTO

Como foi referido na secção 1.4, este trabalho insere-se num estudo mais alargado sobre envelhecimento de circuitos integrados digitais, em que o objectivo final é a inserção de sensores de envelhecimento e performance num circuito, de forma a monitorizar o funcionamento (em campo) de um circuito e prevenir a ocorrência de erros de desempenho, sobretudo em circuitos sujeitos a variações PVTA [73]. Existem dois problemas fundamentais na utilização de sensores locais de desempenho: (i) saber onde colocar os sensores, de forma a garantir que os caminhos mais críticos estão sendo monitorizados; e (ii) garantir que os caminhos críticos são estimulados periodicamente, para podermos efectivamente avaliar se o circuito já atingiu um nível de envelhecimento considerado crítico para uma operação sem erros. O primeiro problema (i) é resolvido pela metodologia proposta nesta dissertação, como a seguir se explica; o segundo problema (ii) está fora do âmbito deste trabalho, sendo necessário recorrer a uma metodologia de projecto para testabilidade (*Design For Testability*, DFT) orientada para faltas de atraso em caminhos (*Path-Delay Faults*).

Relativamente ao problema (i), tradicionalmente são seleccionados os caminhos mais críticos de um circuito, utilizando uma margem de segurança, para escolher quais as células de memória (flip-flops) que irão incluir os sensores e monitorizar o desempenho do circuito. Por exemplo, em [72] é definido pelo utilizador um valor α para identificar a eficácia da monitorização. Tipicamente este valor é de 90% e indica que a selecção das células de memória críticas (os flip-flops que incluirão os sensores)

serão aquelas que terminam os caminhos combinatórios em que os tempos de propagação excedem 90% do tempo de propagação do caminho mais comprido (o caminho crítico, ou CP). O problema é que, considerando a existência de variações PVTA, nem sempre o erro de desempenho acontece primeiro nos caminhos que inicialmente se consideraram os críticos.

As variações de processo, sobretudo em nano tecnologias, influenciam o desempenho e conduzem a variações nos tempos de atraso dos caminhos. Por exemplo, entre diferentes instâncias do mesmo circuito as variações na frequência de operação para uma tecnologia de 65nm pode chegar a 25% [95], como se pode ver na Figura 17.

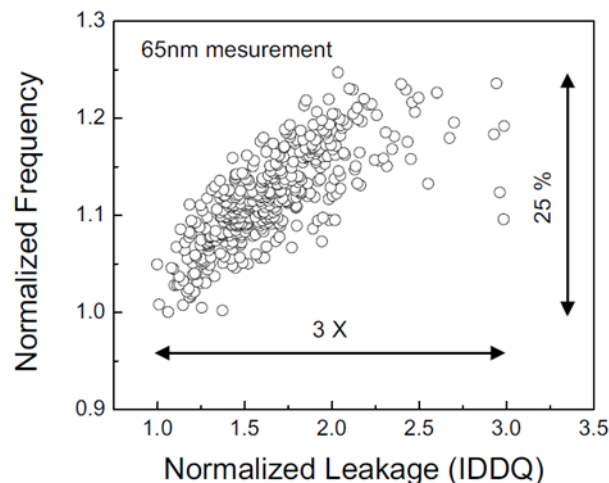


Figura 17: Variações na frequência e em I_{DDQ} , num CI de 65nm, considerando variações do processo de fabricação.

Em relação às variações de temperatura, a existência de partes de um CI com mais actividade do que outras, conduz ao aparecimento de diferentes temperaturas de funcionamento ao longo do mesmo chip, criando os chamados *hot-spots*, ou pontos com temperatura mais elevada [68]. As temperaturas não uniformes ao longo do chip irão conduzir a alterações no mapa de atrasos nos caminhos. Para além disso, devido às partições na rede de distribuição da tensão de alimentação ao longo do CI e devido à própria operação do CI, podem-se esperar variações locais na tensão de alimentação, que conduzirão também a variações no mapa de atrasos dos caminhos entre as diferentes instâncias de um CI. A Figura 18 mostra como o tempo de propagação de uma cadeia de inversores pode variar com a temperatura e com a tensão de alimentação.

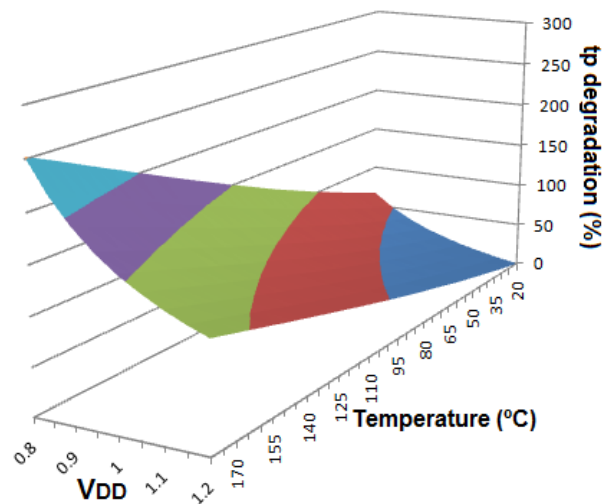


Figura 18: Variações no tempo de propagação de uma cadeia de 20 inversores, provocada por variações VT, numa tecnologia de 65nm.

Relativamente às variações do tempo de propagação dos caminhos provocadas pelo envelhecimento, já foi várias vezes referido ao longo deste trabalho que estas irão ocorrer. Considerando ainda que o envelhecimento é influenciado pelas probabilidades de operação dos transístores (e, portanto, da função lógica do circuito), pela temperatura de funcionamento e pela tensão de alimentação, podemos facilmente verificar que a organização do mapa de caminhos num CI irá mudar à medida que o circuito vai envelhecendo. Caminhos que inicialmente não são críticos podem, mais tarde, virem a tornar-se críticos.

Assim, como proposto em [73], devem ser definidos 2 níveis para a eficácia da monitorização, α_{safe} e α_{critical} . O primeiro (α_{safe}), que tipicamente toma o valor de 80%, indica que os caminhos com tempo de propagação inferior a 80% do CP ($\alpha_{\text{safe}} \times \tau_0$, sendo τ_0 o tempo de propagação do CP), mesmo que sujeitos a variações PVTA, não irão tornar-se em caminhos críticos. Todos os restantes caminhos ($\text{tpd} \geq \alpha_{\text{safe}} \times \tau_0$), deverão ser analisados com a metodologia proposta neste trabalho (utilizando a ferramenta AgingCalc) para avaliar como irão ser degradados pelos efeitos de envelhecimento, nomeadamente o efeito NBTI. Considerando um tempo de envelhecimento superior ao tempo de vida útil esperado para o CI, por exemplo 10 anos, usar-se-á o segundo nível para a eficácia da monitorização, α_{critical} , que, tendo um valor típico de 90%, indicará os caminhos que devem ser monitorizados. Todas as células de memória que terminem caminhos envelhecidos, que tenham tempos de

propagação superiores a $\alpha_{\text{critical}} \times \tau_0$, deverão incluir os sensores de envelhecimento. Desta forma minimiza-se o risco de ocorrência de erros em caminhos que não estão a ser monitorizados pelos sensores de performance.

4. PROGRAMA AGINGCALC

De forma a automatizar toda a metodologia de previsão do envelhecimento para circuitos integrados digitais CMOS, foi desenvolvido uma ferramenta de *software* denominada AgingCalc, que integra e automatiza todos os procedimentos descritos no capítulo 3. Nesta secção apresenta-se a sua descrição, explicando em pormenor as suas funções e procedimentos mais importantes.

4.1 CARACTERÍSTICAS GERAIS

A aplicação de *software* AgingCalc foi desenvolvida com o recurso à linguagem *Object Pascal* (versão da linguagem Pascal para programação orientada por objectos), utilizando o compilador Embarcadero® Delphi® 2010. É uma ferramenta para ser utilizada sobre o sistema operativo Windows XP®, ou todas as suas versões mais recentes (por exemplo, Windows 7®).

O principal objectivo da ferramenta é o de automatizar a metodologia de previsão de envelhecimento. Assim, tendo como ponto de partida uma descrição de um circuito CMOS digital ao nível de porta lógica, a ferramenta deve carregar todo o circuito em memória dinâmica para poder analisar e efectuar os cálculos necessários da previsão do seu envelhecimento. A secção 4.1.1 descreve o formato de entrada de dados típica, enquanto a secção 4.1.2 descreve a organização e estrutura dos dados em memória.

Uma vez executados os cálculos necessários sobre o circuito em memória, o programa deverá poder fornecer ao utilizador um conjunto de resultados, que incluem relatórios de probabilidades de operação (relativos ao estado dos nós do circuito ao nível de porta lógica e relativos à operação dos transístores PMOS existentes), relatórios de tempos de atraso (nominais ou do circuito envelhecido, para as portas lógicas e para os caminhos), gráficos de evolução da performance e da degradação da

performance e descrição SPICE do circuito completo com modelação do envelhecimento através do parâmetro V_{th} dos PMOSFETs. A secção 4.1.3 apresenta as saídas principais do programa, com um exemplo dos relatórios e gráficos gerados.

4.1.1 Entrada de Dados

A entrada de dados no programa é efectuada através de uma descrição Verilog¹² de um circuito digital, descrito ao nível de porta lógica de uma biblioteca CMOS digital. Esta descrição é compatível com a biblioteca comercial CMOS AMS 350nm [91]. Como exemplo, mostra-se a descrição Verilog do circuito da Figura 16.

```
module 2invs ( X, Y );
    input X;
    output Y;
    wire W;
    INV1 U2 (.A(W), .Q(Y) );
    INV1 U1 (.A(X), .Q(W) );
endmodule
```

4.1.2 Organização e Estrutura de Dados

Uma vez analisada a descrição Verilog do circuito, são geradas em memória uma série de estruturas de dados que caracterizam o circuito e permitem com maior facilidade manipular os dados e efectuar os cálculos relativos à previsão de envelhecimento. As estruturas de dados são baseadas num conjunto de classes com atributos e operações, que a seguir se resumem na Figura 19.

¹² Verilog é uma linguagem de descrição de *hardware* utilizada para modelar e descrever o comportamento de sistemas electrónicos. Esta linguagem suporta o desenho, verificação e implementação de projectos analógicos, digitais e circuitos híbridos em vários níveis de abstracção. Neste trabalho é utilizada para descrever o comportamento dos circuitos digitais ao nível de porta lógica.

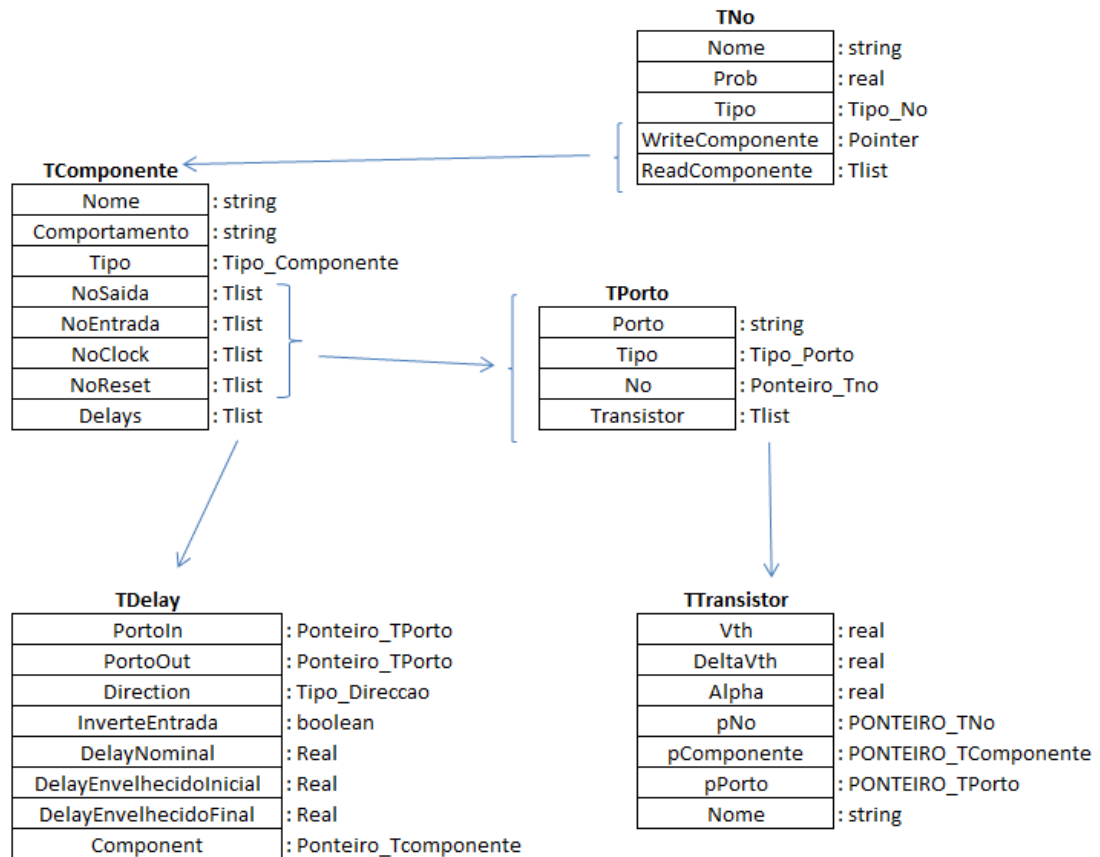


Figura 19: Resumo da estrutura de dados do programa AgingCalc.

Genericamente, um circuito será constituído por nós e componentes ligados entre si. Começando pelas entradas primárias (*Primary Inputs*, PI), são geradas instâncias da classe TNo para representar as PIs, que irão estar ligadas (através de ponteiros) a instâncias da classe TComponente (as portas lógicas ligadas às PI). Por sua vez, cada componente possui instâncias de portos, que permitem guardar a informação dos portos internos da porta e dos nós do circuito (externos à porta lógica) a que cada porto interno está ligado. Em cada instância TPorto existe uma ligação (ponteiro) ao nó do circuito a que este está ligado, quer seja um porto de entrada ou um porto de saída de um componente. Assim, os portos de saída de um componente irão ter a informação do nó que é activado pelo componente. Note que cada nó só pode ser escrito por um único componente. Em resumo, um circuito será então constituído por uma rede de componentes, portos e nós, criados em memória dinâmica para permitir efectuar diversos cálculos sobre o circuito (como calcular caminhos, atrasos, etc.).

Para além destas classes atrás referidas, existe ainda a classe TTransistor e a classe TDelay. A classe TTransistor está associada aos portos existentes num componente

(portos do tipo clock, data, not_reset, pre_set), que permitirá manter a informação de quantos e quais os transístores PMOS existem no circuito e qual a sua probabilidade de operação. A classe TDelay está associada aos componentes, pois cada componente terá uma lista de atrasos em caminhos desde as suas entradas para as suas saídas. É pela informação dos tempos de atraso de cada caminho em cada porta que se calculará os atrasos de um caminho do circuito, somando os tempos de atraso das portas envolvidas.

Em seguida apresenta-se um resumo das classes definidas no programa, com uma breve descrição dos atributos de cada classe. Não se apresentam as funções e procedimentos associados a cada classe, por não se considerar fundamental para o entendimento da organização da estrutura de dados e assim facilitar a leitura desta secção. No entanto, essa informação está disponível nos ficheiros do programa que se encontram no CD anexo a este documento.

Classe	Atributo	Descrição
TComponente	Nome	É uma palavra que contém o nome dado ao componente e é único.
	Comportamento	Representa o nome da porta lógica.
	Tipo	Classifica o componente como sendo Sequencial ou Combinatório.
	NoSaida	É uma lista de ponteiros para os portos de saída do componente.
	NoEntrada	É uma lista de ponteiros para os portos de entrada do componente.
	NoClock	Lista de ponteiros para os portos de <i>clock</i> dos componentes sequenciais.
	NoSet	Lista de ponteiros para os portos de <i>set</i> dos componentes sequenciais.
	NoReset	Lista de ponteiros para os portos de <i>reset</i> dos componentes sequenciais.
	Delays	É uma lista de ponteiros para a classe TDelay que regista a informação dos tempos de atraso do componente.

Tabela 6: Tabela resumo da Classe TComponente.

Classe	Atributo	Descrição
TPorto	Porto	Guarda o nome do porto do componente
	Tipo	Guarda a classificação do porto, ou seja, se é de entrada, saída, <i>clock</i> ou <i>reset</i> .
	No	É um ponteiro para o nó onde se encontra ligado o respectivo porto.
	Transistor	É uma lista de ponteiros para os transístores PMOS internos ligados ao respectivo porto ou ao componente.

Tabela 7: Tabela resumo da Classe TPorto.

Classe	Atributo	Descrição
TTransistor	Vth	É um número que guarda o valor da tensão limiar de condução (Vth) envelhecida do transístor.
	DeltaVth	Guarda o incremento do Vth devido ao NBTI pela equação (20)
	Alpha	É um número que guarda a probabilidade do transístor estar ligado.
	pNo	É um ponteiro para o nó onde se encontra ligado o transístor.
	pComponente	É um ponteiro para o componente a que pertence o transístor.
	pPorto	É um ponteiro para o porto onde está ligado o transístor.
	Nome	Guarda o nome do transístor.

Tabela 8: Tabela resumo da Classe TTransistor.

Classe	Atributo	Descrição
TNo	Nome	É uma palavra que designa o nome dado ao nó e é único.
	Prob	É um número real, que contém a probabilidade do nó estar ao nível lógico '0'.
	Tipo	Designa o tipo de nó, ou seja, nó interno, PI (<i>primary input</i>), PO (<i>primary output</i>), SI (<i>secondary input</i>) e SO (<i>secondary output</i>).
	WriteComponente	É um ponteiro para o componente que escreve nesse nó.
	ReadComponente	É uma lista de ponteiros para os componentes que lêem os dados do nó, ou seja, os componentes que estão ligados a esse nó, para leitura,

Tabela 9: Tabela resumo da Classe TNo.

Classe	Atributo	Descrição
TDelay	PortoIn	É um ponteiro para o porto de entrada do componente, onde começa o cálculo do atraso.
	PortoOut	É um ponteiro para o porto de saída do componente, onde termina o cálculo do tempo de atraso.
	Direction	Indica se ocorreu um <i>rise</i> ou um <i>fall</i> na saída do componente
	InverteEntrada	É um booleano que indica se a transição da entrada tem o mesmo sentido que a transição da saída.
	DelayNominal	Guarda o valor do atraso nominal.
	DelayEnvelhecidoInicial	Guarda o valor do atraso inicial para análises de envelhecimento.
	DelayEnvelhecidoFinal	Guarda o valor do atraso do componente, após o processo de envelhecimento.
	Component	É um ponteiro para o componente onde está a ser feita a análise.

Tabela 10: Tabela resumo da Classe TDelay.

Relativamente à classe TComponente resumida na Tabela 6, cada componente terá um ‘Nome’ que é único no circuito, apresentando um ‘Comportamento’ que é, no fundo, o nome do ficheiro da base de dados (do tipo Paradox) que contém a sua tabela de verdade (que representa o seu comportamento). O atributo ‘Tipo’ deverá indicar se o componente é sequencial ou combinatório. Os atributos ‘NoSaida’, ‘NoEntrada’, ‘Clock’ e ‘Reset’, guardam listas de apontadores para os respectivos portos de entrada, saída, de relógio e de set/reset do componente (que por sua vez estarão ligados aos nós do circuito). Estes dois últimos atributos destinam-se aos componentes sequências (*Flip-Flop*). O atributo ‘Delays’, representa uma lista de apontadores para instâncias da classe TDelay (Tabela 10), que guarda as diversas informações sobre as simulações dos atrasos de cada caminho de sinal de cada componente do circuito. Esta informação permitirá calcular atrasos em caminhos combinatórios, em condições nominais e em condições de envelhecimento.

A existência de uma classe ‘TPorto’ (Tabela 7) prende-se com o facto de haver necessidade de identificar qual o transístor interno a cada componente é que está ligado um determinado nó. Assim, cada porto tem um nome (por exemplo ‘A’), que

pode ser do ‘Tipo’ *data*, *clock*, *not-reset*, ou então de *pre-set*. Este mesmo ‘Porto’ também pode estar ligado a vários ‘Nós’, se for um porto de saída, ou a um único nó, se for um porto de entrada do componente. Por outro lado, o atributo ‘Transistor’ representa uma lista de transístores PMOS que, em condições normais, serão os transístores ligados pela *gate* a esse nó. No entanto, podem existir nessa lista outros transístores PMOS internos que não têm qualquer ligação aos portos de entrada e/ou saída.

Assim, a classe TTransistor apresentada na Tabela 8 apresenta como atributos um nome, que serve de identificar o transístor PMOS no componente, um valor para a *Vth* e outro para a variação de *Vth* calculada para um determinado nível de envelhecimento, o atributo ‘Alpha’ que indica a probabilidade de condução (com $V_{GS} < 0$) do transístor, e ponteiros para o porto, componente e para o nó.

Por último, uma instância da classe TNo (Tabela 9) tem um ‘Nome’ que é único em todo o circuito. O atributo ‘Prob’ é a probabilidade do nó estar a ‘0’ e este pode ser do ‘Tipo’ nó interno, *primary input*, *primary output*, *secondary input*, *secondary output*, *primary input / secondary output*, *secondary input / primary output*.

Utilizando novamente o circuito da Figura 16 (cadeia de 2 inversores) como exemplo, podemos verificar que seriam geradas as seguintes instâncias de classes:

- 2 instâncias da classe TComponent, para representar os 2 inversores;
- 3 instâncias da classe TNo, para representar os nós X, Y, e W;
- 4 instâncias da classe TPorto, para representar os 2 portos (porto A e porto Q) de cada um dos 2 componentes;
- 2 instâncias da classe TTransistor, para representar o transístor PMOS existente em cada um dos 2 inversores;
- 4 instâncias da classe TDelay, duas por cada inversor (sendo uma para representar o atraso $A \rightarrow Q$ no sentido de subida, e a outra para representar o sentido de descida do atraso entre os mesmos portos).

4.1.3 Saída de Dados

O programa AgingCalc permite apresentar uma série de dados de saída, em formato de relatórios, quadros ou gráficos, relativos aos dados das simulações

eléctricas efectuadas com, ou sem, modelação do envelhecimento. Este conjunto de dados, permite ao utilizador conhecer como pode evoluir a degradação da performance do circuito devido ao efeito NBTI.

De seguida, passa-se a apresentar a lista de informações de saída fornecidas pelo programa (de i) a v)), seguida da sua exemplificação. Utilizar-se-á o circuito da Figura 16 como exemplo, para demonstrar as funcionalidades do programa e recorrendo à tecnologia PTM de 16nm para *High Performance*, com 2 anos de período de envelhecimento.

i) **Probabilidades:** uma listagem das probabilidades dos nós do circuito estarem ao nível lógico ‘0’ e as probabilidades de todos os transístores PMOS estarem em condução com uma tensão negativa em V_{GS} ;

Exemplo:

```
X=0,5
Y=0,5
W=0,5
-----
U2 INV1 Ports_in: A=0,5 Ports_out: Q=0,5
  Transistors_PMOS: A=0,5
U1 INV1 Ports_in: A=0,5 Ports_out: Q=0,5
  Transistors_PMOS: A=0,5

iteracções: 2
erro máximo: 0
nó com erro máximo: Y
```

Comentário: Note que X=0,5 e restantes (Y e W) representam as probabilidades do sinal ‘0’ calculado nos respectivos nós; U1 CLKIN0 Ports_in: A=0,5 Ports_out: Q=0,5 apresenta as probabilidades dos nós onde estão ligados, respectivamente, os portos de entrada e saída do inversor U1, em que CLKIN0 é o modelo do componente (porta inversora) incluída na biblioteca e como explicado na secção 3.3.2. Neste caso, as probabilidades coincidem com as calculadas nos nós. “*Transistors: A=0,5*” apresenta a lista de probabilidades dos transístores PMOS que constituem o

componente, que neste caso é apenas um por se tratar de uma porta inversora (constituído por um par de transístores, 1 PMOS e 1 NMOS).

ii) **Atrasos Nominais:** uma listagem com os atrasos nominais de cada instância de cada componente no circuito, e os atrasos nos caminhos combinatórios do circuito (sendo destacado o caminho com maior atraso, ou seja o *Critical Path* (CP));

Exemplo:

```

--- Nominal Gate Delay's ---
U2(INV1): A->Q(rise)=1,328E-12
U2(INV1): A->Q(fall)=3,01E-12
U1(INV1): A->Q(rise)=2,226E-12
U1(INV1): A->Q(fall)=4,979E-12
  --- Nominal Path Delay's ---
Path 1 = X(rise) -> W(U1:INV1:A->Q) (fall) -> Y(U2:INV1:A->Q) (rise) =6,307 ps
Path 2 = X(fall) -> W(U1:INV1:A->Q) (rise) -> Y(U2:INV1:A->Q) (fall) =5,236 ps
Critical Path: Path 1 = X(rise) -> W(U1:INV1:A->Q) (fall) -> Y(U2:INV1:A->Q) (rise) =6,307 ps

```

Comentário: Aqui destaca-se o facto de ser apresentado o caminho cujo atraso inicial é crítico, o CP. Os 2 atrasos de caminhos existentes correspondem ao único caminho físico combinatório, com as suas 2 transições na saída, *rise* e *fall*.

iii) **Atrasos Envelhecidos:** uma listagem com os atrasos de cada instância de cada componente no circuito, e os atrasos nos caminhos combinatórios do circuito, para um determinado período de tempo de envelhecimento devido ao efeito NBTI (um valor por cada ano em análise), apresentando também a identificação do CP para cada etapa (ano) de envelhecimento;

Exemplo:

```

--- Gate Delay's for Year 0 ---
U2(INV1): A->Q(rise)=1,33E-12

```

```

U2 (INV1) : A->Q(fall)=3,01E-12
U1 (INV1) : A->Q(rise)=2,229E-12
U1 (INV1) : A->Q(fall)=4,98E-12
  --- Path Delay's for Year 0 ---
Path 1 = X(rise) -> W(U1:INV1:A->Q) (fall) -> Y(U2:INV1:A->Q) (rise) =6,31 ps
Path 2 = X(fall) -> W(U1:INV1:A->Q) (rise) -> Y(U2:INV1:A->Q) (fall) =5,239 ps
Critical Path: Path 1 = X(rise) -> W(U1:INV1:A->Q) (fall) -> Y(U2:INV1:A->Q) (rise) =6,31 ps
  --- Gate Delay's for Year 1 ---
U2 (INV1) : A->Q(rise)=1,359E-12
U2 (INV1) : A->Q(fall)=3,018E-12
U1 (INV1) : A->Q(rise)=2,277E-12
U1 (INV1) : A->Q(fall)=4,964E-12
  --- Path Delay's for Year 1 ---
Path 1 = X(rise) -> W(U1:INV1:A->Q) (fall) -> Y(U2:INV1:A->Q) (rise) =6,323 ps
Path 2 = X(fall) -> W(U1:INV1:A->Q) (rise) -> Y(U2:INV1:A->Q) (fall) =5,295 ps
Critical Path: Path 1 = X(rise) -> W(U1:INV1:A->Q) (fall) -> Y(U2:INV1:A->Q) (rise) =6,323 ps
  --- Gate Delay's for Year 2 ---
U2 (INV1) : A->Q(rise)=1,363E-12
U2 (INV1) : A->Q(fall)=3,018E-12
U1 (INV1) : A->Q(rise)=2,283E-12
U1 (INV1) : A->Q(fall)=4,962E-12
  --- Path Delay's for Year 2 ---
Path 1 = X(rise) -> W(U1:INV1:A->Q) (fall) -> Y(U2:INV1:A->Q) (rise) =6,325 ps
Path 2 = X(fall) -> W(U1:INV1:A->Q) (rise) -> Y(U2:INV1:A->Q) (fall) =5,301 ps
Critical Path: Path 1 = X(rise) -> W(U1:INV1:A->Q) (fall) -> Y(U2:INV1:A->Q) (rise) =6,325 ps

```

Comentário: Este resultado é semelhante ao anterior (ii), porém apresenta a análise para os diferentes níveis de envelhecimento.

iv) **Envelhecimento dos Caminhos:** um quadro resumido com os valores dos tempos de atraso (em pico segundos) de todos os caminhos ao longo do período de envelhecimento em análise;

Exemplo:

```
Year 0 1 2
P1= 6,31 6,323 6,325
P2= 5,239 5,295 5,301
```

v) **Degradação dos Caminhos:** um quadro resumido com os valores percentuais da degradação nos tempos de atraso (em percentagem) de todos os caminhos ao longo do período de envelhecimento em análise;

Exemplo:

```
Year 0 1 2
P1= 0 0,206022187004755 0,2377179080824
P2= 0 1,06890627982439 1,18343195266271
```

vi) **Ficheiros SPICE do Circuito Completo:** uma descrição do circuito em formato SPICE (compatível com o simulador HSPICE) com a modelação do envelhecimento do circuito ao longo de todo o período em análise, permitindo simular o circuito completo com toda a informação relativa ao envelhecimento por NBTI;

Exemplo:

```
** TO BE COMPLETED BY THE USER ***
*****
* CIRCUIT AGING AFTER 0 YEAR
XU2 W Y vss! vdd! INV1 vth_PA=-0.43150
XU1 X W vss! vdd! INV1 vth_PA=-0.43150
*****
* CIRCUIT AGING AFTER 1 YEAR
.alter
XU2 W Y vss! vdd! INV1 vth_PA=-0.43658
```

```

XU1 X W vss! vdd! INV1 vth_PA=-0.43658
*****
* CIRCUIT AGING AFTER 2 YEARS
.alter
XU2 W Y vss! vdd! INV1 vth_PA=-0.43724
XU1 X W vss! vdd! INV1 vth_PA=-0.43724
.end

```

vii) **Gráficos:** gráficos relativos à performance de cada caminho do circuito e à degradação desse caminho, ao longo do tempo de análise, permitindo seleccionar simultaneamente os gráficos de múltiplos caminhos (no fundo é a informação prestada em iv) e v) mas em formato de gráfico).

Exemplo: Ver Figura 20 e Figura 21.

Comentário: A selecção dos gráficos pode ser feita entre as 2 possibilidades apresentadas, degradação do atraso dos caminhos (em percentagem), ou evolução da performance de cada caminho (em pico segundos) para qualquer caminho do circuito.

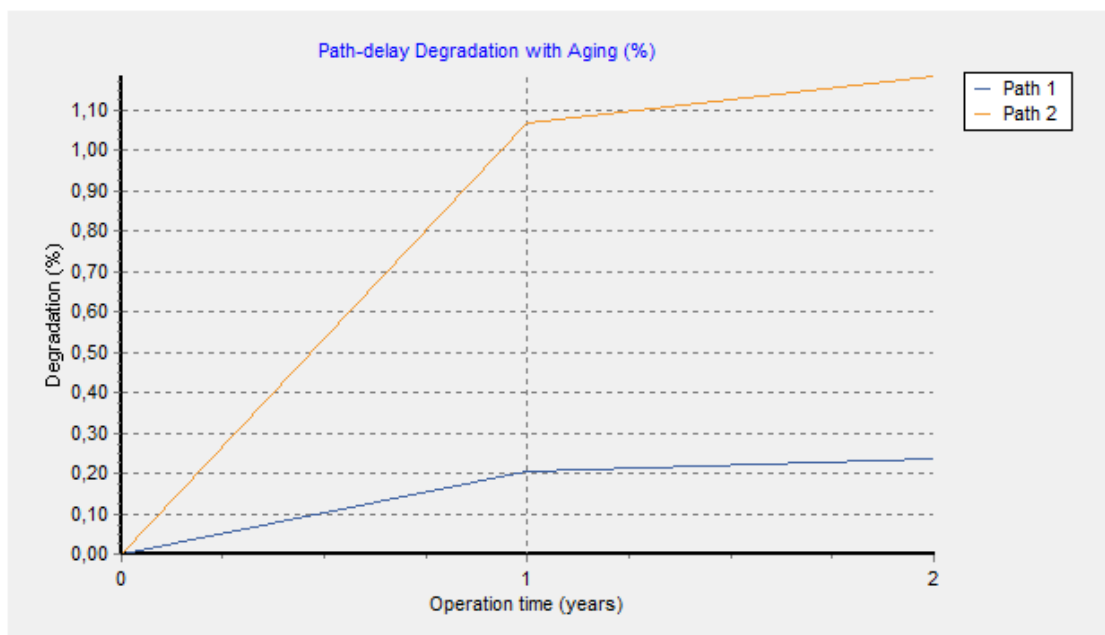


Figura 20: Gráfico da evolução da degradação dos atrasos dos caminhos em [%].

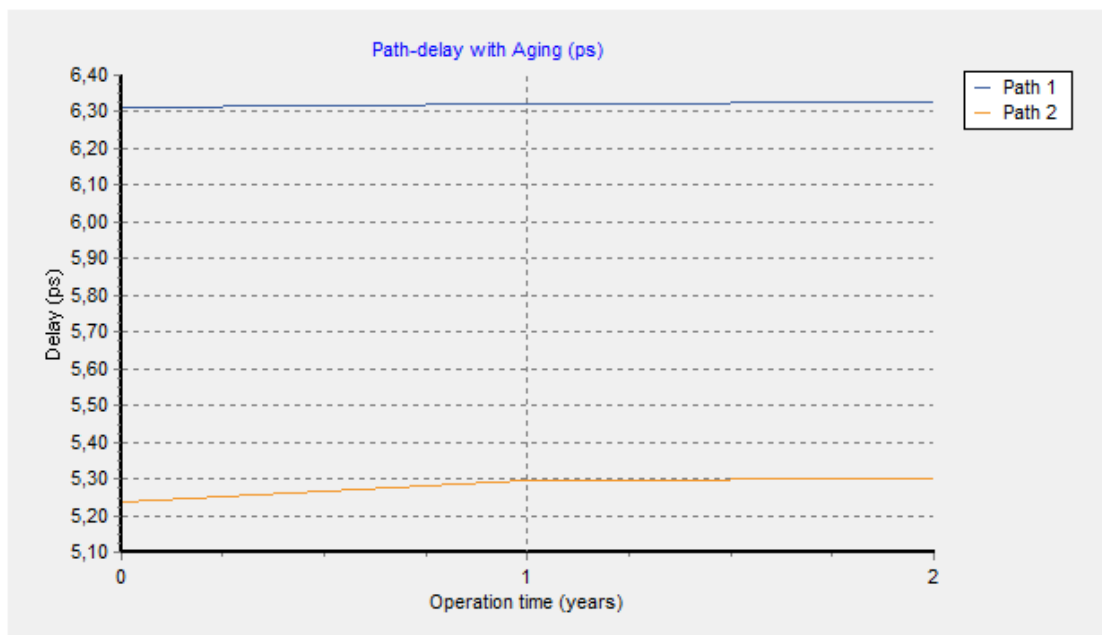


Figura 21: Gráfico da evolução da degradação dos atrasos dos caminhos em [ps].

4.2 DESCRIÇÃO DAS PRINCIPAIS FUNCIONALIDADES

O programa *AgingCalc* apresenta um conjunto de diversas funcionalidades para, globalmente, atingir um objectivo final: o de prever o envelhecimento de circuitos digitais CMOS. Uma vez que a medição da degradação dos circuitos é feita, em última instância, por simulações SPICE, foi necessário automatizar uma série de funções e procedimentos, em que os principais serão descritos nesta secção.

De acordo com o interface do programa, apresentado na Figura 22, podem ser identificadas as principais funcionalidades no conjunto de botões designado *Simulation Tools* (ver Figura 23). Uma execução típica do programa deverá começar por carregar em memória dinâmica o circuito a analisar (função *Load Verilog File*, da Figura 23). Depois, deverá ser executado o comando *Probabilities*, para calcular as probabilidades de operação dos transístores (devido à sua importância e complexidade, esta funcionalidade irá ser descrita em maior detalhe na secção 4.2.1). Poderão em seguida ser calculados os atrasos nominais do circuito (através da função *Nominal Delays*), simulando os componentes com valores nominais para os parâmetros V_{th} dos transístores, ou executar a análise de envelhecimento (calculando

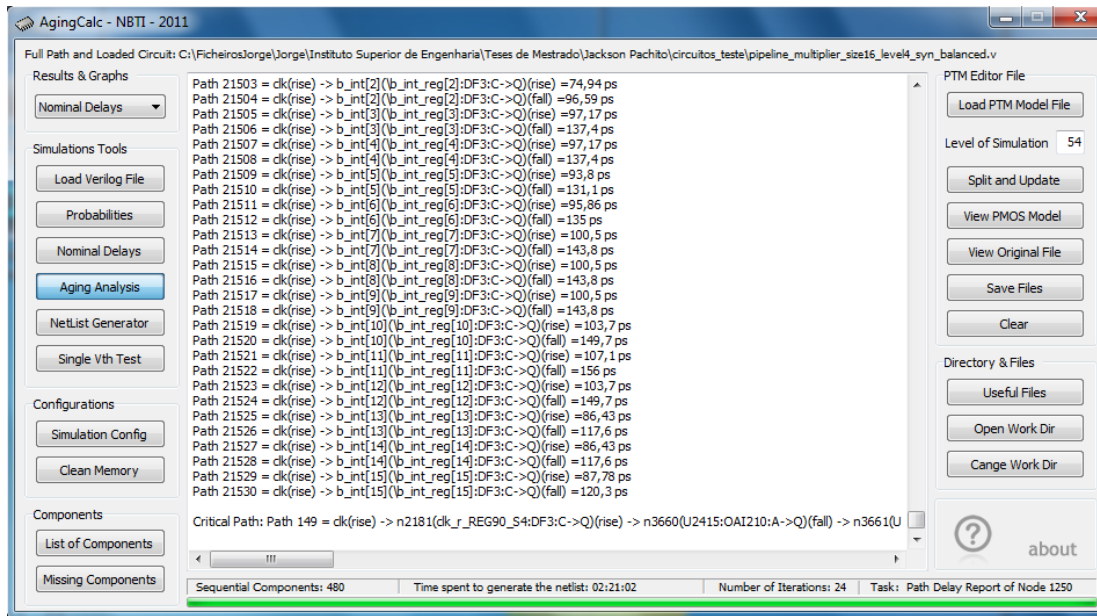


Figura 22: Aspecto gráfico e janela principal do programa AgingCalc.

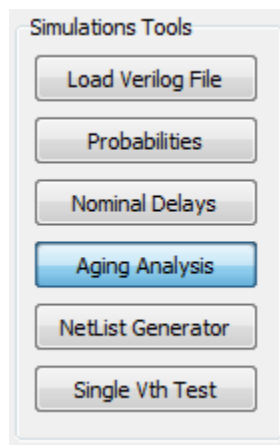


Figura 23: Pormenor da janela do programa AgingCalc, com as principais funcionalidades agrupadas no menu *Simulation Tools*.

as variações no parâmetro V_{th} dos transístores provocadas pelo envelhecimento durante um determinado tempo) e calcular os tempos de propagação das portas, por simulação SPICE, para avaliar o grau de degradação na performance de cada caminho e, conseqüentemente, do circuito (função *Aging Analysis*). A descrição mais pormenorizada da forma como são calculados os tempos de atraso das portas e dos caminhos será explicado na secção 4.2.2. A Figura 24 sintetiza todos estes passos no fluxograma geral do programa.

Para além das funcionalidades principais já mencionadas, importa destacar ainda a geração automática do ficheiro SPICE (*netlist*) do circuito, onde se inclui a

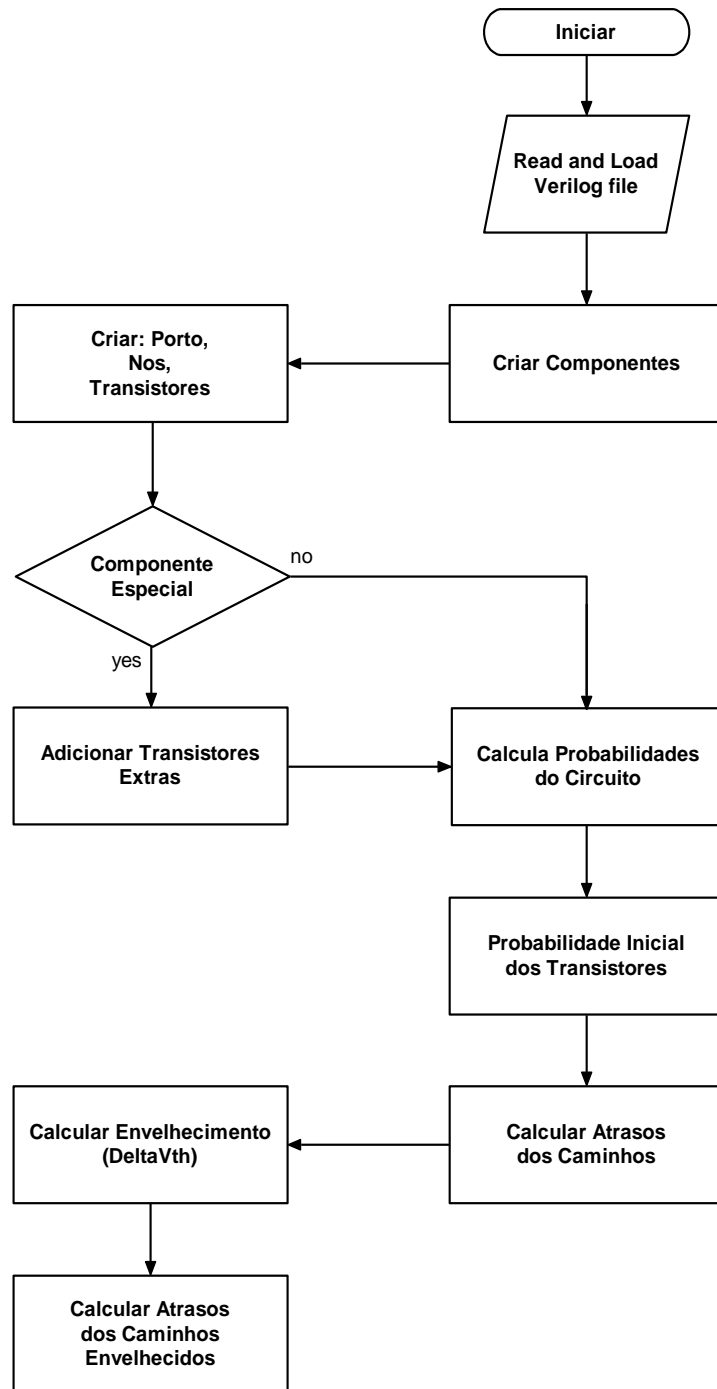


Figura 24: Fluxograma geral da aplicação AgingCalc.

modulação do envelhecimento para todos os anos em análise definidos pelo utilizador (função *Netlist Generator* na Figura 23). Esta geração da *netlist* e o cálculo dos parâmetros envelhecidos é, no fundo, a automatização do que já foi explicado nas secções 3.1 e 3.3.3.

No entanto, existem outras funcionalidades que não são consideradas principais, mas que são igualmente importantes. Por exemplo, é possível ainda ler e editar

ficheiros *.sp com o modelo PTM dos transístores, através do comando *Split and Update* presente no menu *PTM Editor File*, que pertence à janela principal do programa. De referir que esta ferramenta permite facilmente fazer as transformações necessárias aos modelos PTM para que estes possam ser utilizados nas simulações SPICE.

Através do comando *List of Components* do menu *Components* encontrado na janela principal, é possível ter acesso aos componentes registados na base de dados e respectivas tabelas de verdade. Também foi implementado pelo comando *Missing Components* uma ferramenta que permite alertar o utilizador para o caso de um circuito, que estando a ser carregado para a memória dinâmica, não poder ser simulado por falta de componentes na base de dados. A alerta consiste na apresentação de uma lista com os respectivos componentes em falta na base de dados.

Outra funcionalidade muito simples, e não menos importante do que as outras, é implementada através do comando *Single Vth Test*. A sua finalidade é que o utilizador rapidamente possa testar certas configurações em relação ao envelhecimento de um único transístor PMOS e assim ter a percepção de como o *Vth* é alterado com tais configurações dos parâmetros de envelhecimento.

Outras funcionalidades internas e não visíveis permitem, por exemplo, que as tabelas de verdade dos componentes sejam analisadas para determinar os vectores de teste de cada componente (ver secção 4.2.2).

As subsecções seguintes apresentam uma descrição mais pormenorizada das duas funções mais complexas realizadas na execução da metodologia de previsão de envelhecimento.

4.2.1 Cálculo de Probabilidades

Como já se disse anteriormente, uma das condições para que um PMOS se encontre sob os efeitos do NBTI é que este esteja submetido a uma tensão negativa no terminal *gate*. Para que esta condição seja satisfeita, em primeiro lugar devem ser calculadas as probabilidades em todos os nós do circuito, sendo esta tarefa realizada por dois procedimentos: *Probabilidades* e *CalculaProbabilidades*.

O primeiro procedimento (*Probabilidades*) é onde a coordenação de todo o cálculo é feito, estabelecendo condições de paragem, verificando erros no circuito e chamando o segundo procedimento para efectuar o cálculo da probabilidade nos nós. O fluxograma apresentado na Figura 25 resume a execução deste procedimento.

A estratégia seguida para o procedimento *Probabilidades* é a de usar a recursividade para ir efectuando o cálculo das probabilidades nos nós de saída dos componentes, até que se verifiquem as condições de paragem, por erros no circuito, por não convergência dos valores, ou, numa situação normal, pela convergência das probabilidades nos nós e finalização da tarefa. Assim, partindo do princípio que a

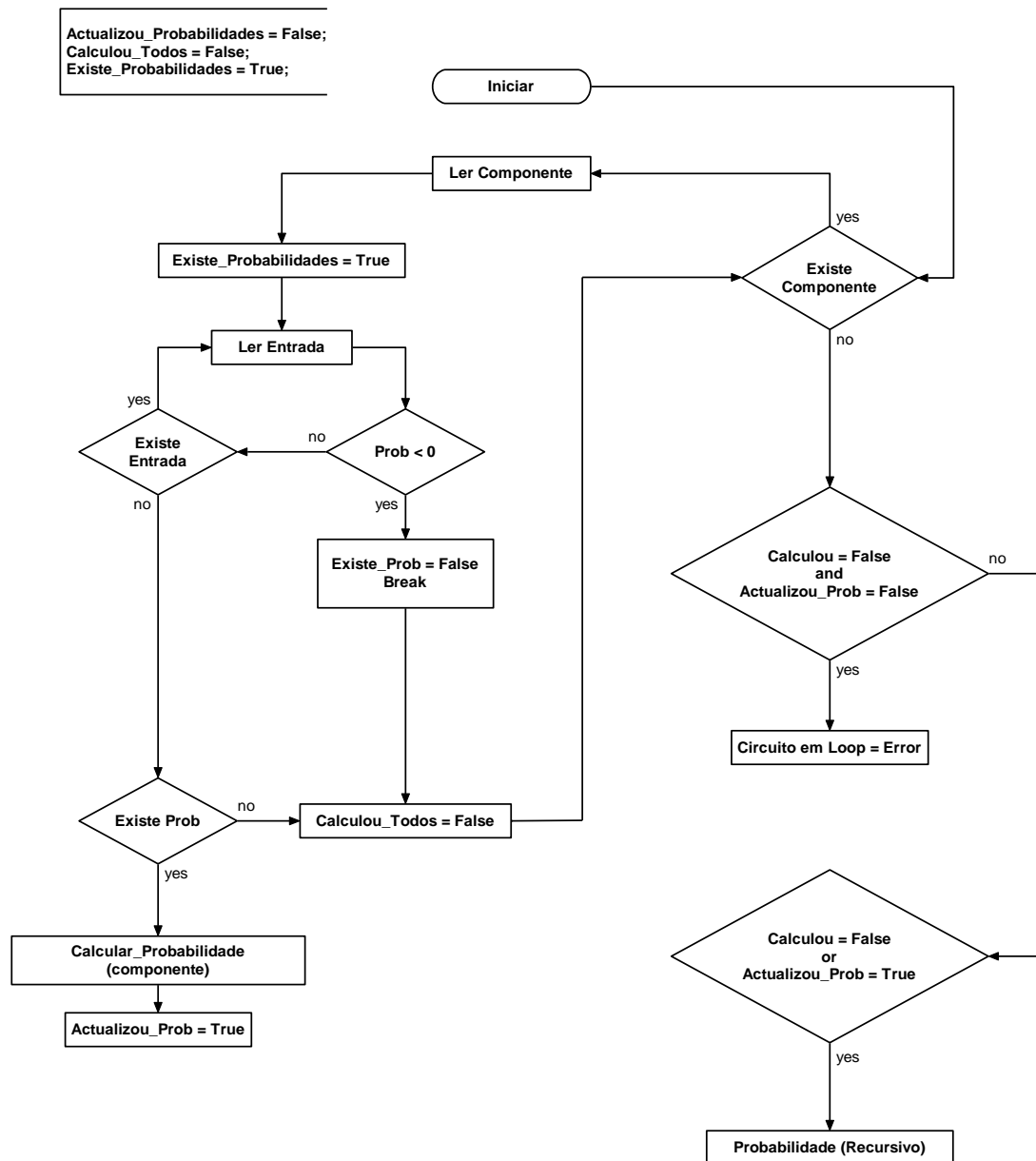


Figura 25: Fluxograma do procedimento *Probabilidades*.

activação de cada nó é efectuada por um componente, ou por o nó ser uma entrada primária, então são percorridos todos os componentes do circuito de modo a calcular as probabilidades dos nós de saída deste, com base nas probabilidades nos nós de entrada. Se for possível fazer o cálculo, isto é, se existirem valores de probabilidades nos nós de entrada que permitam calcular a probabilidade das saídas do componente pela sua tabela de verdade, executa-se esse cálculo (como explicado na secção 3.2.1), actualizando e verificando a convergência das probabilidades desses nós. Se não for possível fazer o cálculo por não existirem ainda todas as probabilidades nos nós de entrada, segue-se para o próximo componente. Em cada iteração espera-se que exista, pelo menos, um novo cálculo de probabilidades de um nó, para que, a pouco e pouco, todos os eles tenham um valor de probabilidade possível.

A condição de paragem normal é efectuar o cálculo até que os valores de probabilidades em todos os nós converjam para valores estáveis, utilizando uma variável de erro (que por defeito é de 10^{-4}) para avaliar essa convergência. O caso de não convergência de valores é previsto existir para as situações de *feedbacks* positivos no circuito, conduzindo a execução do procedimento a uma situação de paragem excepcional se forem efectuados um número elevado de iterações (por defeito 1000) sem existir a convergência dos valores. É de notar que, nos circuitos testados, esta condição de não convergência nunca foi detectada. Outro aspecto importante de realçar é que, para agilizar o processo inicial de convergência, todos os nós de saída de portas sequenciais (flip-flops) são inicializados com uma probabilidade (definida pelo utilizador, mas de 50% por defeito), assim como todas as entradas primárias. A escolha da probabilidade das entradas primárias deve ser cuidadosamente analisada pela experiência do utilizador, já que depende da funcionalidade do circuito.

Outra condição de paragem excepcional ocorre pela existência de *loops* em portas combinatórias, quando o cálculo da probabilidade de um nó depende dele mesmo. Circuitos onde esta situação pode ocorrer são os circuitos de memória, como os *latch* assíncronos. A forma de ultrapassar estas situações é a de inicializar todos os nós do circuito com uma probabilidade inicial, para que a condição de paragem seja a convergência de todos os nós (e não a existência de *loops* em portas combinatórias).

Relativamente ao procedimento *CalculaProbabilidades*, este efectua o cálculo das probabilidades num nó de saída de um componente, recorrendo à sua tabela de verdade e às probabilidades dos nós de entrada (do componente). A estratégia seguida para este cálculo resume-se no fluxograma da Figura 26, que implementa um procedimento automático para os cálculos das probabilidades descritos na secção 3.2.1. Em resumo, a probabilidade de um nó de saída é calculada pela identificação, na tabela de verdade do componente, das combinações de entradas que conduzem à saída com valor lógico '0'. A soma das probabilidades de ocorrência dessas combinações nas entradas irá constituir a probabilidade final do nó de saída do componente (como explicado na secção 3.2.1).

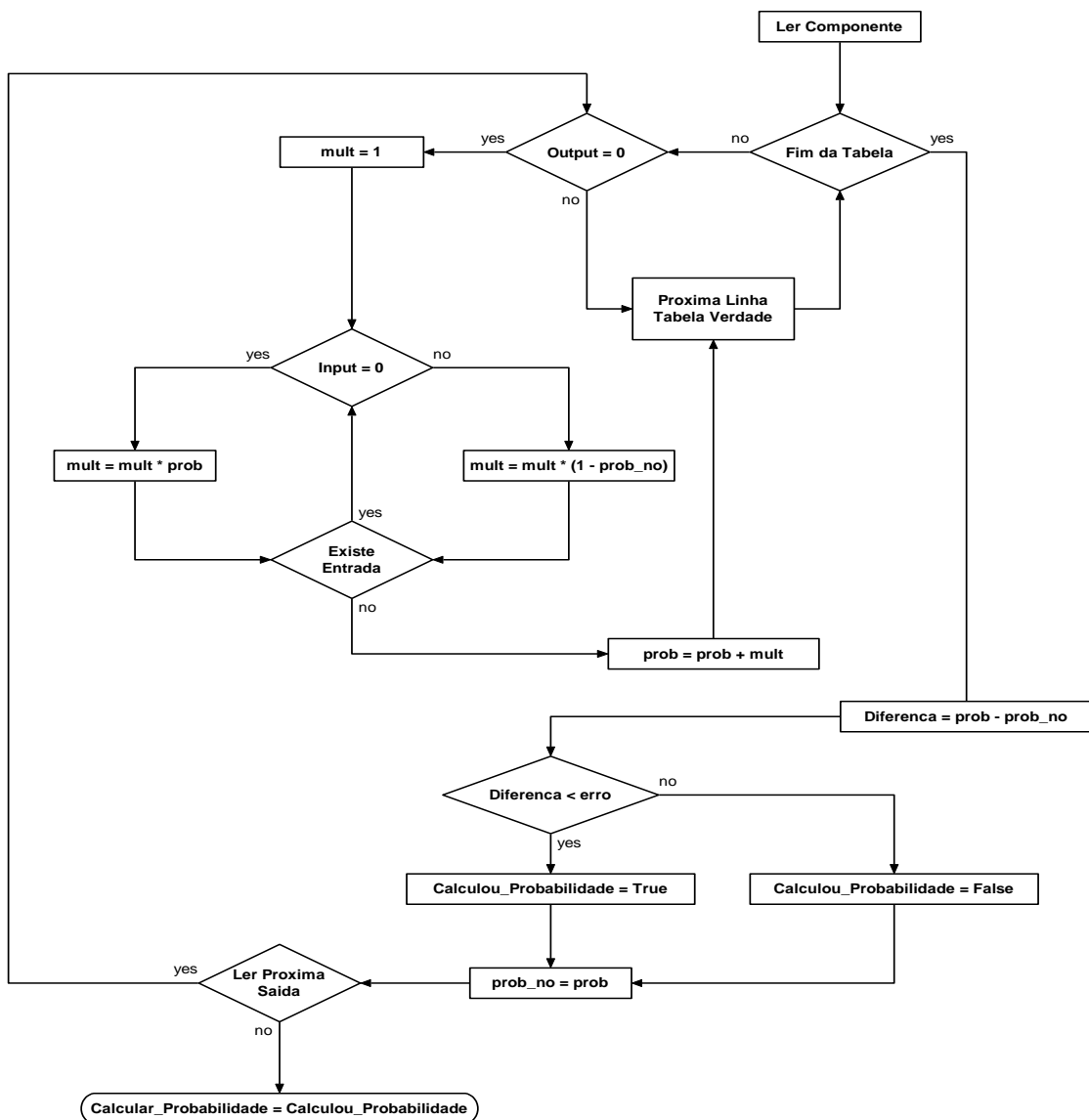


Figura 26: Fluxograma do procedimento *CalculaProbabilidades*.

Uma vez calculada a probabilidade de um nó de saída, é verificado se esse valor já verifica a condição de convergência, de forma a reportar para o procedimento *Probabilidades* se esse nó já convergiu. A condição de convergência é calculada quando a diferença entre duas iterações num nó produz um erro menor do que 10^{-4} . Este valor é utilizado por defeito, mas pode ser definido pelo utilizador através das configurações da simulação em *Simulation Config*, campo de texto MPE – *Maximum Probability Error to converge*.

Uma vez calculadas as probabilidades dos nós, é necessário actualizar e calcular as probabilidades de cada transístor PMOS poder estar em condução com uma polarização negativa em V_{GS} . Esta tarefa é executada pelo procedimento *ActualizarTransistor*. A forma como este cálculo é efectuado já foi explicada na secção 3.2.2. Na realidade, esta tarefa está muito dependente das estruturas das portas lógicas da biblioteca, resumindo-se este procedimento a chamar as funções específicas de cada tipo de porta, para calcular as probabilidades de operação dos transístores, tendo por base as probabilidades dos nós de entrada das portas lógicas.

Esta é, portanto, uma tarefa que constitui uma limitação para a integração de novas portas lógicas à biblioteca, ou para a utilização de uma nova biblioteca genérica de portas. A estrutura ao nível de transístores de uma porta lógica e a forma como os transístores estão ligados influencia sobremaneira no número de transístores existentes e na forma como as suas probabilidades de operação são calculadas. No entanto, esta é uma limitação que não poderá ser ultrapassada de forma automática.

4.2.2 Cálculo de Atrasos em Portas Lógicas e Caminhos

O tempo de atraso (*delay-time*, t_d) é uma característica física muito importante das portas lógicas e dos circuitos, pelo facto de o circuito poder não cumprir as suas tarefas dentro de um tempo especificado, influenciando os resultados nas suas saídas e resultando, em última instância, em falhas no CI e no equipamento electrónico. Estamos perante uma falha de atraso, ou *delay-fault*. Vejamos o exemplo da Figura 27 que apresenta a estrutura de um circuito digital sequencial genérico. Os componentes sequenciais (normalmente flip-flops) são activados por um sinal de relógio que marca

o ritmo de captura e geração das saídas e entradas secundárias, respectivamente. Assim, é importante que os componentes combinatórios (que não estão sujeitos directamente a um sinal de relógio a marcar o ritmo da sua operação) consigam produzir saídas (primárias ou secundárias) estáveis antes da captura das saídas secundárias por parte das células sequenciais, caso contrário ocorrerá um erro de performance (ou falha de atraso). Assim, a frequência de operação de um circuito é definida pelo tempo do caminho crítico (CP) existente nos componentes combinatórios de um circuito. À parte as margens de segurança sempre necessárias, o período de relógio não pode ser inferior ao tempo de atraso do CP (o caminho com o maior tempo de propagação) existente nas portas combinatórias. Por esta razão, quando se fala em tempos de propagação num circuito digital, fala-se, fundamentalmente, nos tempos de propagação das portas combinatórias, já que as células sequenciais são consideradas como entradas e saídas (secundárias). No entanto, o tempo de activação das células sequenciais também deve ser considerado.

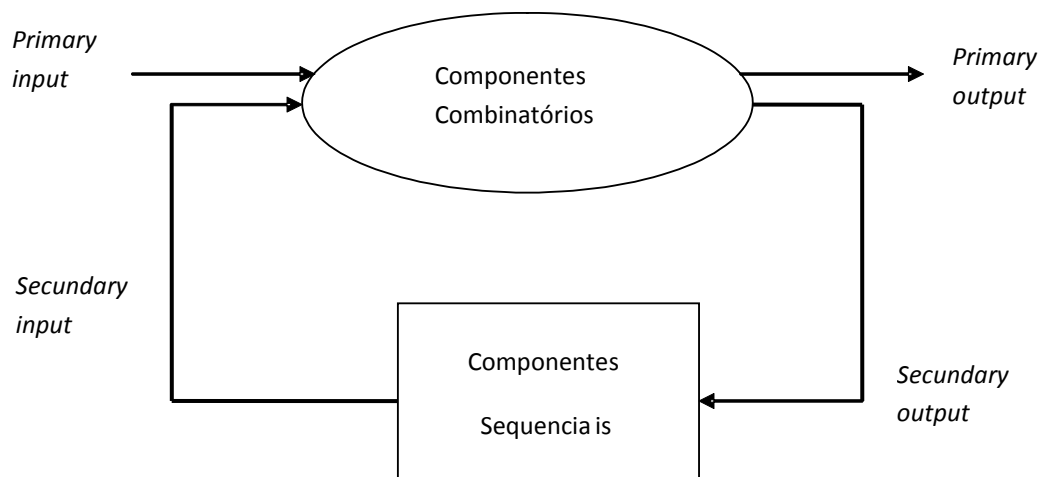


Figura 27: Circuito sequencial genérico.

Neste trabalho são calculados 2 tipos de tempos de propagação: (i) os tempos de propagação de cada porta individualmente (no caso de uma porta sequencial, é o tempo de propagação desde a activação da porta pelo sinal de relógio, até que a saída nova produzida esteja estável); e (ii) os tempos de propagação dos caminhos, calculados pela soma dos tempos de propagação das portas lógicas entre uma entrada e uma saída (primárias ou secundárias). A medição dos tempos de propagação é sempre efectuada entre os instantes em que a entrada e a saída se encontram em 50%

do patamar da transição, como ilustra a Figura 28. Para além disso, em cada caminho físico de propagação podem ser identificados dois tempos de propagação: t_{pLH} e t_{pHL} , como a Figura 28 também ilustra. A denominação da transição LH (*Low-to-High*) ou HL (*High-to-Low*) prende-se com o sentido da transição na saída do caminho. É usual calcular a média destes dois tempos e obter um tempo médio de propagação. No entanto, neste trabalho utilizaram-se discriminadamente as duas transições de forma a obter um maior rigor nos tempos de propagação dos caminhos. Assim, para cada caminho físico num circuito, consideram-se os dois tempos de propagação, t_{pLH} e t_{pHL} .

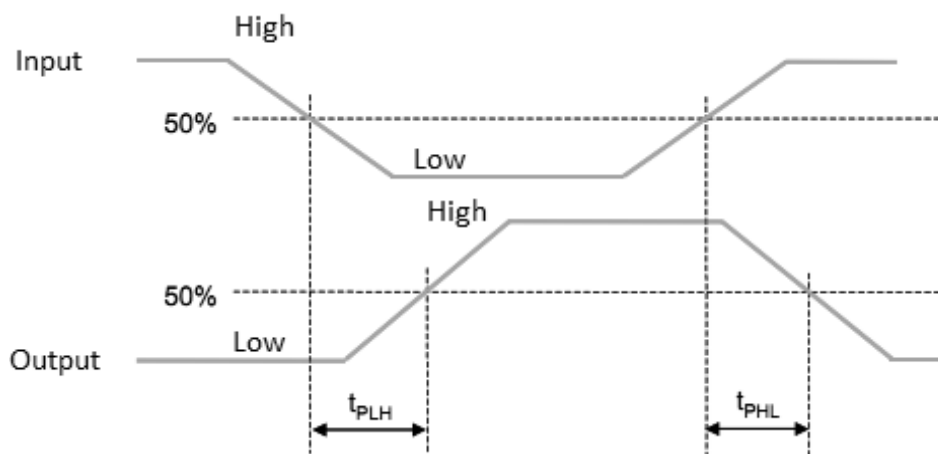


Figura 28: Tempos de propagação de subida t_{pLH} e descida t_{pHL} .

Para o cálculo dos tempos de propagação de cada porta (i), é necessário simular o circuito de modo a estimular cada transição individualmente. Para isso, devem primeiro ser identificados os vectores de entrada da porta que desencadeiam cada transição em separado (ver fluxograma da Figura 29).

Assim, para uma porta lógica combinatória, começa-se por identificar os caminhos físicos existentes entre as entradas e saídas do componente. Depois, analisa-se a sua TV de modo a encontrar dois vectores que, simultaneamente, permitam transições na entrada e saída considerada, mantendo constantes os valores lógicos nas restantes entradas. Com estes dois vectores, irá simular-se automaticamente o componente (ver secção 3.3.3) de forma a calcular os dois tempos de propagação nesse caminho físico, t_{pLH} e t_{pHL} . Este procedimento repete-se para os caminhos físicos entre as entradas e saídas do componente.

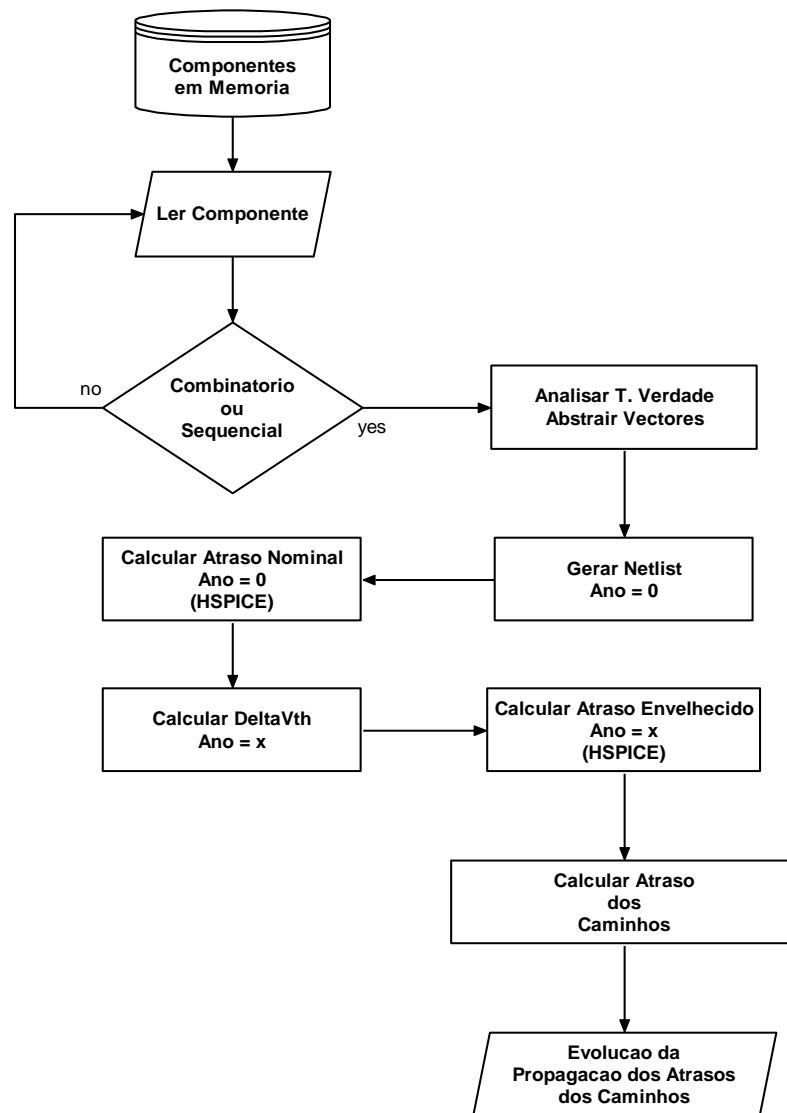


Figura 29: Fluxograma para obter a propagação dos atrasos das portas e dos caminhos.

Relativamente aos componentes sequenciais (normalmente flip-flops), consideram-se apenas os caminhos físicos entre as entradas de relógio e as saídas, uma vez que as saídas apenas mudam por activação do relógio.

É de notar que, para que os tempos de propagação em cada porta sejam mais realistas, incluem-se na simulação os componentes de carga de cada porta, isto é, a simulação é feita com todos os componentes que no circuito estão ligados ao nó de saída do componente que se está a calcular os tempos de propagação. Assim, para a simulação automática e cálculo dos tempos, para cada caminho físico é gerado um ficheiro SPICE com a descrição de uma parte do circuito global, constituída pelo componente a simular, os componentes ligados à sua saída que pertence ao caminho a

calcular, e fontes de alimentação para implementar os vectores de teste calculados. Em seguida é executado em *background* o simulador HSPICE que devolve os resultados dos tempos num ficheiro de medidas. Esse ficheiro é lido e o componente é actualizado com dois novos tempos de atraso (instâncias da classe TDelay, como explicado na secção 4.1.2). Este procedimento é seguido para cálculo dos tempos nominais, ou para cálculo dos tempos no circuito envelhecido.

Exemplo da Porta NAND20

Vejamus um exemplo para a obtenção dos atrasos numa porta NAND20. A Figura 30 exemplifica o sub-circuito a simular, com a NAND e as restantes portas ligadas à sua saída (circuito de carga). Por inspecção da TV da porta (Tabela 11), os vectores que testam todas as transições da entrada ‘A’ para a saída (*output*) são: ABQ=011 e ABQ=110. Para a entrada ‘B’ têm-se os seguintes vectores de teste: ABQ=101 e ABQ=110.

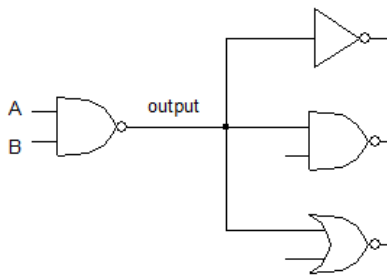


Figura 30: Sub-circuito de exemplo para cálculo dos tempos de propagação na porta lógica NAND20.

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

Tabela 11: Tabela de verdade da porta NAND20.

Relativamente ao cálculo dos tempos de propagação dos caminhos (ii), são pesquisados todos os nós de saída do circuito (saídas primárias e saídas secundárias), para em seguida se iniciar um processo de pesquisa de caminhos até às entradas. Recursivamente o programa vai somando os tempos de propagação dos componentes num caminho, até que uma entrada primária seja atingida. Note que no caso de uma célula sequencial estar posicionada no início do caminho, como o seu tempo de atraso é medido entre as saídas e as entradas de relógio, então a condição de paragem numa

entrada primária garante que o tempo de activação da célula de memória está contabilizado no tempo de propagação do caminho.

Também aqui cada caminho físico corresponde a dois tempos de propagação, ou seja, t_{pLH} e t_{pHL} . É de realçar que, para esta diferenciação de cálculo ser possível, é necessário analisar os 2 vectores de teste utilizados para o cálculo de cada transição, de forma a saber se a saída e a entrada de cada componente aparecem com transições idênticas ou não (subida, descida). Assim, por exemplo na Figura 30 considerando o caminho composto pelo NAND20 e pelo INV0, partindo da entrada A, serão identificadas duas transições no caminho, sendo que as restantes combinações não são possíveis:

- NAND20 (A → Q, subida) + INV0 (A → Q, descida).
- NAND20 (A → Q, descida) + INV0 (A → Q, subida).

5. RESULTADOS EXPERIMENTAIS

Este capítulo pretende apresentar uma série de simulações efectuadas de forma a (i) avaliar as dependências da modelação do NBTI em relação aos diferentes factores externos, tais como a temperatura, o campo eléctrico e a frequência de operação, e (ii) para testar a aplicação `AgingCalc` e a metodologia de previsão de envelhecimento.

No primeiro caso (i), os testes foram feitos com base em um único transistor PMOS, de forma a perceber qual a degradação do parâmetro V_{th} em função da degradação dos parâmetros referidos. Estes resultados apresentam-se na secção 5.1.

No segundo caso (ii), foram utilizados uma série de circuitos de referência para testar a metodologia em diferentes situações e circuitos. Estes resultados são apresentados na secção 5.2.

5.1 RESULTADOS DO ENVELHECIMENTO DE UM TRANSÍSTOR

Na secção 2.1 foi explicada a dependência da degradação por NBTI de vários parâmetros como a Temperatura, a Tensão de alimentação e a frequência de operação do circuito. Nesta secção apresentaremos os resultados da utilização da metodologia quando essas variações de parâmetros ocorrem e assim perceber de forma clara a relação existente. Além destas variações, também será analisada a degradação em diferentes tecnologias BPTM face ao NBTI.

5.1.1 Variação da Degradação com a Temperatura

Neste teste considerou-se um único transistor PMOS de tecnologia 65nm, utilizando a tensão nominal da tecnologia (PTM 65nm) que, de acordo com a Tabela 1

é de 1.1V, fazendo variar a temperatura de operação do transistor entre dois valores de referência para nano tecnologias, ou seja, uma temperatura considerada normal em 65nm de 60 °C, e outra considerada elevada de 110 °C. O objectivo deste teste é o de verificar o comportamento da redução da performance do transistor quando há variações na temperatura de operação. Para além de se manter fixa a tensão de alimentação V_{DD} , a frequência foi mantida a 1kHz e a probabilidade de operação do transistor, α , foi mantida a 0,5. O resultado das simulações é apresentado na Figura 31.

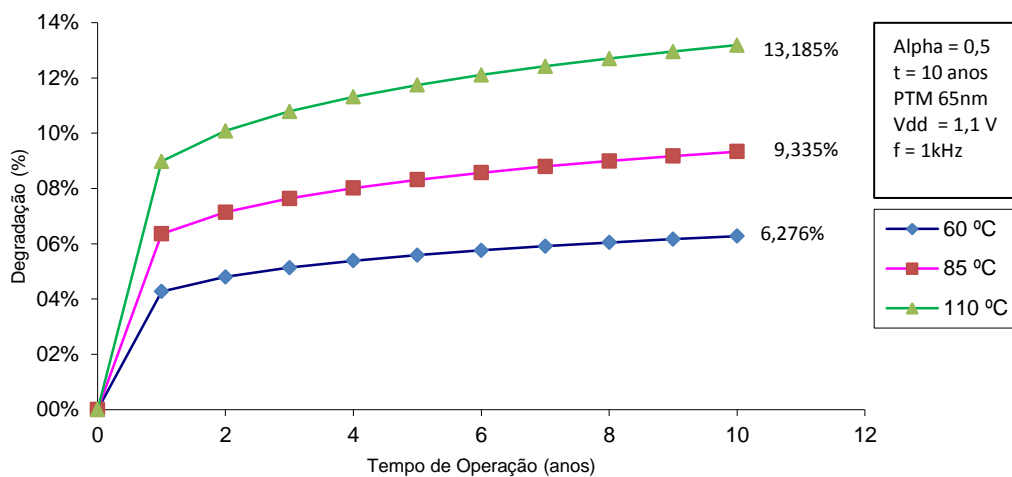


Figura 31: Evolução da degradação do V_{th} do transistor PMOS com variação da temperatura.

Ao longo deste relatório, muitas foram as vezes em que se mencionou a dependência do NBTI em relação à temperatura. Para além disso, ainda se referiu na secção 2.1.3 existir ainda alguma controvérsia quanto a esta questão, pelo facto do modelo RD não apresentar as bases que explicam esta dependência. Contudo, pelos resultados apresentados na Figura 31 como resultado da modelação do envelhecimento por NBTI (Equação 20), pode-se facilmente verificar que esta dependência existe, e a degradação do V_{th} é maior, quanto maior for a temperatura de operação do transistor. O envelhecimento dos transístores PMOS é, claramente, influenciado pela variação da temperatura.

Também se conclui que a evolução no incremento da degradação é, inicialmente no período compreendido ente o ano 0 e o ano 1, grande, existindo uma rápida evolução da degradação do transistor, tornando-se depois numa degradação lenta. Isto

explica-se pelo facto de os modelos não serem lineares no tempo e de inicialmente o campo eléctrico ser mais elevado, como resultado do V_{th} ter o seu valor mínimo no valor nominal inicial (ver equação (15)).

5.1.2 Variação da Degradação com a Frequência de Operação

Este teste tem por objectivo perceber qual a relação entre degradação do V_{th} por NBTI e frequência de operação do transistor PMOS. Assim, submeteu-se um transistor a operar em várias frequências, com uma temperatura de operação constante (110°C), a tensão V_{DD} nominal e considerando $\alpha_{\text{transistor}} = 0,5$. A tecnologia utilizada foi novamente a PTM de 65nm com variações de frequência entre 1kHz e 1GHz.

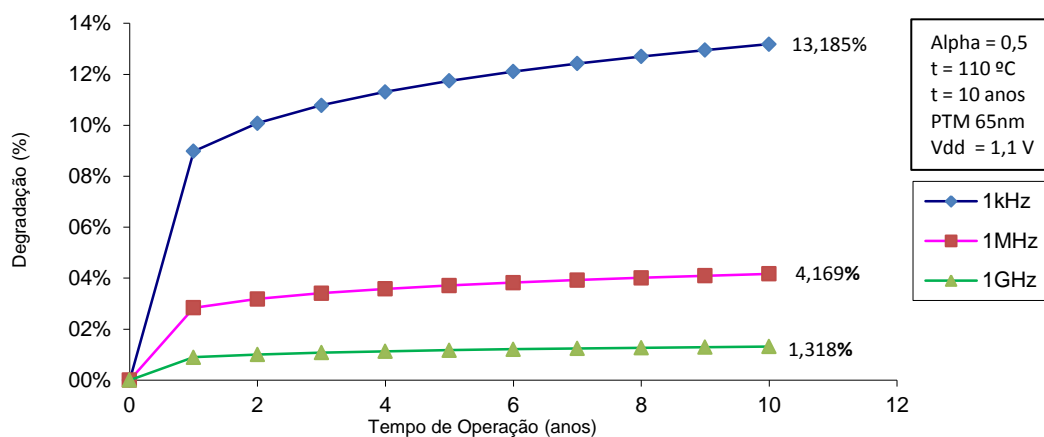


Figura 32: Evolução da degradação do transistor PMOS com variação da frequência.

Pelo gráfico da Figura 32, verifica-se que quanto menor a frequência de operação, maior será a degradação do transistor PMOS. Este resultado está de acordo com outros trabalhos científicos, como [41], [45] e [59], que referem como condições para uma grande degradação a utilização de frequências baixas. Nesta simulação verifica-se que para frequências baixas (1kHz) existe uma degradação muito acentuada, quando comparado com os resultados para as restantes frequências.

Este é um bom resultado, já que, utilizando nano tecnologias cada vez mais pequenas, existe a tendência para que a frequência do relógio seja aumentada. Nestas

condições o envelhecimento é pouco acentuado, como se pode ver para a frequência de 1GHz na Figura 32, onde praticamente não há degradação do V_{th} do transístor.

5.1.3 Variação da Degradação com a Tensão de Alimentação V_{DD}

O teste realizado com a variação da tensão de alimentação (V_{DD}) do transístor tem como objectivo verificar o impacto que tem a tensão V_{DD} no processo de envelhecimento devido ao NBTI. Para isso manteve-se o transístor PMOS a temperatura, frequência e probabilidade de operação constantes, utilizando a tecnologia PTM de 65nm. A variação de V_{DD} ocorreu para $\pm 10\%$ do valor nominal.

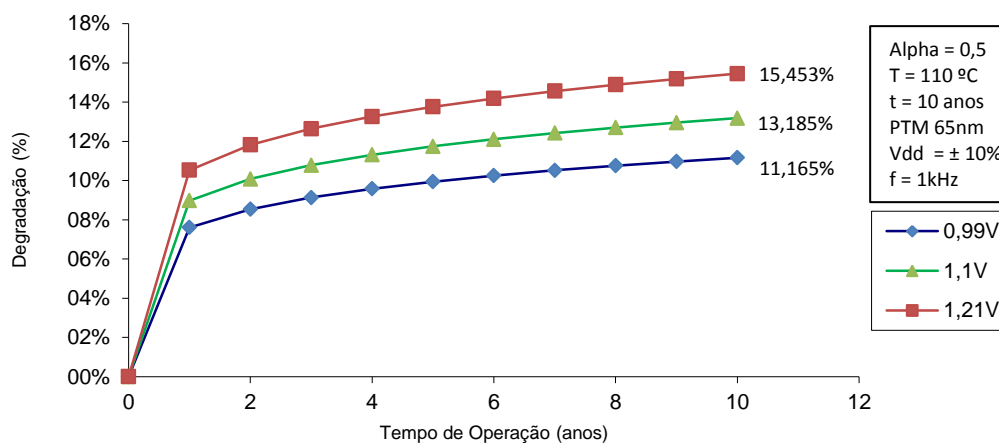


Figura 33: Evolução da degradação do transístor PMOS com variação da tensão de alimentação V_{DD} .

Pelos resultados apresentados no gráfico da Figura 33, conclui-se que quanto maior a tensão de alimentação V_{DD} utilizada para polarizar o transístor, maior será a degradação que este sofre no valor de V_{th} devido ao NBTI. Esta relação pode ser entendida através da dependência do NBTI em relação ao campo eléctrico (genericamente $E=V/d$ [V/m]). Ou seja, quanto maior o campo eléctrico exercido pela tensão de alimentação (ver equação (15)), maior será a energia disponível para libertar os átomos de H do interface Si-SiO₂, sendo maior a degradação de V_{th} . Estes resultados mostram que embora a dependência do NBTI em relação ao campo eléctrico ainda não esteja profundamente estudada pela comunidade científica, como se debateu anteriormente na secção 2.1.4, a degradação do V_{th} devido ao NBTI

depende directamente do campo eléctrico, que por sua vez depende da tensão de alimentação V_{DD} .

5.1.4 Variação da Degradação com a Tecnologia de Fabricação

Esta secção tem como objectivo perceber como o NBTI influencia a degradação de performance em tecnologias de diferentes tamanhos. Para além de se terem utilizado diferentes tecnologias, estas também variaram em relação à potência dissipada (exemplo, tecnologias para *Low Power*, LP), performance (exemplo, tecnologias para *High Performance*, HP) e V_{DD} nominal.

Os testes foram realizados de forma a podermos comparar tecnologias do mesmo tipo, ou seja, as várias tecnologias com dieléctrico *High-K*¹³, de HP e de LP, e as várias tecnologias de dieléctrico tradicional (SiO_2). Assim, na Figura 34 comparam-se as diferentes tecnologias de dieléctrico tradicional (SiO_2), na Figura 35 comparam-se as diferentes tecnologias de dieléctrico *High-K* para LP, e na Figura 36 comparam-se as diferentes tecnologias de dieléctrico *High-K* para HP.

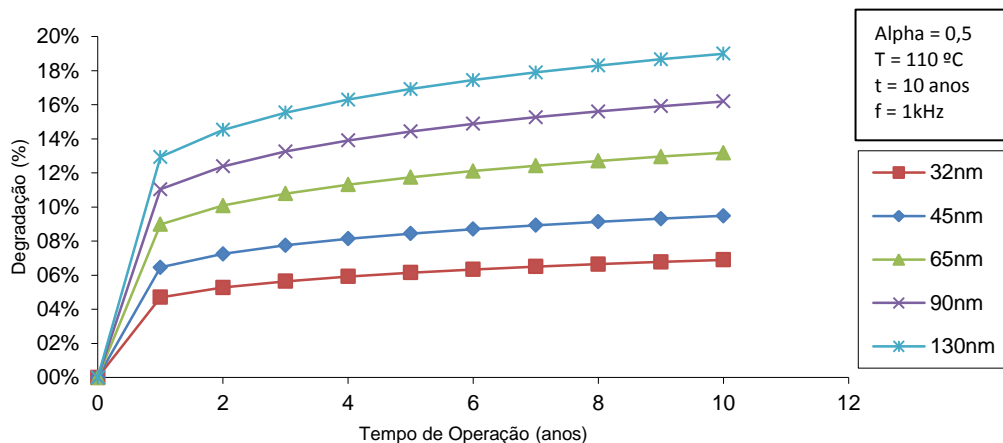


Figura 34: Evolução da degradação do transistor PMOS com variação da tecnologia de fabricação para tecnologias de dieléctrico normal e V_{DD} nominal.

¹³ Material *high-k* representa uma classe de material (como por exemplo: Óxido de Zircónio - ZrO_2 , Óxido de Háfio - HfO_2 , Dióxido de Titânio - TiO_2 , Óxido de Ítrio - Y_2O_3 , Óxido de Alumínio - Al_2O_3) com grandes capacidades dieléctricas em 3,9 vezes superiores ao Dióxido de Silício - SiO_2 (o tradicional dieléctrico utilizado nos MOSFETS), em que k representa a constante dieléctrica do material, ou seja, a capacidade de reter a carga armazenada. Estes materiais têm vindo a substituir o SiO_2 como dieléctrico, na fabricação dos semicondutores actuais em nano tecnologias mais pequenas.

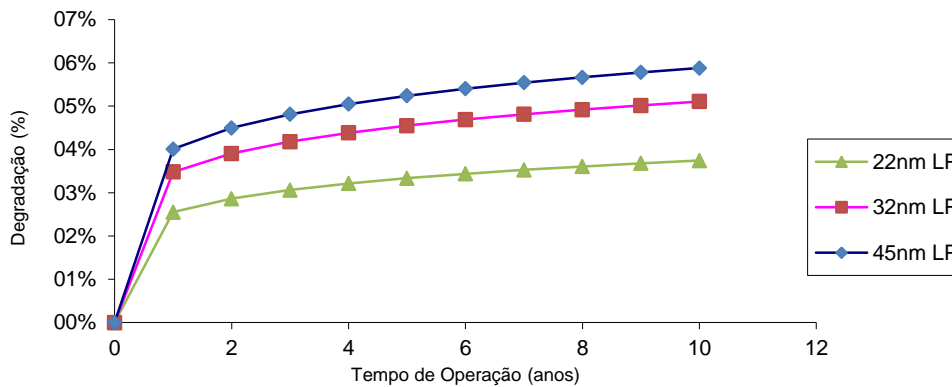


Figura 35: Evolução da degradação do transistor PMOS *Low Power* (LP) com variação da tecnologia de fabricação utilizando material dielétrico *high-K* e V_{DD} nominal.

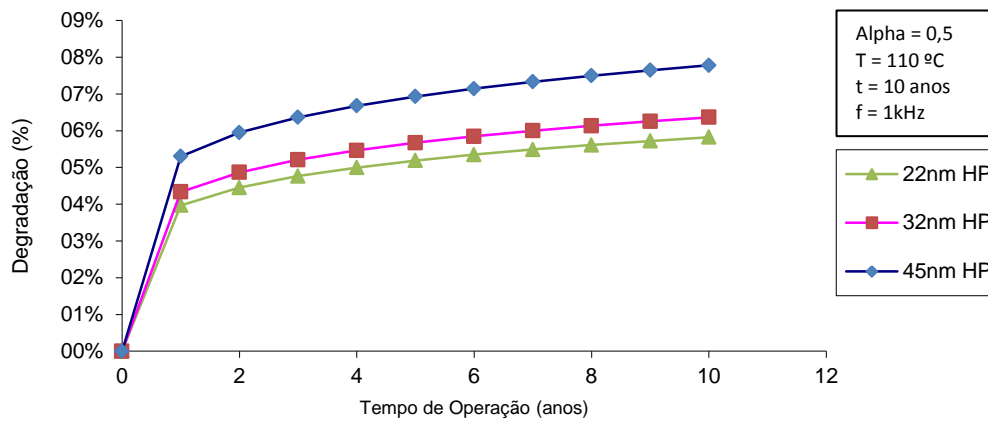


Figura 36: Evolução da degradação do transistor PMOS *High Performance* (HP) com variação da tecnologia de fabricação utilizando material dielétrico *high-K* e V_{DD} nominal.

Pela análise dos gráficos verifica-se uma conclusão importante: as tecnologias mais pequenas apresentam uma degradação percentual menor do que as tecnologias maiores. Este é um bom resultado, na medida em que, contrariamente ao que se previa, não necessitamos de tanta preocupação com o envelhecimento nas novas tecnologias.

No entanto, quanto menor a tecnologia, menor é a tensão de alimentação nominal, o que leva a que a influência da variação de V_{DD} na degradação esteja a influenciar a análise da degradação relativamente ao tamanho da tecnologia. É necessário fixar também o V_{DD} para se poder perceber a influência exclusiva do tamanho da tecnologia na degradação do transistor. Assim, repetiram-se as simulações, mas agora usando, não o V_{DD} nominal de cada tecnologia, mas um V_{DD} constante, calculado pelo V_{DD} médio de entre os V_{DD} nominais das tecnologias analisadas em cada gráfico.

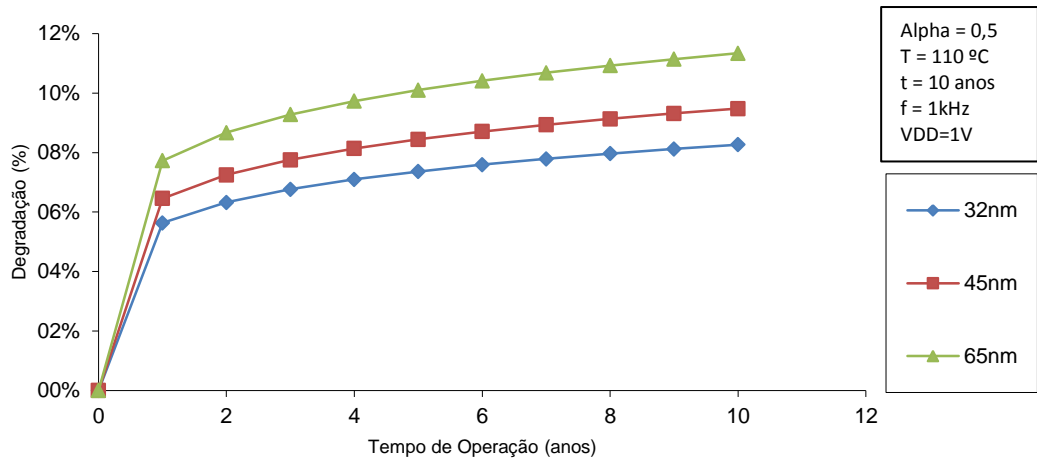


Figura 37: Evolução da degradação do transistor PMOS com variação da tecnologia de fabricação para tecnologias de dieléctrico normal e V_{DD} constante.

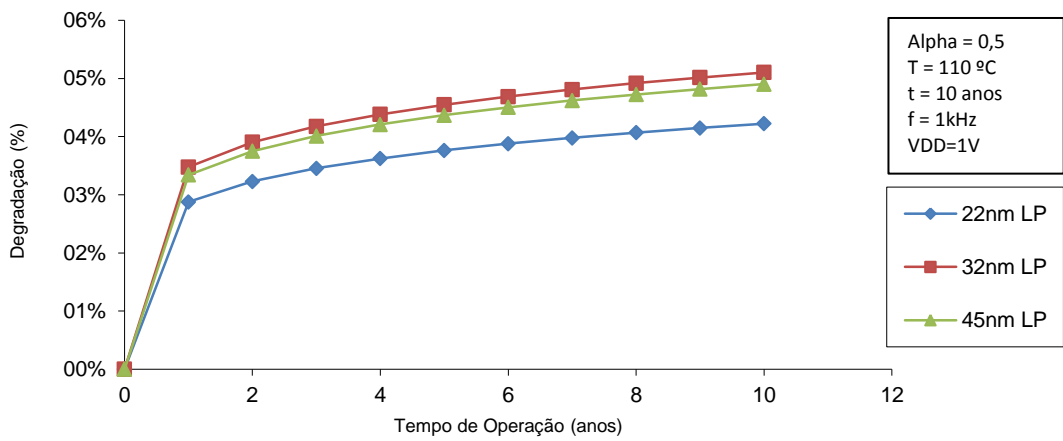


Figura 38: Evolução da degradação do transistor PMOS *Low Power* (LP) com variação da tecnologia de fabricação utilizando material dieléctrico *high-K* e V_{DD} constante.

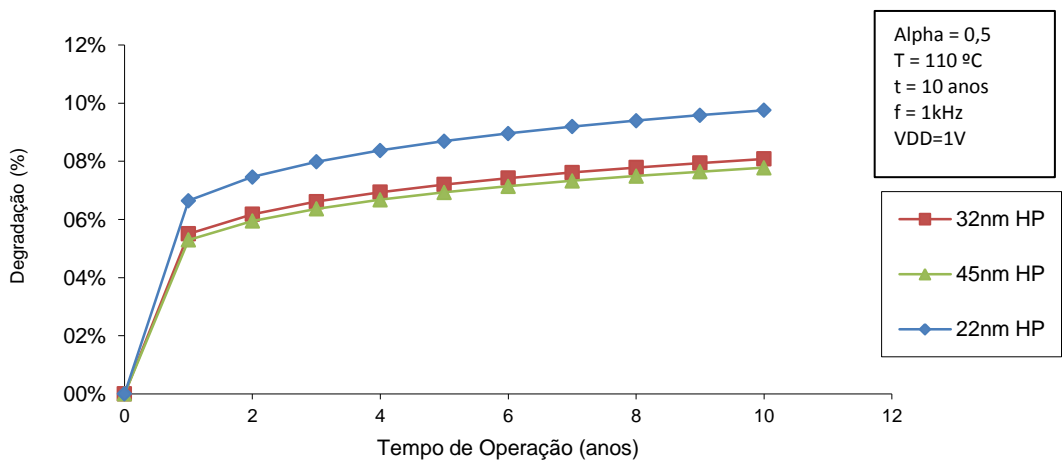


Figura 39: Evolução da degradação do transistor PMOS *High Performance* (HP) com variação da tecnologia de fabricação utilizando material dieléctrico *high-K* e V_{DD} constante.

Pela análise dos gráficos verificou-se que, apenas em um caso na tecnologia menor existe uma maior degradação, quando consideramos todos os restantes parâmetros constantes (ver Figura 39, para a tecnologia de 22nm). No entanto, ainda existe um parâmetro que não é constante e influencia a análise efectuada: o parâmetro V_{th} dos transístores. Na verdade, a situação reportada acima é o único caso em que o V_{th} nominal da tecnologia mais baixa apresenta um valor menor. Assim, utilizando a equação (15) para calcular o campo eléctrico no dieléctrico, esta é a situação em que existe maior campo eléctrico, o que explica os resultados.

Em conclusão, os resultados não nos permitem comparar fielmente a influência do tamanho da tecnologia no nível de envelhecimento dos transístores. Existem muitos factores que influenciam e, portanto, é necessário um estudo mais aprofundado, com dados reais de Silício, em vez de dados obtidos por modelos e por simulação.

Para além disso, as simulações não têm em conta as crescentes variações de PVT que as tecnologias mais pequenas apresentam, tornando os circuitos muito mais propensos a falhar.

5.2 RESULTADOS DO ENVELHECIMENTO EM CIRCUITOS DE REFERÊNCIA

Após ter sido testada a degradação no V_{th} de um transístor PMOS sob o efeito NBTI, também é necessário testar as funcionalidades principais do programa com diferentes circuitos de referência. Por outro lado, é necessário perceber como evolui a degradação dos tempos de propagação dos caminhos de circuitos reais. Por se tratar de circuitos reais, estes apresentam inúmeras situações diferentes, quer para o cálculo das probabilidades, quer para analisar a degradação dos caminhos, apresentando muitos transístores internos aos seus componentes que estão sob o efeito do NBTI.

É de lembrar que os resultados apresentados através dos gráficos referem-se ao somatório dos atrasos de cada porta ou componente lógico que compõe um respectivo caminho, pelo que podem ser calculados falsos caminhos.

5.2.1 Caracterização dos Circuitos de Referência

Seleccionaram-se 8 circuitos de referência diferentes, que se implementaram em diferentes tecnologias utilizando as bibliotecas já definidas. Os circuitos apresentam diferentes estruturas, funcionalidades e tamanhos, de forma a testar o programa `AgingCalc` e a metodologia em diferentes situações.

Em seguida apresenta-se uma breve descrição dos circuitos utilizados, na Tabela 12 e na Tabela 13:

Nome	Descrição
20_inv	Cadeia de 20 inversores.
B01	Máquina de estados que compara dados em série.
B02	Máquina de estados para reconhecer números BCD.
B06	É um controlador de interrupções (<i>interrupt handler</i>).
Pipe	Estrutura de pipeline muito simples
XTran1_FF	Cone com caminho crítico de um circuito de controlo típico, com FF nas entradas e saídas.
PM_4-2_balanced	Multiplicador de 4 bits com estrutura pipeline com 2 andares e lógica distribuída pelos 2 andares (<i>balanced</i>).
PM_16-4_balanced	Multiplicador de 16 bits com estrutura pipeline com 4 andares e lógica distribuída pelos 4 andares (<i>balanced</i>).

Tabela 12: Descrição dos circuitos de referência utilizados.

Nome	# células	# células comb.	# células sequen.	# nós	# transist. PMOS
20_inv	20	20	0	21	20
B01	32	27	5	38	134
B02	17	13	4	23	84
B06	43	34	9	51	198
Pipe	7	5	2	13	36
XTran1_FF	16	8	8	24	94
PM_4-2_balanced	88	52	36	103	557
PM_16-4_balanced	1704	1224	480	1768	10019

Tabela 13: Caracterização da estrutura dos circuitos de referência utilizados.

5.2.2 Resultados de Cálculo de Probabilidades

Nesta secção apresentam-se os resultados do cálculo das probabilidades nos nós e nos transístores dos circuitos de teste, efectuados pela aplicação AgingCalc. Não se apresentam os relatórios completos para não sobrecarregar o documento. Em vez disso, apresenta-se uma tabela resumo com os dados finais reportados nos relatórios, para se poderem comparar os diferentes resultados nos circuitos.

A Tabela 14 apresenta o resumo dos resultados. Pode-se verificar que o cálculo das probabilidades nos nós convergiu para valores estáveis em todos os nós de todos os circuitos, uma vez que o erro máximo em todos os circuitos é menor que o erro máximo admitido para convergir ($1E-4$).

Nome	# iterações para convergir	Erro máximo na Probabilidade	Nó com Erro máximo na probabilidade
20_inv	2	0	Y
B01	33	6,588E-5	n38
B02	43	9,305E-5	stato[0]
B06	68	9,189E-5	N28
Pipe	5	0	Q2
XTran1_FF	3	0	out
PM_4-2_balanced	12	4,785E-5	pdt[7]
PM_16-4_balanced	24	5,504E-5	n3656

Tabela 14: Resultados do cálculo das probabilidades nos nós nos circuitos de teste.

Para além disso, verifica-se que nem sempre o número de iterações necessário para convergir está relacionado com o tamanho e número de componentes dos circuitos. Por exemplo, o circuito B02 apresenta um menor número de células que o circuito B01, ou seja, 17 e 32, respectivamente. No entanto, o circuito B02 necessitou de um maior número de iterações para convergir, quando comparado com o circuito B01 (43 e 33, respectivamente). Isto quer dizer que a estrutura interna e o número de entradas (primárias e secundárias) influencia muito no número de iterações para que as probabilidades dos nós atinjam valores estáveis, como seria de esperar.

5.2.3 Resultados de Análise de Atrasos em Condições Nominais

Procedeu-se ainda à simulação dos circuitos de teste utilizando as condições nominais, ou seja, sem degradação por efeito de NBTI. Considerou-se ainda a tecnologia de PTM de 65nm em todos os circuitos, com um V_{DD} nominal de 1,1V, uma temperatura de 110°C de funcionamento e uma frequência de relógio de 500kHz de funcionamento.

Nestas condições, obtiveram-se os resultados resumidos na Tabela 15.

Nome	# atrasos em caminhos	Nome do CP	Atraso no CP
20_inv	2	Path 2	157,855 ps
B01	144	Path 113	295,33 ps
B02	60	Path 23	212,8 ps
B06	246	Path 51	282,06 ps
Pipe	24	Path 14	104,6 ps
XTran1_FF	30	Path 23	162,27 ps
PM_4-2_balanced	430	Path 222	309,15 ps
PM_16-4_balanced	21530	Path 181	962,33 ps

Tabela 15: Resultados da análise de atrasos sem envelhecimento, para a tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=500kHz$.

Da Tabela 15 pode-se verificar que o número os circuitos com mais portas lógicas são também os que apresentam maior número de caminhos, o que é previsível. Por outro lado destaca-se o circuito *PM_16-4_balanced* como o mais complexo, apresentando 21530 atrasos em caminhos.

5.2.4 Resultados de Análise de Envelhecimento

Efectuando a previsão do comportamento para os circuitos de teste envelhecidos, e fazendo uma análise a 10 anos, nas mesmas condições de simulação que as

simulações efectuadas na secção 5.2.3 (PTM 65nm, $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=500kHz$). Os resultados resumem-se na Tabela 16.

Nome	Nome do CP em 10 anos	Atraso do CP em 10 anos	Degradação do CP em 10 anos
20_inv	Path 2	161,697 ps	2,31 %
B01	Path 113	301,16 ps	1,92 %
B02	Path 212	218,49 ps	2,52 %
B06	Path 51	287,39 ps	1,82 %
Pipe	Path 14	106,78 ps	1,996 %
XTran1_FF	Path 23	166,43 ps	2,52 %
PM_4-2_balanced	Path 222	313,41 ps	1,32 %
PM_16-4_balanced	Path 181	990,45 ps	2,80 %

Tabela 16: Resultados da análise de atrasos com envelhecimento a 10 anos, para a tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=500kHz$.

Pela análise da Tabela 16 verifica-se que os CP determinados em condições nominais (ver secção 5.2.3), continuaram a ser os CP depois de 10 anos de envelhecimento. Isto revela que o envelhecimento não teve um grande impacto na performance do circuito, para estas condições de funcionamento (e com estes circuitos de teste). Esta conclusão pode ainda ser reforçada pela análise das degradações obtidas nos CP, que apresentam em todos os circuitos um valor máximo de 2,80% (circuito *PM_16-4_balanced*), o que é um valor pequeno de degradação, considerando que a frequência até não é alta para uma tecnologia pequena de 65nm.

Estes pequenos valores de degradação podem, como vimos, ser influenciados pelas condições de simulação. No entanto, a temperatura considerada já foi relativamente elevada, e não é normal que um circuito, em média, durante a sua vida útil, trabalhe a temperaturas mais elevadas do que $110^{\circ}C$. Relativamente à tensão de alimentação, uma vez que devemos considerar um valor médio para a utilização durante a vida útil, faz todo o sentido utilizar o valor nominal. Sendo certo que irão existir oscilações, a média não deverá ser muito superior. Assim, resta-nos alterar a frequência de operação, que na realidade, depende da aplicação onde o circuito for inserido. Não é muito comum que a frequência de operação seja muito mais baixa do que os 500kHz considerados, uma vez que é um circuito de 65nm de tecnologia. No entanto, pode acontecer e será certamente uma condição de funcionamento extrema

que irá fazer degradar mais rapidamente a performance do circuito, pois esperar-se-ão valores de degradação muito superiores.

Para verificar este facto, consideremos um dos circuitos de teste, aquele que apresentou a degradação menor no caminho crítico, o PM_4-2_balanced (ou seja, o *pipeline multiplier* de 4x4 bits, com 2 andares de *pipeline*) e analisemos a degradação do caminho crítico para valores de frequência mais baixos: 500Hz e 10Hz. A Figura 40 e a Figura 41 são gráficos de resultados produzidos pelo programa AgingCalc para as degradações no CP do circuito, considerando agora a frequência de operação reduzida para 500Hz e 10Hz, respectivamente (as restantes condições são: tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$).

Pela análise da Figura 40, pode-se verificar que a degradação a 10 anos para o CP é da ordem de 4%, o que é mais do dobro do valor obtido anteriormente, mas ainda assim não é muito alto para a frequência baixa considerada. Porém, para a frequência de funcionamento ainda mais baixa de 10Hz, podemos verificar na Figura 41 que a degradação máxima obtida no CP (calculado no circuito envelhecido a 10 anos) é agora muito superior, na ordem dos 110%.

Para além disso, verifica-se que o CP, calculado depois do circuito envelhecido, é agora outro caminho diferente do obtido anteriormente. Visualizando na Figura 42 os resultados da degradação nesses dois caminhos, mas em valores absolutos dos tempos de atraso, verifica-se que o *Path 222* é o CP nas condições iniciais de envelhecimento

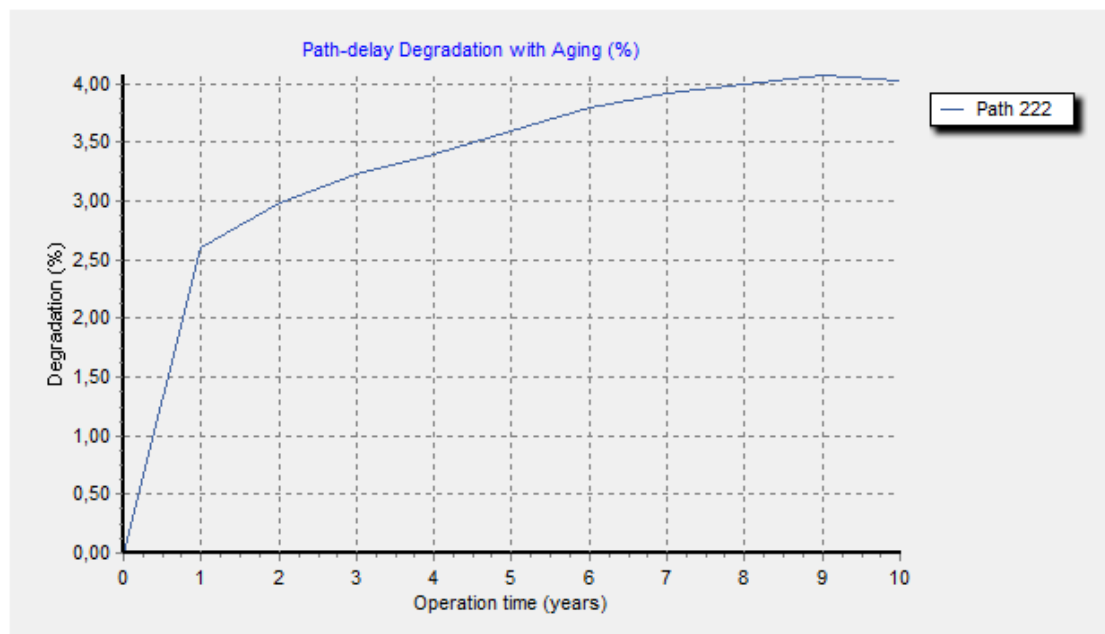


Figura 40: Degradação do CP do circuito *PM_4-2_balanced*, para a tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=500Hz$.

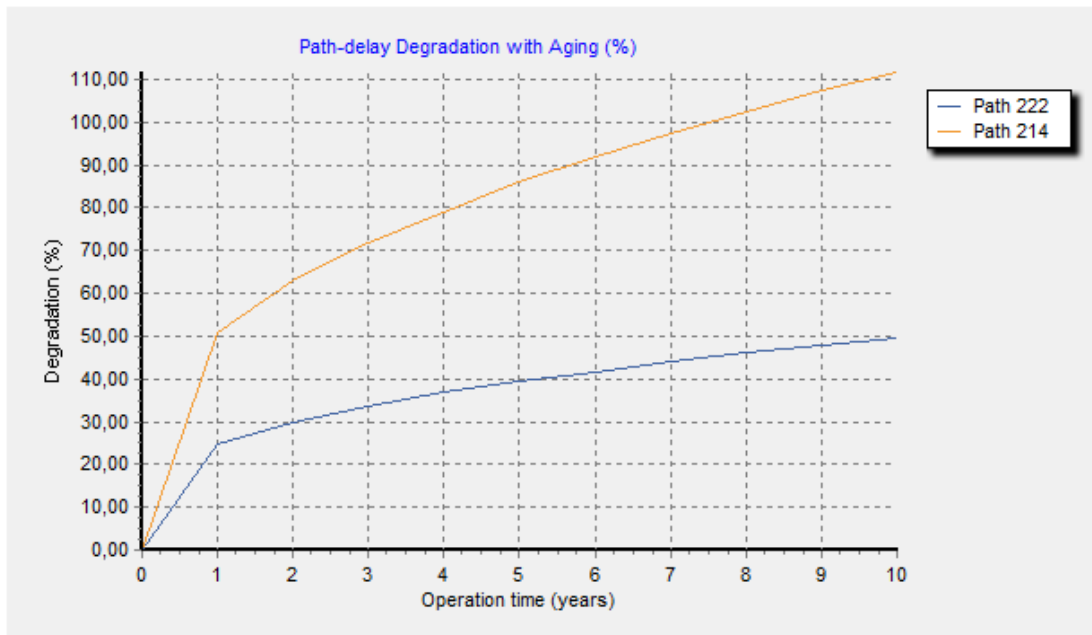


Figura 41: Degradação do CP do circuito *PM_4-2_balanced*, para a tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=10Hz$.

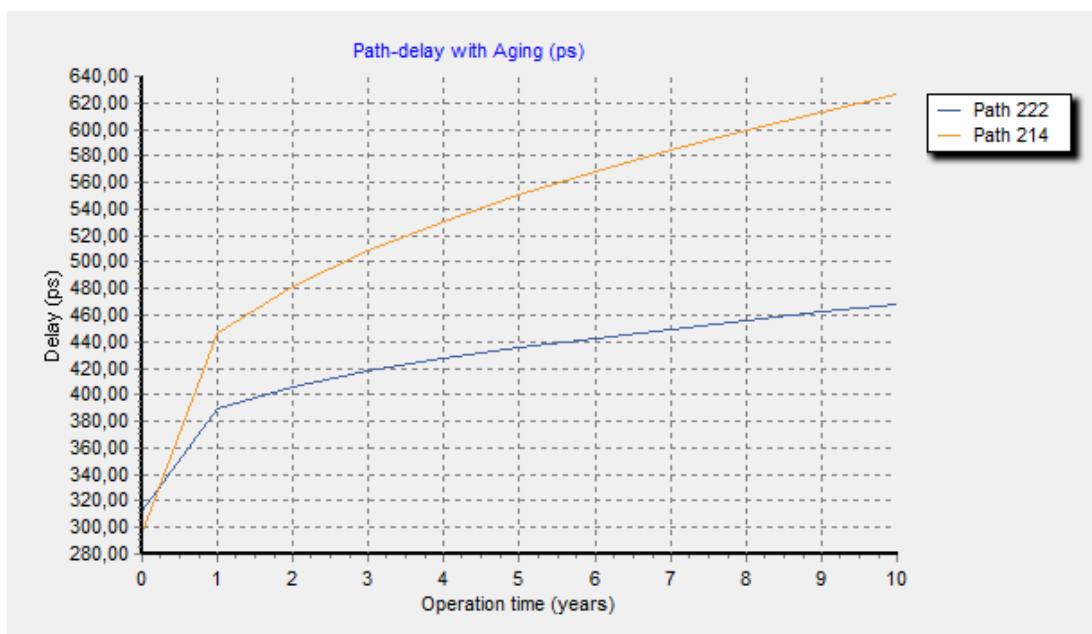


Figura 42: Evolução dos tempos de propagação dos 2 CP do circuito *PM_4-2_balanced*, para a tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=10Hz$.

(ano 0). Mas a elevada degradação do circuito provocada pela baixa frequência de operação conduz a uma alteração no CP provocada pela maior degradação apresentada no *Path 214*, que é o CP que se obtém ao fim de 10 anos de envelhecimento.

É de realçar ainda que quando a frequência era de 500kHz, todos os circuitos apresentaram degradações no CP da mesma ordem de grandeza (cerca de 2%) e de valores baixos. Isto leva-nos a questionar se, considerando frequências altas de operação e mesmo em nano tecnologias, valerá a pena considerar a degradação dos transístores de forma independente. Dito de outra forma, se as degradações são da mesma ordem de grandeza, uma degradação equivalente em todos os transístores, como é a modificação de V_{th} de valor igual para todos os transístores PMOS, pode ser uma boa aproximação para uma análise do circuito envelhecido, sem termos de analisar individualmente as probabilidades de operação de cada transístor.

Por outro lado, se considerarmos uma operação a baixas frequências, mesmo sendo em tecnologias mais antigas, faz todo o sentido que esta análise independente da operação dos transístores (como acontece na metodologia proposta neste trabalho) seja efectuada, de forma a avaliar o grande impacto que os efeitos degradantes do NBTI provocam nos circuitos quando se utilizam baixas frequências.

5.2.5 Comparação entre Atrasos Calculados por Simulação de Componentes e por Simulação do Circuito

A forma de cálculo dos atrasos nos caminhos é efectuada pelo programa `AgingCalc` pela soma dos atrasos das portas que compõem o caminho. Por sua vez, os atrasos das portas são calculados por simulação da porta, com o seu sub-circuito de carga presente na sua saída.

Como já foi dito na secção 3.3.3, este método de cálculo dos caminhos não é o mais rigoroso, pois não é uma simulação do caminho na sua totalidade. É, portanto, uma aproximação, fazendo um compromisso entre o rigor de resultados e a complexidade de cálculo e tempo de simulação. Assim, esta secção destina-se a reportar os testes efectuados para comparação da forma de cálculo dos caminhos implementada no programa `AgingCalc` (pela soma dos atrasos dos componentes) e a simulação SPICE do circuito completo, medindo o tempo de propagação no caminho total.

Um dos problemas que faz aumentar muito a complexidade do cálculo da degradação dos caminhos pela simulação do circuito completo é a obtenção dos vectores de teste que activam o caminho. Para ultrapassar esse problema, considerou-se o circuito de teste constituído por 20 inversores ligados em cadeia, tendo uma entrada e uma saída de dados. Neste circuito, como pode ser visto na Tabela 15, são identificados 2 atrasos em caminhos, já que existe apenas um caminho físico de dados (entre a entrada e a saída). Assim, a geração de vectores é facilitada e podem ser comparados os resultados.

Executando o programa *AgingCalc* e fazendo a análise deste circuito, obtiveram-se os valores para a degradação dos dois caminhos existentes através da soma dos atrasos dos 20 inversores. Os caminhos identificados pelo programa são *Path 1* e *Path 2*, que correspondem respectivamente aos atrasos que provocam transições de subida e de descida na saída do circuito. Gerou-se ainda automaticamente com o programa a *netlist* do circuito completo, com a informação relativa à modelação do envelhecimento, e simulou-se no SPICE com uma onda quadrada na entrada, de forma a medir os 2 atrasos de propagação. A Figura 43 apresenta os resultados obtidos.

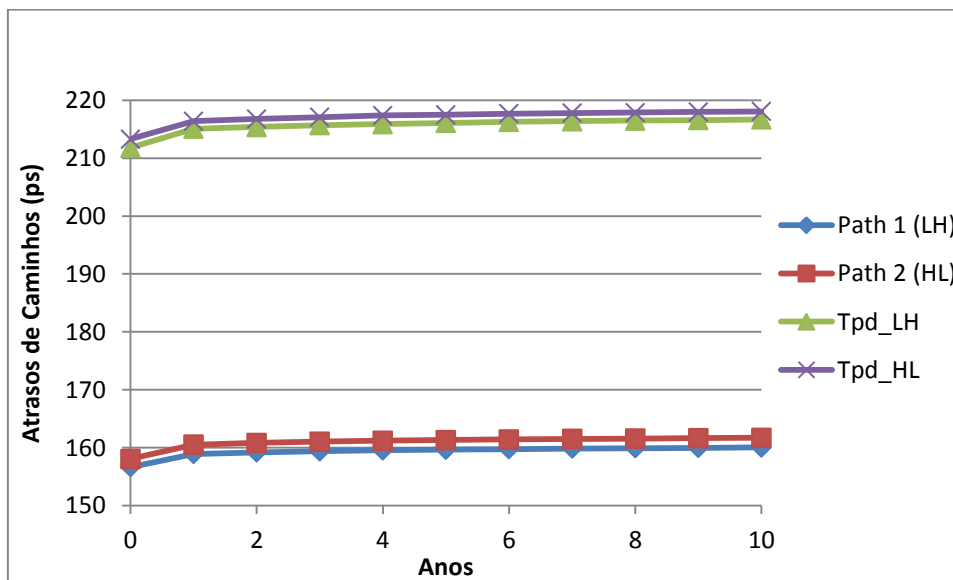


Figura 43: Comparação dos resultados para cálculos de atrasos para o circuito *20_invs*, para a tecnologia PTM 65nm, com $V_{DD} = 1,1V$, $T=110^{\circ}C$ e $f=500kHz$.

Como seria de prever, os resultados são diferentes entre as 2 formas de cálculo de atrasos, sendo os resultados obtidos por simulação do circuito completo 35% maiores,

em média, do que os resultados estimados pelo programa AgingCalc. Este resultado é natural, na medida em que, devido ao aumento dos tempos de subida e descida dos sinais na saída das células, quando comparadas com as suas entradas, existe um efeito que se repercute não só na célula seguinte, como também irá ter efeitos nas células mais à frente no caminho, pois o aumento dos tempos de transição tende a aumentar ligeiramente, aumentando o atraso da propagação. Naturalmente, quanto maior for o caminho, ou quanto mais portas lógicas ele tiver, maior será a diferença de valores.

No entanto, verifica-se que existe a mesma relação entre os 2 caminhos calculados, o que quer dizer que o programa fornece bons resultados relativos (entre os caminhos).

Para finalizar, verifica-se que para estimar mais fielmente a degradação de atrasos, é importante prever os caminhos por simulação do circuito (caminho) completo. Esta tarefa ficará reservada para trabalho futuro.

6. CONCLUSÕES E TRABALHO FUTURO

Nesta secção apresenta-se as conclusões do trabalho desenvolvido e apresentam-se direcções para trabalho futuro, desde possíveis optimizações e melhorias para a metodologia de previsão de envelhecimento proposta, como também perspectivas de trabalho futuro num âmbito mais alargado sobre estudo de envelhecimento.

6.1 CONCLUSÕES

Nesta dissertação apresentou-se uma metodologia que prevê o envelhecimento dos circuitos integrados digitais CMOS, modelando o fenómeno considerado dominante na degradação lenta e cumulativa dos circuitos CMOS, os efeitos provocados por NBTI. Na realidade, muitos são os fenómenos responsáveis pela degradação da condução nos transístores MOSFET, mas seja qual for o fenómeno associado, é importante notar que envelhecimento de transístores corresponde a alterações lentas e cumulativas das propriedades e parâmetros dos transístores, implicando uma degradação do seu desempenho normal.

Verificou-se que são vários os parâmetros de operação que podem influenciar, ou até acelerar, o processo de degradação por NBTI, como a tensão de alimentação, a temperatura, os tempos de operação do canal dos transístores com presença de campo eléctrico, e a frequência de comutação dos transístores. As condições que provocam uma maior degradação correspondem a altas temperaturas, baixas frequências de operação, altas tensões de alimentação e, conjuntamente, baixos valores de V_{th} (de modo a provocar altos campos eléctricos no dieléctrico).

A degradação dos transístores provoca, em última instância, a redução do tempo de vida útil do mesmo. No CI, a redução do tempo de vida útil traduz-se, normalmente, na diminuição da velocidade de resposta aos estímulos, ou seja, no tempo de resposta das células, ou então nos tempos de propagação dos caminhos do circuito. Embora exista sempre uma margem de segurança (*time slack*), que é a margem de tempo

restante do período de relógio depois de subtraído o tempo de propagação do caminho, este normalmente pode sofrer alterações devido aos processos de fabrico, ou então por variações devido a tensão de alimentação, temperatura ou fenómenos de envelhecimento. A existência simultânea de variações de um ou mais fenómenos destes faz aumentar a probabilidade de falha do circuito, por este se ter tornado mais lento. Ao afectar negativamente a performance dos circuitos, em última instância pode causar falhas de atraso por perda de sincronismo com o relógio, acabando o sistema no seu todo por deixar de funcionar.

A modelação do efeito NBTI sobre os transístores é efectuada pela variação do parâmetro V_{th} nos transístores PMOS, já que são estes que mais estão expostos a este tipo de degradação. Utilizando modelos de degradação para os transístores previamente definidos e disponíveis na comunidade científica, implementou-se neste trabalho um método automático para prever a evolução da degradação dos atrasos em caminhos num circuito, de acordo com um determinado tempo de funcionamento, considerado como sendo o tempo de vida útil. Para efectuar a automatização do método, desenvolveu-se uma ferramenta computacional, *AgingCalc*, que executa todos os cálculos e instancia o simulador HSPICE de forma a medir por simulação os atrasos.

A previsão da degradação dos circuitos é muito importante, porque permite analisar quais os caminhos críticos iniciais e prever como será o seu comportamento temporal ao longo do tempo de vida útil previsto. Nomeadamente, é possível prever quais os caminhos que inicialmente não são críticos, mas que mais tarde se podem tornar críticos pelo processo de envelhecimento. Este conhecimento permitir-nos-á actuar sobre esses caminhos, para tentar minimizar o seu envelhecimento, ou para prever quando estão a tornar-se críticos e é necessário actuar para que o circuito não falhe (neste aspecto, a utilização de sensores de envelhecimento é de grande importância).

A metodologia desenvolvida inclui a definição de uma biblioteca genérica SPICE, para permitir utilizar vários modelos de tecnologias PTM para os transístores. Assim, foram utilizados modelos de transístores BPTM (16nm, 22nm, 32nm, 45nm, 65nm, 90nm e 130nm). Foi ainda necessário criar uma base de dados de tabelas de verdades de componentes ao nível de portas lógicas, para permitir analisar o comportamento funcional de um componente e assim conhecer, em todos os nós do circuito através de

cálculos probabilísticos, quais as probabilidades destes estarem nós no nível lógico ‘0’.

Dos resultados ao nível de cálculo de probabilidades, verificou-se que as probabilidades convergiram para valores estáveis em todos os circuitos de teste analisados. No entanto não se testaram circuitos com realimentações nas portas combinatórias, como circuitos com memória (*latches*, por exemplo), embora o programa tenha protecções para estas situações.

A nível de simulações dos atrasos, os tempos de atraso de cada caminho foram calculados recorrendo ao somatório dos respectivos tempos de atraso de cada porta simulada individualmente e com a respectiva carga ao longo de um dado caminho. Porém, este método utilizado apresenta duas desvantagens: (i) primeiro pelo facto de não poder distinguir entre um caminho real e um falso caminho; depois (ii) pelo facto de o tempo de atraso de um dado caminho ser a soma dos atrasos de todas as portas lógicas pertencentes ao respectivo caminho, o que resulta em um valor aproximado do atraso real do caminho em causa. Quanto maior for o caminho e o número de portas que o compõe, maior será o erro na estimação. Porém, o cálculo dos atrasos individuais foi aprimorado pelo facto de ser contabilizado sempre todas as portas pertencentes a carga daquele que estiver a ser simulado (efeito de carga). Além disso, é sempre possível gerar descrições SPICE de todo o circuito após o envelhecimento dos transístores de acordo com um determinado tempo de funcionamento, com o objectivo deste ser simulado na sua globalidade.

Não foram efectuadas simulações de Monte Carlo, para prever as variações de processo. No entanto, garante-se a compatibilidade da biblioteca e da modelação do envelhecimento com este tipo de simulações.

Dos resultados de análise de envelhecimento efectuados, verificou-se que quanto maior for a frequência, menor será a degradação. Este é um resultado importante, na medida em que os circuitos mais recentes tendem a ser também mais rápidos, levando a que o efeito NBTI possa ser desprezado face a outras variações de parâmetros como a tensão de alimentação e as variações de processo.

Não foi possível tirar uma conclusão definitiva sobre a influência da diminuição da tecnologia na degradação dos transístores. Na realidade existem vários factores

simultâneos a influenciar a degradação. Assim, verificou-se que se uma tecnologia mais pequena utilizar valores nominais de V_{DD} mais baixos e frequências de operação mais altas, ela apresentará uma menor degradação por efeitos NBTI.

Nos resultados obtidos com a degradação em circuitos de referência, verificou-se, mais uma vez, que apenas em baixas frequências a degradação percentual é grande. Assim, leva-nos a concluir que para altas frequências e tecnologias com tensão de alimentação nominal baixa, não é necessário efectuar uma previsão da degradação do parâmetro V_{th} em cada transístor individualmente, constituindo uma boa aproximação a utilização de um único valor V_{th} modelado, para todos os transístores do circuito. Esta aproximação reduzirá em muito a complexidade computacional da metodologia proposta. No entanto, se considerarmos tensões de alimentação elevadas e frequências baixas de operação, faz todo o sentido fazer a análise individual por transístor da degradação por NBTI.

6.2 TRABALHOS FUTUROS

Ao longo desta dissertação, já foram apontados alguns pontos para trabalho futuro. Iremos então sistematizá-los novamente.

A primeira indicação de trabalho futuro prende-se com o desenvolvimento da funcionalidade para pesquisa de vectores de teste de caminhos para o circuito completo. Esta funcionalidade permitirá: (i) identificar quais os caminhos reais que são activados; e (ii) simular automaticamente o circuito e calcular os tempos de propagação nos caminhos completos, por simulação SPICE.

Outra direcção de trabalho futuro é permitir a possibilidade da modelação de V_{th} no programa `AgingCalc` ser efectuada por um valor único de V_{th} para todos os transístores. Esta situação permitirá ter uma primeira aproximação para o impacto do envelhecimento em circuitos e reduzirá o tempo de simulação. Como foi já referido, para circuitos a funcionar com baixos valores de V_{DD} e a frequências altas, esta é uma boa solução de compromisso.

Para finalizar, como trabalho futuro deve ainda ser efectuada um estudo com simulações de Monte Carlo, para avaliar qual a relação que a degradação por NBTI e as variações de processo têm, simultaneamente, no comportamento dos circuitos, mais

propriamente na sua performance. Como foi referido atrás, este trabalho e as bibliotecas desenvolvidas são compatíveis com a realização de simulações de Monte Carlo. No entanto, essas simulações e essa avaliação do impacto das variações de processo no processo de envelhecimento não foram efectuadas. Fica então para próximos trabalhos de investigação posteriores a este.

BIBLIOGRAFIA

- [1] F. Marc, B. Mongellaz, C. Bestory, H. Levi, Y. Danto, “Improvement of Aging Simulation of Electronic Circuits Using Behavioral Modeling”, *Tran. Device and Materials Reliability*, IEEE Electron Devices Society and IEEE Reliability Society, Vol. 6 Issue: 2, pp. 228-234, DOI: 10.1109/TDMR.2006.879117, June 2006.
- [2] W. Wang, Z. Wei, S. Yang, Y. Cao, “An Efficient Method to Identify Critical Gates Under Circuit Aging”, *Proc. IEEE/ACM International Conference on Computer-Aided Design (ICCAD'07)*, NJ, USA, ISBN: 1-4244-1382-6, 2007.
- [3] K. Kang, S. Gangwal, S. P. Park, K. Roy, “NBTI Induced Performance Degradation in Logic and Memory Circuits: How Effectively Can We Approach a Reliability Solution? “, *Proc. Asia / South Pacific Design Autom. Conf. (ASP-DAC)*, IEEE Computer Society Press Los Alamitos, CA, USA, pp. 726-731, ISBN: 978-1-4244-1922-7, 21-24 March, 2008.
- [4] V. Huard, F. Monsieur, G. Ribes, S. Bruyere, “Evidence for Hydrogen-Related Defects During NBTI Stress in p-MOSFETs”, *Proc. 41st Annual Reliability Physics Symposium*, IEEE International, Dallas, Texas, pp. 178-182, DOI: 10.1109/RELPHY.2003.1197741, 2003.
- [5] X. Fu, T. Li, J. Fortes, “NBTI Tolerant Microarchitecture Design in the Presence of Process Variation”, *Proc. 41st Annual IEEE/ACM International Symposium on Microarchitecture*, IEEE Computer Society, Washington, DC, USA, pp. 399-410, DOI: 10.1109/MICRO.2008.4771808, 8-12 Nov, 2008.
- [6] A. Tiwari, J. Torrellas, “Facelift: Hiding and Slowing Down Aging in Multicores”, *Proc. 41st Annual IEEE/ACM International Symposium on Microarchitecture*, IEEE Computer Society Washington, DC, USA, pp. 129-140, ISBN: 978-1-4244-2836-6, 8-12 Nov, 2008.
- [7] J. Abella, X. Vera, A. González, “Penelope: The NBTI-Aware Processor”, *Proc. 40th IEEE/ACM International Symposium on Microarchitecture*, IEEE

- Computer Society Washington, DC, USA, pp. 85-96, DOI: 10.1109/MICRO.2007.11, 1-5 Dec., 2007.
- [8] H. Abrishami, S. Hatami, B. Amelifard, M. Pedram, "Multi-Corner, Energy-Delay Optimized, NBTI-Aware Flip-Flop Characterization and Design", Proc. 18th ACM Great Lakes Symposium on VLSI, ACM New York, NY, USA, pp. 652-659, DOI: 10.1109/ISQED.2010.5450509, 22-24 March, 2010.
- [9] K. Ramakrishnan, X. Wu, N. Vijaykrishnan, Y. Xie, "Comparative Analysis of NBTI Effects on Low Power and High Performance Flip-Flops", Proc. IEEE International Conference on Computer Design (ICCD'08), Lake Tahoe, CA, USA, pp. 200-205, DOI: 10.1109/ICCD.2008.4751862, 12-15 Oct., 2008.
- [10] B. C. Paul, K. Kang, H. Kufluoglu, M. A. Alam, K. Roy, "Temporal Performance Degradation Under NBTI: Estimation and Design for Improved Reliability of Nanoscale Circuits", Tran. Computer-Aided Design of Integrated Circuits and Systems, European Design and Automation Association 3001, Sonoma, CA, USA, Vol. 26 Issue: 4, pp. 743-751, DOI: 10.1109/TCAD.2006.884870, 2007.
- [11] Z. (Jerry) Qi, M. R. Stan, "NBTI Resilient Circuits Using Adaptive Body Biasing", Proc. 18th ACM Great Lakes Symposium on VLSI, ACM New York, NY, USA, pp. 285-290, DOI: 10.1145/1366110.1366179, May 4-6, 2008.
- [12] M. White, Y. Chen, "Scaled CMOS Technology Reliability Users Guide", National Aeronautics and Space Administration (NASA), JPL Publication 08-14 3/08, Pasadena, California, USA, 2008.
- [13] T. Siddiqua, S. Gurusurthi, "NBTI-Aware Dynamic Instruction Scheduling", University of Virginia, Mar, 2009.
- [14] H. Kufluoglu, M. A. Alam, "A Computational Model of NBTI and Hot Carrier Injection Time-Exponents for MOSFET Reliability", Journal of Computational Electronics, Vol. 3, N° 3-4, pp. 165-169, DOI: 10.1007/s10825-004-7038-9, 2004.
- [15] J. Srinivasan, S. V. Adve, P. Bose, J. A. Rivers, "The Case for Lifetime Reliability-Aware Microprocessors", Proc. 31st Annual International Symposium on Computer Architecture (ISCA'04), IEEE Computer Society Washington, DC, USA, pp. 276-287, ISBN: 0-7695-2143-6, 19-23 June, 2004.
- [16] L. H. Liang, Y. J. Xu, Y. Liu, "Electro-Migration Study in Solder Joint and Interconnects of IC Packages", Thermal, Mechanical and Multiphysics

- Simulation and Experiments in Micro-Electronics and Micro-Systems '06, pp. 1-7, DOI: 10.1109/ESIME.2006.1643994, 24-26 April, 2006.
- [17] G. Dixit, *et al.*, "Enhancing the Electromigration Resistance of Copper Interconnects", Proc. Interconnect Technology Conference, IEEE, pp. 162-164, DOI: 10.1109/IITC.2003.1219742, 2-4 June, 2003.
- [18] <http://www.siliconfareast.com/emig.htm>, consultado em Maio de 2011.
- [19] <http://www.chironholdings.com/chirontechnology/references/App%20Notes/TDDB.pdf>, consultado em Maio de 2011.
- [20] J. Wang, W.M. Huang, H. Bor-Yuan, M. Racanelli, J. Foerstner, J. Woo, "Hot-Carrier-Injection (HCI) Immunity Under High Drain Stress of Thin-Film SOI n-MOSFETs Fabricated on SIMOX and BESOI Substrates", Proc. International SOI Conference, IEEE, Nantucket, MA, USA, pp. 129-130, DOI: 10.1109/SOI.1994.514280, 3-6 Oct., 1994.
- [21] K. K. Kim, H. Nan, K. Choi, "Adaptive HCI-Aware Power Gating Structure", Proc. 11th International Symposium Quality Electronic Design (ISQED'10), San Jose, CA, pp. 219- 224, DOI: 10.1109/ISQED.2010.5450418, 22-24 March, 2010.
- [22] <http://www.chironholdings.com/chirontechnology/references/App%20Notes/HCI.pdf>, CHIRON technology Pte. Ltd., consultado em Maio de 2011.
- [23] T. D. Sullivan, "Stress-Induced Voiding in Microelectronic Metallization: Void Growth Models and Refinements", Proc. Annual Review of Materials Research, Vol. 26, pp. 333-264, DOI: 10.1146/annurev.ms.26.080196.002001, 1996.
- [24] C. J. Zhai *et al.*, "Stress Modeling of Cu/Low-k BEoL - Application to Stress Migration", Proc. 42nd Annual International Reliability Physics Symposium, IEEE, Phoenix AZ, USA, pp. 234-239, ISBN: 0-7803-8315-X, 2004.
- [25] M. A. Alam, S. Mahapatra, "A Comprehensive Model of PMOS NBTI Degradation", Journal of Microelectronics Reliability, Vol. 45 Issue: 1, pp. 71-81, DOI: 10.1016/j.microrel.2004.03.019, January, 2005.
- [26] W. Wang, V. Reddy, A. T. Krishnan, R. Vattikonda, S. Krishnan, Y. Cao, "An Integrated Modeling Paradigm of Circuit Reliability for 65nm CMOS Technology", Proceedings of Custom Integrated Circuits Conference (CICC'07), IEEE, San Jose, CA, USA, pp. 511-514, DOI: 10.1109/CICC.2007.4405783, 16-19 Sept., 2007.

- [27] J. Keane, T-H. Kim, C. H. Kim, "An On-Chip NBTI Sensor for Measuring PMOS Threshold Voltage Degradation", *Tran. Very Large Scale Integration (VLSI'10) Systems*, IEEE, Vol. 18, Issue: 6, pp. 947 - 956, DOI 10.1109/TVLSI.2009.2017751, June, 2010.
- [28] M. A. Alam, "A Critical Examination of the Mechanics of Dynamic NBTI for PMOSFETs", *Proc. Electron Devices Meeting (IEDM'03)*, IEEE, pp. 14.4.1-14.4.4, DOI: 10.1109/IEDM.2003.1269295, 8-10 Dec., 2003.
- [29] A. E. Islam, M. A. Alam, "Self-Compensating the Effect of Defect Generation in Advanced CMOS Substrates", *Proc. Integrated Reliability Workshop Final Report (IIRW'09)*, IEEE, S. Lake Tahoe, CA, USA, pp. 97-101, DOI: 10.1109/IRWS.2009.5383024, 18-22 Oct., 2009.
- [30] J. G. Massey, "NBTI: What We Know and What We Need to Know - A Tutorial Addressing the Current Understanding and Challenges for the Future", *Integrated Reliability Workshop Final Report (IRW'04)*, IEEE, pp. 199-211, DOI: 10.1109/IRWS.2004.1422784, 18-21 Oct., 2004.
- [31] D. K. Schroder, J. A. Babcock, "Negative Bias Temperature Instability: Road to Cross in Deep Submicron Silicon Semiconductor Manufacturing", *Journal of Applied Physics*, Vol. 94 Issue: 1, pp. 1-18, DOI: 10.1063/1.1567461, July, 2003.
- [32] D. R. Bild, G. E. Bok, R. P. Dick, "Minimization of NBTI Performance Degradation Using Internal Node Control", *Proceedings of Design, Automation & Test in Europe Conference & Exhibition (DATE'09)*, Nice, France, pp. 148-153, ISBN: 978-1-4244-3781-8, 20-24 April, 2009.
- [33] S. Khan, S. Hamdioui, "Temperature Dependence of NBTI Induced Delay", *Proceedings of the 16th On-Line Testing Symposium (IOLTS'10)*, IEEE, pp. 15-20, DOI: 10.1109/IOLTS.2010.5560238, 5-7 July, 2011.
- [34] Y. Wang, H. Luo, K. He, R. Luo, H. Yang, Y. Xie, "Temperature-Aware NBTI Modeling and the Impact of Input Vector Control on Performance Degradation", *Proc. Conference on Design, Automation and Test in Europe (DATE'07)*, Nice, France, pp. 1-6, DOI 10.1109/DATE.2007.364650, 16-20 April, 2007.
- [35] Seyab, S. Hamdioui, "NBTI Modeling in the Framework of Temperature Variation", *Proc. Design, Automation & Test in Europe Conference &*

- Exhibition (DATE'10), Dresden, Germany, pp. 283-286, ISBN: 978-1-4244-7054-9, 8-12 March, 2010.
- [36] T. K. Maiti, S. S. Mahato, P. Chakraborty, C. K. Maiti, S. K. Sarkar, "Negative Bias Temperature Instability in Strain-Engineered p-MOSFETs: A Simulation Study", *Journal of Computational Electronics*, Vol. 9, N° 1, pp. 1-7, DOI: 10.1007/s10825-009-0270-6, 2010.
- [37] M. DeBole *et al.*, "New-Age: A Negative Bias Temperature Instability-Estimation Framework for Microarchitectural Components", *International Journal of Parallel Programming (IJPP'09)*, Vol. 37, N° 4, pp. 417-431, DOI: 10.1007/s10766-009-0104-y, 2009.
- [38] B. Zhu, J. S. Suehle, J. B. Bemstein, Y. Chen, "Mechanism of Dynamic NBTI of pMOSFETs", *Integrated Reliability Workshop Final Report (IRW'04)*, IEEE, pp. 113-117, DOI: 10.1109/IRWS.2004.1422751, 18-21 Oct., 2004.
- [39] R. Vattikonda, W. Wang, Y. Cao, "Modeling and Minimization of PMOS NBTI Effect for Robust Nanometer Design", *Proc. 43th Design Automation Conference (DAC'06)*, ACM/IEEE, San Francisco, CA, USA, pp. 1047-1052, DOI: 10.1109/DAC.2006.229436, 2006.
- [40] Qin, Jin Yan *et al.*, "Study of Transistor and Product NBTI Lifetime Distributions", *Integrated Reliability Workshop Final Report (IRW'08)*, IEEE, South Lake Tahoe, CA, USA, pp. 1-16, DOI: 10.1109/IRWS.2008.4796134, 12-16 Oct., 2008.
- [41] W. Wang, S. Yang, S. Bhardwaj, R. Vattikonda, S. Vrudhula, F. Liu, Yu Cao, "The Impact of NBTI on the Performance of Combinational and Sequential Circuits", *Proc. 44th Design Automation Conference (DAC'07)*, ACM/IEEE, San Diego, CA, USA, ISBN: 978-1-59593-627-1, pp. 364-369, 4-8 June, 2007.
- [42] S. V. Kumar, C. H. Kim, S. S. Sapatnekar, "Impact of NBTI on SRAM Read Stability and Design for Reliability", *Proc. 7th International Symposium on Quality Electronic Design (ISQED'06)*, IEEE Computer Society Washington, DC, USA, pp. 210-218, DOI: 10.1109/ISQED.2006.73, 2006.
- [43] S. Tsujikawa, Y. Akamatsu, H. Umeda, J. Yugami, "Two Concerns about NBTI Issue: Gate Dielectric Scaling and Increasing Gate Current", *Proc. 42nd Annual Reliability Physics Symposium (ARPS'04)*, IEEE, pp. 28-34, DOI: 10.1109/RELPHY.2004.1315297, 25-29 April, 2004.

- [44] M. A. Alam, H. Kufluoglua, D. Varghesea, S. Mahapatrab, “A Comprehensive Model for PMOS NBTI Degradation: Recent Progress”, Presented at Microelectronics Reliability, Vol. 47, N° 2, pp. 853-862, 2007, DOI: 10.1016/j.microrel.2006.10.012.
- [45] S. V. Kumar, C. H. Kim, S. S. Sapatnekar, “An Analytical Model for Negative Bias Temperature Instability”, Proc. International Conference on Computer-Aided Design (ICCAD’06), IEEE/ACM, San Jose, CA, USA, pp. 493-496, DOI: 10.1109/ICCAD.2006.320163, 5-9 Nov, 2006.
- [46] S. Bhardwaj, W. Wang, R. Vattikonda, Y. Cao, S. Vrudhula, “Predictive Modeling of the NBTI Effect for Reliable Design”, Proceeding of 2006 Custom Integrated Circuits Conference (CICC’06), IEEE, San Jose, CA USA, pp. 189-192, DOI: 10.1109/CICC.2006.320885, 10-13 Sept., 2006.
- [47] A. E. Islam, H. Kufluoglu, D. Varghese, S. Mahapatra, M. A. Alam, “Recent Issues in Negative-Bias Temperature Instability: Initial Degradation, Field Dependence of Interface Trap Generation, Hole Trapping Effects, and Relaxation”, Tran. Electron Devices, IEEE Electron Devices Society, Vol. 54 Issue: 9, pp. 2143-2154, DOI: 10.1109/TED.2007.902883, Sept., 2007.
- [48] S. Mahapatra, P. B. Kumar, M. A. Alam, “Investigation and Modeling of Interface and Bulk Trap Generation During Negative Bias Temperature Instability of p-MOSFETs”, Tran. Electron Devices, IEEE Electron Devices Society, Vol. 51 Issue: 9, pp. 1371-1379, DOI: 10.1109/TED.2004.833592, Sept., 2004.
- [49] K. O. Jeppson, C. M. Svensson, “Negative Bias Stress of MOS Devices at High Electric Fields and Degradation of NMOS Devices”, Proc. Journal of Applied Physics, Vol. 48 Issue 5, pp. 2004-2014, DOI: 10.1063/1.323909, 1977.
- [50] M. A. Alam, “On Reliability of Microelectronic Devices: An Introductory Lecture on Negative Bias Temperature Instability”, <https://nanohub.org/local/slides/nt501/2005.09.28-Alam.pdf>, Set 28, 2005, consultado *on-line* em Maio de 2011.
- [51] S. Tsujikawa, J. Yugami, “Evidence for Bulk Trap Generation During NBTI Phenomenon in pMOSFETs With Ultrathin SiON Gate Dielectrics”, Tran. Electron Devices, IEEE, Vol. 53 Issue: 1, pp. 51-55, DOI: 10.1109/TED.2005.860653, Jan., 2006.

- [52] S. Mahapatra, M. A. Alam, "A Predictive Reliability Model for PMOS Bias Temperature Degradation", Proc. International Electron Devices Meeting (IEDM'02), IEEE, San Francisco CA, USA, pp. 505-508, DOI: 10.1109/IEDM.2002.1175890, 8-11 Dec., 2002.
- [53] S. Mkaptra, P. B. Kumar, M. A. Alam, "A New Observation of Enhanced Bias Temperature Instability in Thin Gate Oxide p-MOSFETs", Proc. International Electron Devices Meeting Technical Digest (IEDM'03), IEEE, Washington DC, USA, pp. 14.2.1-14.2.4, ISBN: 0-7803-7872-5, 8-10 Dec., 2003.
- [54] A. E. Islam, J. H. Lee, W.-H. Wu, A. Oates, M.A. Alam, "Universality of Interface Trap Generation and Its Impact on ID Degradation in Strained/Unstrained PMOS Transistors Under NBTI Stress", Tran. Electron Devices Meeting (IEDM'08), IEEE, San Francisco, CA, USA, pp. 1-4, DOI: 10.1109/IEDM.2008.4796626, 15-17 Dec., 2008.
- [55] H. Kufluoglu, M. A. Alam, "A Generalized Reaction-Diffusion Model With Explicit H-H₂ Dynamics for Negative-Bias Temperature-Instability (NBTI) Degradation", Tran. Electron Devices, IEEE Electron Devices Society, Vol. 54 Issue 5, pp. 1101-1107, DOI: 10.1109/TED.2007.893809, May, 2007.
- [56] A. E. Islam, V. D. Maheta, H. Das, S. Mahapatra, M. A. Alam, "Mobility Degradation Due to Interface Traps in Plasma Oxynitride PMOS Device", Proc. 46th Annual International Reliability Physics Symposium (IRPS'08), IEEE, Phoenix, AZ, USA, pp. 87-96, DOI: 10.1109/RELPHY.2008.4558868, 27 April - 1 May, 2008.
- [57] H. Qin, Y. Cao, D. Markovic, A. Vladimirescu, J. Rabaey, "SRAM Leakage Suppression by Minimizing Standby Supply Voltage", Proc. 5th International Symposium on Quality Electronic Design (ISQED'04), IEEE, pp. 55-60, DOI: 10.1109/ISQED.2004.1283650, 2004.
- [58] M. Agarwal, *et al.*, "Circuit Failure Prediction and Its Application to Transistor Aging", Proc. 25th VLSI Test Symposium (VTS'07), IEEE, Berkeley, CA, USA, pp. 277-286, DOI: 10.1109/VTS.2007.22, 6-10 May 2007.
- [59] W. Wang, S. Yang, S. Bhardwaj, S. Vrudhula, F. Liu, Y. Cao, "The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis", Tran. Very Large Scale Integration (VLSI'10), IEEE, Vol. 18 Issue: 2, pp. 173-183, DOI: 10.1109/TVLSI.2008.2008810, Feb., 2010.

- [60] Waneen Wyrick Spirduso, “Dimensões Físicas do Envelhecimento”, Ed. Manole, 2005, ISBN8520413412.
- [61] S. V. Kumar, C. H. Kim, S. Sapatnekar, “Adaptive Techniques for Overcoming Performance Degradation due to Aging in Digital Circuits”, Proc. IEEE ASP-DAC, pp. 284-289, DOI: 10.1109/ASPDAC.2009.4796494, 19-22 Jan, 2009.
- [62] W. Wang *et al.*, “An Efficient Method to Identify Critical Gates under Circuit Aging”, Proc. ICCAD, IEEE, pp. 735-740, ISBN: 1-4244-1382-6, 2007.
- [63] J. Tschanz, *et al.* “Adaptive Frequency and Biasing Techniques for Tolerance to Dynamic Temperature-voltage Variations and Aging”, Proc. IEEE Int. Solid-State Circuits Conf. (ISSCC’07), San Francisco, CA, USA, pp. 292-604, DOI: 10.1109/ISSCC.2007.373409, 11-15 Feb., 2007.
- [64] C. R. Gauthier, P. R. Trivedi, G. S. Yee, “Embedded Integrated Circuit Aging Sensor System”, Sun Microsystems, US Patent 7054787, 30 May, 2006.
- [65] D. Kim, J. Kim, M. Kim, J. Moulic, H. Song, “System and Method for Monitoring Reliability of a Digital System”, IBM Corp., US Patent 7495519, 24 Feb., 2009.
- [66] M. Cuvillo, S. Dey, X. Bai, Y. Zhao, “Fault Modeling and Simulation for Crosstalk in System-on-Chip Interconnects”, Int. Conf. on Computer Aided Design, pp. 297-303, Nov., 1999.
- [67] H. Chen, L. Wang, “Design for Signal Integrity: The New Paradigm for Deep-Submicron VLSI Design”, Proc. Int. Symposium on VLSI Technology, pp. 329-333, June, 1997.
- [68] J. Semião *et al.*, “Time Management for Low-Power Design of Digital Systems”, ASP Journal of Low Power Electronics (JOLPE), Vol. 4, N° 3, pp. 410-419, Dec., 2008.
- [69] J. C. Vazquez *et al.*, “Built-In Aging Monitoring for Safety-Critical Applications”, Proc. IEEE Int. On-Line Test Symp. (IOLTS), pp. 9-14, 2009.
- [70] J. C. Vazquez *et al.*, “Low-sensitivity to Process Variations Aging Sensor for Automotive Safety-Critical Applications”, Proc. IEEE VLSI Test Symposium (VTS), pp. 238-243, 2010.
- [71] J.C. Vazquez, et al., “Predictive Error Detection by On-line Aging Monitoring”, Proc. IEEE Int. On-Line Test Symp. (IOLTS), 2010.
- [72] C. V. Martins, J. Semião, J. C. Vazquez, V. Champaq, M. Santos, I. C. Teixeira, J. P. Teixeira, “Adaptive Error-Prediction Flip-flop for Performance Failure

- Prediction with Aging Sensors”, 29th IEEE VLSI Test Symposium 2011 (VTS'11), Dana Point, California, USA, 1 -5 May, 2011.
- [73] C. V. Martins, J. Pachito, J. Semião, I. C. Teixeira, J. P. Teixeira, “Adaptive Error-Prediction Aging Sensor for On-Line Monitoring of Performance Errors”, Proceedings of the XXVI Conference on Design of Circuits and Integrated Systems - DCIS'11, Albufeira, Portugal, November, 2011.
- [74] Predictive Technology Model (PTM), <http://www.eas.asu.edu/~ptm/>, consultado *on-line* em Outubro de 2010.
- [75] Gordon E. Moore, “Cramming more Components onto Integrated Circuits”, Electronics, 38(8), April 9, 1965.
- [76] “Impact of Negative Bias Temperature Instability on Digital Circuit Reliability”, Vijay Reddy, Anand T. Krishnan, Andrew Marshall, John Rodriguez, Sreedhar Natarajan, Tim Rost, and Srikanth Krishnan
- [77] J. F. Zhang, W. Eccleston, “Positive bias temperature instability in MOSFETs”, IEEE Transactions on Electron Devices, vol. 45, issue 1, pp. 116-124, 1998, DOI: 10.1109/16.658821, ISSN: 0018-9383.
- [78] Haldun Kufluoglu, “MOSFET Degradation Due To Negative Bias Temperature Instability (NBTI) And Hot Carrier Injection (HCI) And Its Implications For Reliability-Aware VLSI Design”, Doctor of Philosophy Dissertation, Purdue University, West Lafayette, Indiana, USA, December 2007
- [79] JEDEC, “Failure Mechanisms and Models for Semiconductor Devices”, JEDEC Solid State Technology Association, 2003.
- [80] J. W. McPherson, R. B. Khamankar, A. Shanware, “Complementary model for intrinsic time-dependent dielectric breakdown in SiO₂ dielectrics”, Journal of Applied Physics, Vol. 88, Issue 9, pp. 5351-5359, DOI: 10.1063/1.1318369, 2000.
- [81] Kunhyuk Kang et. al. “Statistical Timing Analysis Using Levelized Covariance Propagation Considering Systematic and Random Variations of Process Parameters”, ACM Transactions on Design Automation of Electronic Systems, Vol. 11, No. 4, October 2006, Pages 848–879
- [82] A. T. Krishnan, S. Chakravarthi, P. Nicollian, V. Reddy, S. Krishnan, “Negative Bias Temperature Instability Mechanism: The Role of Molecular Hydrogen”, Applied Physics Letters, Vol. 88, Issue 15, pp. 153518-153518-3, DOI: 10.1063/1.2191828, Apr, 2006

- [83] B. Kaczer, V. Arkbipov, R. Degraeve, N. Collaert, G. Groeseneken, M. Goodwin, "Disorder-Controlled-Kinetics Model for Negative Bias Temperature Instability and its Experimental Verification", Proc. 43rd Annual Symposium in Reliability Physics, IEEE, pp. 381-387, DOI: 10.1109/RELPHY.2005.1493117, 2005.
- [84] V. Huard, M. Denais, C. Parthasarathy, "NBTI Degradation: From Physical Mechanisms to Modelling", Microelectronics and Reliability, Elsevier, Vol. 46, Issue: 1, pp. 1-23, DOI: 10.1016/j.microrel.2005.02.001, 2006.
- [85] D. Varghese, D. Saha, S. Mahapatra, K. Ahmed, F. Nouri, M. Alam, "On the Dispersive versus Arrhenius Temperature Activation of NBTI Time Evolution in Plasma Nitrided Gate Oxides: Measurements, Theory, and Implications", International Electron Devices Meeting (IEDM'05), IEEE, Washington DC, pp. 684-687, DOI: 10.1109/IEDM.2005.1609444, Dec, 2005.
- [86] C. P. Chen, C. C. N. Chu, D. F. Wong, "Fast and Exact Simultaneous Gate and Wire Sizing by Lagrangian Relaxation", Tran. Computer - Aided Design of Integrated Circuits and System, Vol. 18, N^o. 7, pp. 1014-1025, 1999.
- [87] A. E. Islam, G. Gupta, S. Mahapatra, A. T. Krishnan, K. Ahmed, F. Nouri, A. Oates, M.A. Alam, "Gate Leakage vs. NBTI in Plasma Nitrided Oxides: Characterization, Physical Principles, and Optimization", Proc. International Electron Devices Meeting (IEDM'06), IEEE, San Francisco, CA, pp. 1-4, DOI: 10.1109/IEDM.2006.346775, 11-13 Dec., 2006.
- [88] Michael DeBole, K. Ramakrishnan, Varsha Balakrishnan, Wenping Wang, Hong Luo, Yu Wang, Yuan Xie, Yu Cao, N. Vijaykrishnan, "A framework for estimating NBTI degradation of microarchitectural components", Proceedings of the 2009 Asia and South Pacific Design Automation Conference - ASP-DAC '09, IEEE Press Piscataway, NJ, USA, 2009, ISBN: 978-1-4244-2748-2.
- [89] Saurabh Sinha, Jounghyuk Suh, Bertan Bakkaloglu, Yu Cao, "Workload-aware neuromorphic design of low-power supply voltage controller", Proceedings of the 2010 International Symposium on Low-Power Electronics and Design (ISLPED'10), ACM/IEEE, 18-20 Aug. 2010, pp. 241 - 246, Austin, TX, USA, ISBN: 978-1-4244-8588-8.
- [90] Yinghai Lu, Li Shang, Hai Zhou, Hengliang Zhu, Fan Yang, Xuan Zeng, "Statistical reliability analysis under process variation and aging effects", Proceedings of the 46th Annual Design Automation Conference - DAC '09,

- ACM New York, NY, USA, 2009, ISBN: 978-1-60558-497-3, doi>10.1145/1629911.1630044.
- [91] <http://asic.austriamicrosystems.com/>, consultado em Maio de 2011.
- [92] E. Takeda, C. Y. Yang, and A. Miura-Hamada, “Hot-Carrier Effects in MOS Devices”, Academic Press, 1995.
- [93] M. A. Reed, “Molecular Electronics: Back Under Control,” *Nature Materials*, vol. 3, Issue 5, pp. 286–287, DOI: 10.1038/nmat1123, May 2004.
- [94] T. P. Ma, P. V. Dressendorfer, “Ionizing Radiation Effects in MOS Devices and Circuits”, Willey-Interscience, pp. 502-503, ISBN: 0-471-84893-X, 1989.
- [95] Ali Keshavarzi, James W. Tschanz, Siva Narendra, Vivek De, W. Robert Daasch, Kaushik Roy, Manoj Sachdev, Charles F. Hawkins, “Leakage and Process Variation Effects in Current Testing on Future CMOS Circuits”, *Journal IEEE Design & Test*, Volume 19, Issue 5, September 2002, IEEE Computer Society Press, USA, doi>10.1109/MDT.2002.1033790.
- [96] K. Kang, H. Kufluoglu, M. A. Alain, K. Roy, “Efficient Transistor-Level Sizing Technique Under Temporal Performance Degradation Due to NBTI”, *Proc. International Conference on Computer Design (ICCD’06)*, IEEE, San Jose, CA, USA, pp. 216-221, DOI: 10.1109/ICCD.2006.4380820, 2006.

