

Universidad de Huelva

Departamento de Ingeniería Electrónica, de Sistemas
Informáticos y Automática



Sistemas front-end integrados para la detección de partículas cargadas aplicando técnicas de incremento de ganancia

Memoria para optar al grado de doctor
presentada por:

Rafael López de Ahumada Gutiérrez

Fecha de lectura: 3 de julio de 2015

Bajo la dirección del doctor:

Juan Antonio Gómez Galán

Huelva, 2015





Universidad de Huelva

*Departamento de Ingeniería Electrónica,
de Sistemas Informáticos y Automática*

Programa de Doctorado

Ingeniería de Control, Informática y Electrónica

Tesis Doctoral

**Sistemas front-end integrados para la
detección de partículas cargadas
aplicando técnicas de incremento de
ganancia**

Autor

Rafael López de Ahumada Gutiérrez

Director

Juan Antonio Gómez Galán

Huelva, 2015

A mi esposa y a mis hijas

A mis padres y mis hermanos

Agradecimientos

En primer lugar deseo mostrar mi más profundo agradecimiento al director de esta tesis, D. Juan Antonio Gómez Galán, por todo el tiempo que me ha dedicado durante la realización de la misma, por compartir conmigo sus conocimientos y por la inmensa ayuda que me han prestado en la labor de síntesis del trabajo realizado durante estos años.

Quiero también agradecer a mis compañeros y compañeras del Departamento de Ingeniería Electrónica, de Sistemas Informáticos y Automática y del Grupo de Investigación “Sistemas Electrónicos y Mecatrónica”, el apoyo que me han prestado y los consejos recibidos. En especial a Dña. Trinidad Sánchez Rodríguez y D. Manuel Sánchez Raya.

También deseo agradecer al Grupo de Investigación “Estructura de la Materia” de la Universidad de Huelva, y en particular a D. Ismael Martel Bravo, el haberme permitido el acceso a las instalaciones y a las herramientas necesarias para la prueba de los equipos y sistemas propuestos en este trabajo.

Aunque no se las mencione explícitamente, deseo dar las gracias a todas aquellas personas que de algún modo me han ayudado en la realización de esta tesis. Y tener un recuerdo especial para D. Rafael Rodríguez Macías.

Por último, me gustaría agradecer a los siguientes organismos, cuyas aportaciones económicas han hecho posible esta tesis:

- Ministerio de Ciencia e Innovación mediante el proyecto FPA2010-22131-C02-02.
- Secretaría General de Universidades, Investigación y Tecnología de la Junta de Andalucía mediante el proyecto P10-TIC-6311.

Resumen

En este trabajo de investigación, se han propuesto y aplicado técnicas de incremento de ganancia en diseño analógico para implementar varios sistemas *front-end* utilizados en aplicaciones de física nuclear para la detección de partículas cargadas mediante detectores semiconductores de silicio.

En los últimos años se ha incrementado el número de trabajos relacionados con la integración de estos sistemas *front-end* en tecnologías CMOS para cubrir la necesidad de acondicionar y procesar la señal procedente de centenares e incluso miles de canales de los nuevos sistemas de detección. Las ventajas relacionadas con la alta densidad de integración y el bajo consumo de potencia, debe hacer frente a desafíos de diseño relacionados con la degradación de los parámetros analógicos de los transistores debido al escalado de la tecnología, tales como la pérdida de ganancia intrínseca y el incremento de ruido.

La tesis propone soluciones de circuito para incrementar la ganancia de los elementos activos que constituyen los bloques constructivos de la parte analógica de un sistema *front-end*, esto es, amplificadores sensibles a la carga y conformadores de pulso o shapers, de forma que se asegure su correcto

funcionamiento operando en lazo cerrado y usando tecnologías CMOS submicrométricas.

Los diseños abordan cuestiones relacionadas con el ruido, consumo de potencia, área de silicio, rango dinámico, precisión, linealidad y velocidad. Todos los sistemas implementados en esta tesis han sido fabricados usando tecnologías CMOS n-well de 130 nm y de 90 nm. Los resultados de las medidas experimentales son presentados y analizados en cada caso para validar el funcionamiento del correspondiente diseño.

Índice general

Agradecimientos.....	I
Resumen.....	III
Índice general	V
Índice de figuras	IX
Índice de tablas.....	XV
Capítulo 1 Introducción.....	17
1.1 Motivación.....	17
1.2 Objetivos.....	20
1.3 Estructura de la tesis.....	22
Capítulo 2 Acondicionamiento de señales en sistemas de detección de radiación en física nuclear	25
2.1 Introducción.....	25
2.2 Arquitectura general de un sistema front-end.....	26
2.3 Amplificador sensible a la carga o preamplificador	28
2.3.1 Mecanismo de reset.....	31

2.3.2	Topologías de amplificadores operacionales para el CSA.....	33
2.4	Conformador de pulsos o shaper.....	36
2.5	Circuito de compensación polo-cero	42
2.6	Circuito de inyección de carga para el test del sistema	46
2.7	Carga de ruido equivalente.....	47
2.8	Efectos relacionados con el escalado de la tecnología CMOS.....	56
2.9	Técnicas básicas de incremento de la ganancia	60

Capítulo 3 Sistema front-end programable de alta velocidad con shaper Gm-C semigaussiano 65

3.1	Introducción.....	65
3.2	Descripción y diseño del sistema de adquisición	66
3.2.1	Amplificador sensible a la carga	66
3.2.2	Sistema de reset y compensación polo-cero	70
3.2.3	El circuito shaper.....	71
3.2.4	Programabilidad del sistema completo.....	73
3.3	Resultados de simulación y experimentales	74
3.3.1	Análisis del Ruido.....	81
3.4	Conclusiones.....	83

Capítulo 4 Sistema de detección basado en un shaper Gm-C de polos complejos y empleando una técnica de incremento de ganancia con amplio rango de señal 85

4.1	Introducción.....	85
4.2	Arquitectura del sistema front-end diseñado	86
4.3	Consideraciones de diseño	87
4.4	Amplificador sensible a la carga.....	88
4.5	Amplificador conformador de pulsos (shaper) de polos complejos	90

4.6 Resultados de simulación y medidas experimentales.....	95
4.7 Conclusiones.....	102
Capítulo 5 Shaper eficiente en consumo y con rango de salida completo para el detector HYDE	105
5.1 Introducción.....	105
5.2 Consideraciones preliminares	108
5.3 Descripción del circuito shaper con rango de señal completo	110
5.3.1 Amplificador operacional con incremento de ganancia.....	113
5.3.2 Amplificador operacional con etapa de salida en clase AB.....	114
5.3.3 Amplificador propuesto para el circuito shaper.....	116
5.4 Sistema front-end implementado	117
5.4.1 Preamplificador de carga.....	118
5.4.2 Topología del shaper	121
5.5 Análisis de Ruido	123
5.6 Resultados Experimentales	125
5.7 Conclusiones.....	130
Capítulo 6 Sistema front-end basado en las técnicas de incremento de ganancia super-cascodo y FVF folded-cascodo en tecnología de 90 nm.....	133
6.1 Introducción.....	133
6.2 Comparación entre topologías de amplificadores operacionales convencionales en tecnologías CMOS modernas	135
6.3 Arquitectura del canal front-end usando amplificadores operacionales con incremento de ganancia	141
6.4 Resultados Experimentales	146
6.5 Conclusiones.....	150
6.6 Apéndice.....	152

6.6.1	Amplificadores auxiliares usando topología <i>folded-cascode</i> múltiple.....	152
6.6.2	Modelado de la técnica de cascode regulado.....	155
Capítulo 7 Conclusiones y líneas futuras de investigación.....		161
7.1	Conclusiones.....	161
7.2	Líneas futuras de investigación.....	163
Referencias.....		165
Publicaciones		179

Índice de figuras

Figura 2.1 Arquitectura genérica de un sistema front-end.	27
Figura 2.2 Arquitectura de los sistemas front-end diseñados para espectroscopia de energía.	28
Figura 2.3 Mecanismos de reset del condensador de realimentación en un CSA. (a) Descarga discreta mediante interruptor, (b) Descarga continua a través de una resistencia, (c) Descarga continua a través de un elemento activo.....	33
Figura 2.4 a) Pulso unipolar. b) Pulso bipolar.	39
Figura 2.5 Comparación de formas de pulso para filtros con polos reales y complejos y el mismo retorno a la línea de base ($t_{0.1}$ es el ancho del pulso en la fracción 0.1% de su altura máxima).	40
Figura 2.6 Pulsos para diferentes constantes de tiempo del CSA. a) Salida del CSA, b) Salida del <i>shaper</i>	42
Figura 2.7 Ejemplos de formas de onda a la salida del <i>shaper</i> para alta tasa de pulsos de entrada: a) sin circuito PZC, b) con circuito PZC.	43
Figura 2.8 Circuito compensación polo-cero después de la etapa CSA.	44
Figura 2.9 Posible implementación del circuito PZC en circuito integrado.....	45
Figura 2.10 Circuito de cancelación de polo-cero con ganancia de corriente.	45

Figura 2.11 Circuito de inyección de carga a la entrada del CSA.	46
Figura 2.12 Implementación del circuito de inyección de carga generando escalones de tensión sobre la resistencia R.	47
Figura 2.13 Esquema de ruido equivalente del preamplificador de carga (CSA).	48
Figura 2.14. Contribución de diferentes componentes de ruido al ruido total ENC frente al tiempo de pico.....	54
Figura 2.15 Ganancia intrínseca del transistor $A_i=g_m/g_{ds}$ frente a la longitud del canal.	57
Figura 2.16 Tensión de alimentación y V_{TH} del MOS frente a la longitud mínima de canal [Pek04].....	58
Figura 2.17 Densidad de la corriente de fuga de la puerta frente a la tensión de puerta y el grosor del óxido [Koh01].....	59
Figura 2.18 Técnicas básicas de incremento de la ganancia: (a) Escalado de la longitud del transistor $L=N \cdot L_{min}$ (b) Etapas de ganancia en cascada (c) Múltiples cascodos (d) Etapa de ganancia cascodo regulado (e) Ejemplo de combinación de etapa de entrada con cascodo regulado y etapa de salida en fuente común sin cascodos y gran rango de señal.	63
Figura 2.19 (a) Par diferencial convencional (b) "Crossquad" que incrementa g_m usando realimentación positiva (c) Par diferencial con g_m incrementada usando súper seguidores de tensión ("super voltage followers").....	64
Figura 3.1 Arquitectura del sistema front-end diseñado.	66
Figura 3.2 (a) Topología <i>folded-cascode</i> con transistor cascodo regulado para el CSA. (b) Esquema del amplificador auxiliar basado en una etapa en fuente común.	68
Figura 3.3 Diagrama de bloques de la sección paso bajo $Gm-C$ de 2° orden del shaper.	71
Figura 3.4 Transconductor usado en la sección $Gm-C$ del shaper.....	73
Figura 3.5 Comparativa de la ganancia en lazo abierto del CSA con y sin técnica de aumento de ganancia.	76

Figura 3.6 Medida de la respuesta transitoria del CSA para una energía de entrada de 5 MeV.....	77
Figura 3.7 Medida del efecto de la cancelación polo-cero.	78
Figura 3.8 Medida experimental de la sintonización del tiempo de pico del shaper. 79	
Figura 3.9 Tensión máxima de salida del sistema front-end frente a la carga en la entrada.....	80
Figura 4.1 Arquitectura del sistema front-end diseñado con shaper de polos complejos.....	87
Figura 4.2 Topología del CSA con el esquema de incremento de ganancia de amplio rango de señal.	89
Figura 4.3 Diagrama de bloques del filtro paso bajo $Gm-C$ de 2º orden con polos complejos.....	92
Figura 4.4 Transconductor usado en la sección $Gm-C$ del shaper de polos complejos.	93
Figura 4.5 Comparación de la ganancia de lazo abierto del CSA.....	96
Figura 4.6 Respuesta transitoria del CSA para un pulso de entrada de 10 fC. (a) Zoom del tiempo de subida (b) Programabilidad del tiempo de decaimiento.....	98
Figura 4.7 Funcionamiento del circuito de cancelación polo-cero.	100
Figura 4.8 Ajuste de (a) tiempo de pico y (b) ganancia.....	101
Figura 4.9 Amplitud del pico de salida frente a la carga en la entrada.	102
Figura 5.1 (a) Topología de dos etapas. (b) Topología de espejo de corriente de una etapa.....	111
Figura 5.2 Técnica de incremento de ganancia.....	113
Figura 5.3 (a) Salida clase AB convencional. (b) Salida clase AB basada en transistores QFG.....	115

Figura 5.4 Amplificador operacional <i>current mirror</i> propuesto para el circuito shaper.	116
Figura 5.5 Esquema del sistema front-end implementado.	117
Figura 5.6 Topología del preamplificador de carga.	119
Figura 5.7 Filtro paso bajo de cuarto orden con topología SK.	122
Figura 5.8 Microfotografía del chip.	125
Figura 5.9 Señal de salida del preamplificador de carga medida para una entrada de energía de 1 MeV. (a) Zoom al tiempo de subida. (b) Capacidad de ajuste de la resistencia activa de realimentación.	127
Figura 5.10 Medida de la programabilidad del tiempo de pico del shaper.....	129
Figura 5.11 Medida de la respuesta de energía y rango dinámico.	130
Figura 6.1 Amplificadores operacionales convencionales: (a) telescópico (b) espejo de corriente (<i>current mirror</i>) (c) folded-cascodo (d) dos etapas (Miller).....	137
Figura 6.2 Amplificadores operacionales con ganancia aumentada: (a) telescópico con transistores cascodo regulados (b) de dos etapas, ambos con cascodos (c) de una etapa (de espejo de corriente) con etapa de salida usando transistores cascodo regulados.....	139
Figura 6.3 Diagrama esquemático del canal front-end que comprende el preamplificador y el integrador (shaper).....	142
Figura 6.4 Simulación de la respuesta en frecuencia del amplificador sensible a carga.	143
Figura 6.5 Respuesta del preamplificador a un pulso de carga de 500 keV.	148
Figura 6.6 Respuesta medida del canal para una señal de carga de entrada de 135 fC.	149
Figura 6.7 ENC en función de la capacidad de entrada.....	150
Figura 6.8 (a) Topología del shaper basada en un amplificador operacional de dos etapas Miller con transistores cascodo regulados y etapa de entrada telescópica. (b)	

Implementación de los amplificadores auxiliares con incremento de ganancia mediante etapas de ganancia folded-cascode múltiples con seguidor de tensión rotado (FVF) para establecer un nodo de referencia de baja impedancia. 153

Figura 6.9 Comparación de la ganancia en lazo abierto en tecnología CMOS de 90 nm entre el esquema de la Figura 6.8 con amplificador operacional Miller convencional de dos etapas y con un amplificador operacional Miller de dos etapas pero con etapa de entrada telescópica..... 154

Figura 6.10 (a) Esquema convencional de la técnica de cascode regulado. (b) Modelo en pequeña señal. 156

Figura 6.11 Respuesta en magnitud del amplificador convencional sin técnica de aumento de ganancia, del amplificador local auxiliar y del amplificador completo con ganancia aumentada. 158

Índice de tablas

Tabla 2.1 Comparación de amplificadores con topología <i>folded-cascode</i> y <i>telescopico-cascode</i>	35
Tabla 2.2 Coeficientes de ruido para diferentes tipos de filtros.	55
Tabla 2.3 Evolución de las tecnologías CMOS [Pek04].....	56
Tabla 3.1 Parámetros del funcionamiento del amplificador sensible a la carga.	77
Tabla 3.2 Transconductancias, resistencias y condensadores del shaper.	79
Tabla 4.1 Dimensiones de los transistores y condiciones de polarización para el CSA.	95
Tabla 4.2 Características del amplificador sensible a la carga.....	99
Tabla 4.3 Parámetros del transconductor de la sección <i>G_m-C</i>	99
Tabla 4.4 Transconductancias, resistencias y capacidades del shaper.	100
Tabla 5.1 Parámetros de diseño para el shaper.	127
Tabla 6.1 Comparación de la ganancia en lazo abierto y GBW de amplificadores operacionales de la Figura 6.1 y la Figura 6.2 en tecnologías CMOS de 65 nm, 90 nm y 130 nm con transistores de longitud mínima	140

Tabla 6.2 Comparación de la ganancia en lazo abierto y GBW de amplificadores operacionales de la Figura 6.1 para dispositivos de longitud $2L_{min}$ en 65 nm y 90 nm. 141

Tabla 6.3 Relaciones de aspecto de los transistores y condiciones de polarización del shaper..... 148

Tabla 6.5 Comparación de ganancias en lazo abierto de los amplificadores operacionales de la Figura 6.8(b) utilizando transistores con longitud mínima de dispositivo L_{min} y $2L_{min}$ en 90nm. 155

Capítulo 1

Introducción

1.1 Motivación

El desarrollo de sistemas *front-end* de bajo ruido y bajo consumo es de gran interés en la actualidad en numerosas aplicaciones. Muchos sensores generan carga eléctrica en respuesta a una magnitud física externa, como es el caso de los sensores piezoeléctricos, fotodetectores, sensores piroeléctricos, detectores de partículas y detectores de radiación [Mas08]. En particular, los detectores semiconductores de silicio se usan de manera extensiva como contadores de fotones en sistemas de imágenes en medicina [Sep09], [Wei06], [McE02], [Tsu07] y en las modernas matrices de detección de partículas cargadas en física nuclear y de partículas [Unn00], [Aad10], [CMS08]. Estos dispositivos se aprovechan de las ventajas de los detectores de silicio pixelizados de alta resolución

desarrollados en la última década. Se trata de diodos inversamente polarizados que generan carga hacia sus electrodos cuando se exponen a radiación ionizante. La energía depositada en estos detectores se convierte en una señal eléctrica. Para medir la energía depositada, que es proporcional a la integral de la corriente, se requiere un interfaz de acondicionamiento de señal denominado en inglés *readout electronics system*, o *front-end electronics* (FEE).

Detectores de silicio altamente pixelizados se han usado en experimentos de física de alta energía (HEP) para aplicaciones de *tracking* (en rangos de señales de hasta 20 fC) y en biología y medicina nuclear (rayos gammas de hasta 500 keV). Sistemas *front-end* electrónicos con un gran rango dinámico (10 MeV) se han utilizado recientemente en detectores calorímetros para aplicaciones HEP, como en el (*pre-shower*) detector del experimento CMS en el acelerador del CERN/LHC (Ginebra, Suiza). Por otro lado, las nuevas generaciones de detectores de silicio en física nuclear para las nuevas instalaciones de haces radioactivos como GES/FAIR (Darmstadt, Alemania), GANIL/SPIRAL2 (Caen, Francia) y LNL/SPES (Legnaro, Italia) son muy exigentes en términos de rendimiento de los detectores y amplios rangos dinámicos (desde pocos MeV hasta varios GeV) y a sus propiedades temporales con resoluciones por debajo del pico-segundo, llevando la tecnología de los detectores de silicio al límite físico. Hay un importante número de proyectos internacionales con expertos colaborando en nuevos sistemas de detección de partículas de baja energía como GASPARD (SPIRAL2), HYDE (FAIR) y TRACE (SPES). Un programa de I+D se ha puesto en marcha para producir sistemas de detección basados en el uso de obleas gruesas de silicio en las que iones pesados de baja energía en el rango de 1-50 MeV/u deben pararse completamente en obleas de silicio segmentadas, recogiendo completamente la información de la energía y el flujo de corriente de la carga (forma del pulso) con la mayor

resolución que permita extraer información relevante sobre la estructura nuclear y la reacción nuclear. Con este propósito se están llevando a cabo grandes esfuerzos en investigación en el desarrollo del estado del arte específico de los sistemas *front-end* electrónicos para aplicaciones nucleares [Pol05], [Xu09], [Bar09], [Due12], [Jim12].

Hay varias especificaciones que deben considerarse en el diseño de un sistema *front-end*. La etapa preamplificadora debe estar lo más cerca posible al detector para minimizar efectos inductivos y capacidades espurias de la conexión. En la mayoría de las aplicaciones esta singularidad obliga al diseño de dispositivos con mínimo consumo de potencia, ya que los detectores (uniones *pn* inversamente polarizadas) están ubicados en ambientes herméticamente cerrados o al vacío. Por otro lado, las capacidades típicas de los detectores en aplicaciones de física nuclear varían más de un orden de magnitud, en el rango de 5–200 pF. De ahí que el objetivo de conseguir sistemas *front-end* con óptimas prestaciones para aplicaciones de espectroscopia constituye una línea prioritaria de investigación.

Tradicionalmente, en la interfaz de acondicionamiento de señal de los detectores semiconductores se ha empleado electrónica discreta e híbrida. Esta electrónica resulta inadecuada para altas densidades y para el cada vez mayor número de canales demandando bajo consumo, bajo ruido y pequeño área. El continuo escalado de los procesos CMOS ha llevado a la implementación de sistemas *front-end* con arquitecturas de múltiples canales donde los circuitos analógicos y digitales comparten el mismo chip. Un desafío importante para los diseñadores analógicos es conseguir sistemas *front-end* de bajo ruido y alta velocidad, mientras que al mismo tiempo se minimice el consumo de potencia tanto como sea posible [San90], [Ran97], [Mor08], [Hu98a], [Gry07a]. El ruido en

este tipo de sistemas está determinado principalmente por la capacidad del detector, su corriente de fuga, el tiempo de conformación (*shaping time*) y la disipación de potencia permitida. Normalmente, el diseño óptimo del sistema requiere un compromiso entre los parámetros mencionados.

1.2 Objetivos

Esta tesis tiene como objetivo general contribuir a esta tendencia de diseño de sistemas *front-end* integrados proponiendo soluciones que superen los inconvenientes del diseño analógico relacionados con la baja ganancia intrínseca de los transistores en las tecnologías CMOS modernas. Teniendo en cuenta que a nivel de arquitectura la electrónica de acondicionamiento del sistema *front-end* es conocida, este trabajo de investigación se centra en la implementación de los principales bloques de la cadena de instrumentación utilizando técnicas de incremento de la ganancia en los elementos activos que la constituyen. Estas técnicas son necesarias para conseguir una alta ganancia en lazo abierto de estos bloques, pero la baja tensión de alimentación requerida en las tecnologías CMOS submicrométricas limita el número de transistores apilados en cada rama del circuito, y por tanto, se debe hacer un uso cuidadoso de la utilización de transistores cascode como técnica convencional de incremento de ganancia. Además, el bajo consumo de potencia demanda simplicidad en los circuitos lo cual complica aún más los diseños, ya que normalmente la simplicidad conduce a un peor funcionamiento en diseños analógicos.

Los resultados de esta tesis forman parte de la colaboración iniciada en los últimos años entre los grupos de investigación "Sistemas Electrónicos y Mecatrónica" y "Estructura de la Materia" de la Universidad de Huelva para el

desarrollo de la electrónica de proximidad que acondiciona los pulsos de carga procedentes de detectores semiconductores con aplicación a física nuclear y la implementación de técnicas digitales de identificación de partículas. En esta tesis se proponen varios diseños analógicos de sistemas *front-end* integrados y continúa la investigación desarrollada en la tesis de Manuel Sánchez Raya [San13]. En particular, los objetivos de esta tesis son los siguientes:

- Aplicar técnicas de incremento de ganancia en los amplificadores operacionales que forman parte de los amplificadores sensibles a la carga y los conformadores de pulsos (*shapers*) que son los principales elementos de la parte analógica de un sistema *front-end*.
- Proponer varias topologías de los amplificadores auxiliares que efectúan la realimentación local de la técnica de cascode regulado que resulten adecuadas para baja tensión y que no limiten el rango de señal.
- Diseño, implementación y test de amplificadores sensibles a la carga basados en la topología *folded-cascode* que utilizan la técnica de cascode regulado para el incremento de ganancia. Los diseños constituyen soluciones con topología compacta, alta velocidad y un adecuado compromiso entre ruido y consumo de potencia.
- Diseño, implementación y test de conformadores de pulsos o *shapers* usando topologías de filtros activos *opamp-RC* y *Gm-C* (transconductancia-condensador). Se han empleado *shapers* de tipo semi-gaussianos y cuasi-gaussianos basados en varias topologías de amplificadores operacionales (espejo de corriente o *current mirror*, telescópica, y de dos etapas) que usan varias técnicas de incremento de ganancia. Algunas de las soluciones propuestas consiguen un

rango completo de la señal de salida lo cual maximiza el rango de energía de entrada que es capaz de procesar todo el sistema *front-end*.

- Empleo de técnicas clase AB para la etapa de salida en amplificadores sensibles a la carga y conformadores de pulsos que permite muy bajo consumo estático de potencia.

En todos los circuitos se han desarrollado diseños optimizados manteniendo un compromiso entre velocidad, precisión, ruido y consumo de potencia. Todos los circuitos de esta tesis se han fabricado y testeado usando tecnologías CMOS de 130 nm y de 90 nm. Se han introducido mecanismos para controlar los principales parámetros del sistema *front-end*, es decir, tiempo de decaimiento a la salida del preamplificador de carga, y ganancia y tiempo de pico en la salida del *shaper*, lo que añade flexibilidad a los diseños para adaptarse a diferentes tipos de experimentos.

1.3 Estructura de la tesis

La tesis se ha organizado en 7 capítulos, siendo el primero de ellos el presente capítulo de introducción. Dicho capítulo se ha centrado en las motivaciones de este trabajo de investigación explicando la necesidad de diseñar sistemas analógicos *front-end* integrados modificando las topologías convencionales de amplificadores operacionales para superar las limitaciones impuestas por las modernas tecnologías CMOS que degradan parámetros analógicos importantes de los transistores.

El capítulo 2 describe la arquitectura genérica de un sistema *front-end* de detección para aplicaciones de física nuclear identificando los principales

bloques constructivos y sus principales parámetros de diseño. También se explica el escalado de la tecnología CMOS y cómo afecta a los parámetros de los transistores. Finalmente, se enumeran las principales técnicas convencionales de incremento de ganancia en amplificadores operacionales.

El capítulo 3 presenta un sistema *front-end* que utiliza una simple etapa en fuente común como amplificador auxiliar para incrementar la ganancia usando la técnica de cascode regulado. Para el amplificador sensible a la carga se usa una topología *folded-cascode*. El shaper es de tipo semi-gaussiano y consiste en un esquema *Gm-C* que utiliza como transconductor un par diferencial de una sola etapa con degeneración resistiva en el terminal de fuente.

El capítulo 4 utiliza como técnica de incremento de ganancia un esquema del amplificador auxiliar que efectúa la realimentación local basado en un desplazamiento de nivel en DC que no limita el rango de la señal de salida ni del amplificador sensible a la carga ni del shaper. En este caso, se utiliza un shaper de tipo *Gm-C* pero con polos complejos que permite obtener una señal de pulso cuasi-gaussiana. Tanto la topología del amplificador sensible a la carga como la del transconductor del shaper son idénticas a las usadas en el capítulo 3.

El capítulo 5 propone un amplificador de una sola etapa con topología de espejo de corriente (*current mirror*) para la implementación del shaper. Para incrementar la ganancia de dicho amplificador se utiliza un esquema muy compacto que resta corriente en DC a la rama de salida, y por tanto, incrementa su resistencia. Además, la etapa de salida se ha dotado de comportamiento en clase AB utilizando la técnica de transistores de puerta cuasi-flotante. Ni el esquema de incremento de ganancia ni la etapa de salida en clase AB requieren consumo de potencia adicional. Por otro lado, el amplificador sensible a la carga es de topología *folded-cascode* y se le ha incrementado la ganancia empleando un

transistor cascode en serie con el transistor de entrada. Se ha utilizado como etapa de salida un buffer en clase AB basado en la celda seguidor de tensión rotado (*FVF*, *flipped voltage follower*) con un reducido consumo estático. El shaper implementado está basado en la arquitectura de filtros *opamp-RC* usando una topología Sallen-Key que tiene una doble ventaja: sólo requiere un amplificador operacional por cada sección biquadrática lo que contribuye a reducir el consumo, y proporciona polos complejos lo que permite obtener pulsos cuasi-gaussianos con alto grado de simetría.

El capítulo 6 utiliza la técnica de cascode regulado tanto para el amplificador sensible a la carga como para el shaper, pero los esquemas implementados del amplificador auxiliar que efectúa la realimentación local son distintos en cada caso. Así, para el preamplificador de carga el amplificador auxiliar utiliza un diseño de dos etapas, siendo la primera etapa una configuración en puerta común seguida de una segunda en configuración en fuente común; con el adecuado dimensionamiento de los transistores y la polarización no necesita capacidad de compensación. Para el shaper, se ha seleccionado una topología de un amplificador operacional de dos etapas, con etapa de entrada telescópica con transistores cascode regulados y con etapa de salida en fuente común sin transistores cascode, y que por tanto, proporciona rango completo de la señal de salida. Los transistores cascode regulados del shaper emplean amplificadores auxiliares de topología *folded-cascode* basados en la celda *FVF*, mencionada anteriormente. En este sistema *front-end*, el shaper se comporta como un simple integrador de primer orden.

Finalmente, el capítulo 7 recoge las principales contribuciones de esta tesis y las conclusiones generales. Además, se mencionan las líneas de investigación futuras y se analizan brevemente.

Capítulo 2

Acondicionamiento de señales en sistemas de detección de radiación en física nuclear

2.1 Introducción

Los detectores semiconductores usados en aplicaciones de física nuclear consisten en diodos inversamente polarizados que liberan carga hacia sus electrodos cuando son expuestos a radiación. La energía depositada en estos detectores se convierte en una señal eléctrica. Para medir la energía depositada, que es proporcional a la amplitud del pulso de corriente, es necesario un sistema electrónico de acondicionamiento de señal. Este sistema analógico *front-end* es un canal lineal que procesa la información procedente del sensor/detector y lo entrega en una forma conveniente para un posterior procesamiento analógico o digital.

La tendencia a integrar completamente el canal de acondicionamiento electrónico se ha convertido en una prioridad reemplazando el uso de electrónica discreta convencional [Boi04], [Ham04], [Gar11]. El escalado de la tecnología CMOS permite disponer de sistemas *front-end* de alta velocidad, pequeño área pero a costa de tensiones de alimentación bajas y con restricciones en ruido [San90]. La baja tensión de alimentación complica el diseño ya que requiere topologías muy eficientes. El diseño de amplificadores operacionales, que constituyen el bloque constructivo más importante del sistema *front-end*, presenta la dificultad adicional de tener que proporcionar alta ganancia y gran rango de la señal de salida combinando operación a baja tensión de alimentación con alta eficiencia energética. En la actualidad, para superar la limitación de la baja ganancia intrínseca en tecnologías CMOS submicrométricas se requieren técnicas de incremento de la ganancia combinadas con técnicas de baja tensión. Estructuras en cascada que elevan la ganancia con varias etapas amplificadoras necesitan compensación de frecuencia, incrementando el consumo de potencia y limitando el ancho de banda. La manera habitual para aumentar la ganancia es a través de transistores cascode pero el diseño requiere voltajes pequeños de saturación para atenuar la limitación del rango de la señal de salida.

2.2 Arquitectura general de un sistema front-end

Teniendo en cuenta los requerimientos de la aplicación y del detector, los componentes que forman parte de un sistema *front-end* pueden variar. La siguiente figura muestra su arquitectura genérica.

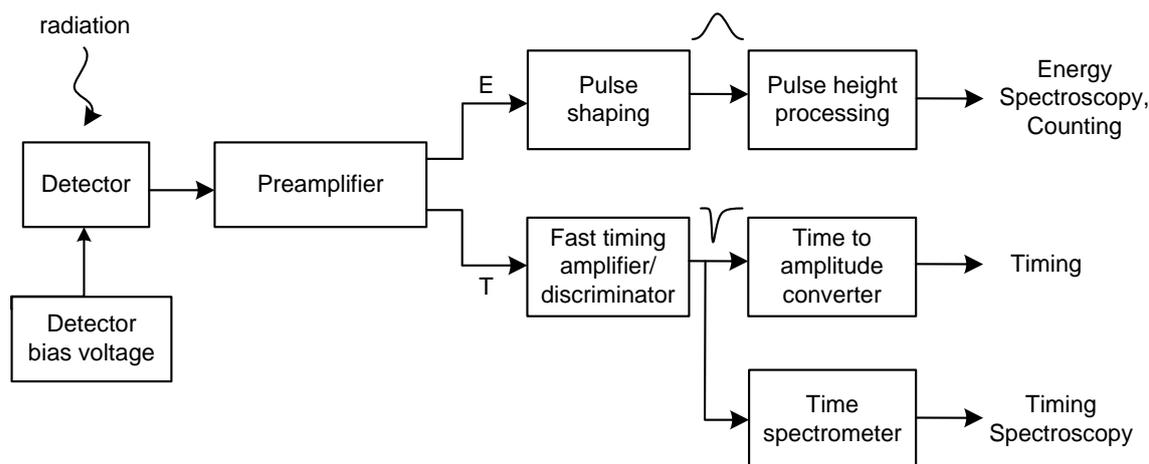


Figura 2.1 Arquitectura genérica de un sistema front-end.

El primer componente de la cadena es el detector y su esquema de polarización. Los pulsos de carga generados en el detector son amplificados y convertidos a tensión con bajos requerimientos de ruido, mediante un *preamplificador*. A continuación, el procesamiento del pulso tiene dos opciones dependiendo de la aplicación. Por un lado, para espectroscopia de energía o de "altura de pulso", se utiliza un *shaper* (*pulse shaping*) que genera un pulso a su salida cuya forma ha sido modificada y con amplitud proporcional a la energía absorbida en el detector. Por otro lado, la espectroscopia de tiempo se interesa por determinar el instante de llegada de los eventos al detector. Estas medidas de tiempo en física nuclear suelen utilizar un discriminador que genera un pulso lógico en respuesta a señales de entrada que exceden de un umbral preestablecido. A continuación de los discriminadores se suele colocar un convertidor tiempo/amplitud para medir la relación temporal entre eventos. Las medidas de tiempo de vuelo [Cio07] se engloban dentro de este tipo de espectroscopia temporal.

Cuando se utiliza como detector un diodo semiconductor de silicio, éste consiste en una unión *pn* polarizada en inverso con varias decenas, e incluso

centenares de voltios, de forma que toda la unión *pn* sea una zona de transición o de vaciamiento. Esto permite que toda la carga generada se deba exclusivamente al impacto de las partículas o la radiación incidente. En este caso, el detector se modela como un dispositivo capacitivo con una impedancia grande y una señal débil a la salida, por lo que el funcionamiento del preamplificador es de gran importancia. En este tipo de sistemas *front-end* es muy frecuente utilizar como preamplificador un integrador basado en un amplificador operacional con un condensador de realimentación.

Esta tesis se centra en la parte del sistema *front-end* relacionada con la espectroscopia de energía, y la Figura 2.2 muestra con mayor detalle el esquema de bloques de los sistemas presentados en este trabajo.

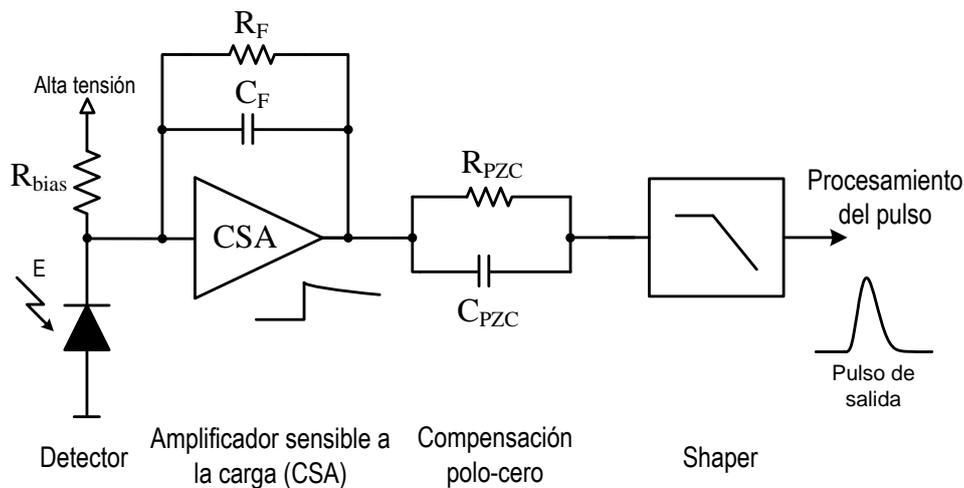


Figura 2.2 Arquitectura de los sistemas front-end diseñados para espectroscopia de energía.

2.3 Amplificador sensible a la carga o preamplificador

Existen tres tipos de preamplificadores según la manera de procesar la señal procedente del detector: en modo corriente, en modo tensión y usando un amplificador sensible a la carga [Gat81]. De todos ellos, es común usar un integrador basado en un amplificador operacional con realimentación

capacitiva debido a que la conversión carga/tensión no es sensible a la capacidad del detector C_{det} [Nou08b], [Per08], [Wur93]. La función de este tipo de preamplificador, denominado amplificador sensible a la carga (*charge sensitive amplifier* - CSA), es la de integrar el débil pulso de carga producido por el detector y convertirlo en pulsos de tensión. La carga generada se integra en un pequeño condensador de realimentación C_F . La salida del CSA es un escalón de tensión cuya amplitud es proporcional a la carga generada por el detector. Este pulso de tensión se descarga lentamente a través de la resistencia de realimentación R_F conectada en paralelo con C_F con una constante de tiempo $\tau_F = R_F \cdot C_F$. Normalmente es necesario ajustar el valor de la resistencia para controlar el tiempo de caída de la señal y prevenir el solapamiento de pulsos o *pile-up* que falsearían la medida de la amplitud en el caso de experimentos con una alta tasa de pulsos de entrada.

El pulso de tensión a la salida del CSA viene dado por la ecuación:

$$v_{out}(t) = -\frac{Q_d}{C_F} e^{-t/\tau_F} \quad (2.1)$$

Por lo tanto, la carga Q_d es convertida en pulsos de tensión con una amplitud $V_{out} = -Q_d/C_F$. La *ganancia de carga* del CSA se suele expresar de la siguiente forma:

$$G_c = \frac{V_{out}}{Q_d} = \frac{1}{C_F} \quad (2.2)$$

Las unidades de la ganancia de carga son V/C (Voltio/Culombio) o bien V/pC. Así, para una capacidad de realimentación de 200 fF la ganancia de carga es 5 V/pC.

Otra alternativa es proporcionar la ganancia teniendo en cuenta al detector. A este tipo de ganancia se le suele denominar *sensibilidad*. La

sensibilidad se expresa para la tensión de salida en unidades de mV/MeV, es decir, milivoltios por Megaelectrón-Voltio de energía de la partícula que incide sobre el detector. La señal de carga Q_d generada por el detector viene dada por:

$$Q_d = E \frac{e^-}{\varepsilon} \quad (2.3)$$

donde E es la energía de la partícula en MeV, e^- es la carga de un electrón 1.602×10^{-19} C, y ε es la energía requerida para crear un par electrón-hueco, que para silicio es 3.62 eV a una temperatura de 300 K. Por lo tanto, la sensibilidad es expresa como:

$$\text{Sensibilidad} = \frac{V_{out}}{E} = \frac{Q/C_F}{Q_d \varepsilon / e^-} = \frac{e^-}{\varepsilon C_F} \quad (2.4)$$

Si mantenemos como ejemplo $C_F = 200$ fC, la sensibilidad sería 294 mV/MeV.

Por otro lado, el amplificador sensible a la carga requiere una ganancia constante independiente de la capacidad del detector como se muestra en la ecuación (2.2). Para conseguir esto, la ganancia en lazo abierto del CSA debe ser muy elevada. La impedancia de entrada Z_{in} del CSA está dada por:

$$Z_{in} = \frac{1/sC_F}{1+A} \quad (2.5)$$

donde A es la ganancia de lazo abierto del amplificador. El gran valor de la capacidad efectiva de entrada se garantiza por la alta ganancia A del amplificador (debido al efecto Miller [Gra01]). Para una carga de entrada Q_d , la tensión v_{in} del CSA está dada por:

$$v_{in} = \frac{Q_d}{sC_{det} + (1 + A)sC_F} \quad (2.6)$$

Por lo tanto, la tensión de salida del CSA puede ser expresada como:

$$v_{out} = Av_{in} = \frac{Q_d}{sC_F + \frac{sC_F + C_{det}}{A}} \quad (2.7)$$

De las ecuaciones ((2.6) y ((2.7), la ganancia vale:

$$G = \frac{1}{C_F} \frac{1}{1 + \frac{C_{det} + C_F}{AC_F}} \quad (2.8)$$

Si la ganancia en lazo abierto A del amplificador es elevada, la ganancia de carga del CSA viene dada por $1/C_F$ y es independiente de la capacidad del detector C_{det} .

2.3.1 Mecanismo de reset

Su principal objetivo es implementar el mecanismo de descarga (de forma discreta o continua) del pulso de tensión a la salida del CSA. También facilita la estabilización del punto de operación del amplificador sensible a la carga. El sistema de *reset* puede generar ruido adicional por lo que debe ser diseñado cuidadosamente, ya que también está conectado al nodo de entrada, que es el más sensible de todo el sistema de detección.

La descarga de forma discreta se puede realizar mediante un interruptor [Wal84], [Kle88] donde un circuito de conmutación descarga de forma periódica el condensador de realimentación C_F . La señal de disparo para la descarga del condensador la puede proporcionar el reloj central del experimento o también puede generarse de forma individual para cada canal *front-end*. Este sistema tiene la desventaja de que genera ruido de muestreo y un posible problema de inyección de carga desde la tensión de control del interruptor.

La descarga de forma continua suele hacerse mediante la resistencia de realimentación R_F . El valor de esta resistencia contribuye al ruido paralelo a la entrada del CSA y a la caída de tensión en DC ($V_{DC} = R_F \cdot I_{Leak}$) debido a la corriente de fuga (*leakage*) del detector. Normalmente, el diseño del amplificador sensible a la carga está orientado hacia un bajo ruido, lo que implica grandes valores de R_F . La densidad espectral del ruido térmico debido a R_F ($4kT/R_F$, medida en A^2/Hz) debe ser comparable al ruido $2qI_{Leak}$. Estos grandes valores de resistencia son difíciles de implementar en tecnología CMOS. Las técnicas más comunes para integrar este gran valor se basan en dispositivos activos [Beu90], [Ger99], [Gry08]. Un transistor en lugar de una resistencia pasiva permite mejorar parámetros relacionados con el área, capacidades parásitas, velocidad y ruido. La resistencia equivalente de un transistor trabajando en la región lineal viene dada por $R = 1/[\mu C_{ox}(W/L)(V_{GS} - V_T)]$. Aunque esta es una solución compacta que permite además controlar el valor de la resistencia de realimentación, deben considerarse también efectos no lineales. Para conseguir un valor de resistencia estable insensible a efectos de segundo orden se han propuesto en la literatura esquemas de polarización adicionales [Gra97b]. La Figura 2.3 muestra gráficamente los mecanismos de *reset* mencionados.

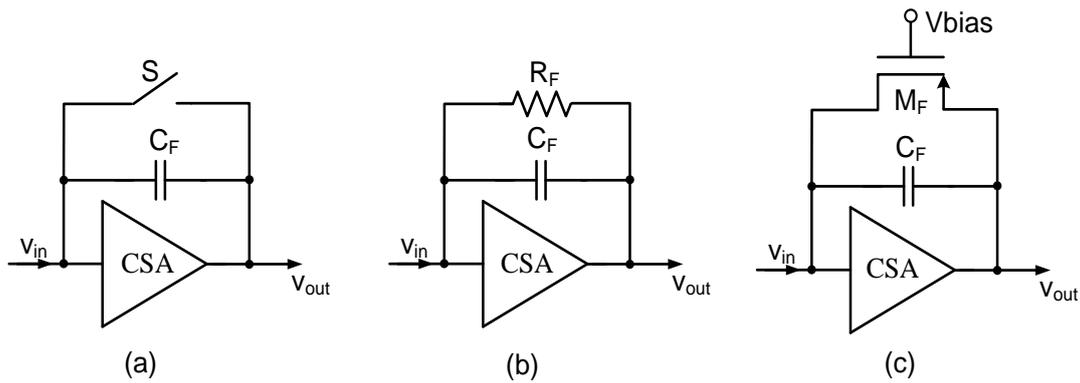


Figura 2.3 Mecanismos de reset del condensador de realimentación en un CSA. (a) Descarga discreta mediante interruptor, (b) Descarga continua a través de una resistencia, (c) Descarga continua a través de un elemento activo.

2.3.2 Topologías de amplificadores operacionales para el CSA

La optimización del funcionamiento del sistema *front-end* no es simple en tecnologías CMOS, por lo que es preciso abordar la optimización de sus componentes individuales. El amplificador sensible a la carga, como primera etapa de acondicionamiento de señales del sistema es el bloque más crítico de la cadena [Wul96], [Nou08a]. Se requiere explorar la arquitectura y las técnicas de circuito para cumplir los requisitos de funcionamiento para el CSA en particular, y para todos los demás componentes en general, aprovechando la tecnología específica empleada y teniendo cuidado con las limitaciones producidas por la propia tecnología CMOS [Gus12], [Kap12]. En general, el diseño del CSA requiere como principales características: poco ruido, bajo consumo de potencia, alta ganancia en lazo abierto, elevado producto ganancia-ancho de banda (GBW) y rápido tiempo de subida [Gry10]. Un cuidadoso diseño para el transistor de entrada es obligatorio para conseguir un bajo nivel de ruido y un consumo de potencia óptimo.

El tiempo de subida de la tensión de salida debe ser menor que el tiempo de integración de la carga sobre el condensador de realimentación. Así como la constante de tiempo $\tau_F = R_F \cdot C_F$ es responsable del decaimiento lento de la señal, GBW determina el tiempo de subida en la salida del CSA. Con el fin de transferir rápidamente al preamplificador la carga generada por el detector, el GBW debe ser suficientemente grande. Además, como indica la ecuación (2.8), la ganancia en lazo abierto del CSA debe ser suficientemente alta para asegurar que la salida sea independiente de la capacidad del detector. La multiplicación de Miller del condensador C_F por la ganancia en lazo abierto del CSA debe ser varias veces mayor que la capacidad del detector de manera que se garantice que casi todo el pulso de corriente fluya al condensador de realimentación y se integre al mismo tiempo.

La mayoría de los amplificadores sensibles a la carga utilizan como elemento activo un amplificador operacional con topología *telescópica* o *folded-cascode* [Hu98b] con entradas y salidas de un solo terminal. La Tabla 2.1 muestra una comparativa entre ambas topologías indicando las ventajas e inconvenientes de cada una de ellas.

Aunque hay trabajos que han utilizado la topología telescópica [Mor08], [Kap12], la mayoría de los sistemas *front-end* en aplicaciones de física nuclear utilizan el amplificador operacional de topología *folded-cascode* para el amplificador sensible a la carga. En la topología *folded-cascode* la ganancia viene dada por el producto de la transconductancia del transistor de entrada y la impedancia de salida, y esta última es bastante elevada por el uso de técnicas cascode. Para maximizar la transconductancia, la corriente de polarización del transistor de entrada es sustancialmente más elevada que la corriente de la rama de salida; este hecho también contribuye a maximizar la ganancia en DC

($g_m \cdot r_{out}$) ya que, no sólo se incrementa la transconductancia, sino también la resistencia de salida ($r_{out} = 1/\lambda I$, donde λ es la modulación de la longitud de canal de un transistor).

Topología <i>folded-cascode</i>	Topología <i>telescópica-cascode</i>
+ DCin = DCout se puede conseguir	+ Alta velocidad
+ Elevado producto GBW	+ Simplicidad
+ Polos muy separados	+ Polos separados
+ Es posible baja tensión	+ Bajo ruido
+ Alto rango de señal de entrada y de salida	- DCin = DCout más difícil de conseguir
- Sensible a la carga	- Baja rango de señal de entrada y de salida
- Adecuado macheado de transistores en la red de polarización	- Problemas de uso con realimentación
	- Tensión de alimentación más elevada

Tabla 2.1 Comparación de amplificadores con topología *folded-cascode* y *telescópico-cascode*.

Por contra, en la topología telescópica suele circular la misma corriente por el transistor de entrada y por los transistores cascode y es más difícil obtener simultáneamente alta transconductancia y alta resistencia de salida. La topología *folded-cascode* también puede permitir que el transistor de entrada esté alimentado con una tensión más baja que el resto del circuito, lo cual contribuye a reducir el consumo de potencia ya que esa rama de entrada es la que lleva la mayor parte de la corriente [Gry07b]. El otro motivo de necesitarse una elevada transconductancia, además del mencionado incremento de ganancia en DC, es la reducción del ruido térmico.

2.4 Conformador de pulsos o shaper

El shaper recibe la señal procedente del amplificador sensible a la carga, CSA, y realiza tres operaciones principales:

- 1) Proporciona una ganancia de tensión adicional suficiente para dar la información requerida sobre la radiación detectada. Esto facilita mediciones precisas de la amplitud del pulso mediante convertidores analógico/digitales, los cuales ya forman parte del denominado *back-end*. El shaper aumenta la amplitud del pulso de salida del CSA desde el rango de mV hasta centenares de mV dependiendo de los requisitos de la aplicación y del rango de la tensión de alimentación.
- 2) Mejora la relación señal a ruido (*SNR, signal to noise ratio*) filtrando el ruido fuera de un determinado ancho de banda.
- 3) Da forma (acorta) a la señal de la salida del CSA para cumplir requisitos temporales, que son necesarios para evitar la superposición entre pulsos sucesivos en experimentos de elevada tasa de eventos. Con este objetivo el shaper introduce la constante de tiempo dominante, es decir, inferior a $\tau_F = R_F \cdot C_F$. Normalmente, manejar altas tasas de pulsos (requiere pequeños anchos de pulso) está en contradicción con óptimas resoluciones de energía (requiere grandes anchos de pulso), necesiándose por tanto, un compromiso en el valor de la anchura del pulso.

Los shapers de tipo Gaussiano se conocen también como amplificadores de pulso o amplificadores de espectroscopia. Aceptan una entrada de tipo escalón y proporcionan un pulso de salida con forma de función Gaussiana.

Una forma de onda completamente Gaussiana no es físicamente realizable debido a la necesidad de un derivador (o diferenciador) seguido de un número infinitamente grande de integradores [Ohk76]. Aunque existe un gran número de shapers construidos en electrónica discreta, en el caso de la tecnología de circuitos integrados multicanal existen importantes requisitos adicionales para conseguir bajo consumo de potencia y poca área ocupada por un solo canal. Además, la realización práctica de todos los tipos de filtros es limitada en circuitos integrados, usándose habitualmente los tres tipos de filtros que se describen a continuación.

El *shaper semi-gaussiano* del tipo $CR-(RC)^n$ es una de las arquitecturas más populares en circuitos integrados. Este shaper proporciona una señal *unipolar* y está formado por un derivador (sección de filtrado paso alto) seguido de n integradores (secciones paso bajo), y está definido por la expresión [San90]:

$$H(s) = \left[\frac{s\tau_0}{1 + s\tau_0} \right] \left[\frac{A}{1 + s\tau_0} \right]^n \quad (2.9)$$

donde τ_0 es la constante de tiempo del diferenciador e integrador, A es la ganancia en DC de los integradores y n es el número de integradores y orden del sistema. El tiempo de pico t_p está relacionado con la constante de tiempo del *shaper*.

$$t_p = n\tau_0 \quad (2.10)$$

Por tanto, la función de transferencia se caracteriza por las constantes de tiempo del derivador y de los integradores, la ganancia en continua de los integradores y el número de integradores.

Si aplicamos un escalón de tensión unitario ideal a la entrada del shaper y considerando la función de transferencia del filtro definida por (2.9), se obtiene la señal de salida en el dominio del tiempo como:

$$v_{out}(t) = \frac{1}{n!} \left(\frac{t}{\tau} \right)^n \exp\left(-\frac{t}{\tau} \right) \quad (2.11)$$

La amplitud de pico de la señal con el tiempo de pico del pulso $t_p = n \tau_0$ es:

$$v_{max} = \frac{n^n}{n! e^n} \quad (2.12)$$

Un incremento en el orden del shaper disminuye la amplitud del pulso de salida, pero da como resultado un pulso que está más cerca del pulso ideal gaussiano, es decir, un pulso más simétrico pero con un mayor retraso. En la práctica, un diferenciador CR seguido por cuatro integradores RC se considera generalmente adecuado en este tipo de shaper. La simplicidad de esta topología la hace adecuada para circuitos integrados multicanal, pero el rendimiento en términos de ruido y su comportamiento temporal no la hacen la mejor solución.

Una variante del *shaper semi-gaussiano* es el que proporciona una señal *bipolar*. Está formado por la cascada de dos secciones paso alto y n integradores, siendo por tanto de tipo $CR^2-(RC)^n$.

La Figura 2.4 muestra la respuesta transitoria de un shaper unipolar y otro bipolar a una señal de entrada de tipo escalón (obtenida en la salida del amplificador sensible a la carga). Los parámetros de la respuesta transitoria se definen como:

t_p : tiempo de pico del pulso, medido desde el 1% de la altura del nivel máximo al centro del nivel máximo.

t_{p2} : tiempo de pico del pulso bipolar, medido desde el 1% de la altura del nivel máximo del lóbulo primario al nivel mínimo del pulso negativo secundario.

t_{xo} : tiempo de cruce de un pulso bipolar, medido desde el 1% de la altura del nivel máximo del lóbulo primario al punto de paso por cero del pulso bipolar.

Aunque el shaper de tipo bipolar ofrece peor relación señal a ruido y produce un pulso más largo que el unipolar, presenta la ventaja de que el tiempo de paso por cero t_{xo} no depende de la amplitud del pulso, empleándose esta característica para medidas de tiempo.

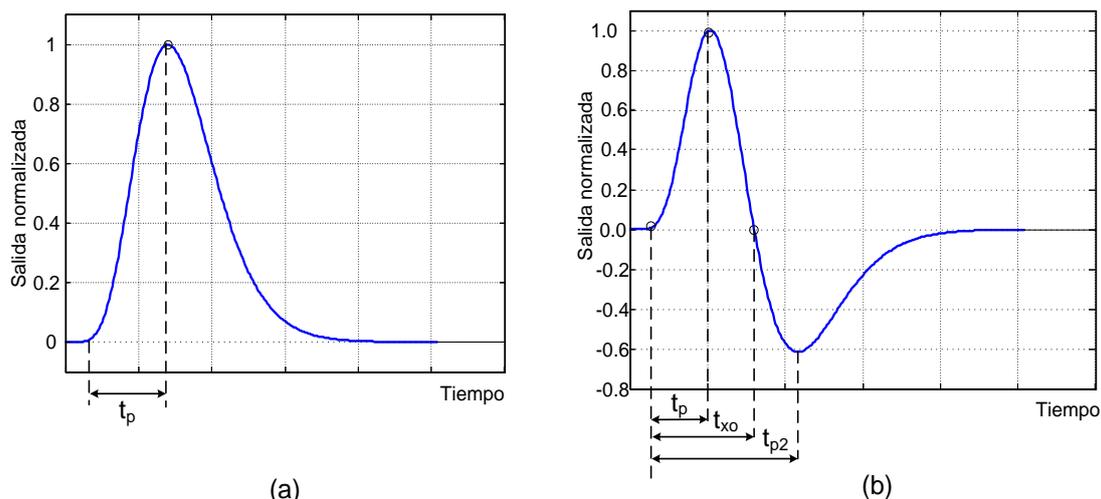


Figura 2.4 a) Pulso unipolar. b) Pulso bipolar.

Un tercer tipo de *shaper* es el *cuasi-gaussiano* que se puede obtener mediante el método propuesto en [Ohk76] usando filtros activos con un número limitado de etapas paso bajo. El procedimiento de diseño comienza con un circuito simple CR como derivador que genera un polo real. El siguiente paso es construir etapas integradoras con polos complejos. La Figura 2.5 ilustra los beneficios de los filtros con polos complejos comparando tres tipos de filtros con el mismo ancho de pulso, y por tanto, la misma velocidad [Con04]. La

forma más simétrica es la que proporciona menor ruido. La simetría se mide como la relación entre la anchura del pulso y el tiempo de pico. El tiempo de pico del pulso está relacionado con la constante de tiempo del shaper. En general, los shapers de mayor orden tienen formas de pulso más simétricas (mejor aproximación a la función Gaussiana) necesitando un mayor número de elementos activos (y por tanto, mayor consumo de potencia) pero pueden proporcionar mejor comportamiento en términos de ruido. Por tanto, la constante de tiempo (y por tanto, el tiempo de pico) y el orden del shaper deben optimizarse por el ruido. Para un tiempo de pico dado, existe un orden n óptimo para el cual el ruido total es mínimo. No obstante, diferentes aplicaciones pueden requerir diferentes tiempos de pico que pueden o no pueden ser óptimos para que el ruido sea mínimo.

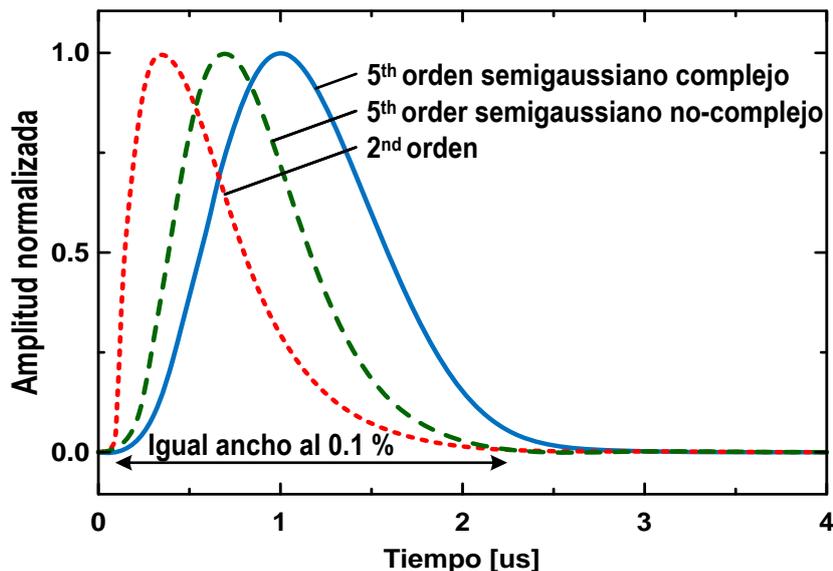


Figura 2.5 Comparación de formas de pulso para filtros con polos reales y complejos y el mismo retorno a la línea de base ($t_{0.1}$ es el ancho del pulso en la fracción 0.1% de su altura máxima).

Los filtros RC activos (*opamp-RC* en inglés) se han convertido en los más utilizados para este tipo de aplicaciones. Existen varias configuraciones de filtros activos para conseguir un par de polos complejos. Algunos de ellos son

los filtros con topologías Sallen-Key, T-Bridge o multi-realimentados [Gra97b], [Sol12], [Gry10]. Las topologías RC activas siguen el método clásico para el diseño de circuitos activos lineales estables mediante amplificadores realimentados con componentes pasivos lineales. Se consigue muy alta linealidad y gran relación señal a ruido. Sin embargo, la operación en lazo cerrado de los amplificadores limita el ancho de banda. Recientemente también se ha utilizado filtros de transconductancia-condensadores ($Gm-C$) [Gus12]. Este tipo de filtros puede conseguir mejor eficiencia en consumo de potencia para frecuencias de funcionamiento más altas debido a su operación en lazo abierto. No obstante, las ventajas derivadas de su operación en lazo abierto también están relacionadas con la dificultad para lograr alta linealidad.

Los amplificadores operacionales usados en shapers de tipo RC activos o los amplificadores operacionales de transconductancia (OTA, *operational transconductance amplifier*) usados en shapers de tipo $Gm-C$, suelen tener la misma topología que los empleados en el amplificador sensible a la carga, es decir, topología telescópica o *folded-cascode*. No obstante, como los requisitos de ancho de banda de los elementos activos del shaper son mucho menores que los del CSA, el diseño de los amplificadores operacionales del shaper suele ser una versión escalada del amplificador del CSA permitiendo reducir bastante el consumo de potencia del sistema.

Algunos requerimientos importantes del shaper están relacionados con bajo consumo de potencia, alta linealidad, pequeño área y programabilidad para diferentes tiempos de pico.

2.5 Circuito de compensación polo-cero

Cuando el condensador de realimentación C_F se descarga a través de la resistencia R_F , el pulso a la salida del CSA decae exponencialmente con la constante de tiempo $\tau_F = C_F R_F$. En la mayoría de los casos, la siguiente etapa es un shaper semi-gaussiano con un diferenciador RC y n integradores con la misma constante de tiempo τ , cumpliéndose la condición $\tau \ll \tau_F$. Si el pulso de salida del CSA con un lento tiempo de bajada se conecta a un filtro RC – (CR)² la respuesta a la salida del shaper será:

$$v_{outSH}(s) = \frac{Q_{in}}{C_F} \frac{1}{s + \frac{1}{C_F R_F}} \times \frac{s}{s + \frac{1}{CR}} \times \left(\frac{1}{sCR + 1} \right)^2 \quad (2.13)$$

En el dominio del tiempo, el pulso anterior tiene una oscilación “negativa”, cuya amplitud y anchura dependen de la constante de tiempo τ_F y de la constante de tiempo del shaper τ , como se observa en la Figura 2.6.

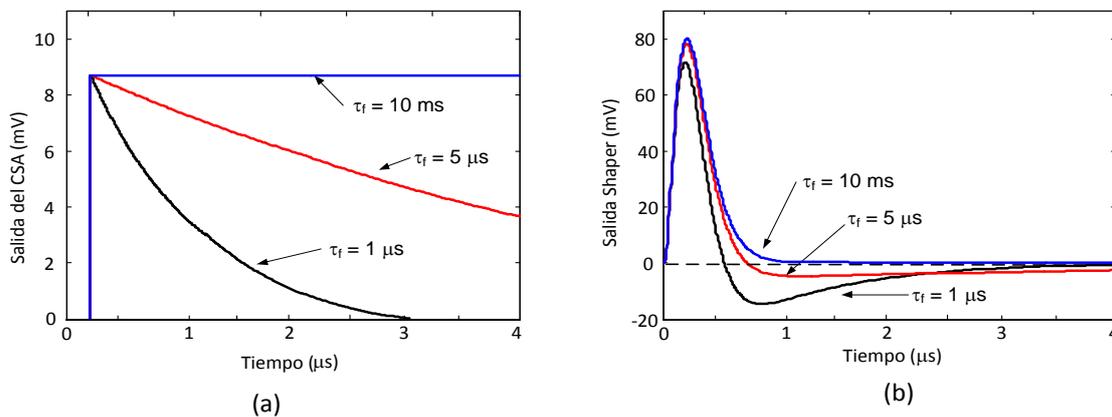


Figura 2.6 Pulsos para diferentes constantes de tiempo del CSA. a) Salida del CSA, b) Salida del shaper.

Para bajas tasas de pulsos de entrada, esta oscilación es normalmente tolerable; pero en experimentos de altas tasas se produce una variación significativa en la línea de base a la salida del shaper y la consiguiente pérdida de la resolución de amplitud del sistema como se observa en la Figura 2.7. Las

sub-oscilaciones pueden ser eliminadas (Figura 2.7(b)) aplicando un circuito de cancelación de polo-cero (*pole-zero compensation, PZC*).

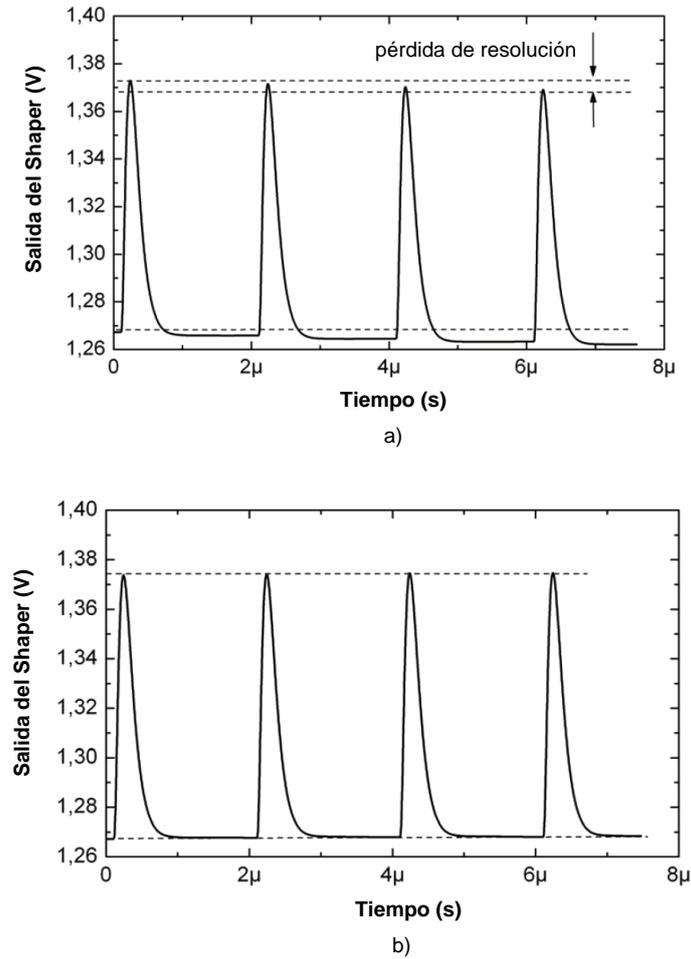


Figura 2.7 Ejemplos de formas de onda a la salida del *shaper* para alta tasa de pulsos de entrada: a) sin circuito PZC, b) con circuito PZC.

La idea de un circuito PZC se muestra en la Figura 2.8. Añadiendo una resistencia extra R_{PZC} en paralelo al condensador C_{PZC} se genera un cero en la función de transferencia que cancela el polo creado por la resistencia del lazo de realimentación del amplificador sensible a la carga. Para conseguir una cancelación polo-cero apropiada, se debe cumplir la condición:

$$C_F R_F = C_{pzc} R_{pzc} \quad (2.14)$$

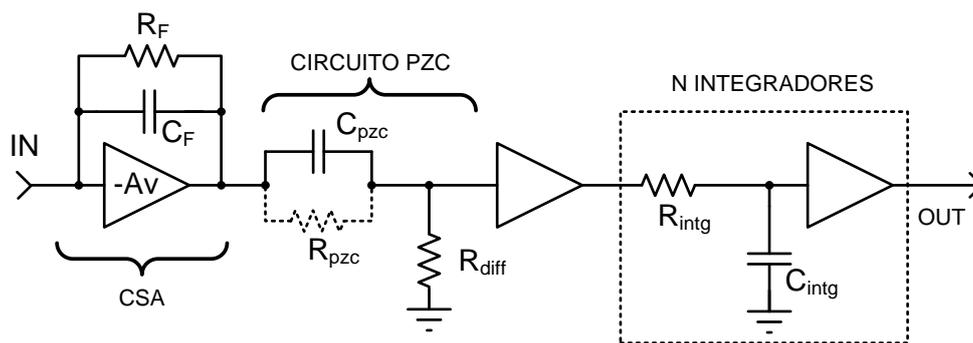


Figura 2.8 Circuito compensación polo-cero después de la etapa CSA.

Entonces, el pulso a la salida del shaper viene dado por:

$$v_{\text{outSH}}(s) = \frac{Q_{\text{in}}}{C_F} \frac{1}{s + \frac{1}{C_F R_F}} \times \frac{s + \frac{1}{C_{\text{pzc}} R_{\text{pzc}}}}{s + \frac{1}{C(R_{\text{pzc}} \parallel R)}} \times \left(\frac{1}{sCR + 1} \right)^2 \quad (2.15)$$

Como $C_F R_F = C_{\text{pzc}} R_{\text{pzc}}$, la ecuación anterior puede ser escrita como:

$$v_{\text{outSH}}(s) = \frac{Q_{\text{in}}}{C_F} \frac{s + \frac{1}{C_{\text{pzc}} R_{\text{pzc}}}}{s + \frac{1}{C_{\text{pzc}}(R_{\text{pzc}} \parallel R)}} \times \left(\frac{1}{sCR + 1} \right)^2 \quad (2.16)$$

El "polo" del CSA es cancelado por el "cero" del circuito PZC. La nueva constante de tiempo después del PZC es igual a $C_{\text{pzc}}(R_{\text{pzc}} \parallel R)$ y es tan pequeña como τ_F .

Existen diferentes formas de implementación práctica del PZC para circuitos integrados [Gry08], [Cha98], [Rib02]. Una de las soluciones más populares es usar transistores MOS en la realimentación del CSA y en el PZC trabajando en la región lineal o de saturación como se muestra en la Figura 2.9.

La respuesta a la salida del shaper sería:

$$v_{\text{outSH}}(s) = -Q_{\text{in}} \frac{R_F}{sC_F R_F + 1} \times \frac{sC R_{\text{pzc}} R_{\text{pzc}} + 1}{R_{\text{pzc}}} Z_1 \quad (2.17)$$

donde R_F y R_{pzc} representan la resistencia equivalente en pequeña señal del canal de los transistores M_F y M_{PZC} , respectivamente. La ecuación anterior puede ser reescrita como:

$$v_{outSH}(s) = -Q_{in} \frac{C_{pzc}}{C_F} \times Z_1 \tag{2.18}$$

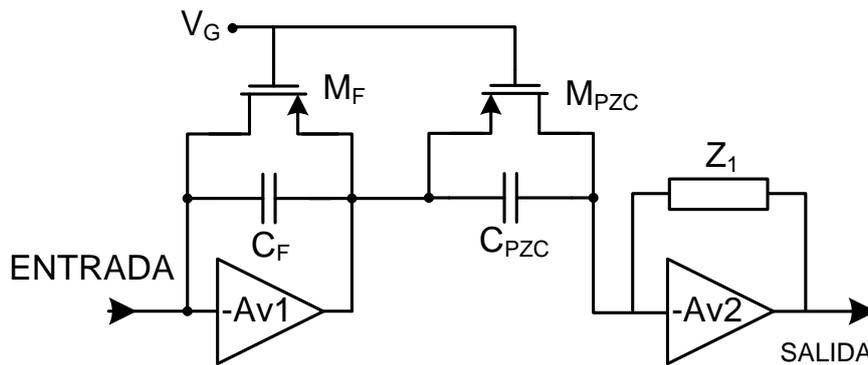


Figura 2.9 Posible implementación del circuito PZC en circuito integrado.

De la ecuación anterior, es evidente que se puede conseguir una ganancia de carga o de corriente a la salida del PZC usando la relación C_{pzc}/C_F y cumpliendo al mismo tiempo la Ec. (2.14). Esto se ilustra en la Figura 2.10 [Ger00].

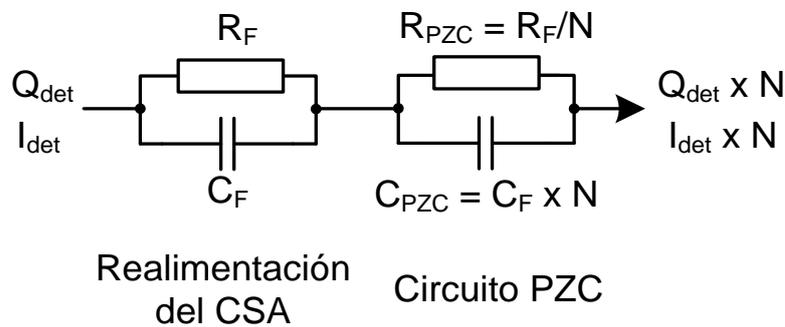


Figura 2.10 Circuito de cancelación de polo-cero con ganancia de corriente.

2.6 Circuito de inyección de carga para el test del sistema

Como ya se ha comentado, el detector se puede considerar como un elemento que genera carga. Por tanto, para caracterizar experimentalmente los parámetros analógicos del sistema hay que inyectar carga a la entrada del amplificador sensible a la carga. Es importante verificar el correcto funcionamiento del circuito integrado que contiene el sistema *front-end* cuando el detector todavía no ha sido conectado. Esto se realiza normalmente aplicando un escalón de tensión ΔV_{test} a través de un pequeño condensador de test C_{test} a la entrada del CSA como se muestra en la Figura 2.11.

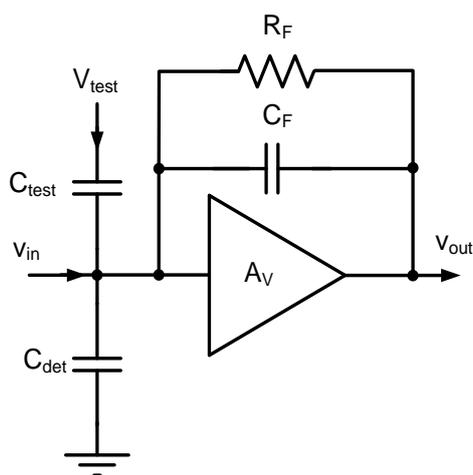


Figura 2.11 Circuito de inyección de carga a la entrada del CSA.

La carga inyectada es igual a:

$$Q_{test} = \Delta V_{test} \frac{C_{test}}{1 + \frac{C_{test}}{C_{det} + (A_V + 1)C_F}} \approx \Delta V_{test} \cdot C_{test} \quad (2.19)$$

donde C_{det} es la capacidad del detector, C_F es el condensador de realimentación y A_V es la ganancia en lazo abierto del amplificador. Como en la práctica $C_{test} \ll C_{det} \ll (A_V + 1)C_F$ la carga inyectada Q_{test} es totalmente aplicada al

amplificador sensible a la carga. El escalón de tensión ΔV_{test} se puede aplicar internamente o externamente. En esta tesis hemos utilizado el circuito *chopper* que se muestra en la Figura 2.12 [Gry05] para generar los escalones de tensión en el interior de los circuitos integrados fabricados.

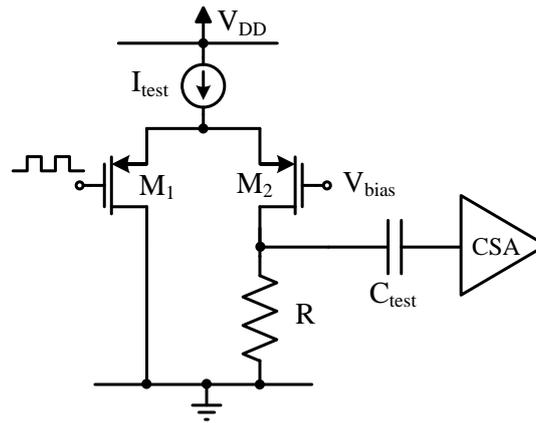


Figura 2.12 Implementación del circuito de inyección de carga generando escalones de tensión sobre la resistencia R .

En este circuito el escalón de tensión se produce sobre la resistencia R en respuesta a la señal cuadrada de entrada. El valor del escalón de tensión se controla cambiando el valor de la fuente de corriente en el amplificador diferencial.

2.7 Carga de ruido equivalente

La principal contribución de ruido de un sistema *front-end* proviene del propio detector y de componentes del amplificador sensible a la carga. El modelo de ruido simplificado del detector y del preamplificador se muestra en la Figura 2.13.

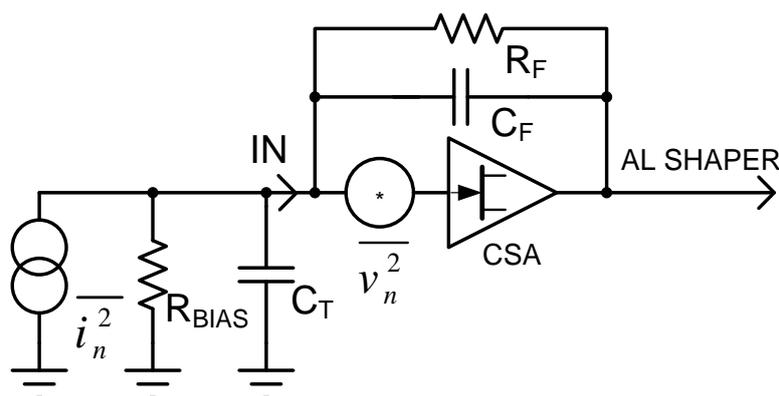


Figura 2.13 Esquema de ruido equivalente del preamplificador de carga (CSA).

Las características de ruido de este sistema se pueden analizar empleando las fuentes de ruido equivalentes de entrada de tensión y corriente

Tenemos una corriente de ruido asociada con la corriente de fuga del detector I_{det} , la resistencia de polarización del detector R_{bias} (sólo en el caso de detector acoplado en AC) y la resistencia de realimentación efectiva R_F del CSA, de forma que la densidad espectral de potencia viene dada por:

$$\frac{\langle di_n^2 \rangle}{df} = 2qI_{det} + \frac{4kT}{R_{bias}} + \frac{4kT}{R_F} = a \quad (2.20)$$

donde k es la constante de Boltzman, T es la temperatura en grados Kelvin y q es la carga del electrón.

En un preamplificador bien diseñado el ruido está dominado por el transistor de entrada. En el caso de emplear transistores JFET o MOSFET en el preamplificador, el ruido del transistor de entrada se puede expresar como [San90]:

$$\frac{\langle dv_n^2 \rangle}{df} = 4kT \frac{\gamma_n}{g_{m1}} + \frac{K_f}{C_{ox}^2} \frac{1}{WL} \frac{1}{f} \quad (2.21)$$

donde k es la constante de Boltzman, T es la temperatura en grados Kelvin, g_m es la transconductancia del transistor, el parámetro γ_n varía según el punto de polarización del transistor, desde 1/2 (inversión débil) a 2/3 (fuerte inversión), C_{ox} es la capacidad del óxido de puerta por área, W y L son el ancho y la longitud de canal del transistor de entrada, K_f es el coeficiente de ruido flicker y f es la frecuencia.

Si despreciamos los efectos de canal corto, la ecuación anterior se puede simplificar:

$$\frac{\langle dv_n^2 \rangle}{df} = b + \frac{A_f}{f} \quad (2.22)$$

donde las constantes b y A_f son las responsables del ruido térmico y flicker, respectivamente.

Si las fuentes de ruido no están correlacionadas, como suele suceder en la práctica, se puede calcular su contribución a la salida del preamplificador de carga (CSA) de forma independiente. La corriente de ruido en paralelo está multiplicada por el cuadrado del módulo de la función de transferencia del preamplificador, y de esta forma queda:

$$\frac{\langle dv_{CSA_paralelo}^2 \rangle}{df} = \frac{a}{\omega^2 C_F^2} = \frac{a}{(2\pi f C_F)^2} \quad (2.23)$$

Para transferir el ruido del amplificador a la salida del CSA vamos a observar primero la relación entre la tensión de entrada del CSA y su tensión de salida (para el caso ideal), que viene dado por el divisor de impedancia:

$$\frac{v_{in}}{v_{out}} = \frac{1/sC_T}{1/sC_T + 1/sC_F} = \frac{C_F}{C_T + C_F} \quad (2.24)$$

La propia puerta del transistor de entrada funciona como tierra virtual, y por tanto, el ruido serie en la salida del CSA es:

$$\frac{\langle dv_{CSAout_series}^2 \rangle}{df} = \left(b + \frac{A_F}{f} \right) \left(\frac{C_T + C_F}{C_F} \right)^2 \quad (2.25)$$

El ruido total a la salida del CSA es la suma de las ecuaciones (2.23) y (2.25).

$$\frac{\langle dv_{CSAout}^2 \rangle}{df} = \frac{a}{(2\pi f C_F)^2} + \left(b + \frac{A_F}{f} \right) \left(\frac{C_T + C_F}{C_F} \right)^2 \quad (2.26)$$

El ruido a la salida del preamplificador es filtrado por la siguiente etapa, que es el shaper o conformador de pulso. Para una ganancia del preamplificador suficientemente alta y con un diseño cuidadoso de la etapa de conformado de pulso, el ruido generado por el shaper puede llegar a ser despreciable.

Para el análisis de ruido vamos a considerar que el shaper está formado por un simple filtro CR-RC (con constantes de tiempo idénticas $\tau_i = \tau_d = \tau$) donde el tiempo de pico es igual a la constante del filtro $t_p = \tau$. El módulo de su función de transferencia viene dado por:

$$|H(2\pi f)| = \frac{2\pi f t_p}{1 + (2\pi f t_p)^2} \quad (2.27)$$

El valor *rms* del ruido a la salida del filtro con el anterior razonamiento puede calcularse como:

$$\langle dv_{SHout}^2 \rangle = \int_0^\infty \left[\frac{a}{(2\pi f C_F)^2} + \left(b + \frac{A_F}{f} \right) \left(\frac{C_T + C_F}{C_F} \right)^2 \right] \left(\frac{2\pi f t_p}{1 + (2\pi f t_p)^2} \right)^2 df \quad (2.28)$$

La solución de la anterior integral viene dada por la siguiente ecuación [Kor00]:

$$\langle dv_{SHout}^2 \rangle = \frac{1}{C_F^2} \left[\frac{at_p}{8} + (C_F + C_T)^2 \left(\frac{b}{8t_p} + \frac{A_F}{2} \right) \right] \quad (2.29)$$

En la electrónica de la etapa de entrada, el ruido de la salida del shaper se recalcula para la entrada del preamplificador de forma que se obtiene el ruido equivalente a la entrada del mismo.

Debido a que la señal de entrada es un pulso de carga, el ruido calculado para la entrada del CSA se expresa como ruido equivalente de la carga, *ENC* (*Equivalent Noise Charge*). El *ENC* se define como la señal en el detector que proporciona una relación señal a ruido igual a 1, y se expresa en electrones, culombios o energía equivalente (eV) depositada en el detector.

Para calcular el *ENC* necesitamos conocer la ganancia de la cadena CSA-shaper. A la salida del CSA el escalón de señal es igual a Q_{in}/C_F y a la salida del shaper la amplitud del pico es proporcional a la carga Q_{in} generada en el detector. En la práctica, el *ENC* se calcula como la relación entre el ruido *rms* total integrado a la salida del shaper y la amplitud de pico (a la salida del shaper) para una carga de entrada Q_{in} de 1 electrón (1.602×10^{-19} C).

$$ENC = \frac{\sqrt{\langle dv_{SHout}^2 \rangle}}{v_{SH \max}(Q_{in} = 1 \text{ electron})} \quad (2.30)$$

En el caso del filtro simple CR-RC analizado anteriormente, la señal de salida en el dominio del tiempo (según las ecuaciones (2.11) y (2.12)) viene dada por:

$$v_{out} = v_{SH \max} \frac{t}{t_p} e^{-\frac{t}{t_p}} \quad (2.31)$$

Con amplitud de pico:

$$v_{SH \max} (Q_{in} = 1 \text{ electron}) = \frac{1}{e^1 C_F} \quad (2.32)$$

Usando los resultados de las ecuaciones (2.29), (2.30) y (2.32), el ENC viene dado por:

$$ENC^2 = e^2 \left[\frac{at_p}{8} + (C_F + C_T)^2 \left(\frac{b}{8t_p} + \frac{A_F}{2} \right) \right] \quad (2.33)$$

Para analizar los resultados obtenidos vamos a dividir las ecuaciones anteriores en tres componentes: ENC_i debido al componente de ruido de la corriente en paralelo (ecuación (2.20)), ENC_w debido al componente de ruido térmico (el primer término en las ecuaciones (2.21) y (2.22) y ENC_f debido a la componente de ruido flicker (el segundo término en las ecuaciones (2.21) y (2.22)):

$$ENC^2 = ENC_i^2 + ENC_w^2 + ENC_f^2 \quad (2.34)$$

donde:

$$\begin{aligned} ENC_i^2 &= \frac{e^2}{8} t_p a \\ ENC_w^2 &= \frac{e^2}{8} \frac{(C_F + C_T)^2}{t_p} b \\ ENC_f^2 &= \frac{e^2}{2} (C_F + C_T)^2 A_F \end{aligned} \quad (2.35)$$

Sobre las fórmulas (2.35) podemos hacer tres observaciones inmediatas que son importantes para la optimización del circuito de la etapa de entrada:

- La contribución del ruido asociado a la corriente *leakage* del detector, a la resistencia R_{bias} y a la resistencia de realimentación R_F , ENC_i^2 es independiente de la capacidad de entrada $(C_F + C_T)$ y proporcional a la raíz cuadrada del tiempo de pico.
- La contribución del ruido térmico ENC_w^2 es proporcional a la capacidad total de entrada e inversamente proporcional a la raíz cuadrada del tiempo de pico.
- La contribución del ruido flicker ENC_f^2 es proporcional a la capacidad total de entrada e independiente del tiempo de pico.

Ahora podemos optimizar la etapa de entrada teniendo en cuenta varios requerimientos y restricciones para una aplicación en particular. Hay dos parámetros determinados por la geometría del detector: capacidad del detector y corriente de fuga del detector. Ambos parámetros son proporcionales al área del detector e influyen directamente en la resolución del sistema.

Además, la corriente de fuga del detector es dependiente de la temperatura, por lo que reducir la temperatura es la forma de reducir la corriente de fuga y el ruido asociado. De las ecuaciones (2.20)-(2.35) resulta obvio que los valores de las resistencias de polarización R_{bias} y de realimentación R_F deben ser relativamente altos (en el rango de las decenas o las centenas de $M\Omega$ dependiendo de t_p) para que no contribuyan al ruido. En el caso de R_F , la situación es más compleja, porque el alto valor de esta resistencia limita el rendimiento a altas tasas de llegada de partículas de la cadena de procesamiento de la señal.

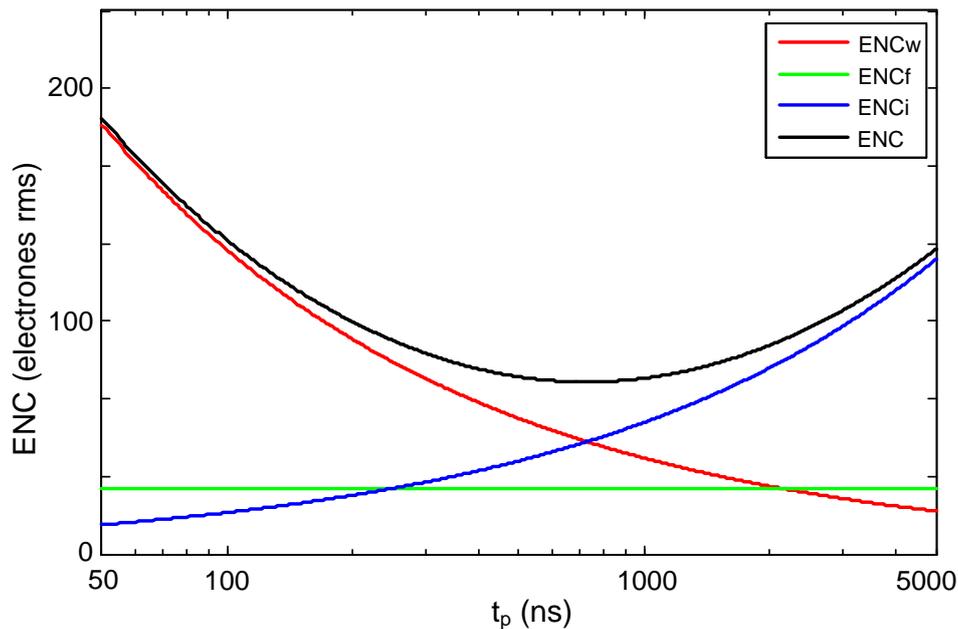


Figura 2.14. Contribución de diferentes componentes de ruido al ruido total ENC frente al tiempo de pico.

El siguiente parámetro que debe considerarse como entrada a las ecuaciones (2.33)-(2.35) es el tiempo de pico t_p . Cuando no hay restricciones al tiempo de pico, como sucede en experimentos con baja tasa de pulsos, podemos encontrar el tiempo de pico óptimo (que ofrece el mínimo ENC) para otros parámetros dados, como la capacidad del detector o las densidades espectrales de tensión y corriente de ruido [Cha91], [Ger05], [Gat90]. Sin embargo, en muchas aplicaciones una alta tasa de llegada de partículas es un requerimiento importante que debe tenerse en cuenta como una limitación del tiempo de pico máximo permitido.

Puede realizarse un análisis similar al realizado con el filtro CR-RC para cualquier tipo de filtro. De forma general, las ecuaciones (2.35) pueden escribirse como:

$$\begin{aligned}
 ENC_i^2 &= F_i t_p \times a \\
 ENC_w^2 &= F_v \frac{(C_F + C_T)^2}{t_p} \times b \\
 ENC_f^2 &= F_{vf} (C_F + C_T)^2 \times A_F
 \end{aligned}
 \tag{2.36}$$

donde las constantes F_i , F_v , F_{vf} para los filtros semi-gaussianos analizados antes se pueden resumir en la Tabla 2.2.

Tipo de Filtro	F_i	F_v	F_{vf}
CR-RC	0.92	0.92	3.70
CR-(RC) ²	0.64	0.85	3.41
CR-(RC) ³	0.52	0.93	3.32
CR-(RC) ⁵	0.40	1.11	3.25
CR-(RC) ⁷	0.34	1.27	3.22
(CR) ² -RC	1.00	1.03	4.70
(CR) ² -(RC) ²	0.72	1.16	4.89
(CR) ² -(RC) ³	0.60	1.44	5.12
(CR) ² -(RC) ⁵	0.48	2.00	5.49
(CR) ² -(RC) ⁷	0.41	2.52	5.75

Tabla 2.2 Coeficientes de ruido para diferentes tipos de filtros.

De la anterior tabla podemos extraer las siguientes consideraciones:

- En el caso de los filtros de tipo CR-(RC)ⁿ, los de mayor orden (más apropiados para aplicaciones de alta tasa de eventos) tienen mejor características de ruido. Sin embargo, estos filtros requieren más componentes y un mayor consumo de potencia.

- Los filtros unipolares de tipo CR-(RC)ⁿ tienen mejores coeficientes de ruido que los filtros bipolares (CR)²-(RC)ⁿ, sin embargo, los filtros bipolares tienen ventajas únicas que los hacen especialmente interesantes para aplicaciones de temporización.

2.8 Efectos relacionados con el escalado de la tecnología CMOS

A medida que han disminuido los tamaños característicos en las tecnologías CMOS, la ganancia intrínseca de los transistores $A_i = g_m/g_{ds}$ ha decrecido de forma continuada [Pek04], [Ann05], [Bas10], [San09], [Tay10]. Actualmente, estos valores se encuentran en el rango de sólo 5 a 10 para dispositivos con longitud mínima (ver Tabla 2.3 y Figura 2.15).

Parámetro	250 nm	180 nm	130 nm	90 nm	65 nm
t_{ox} (nm)	6.2	4.45	3.12	2.2	1.8
g_m (máxima) (μ S)	335	500	720	1060	1400
g_{ds} (μ S)	22	40	65	100	230
g_m/g_{ds}	15.2	12.5	11.1	10.6	6.1
V_{DD} (V)	2.5	1.8	1.5	1.2	1
V_{TH} (V)	0.44	0.43	0.34	0.36	0.24
f_t (GHz)	35	53	94	140	210

Tabla 2.3 Evolución de las tecnologías CMOS [Pek04].

Hasta hace pocos años el factor de ganancia de los transistores se encontraba normalmente entre 50 y 100 en tecnologías de 0.35 μ m o mayores. En estas tecnologías, amplificadores operacionales convencionales de dos etapas (Miller) o de una etapa (OTA, *Operational Transconductance Amplifier*) con etapas de salida cascado proporcionaban ganancias en lazo abierto relativamente altas $A_{ol}=A_i^2 \sim 2.000$ V/V lo que era aceptable para la mayoría de las aplicaciones. Dado que parámetros analógicos tales como exactitud, distorsión,

... dependen fuertemente de la ganancia, en las modernas tecnologías CMOS submicrométricas se hacen indispensables aplicar nuevas técnicas para mejorar dicha ganancia.

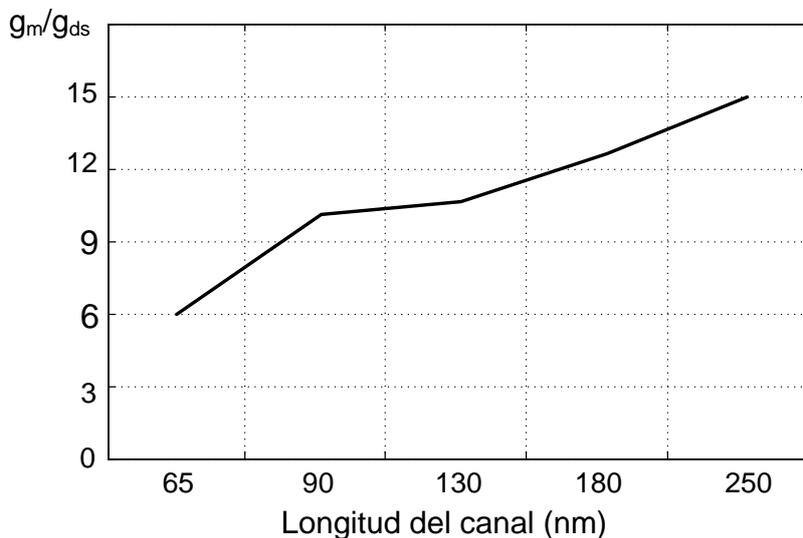


Figura 2.15 Ganancia intrínseca del transistor $A_i=g_m/g_{ds}$ frente a la longitud del canal.

Estas técnicas de incremento de ganancia deben ser compatibles con fuentes de alimentación de muy baja tensión, como las usadas en estas tecnologías que están en torno a 1 V (ver Tabla 2.3) y con tensiones umbrales relativamente grandes $V_{TH}\sim 0.3-0.4$ V (Figura 2.16) sometidas a grandes variaciones. Por esta razón, un rango de señal limitado y una baja ganancia intrínseca del transistor han sido restricciones cruciales en el diseño analógico en tecnologías submicrométricas.

Los circuitos deben trabajar con tensiones de alimentación bajas para prevenir rupturas con anchuras de óxido de puerta por debajo de 2.4 nm en tecnologías de 90 nm o menores. Operar con tensiones de alimentación bajas también reduce las corrientes de fuga de puerta que es un factor importante en el diseño de circuitos analógicos y digitales. La corriente de fuga de puerta es proporcional al área de la puerta y se incrementa de manera exponencial con la

tensión de puerta [Koh01]. Corrientes de fuga del orden de decenas de nA (Figura 2.17) son comunes en tecnologías submicrométricas con áreas de puerta de unos pocos μm^2 . Estas dimensiones se requieren habitualmente en diseño analógico para reducir los errores de desapareamiento (*mismatch*). El factor de ganancia en corriente MOS en baja frecuencia $\beta=I_D/I_G$ se aproxima al del transistor bipolar.

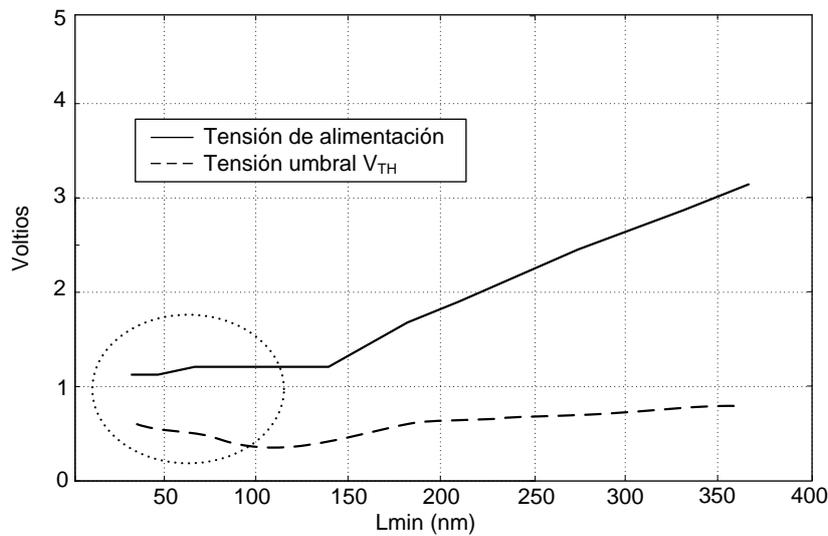


Figura 2.16 Tensión de alimentación y V_{TH} del MOS frente a la longitud mínima de canal [Pek04].

Puesto que los valores de las tensiones umbrales no se han reducido en la misma proporción que las tensiones de alimentación con el escalado de la tecnología, la relación entre la tensión de alimentación y la tensión umbral (V_{DD}/V_{TH}) está alrededor de sólo 2.5-3 (ver Figura 2.16) y apilando dos o más tensiones de puerta a fuente dan como resultado un rango de la señal muy limitado. En este entorno de alimentación reducida, algunos bloques convencionales de circuitos no son funcionales. Por ejemplo, el espejo de corriente cascode convencional requiere como entrada una tensión del doble de la caída puerta a fuente, lo que está cerca de la tensión de alimentación máxima permitida V_{DDmax} . Las etapas de salida cascode, incluso siendo funcionales,

restan una gran parte del rango de la señal de salida que ya está severamente limitado por la alimentación usada. Para prevenir la limitación severa del rango de las señales en circuitos analógicos con tensiones de alimentación bajas se necesita que los transistores operen con una tensión $V_{DS,sat} = V_{GS} - V_{TH}$ pequeña y esto se consigue utilizando grandes valores de relación de aspecto W/L .

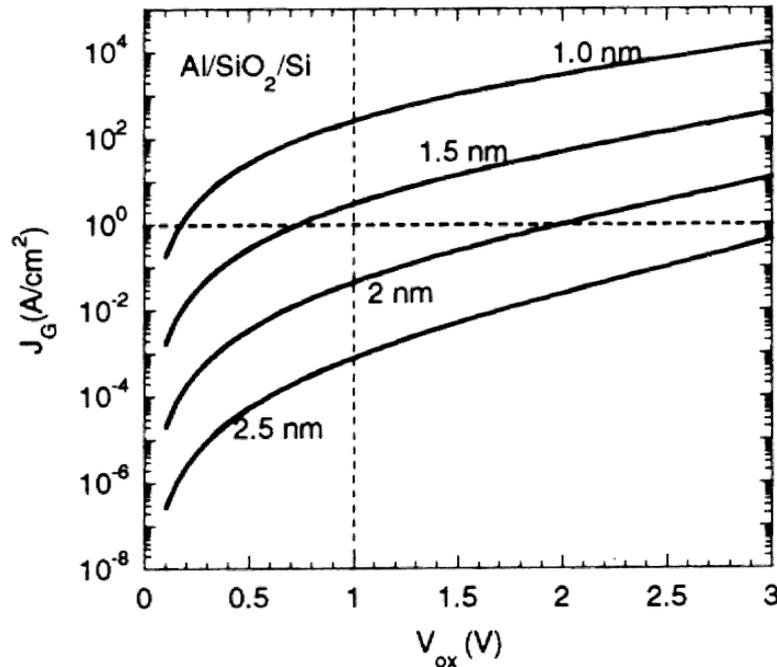


Figura 2.17 Densidad de la corriente de fuga de la puerta frente a la tensión de puerta y el grosor del óxido [Koh01].

Esta tesis se centra en la aplicación de varias técnicas y arquitecturas de circuitos convencionales y otras novedosas para conseguir una alta ganancia en tecnologías CMOS submicrométricas con las restricciones de operar a baja tensión. También se discute la opción de usar dispositivos con longitudes de canal cercanas al mínimo. Para superar la limitación de la baja ganancia intrínseca es necesario combinar técnicas de incremento de ganancia con técnicas de baja tensión. Se van a discutir algunas técnicas para operar en circuitos analógicos con muy baja tensión de alimentación y con rangos completos de la señal. En el siguiente apartado se discuten las técnicas básicas de incremento de ganancia.

2.9 Técnicas básicas de incremento de la ganancia

La ganancia A_V de una sola etapa de un amplificador CMOS es proporcional a la resistencia de carga efectiva R_L y a la transconductancia g_m de acuerdo a la expresión bien conocida:

$$A_V = -g_m R_L \quad (2.37)$$

La ganancia A_{CSmin} de una etapa en fuente común (Figura 2.18(a)) polarizada mediante una fuente de corriente con dispositivos de longitud mínima viene dada por:

$$A_{CSmin} = A_i/2 = -g_m r_o/2 \quad (2.38)$$

donde $r_o=1/g_{ds}$ es la resistencia de salida del transistor y se asume una corriente de polarización con la misma resistencia interna r_o .

Las técnicas convencionales para conseguir alta ganancia se pueden clasificar en los siguientes grupos básicos [Ram09]:

1) *Escalado de la longitud de los dispositivos* $L=N \cdot L_{min}$ donde L_{min} es la longitud mínima (Figura 2.18a). Se utiliza para reducir la modulación de la longitud del canal incrementando la resistencia de salida y la ganancia intrínseca del transistor en aproximadamente la misma proporción al factor de escalado de la longitud N . Esto proporciona una ganancia $A_{CS} = N \cdot A_{CSmin}$. En este caso, con el objetivo de mantener W/L constante, el área del transistor y las capacidades parásitas se incrementan en un factor de N^2 . Este método tiene la ventaja de reducir los errores de desapareamiento aleatorios, el *offset*, el *CMRR* (*common mode rejection ratio*) y el ruido *flicker*. La principal desventaja estriba en una significativa reducción del ancho de banda (en un factor de N^2) y en un

incremento del área de silicio y de las corrientes de fuga de puerta en el mismo factor N^2 .

2) *Conectando en cascada N etapas de ganancia simples* (Figura 2.18(b)). Esto permite conseguir el máximo rango de la señal en el nodo de salida y una ganancia $A_{ol} = (A_{CSmin})^N$. Con el objeto de prevenir problemas de estabilidad para el caso de más de dos etapas, este método necesita complejos esquemas de compensación *Nested Miller* [Lee07], [Can07], [Fan05]. Esto limita en la práctica a un máximo de tres etapas en cascada. Este número de etapas podría no ser capaz de proporcionar suficiente ganancia si se usan dispositivos con longitud cercana a la mínima.

3) *Uso de una etapa de ganancia cascode para incrementar la resistencia de salida y la ganancia* (Figura 2.18(c)). Esto requiere poca área de silicio adicional y tiene efectos menores en la estabilidad. Junto a esto, no se requiere disipación de potencia adicional. Utilizar múltiples transistores cascode (Figura 2.18(c)) permite un incremento adicional de ganancia sin una degradación significativa de la relación ancho de banda/margen de fase o una disipación de potencia adicional (a menos que se use topología *folded-cascode*). Los transistores cascode requieren una mínima tensión drenador-fuente V_{DSsat} . Este requerimiento puede incrementar las necesidades de alimentación del circuito y limitar el rango de las señales. Por esta razón debe evitarse usar transistores cascode en la etapa de salida de un amplificador operacional en tecnologías submicrométricas.

4) *Uso de etapas de ganancia cascode reguladas* [Sac90], [Hos79], [Raz01], [Bul90], [Gul98]. Este método que se muestra en la Figura 2.18(d)), usa lazos de realimentación negativos locales para incrementar la ganancia efectiva del transistor cascode. Esto resulta en un incremento de la resistencia de salida y de la ganancia. Los amplificadores cascode regulados utilizan un amplificador

auxiliar con ganancia A . Esto constituye una técnica efectiva para aumentar la ganancia total del circuito en un factor A sin comprometer la estabilidad o reducir rango de señal. Sin embargo, esta técnica debería evitarse en la rama de salida de un amplificador. Por otro lado, transistores cascode múltiples o técnicas de cascode regulados pueden utilizarse con eficacia en nodos internos de un circuito donde las señales tengan poco rango sin comprometer la estabilidad o el rango de la señal de salida como se discutirá más adelante.

5) *Uso de realimentación positiva*. Es una de las técnicas más antiguas para incrementar la ganancia [Arm15]. Se puede usar para aumentar la transconductancia efectiva de un par diferencial (o la resistencia de carga efectiva [All02]). Se han propuesto numerosos circuitos que usan realimentación positiva para mejorar la g_m efectiva del par diferencial. Un ejemplo es el circuito *crossquad* [Lee04] de la Figura 2.19(b). Despreciando el efecto *body*, tiene una transconductancia efectiva $g_{mDP}=g_{m1}/(1-g_{m1}/g_{m2})$ que, en la práctica, puede incrementar g_m en un factor de 5 a 10. El circuito *crossquad* convencional requiere un incremento del voltaje *headroom* y el efecto *body* reduce el aumento de ganancia. Por esta razón no se puede usar en tecnologías submicrométricas CMOS. Existen otras técnicas de realimentación positiva basadas en técnicas de transistores de puerta cuasi-flotante (QFG, *quasi-floating gate*) [Ram03], [Ram04] que incrementan la g_m efectiva de un par diferencial sin incrementar la tensión *headroom*.

6) *Seguidores de tensión con transconductancia incrementada* (también conocidos como *super followers* [Gra09] o *folded flipped voltage followers* [Ram05]). Este método usa realimentación negativa local para incrementar la g_m efectiva (y la ganancia) de un seguidor de tensión en un factor de A_{CSmin} . Su esquema se muestra en la Figura 2.19(c).

En la práctica, se puede usar una combinación de diferentes técnicas de incremento de la ganancia, como se ilustra en la Figura 2.18(e).

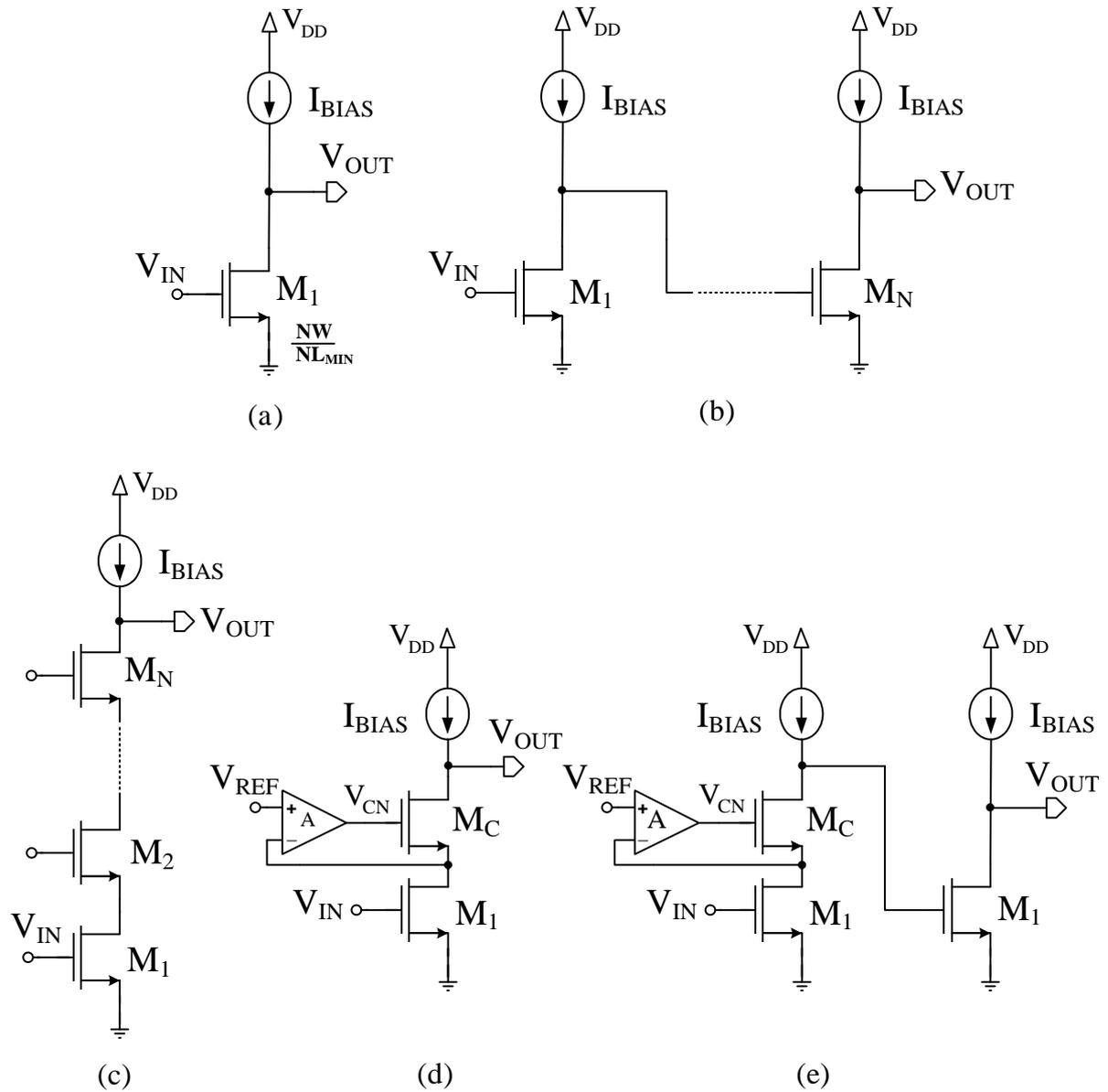


Figura 2.18 Técnicas básicas de incremento de la ganancia: (a) Escalado de la longitud del transistor $L=N \cdot L_{min}$ (b) Etapas de ganancia en cascada (c) Múltiples cascos (d) Etapa de ganancia cascode regulado (e) Ejemplo de combinación de etapa de entrada con cascode regulado y etapa de salida en fuente común sin cascos y gran rango de señal.

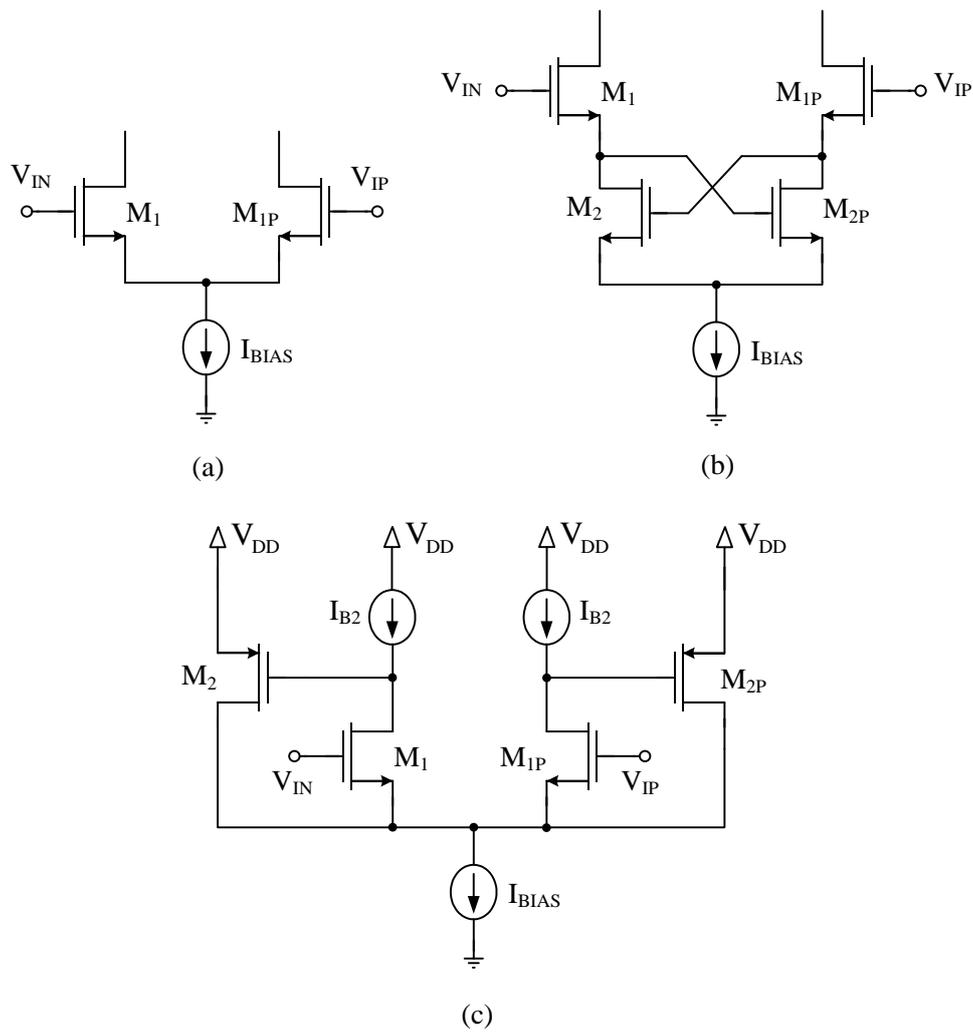


Figura 2.19 (a) Par diferencial convencional (b) "Crossquad" que incrementa g_m usando realimentación positiva (c) Par diferencial con g_m incrementada usando súper seguidores de tensión ("super voltage followers").

Capítulo 3

Sistema front-end programable de alta velocidad con shaper Gm-C semigaussiano

3.1 Introducción

Se presenta un sistema *front-end* programable, de alta velocidad y bajo consumo de potencia. La arquitectura consta de un amplificador sensible a la carga de topología *folded-cascode*, un circuito de cancelación polo-cero para eliminar sub-impulsos y un circuito shaper con topología *Gm-C*. Todos los bloques incluyen esquemas de incremento de ganancia basados en la técnica de cascode regulado. Los resultados experimentales demuestran que todo el sistema puede programarse para tiempos de pico de 100 ns, 200 ns y 400 ns manteniendo la amplitud de la tensión de salida. La programabilidad se consigue mediante la conmutación de diferentes resistencias para todos los polos y ceros del sistema. El sistema se ha diseñado en una tecnología CMOS de 130 nm con una tensión de alimentación de 1.2 V. El pulso de salida tiene una amplitud de pico de 200 mV para una energía de entrada de 5 MeV procedente

del detector. Se ha alcanzado un compromiso adecuado entre consumo de potencia y bajo ruido.

3.2 Descripción y diseño del sistema de adquisición

La Figura 3.1 muestra la arquitectura implementada de la parte analógica del canal del sistema de adquisición *front-end* para detectores de silicio. Los bloques muestran su esquema convencional y el shaper se ha implementado con dos secciones integradoras en cascada basadas en topologías *Gm-C*.

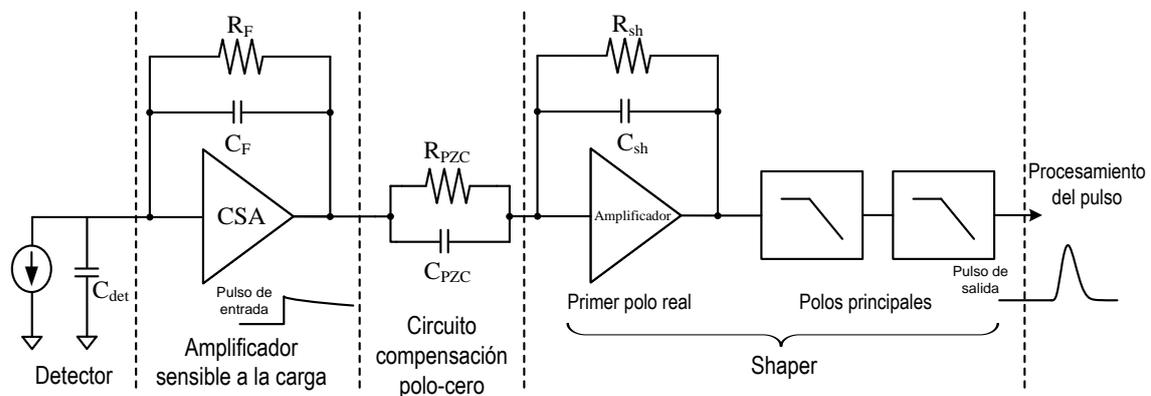


Figura 3.1 Arquitectura del sistema front-end diseñado.

3.2.1 Amplificador sensible a la carga

Este elemento es el bloque crítico del sistema *front-end*. Recordemos que, en general, el diseño del amplificador sensible a la carga, CSA, requiere como principales características: bajo ruido, bajo consumo de potencia, alta ganancia en lazo abierto, elevado producto ganancia-ancho de banda (*GBW*) y rápido tiempo de subida. Es primordial un cuidadoso diseño del transistor de entrada para optimizar el consumo de potencia y obtener bajo ruido.

El tiempo de subida de la tensión de salida del amplificador sensible a la carga debe ser menor que el tiempo de integración de la carga a través del

condensador de realimentación. La constante de tiempo $\tau_F = R_F \cdot C_F$ es responsable del lento decaimiento de la señal y el GBW determina el tiempo de subida en la salida del CSA. Por ello, con objeto de transferir rápidamente al preamplificador la carga generada por el detector, el GBW debe ser lo suficientemente grande. Además, una alta ganancia en lazo abierto del circuito asegura que la salida sea independiente de la capacidad del detector. Como se ha discutido en el capítulo 2, en la actualidad se requieren técnicas de incremento de ganancia en combinación con técnicas de baja tensión para superar la limitación de la baja ganancia intrínseca en tecnologías submicrométricas.

Las topologías que habitualmente se emplean en el diseño del CSA son de tipo telescópica, Miller de dos etapas y *folded-cascode*, todas ellas con una sola entrada (*single-ended*) y una sola salida. La topología *folded-cascode* sólo tiene una etapa de ganancia pero la ganancia obtenida es razonablemente elevada debido al producto de la transconductancia del transistor de entrada y la alta impedancia de salida debida al uso de técnicas cascode. El ancho de banda es proporcional a la transconductancia del transistor de entrada. Para incrementar la transconductancia la corriente de polarización del transistor de entrada debe ser varias veces mayor que la corriente de polarización de la rama de salida. Esto permite optimizar el consumo de potencia aumentando aún más la resistencia de salida, y por lo tanto, la ganancia en DC ($g_{mi} \cdot r_{out}$). Además, una transconductancia muy elevada del transistor de entrada reduce el ruido térmico. Más detalles del funcionamiento del amplificador sensible a la carga se describieron en el capítulo 2.

El método usado para incrementar la ganancia en el diseño del sistema *front-end* del presente capítulo, es la técnica de cascode regulado [Tor02b],

[Zek99] que aumenta la ganancia efectiva del transistor cascode mediante el uso de un lazo local de realimentación negativa. Esto da como resultado un incremento en la resistencia de salida y en la ganancia del amplificador. Los amplificadores con transistores cascode regulados utilizan un amplificador auxiliar con ganancia A_{GB} , que es el factor en el que se incrementa la ganancia sin comprometer la estabilidad.

El amplificador sensible a la carga que se ha diseñado en el sistema *front-end* se muestra en la Figura 3.2(a). Se trata una topología *folded-cascode* convencional en la que todos los transistores se encuentran en la región de saturación. La contribución de ruido *flicker* en las tecnologías submicrométricas ha hecho que se elija un transistor de entrada PMOS en lugar de uno NMOS para reducir este efecto.

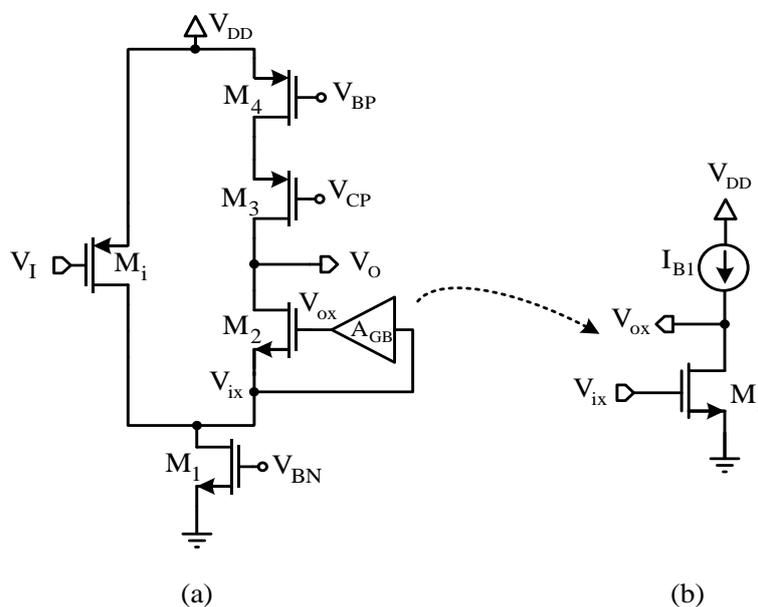


Figura 3.2 (a) Topología *folded-cascode* con transistor cascode regulado para el CSA. (b) Esquema del amplificador auxiliar basado en una etapa en fuente común.

Si no se implementara la técnica de incremento de ganancia, la resistencia de salida del circuito es aproximadamente $r_{out} = g_{m2}r_{d2}r_{d1}/2$, donde g_{m2} es la

transconductancia en pequeña señal de M_2 , y r_{d1} , r_{d2} son las resistencias de salida en pequeña señal de M_1 y M_2 , respectivamente. Este valor de la resistencia de salida suele ser demasiado bajo para conseguir un amplificador sensible a la carga con una elevada ganancia que permita una correcta conversión carga/tensión. Un transistor cascode adicional se podría incluir en la rama de entrada para elevar la ganancia del amplificador sin incrementar los requerimientos de tensión de alimentación y sin consumo extra de potencia, a costa de añadir un nuevo polo al circuito.

La técnica de aumento de ganancia mostrada en la Figura 3.2(a) [Bul91] permite aumentar la resistencia en el drenador del transistor cascode. Si A_{GB} es la ganancia del amplificador (inversor) auxiliar de la Figura 3.2(a), entonces la resistencia de salida viene dada por:

$$r_{out} = (A_{GB} g_{m2} r_{d2} r_{d1}) / (g_{m3} r_{d3} r_{d4}) \quad (3.1)$$

De esta forma, la ganancia A_{GB} permite compensar los valores bajos de r_{dx} en los procesos CMOS modernos. Por supuesto, para que la operación sea efectiva, el ancho de banda del amplificador auxiliar debe ser mayor que el del amplificador operacional principal. La carga activa formada por los transistores M_3 - M_4 es una fuente de corriente cascode que asegura una alta impedancia de salida. Si fuera necesaria una resistencia de salida mayor la técnica de cascode regulado se podría aplicar también al transistor M_3 .

El amplificador auxiliar se implementa mediante una etapa simple en fuente común como muestra la Figura 3.2(b), donde la ganancia en DC $A_{GB} = g_{m5} r_{d5}$. Esta ganancia A_{GB} se podría incrementar colocando un transistor cascode al transistor M_5 (y por supuesto, utilizando una fuente de corriente I_{B1} también con un transistor cascode). El circuito de la Figura 3.2(b) contiene un lazo de

realimentación negativa formado por M_5 y M_2 . Se trata de un lazo de realimentación de dos polos en el que el polo dominante se obtiene del nodo de alta impedancia del drenador de M_5 , y el polo no dominante se obtiene del nodo de baja impedancia de la fuente de M_2 . No obstante, la estabilidad se puede alcanzar fácilmente eligiendo apropiadamente las dimensiones de los transistores M_2 y M_5 .

3.2.2 Sistema de reset y compensación polo-cero

El sistema de reset para el amplificador sensible a la carga debe estabilizar el punto de operación y descargar el condensador de realimentación manteniendo una contribución despreciable al ruido y a la no-linealidad. Cuanto mayor sea la constante de tiempo $\tau_F = R_F \cdot C_F$ más se incrementa el tiempo de decaimiento del pulso de salida del CSA como un compromiso entre el ruido y la tasa de llegada de pulsos, puesto que la constante de tiempo de descarga relativamente grande del CSA lo hace vulnerable al *pile-up*, es decir, a que se superpongan pulsos sucesivos de carga procedentes del detector. El circuito de compensación polo-cero evita suboscilaciones en el pulso de salida del sistema *front-end* y se debe cumplir la condición $R_F \cdot C_F = R_{PZC} \cdot C_{PZC}$. La relación C_{PZC}/C_F proporciona una ganancia de carga o ganancia de corriente a la salida del circuito PZC [Ger00]. En este diseño, tanto la resistencia R_F de la red de realimentación del CSA como la resistencia R_{PZC} del circuito de compensación polo-cero se han implementado con resistencias pasivas. Para permitir el ajuste del tiempo de decaimiento se han colocado varias resistencias pasivas en paralelo conectadas por interruptores (implementados con transistores).

3.2.3 El circuito shaper

El shaper recibe la señal procedente del amplificador sensible a la carga y proporciona ganancia adicional, mejora la relación señal a ruido y modifica la forma de los pulsos.

El shaper diseñado se basa en una primera etapa que crea un primer polo dado por $R_{sh} \cdot C_{sh}$ (Figura 3.1) y dos pares de polos principales obtenidos por una topología $Gm-C$ de 4° orden. El amplificador de la primera etapa del shaper en la Figura 3.1 es una versión escalada de la topología *folded-cascode* del CSA para reducir su consumo de potencia. Las secciones $Gm-C$ constan de dos etapas de segundo orden conectadas en cascada. El diagrama de bloques de cada sección $Gm-C$ de segundo orden se muestra en la Figura 3.3.

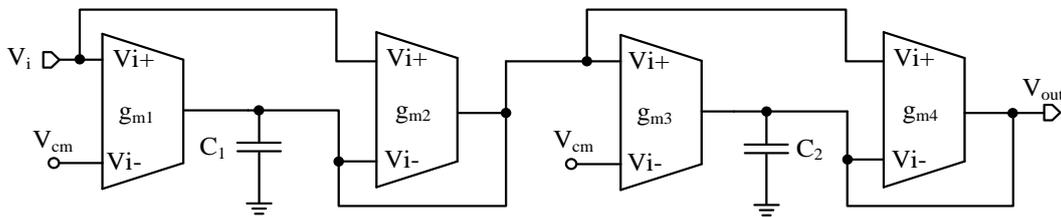


Figura 3.3 Diagrama de bloques de la sección paso bajo $Gm-C$ de 2° orden del shaper.

La función de transferencia de esta sección de segundo orden $Gm-C$ viene dada por:

$$H(s) = \frac{(g_{m1} + g_{m2})(g_{m3} + g_{m4})}{C_1 C_2} \frac{1}{s^2 + s \left(\frac{C_1 g_{m4} + C_2 g_{m2}}{C_1 C_2} \right) + \frac{g_{m2} g_{m4}}{C_1 C_2}} \quad (3.2)$$

Esta topología $Gm-C$ permite un diseño práctico fijando todas las transconductancias al mismo valor, al igual que los condensadores C_1 y C_2 , logrando una ganancia teórica en tensión de 12 dB.

Cuando se utiliza un filtro G_m - C , los transconductores u OTAs (*Operational Transconductance Amplifier*) que lo componen operan en lazo abierto lo que proporciona mejor comportamiento en frecuencia. Esto se debe a que al trabajar en lazo abierto, y por lo tanto, no tiene el retraso de un lazo de realimentación, resulta que el OTA mantiene un comportamiento aceptable en casi todo su ancho de banda, por lo que se puede diseñar con un ancho de banda apenas superior al requerido por la aplicación. Esto implica que se pueden conseguir consumos de potencia inferiores respecto del diseño convencional basado en amplificadores operacionales operando en lazo cerrado (*opamp*- RC) por medio de realimentación negativa usando elementos lineales pasivos. No obstante, al trabajar en lazo abierto la no-linealidad de los componentes del OTA se observa directamente en su función de transferencia, y ésta depende completamente de los dispositivos activos que lo forman.

De las opciones que existen para incrementar la linealidad de un OTA, se ha elegido una de las más utilizadas que consiste en un par diferencial con degeneración resistiva de fuente y que se muestra en la Figura 3.4. El principio de funcionamiento básico consiste en replicar la tensión de entrada diferencial en los terminales de la resistencia R para conseguir una conversión lineal de tensión a corriente. La corriente que atraviesa la resistencia será aproximadamente proporcional a la tensión de entrada. La transconductancia G_m viene dada por $G_m = g_{m1}/(2+g_{m1}\cdot R)$ donde g_{m1} es la transconductancia del transistor de entrada M_1 .

Cuando la linealidad es la principal preocupación, la resistencia R se implementa con resistencias pasivas que ocupan más área de silicio pero complica el mecanismo de ajuste de la transconductancia G_m . No obstante, el shaper suele requerir una sintonización, no sólo para compensar las tolerancias de fabricación, sino también para conseguir programabilidad en sus parámetros

tiempo de decaimiento en la salida del CSA suele estar sintonizado en experimentos de alta tasa de llegada de pulsos.

La sintonización usada en el sistema *front-end* de este capítulo incluye el tiempo de decaimiento para salida del CSA, el circuito de compensación polo-cero, el primer polo del shaper y los transconductores de las secciones G_m -C. Para nuestro diseño, se ha elegido como técnica de sintonización la conmutación de resistencias pasivas en lugar de condensadores para ahorrar área de silicio.

En la arquitectura que se ha utilizado para el shaper, la constante de tiempo del shaper es la mitad que el tiempo de pico. Para un tiempo de pico nominal de 200 ns, tanto la constante de tiempo $\tau_{sh} = R_{sh} \cdot C_{sh}$ para el primer polo como las constantes de tiempo C/G_m de los integradores son iguales a 100 ns, donde $C = C_1 = C_2$. La sintonización de la G_m del transconductor de la Figura 3.4 se realiza mediante la conmutación de varias resistencias pasivas R en paralelo. El circuito ha sido diseñado para conseguir una dependencia lineal de $G_m \cong 1/R$ de manera que $g_{m1} \cdot R \gg 2$, y usando también una fuente de corriente cascode I_B .

3.3 Resultados de simulación y experimentales

El sistema *front-end* ha sido diseñado en un proceso CMOS de 130 nm con una tensión de alimentación de 1.2 V. A continuación se describen los tamaños de los transistores y las condiciones de polarización para los diferentes bloques de la cadena de acondicionamiento de señal.

El procedimiento de diseño para el amplificador sensible a la carga con topología *folded-cascode* de la Figura 3.2 comienza con el transistor de entrada para la optimización del ruido, y luego con la rama de salida para lograr la

ganancia requerida. La teoría básica establece que el ruido térmico domina la contribución total de ruido ya que el shaper se puede considerar un filtro paso banda que limita el ancho de banda de la señal desde el amplificador de carga. Con el objeto de reducir el ruido térmico, la transconductancia g_m del transistor de entrada del CSA debe incrementarse: $g_m = \sqrt{2K_p(W/L)I_{DS}} = 2I_{DS}/(V_{GS} - |V_{TP}|)$. Sin embargo, otros parámetros como la capacidad del detector, el tiempo de pico junto con el orden del shaper están relacionados con el ruido total. En este diseño se emplea una transconductancia muy alta de 10 mA/V y con una longitud de canal no mínima para el transistor de entrada M_i que permite disminuir el ruido. El tamaño del transistor de entrada se ha optimizado para alcanzar un ruido mínimo teniendo en cuenta una capacidad del detector de 40 pF. Las dimensiones W/L (en $\mu\text{m}/\mu\text{m}$) de los transistores fueron 250/0.26 (M_i), 6.0/0.26 (M_1), 8/0.13 (M_2), 2.6/0.13 (M_3), 2.6/0.13 (M_4), 1.9/0.26 (M_5). La corriente de polarización para el CSA son 900 μA , de los cuales 650 μA son la corriente del drenador del transistor de entrada. El modo común de la tensión de entrada (salida) $V_{i,CM}$ ($V_{o,CM}$) es de 0.8 V y la tensión del cascode de tipo PMOS es $V_{CP} = 0.635$ mV. En cuanto al amplificador auxiliar que proporciona la realimentación local e incrementa la ganancia, la corriente de polarización es $I_{B1} = 25$ μA .

La Figura 3.5 compara los resultados de simulación de la respuesta en frecuencia en lazo abierto del CSA de la Figura 3.2 usando la técnica de cascode regulado para aumentar la ganancia, con un amplificador operacional con topología *folded-cascode* convencional (sin técnica de incremento de ganancia). Puede verse que la ganancia en lazo abierto se incrementa de 34.8 dB a 43.6 dB y el ancho de banda de ganancia unidad también se incrementa 1.1 GHz a 1.5 GHz. El ancho de banda se estableció lo suficientemente grande para que el CSA pudiera procesar adecuadamente los rápidos pulsos de carga procedentes del detector. Finalmente, se simuló el circuito si al transistor M_3 en la Figura

3.2(a) también se le aplicara la técnica de cascado regulado. En este caso, el amplificador conseguía una ganancia en DC de 60 dB, pero a costa de reducir el rango de la señal de salida a $V_{DD}-2V_{GS}-2V_{DS,sat}$.

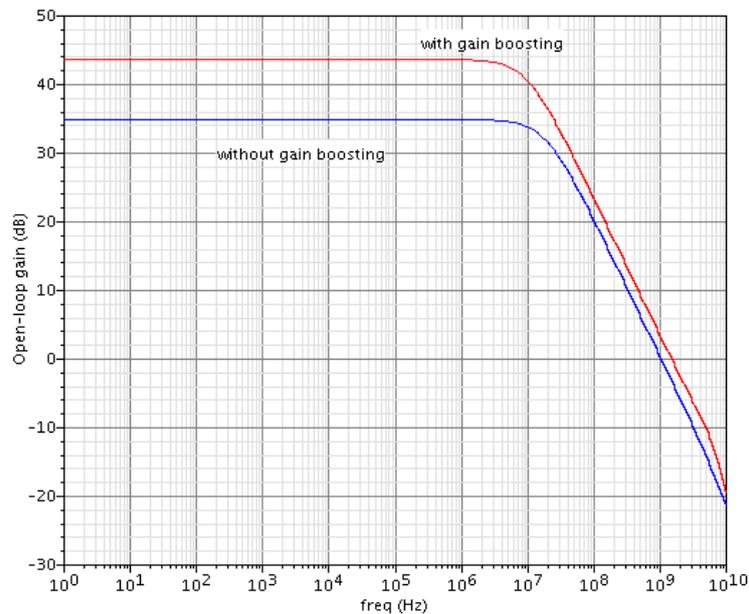


Figura 3.5 Comparativa de la ganancia en lazo abierto del CSA con y sin técnica de aumento de ganancia.

Se ha establecido una sensibilidad de 7.5 mV/MeV lo que impone un condensador de realimentación $C_F = 6$ pF. El valor $R_F = 150$ k Ω determina del tiempo de decaimiento. La carga Q generada en el detector se integra en C_F proporcionando a la salida del CSA una amplitud igual a Q/C_F . La ganancia de carga del CSA viene dada por $V_{out}/Q = 1/C_F$. Para el condensador $C_F = 6$ pF, la ganancia de carga es 166 mV/pC. La Figura 3.6 muestra la tensión de salida medida en el amplificador sensible a la carga para una energía de entrada de 5 MeV. Como se puede observar, la amplitud está sobre los 40 mV y el tiempo de decaimiento es aproximadamente 4 μ s ($5 \cdot \tau_{TF}$) lo que muestra el correcto funcionamiento del circuito. En la Tabla 3.1 se resumen las características del CSA.



Figura 3.6 Medida de la respuesta transitoria del CSA para una energía de entrada de 5 MeV.

La Figura 3.7 muestra los resultados experimentales del circuito de compensación polo-cero. Para conseguir un adecuado funcionamiento se debe satisfacer la ya explicada condición $R_F \cdot C_F = R_{PZC} \cdot C_{PZC}$. Los valores nominales de R_{PZC} y C_{PZC} son 450 k Ω y 2 pF, respectivamente. Puede observarse la suboscilación a la salida del shaper si no se consigue la adecuada cancelación.

Parámetro	Valor
g_m MOSFET entrada	10 mA/V
V_{DD}	1.2 V
Consumo de potencia	1.08 mW
Ganancia en lazo abierto	43.6 dB
Ancho de banda	1.5 GHz ($C_L = 1$ pF)
Ganancia de carga	166 mV/pC
Sensibilidad	7.5 mV/MeV
Amplitud de la salida	40 mV (for Q = 5 MeV)
Tiempo de decaimiento	4 μ s
Tiempo de subida	< 20 ns

Tabla 3.1 Parámetros del funcionamiento del amplificador sensible a la carga.



Figura 3.7 Medida del efecto de la cancelación polo-cero.

En cuanto al diseño del shaper, los valores de las resistencias, condensadores y transconductancias deben ajustarse de acuerdo al tiempo de pico y al rango dinámico, y a la programabilidad de ambos. De esta manera, la tensión máxima del pulso de salida del sistema *front-end* debe ser lineal para un determinado rango de carga del detector.

Para la primera etapa del shaper formada también por un amplificador *folded-cascode* con incremento de ganancia, se han reducido por un factor de 10 tanto las dimensiones de todos los transistores como la corriente de polarización con respecto al amplificador usado en el CSA. Para el diseño de la secciones *Gm-C* integradoras, se emplearon las siguientes dimensiones de los transistores (en micrómetros) para el transconductor (OTA) de la Figura 3.4: 30/0.26 (M_1), 21/0.26 (M_2), 21/0.26 (M_3). La corriente de polarización I_B se fijó en 100 μ A (esta es una fuente de corriente cascode con tamaños de transistores NMOS de 7/0.26). La resistencia R se implementó con varias resistencias pasivas conectadas mediante interruptores (diseñados con transistores) para variar la

transconductancia del OTA. El consumo de potencia del circuito shaper es de 2.1 mW. De esta forma, el consumo total de potencia de todo el sistema *front-end* es de 3.3 mW.

La Tabla 3.2 proporciona los valores de los elementos del shaper para diferentes tiempos de pico. Los valores de los condensadores en la sección *Gm-C* son $C_1 = C_2 = 2.4$ pF teniendo todos los transconductores el mismo valor $g_{m1} = g_{m2} = g_{m3} = g_{m4}$.

Tiempo de pico	R_{sh}	C_{sh}	$g_{m1}-g_{m4}$	$C_1=C_2$
100 ns	30 k Ω	1 pF	70 μ A/V	2.4 pF
200 ns	60 k Ω	1 pF	35 μ A/V	2.4 pF
400 ns	120 k Ω	1 pF	17.5 μ A/V	2.4 pF

Tabla 3.2 Transconductancias, resistencias y condensadores del shaper.

La Figura 3.8 muestra la salida del shaper y la programabilidad del tiempo de pico para un pulso de energía en la entrada de 5 MeV y una capacidad del detector $C_{det} = 40$ pF.

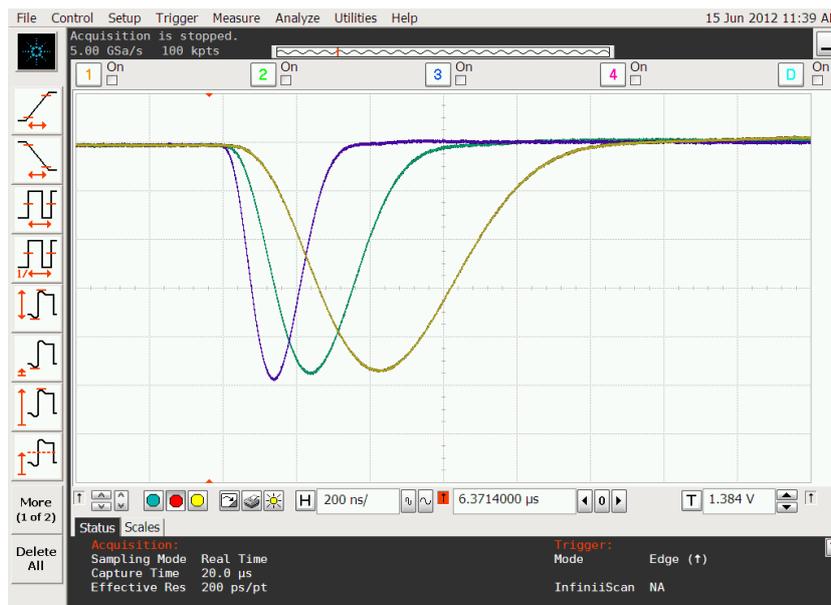


Figura 3.8 Medida experimental de la sintonización del tiempo de pico del shaper.

La linealidad del sistema sugiere que la amplitud del pico de salida sea lineal con la carga de entrada generada en el detector. El limitado rango de la señal de salida para un diseño en un entorno de baja tensión obliga a tener una baja sensibilidad (mV/MeV) para ampliar la linealidad del sistema. Este hecho provoca un compromiso entre área de silicio y linealidad en términos del rango de energía de entrada debido al tamaño del condensador de realimentación. La Figura 3.9 muestra la respuesta de energía y el rango dinámico obtenido. Para poder medir la sensibilidad aplicando diferentes rangos de energía, se utilizó un condensador de test $C_{test} = 100$ fF directamente conectado a la entrada del amplificador sensible a la carga. Señales de tipo escalón se utilizaron para inyectar la carga en C_{test} . Como se puede observar, la linealidad se mantiene hasta los 10 MeV. El entorno de baja tensión de este sistema *front-end* alimentado con sólo 1.2 V y el uso de transistores cascode en los transconductores de la sección G_m -C del shaper limitan el rango de tensión en la salida del sistema.

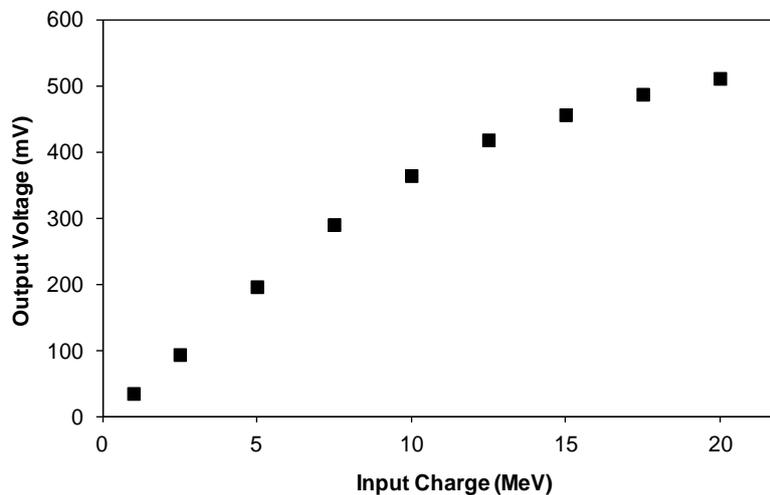


Figura 3.9 Tensión máxima de salida del sistema front-end frente a la carga en la entrada.

3.3.1 Análisis del Ruido

El ruido de un sistema de detección de radiación se expresa normalmente en términos de carga de ruido equivalente (ENC, *equivalent noise charge*) y es un parámetro importante en este tipo de sistemas y su influencia fue explicada con detalle en el apartado 2.7. La característica del ruido en el sistema *front-end* depende del diseño y de los parámetros del proceso. La contribución total del ruido viene determinada principalmente por los componentes del CSA y por el mismo detector. De aquí la importancia de una buena elección del tipo de transistor MOS en la entrada del CSA, de su tamaño y de su corriente de polarización. Se eligió un transistor PMOS debido a su menor ruido *flicker* cuya contribución en las tecnologías submicrométricas es muy importante.

En este caso se ha analizado el ruido térmico y el *flicker*. La contribución al ruido de la corriente de fugas del detector y de la resistencia de realimentación normalmente se desprecia porque no forma parte de la optimización de las dimensiones del dispositivo de entrada. De acuerdo con [Rat09] para una tecnología de 130 nm, las componentes de ruido térmico y *flicker* se expresan como:

$$ENC_w^2 = \frac{8}{3} \alpha_w n_T k_B T \frac{1}{g_m} \frac{C_T^2 B \left(\frac{3}{2}, n - \frac{1}{2} \right) n}{q^2 4\pi t_p} \left(\frac{n!^2 e^{2n}}{n^{2n}} \right) \quad (3.3)$$

$$ENC_f^2 = (2\pi)^{\alpha_{fs}} \frac{K_{fs} (V_{OV})}{C_{OX} WL} \frac{C_T^2 t_p^{\alpha_{fs}-1}}{q^2 2n} \left(\frac{n!^2 e^{2n}}{n^{2n}} \right) \quad (3.4)$$

donde, α_w es un factor de exceso de ruido, n_T es el coeficiente proporcional a la recíproca de la pendiente de la característica *I-V* en la región subumbral, k_B

es la constante de Boltzmann, T es la temperatura, g_m es la transconductancia, α_{fs} es un coeficiente que tiene en cuenta la pendiente $1/f$ en la parte de baja frecuencia del espectro, B es la función beta definida en [San90], C_{OX} es la capacidad por área del óxido de puerta, W y L son la anchura y la longitud del canal del transistor de entrada, K_{fs} es el coeficiente del ruido *flicker* y se considera que es función del voltaje de saturación $V_{OV}=(V_{GS}-V_{TH})$ de acuerdo al modelo de fluctuación de la movilidad. Finalmente, n es el orden del shaper $CR-(RC)^n$ y en C_T se contabilizan las capacidades del detector, del lazo de realimentación y del transistor de entrada; t_p es el tiempo de pico, cuya influencia en la componente *flicker* es muy baja, ya que α_{fs} vale 1.15 para transistores PMOS.

Como puede deducirse de las anteriores ecuaciones el ruido térmico podría reducirse incrementando g_m . Esto puede hacerse aumentando el ancho W del transistor de entrada del CSA, lo que implica además una reducción en la componente *flicker*. Pero, una W grande significa un valor de la capacidad de puerta grande que incrementa ambas componentes. El procedimiento tradicional de optimización del ENC nos lleva a un transistor de entrada con un ancho de alrededor del milímetro. No obstante, se ha demostrado [Gry07a] que existe un amplio rango donde el ENC es plano en torno al tamaño óptimo del transistor, donde la reducción del ancho del canal dentro de estos límites resulta en un incremento del ENC por debajo del 3%. Se ha asumido este incremento ya que proporciona un buen compromiso entre ruido, consumo de potencia y de área de silicio.

Se ha obtenido una carga equivalente de ruido de 126 e⁻ para $C_D = 0$ pF para el valor nominal del tiempo de pico (200 ns). La dependencia con la capacidad del detector es alrededor de 19 e⁻/pF. Para $C_D = 40$ pF el ruido es de 688 e⁻.

3.4 Conclusiones

Se ha presentado el diseño y la descripción de un sistema *front-end* para detectores de silicio. Un amplificador sensible a la carga y un shaper o circuito conformador de pulsos con tiempo de pico programable han sido implementados. La baja ganancia intrínseca de los transistores en los procesos CMOS modernos sugiere el uso de técnicas de aumento de ganancia que no incrementen el número de transistores conectados en cada rama debido a la limitación de la baja tensión de alimentación. La solución propuesta basada en la técnica de cascode regulado usa una etapa de fuente común como amplificador auxiliar para aumentar la resistencia de salida (y la ganancia) y apenas reduce al rango dinámico con respecto a la topología convencional. Para minimizar el consumo de potencia y el ruido, se ha usado un shaper Gm-C con el apropiado escalado de los transistores. El sistema ha sido fabricado en un proceso CMOS de 130 nm con un voltaje de alimentación de 1.2 V. Para un tiempo de pico nominal de 200 ns, el consumo de potencia es de 3.3 mW y el ruido es de 688 e para un detector con capacidad de 40 pF. Los resultados experimentales demuestran la idoneidad de la solución propuesta.

Capítulo 4

Sistema de detección basado en un shaper Gm-C de polos complejos y empleando un circuito de incremento de ganancia con amplio rango de señal

4.1 Introducción

Este capítulo aborda el diseño de un sistema *front-end* para la detección de la radiación usando detectores de silicio. El objetivo del trabajo es preservar o incluso incrementar el rendimiento del sistema bajo condiciones de funcionamiento con baja tensión de alimentación, óptima disipación de potencia y bajo nivel de ruido. El sistema diseñado tiene la misma arquitectura que el presentado en el capítulo 3 pero se diferencia principalmente en dos cuestiones: la utilización de un shaper *Gm-C* de polos complejos, y la implementación de la técnica de cascodo regulado mediante una topología de amplificador auxiliar que no limita el rango de la señal. El sistema ha sido fabricado en una tecnología CMOS de 130 nm con una fuente de alimentación

de 1.2 V. Para un valor nominal del tiempo de pico de 150 ns el consumo de potencia de todo el canal es menor que 5 mW. El diseño realizado tiene en consideración el compromiso entre bajo consumo de potencia y bajo ruido para una capacidad del detector de 5 pF. El pulso de salida tiene una amplitud de 200 mV para una carga de 10 fC en el detector logrando una linealidad mejor del 1% hasta un rango de carga en la entrada de 12 fC.

4.2 Arquitectura del sistema front-end diseñado

Como ya sabemos, los eventos de radiación impactan sobre un detector semiconductor inversamente polarizado, siendo el número de pares electrón-hueco liberados proporcional a la energía de las partículas detectadas. El detector entrega una carga que debe ser amplificada y su forma de pulso modificada para su posterior procesamiento. La Figura 4.1(a) reproduce la arquitectura del canal *front-end* diseñado en este capítulo, que es la misma que la del capítulo 3, pero se indica que el shaper utiliza polos complejos. El sistema consta de un amplificador sensible a la carga (CSA) de topología *folded-cascode* con la técnica de cascode regulado para incremento de ganancia, un circuito de cancelación de polo-cero para eliminar sub-oscilaciones y un shaper con integradores usando topología de filtros *Gm-C*.

El pulso de tensión a la salida del CSA se amplifica y se modifica su forma según los requisitos temporales de la aplicación por un amplificador conformador de pulsos o shaper. El shaper también mejora la relación señal a ruido de la señal por el filtrado del ruido. Consiste en una sección de paso alto, seguida por varios integradores. El CSA se acopla en DC al shaper. Un circuito de cancelación de polo-cero (PZC) evita la sub-oscilación en la salida del shaper producida por el polo de realimentación del CSA.

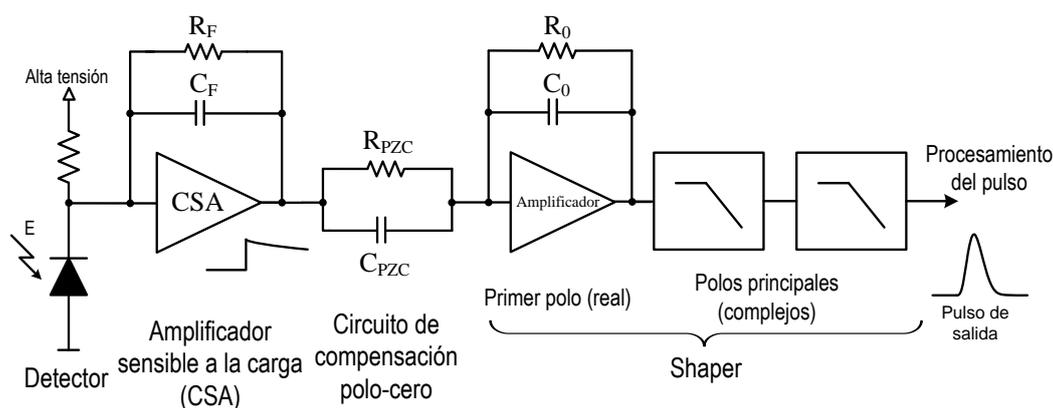


Figura 4.1 Arquitectura del sistema front-end diseñado con shaper de polos complejos.

4.3 Consideraciones de diseño

Ahora que las tendencias de los detectores fuerzan a una restricción fuerte en el consumo de potencia de la electrónica, es importante aclarar el compromiso entre el ruido y la disipación de potencia. La característica del ruido del sistema *front-end* es fuertemente dependiente del transistor MOS de entrada del amplificador sensible a la carga, en relación con el tipo, tamaño y polarización. En un sistema *front-end* diseñado adecuadamente la resolución debería estar limitada por el ruido del transistor de entrada del CSA. Respecto del predominio de ruido térmico o de ruido *flicker* en (3.3) y (3.4) para el transistor de entrada, se anticipa aquí que el ruido térmico es la fuente de ruido dominante debido al bajo tiempo de pico (150 ns) de este sistema *front-end*. La especificación del tiempo de pico define el ancho de banda del shaper y de esta forma, determina el predominio de ruido térmico o de ruido *flicker*. Por lo tanto, para reducir el ruido térmico, la transconductancia g_m del transistor de entrada del CSA tiene que incrementarse, y g_m está directamente relacionada con el consumo de energía y la relación de aspecto W/L . El ruido *flicker* es inversamente proporcional al área de la puerta del transistor de entrada y fuertemente dependiente del proceso tecnológico. Además, se ha elegido un

transistor de entrada MOS de canal p para el CSA para reducir aún más la contribución de ruido $1/f$. En las modernas tecnologías CMOS la optimización del transistor de entrada se convierte en un gran desafío puesto que estas tecnologías se han desarrollado para diseño digital. Por lo tanto, el proceso de optimización se basa en las ecuaciones, modelos y parámetros que pueden ser fuertemente dependientes de la tecnología.

Aunque el ruido se origina en el CSA, el orden del shaper debe ser elegido correctamente. Muchos sistemas *front-end* integrados tienen filtros de orden bajo para proporcionar el conformado del pulso asegurando un diseño más simple con alta eficiencia en potencia debido al reducido número de bloques activos. Para una determinada tasa de llegada de pulsos en el experimento, el pulso conformado debe volver a los valores de base dentro de una fracción del tiempo promedio entre llegadas. Eligiendo la forma más simétrica del pulso que satisfaga el requisito de retorno a la línea de base, se logra una reducción del ruido. Shapers de orden superior tienen formas de pulso más simétricas pero el número creciente de etapas consume más potencia. Los beneficios de filtros de orden superior con polos complejos ya se mostraron en la Figura 2.5 comparando tres filtros con el mismo ancho de pulso, y por lo tanto, la misma capacidad de tasa de llegada de pulsos. Por último, cabe destacar que aunque la capacidad del detector C_{det} es un parámetro dominante para un nivel bajo de ruido, la optimización de los procesos del sistema electrónico *front-end* comienza desde el conocimiento de esta capacidad C_{det} .

4.4 Amplificador sensible a la carga

La Figura 4.2(a) muestra la topología *folded-cascode* convencional donde se ha utilizado una técnica de incremento de ganancia para el amplificador

sensible a carga. Recordemos que una desventaja en el uso de un esquema cascado es que se reduce el rango dinámico en la salida al entrar fácilmente los transistores en la región de triodo. El ancho de banda es proporcional a la transconductancia del transistor entrada, y es un parámetro importante para obtener un rápido tiempo de subida de la señal. Para incrementar la transconductancia, la corriente de polarización del transistor de entrada debe ser varias veces mayor que la corriente de polarización de la rama de salida. Esta opción optimiza el consumo de potencia, aumentando la resistencia de salida, y por lo tanto, la ganancia en DC ($g_{mi}r_{out}$). La elevada transconductancia del transistor de entrada reduce el ruido térmico, y el uso de un transistor de entrada PMOS reduce la contribución de ruido *flicker*.

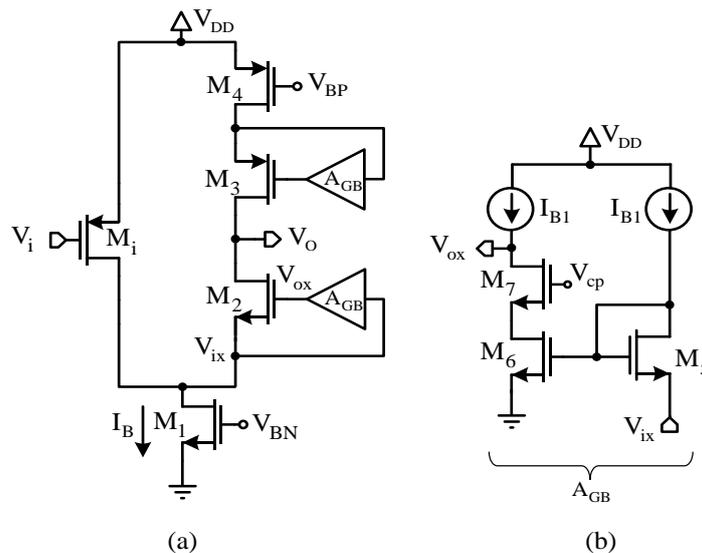


Figura 4.2 Topología del CSA con el esquema de incremento de ganancia de amplio rango de señal.

La Figura 4.2(b) muestra el amplificador de realimentación local donde se propone un circuito de incremento de ganancia que está basado en un desplazamiento de nivel en DC que no limita el rango de señal en la salida del CSA [Liu04]. La corriente de polarización I_{B1} es una fuente de corriente cascado que asegura alta impedancia de salida y una alta A_{GB} de aproximadamente

$g_{m6}[(g_{m7}r_{o7}r_{o6})\parallel(g_{m8}r_{o8}r_{o9})]$, donde M_8 y M_9 son los transistores utilizados en la implementación de I_{B1} . El esquema mostrado en la Figura 4.2(b) se corresponde con el circuito de incremento de ganancia para el cascode M_2 , pero un esquema similar para el cascode M_3 se deduce sin dificultad.

En cuanto a la red de realimentación del CSA, en este diseño y a diferencia del diseño presentado en el capítulo 3, la resistencia de realimentación R_F ha sido implementada mediante un transistor PMOS siguiendo un esquema similar a [Gra97b] donde una red de polarización auto-adaptativa fue adoptada para vencer la sensibilidad del proceso, la temperatura y las condiciones de polarización de la resistencia drenador-fuente. Esto asegura un valor estable para la resistencia de realimentación. La tensión de puerta del transistor controla el valor de la resistencia de realimentación, y por tanto, el tiempo de decaimiento de la señal de salida del CSA puede ajustarse para cumplir con las limitaciones de la tasa de llegada de pulsos.

La resistencia R_{PZC} del circuito de cancelación polo-cero (PZC) acopla directamente el offset en DC de la salida del CSA en la entrada del shaper y debe ser exactamente N veces la réplica de R_F (N transistores MOS en paralelo). Las puertas de las resistencias activas R_F y R_{PZC} están conectadas para cambiar eficazmente los valores de las resistencias y cumplir la adecuada condición $R_F \cdot C_F = R_{PZC} \cdot C_{PZC}$.

4.5 Amplificador conformador de pulsos (shaper) de polos complejos

Una respuesta escalón en forma Gaussiana proporciona el valor óptimo de la relación señal a ruido [Wur93], [Nou08a], siendo la técnica de conformación de pulso más común empleada en los sistemas *front-end*. En este caso, vamos a

diseñar un filtro cuasi-gaussiano de polos complejos obtenido por el método propuesto en [Ohk76] que puede realizarse usando filtros activos con un número limitado de etapas. El procedimiento de diseño utiliza un circuito simple CR como diferenciador que genera un polo real conectado en cascada con secciones de filtrado activo con polos complejos. Existen varias configuraciones de circuito de filtros activos para la realización de un par de polos complejos. Se podrían utilizar tanto topologías RC activas como transconductancia-condensadores ($Gm-C$). Los RC activos siguen el método clásico para el diseño de circuitos activos lineales estables mediante amplificadores de realimentación con componentes pasivos lineales. Logran muy alta linealidad y alta relación señal a ruido. Sin embargo, debido a la operación en lazo cerrado de los amplificadores, el ancho de banda está limitado. Los filtros $Gm-C$ generalmente se caracterizan porque trabajan a frecuencias de funcionamiento más altas debido a su operación en lazo abierto, y por ello, también alcanzar una peor linealidad. Las topologías $Gm-C$ pueden lograr un consumo de potencia más eficiente porque el ancho de banda de los amplificadores activos puede ser aproximadamente igual al ancho de banda del filtro.

El shaper gaussiano diseñado se compone de un simple elemento diferenciador CR que crea un polo real dado por $R_0 \cdot C_0$ (Figura 4.1) seguido por dos secciones $Gm-C$ de segundo orden conectadas en cascada con pares de polos complejos. El amplificador de la primera etapa del shaper (el diferenciador CR en la Figura 4.1) es una versión a escala reducida del amplificador *folded-cascode* del CSA para reducir su consumo de potencia. La Figura 4.3 muestra la topología utilizada para la sección de segundo orden del filtro $Gm-C$.

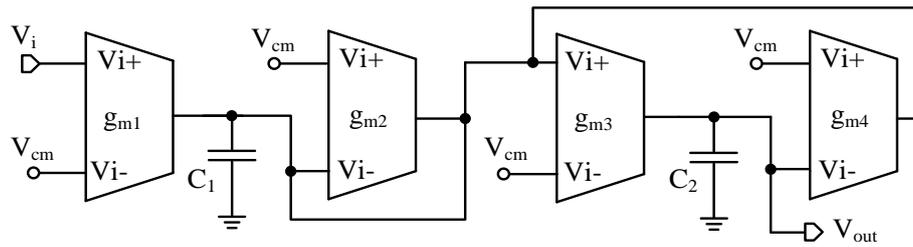


Figura 4.3 Diagrama de bloques del filtro paso bajo G_m - C de 2º orden con polos complejos.

La función de transferencia de esta sección G_m - C de segundo orden viene dada por:

$$H(s) = \frac{\frac{g_{m1}g_{m3}}{C_1C_2}}{s^2 + s\frac{g_{m2}}{C_1} + \frac{g_{m3}g_{m4}}{C_1C_2}} \quad (4.1)$$

Un par diferencial con degeneración de fuente resistiva se ha utilizado para los transconductores de la sección G_m - C como se muestra en la Figura 4.4. El transconductor también utiliza transistores cascode regulados basados en el mismo esquema de incremento de ganancia de la Figura 4.2(b). La transconductancia G_m viene dada por $G_m = g_{m1}/(2+g_{m1}\cdot R)$ donde g_{m1} es la transconductancia de los transistores de entrada M_1 . Los transistores M_4 y M_5 forman una fuente de corriente cascode I_B para polarización. El circuito ha sido diseñado para lograr una dependencia lineal de $G_m \cong 1/R$ de manera que $g_{m1}\cdot R \gg 2$.

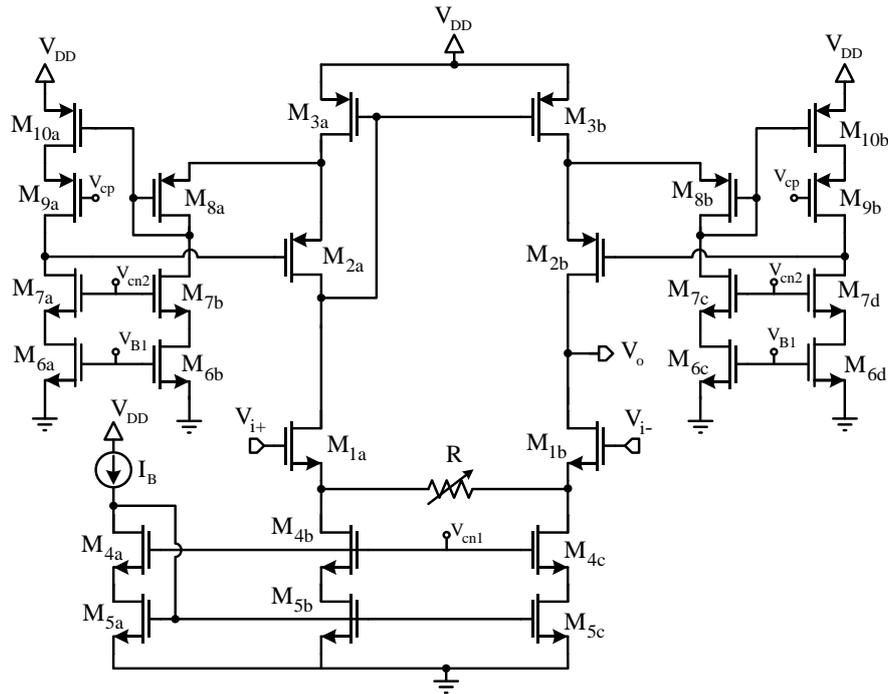


Figura 4.4 Transconductor usado en la sección G_m - C del shaper de polos complejos.

Las características del ruido del shaper vienen definidas por la elección de la frecuencia de corte. Parámetros del dominio de frecuencia, tales como, ancho de banda, frecuencia de corte y orden establecen el comportamiento del shaper en el dominio del tiempo, es decir, el tiempo de pico del pulso de salida. Un tiempo de pico corto se caracteriza por una frecuencia de corte más alta. Los valores de resistencias, condensadores y transconductancias deben ajustarse según el tiempo de pico y el rango dinámico, y la programabilidad de ambos.

El procedimiento de diseño del shaper sigue el método propuesto en [Ohk76] para un filtro Gaussiano. El diferenciador CR simple de la Figura 4.1 genera un polo real ($R_0 \cdot C_0$) que determina la constante de tiempo. Los dos polos complejos conjugados obtenidos por la topología G_m - C de cuarto orden están en las posiciones:

$$s_1 = \frac{g_{m2}}{2C_1} \left[-1 \pm j \sqrt{\frac{4C_1 g_{m3} g_{m4}}{C_2 g_{m2}^2} - 1} \right] \quad (4.2)$$

La relación entre la constante de tiempo del diferenciador y el polo real está dada por $R_0C_0 = \sigma_0\tau_x/A_0$, donde $A_0 = 1.4766878$, $\sigma_0 = 1.0844$ y τ_x es la constante de tiempo de un filtro CR-RC. Para $\tau_x = 75$ ns, R_0 se ha ajustado a 100 k Ω obteniéndose $C_0 = 550$ fF. Los pares de polos complejos son $p_i = -A_i \pm W_i$, donde A_i y W_i son las partes reales e imaginarias, respectivamente. De (4.2), vienen dadas por:

$$A_i = \frac{\sigma_0\tau_x g_{m2}}{2C_1} \quad (4.3)$$

$$W_i = \frac{\sigma_0\tau_x g_{m2}}{2C_1} \sqrt{\frac{4C_1 g_{m3} g_{m4}}{C_2 g_{m2}^2} - 1} \quad (4.4)$$

Los coeficientes A_i , W_i se proporcionan en [Ohk76] para cada etapa de segundo orden del filtro. Para simplificar el diseño, todas las transconductancias se fijan en el mismo valor nominal $g_m = g_{m2} = g_{m3} = g_{m4} = 35$ μ A/V. Para la primera etapa: $A_1 = 1.4166647$, $W_1 = 0.5978596$, y para la segunda etapa: $A_2 = 1.2036832$ y $W_2 = 1.2994843$. De (4.3) $C_{1a} = 1$ pF y $C_{1b} = 1,18$ pF. Aplicando el mismo procedimiento para la parte imaginaria en (4.4) queda $1+(W_i/A_i)^2 = 4C_1/C_2$. Como resultado, $C_{2a} = 3.41$ pF y $C_{2b} = 2.18$ pF. Para $\tau_x = 75$ ns el tiempo de pico de este filtro Gaussiano es aproximadamente $t_p = 150$ ns.

La frecuencia de corte nominal para el filtro Gm -C paso bajo de 4^o orden diseñado es aproximadamente de 2 MHz. Cabe señalar en (4.1) que la ganancia puede modificarse ajustando la transconductancia g_{m1} , no teniendo ningún efecto sobre la posición del polo del filtro. Una ganancia en la banda de paso de 12 dB se ha establecido mediante la inclusión de dos transconductores en paralelo para g_{m1} . La ganancia del sistema *front-end* completo se relaciona con la relación C_{PZC}/C_F y la ganancia del filtro Gm -C.

4.6 Resultados de simulación y medidas experimentales

El sistema *front-end* ha sido diseñado y fabricado en una tecnología CMOS de 130 nm y alimentado por una fuente de 1.2 V. Para testear el chip también se incluyó un buffer de tensión en la salida del preamplificador de carga conectado a un pin del chip para tener disponible esta salida y poder medirla de forma independiente. El procedimiento de diseño comienza con la optimización de ruido en el CSA. La principal contribución al ruido en la entrada es debida a los transistores M_i , M_1 y M_4 . En [Boi04], el término $1/g_m$ es una aproximación de $(g_{mi}+g_{m1} +g_{m4})/g_{mi}^2$ si $g_{mi} \gg g_{m1}, g_{m4}$. El transistor de entrada requiere un valor grande de transconductancia que, a su vez, significa que el transistor debe tener una gran relación W/L y operar con una elevada corriente estática. Una transconductancia muy alta de 10 mA/V y con longitud de canal no mínima para la entrada del transistor M_i permite disminuir el ruido. Las otras fuentes de ruido secundario se han minimizado. Una vez que se han establecido las condiciones para la entrada del transistor, la metodología de diseño se centra entonces en la rama de salida para lograr la ganancia requerida. Las dimensiones de los transistores y las condiciones de polarización para el CSA se muestran en la Tabla 4.1.

Transistor	W/L ($\mu\text{m}/\mu\text{m}$)	Condiciones de Polarización	
M_i	100/0.26		
M_1	10/0.13	V_{DD}	1.2 V
M_2	8/0.13	I_B	1.35 mA
M_3	16/0.13	I_{B1}	30 μA
M_4	16/0.13	V_{CM}	800 mV
M_5, M_6, M_7	1/0.13		

Tabla 4.1 Dimensiones de los transistores y condiciones de polarización para el CSA.

Para los correspondientes transistores M_5 , M_6 y M_7 aplicados al cascode M_3 y no representados en la Figura 4.2, los tamaños son 3/0.13. La corriente de drenador del transistor de entrada es 1.1 mA. Un límite superior práctico en la relación de la corriente de polarización del transistor de entrada y las corrientes de los transistores de salida cascode es alrededor de cuatro; de esta forma la corriente de la rama de salida es 250 μ A. La tensión en modo común V_{CM} es 0.8 V. La corriente de polarización del amplificador de realimentación local es $I_{B1} = 30 \mu$ A. El amplificador sensible a la carga consume 1.66 mW. El GBW del amplificador es 1.38 GHz para un condensador de carga de 1 pF. El GBW se ha establecido para satisfacer los exigentes requerimientos temporales. La Figura 4.5 compara la respuesta en frecuencia en lazo abierto del CSA incluyendo el esquema de incremento de ganancia, con un amplificador operacional *folded-cascode* convencional sin transistores cascode regulados.

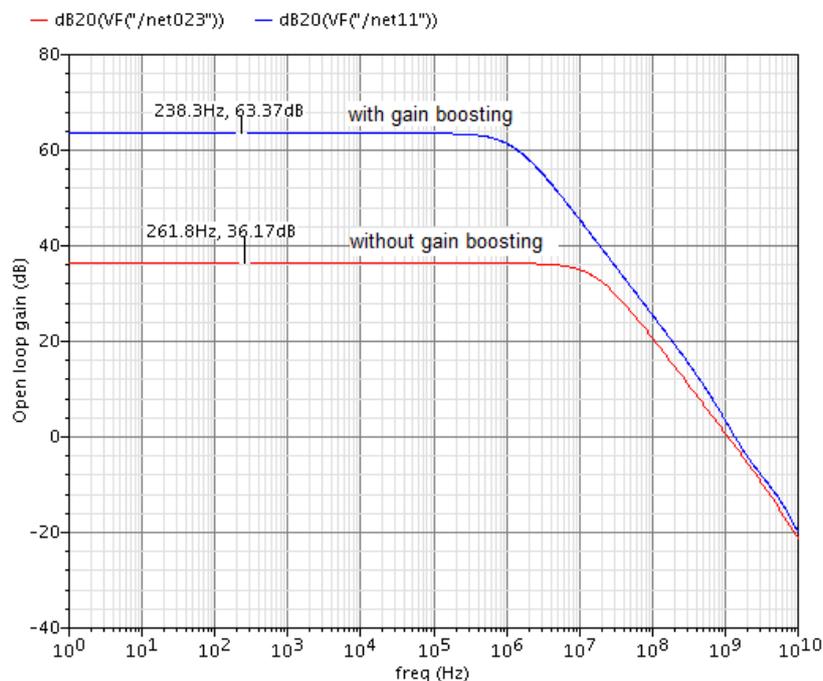


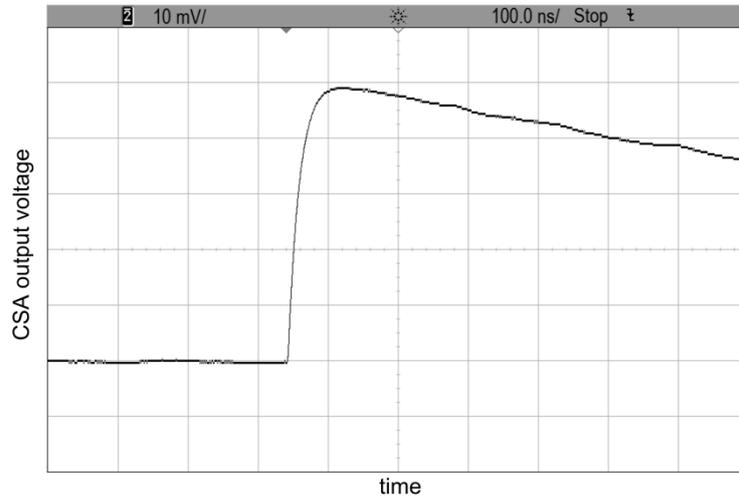
Figura 4.5 Comparación de la ganancia de lazo abierto del CSA.

Se puede observar cómo la ganancia en lazo abierto se incrementa de 36 dB a 63 dB y el valor del GBW también aumenta de 1.1 GHz a 1.38 GHz. Una transconductancia g_m de 10 mA/V y una ganancia en lazo abierto de 63 dB sugieren que la impedancia de salida es de unos 100 k Ω . Esto es suficiente para cargar la resistencia nominal de realimentación de 4 M Ω , de manera que el CSA no necesita ninguna etapa tipo buffer a su salida. Confirmamos mediante simulaciones que el circuito tiene suficiente ganancia a las frecuencias necesarias para la aplicación.

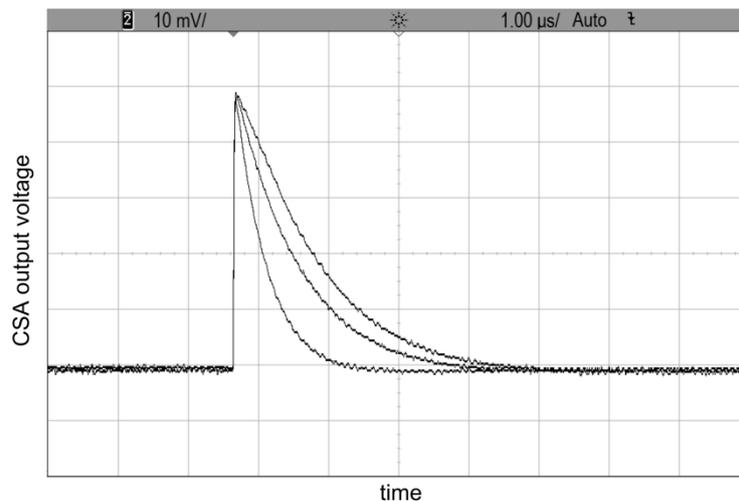
Los elementos de realimentación se establecieron como $C_F = 200$ fF y $R_F = 4$ M Ω . La carga Q generada por el detector se integra en C_F dando a la salida del CSA una amplitud igual a Q/C_F . La ganancia en carga del CSA viene dada por $V_{out}/Q = 1/C_F$. Para un condensador de realimentación de 200 fF, la ganancia en carga es de 5 V/pC. La Figura 4.6(a) muestra un zoom del voltaje de salida del CSA con un tiempo de subida (del 10% al 90% de la amplitud) de 32 ns para una capacidad del detector de entrada de $C_{det} = 5$ pF. La amplitud es cerca de 50 mV con una carga de entrada de 10 fC. La Figura 4.6(b) muestra el ajuste del tiempo de decaimiento, que es conveniente en los experimentos de alta tasa de pulsos, para valores de R_F igual a 1.5 M Ω , 3 M Ω y 4 M Ω . La Tabla 4.2 recoge el funcionamiento de la CSA.

Respecto al diseño del shaper, la misma topología del amplificador operacional del CSA en la Figura 4.2 se ha utilizado para la primera etapa (la que proporciona el polo real). Se ha elegido una versión escalada del amplificador *folded-cascode* del CSA donde todas las dimensiones de los transistores y la corriente de polarización han sido reducidas por un factor de 10. La Tabla 4.3 incluye las dimensiones de los transistores para los transconductores de la sección Gm -C cuyo esquema se mostró en la Figura 4.4.

La resistencia pasiva R fue conmutada para ajustar diferentes valores de transconductancias.



(a)



(b)

Figura 4.6 Respuesta transitoria del CSA para un pulso de entrada de 10 fC. (a) Zoom del tiempo de subida (b) Programabilidad del tiempo de decaimiento.

El consumo de potencia de todo el circuito shaper es 2.73 mW. Por lo tanto, la potencia disipada total del sistema *front-end* diseñado es 4.4 mW.

Parámetro	Valor
g_m Transistor de entrada	10 mA/V
V_{DD}	1.2 V
Consumo de Potencia	1.66 mW
Ganancia en lazo abierto	63 dB
Producto Ganancia Ancho de Banda	1.38 GHz
Ganancia de carga	5 V/pC
Rango señal de salida	50 mV (para $Q = 10$ fC)
Tiempo de decaimiento	4 μ s
Tiempo de subida	32 ns

Tabla 4.2 Características del amplificador sensible a la carga.

Parámetro	Valor
M_1	20/0.13 (μ m/ μ m)
M_2, M_3	10/0.13 (μ m/ μ m)
M_4, M_5	7/0.26 (μ m/ μ m)
V_{DD}	1.2 V
V_{CM}	600 mV
I_B	100 μ A

Tabla 4.3 Parámetros del transconductor de la sección G_m -C.

La Figura 4.7 muestra la señal de salida del shaper aplicando la cancelación polo-cero. Los valores nominales de R_{PZC} y C_{PZC} son 500 k Ω y 1.6 pF, respectivamente. Para lograr la adecuada cancelación polo-cero, debe cumplirse la condición $R_F \cdot C_F = R_{PZC} \cdot C_{PZC}$. Puede verse el sobreimpulso de la señal de salida del shaper si la cancelación no se consigue. El tiempo de decaimiento del CSA y el circuito polo-cero son controlados en tiempo continuo ya que las resistencias han sido reemplazadas por transistores activos donde los valores se fijan mediante su tensión de puerta.

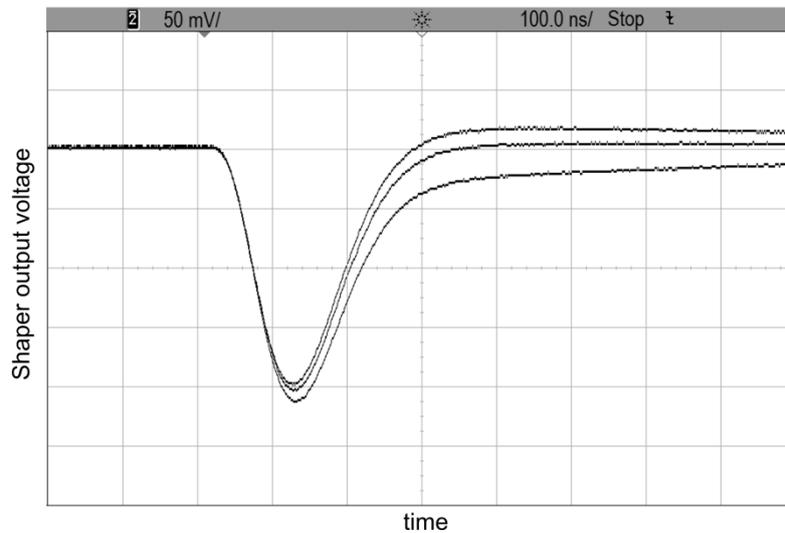


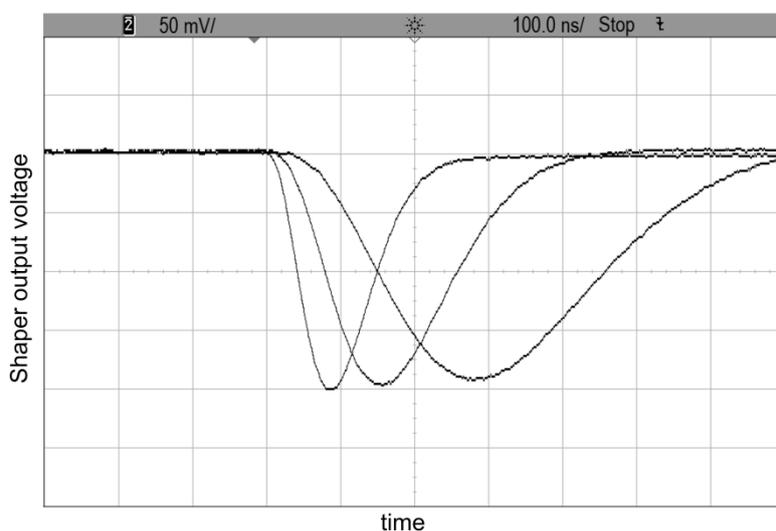
Figura 4.7 Funcionamiento del circuito de cancelación polo-cero.

En este tipo de aplicaciones la ganancia y el tiempo de pico son generalmente programables mediante un esquema de tiempo discreto basado en una matriz de condensadores y/o resistencias controladas por interruptores. El sistema de ajuste utilizado en este trabajo incluye la programabilidad del primer polo (real) del shaper y los transconductores de la sección G_m -C para ajustar ambos parámetros mencionados. Se ha elegido la opción de un control en tiempo discreto mediante la conmutación de las resistencias en lugar de la conmutación de los condensadores para ahorrar área de silicio. El ajuste de G_m del transconductor en la Figura 4.4 se efectúa por conmutación de varias resistencias de polisilicio R en paralelo. En la arquitectura del shaper, la constante de tiempo es la mitad del tiempo de pico. La Tabla 4.4 da los valores de los elementos del shaper para diferentes tiempos de pico.

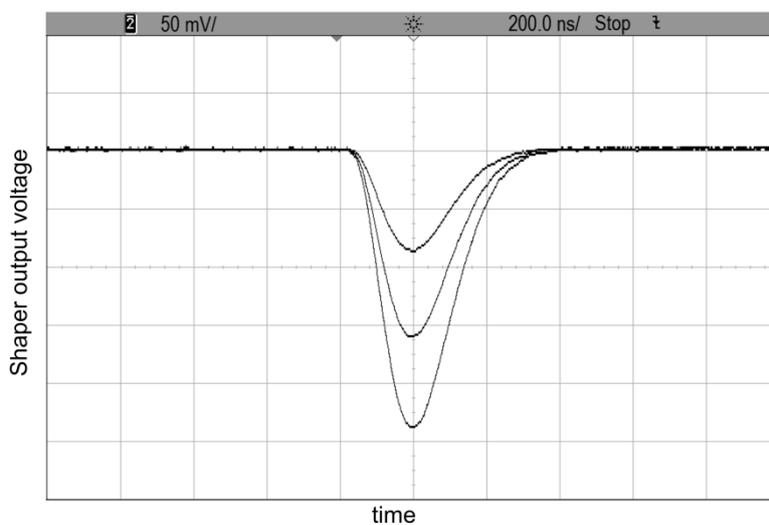
Tiempo de pico	R_0	C_0	$g_{m2}-g_{m3}-g_{m4}$	g_{m1}
75 ns	50 k Ω	550 fF	70 μ A/V	140 μ A/V
150 ns	100 k Ω	550 fF	35 μ A/V	70 μ A/V
300 ns	200 k Ω	550 fF	17.5 μ A/V	35 μ A/V

Tabla 4.4 Transconductancias, resistencias y capacidades del shaper.

La Figura 4.8(a) muestra la programabilidad del tiempo de pico para una carga de entrada de 10 fC y una capacidad del detector $C_{det} = 5$ pF. La Figura 4.8(b) muestra la sintonización de la ganancia.



(a)



(b)

Figura 4.8 Ajuste de (a) tiempo de pico y (b) ganancia.

La amplitud máxima de la tensión de salida del sistema *front-end* debe ser lineal para un rango de la carga generada en el detector. En la Figura 4.9 se muestra la respuesta a la energía de entrada y el rango dinámico obtenidos. El pulso de salida alcanza una linealidad mejor del 1% hasta una carga de entrada de unos 12 fC.

Para el funcionamiento nominal del sistema *front-end*, se obtiene un ruido equivalente teórico de $61 e^-$ para $C_D = 0$ pF. El ruido es proporcional a la capacidad del detector. La dependencia de la capacidad del detector es aproximadamente $122 e^-/\text{pF}$. Para $C_D = 5$ pF el ruido es de $671 e^-$.

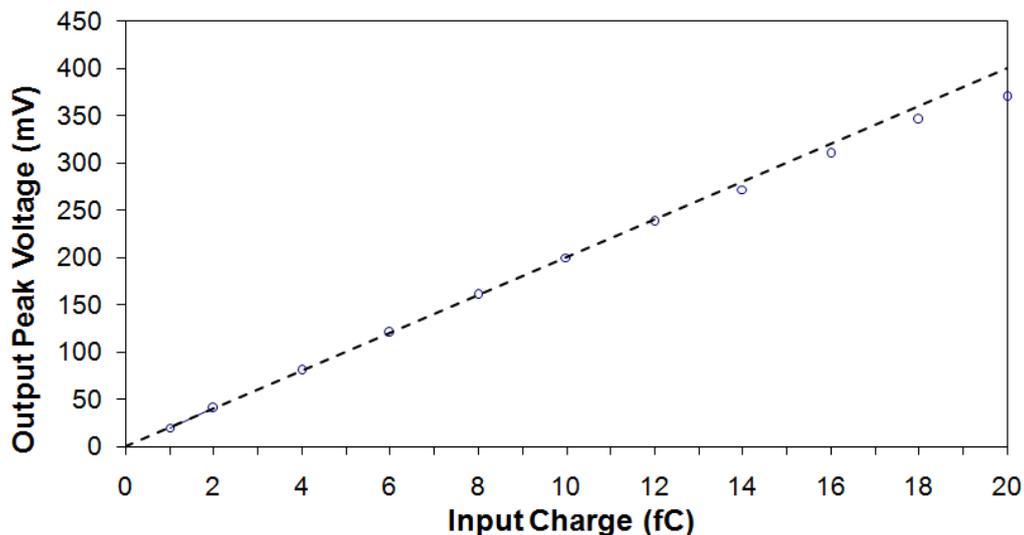


Figura 4.9 Amplitud del pico de salida frente a la carga en la entrada.

4.7 Conclusiones

Se presenta el diseño y la descripción de un sistema *front-end* para detectores de silicio. Un amplificador sensible a la carga y un circuito shaper con polos complejos han sido diseñados donde pueden ajustarse sus principales parámetros. Se ha combinado tanto un control de tipo continuo para el tiempo de decaimiento del CSA y para el circuito de compensación polo-cero, como un control discreto para los parámetros del shaper. La implementación en una tecnología CMOS de 130 nm sugiere el uso de técnicas de incremento de ganancia. Se ha utilizado una implementación del amplificador auxiliar de la técnica de cascode regulado basado en un desplazamiento en DC que no limita el rango de la señal de salida de los amplificadores. El procedimiento de diseño

sigue un compromiso entre el ruido y la disipación de potencia. El consumo de potencia total es de 4.4 mW y el ruido es 671 e⁻ para un detector con capacidad de 5 pF.

Capítulo 5

Shaper eficiente en consumo y con rango de salida completo para el detector HYDE

5.1 Introducción.

Este capítulo presenta un sistema *front-end* de baja tensión de alimentación y bajo consumo de potencia implementado en tecnología CMOS de 130 nm orientado al detector HYDE (*HYbrid DEtector*) [HYDE] en las instalaciones de FAIR (*Facility for Antiproton and Ion Research*) [FAIR]. Se continúa con el uso de una arquitectura convencional que consta de un amplificador sensible a la carga, cancelación polo-cero y un filtro conformador de pulsos (shaper) de polos complejos. El trabajo se centra en el diseño de topologías de circuito novedosas en entornos de baja tensión minimizando el consumo de potencia. Para el circuito shaper se ha utilizado un amplificador operacional con un rango de salida completo (*rail to rail*) que usa una técnica de

incremento de ganancia compacta y una etapa de salida en clase AB que no requiere consumo de potencia adicional. El circuito combina la sencillez del diseño y la idoneidad para trabajar en baja tensión con excelentes prestaciones. El sistema está diseñado para trabajar con detectores de silicio para aplicaciones de física nuclear y está optimizado para que se acople a una capacidad de entrada de 10 pF. Se caracteriza por un tiempo de pico de 500 ns, una disipación de potencia de 1.57 mW por canal y un ruido equivalente de 201 e⁻.

Los núcleos exóticos son muy distintos de los núcleos estables, y las instalaciones de haces radiactivos (RBF del inglés *radioactive beam facilities*) proporcionan un entorno de trabajo único para investigar la dinámica y estructura nuclear explotando el grado de libertad de isospín [Yen94], [Tan88], [Jon13]. Hay un determinado número de nuevas RBFs que se espera estén operativas en las próximas dos décadas, como SPIRAL2 en GANIL (*Grand Accélérateur National d'Ions Lourds* en Caen, Francia), FAIR en el GSI (*Gesellschaft für Schwerionenforschung* en Darmstadt, Alemania), SPES en el LNL (*Laboratori Nazionali di Legnaro* en Legnaro, Italia) y EURISOL (localización aún por decidir), que acelerará haces nucleares radiactivos con intensidades de varios órdenes de magnitud superiores a las de hoy en día, permitiendo el estudio de núcleos muy raros y de corta vida de duración que no están actualmente disponibles. Por lo tanto, el desarrollo de una nueva generación de detectores de partículas se convierte en crucial. Tal desarrollo debería centrarse en I+D en silicio, sistemas electrónicos *front-end* y sistemas de control. Técnicas de identificación de partículas basadas en el análisis digital de la forma del pulso también deben ser investigadas y desarrolladas en el caso de estos detectores de silicio altamente segmentados.

El rango de energía proporcionado en la rama de baja energía (LEB, *Low-Energy Branch*) en las instalaciones de FAIR (Darmstadt, Alemania) hará posible investigar el efecto de Coulomb y los campos nucleares a escalas de tiempo relevantes para la estructura de los núcleos exóticos. El detector híbrido HYDE es un detector de partículas cargadas de silicio altamente segmentado diseñado para el estudio de reacciones nucleares directas, dispersión elástica e inelástica, rupturas, y reacciones de transferencia de núcleos exóticos. Estos estudios proporcionarán información complementaria para tasas de transición de rayos gamma, valores espectroscópicos, fenómenos colectivos y correlaciones nucleón-nucleón por núcleos muy exóticos con vidas medias por debajo del microsegundo.

En este capítulo se presentan soluciones de circuitos de bajo consumo de potencia orientados al diseño de un sistema electrónico *front-end* para el detector HYDE. La celda típica de detector de silicio de HYDE contendrá detectores de doble cara de silicio (*DSSSD, double-sided silicon strip detectors*) con un total de 512 canales espectroscópicos en un rango de capacidades entre los 5 y los 50 pF, dependiendo del grosor de la oblea. El sistema electrónico *front-end* debe tener buenas propiedades para realizar espectroscopia nuclear con iones pesados: resolución de energía por debajo de 30 keV, amplio rango dinámico hasta 50 MeV y un ancho de banda por encima de 100 MHz para identificación digital de la forma del pulso de los iones. Aunque en el pasado se han desarrollado algunos *ASICs (Application Specific Integrated Circuit)* multicanales [Pol05], [Tur05], [Bar09] no cumplen con la densidad requerida para cada canal o las especificaciones espectroscópicas para los *DSSSDs*. El presente trabajo es un primer paso hacia el desarrollo de estos *ASICs* orientados en la región de baja energía (hasta 5 MeV).

Estos estudios deberán ser también de interés común para los nuevos *arrays* de silicio de física nuclear TRACE que se está construyendo en las instalaciones de SPES en el LNL (Legnaro, Italia) [SPES], los *arrays* FAZIA y GASPARD para las instalaciones de SPIRAL2 (Caen, Francia) [SPIRAL].

5.2 Consideraciones preliminares

Los circuitos digitales se benefician del escalado de la tecnología CMOS por una minimización de área y por una reducción en el consumo de potencia gracias a la reducción de la tensión de alimentación. Pero este no es el caso de circuitos analógicos ya que, con la reducción de tamaño, los transistores de longitud mínima aumentan el ruido y reducen la resistencia de salida, y con la reducción del voltaje de alimentación, disminuye el rango dinámico de la señal [Joh97]. Bajo estas condiciones adversas, para mantener o incluso aumentar las prestaciones del sistema en las tecnologías modernas, es necesario hacer un esfuerzo tanto a nivel de arquitectura como a nivel de circuito.

El diseño de un amplificador operacional es un buen ejemplo (un amplificador operacional es considerado aquí como un amplificador diferencial cuya ganancia en tensión es lo suficientemente grande como para aprovechar la realimentación). Como ya sabemos, el amplificador operacional es el bloque de construcción principal en el sistema *front-end* analógico; es utilizado como el elemento activo en los amplificadores sensibles a la carga (CSA, *Charge Sensitive Amplifier*) y los conformadores de pulsos (shapers) [Kap12], [Sol12], [Gry07a], [Hu98b], [Ran97]. Las propiedades básicas de los amplificadores operacionales en estas aplicaciones son bajo nivel de ruido, alta ganancia DC y gran producto ganancia-ancho de banda (GBW). Sin embargo, en las tecnologías CMOS nanométricas, la reducción de la resistencia de salida de los transistores limita la

ganancia en lazo abierto de los amplificadores, y el incremento de la relación entre la tensión umbral del transistor y la tensión de alimentación impide la aplicación de etapas cascode con varios transistores apilados en serie. El desarrollo de nuevas topologías para amplificadores y nuevos modos de operación se hace necesario, ya que el simple escalado de la tensión de alimentación utilizando métodos de diseño existentes reduce drásticamente las prestaciones del circuito.

Este trabajo aborda estas cuestiones y propone topologías compactas que proporcionan alta eficiencia en corriente. Se ha diseñado un circuito shaper con un consumo de potencia optimizado y un rango dinámico completo. El circuito propuesto utiliza como bloque básico un amplificador con topología de espejo de corriente (*current mirror amplifier*) de una sola etapa con una técnica de incremento de ganancia en la carga activa del par diferencial de entrada (que proporciona la mayor parte de la ganancia total), mientras que una etapa de salida en clase AB con rango de señal completo (*rail to rail*) garantiza una buena capacidad de inyección de corriente a la carga. El consumo de potencia del shaper diseñado es óptimo, ya que las propiedades mencionadas se logran sin consumo de potencia extra, y además el amplificador operacional no necesita condensador de compensación. Finalmente, el diseño del sistema *front-end* se completa con la implementación de un amplificador sensible a la carga de topología *folded-cascode* con ruido optimizado. Utiliza un novedoso buffer de salida en clase AB para inyectar grandes corrientes a la carga con baja corriente estática. El sistema *front-end* ha sido desarrollado para la detección de partículas cargadas y optimizado para una capacidad del detector de 1 a 10 pF.

5.3 Descripción del circuito shaper con rango de señal completo

El amplificador operacional es el elemento activo que forma parte de las secciones de filtrado que constituyen el shaper.

Los amplificadores operacionales basados en topologías convencionales con comportamiento en clase A no resultan apropiados para la operación de baja potencia, puesto que sus corrientes de polarización son constantes y limitan la máxima corriente de salida. Por otro lado, están los amplificadores en clase AB que tienen corrientes estáticas bien controladas que pueden disminuirse para reducir el consumo de potencia, mientras que sus corrientes máximas de salida pueden ser mucho más grandes que sus valores estáticos.

Un amplificador operacional de dos etapas es una topología adecuada para obtener un diseño compacto para baja tensión, como se muestra en la Figura 5.1(a). Se logra una ganancia en lazo abierto de aproximadamente $(g_{m1} \cdot r_{o4})^2$ sin transistores cascode (g_{mx} y r_{ox} son la transconductancia en pequeña señal y la resistencia de salida del transistor M_x , respectivamente). Sin embargo, un condensador de compensación Miller C_M puede ser necesario para garantizar la estabilidad, reduciendo el GBW y aumentando la corriente de polarización del par diferencial.

La Figura 5.1(b) muestra un amplificador con topología de espejo de corriente (*current mirror amplifier*) con una relación de corriente de $1:B$, donde B es la ganancia de los espejos de corriente de canal n . El amplificador consta de una etapa de entrada con transistores M_1 , M_2 de canal p y dos espejos de corriente de canal n M_3 , M_4 , que copian la corriente de entrada a la rama de salida. El amplificador de espejo de corriente es la única topología de una sola etapa que puede proporcionar un rango de salida completo (*rail to rail*) [Joh97].

Como toda topología de una sola etapa está compensada por la carga (C_L). Es bien sabido que para valores de GBW y de C_L dados, $GBW = g_{m1} \cdot B / (2\pi C_L)$. Teniendo en cuenta que $g_{m1} = 2I_{D1} / (V_{GS1} - V_T)$, entonces $I_{D1} = GBW \cdot \pi \cdot (V_{GS1} - V_T) \cdot C_L / B$. Como la corriente de salida es $I_{D4} = B \cdot I_{D1}$, la corriente estática total es:

$$I_{total,CM} = GBW \cdot \pi \cdot (V_{GS} - V_T) \left(2C_L + \frac{2C_L}{B} \right) \quad (5.1)$$

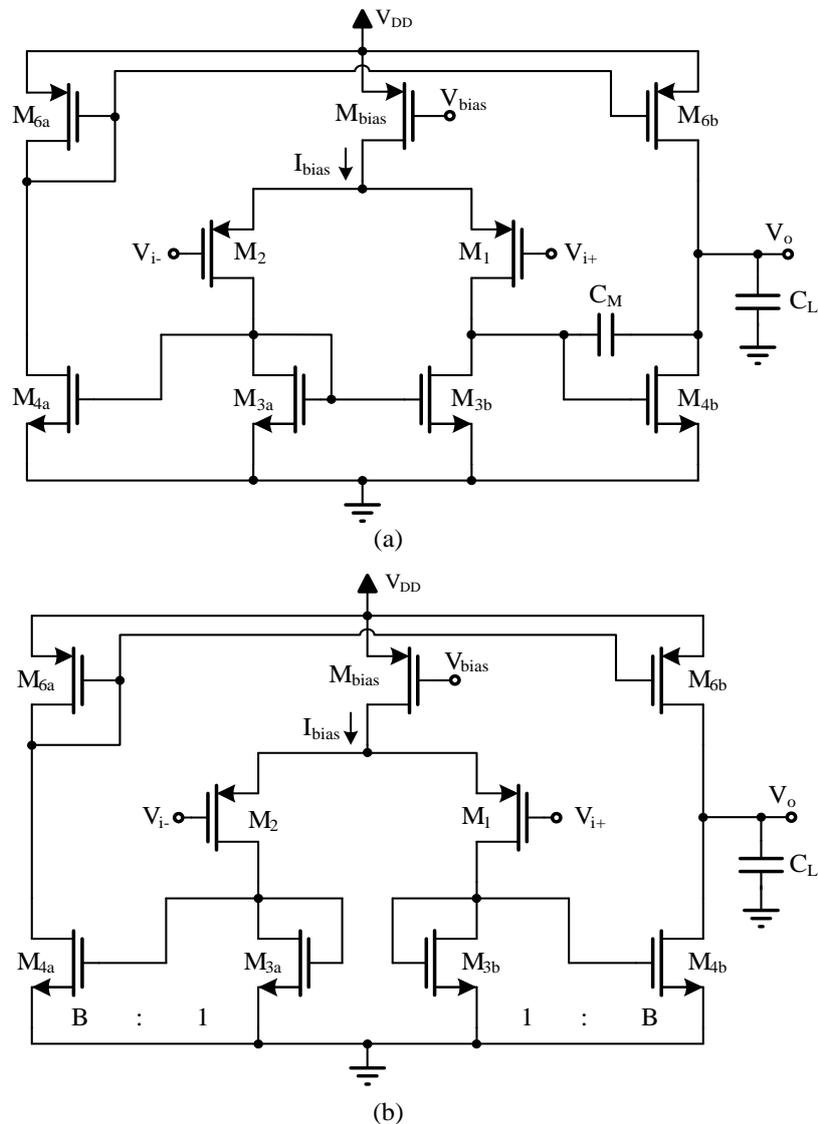


Figura 5.1 (a) Topología de dos etapas. (b) Topología de espejo de corriente de una etapa.

El mismo análisis puede hacerse para la topología de dos etapas. Teniendo en cuenta que el polo no dominante creado por la capacidad de la carga debe colocarse más allá de tres veces el valor de GBW , es decir, $g_{m4}/(C_M+C_L) = 3 \cdot GBW \cdot 2\pi$, en el mejor de los casos la corriente estática total (mejor de los casos) es $I_{total,Miller} = GBW \cdot \pi \cdot (V_{GS} - V_T) \cdot (8C_M + 6C_L)$. Por lo tanto, el amplificador de espejo de corriente es la topología recomendada para reducir el consumo de potencia para un determinado GBW .

La principal desventaja del amplificador de espejo de corriente es la baja ganancia de tensión en lazo abierto, que es sólo del orden de $g_{m1} \cdot r_{o4}$. En tecnologías nanométricas este valor puede estar alrededor de 20-30 dB, puesto que la resistencia de salida es bastante baja. Como se puede ver, la ganancia de tensión total es igual a la de un transistor individual. Aunque la transconductancia se incrementa B veces por la ganancia del espejo de corriente, la resistencia de salida se reduce en el mismo factor ($r_{o4} = 1/(\lambda_4 \cdot B \cdot I_{D4})$), donde λ_4 es el factor de modulación de la longitud de canal del transistor M_4) debido a la amplificación de la corriente de polarización. Por lo tanto, la ganancia de tensión en lazo abierto viene dada aproximadamente por:

$$A_v \approx g_{m1} \cdot r_{o4} \cdot B = \frac{2I_{D1}}{(V_{GS1} - V_T)} \cdot \frac{1}{\lambda_4 \cdot I_{D4}} \cdot B = \frac{2}{(V_{GS1} - V_T) \cdot \lambda_4} \quad (5.2)$$

Según las simulaciones preliminares que se han realizado para caracterizar el comportamiento del shaper, el shaper activo RC implementado en este capítulo requiere de un amplificador operacional con más de 35 dB de ganancia en lazo abierto. Por tanto, si se selecciona una topología *current mirror*, se debe utilizar algún tipo de técnica de incremento de ganancia.

Finalmente, en cuanto al ruido, el amplificador *current mirror* sufre de mayor ruido térmico comparado con un amplificador *folded-cascode* porque sus

transistores de entrada están polarizados con una menor proporción de la corriente de polarización total, y por lo tanto, tienen una menor transconductancia. Por ello, para el diseño de amplificadores sensibles a la carga se suele utilizar una topología *folded-cascode* ya que el ruido es la principal preocupación para estos amplificadores.

5.3.1 Amplificador operacional con incremento de ganancia

Como se mencionó anteriormente, en el amplificador *current mirror* es difícil obtener al mismo tiempo alta transconductancia y alta resistencia de salida. La ganancia del circuito puede mejorarse si se reduce la corriente de polarización de la rama de salida, pero manteniendo la ganancia en corriente en AC. Para ello, una fuente de corriente adicional se ha colocado en paralelo con los transistores conectados como diodo M_3 para que disminuya parte de su corriente, y de esta forma aumenta la proporción g_{m1}/g_{m3} [Mor08], [Beu96], [San11] como se observa en la Figura 5.2.

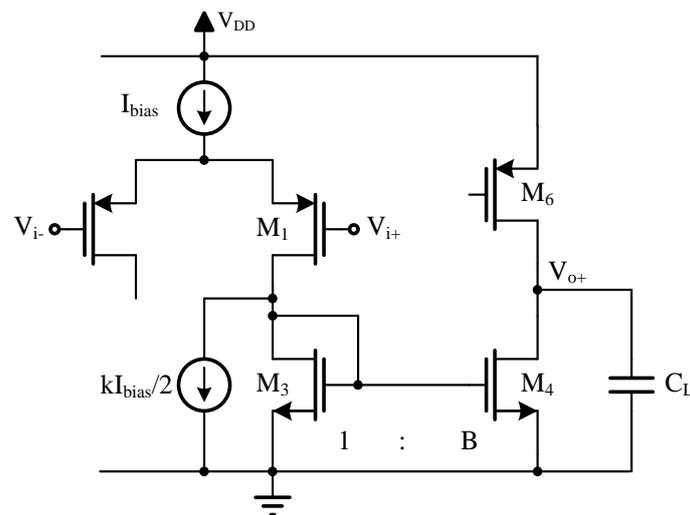


Figura 5.2 Técnica de incremento de ganancia.

Si la nueva fuente de corriente lleva k veces ($k < 1$) la corriente estática de M_1 , la corriente de polarización del transistor de salida M_4 es $I_{D4} = B \cdot (1-k) \cdot I_{D1}$. Sustituyendo I_{D4} en (5.2) queda:

$$A_v = \frac{2}{(V_{GS1} - V_T) \cdot \lambda_4} \cdot \frac{1}{1-k} \quad (5.3)$$

Un factor de aumento de $1/(1-k)$ aparece en la ganancia en DC del amplificador *current mirror* en comparación con la topología convencional. Como se puede observar, la mejora de la ganancia se logra sin consumo de potencia extra.

5.3.2 Amplificador operacional con etapa de salida en clase AB

Las etapas de salida en clase AB hacen un uso eficiente de la corriente de polarización y proporcionan un rango completo de la señal de salida, pero debe tenerse cuidado en su diseño para evitar una contribución excesiva de los circuitos de control de la etapa clase AB al ruido del amplificador, al consumo de potencia y al área de silicio. Un enfoque convencional para la operación en clase AB de la etapa de salida complementaria en la Figura 5.3(a) es aplicar al transistor PMOS M_6 una fuente de tensión flotante V_{bat} . Este desplazador de nivel transfiere la oscilación de la señal del nodo X a la puerta del transistor M_6 , elevando la corriente de carga dinámica.

La etapa de salida en clase AB propuesta se muestra en la Figura 5.3(b). Es una solución compacta ya que sólo añade 2 elementos adicionales. Consta de dos transistores de salida conectados en fuente común, un transistor conectado como diodo M_{Rlarge} y un condensador C_{bat} . El transistor M_{Rlarge} opera en la región de corte actuando como un gran elemento resistivo. El condensador C_{bat} actúa como una batería flotante ya que no puede cargarse ni descargarse rápidamente

a través de M_{Rlarge} . Para las frecuencias de interés los cambios en el voltaje en el nodo X serán transferidos inmediatamente al nodo Y; sólo en condiciones de estado estacionario el condensador C_{bat} se descargará lentamente a través de la gran resistencia del transistor M_{Rlarge} , y el voltaje en el nodo Y tenderá a V_{bias} . El valor del condensador C_{bat} puede ser muy pequeño y aún así, la constante de tiempo asociada a $M_{Rlarge} - C_{bat}$ será del orden de milisegundos. En condiciones estáticas y dado que no fluye corriente en DC a través de M_{Rlarge} , la tensión en la puerta de M_6 es la misma que en la puerta de M_{bias} ($V_Y = V_{bias}$). Por lo tanto, la polarización de los transistores de salida es controlada por la tensión V_{bias} , proporcionando una corriente estática bien definida. A M_6 se le denomina un transistor de puerta cuasi-flotante (QFG, *quasi-floating gate*) [Ram04]. Se puede observar que la polarización del transistor QFG no modifica el rendimiento del ruido del circuito: la contribución del ruido de la resistencia basada en el transistor M_{Rlarge} al SNR de la salida es insignificante, puesto que no es la resistencia del canal de un transistor activo sino la resistencia *leakage* de un transistor operando en la región de corte.

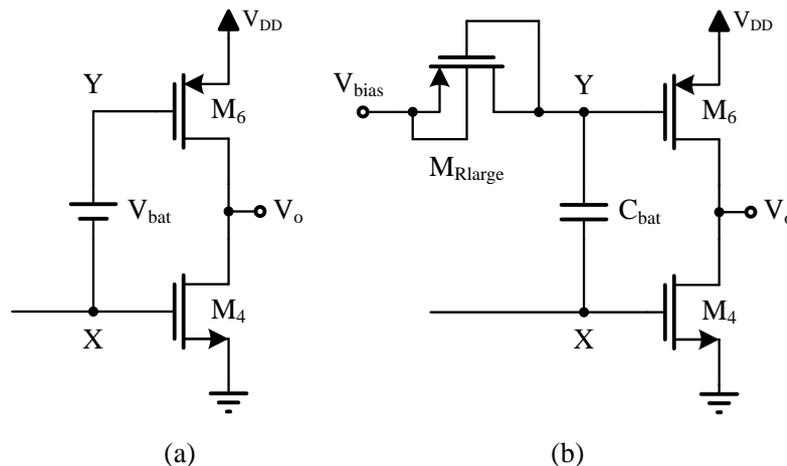


Figura 5.3 (a) Salida clase AB convencional. (b) Salida clase AB basada en transistores QFG.

5.3.3 Amplificador propuesto para el circuito shaper

El esquema completo del amplificador operacional propuesto para el circuito shaper se muestra en la Figura 5.4. La topología incluye el amplificador *current mirror* con incremento de ganancia y rama de salida en clase AB. Se puede observar que tanto el incremento de ganancia como la salida en clase AB, se logran sin incrementar el consumo de potencia estático y con sólo algunas modificaciones respecto del amplificador *current mirror* convencional.

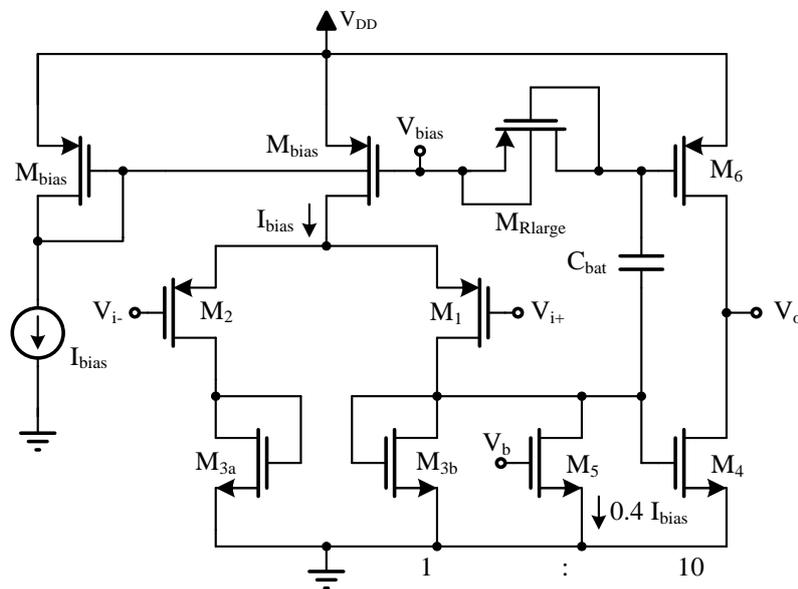


Figura 5.4 Amplificador operacional *current mirror* propuesto para el circuito shaper.

En condiciones nominales la corriente de polarización del amplificador operacional se ha establecido en $20 \mu\text{A}$. La corriente a través del transistor M_5 se ajusta a $0.4 \cdot I_{bias}$ y el tamaño de M_4 es diez veces mayor que el de M_3 . La tensión mínima de alimentación de la etapa de salida es $V_{GS4} + V_{SD,sat1} + V_{SD,sat,bias}$, donde $V_{SD,sat}$ es el mínimo V_{SD} para operación en saturación (aproximadamente 0.1 V). Por lo tanto, el circuito es apropiado para operación en baja tensión. Si se considera necesario, una segunda etapa podría añadirse a este diseño, como un buffer formado por una etapa de drenador común para proporcionar una

resistencia de salida baja y aumentar el GBW del amplificador, pero a costa de un mayor consumo de potencia.

5.4 Sistema front-end implementado

En la Figura 5.5 se muestra el esquema del sistema de detección *front-end* diseñado. La carga Q generada por el detector se integra mediante un preamplificador o amplificador sensible a carga (CSA) y se convierte en pulsos de tensión con una amplitud igual a Q/C_f . Estos pulsos llegan a un filtro paso banda que les da forma según los requisitos temporales, y filtra el ruido para maximizar la relación señal a ruido. Parámetros en el dominio de la frecuencia, tales como el ancho de banda, la frecuencia de corte y el orden del filtro determinan el comportamiento del shaper en el dominio temporal, es decir, el tiempo de pico de los pulsos de salida, el cual está directamente relacionado con la característica del ruido. El shaper unipolar cuasi-gaussiano diseñado consiste en un diferenciador R_0C_0 seguido por dos secciones activas de segundo orden de tipo Sallen-Key (SK) con polos complejos. Un amplificador en configuración no inversora ($1+R_2/R_1$) también se ha incluido en el sistema para ajustar la ganancia de toda la sección del shaper.

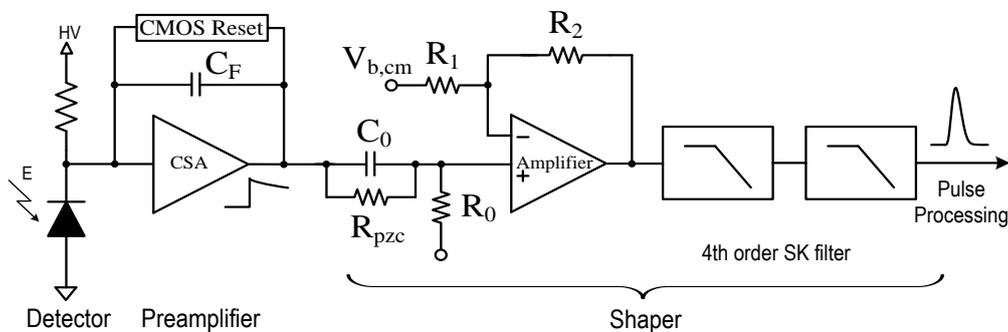


Figura 5.5 Esquema del sistema front-end implementado.

Una resistencia R_{pzc} en paralelo con el condensador C_0 se ajusta para cancelar la suboscilación en la salida del shaper debido al polo de realimentación del preamplificador. Para lograr una adecuada cancelación polo-cero, R_{pzc} debe seleccionarse para que su valor sea igual a $R_F \cdot C_F / C_0$, donde R_F y C_F son los componentes de la realimentación del preamplificador de carga.

El *front-end* analógico se ha diseñado en una tecnología CMOS estándar de 130 nm con tensión de alimentación de 1.2 V.

5.4.1 Preamplificador de carga

Ya sabemos que aunque el ruido del sistema *front-end* depende de los bloques que lo constituyen, en la práctica, está dominado por el ruido del preamplificador. Para ajustar el ruido hay que hacer una elección óptima de los parámetros en la etapa de entrada del preamplificador, incluyendo las dimensiones y condiciones de polarización de los transistores. El ruido también depende de algunos parámetros, tales como la capacidad de la entrada (incluyendo la capacidad del detector y la capacidad de las capacidades parásitas conectadas al nodo de entrada), el tiempo de pico del shaper y la potencia máxima asignada al transistor MOS de entrada del preamplificador de carga [Ger05].

Como el ruido es la especificación principal, volvemos a utilizar como en los diseños precedentes una topología *folded-cascode* para el preamplificador, como se muestra en la Figura 5.6. Aunque esta arquitectura es básicamente una única etapa de ganancia (compensada en la carga), su ganancia es bastante razonable, ya que viene dada por el producto de la transconductancia del transistor de entrada y la impedancia de salida en el drenador de M_4 . La transconductancia se determina por el tamaño y la corriente de polarización del

A la salida del preamplificador de carga se ha incluido un buffer de salida. Esta etapa necesita generalmente una alta corriente para cumplir con el requerimiento de ancho de banda del preamplificador. Los transistores M_7 - M_8 y la corriente de polarización I_{buffer} forman el buffer de salida en la Figura 5.6. Se ha adoptado una estrategia en clase AB donde el transistor M_7 está polarizado por el terminal de drenador en lugar de por el terminal de fuente como ocurre en un buffer clásico en clase A (seguidor de fuente). En la etapa de seguidor de fuente convencional, la corriente de salida máxima está limitada por la corriente de polarización. En la Figura 5.6 el voltaje V_{SG7} se fija mediante I_{buffer} y el tamaño de M_7 , y se mantiene constante independientemente de la corriente de salida. La corriente entregada a la carga es proporcionada por el transistor M_8 y no está limitada por la fuente de corriente de polarización I_{buffer} . Para cargar rápidamente el condensador de realimentación C_F el buffer de salida en clase AB aumenta automáticamente las corrientes dinámicas, proporcionando niveles máximos de corriente muy superiores a la corriente estática I_{buffer} . Pero, a diferencia de los seguidores de tensión convencionales, la capacidad de absorber corriente de la carga está limitada por la fuente de corriente de polarización. Sin embargo, esta cuestión no degrada las características del circuito, ya que el pulso de tensión se descarga lentamente por la resistencia de realimentación conectada en paralelo a C_F . Este buffer en clase AB puede operar a una baja tensión de alimentación con bajo consumo de potencia.

En relación al mecanismo de reset del preamplificador, se ha utilizado un transistor PMOS polarizado en la región de triodo en lugar de una resistencia de polisilicio; de lo contrario, esto habría aumentado el área, la capacidad parásita, la velocidad y el ruido [Ger01]. Cambiando el voltaje de polarización de la puerta de la resistencia de realimentación basada en PMOS, el tiempo de

decaimiento de la tensión escalón a la salida del CSA puede ajustarse para cumplir con las limitaciones de velocidad en la tasa de llegada de pulsos.

5.4.2 Topología del shaper

Los sistemas electrónicos *front-end* generalmente emplean filtros de tiempo continuo con topologías *RC* activas [Gry10] logrando alta linealidad y alta relación señal ruido (SNR), a expensas de bajo ancho de banda debido a la operación en lazo cerrado. Recientemente los filtros de transconductancia *C* (*Gm-C*) también han sido propuestos para estas aplicaciones [Gus12] y así se han implementado en los capítulos anteriores porque son eficientes en consumo de potencia ya que la frecuencia de ganancia unidad del amplificador es comparable con el polo del filtro. Sin embargo, el uso de un número excesivo de transconductores que se necesitan para construir una sección bicuadrática (cuatro transconductores) contribuye a reducir la eficiencia en potencia. Además, las formas de pulso más estable y controladas se obtienen usando filtros activos con elementos pasivos lineales en la red de realimentación, ya que los polos del filtro dependen de los componentes pasivos siempre que la ganancia en lazo abierto del amplificador sea lo suficientemente grande.

En este trabajo, a diferencia de los shapers *Gm-C* de los capítulos 3 y 4, utilizamos un filtro *RC* activo de cuarto orden donde se reduce el consumo de potencia del amplificador con respecto a otros filtros de lazo cerrado gracias al amplificador *current mirror* propuesto y descrito previamente. La Figura 5.7 muestra un esquema del shaper [Gat90]. Se ha utilizado una topología Sallen-Key convencional [Che86] que resulta atractiva para uso en baja potencia y bajo ruido, ya que sólo requiere un único amplificador operacional por cada sección bicuadrática.

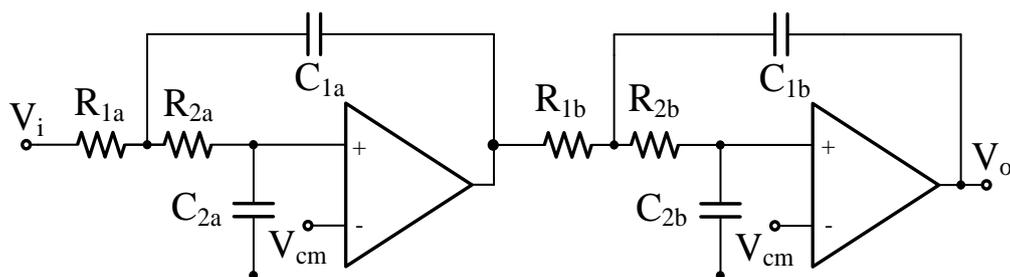


Figura 5.7 Filtro paso bajo de cuarto orden con topología SK.

La función de transferencia de cada sección paso bajo de segundo orden viene dada por:

$$H(s) = \frac{1}{1 + sC_2(R_1 + R_2) + s^2C_1R_1C_2R_2} \quad (5.5)$$

La topología Sallen-Key también proporciona polos complejos y el procedimiento utilizado para diseñar el filtro Gaussiano sigue el método propuesto en [Ohk76]. El diferenciador CR simple (sección de paso alto) en la Figura 5.5 genera un polo real (R_0C_0) que determina la constante de tiempo. Los dos polos conjugados complejos obtenidos por la topología SK de 4º orden están en las posiciones:

$$p_{1,2} = \frac{R_1 + R_2}{2C_1R_1R_2} \left[-1 \pm j \sqrt{\frac{4C_1R_1R_2}{C_2(R_1 + R_2)^2} - 1} \right] \quad (5.6)$$

La relación entre la constante de tiempo del diferenciador y el polo real viene dada por $R_0C_0 = \sigma_0\tau_x/A_0$, donde $A_0 = 1.4767$, $\sigma_0 = 1.0844$ y τ_x es la constante de tiempo de un filtro CR-RC. Para $\tau_x = 250$ ns, C_0 se ha establecido en 5 pF y por tanto, $R_0 = 36.7$ kΩ. Los pares de polos complejos son $p_{1,2} = -A_i \pm jW_i$, donde A_i y W_i son las partes reales e imaginarias, respectivamente. De (5.6), $A_i = \sigma_0\tau_x (R_1 + R_2)/(2C_1R_1R_2)$. Para simplificar el diseño todas las resistencias se establecen al mismo valor $R = R_1 = R_2$, obteniendo $C_1R = \sigma_0\tau_x/A_i$. Aplicando el mismo procedimiento para la parte imaginaria, queda $C_1/C_2 = 1 + (W_i/A_i)^2$. Los coeficientes

A_i y W_i se proporcionan en [Ohk76] para cada etapa de segundo orden del filtro. En nuestro caso, los valores nominales incluidos en el filtro SK para $\tau_x = 250$ ns, son los siguientes: $R = 40$ k Ω , $C_{1a} = 4.78$ pF, $C_{2a} = 4.06$ pF, $C_{1b} = 5.63$ pF, $C_{2b} = 2.6$ pF. Para $\tau_x = 250$ ns el tiempo de pico del filtro Gaussiano está alrededor de $t_p = 500$ ns.

5.5 Análisis de Ruido

La optimización del ruido es la principal preocupación en los sistemas front-end para este tipo de aplicaciones. De hecho, las principales características del shaper propuesto son bajo ruido y bajo consumo de potencia. Estas ventajas se logran mediante el uso de un solo amplificador operacional por cada sección bicuadrática del shaper. Además, el comportamiento en clase AB y el esquema de incremento de ganancia, incluidos en el amplificador *current mirror*, no contribuyen ni al ruido ni al consumo de potencia.

En un canal *front-end* CMOS bien diseñado, el ruido total del sistema está determinado por la etapa de preamplificación, y por lo tanto, debe realizarse un cuidadoso diseño de acuerdo a criterios de bajo ruido [Gry10], [Rat09], [San90]. Las fuentes dominantes de ruido en un transistor MOS son el ruido térmico y el ruido *flicker*. Este último ha crecido en importancia en tecnologías modernas.

Con respecto a la optimización del ruido para el preamplificador, el ruido de entrada viene dado por la capacidad del detector, el tipo de transistor MOS de entrada, las dimensiones y la corriente de polarización, y por el tiempo de pico del shaper. La especificación del tiempo de pico define el ancho de banda del shaper, y por lo tanto, determina el predominio del ruido térmico o del ruido *flicker*. Como en este caso, el tiempo de pico es mayor que en los diseños de los capítulos anteriores, es decir, ahora el tiempo de pico es de 500 ns (esto

implica una menor frecuencia de corte del filtro paso bajo), el ruido térmico puede no ser dominante sobre el ruido $1/f$. De hecho, los resultados de simulación confirman que el ruido $1/f$ no es despreciable en la región de frecuencia alrededor de 1 MHz para el proceso CMOS de 130 nm seleccionado. Se ha sido elegido un transistor de entrada MOS de canal p para el preamplificador con el fin de reducir la contribución de ruido $1/f$.

Los transistores M_1 , M_3 y M_6 son los contribuidores principales al ruido en el preamplificador de la Figura 5.6. Generalmente la transconductancia de M_1 se hace grande para centrarse en la optimización del ruido en este transistor. Un valor grande de la transconductancia significa que el transistor de entrada debe tener una gran proporción W/L y una gran corriente estática de drenador. Por lo tanto, debe haber un compromiso entre el ruido y el consumo de potencia. Otros parámetros, tales como el tiempo de pico y el orden del shaper están también implicados en las características del ruido. El tiempo de pico (500 ns), el orden del filtro ($n = 4$) y la capacidad total del detector (10 pF) son especificaciones fijas en este trabajo. De [San90], $g_m = C_T^2 A / (t_p ENC^2)$, donde A es una constante que incluye otros parámetros relacionados directamente con el ruido térmico. La transconductancia g_m , a su vez, está directamente relacionada con el consumo de potencia. Este diseño se centra en conseguir un buen compromiso entre el ruido y el consumo de potencia. Se ha seleccionado aquí una transconductancia de 15 mA/V y la contribución de ruido térmico calculada del transistor de entrada M_1 es aproximadamente 146 electrones. Incluyendo la contribución de ruido *flicker*, el ruido ENC total es de 201 electrones.

5.6 Resultados Experimentales

El sistema *front-end* ha sido diseñado y fabricado en un proceso CMOS de 130 nm operando con una tensión de alimentación de 1.2 V. La Figura 5.8 muestra una microfotografía del circuito. El área activa del chip es $743 \mu\text{m} \times 267 \mu\text{m} = 0.2 \text{ mm}^2$.

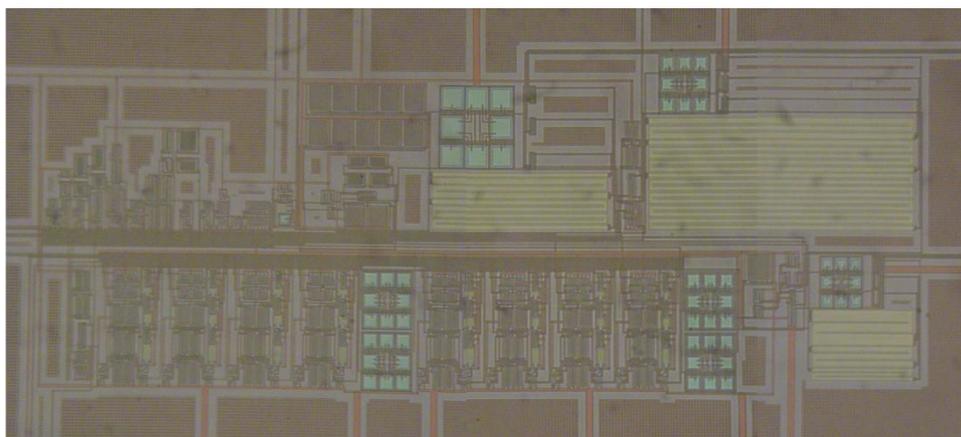


Figura 5.8 Microfotografía del chip.

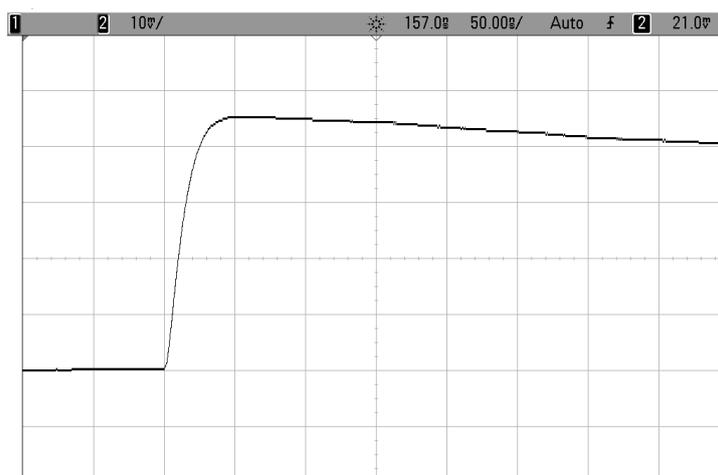
Los parámetros de diseño para los diferentes bloques vienen dados como sigue: para la etapa del preamplificador, el condensador de realimentación C_F tiene un valor de 1 pF para cumplir con la sensibilidad necesaria (45 mV/MeV) y el dispositivo de reset fue fijado para comportarse como una resistencia nominal de 1.5 M Ω para satisfacer las limitaciones del tiempo de decaimiento. El alto valor de la resistencia de realimentación activa garantiza un buen equilibrio entre el ruido y la tasa de llegada de pulsos.

Una transconductancia de 15 mA/V se ha elegido para una capacidad del detector de 10 pF optimizándose el ruido. Un método bien conocido para la optimización del ruido se ha seguido a la hora de diseñar el preamplificador [Ger05], [Gry10], [Man02]. Se eligió una relación de aspecto (W/L) de $350 \mu\text{m} / 0.13 \mu\text{m}$ para el transistor PMOS de entrada según los cálculos teóricos descritos

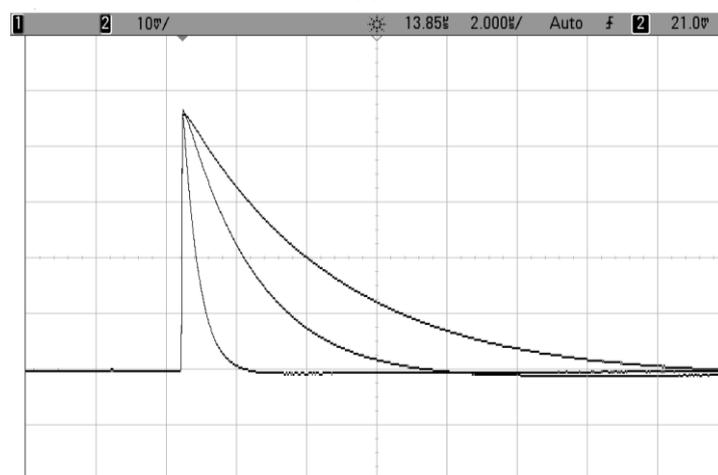
en la sección anterior. El preamplificador *folded-cascode* fue polarizado con 1.1 mA. Se estableció un ratio de 4 a 1 entre la corriente de polarización del transistor de entrada y la corriente de la rama cascode. Por lo tanto, el consumo de corriente en la rama de entrada fue alrededor de 0.9 mA, y para la rama cascode fue de 220 μ A. El consumo de potencia del preamplificador de carga es aproximadamente 1.4 mW incluyendo la corriente de polarización del buffer de salida en clase AB con $I_{buffer} = 50 \mu$ A. El circuito ha sido diseñado de tal forma que el transistor de entrada contribuye en más del 75% al ruido total del preamplificador de carga. El producto ganancia-ancho de banda (*GBW*) para el preamplificador fue de 230 MHz lo que garantiza una respuesta rápida y una ganancia en lazo abierto de 51 dB.

La Figura 5.9 muestra la medida experimental de la señal de salida del preamplificador para una capacidad del detector de 10 pF y una energía de entrada de 1 MeV. La ganancia de 1 V/pC ($1/C_F$) proporciona una amplitud de señal de unos 45 mV. El tiempo de subida (del 10% al 90% de la amplitud) es 40 ns y el tiempo de descarga del preamplificador es de 7.5 μ s. Nótese que el tiempo de decaimiento puede ajustarse cambiando la tensión de polarización de puerta del dispositivo de *reset*, que permite cumplir con diferentes especificaciones de velocidad.

Con respecto a la sección del shaper, los principales parámetros se deben establecer según el tiempo de pico y el rango dinámico. La Tabla 5.1 muestra las características nominales del funcionamiento del shaper.



(a)



(b)

Figura 5.9 Señal de salida del preamplificador de carga medida para una entrada de energía de 1 MeV. (a) Zoom al tiempo de subida. (b) Capacidad de ajuste de la resistencia activa de realimentación.

Amplif. espejo de corriente (Figura 5.4)		Filtro con topología SK (Figura 5.7)	
M ₁ , M ₂	7.5/0.13	R _{1a}	40 kΩ
M _{3a} , M _{3b}	0.8/0.25	R _{2a}	40 kΩ
M ₄	8/0.25	C _{1a}	4.78 pF
M ₅	3.2/0.25	C _{2a}	4.06 pF
M ₆	4/0.13	R _{1b}	40 kΩ
M _{bias}	7.5/0.13	R _{2b}	40 kΩ
M _{RLarge}	0.8/0.8	C _{1b}	5.63 pF
C _{bat}	300 fC	C _{2b}	2.6 pF

Tabla 5.1 Parámetros de diseño para el shaper.

La técnica de incremento de ganancia aplicada al amplificador *current mirror* propuesto (Figura 5.4) y utilizado en el filtro Sallen-Key, incrementa la ganancia en lazo abierto de 28 a 41 dB utilizando un valor de $k = 0.8$ en (5.3). Este valor es mayor que la ganancia mínima exigida de 35 dB determinada por simulaciones previas del filtro RC activo implementado, como fue discutido anteriormente. La corriente de polarización del amplificador *current mirror* es $I_{bias} = 20 \mu\text{A}$. La corriente a través del transistor M_5 se ajusta a $0.4 \cdot I_{bias}$ y el transistor M_4 es diez veces más ancho que M_3 . Así la corriente total es $60 \mu\text{A}$ ($72 \mu\text{W}$). La frecuencia de ganancia unidad de este amplificador es 57 MHz.

Puesto que la sección paso bajo Sallen-Key presenta una ganancia unidad (0 dB) en la banda de paso, una etapa amplificadora no inversora establece la ganancia de toda la sección del shaper en $(1+R_2/R_1) = 10$. La misma topología del amplificador *current mirror* en la Figura 5.4 se ha utilizado para esta etapa no inversora. La disipación total de corriente estática del shaper es sólo $140 \mu\text{A}$ ($168 \mu\text{W}$). Este bajo consumo confirma la idoneidad del amplificador operacional *current mirror* propuesto. El sistema *front-end* completo consume 1.57 mW , 89% de ello asignado al amplificador sensible a la carga.

Para los valores nominales de todos los componentes del sistema *front-end*, el tiempo de pico es de 500 ns. Con el fin de mantener la flexibilidad del sistema, el tiempo de pico puede ser ajustado para implementar tres valores: 250 ns, 500 ns y $1 \mu\text{s}$. La Figura 5.10 muestra la señal de salida del shaper y la programabilidad del tiempo de pico para un pulso de energía de entrada de 3.5 MeV y una capacidad del detector de 10 pF. La amplitud está en torno a los 400 mV, cerca del rango lineal máximo. La capacidad de ajuste del sistema se logra conmutando todas las resistencias pasivas de polisilicio del shaper Sallen-Key y la resistencia R_0 del diferenciador. Puede observarse un pequeño subimpulso

secundario en la respuesta transitoria, que dura aproximadamente 500 ns y está muy por debajo de 5% del valor máximo. Esto se debe a un desajuste entre las resistencias R_F y R_{pzc} . Aunque la amplitud del subimpulso medido es pequeña, la resolución de amplitud podría degradarse limitando la máxima tasa de llegada de pulsos. Podrían aplicarse algunas técnicas para solucionar este problema [Gra97a], [Gra97b], [Gry10].

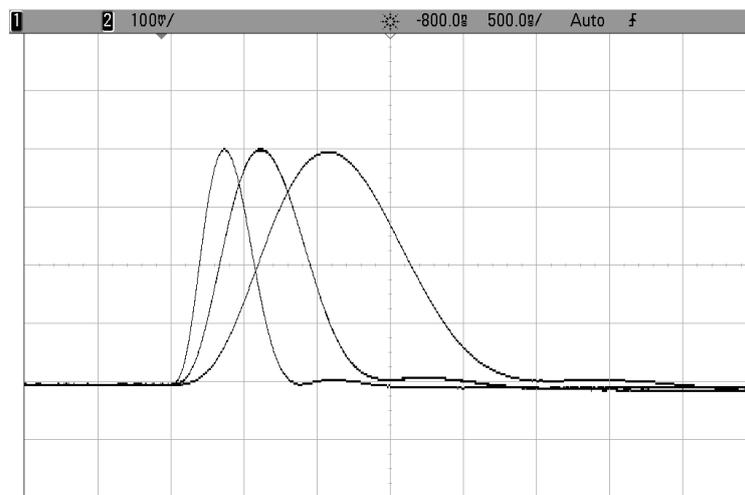


Figura 5.10 Medida de la programabilidad del tiempo de pico del shaper.

La solución propuesta para el diseño del shaper utilizando un amplificador operacional con incremento de ganancia y rango de salida completo permite al sistema aumentar el rango de entrada de energía debido a la ausencia de transistores cascode en la rama de salida. Recordemos que la amplitud de los pulsos de salida del sistema *front-end* es proporcional a la energía depositada en el detector. Sin embargo, el uso de un transistor de entrada PMOS en el preamplificador de carga impone una alta tensión en modo común que podría limitar el rango de salida, por lo que los beneficios mencionados de no usar transistores cascode en el shaper podrían verse afectados. Para evitar esto, se ha incluido una tensión de control $V_{b,cm}$ que se muestra en la Figura 5.5, que ajusta la tensión de modo común del shaper a 400

mV. Este valor permite un rango amplio de energía del sistema *front-end*. La linealidad del sistema se midió utilizando un generador de pulsos calibrado. La respuesta correspondiente a la energía y el rango dinámico se muestran en la Figura 5.11. La amplitud del pico de salida debe ser lineal para un determinado rango de carga en la entrada. Se puede observar que la linealidad se mantiene mejor del 1% hasta 4 MeV. El sistema proporciona una conversión de carga de entrada a tensión de salida de 2.5 mV/fC. El ENC es 201 e⁻ para un detector de 10 pF y la característica del ruido aumenta con una pendiente de 17 e⁻/pF.

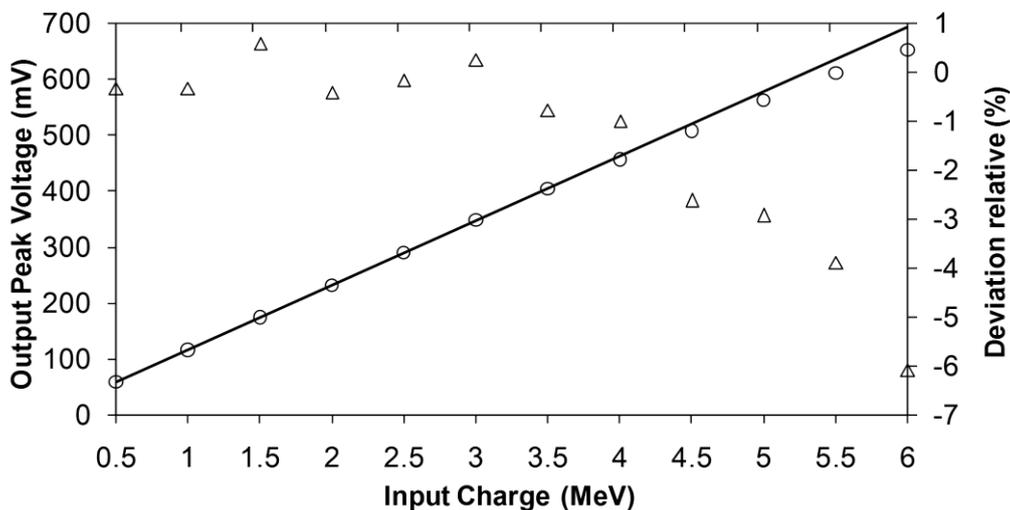


Figura 5.11 Medida de la respuesta de energía y rango dinámico.

5.7 Conclusiones

Un sistema *front-end* de baja tensión y de baja potencia se ha presentado para el uso con detectores de silicio en la construcción del detector HYDE para FAIR. Este trabajo propone nuevas técnicas y arquitecturas de circuito en tecnologías CMOS submicrométricas para lograr alta ganancia y eficiencia en corriente dentro de las restricciones en operación a baja tensión. Mediante la selección apropiada de la topología, la sección del shaper permite el uso de amplificadores de una sola etapa con rango de salida completo. Una técnica de

incremento de ganancia ha sido adoptada en un amplificador *current mirror* para superar su baja ganancia. Esta técnica evita el uso de transistores cascode aumentando el rango dinámico de salida. Además, se ha utilizado una etapa de salida en clase AB de alta eficiencia en corriente. El incremento de ganancia y el comportamiento en clase AB se logran sin consumo de potencia extra. La flexibilidad del diseño permite ajustar el tiempo de decaimiento del preamplificador de carga y el tiempo de pico del shaper. Los resultados experimentales han sido obtenidos con un chip fabricado en una tecnología CMOS de 130 nm.

Capítulo 6

Sistema front-end basado en las técnicas de incremento de ganancia super-cascodo y FVF folded-cascodo en tecnología de 90 nm

6.1 Introducción.

Este capítulo propone nuevas topologías para lograr alta ganancia en un entorno de baja tensión. Una comparación de topologías de amplificadores operacionales en procesos estándar CMOS de 130 nm, 90 nm y 65 nm muestra las limitaciones de las soluciones convencionales. Se aborda el diseño usando transistores con longitud de canal de no más del doble del tamaño mínimo de cada proceso y con una tensión de alimentación tan baja como 1.2 V. Un sistema *front-end* se ha fabricado en un proceso CMOS de 90 nm incluyendo novedosas técnicas basadas en circuitos con transistores cascodo regulados. El canal analógico de acondicionamiento de señal se ha optimizado para que se acople a

un detector con una capacidad de 5 pF y exhibe un buen funcionamiento en términos de ganancia, velocidad, linealidad y consumo de potencia.

La tendencia en los sistemas analógicos *front-end* está impulsada por la reducción en el tamaño del transistor. Las investigaciones sugieren que las tecnologías por encima de los 130 nm son adecuadas en términos de ruido [Sol12], [Gus12], [Gom13] mientras que las tecnologías por debajo de 100 nm están siendo evaluadas [Rat09], [Kap12]. En los próximos años, nuevas técnicas de circuito van a ser requeridas para bajo consumo de potencia, baja tensión, bajo ruido, alta velocidad y alta linealidad. Algunos de estos requisitos son contradictorios en diseño analógico, y por lo tanto, deben dedicarse grandes esfuerzos.

En este capítulo se examinan algunas topologías convencionales de amplificadores operacionales adecuadas para circuitos analógicos con tensiones de alimentación muy bajas y con rango de la señal de salida completo o casi completo. En este trabajo se utiliza un novedoso esquema de incremento de ganancia en sistemas *front-end* y se evalúa su utilización en una tecnología CMOS por debajo de los 100 nm. Además, se proponen técnicas y arquitecturas novedosas para lograr alta ganancia con la restricción de operación de baja tensión y la utilización de dispositivos con longitudes de canal cercanas a la mínima. El canal *front-end* ha sido diseñado para espectroscopia nuclear con una capacidad de detector de hasta 5 pF y un rango de energía de varios MeV. El capítulo también incluye un Anexo que describe en detalle el circuito de incremento de ganancia propuesto.

6.2 Comparación entre topologías de amplificadores operacionales convencionales en tecnologías CMOS modernas

El bloque más importante en sistemas *front-end* para detectores semiconductores en aplicaciones de física nuclear es el amplificador operacional, que por otro lado, es el bloque que más energía consume. Tanto los amplificadores sensibles a la carga (preamplificadores) como los shapers se basan en amplificadores operacionales. Para los preamplificadores, la topología *folded-cascode* ha ido ganando preferencia sobre la topología telescópica a pesar del mayor consumo de potencia. Además, una elección óptima del transistor de entrada se ha vuelto crucial para un ruido más bajo, una mayor transconductancia, polos no dominantes a frecuencias más altas y menor consumo de potencia. La optimización del circuito para elevada velocidad de respuesta (alto producto ganancia-ancho de banda y etapas de un solo polo) y exactitud (alta ganancia en lazo abierto) conduce a exigencias contradictorias. La alta frecuencia de ganancia unidad conduce a una topología de una sola etapa con transistores de canal corto polarizados con altos niveles de corriente, mientras que la alta ganancia en lazo abierto conduce a diseños multietapas con transistores de canal largo polarizados con niveles bajos de corriente.

Las técnicas convencionales para obtener amplificadores operacionales con alta ganancia, y que ya fueron descritas con detalle en el capítulo 2, son las siguientes:

- 1) *Escalado de las longitudes de los dispositivos, $L=N \cdot L_{min}$.*
- 2) *Cascada de N etapas de una sola ganancia, $A_{ol}=(A_{CSmin})^N$.*

- 3) Uso de una sola etapa de ganancia con transistores cascode para incrementar la resistencia de salida y la ganancia.
- 4) Uso de etapas de ganancia con transistores cascode regulados.
- 5) Realimentación positiva.
- 6) Seguidores de tensión con transconductancia incrementada (también conocidos como *super followers* [Gra09] o *folded flipped voltage followers* [Ram05]).

A continuación, se muestra el funcionamiento en términos de ganancia de los amplificadores operacionales más comunes. Las Figura 6.1(a), (b) y (c) muestran amplificadores operacionales con topología telescópico convencional, espejo de corriente (*current mirror*) y *folded-cascode*, respectivamente. Estos amplificadores también se conocen como OTAs (*Operational Transconductance Amplifiers*) o amplificadores operacionales de una sola etapa, debido a su gran resistencia de salida. Estas topologías obtienen ganancia mediante la utilización de transistores cascode (tercera técnica mencionada previamente) para aumentar la resistencia de salida a un valor:

$$R_{out} = r_o g_m r_o / 2 \quad (6.1)$$

donde r_o y g_m corresponden a la resistencia de salida y la ganancia de transconductancia del transistor MOS (g_m y r_o se asumen igual para todos los transistores por simplicidad en la comparativa). La ganancia en lazo abierto de estos tres circuitos está dada por:

$$A_{ol} = g_m R_{out} = (g_m r_o)^2 / 2 \quad (6.2)$$

y su producto ganancia-ancho de banda viene dado por:

$$GBW = g_m / (2\pi C_L) \quad (6.3)$$

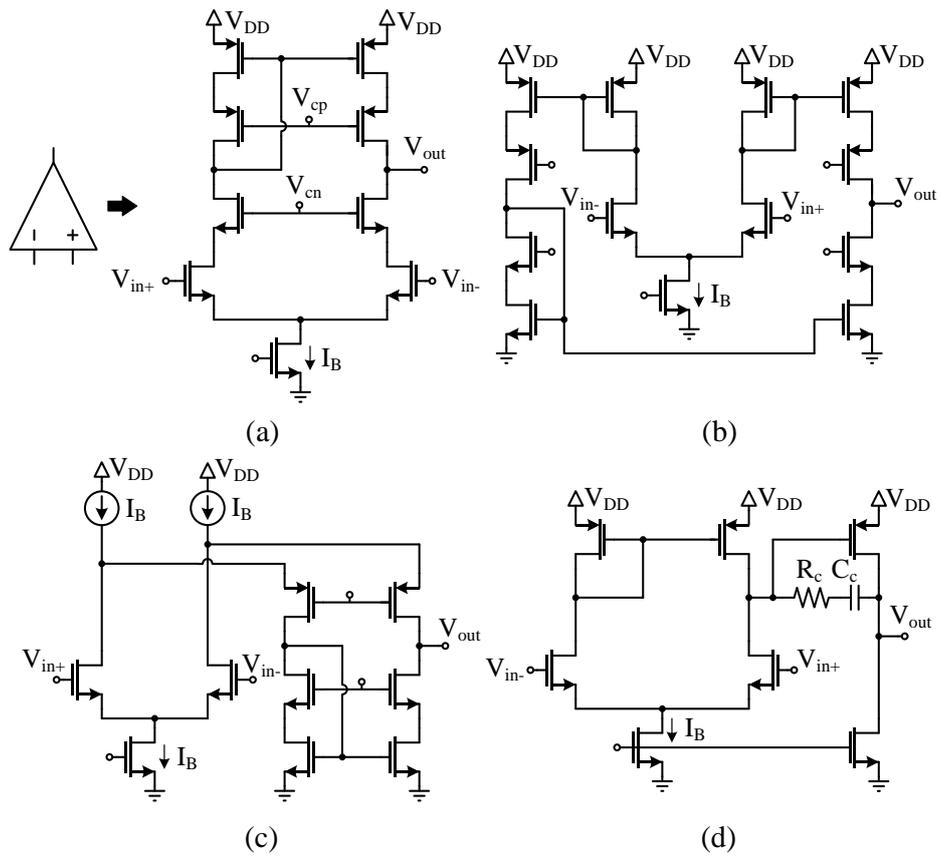


Figura 6.1 Amplificadores operacionales convencionales: (a) telescópico (b) espejo de corriente (*current mirror*) (c) folded-cascodo (d) dos etapas (Miller).

El amplificador operacional Miller (o de dos etapas) (Figura 6.1(d)) logra una ganancia en lazo abierto similar:

$$A_{ol} = (g_m r_o / 2)^2 \tag{6.4}$$

mediante la colocación en cascada de dos etapas de ganancia (segunda técnica mencionada) cada una con ganancia $A_{I,II} = g_m r_o / 2$. Su producto ganancia-ancho de banda también es similar y viene dado por:

$$GBW = g_m / (2\pi C_c) \tag{6.5}$$

donde C_c es la compensación o capacidad Miller. El amplificador operacional Miller de la Figura 6.1(d) tiene un gran rango de la señal de salida debido a la ausencia de transistores cascode en la etapa de salida mientras que

todos los amplificadores de una etapa de las Figura 6.1(a), (b) y (c) tienen un rango de la señal de salida muy limitado en tecnologías nanométricas.

La Figura 6.2 muestra amplificadores operacionales que combinan varias técnicas de incremento de ganancia: en el amplificador operacional telescópico de la Figura 6.2(a) se utilizan transistores cascode regulados para aumentar la resistencia de salida (y la ganancia) en un factor $A_i/2$. En la Figura 6.2(b) un amplificador operacional Miller con transistores cascode en la rama de salida tiene una etapa de entrada telescópica (la compensación Miller no se muestra). Este circuito tiene por tanto transistores cascode en ambas etapas, que consiguen aumentar la ganancia en un factor $(A_i/2)^2$. La Figura 6.2(c) es un amplificador operacional de espejo de corriente (*current mirror*) con etapa de salida con transistores cascode regulados que aumenta la ganancia en un factor $A_i/2$. Todos los amplificadores de la Figura 6.2 tienen muy limitado el rango de la señal de salida debido al uso de transistores cascode en la rama de salida y están sujetos a una significativa degradación de la ganancia si se utilizan cargas resistivas. La implementación de realimentación local mediante amplificadores auxiliares que aplican la técnica de transistores cascode regulados usando etapas en configuración de fuente común, también requiere tensiones de alimentación relativamente grandes.

La Tabla 6.1 muestra una comparación de las ganancias en lazo abierto y GBWs de los amplificadores operacionales convencionales de la Figura 6.1 y de los que tienen aplicadas técnicas de incremento de ganancia de la Figura 6.2 en tecnologías de 65 nm, 90 nm y 130 nm con longitudes de transistor mínimas. Las comparaciones se han realizado para similares capacidades de carga ($C_L = 1$ pF), capacidades de compensación ($C_c = 1$ pF), corrientes de polarización $I_b = 400$ μ A y $V_{GS} - V_{TH} = 100$ mV. Los márgenes de fase fueron similares, del orden de 90°.

Se puede observar que en las arquitecturas convencionales de la Figura 6.1 las ganancias en lazo abierto se sitúan en el rango de 29.3 dB a 33.7 dB en tecnología de 130 nm, y de 10.3 dB a 17.3 dB en la tecnología de 65 nm. Además, puede observarse degradación del GBW en la tecnología de 65 nm. Esto se puede atribuir a los efectos de la saturación de la transconductancia g_m [Pek04].

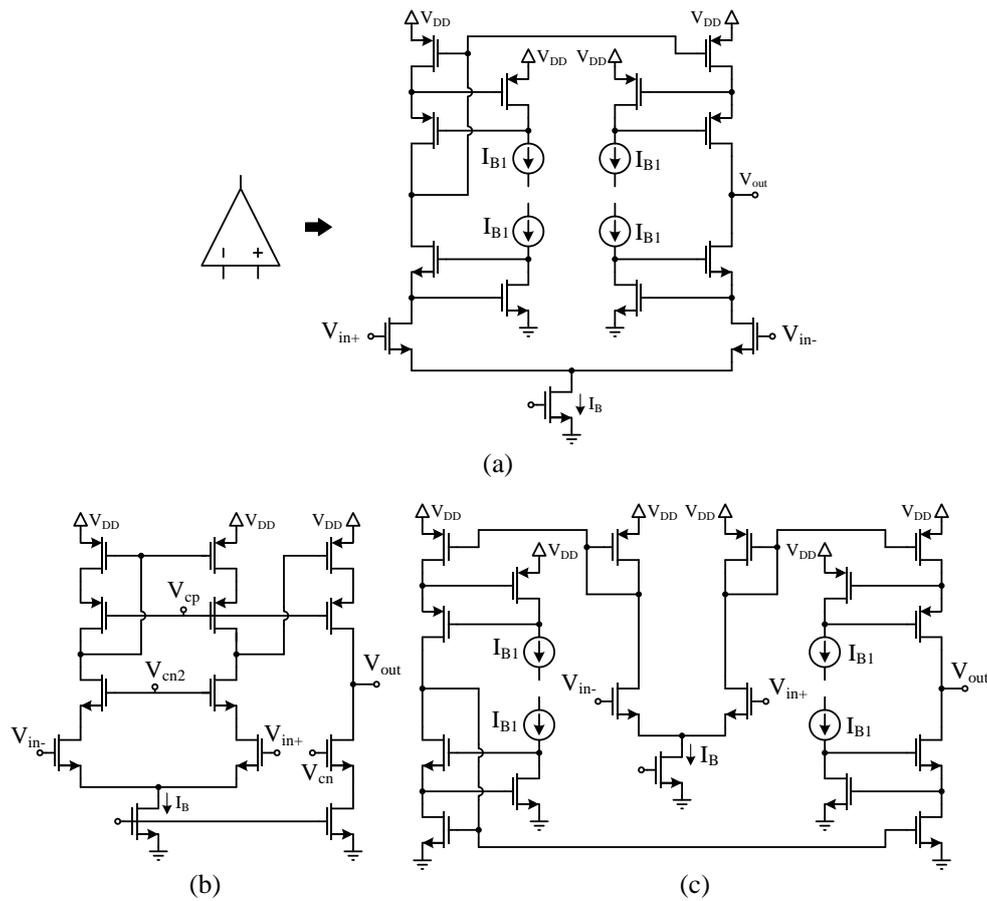


Figura 6.2 Amplificadores operacionales con ganancia aumentada: (a) telescópico con transistores cascode regulados (b) de dos etapas, ambos con cascodos (c) de una etapa (de espejo de corriente) con etapa de salida usando transistores cascode regulados.

Por otro lado, puede verse que para los amplificadores operacionales con ganancia aumentada de la Figura 6.2 la ganancia en lazo abierto no es esencialmente superior. Tiene valores de 44.5 dB a 63.5 dB en tecnología CMOS de 130 nm y valores aún más bajos de 23 dB a 29 dB en la de 65 nm. Los valores de GBW son similares para los amplificadores operacionales de la Figura 6.1 y

la Figura 6.2. Por tanto, se puede observar que las técnicas convencionales de incremento de ganancia, además de reducir el rango de la señal de salida y aumentar los requisitos de la tensión de alimentación, no incrementan significativamente la ganancia en lazo abierto.

Tecnología	130 nm		90 nm		65 nm	
	Ganancia (dB)	GBW (MHz)	Ganancia (dB)	GBW (MHz)	Ganancia (dB)	GBW (MHz)
Arquitectura						
<i>Cascodo folded</i>	29.3	306	19.2	221	10.3	125
<i>Telescopico</i>	30.8	322	24.8	286	13.4	148
<i>Miller de dos etapas</i>	33.5	280	28.1	232	17.3	133
<i>Espejo de corriente</i>	33.7	268	24.15	217	13.3	87
<i>Telescópico con cascodo regulado GB</i>	44.5	342.3	38.3	309	23	165
<i>De una etapa con salida cascodo regulado</i>	53.1	284	40.5	234	25.8	95.2
<i>Completamente cascodado de dos etapas</i>	63.5	372	43.9	254	29	127.3

Tabla 6.1 Comparación de la ganancia en lazo abierto y GBW de amplificadores operacionales de la Figura 6.1 y la Figura 6.2 en tecnologías CMOS de 65 nm, 90 nm y 130 nm con transistores de longitud mínima

La Tabla 6.2 muestra una comparación de las ganancias en lazo abierto de los amplificadores operacionales de la Figura 6.1 en tecnologías de 90 nm y 65 nm, pero usando en esta ocasión transistores de longitud $2L_{min}$. Se puede observar que, como era de esperar, escalando longitudes de dispositivo en un factor de dos conduce a un incremento de ganancia (aproximadamente de 13 dB a 20 dB), pero incluso en este caso, la ganancia en lazo abierto es muy baja. Como se indicó anteriormente, el escalado de la longitud del transistor L por un factor N grande puede incrementar la ganancia en el mismo factor pero el área de silicio aumenta en un factor N^2 y el ancho de banda/margen de fase podría

degradarse si se utilizan grandes factores de escala N . Si se colocan en cascada más de dos etapas de ganancia, se requiere compensación de mayor complejidad y sólo conduce a un aumento modesto de la ganancia en tecnologías de nanométricas.

Tecnología	90 nm		65 nm	
	Ganancia (dB)	GBW (MHz)	Ganancia (dB)	GBW (MHz)
<i>cascodo folded</i>	35.1	374	24	250
<i>telescopico</i>	41.2	387	29.6	300
<i>Miller de dos etapas</i>	47.7	359	36.7	339

Tabla 6.2 Comparación de la ganancia en lazo abierto y GBW de amplificadores operacionales de la Figura 6.1 para dispositivos de longitud $2L_{\min}$ en 65 nm y 90 nm.

En la siguiente sección se describen dos métodos simples y eficaces para aumentar la ganancia. No afectan al rango dinámico de la salida, ni al margen de fase, ni conducen a mayores necesidades de potencia, área o alimentación. Los circuitos de incremento de ganancia han sido aplicados para implementar los bloques básicos de un canal de adquisición de datos *front-end*.

6.3 Arquitectura del canal front-end usando amplificadores operacionales con incremento de ganancia

La Figura 6.3 muestra el canal *front-end* diseñado. La primera etapa consiste en un amplificador sensible a la carga basado en una topología *folded-cascade* de una sola etapa que es adecuada para alta frecuencia en tecnologías modernas ya que se utiliza un esquema de aumento de ganancia en DC. La sencillez de este preamplificador se basa en el uso de un circuito cascodo regulado que alcanza una impedancia de salida muy alta (y una ganancia en lazo abierto alta) en un entorno de baja tensión. El circuito de aumento de

ganancia se basa en un transistor cascodo con propiedades mejoradas [Tor02a]. La puerta del transistor cascodo M_2 (M_3) es cargada por el drenador de M_5 (M_{11}). Una etapa intermedia inversora formada por M_6 (M_{12}) y la corriente de polarización I_{B1} es necesaria para lograr la polaridad adecuada. La ganancia del preamplificador en lazo abierto viene dada aproximadamente por:

$$A_V \approx g_{mi} [(g_{m2} \cdot r_{o2} \cdot r_{o1} \cdot A_{GB}) \parallel (g_{m3} \cdot r_{o3} \cdot r_{o4} \cdot A_{GB})] \quad (6.6)$$

donde A_{GB} es la ganancia del circuito de incremento de ganancia o amplificador auxiliar que viene dada por $A_{GB} \approx g_{m5} \cdot r_{o5} \cdot g_{m6} \cdot r_{o6}$.

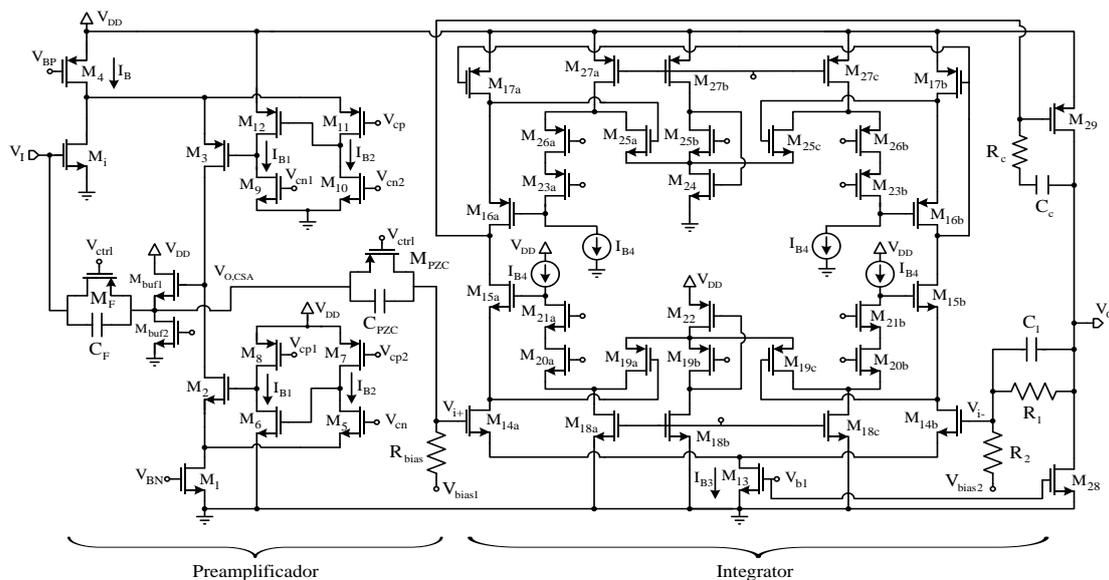


Figura 6.3 Diagrama esquemático del canal front-end que comprende el preamplificador y el integrador (shaper).

El esquema de incremento de ganancia introduce un lazo de realimentación local en el sistema y la estabilidad debe estar asegurada separando los dos polos asociados a los drenadores de M_5 (M_{11}) y M_6 (M_{12}). Para alcanzar la estabilidad, la opción elegida ha sido utilizar longitudes de transistor no mínimas para M_5 y M_7 y seleccionar un valor relativamente bajo de I_{B2} ; y utilizar longitudes de canal mínimas para M_6 y M_8 y un valor

relativamente alto de I_{B1} comparado con I_{B2} . De esta forma, la resistencia equivalente en el drenador de M_5 es muy alta mientras que la resistencia equivalente en el drenador de M_6 se hace lo más baja posible.

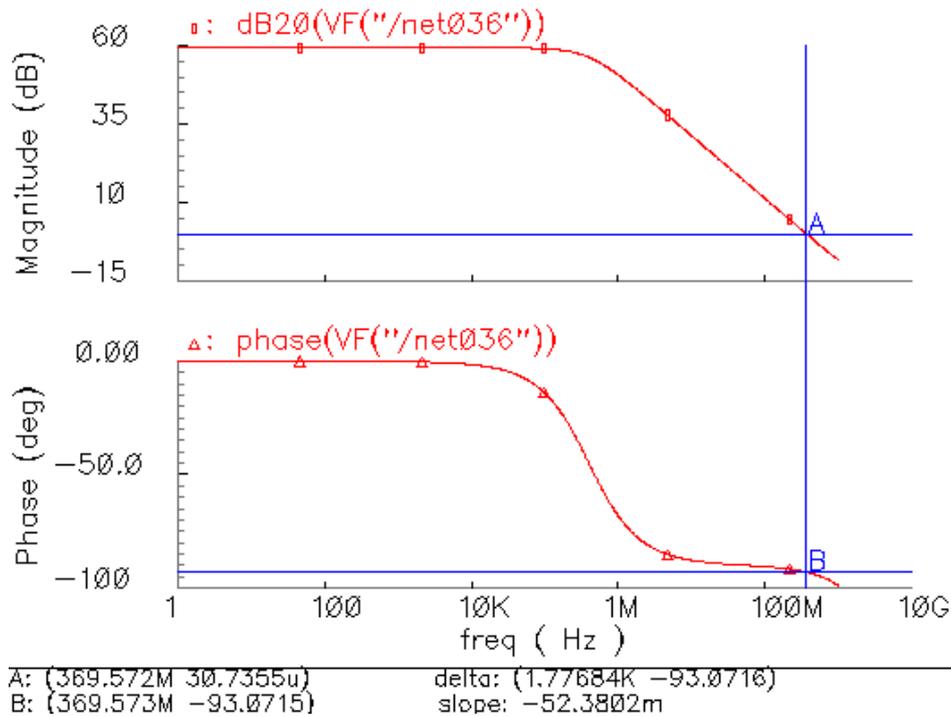


Figura 6.4 Simulación de la respuesta en frecuencia del amplificador sensible a carga.

Se ha utilizado un buffer a la salida del amplificador sensible a la carga formado por un seguidor de fuente M_{buf1} y M_{buf2} . El preamplificador está polarizado con una corriente de 300 μA y la arquitectura de incremento de ganancia proporciona en simulación una ganancia en lazo abierto de 59 dB con un producto ganancia-ancho de banda de 370 MHz (para una capacidad de carga de 1 pF) como se muestra en la Figura 6.4. La rama de salida fue polarizada con 50 μA y el amplificador de realimentación local con $I_{B1}=20 \mu\text{A}$ e $I_{B2}=5 \mu\text{A}$. La red de realimentación incluye un condensador $C_F = 500 \text{ fF}$ para integrar la carga entregada por el detector y una resistencia activa M_F . El preamplificador proporciona una ganancia de carga de aproximadamente 2 mV/fC. La corriente de polarización de entrada se optimizó para una capacidad

del detector de 5 pF. El consumo de corriente total del preamplificador es de 400 μ A (480 μ W).

Se ha utilizado un esquema clásico de cancelación polo-cero formado por C_{PZC} y M_{PZC} para lograr una forma de pulso bien controlada y una línea base estable [Gra97b]. La cancelación efectiva se logra porque el circuito se basa sólo en un buen macheo entre los transistores MOS de realimentación y de compensación. Dado que las puertas y los drenadores de estos dos transistores están unidos y las fuentes están unidas a nodos con la misma tensión en DC, se conserva la linealidad del sistema. La resistencia R_{bias} y la fuente de tensión V_{bias1} establecen el punto de DC de la segunda etapa del canal *front-end*. Los valores se han fijado en $C_{PZC} = 2.5$ pF y $R_{bias} = 20$ k Ω .

La segunda etapa del canal *front-end* es el circuito shaper funcionando como amplificador e integrador en una configuración no inversora y con realimentación resistiva y capacitiva (R_1 y C_1). La ganancia en DC viene dada por la relación R_1/R_2 , y las tensiones V_{bias1} y V_{bias2} ajustan la tensión de modo común. El shaper de tipo CR-RC proporciona un pulso de salida unipolar semi-gaussiano. La topología propuesta para implementar el integrador es un amplificador operacional de dos etapas: etapa de entrada telescópica (M_{14} , M_{15} , M_{16} y M_{17}) utilizando transistores cascode regulados y etapa de salida en fuente común (M_{28} y M_{29}) sin cascos. La red formada por el condensador C_c y la resistencia R_c proporciona la compensación en frecuencia y mantiene un margen de fase seguro. Los amplificadores auxiliares que regulan los cascos se basan en amplificadores diferenciales con incremento de ganancia para elevar aún más la ganancia, y su implementación se realiza utilizando un novedoso esquema formado por los transistores M_{18} , M_{19} , M_{20} y M_{21} asociados al transistor cascode M_{15} (sus homólogos M_{23} , M_{25} , M_{26} y M_{27} aplicados al cascode

M_{16}). Dado que estos amplificadores que regulan los transistores cascodo son lazos de realimentación local que operan en nodos internos de reducido rango de señal, la mejora en ganancia se logra sin degradación del margen de fase o del rango dinámico. Los requisitos de tensión de alimentación, área de silicio, disipación de potencia y GBW de estos amplificadores auxiliares de la Figura 6.3 son casi los mismos que para el amplificador Miller convencional de la Figura 6.1(d).

Los amplificadores auxiliares constan de un amplificador *folded-cascode* donde el transistor de entrada $M_{19a,c}$ ($M_{25a,c}$) es un amplificador en fuente común con su fuente conectada a un nodo de muy baja impedancia que actúa como tierra virtual, ya que la tensión en este nodo está fijada a un valor constante mediante los transistores M_{18b} , M_{19b} y M_{22} (M_{24} , M_{25b} y M_{27b}). Para alcanzar alta ganancia con los requisitos de baja tensión de alimentación, los amplificadores auxiliares utilizan tres transistores cascodo y una arquitectura *folded*. Las fuentes de polarización (I_{B4} en la Figura 6.3) se implementan como fuentes de corriente cascodo dobles. La ganancia de los amplificadores auxiliares viene dada por $A_{aux}=(g_m r_o/2)^3$.

Por lo tanto, la topología propuesta para el integrador del sistema *front-end* permite alcanzar una ganancia en lazo abierto muy alta debido a la etapa de entrada telescópica con un circuito cascodo regulado novedoso, y además tiene un rango completo (*rail to rail*) de la señal de salida gracias a la etapa de salida en fuente común formada por M_{28} y M_{29} . La ganancia en lazo abierto total del amplificador operacional diseñado viene dada por $A_{ol}=(g_m r_o/2)^6$. Más detalles se proporcionan en el Apéndice de este capítulo. El amplio rango dinámico de salida para el integrador o shaper es obligatorio en entornos de baja tensión para aumentar el rango de energía en la entrada que es capaz de procesar de

forma adecuada el canal *front-end*, y por lo tanto, aumentar la linealidad del sistema completo. Las dimensiones W de todos los transistores y las corrientes de polarización en los amplificadores auxiliares fueron escaladas resultando un área de silicio adicional muy pequeña y una disipación de potencia insignificante.

Con el fin de reducir errores de desapareamiento se usaron longitudes de dispositivo de al menos $2L_{min}$ para el diseño práctico en algunos espejos de corriente. Los resultados de las simulaciones muestran una ganancia de 77 dB y un producto ganancia-ancho de banda de 210 MHz para una capacidad de carga de 1 pF. La ganancia del pulso de esta segunda etapa es alrededor de 3 V/V. El rango de señal completo a la salida proporciona una linealidad razonable sobre un rango dinámico de 700 mV para una tensión de alimentación de tan sólo 1.2 V. El circuito shaper se polariza con una corriente $I_{B3} = 125 \mu\text{A}$; la rama de salida se lleva la mitad de esta corriente y cada esquema de incremento de ganancia se polariza con $I_{B4} = 6 \mu\text{A}$, resultando en un consumo total de corriente de 230 μA . Por lo tanto, la disipación total de corriente del sistema *front-end* completo es alrededor de 630 μA (750 μW).

6.4 Resultados Experimentales

El canal *front-end* ha sido fabricado en una tecnología CMOS de 90 nm. La configuración no inversora convencional para el integrador de primer orden proporciona un pulso de salida semi-gaussiano con poca simetría como es de esperar. Cada etapa puede medirse de forma independiente ya que las salidas del preamplificador y del shaper se han conectado directamente a *pads* independientes del chip. El sistema de test incluye buffers de tensión dentro del chip para medir estas salidas, evitando cargar cada etapa con la capacidad del

pad. Resistencias de polisilicio de alta resistividad fueron utilizadas en la etapa del integrador.

En un preamplificador bien diseñado, la mayor contribución de ruido proviene del transistor de entrada. La contribución de ruido térmico es proporcional a la capacidad de entrada e inversamente proporcional a la raíz cuadrada de la transconductancia del transistor de entrada y del tiempo de pico del shaper como se indicó en la ecuación (3.3). El aporte de ruido flicker es inversamente proporcional al área de puerta del transistor de entrada, fuertemente dependiente del proceso tecnológico e independiente del tiempo de pico (ecuación (3.4)). El preamplificador fue diseñado con un transistor de entrada nMOS de dimensiones $30 \mu\text{m} / 0.1 \mu\text{m}$ polarizado con $250 \mu\text{A}$, dando como resultado una transconductancia de 6.4 mS . La optimización de ruido se completó mediante la reducción de la contribución relativa a los transistores utilizados en las fuentes de corriente de polarización. La contribución de los transistores cascodo puede ser despreciada. Las relaciones de aspecto para el resto de los transistores son: $2/0.2$ (M_1), $1/0.1$ (M_2), $1.5/0.1$ (M_3), $8/0.2$ (M_4), $0.12/0.2$ (M_5), $0.12/0.1$ (M_6), $0.4/0.4$ (M_7), $0.6/0.1$ (M_8), $0.18/0.1$ (M_9), $0.12/0.8$ (M_{10}), $0.2/0.2$ (M_{11}), $0.12/0.1$ (M_{12}).

Con respecto a la etapa integradora, las dimensiones de los transistores, los componentes pasivos y las condiciones de polarización se enumeran en la Tabla 6.3.

La Figura 6.5 muestra la respuesta del preamplificador a un pulso de carga de 23 fC (500 keV) para varias condiciones de polarización de M_E , es decir, varias resistencias de realimentación. Obtenemos un valor estimado de $250 \text{ k}\Omega$ y $550 \text{ k}\Omega$ para la resistencia de realimentación midiendo el tiempo de decaimiento.

Etapa Integradora (shaper)		Condiciones de Polarización	
Transistor	W/L ($\mu\text{m}/\mu\text{m}$)		
M13	6/0.2	I _{B3}	125 μA
M14a, M14b	1.7/0.1	I _{B4}	6 μA
M15a, M15b	3/0.1	R _c	3 k Ω
M16a, M16b	3.6/0.1	C _c	1 pF
M17a, M17b	4/0.2	R ₁	5 k Ω
M18a, M18b, M18c	0.7/0.2	R ₂	1 k Ω
M19a, M19b, M19c	0.4/0.1	C ₁	5 pF
M20a, M20b	0.12/0.1		
M21a, M21b	0.25/0.1		
M22	0.7/0.1		
M23a, M23b	0.3/0.1		
M24	0.12/0.1		
M25a, M25b, M25c	0.5/0.1		
M26a, M26b	0.5/0.1		
M27a, M27b, M27c	2.4/0.2		
M28	3/0.2		
M29	4/0.2		

Tabla 6.3 Relaciones de aspecto de los transistores y condiciones de polarización del shaper.



Figura 6.5 Respuesta del preamplificador a un pulso de carga de 500 keV.

La Figura 6.6 muestra la respuesta temporal a la salida del canal analógico para una señal de carga de 135 fC (3 MeV) mostrando una altura de pico justo por encima de 500 mV. El tiempo de pico es aproximadamente 75 ns. La ganancia del canal *front-end* es alrededor de 4 mV/fC y la linealidad del conjunto preamplificador-shaper es menor del 1% para una carga de entrada entre 5 fC y 175 fC (100 keV - 4MeV). La ausencia de transistores cascodo en la rama de salida de la etapa del shaper y el control del voltaje de salida de modo común ha permitido alcanzar un rango dinámico satisfactorio alrededor de 700 mV, lo que supone un valor bastante elevado teniendo en cuenta que la tensión de alimentación es sólo 1.2 V.

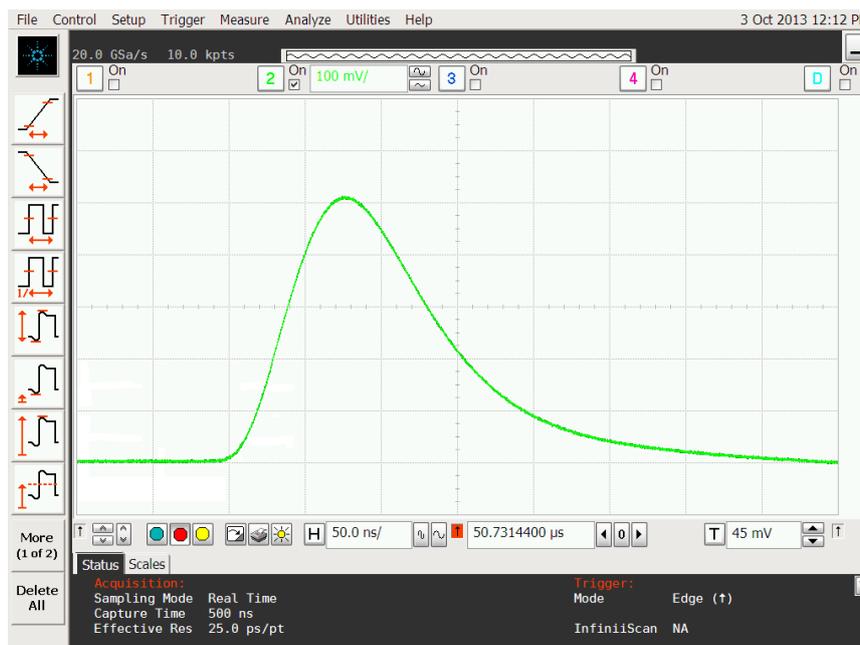


Figura 6.6 Respuesta medida del canal para una señal de carga de entrada de 135 fC.

El sistema *front-end* diseñado ha sido acoplado a un detector de silicio con 5 pF generando un ENC medido de 970 e-. Este valor de ruido es elevado aunque esté por debajo de los 1000 e-. Trabajos anteriores [Rat09], [Kap12] han abordado el excesivo ruido en tecnologías por debajo de los 100 nm confirmando que los transistores MOS deben ser modelados correctamente en

tecnologías nanométricas, y la tecnología debe también proporcionar dispositivos optimizados para diseño analógico en lugar de optimizados únicamente para diseño digital. Una caracterización más detallada del ENC como una función de la capacidad del detector se muestra en la Figura 6.7.

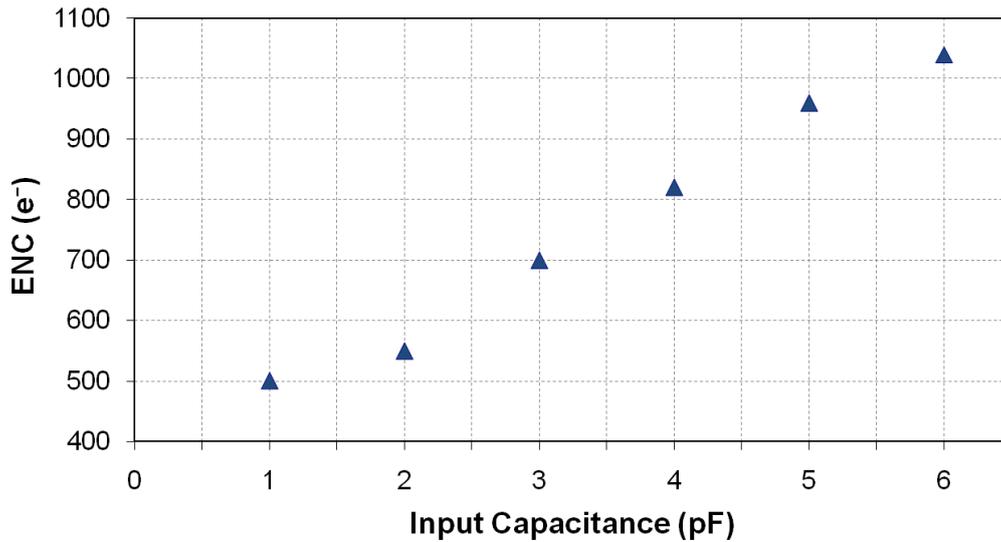


Figura 6.7 ENC en función de la capacidad de entrada.

6.5 Conclusiones

En este capítulo se ha tratado el problema de la baja ganancia intrínseca del transistor y el reducido rango dinámico disponible causado por tensiones de alimentación bajas en el diseño de circuitos analógicos en tecnología CMOS nanométricas. Una revisión de amplificadores operacionales convencionales en uso durante muchos años ha demostrado que para longitudes de canal mínimas todos ellos tienen ganancias en lazo abierto muy bajas: menos de 11 dB en tecnología de 65 nm y 27.7 dB en tecnología de 90 nm. Técnicas comunes para aumentar la ganancia de los amplificadores operacionales han sido discutidas y se ha observado que no logran suficiente ganancia. Además, estas técnicas para

aumentar la ganancia no pueden utilizarse en tecnologías modernas ya que limitan seriamente el rango de la señal de salida.

Se han propuesto dos métodos para aumentar aún más la ganancia sin limitación del rango dinámico en la salida o la utilización de redes complejas de compensación. Ambos se basan en transistores cascodo regulados y han sido utilizados en un preamplificador de carga de topología *folded-cascode* y en un integrador cuya topología es un amplificador operacional Miller de dos etapas con etapa de entrada telescópica. Se observó que estos métodos pueden proporcionar ganancias relativamente altas incluso si se utilizan longitudes de dispositivo mínimas.

Se ha implementado un canal *front-end* de baja potencia que incluye las topologías propuestas. El sistema se ha optimizado para detección de partículas cargadas acoplado a un detector con una capacidad de 5 pF. La implementación en un proceso CMOS de 90 nm demuestra la idoneidad de las técnicas de circuito propuestas para lograr alta ganancia en tecnologías con propiedades analógicas del transistor degradadas y limitaciones de baja tensión. Además, el rango dinámico completo en la salida conduce a una alta linealidad (< 1% hasta 175 fC). El tiempo de pico del shaper es 75 ns y la disipación de potencia es solamente 750 μW /canal. Aunque el ruido está por debajo de 1000 e^- el diseño confirma que en esta tecnología la contribución del ruido es notable, requiriendo transistores optimizados para diseño analógico.

6.6 Apéndice

6.6.1 Amplificadores auxiliares usando topología *folded-cascode* múltiple

El esquema de los amplificadores auxiliares con incremento de ganancia se muestra en la Figura 6.8, y consiste en un amplificador *folded-cascode* con un seguidor de voltaje rotado (FVF, *flipped voltage follower*) [Car05]. Los transistores de entrada M_n (M_p) de los amplificadores auxiliares A_N , A_P son amplificadores en configuración de fuente común con sus fuentes conectadas a nodos de impedancia muy baja A (B) que funcionan como tierra virtual.

Para conseguir alta ganancia con requisitos de baja tensión de alimentación los amplificadores auxiliares utilizan tres transistores cascode y una arquitectura *folded*. Las fuentes de polarización (I_b^* en la Figura 6.8(b)) se implementan como fuentes de corriente cascode doble. Los circuitos que se muestran dentro de los recuadros son seguidores de tensión rotados [Car05] (o seguidores con g_m incrementada). Usan realimentación local para generar nodos de muy baja impedancia A, B necesarios como tierra virtual para los terminales de las fuentes de M_n y M_p . La realimentación negativa en los amplificadores auxiliares establece con precisión las tensiones X, X' a un valor de V_{refX} y los nodos Y, Y' a un valor V_{refY} . En comparación con otros esquemas de aumento de ganancia usando cascos regulados reportados en la literatura [Raz01], [Bul90], [Gul98], el circuito de la Figura 6.8(b) permite definir con precisión y a valores convenientes (que minimizan los requisitos de alimentación) las tensiones en los nodos X, X' e Y, Y'. Debido a la arquitectura *folded* con transistores cascode múltiples, los amplificadores auxiliares tienen requisitos de alimentación bajos, alta ganancia y no afectan al margen de fase o al GBW del amplificador operacional. Su ganancia viene dada por $A_{aux}=(g_m r_o/2)^3$. La ganancia total en lazo abierto del amplificador operacional viene dada por $A_{ol}=(g_m r_o/2)^6$.

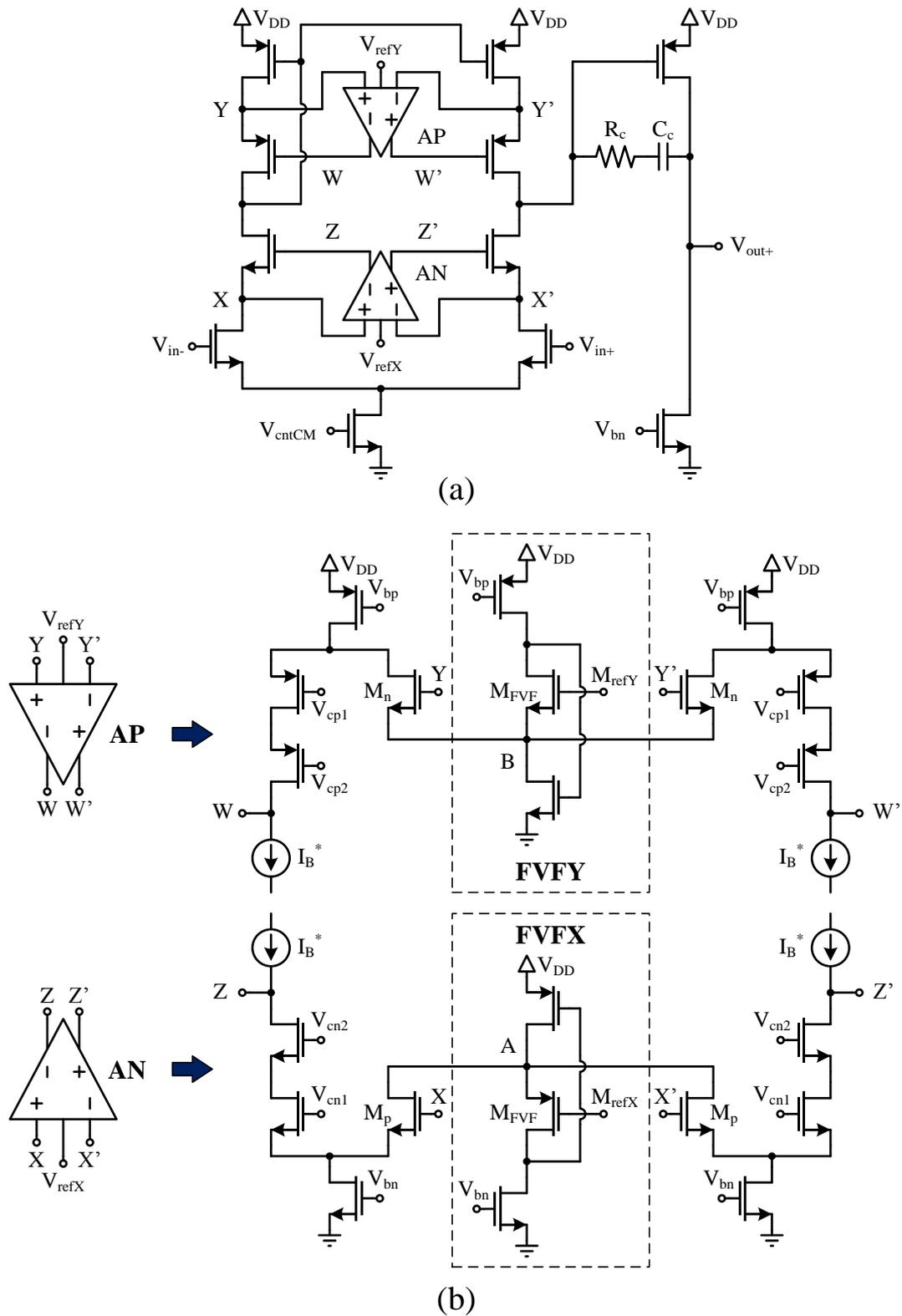


Figura 6.8 (a) Topología del shaper basada en un amplificador operacional de dos etapas Miller con transistores cascode regulados y etapa de entrada telescópica. (b) Implementación de los amplificadores auxiliares con incremento de ganancia mediante etapas de ganancia folded-cascodo múltiples con seguidor de tensión rotado (FVF) para establecer un nodo de referencia de baja impedancia.

La Figura 6.9 compara las respuestas en lazo abierto del circuito de la Figura 6.8(a) usando los amplificadores de realimentación local de la Figura 6.8(b) en una tecnología CMOS de 90 nm, con el mismo circuito pero sin utilizar los amplificadores auxiliares, y también se compara con un amplificador operacional convencional de dos etapas sin transistores cascode en la etapa de entrada. Se obtienen ganancias en lazo abierto con valores de 71 dB, 47.5 dB y 27.6 dB, respectivamente. Las simulaciones se han realizado para los mismos requisitos de diseño en cuanto a producto ganancia-ancho de banda (~ 200 MHz), margen de fase ($\sim 90^\circ$), tensión de alimentación ($V_{DD}=1.2$ V) y disipación de potencia ($160 \mu\text{W}$).

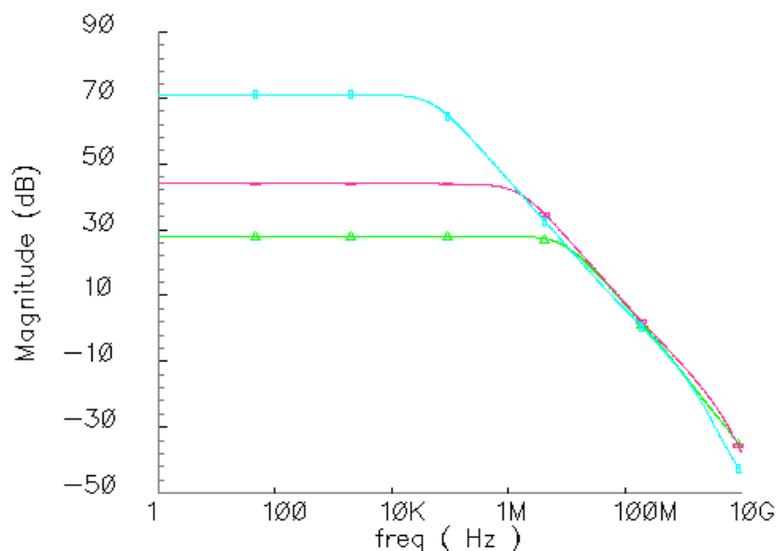


Figura 6.9 Comparación de la ganancia en lazo abierto en tecnología CMOS de 90 nm entre el esquema de la Figura 6.8 con amplificador operacional Miller convencional de dos etapas y con un amplificador operacional Miller de dos etapas pero con etapa de entrada telescópica.

La Tabla 6.4 compara la ganancia de lazo abierto para dos de los casos anteriores utilizando dispositivos de longitud mínima $L=L_{min}$ y dispositivos con longitud $L=2L_{min}$ (en este caso, el ancho de los transistores fue escalado por un factor 2). Como era de esperar, el primer caso se caracteriza por una mayor ganancia (93.6 dB). La etapa de entrada del circuito de la Figura 6.8(a) puede

sustituirse también por un amplificador *folded-cascode* con transistores cascodo regulados.

Technología de 90 nm	L_{\min}	$2L_{\min}$
Arquitectura	Ganancia (dB)	Ganancia (dB)
<i>Amp. Op. de dos etapas con aumento de ganancia usando cascodo regulado basado en FVF</i>	71	93.6
<i>Amp. Op. de dos etapas con etapa de entrada telescópica and cascodo no regulado</i>	47.5	66.5

Tabla 6.4 Comparación de ganancias en lazo abierto de los amplificadores operacionales de la Figura 6.8(b) utilizando transistores con longitud mínima de dispositivo L_{\min} y $2L_{\min}$ en 90nm.

En algunos casos se pueden necesitar pequeños condensadores de compensación en los nodos Z , Z' y W , W' . Dado que la primera etapa tiene transistores cascodo y los lazos de realimentación local tienen una ganancia muy grande, puede utilizarse compensación cascodo para evitar el cero en el semiplano derecho s y la necesidad de la resistencia de compensación de adelanto de fase R_c . La compensación cascodo requiere simplemente conectar el condensador de compensación C_c a los nodos X y X' en lugar de a los drenadores de M_{cn} , M_{cp} .

6.6.2 Modelado de la técnica de cascodo regulado

La Figura 6.10(a) muestra la conocida técnica de cascodo regulado que utiliza un lazo de realimentación local formado por una etapa de ganancia para aumentar la impedancia de salida. Esta técnica se emplea generalmente en topologías de una sola etapa para lograr alta ganancia sin recurrir a soluciones multi-etapas que pueden necesitar compensación. El amplificador auxiliar forma un circuito de realimentación alrededor de transistor M_2 manteniendo constante la tensión en el terminal de fuente.

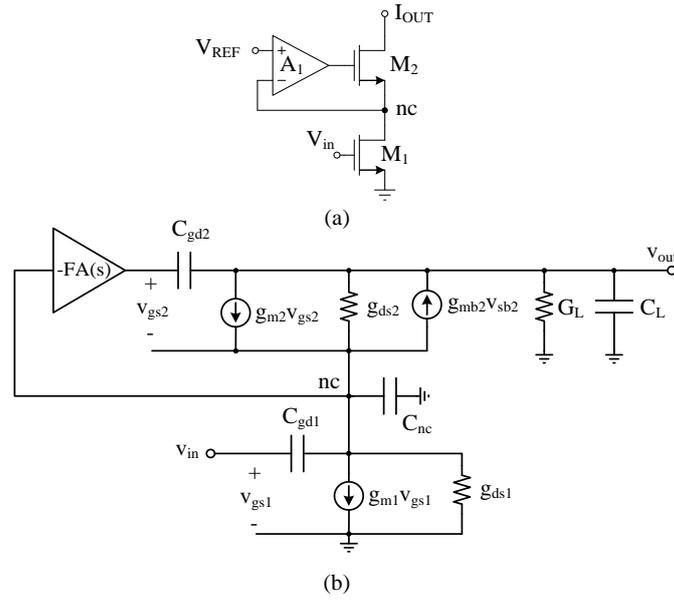


Figura 6.10 (a) Esquema convencional de la técnica de cascode regulado. (b) Modelo en pequeña señal.

La Figura 6.10(b) muestra el circuito equivalente en pequeña señal del esquema de la Figura 6.10(a). Si asumimos que el amplificador de realimentación local se comporta como un amplificador de dos polos, la función de transferencia viene dada por:

$$FA(s) = \frac{A_1}{\left(1 + \frac{s}{P_{F1}}\right)\left(1 + \frac{s}{P_{F2}}\right)} = \frac{A_1}{\left(1 + \frac{A_1 s}{\omega_u}\right)\left(1 + \frac{s}{P_{F2}}\right)} \quad (6.7)$$

donde P_{F1} es el polo dominante, P_{F2} el polo no dominante, A_1 la ganancia en lazo abierto y ω_u el producto ganancia ancho de banda ($A_1 \cdot P_{F1}$). Analizando el modelo de la Figura 6.10(b), la función de transferencia en lazo abierto $A(s)$ viene dada por:

$$A(s) = \frac{V_{out}}{V_{in}} = \frac{g_{m1}[g_{m2}FA(s) + (g_{m2} + g_{ds2} + g_{mb2})]}{\left(\begin{aligned} &C_{nc}C_Ls^2 + g_{m2}(G_L + C_Ls)FA(s) + \\ &(g_{ds1} + g_{ds2} + g_{mb2} + g_{m2})C_Ls + (g_{ds2} + G_L)C_{ns}s + \\ &g_{ds1}g_{ds2} + (g_{ds1} + g_{ds2} + g_{mb2} + g_{m2})G_L \end{aligned} \right)} \quad (6.8)$$

donde g_{mX} es la ganancia de transconductancia en pequeña señal, g_{dsX} la conductancia de salida en pequeña señal y g_{mbX} la transconductancia del sustrato ($\partial I_D / \partial V_{BS}$) del transistor M_X . C_{nc} y C_L son las capacidades en los nodos nc y en el nodo de salida, respectivamente, mientras que G_L es la conductancia de salida de la fuente de corriente I_B .

Debido a que $FA(s)$ es una función de transferencia de dos polos, $A(s)$ tiene dos ceros y cuatro polos según la ecuación anterior. La capacidad C_{GD1} crea un cero en el semiplano derecho dado por g_{m1}/C_{GD1} mientras que C_{GD2} crea un cero en el semiplano izquierdo. Ambos ceros se encuentran a muy alta frecuencia y pueden ser despreciados.

Para un valor bajo de ω_u hay dos polos individuales (P_1 y P_3) y dos *doublets*, es decir, dos polos y ceros estrechamente espaciados (Z_1-P_2 y Z_2-P_4) en la función de transferencia. El polo dominante viene dado por

$$P_1 = \frac{g_{ds1}g_{ds2}}{A_1g_{m1}g_{m2}C_L} \quad (6.9)$$

A bajas frecuencias, el *doublet* Z_1-P_2 se encuentra cerca de ω_u , el *doublet* Z_2-P_4 está cerca de P_{F2} y un polo de alta frecuencia P_3 está cerca del segundo polo del amplificador principal. De hecho, P_3 es igual al segundo polo del amplificador principal asociado al nudo nc cuando ω_u es baja. El polo en el nudo nc viene dado por

$$P_{nc} = \frac{g_{m2} + g_{mb2}}{C_{nc}} = \frac{g_{m2}(1 + \eta)}{C_{nc}} \quad (6.10)$$

donde $\eta = g_{mb2}/g_{m2}$. Aumentando ω_u , el doblete situado a baja frecuencia es desplazado a mayores frecuencias hasta combinarse con P_3 formando un polo

complejo conjugado. Sin embargo, antes de esta situación el doblete se cancela en dos puntos dados por las siguientes frecuencias:

$$\omega_{D1} = \frac{g_{ds2}(1+\eta)}{C_L} \quad \text{and} \quad \omega_{D2} = \frac{g_{ds1}(1+\eta)}{C_{nc}} \quad (6.11)$$

Es difícil ajustar la frecuencia ω_u a estos valores particulares ω_{D1} y ω_{D2} , ya que la conductancia g_{ds} de un transistor MOS está sujeta a cambios importantes. Si seguimos aumentando ω_u , el doblete es reemplazado por un polo complejo conjugado, y este punto es un valor óptimo para ω_u . Si aumentamos aún más ω_u , el polo complejo conjugado creado y el doblete que Z_2-P_4 se desplazan al semiplano derecho haciendo inestable el amplificador.

La Figura 6.11 muestra el diagrama de Bode de la ganancia de un amplificador convencional sin técnica de aumento de ganancia (A_{OPAMP}), del amplificador de realimentación local auxiliar (A_{SC}) y del amplificador completo usando la técnica de cascode regulado (A_{TOT}).

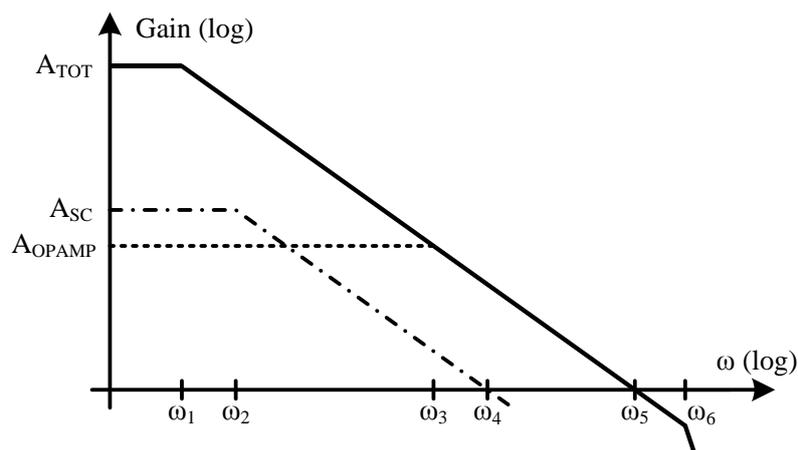


Figura 6.11 Respuesta en magnitud del amplificador convencional sin técnica de aumento de ganancia, del amplificador local auxiliar y del amplificador completo con ganancia aumentada.

Se demuestra que el amplificador auxiliar no necesita ser rápido con respecto a la frecuencia de ganancia unitaria del diseño global, pero la frecuencia de ganancia unitaria del amplificador auxiliar de realimentación local tiene que ser mayor que el ancho de banda de 3 dB (ω_B) del amplificador original. Además, como la etapa de cascodo regulado introduce un lazo cerrado en el sistema pueden ocurrir problemas de estabilidad si esta etapa es muy rápida; así que fijamos la frecuencia de ganancia de unidad del cascodo mejorado adicional (ω_u) por debajo de la frecuencia del segundo polo del amplificador operacional (ω_6). Así, $\omega_B < \omega_u < \omega_6$.

Capítulo 7

Conclusiones y líneas futuras de investigación

7.1 Conclusiones.

En este apartado se repasan los resultados más significativos obtenidos a lo largo de esta tesis. Este trabajo pretende ser un punto de partida en el diseño microelectrónico de los bloques analógicos que forman la interfaz de acondicionamiento de sistemas de detección de partículas cargadas en aplicaciones de física nuclear.

Prácticamente todo el trabajo realizado se ha basado en aplicar técnicas de incremento de ganancia al diseño de sistemas *front-end*, y más específicamente al diseño de amplificadores sensibles a la carga y shapers. El interés de las técnicas de incremento de ganancia está suscitado por la degradación de la

ganancia intrínseca de los transistores en tecnologías CMOS submicrométricas. La aplicación de estas técnicas debe ser compatible con la baja tensión de alimentación y el bajo consumo de potencia impuestos por el creciente factor de integración de los sistemas *front-end*. Todos los circuitos propuestos han sido fabricados y medidos experimentalmente.

En el capítulo 3 se ha presentado la técnica de cascode regulado para incrementar la ganancia de los elementos activos del sistema *front-end* usando como amplificador auxiliar una etapa en fuente común. También se utiliza la topología de filtros *Gm-C* para la implementación de un shaper semi-gaussiano empleando como transconductor un par diferencial con degeneración resistiva en el terminal de fuente. La programación de los principales parámetros del sistema se alcanza mediante sintonía discreta realizando la conmutación de resistencias pasivas de polisilicio.

En el capítulo 4 se presenta la misma arquitectura a nivel de sistema que en capítulo anterior, pero como amplificador auxiliar de la técnica de cascode regulado se utiliza una configuración basada en un desplazador de nivel seguido de una etapa en fuente común con transistores cascode. Este esquema del amplificador auxiliar tiene la ventaja de que no limita el rango de la señal de salida de los circuitos y por tanto incrementa el rango de energía capaz de ser procesado por el sistema. En este caso, la topología del shaper también es de tipo *Gm-C* pero posee polos complejos lo que permite tener un shaper de tipo cuasi-gaussiano.

En el capítulo 5 se propone un amplificador operacional de topología espejo de corriente al que se le incrementa la ganancia restando corriente en DC a la carga del par diferencial de entrada. A la etapa de salida de este amplificador se le ha dotado de comportamiento en clase AB gracias al empleo

de transistores de puerta cuasi-flotante (QFG). A causa de ello, el circuito es capaz de proporcionar grandes corrientes de salida, y al mismo tiempo, un muy bajo consumo estático. La etapa de salida tiene rango completo de señal. Tanto el esquema de incremento de ganancia como el esquema clase AB no necesita consumo adicional de potencia. Este amplificador se ha utilizado para implementar un shaper de topología *opamp-RC* de polos complejos que optimiza el consumo de potencia al sólo necesitar un elemento activo por cada sección de segundo orden. En cuanto al amplificador sensible a la carga, se le ha incrementado la ganancia colocando un transistor cascode en serie con el transistor de entrada y se le ha incorporado una etapa de salida en clase AB basada en la celda seguidor de tensión rotado FVF.

Finalmente, en el capítulo 6 se ha diseñado un canal *front-end* con un shaper de primer orden de tipo CR-RC semi-gaussiano. Se han aplicado dos esquemas diferentes de incremento de ganancia: para el amplificador sensible a la carga se usa un esquema denominado súper-cascode, y para el integrador del shaper, un esquema de topología *folded-cascode* basado en la celda FVF. La etapa de salida del amplificador del shaper presenta un rango completo de señal lo que permite aumentar el rango de energía que procesa linealmente el sistema.

7.2 Líneas futuras de investigación.

Como nuevas líneas de investigación de interés que se abren a partir del trabajo realizado a lo largo de esta tesis se pueden destacar las siguientes:

- Optimización y mejoras de los circuitos frente al ruido.

- Seguir investigando la implementación de sistemas *front-end* en tecnologías nanométricas, por ejemplo 90 nm o incluso por debajo, para comprobar la robustez de los diseños frente al aumento del factor de escala y los efectos de canal corto de los transistores, así como abordar el comportamiento del ruido en estas tecnologías.
- Explorar nuevas estructuras clase AB que permitan reducir el consumo estático de potencia sin penalizar otros parámetros de diseño del sistema.
- Aportar otros esquemas de incremento de ganancia que sean compatibles con diseños en baja tensión, bajo consumo y que no limiten el rango de señal.
- Integrar nuevos elementos del sistema de acondicionamiento tales como discriminadores y convertidores analógico/digital.
- Estudiar modelos de los transistores operando en otras regiones como inversión moderada y determinar la optimización del compromiso entre ruido, consumo y ancho de banda de los circuitos.

Referencias

- [Aad10] G. Aad et al., *Eur. Phys. J. C* (2010) 70: 787–821
- [All02] P.E. Allen, D.R. Holberg, *CMOS Analog Circuit Design*. Oxford University Press, 2nd Edition, 2002 New York, pp. 471-475.
- [Ann05] A.-J. Annema, B. Nauta, R. van Langevelde, and H. Tuinhout "Analog Circuits in Ultra-Deep-Submicron CMOS," *IEEE Journal of Solid State Circuits*, vol. 40, no. 1, pp. 132-143, Jan. 2005.
- [Arm15] E.H. Armstrong, "Some recent Developments in the Audion Receiver," *Proc. IRE*, vol. 3, 1915, pp. 215-238.
- [Bar09] S. Barlini et al., "New digital techniques applied to A and Z identification using pulse shape discrimination of silicon detector current signals", *Nucl. Instr. and Meth. in Phys. Res. A*, vol. 600, pp. 644-650, 2009.
- [Bas10] A. Baschiroto, V. Chironi, G. Coccio, S. D'Amico, M. De Matteis, and P. Delizia, "Low Power Analog Design in Scaled Technologies," Documento del CERN disponible en: cdsweb.cern.ch/record/1234878/files/p103.pdf

- [Beu90] E. Beuville, et al., "AMPLEX, a low noise, low power analog CMOS signal processor for multielement silicon particle detector", *Nucl. Instr. Meth. A*, vol. 288, pp. 157-167, 1990.
- [Beu96] E. Beuville, et al.: "A 2D smart pixel detector for time resolved protein crystallography", *IEEE Trans. Nucl. Sci.*, 43, no. 3, p. 1243–1247, 1996.
- [Boi04] C. Boiando, R. Bassini, A. Pullia and A. Pagano, "Wide-Dynamic-Range Fast Preamplifier for Pulse Shape Analysis of Signal From High-Capacitance Detectors", *IEEE Transactions on Nuclear Science*, vol. 51, no. 5, Oct. 2004.
- [Bul90] K. Bult and G.J.G.M. Geelen, "A fast settling CMOS op-amp for SC circuits with 90-dB DC gain," *IEEE J. Solid State Circuits*, vol. 25, no. 6, pp. 1379-1384, Dec. 1990.
- [Bul91] K. Bult and G. Geelen, "The CMOS Gain-Boosting Technique," *Analog Integrated Circuits and Signal Processing*, Vol 1, pp. 119-135, 1991.
- [Can07] S.O. Cannizzaro, A.D. Grasso, R. Mita, G. Palumbo, and S. Pennisi, "Design procedures for three-stage CMOS OTAs with nested-Miller compensation," *IEEE Trans. Circuits Syst. I: Regul. Papers*, vol. 54, no., pp. 933–940, May 2007
- [Car05] R.G. Carvajal, J. Ramírez-Angulo, A. López-Martin, A. Torralba, J. Galán, A. Carlosena and F. Muñoz, "The Flipped Voltage Follower: A useful cell for low-voltage low-power circuit design", *IEEE Trans. on Circuits and Systems I*, vol. 52, no. 7, pp. 1276-1291, Jul. 2005.

- [Cha91] Z.Y. Chang, W. Sansen: "Effect of 1/f noise on resolution of CMOS analog readout systems for microstrip and pixel detectors". *Nucl. Instr. and Meth. A*, vol. 305, 1991, p. 553–560.
- [Cha98] R. L. Chase, A. Hrisoho, J.-P. Richer, "8-channel CMOS preamplifier and shaper with adjustable peaking time and automatic pole-zero cancellation", *Nucl. Instr. and Meth. A*, vol. 409, pp. 328–331, 1998.
- [Che86] W. Chen, "*Passive and active filters*", John Wiley & Sons, New York, 1986, Chap. 7.
- [Cio07] M. Ciobanu, A. Schüttauf, E. Cordier, et al. "Front-End Electronics Card Comprising a High Gain/High Bandwidth Amplifier and a Fast Discriminator for Time-of-Flight Measurements", *IEEE Trans. on Nuclear Science*, vol. 54, no. 4, Aug. 2007.
- [CMS08] The CMS Collaboration et al 2008 JINST 3 S08004 doi:10.1088/1748-0221/3/08/S08004
- [Con04] P. O'Connor, "Analog Front Ends for Highly Segmented Detectors", *Nuclear Instruments and Methods in Physics Research A*, vol. 522, pp. 126-130, 2004.
- [Due12] J.A. Duenas, D. Mengoni, V. V. Parkar, et al., *Nucl. Instr. and Meth. A*, 676 (2012)70-73.
- [FAIR] <http://www.gsi.de/en/research/fair.htm>.

- [Fan05] X. Fan, C. Mishra and E. Sánchez-Sinencio, "Single Miller capacitor frequency compensation technique for low-power multistage amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 3, pp. 584–592, Mar. 2005.
- [Gar11] A. Garzón Camacho, B. Fernández, M.A.G. Álvarez, J. Ceballos and J. M. de la Rosa, "Desing and Measurements of a Preamplifier for Particles Tracking in Secondary Electrons Detectors", *26th Conference on Design of Circuits and Integrated Systems, DCIS*, pp. 291-295, 2011.
- [Gat81] E. Gatti, P.F. Manfredi: "Processing the signals from solid-state detectors in elementary-particle physics", *Rivista del Nuovo Cimento*, vol. 9, no. 1, pp. 1-146, 1981.
- [Gat90] E. Gatti, M. Sampietro, P. F. Manfredi: "Optimum filters for detector charge measurements in presence of 1/f noise", *Nucl. Instr. and Meth. A*, vol. 287, pp. 513–520, 1990.
- [Ger99] G. De Geronimo, P. O'Connor, "A CMOS detector leakage current self-adaptable continuous reset system: Theoretical analysis", *Nucl. Instr. and Meth. A* vol. 421, pp. 322-333, 1999.
- [Ger00] G. De Geronimo and P. O'onnor, "A CMOS fully compensated continuous reset system", *IEEE Transactions on Nuclear Science*, vol. 47, no. 4, pp. 1857-1867, Aug. 2000.
- [Ger01] G. De Geronimo, P. O'Connor, V. Radeka, and B. Yu, "Front-end electronics for imaging detectors", *Nucl. Instr. and Meth. A*, 471, pp. 192-199, 2001.
- [Ger05] G. De Geronimo and P. O'Connor, "MOSFET Optimization in Deep Submicron Technology for Charge Amplifiers", *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, Dic. 2005.

- [Gom13] J. A. Gómez-Galán, R. López-Ahumada, T. Sánchez-Rodríguez, M. Sánchez-Raya, R. Jiménez, and I. Martel, "High speed low power front-end system with adjustable peaking time for silicon detectors", *Nucl. Instr. and Meth. A*, 714, pp. 155-162, June 2013.
- [Gra09] P.R. Gray, P.J. Hurst, S.H. Lewis and R.G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 4th edition, Wiley, New York, 2009, pp. 212-214.
- [Gra97a] G. Gramegna, P. O'Connor, P. Rehak, S. Hart, "CMOS preamplifier for low-capacitance detectors", *Nucl. Instr. and Meth. A*, vol. 390, pp. 241-250, May. 1997.
- [Gra97b] G. Gramegna, P. O'Connor, P. Rehak, S. Hart, "Low-Noise CMOS preamplifier-shaper for silicon drift detectors", *IEEE Tran. Nucl. Sci.*, vol, 44, no. 3, pp. 385–388, Jun. 1997.
- [Gra01] P. R. Gray, P. J. Hurst, S.H. Lewis, R.G. Meyer, "*Analysis and design of analog integrated circuits*", 4th edn, Wiley, New York, 2001.
- [Gry05] P. Grybos, et. al., "RX64DTH - a fully integrated 64-channel ASIC for a digital X-ray imaging system with energy window selection", *IEEE Transactions on Nuclear Science*, vol. 52, no. 4, pp. 839–846, 2005.
- [Gry07a] P. Grybos, M. Idzik and P. Maj. "Noise optimization of charge amplifiers with CMOS input transistors operating in moderate inversion for short peaking times", *IEEE Transactions on Nuclear Science*, vol. 54, no. 3, pp. 555–560, 2007.

- [Gry07b]** P. Grybos, P. Maj, L. Ramello and K. Swientek, " Measurements of Matching and High Count Rate Performance of Multichannel ASIC for Digital X-Ray Imaging Systems", *IEEE Transactions on Nuclear Science*, vol. 54, no. 4, pp. 1207–1215, 2007.
- [Gry08]** P. Grybos, R. Szczygie, "Pole-zero cancellation circuit with pile-up pulses tracking system for low noise charge-sensitive amplifier", *IEEE Trans. Nucl. Sci.*, vol. 55, no. 1, pp. 583-590, Febrero 2008.
- [Gry10]** P. Grybos, "*Front-end Electronics for Multichannel Semiconductor Detector Systems*", Editorial Series on Accelerator Science, Institute of Electronic System, Warsaw University of Technology, 2010 (ISBN 978-83-7207-890-2).
- [Gul98]** K. Gulati and H.S. Lee, "A high swing CMOS telescopic Operational Amplifier," *IEEE J. Solid State Circuits*, vol. 33, no. 12, pp. 2010-2019, Dec. 1998.
- [Gus12]** M. Gustavsson, F. U. Amin, A. Björklid, A. Ehliar, C. Xu, and C. Svensson, "A High-Rate Energy-Resolving Photon-Counting ASIC for Spectral Computed Tomography", *IEEE Tran. on Nuclear Science*, vol. 59, no. 1, pp. 30-39, Feb. 2012.
- [Ham04]** H. Hamrita et all, "Charge and current-sensitive preamplifiers for pulse shape discrimination techniques with silicon detectors", *Nuclear Instruments and Methods in Physics Research A*, 531, pp. 607-615, 2004.
- [Hos79]** B. Hosticka, "Improvement of the gain of MOS amplifiers," *IEEE J. Solid State Circuits*, vol. SC-14, no. 6, pp. 1111-1114, Dec. 1979.

- [Hu98a] Y. Hu, J. L. Sol`ere, D. Lachartre, and R. Turchetta, "Design and Performance of a Low-Noise, Low-Power Consumption CMOS Charge Amplifier for Capacitive Detectors", *IEEE Transactions on Nuclear Science*, vol. 45, no. 1, Feb. 1998.
- [Hu98b] Y. Hu, J.D. Berst and M. Schaeffer, "A Very Low Power Consumption, Low Noise Analog Readout Chip for Capacitive Detectors with a Power Supply of 3.3 V", *Analog Integrated Circuits and Signal Processing*, vol. 17, pp. 249-260, 1998.
- [HYDE] <http://www.uhu.es/gem/proyectos/hyde/>
- [Jim12] R. Jimenez, M. Sanchez-Raya, J.A. Gomez-Galan, et al. *Nucl. Inst. Meth. A* 674 (2012) 99-104.
- [Joh97] D. Johns and K. Martin, *Analog Integrated Circuit Design*. New York, Wiley, 1997, Chap. 6.
- [Jon13] K. L. Jones, "Transfer reaction experiments withradioactive beams: from halos to ther-process", *Phys. Scr.*no. T 152, pp. 1-10, Jan. 2013.
- [Kap12] J. Kaplon and M. Noy, "Front End Electronics for SLHC Semiconductor Trackers in CMOS 90 nm and 130 nm Processes", *IEEE Trans. on Nuclear Science*, vol. 59, no. 4, Aug. 2012.
- [Kle88] S. A. Kleinfelder, et al., "A flexible 128 channel silicon strip detector instrumentation integrated circuit with sparse data readout", *IEEE Trans. Nucl. Sci.*, vol. 35, no. 1, pp. 171-175, 1988.

- [Koh01] M. Koh, W. Mizubayashi, K. Iwamoto, H. Murakami, T. Ono, M. Tsuno, T. Mihara, K. Shibahara, S. Miyazaki, and M. Hirose, "Limit of gate oxide thickness scaling in MOSFETs due to apparent threshold voltage fluctuation induced by tunnel leakage current," *IEEE Transactions on Electron Devices*, vol. 48, no. 2, pp. 259 – 264, Feb. 2001.
- [Kor00] K. Korbel: "Układy elektroniki front-end." *Uczelniane Wydawnictwa Naukowo-Dydaktyczne AGH*, Kraków, Poland 2000.
- [Lee04] T.H. Lee. *The design of CMOS Radio Frequency Integrated Circuits*. 2nd Edition, Cambridge, University Press, New York, 2004, p. 424.
- [Lee07] H.L. Lee and P.K.T. Mok, "An SC Voltage Doubler with Pseudo-Continuous Output Regulation Using a Three- Stage Switchable Opamp," *IEEE J. Solid-State Circuits*, vol. 43, no. 6, pp. 1216-1229, Jun. 2007.
- [Liu04] M.H. Liu, H.C. Huang, W.Y. Ou, T.Y. Su and S.I. Liu, "A Low Voltage- Power 13 bits 16 MSPS CMOS Pipeline ADC", *IEEE Journal of Solid- State Circuits*, vol. 39, no. 5, May 2004.
- [Man02] M. Manghisoni, L. Ratti, V. Re, V. Speziali, "Low-noise design criteria for detector readout systems in deep submicron CMOS technology", *Nucl. Instr. and Meth. A*, vol. 478, no. 1-2, pp. 362-366, Feb. 2002.
- [Mas08] M. Massarotto, A. Carlosena, and A. J. López-Martín, "Two-Stage Differential Charge and Transresistance Amplifiers", *IEEE Transactions on Instrumentation And Measurement*, vol. 57, no. 2, Feb. 2008.

- [McE02] D. P. McElroy et al., *IEEE Trans. Nucl. Sci.* 49 (2002) 2139–2147.
- [Mor08] D. Moraes, J. Kaplon and E. Nygard, “CERN_DxCTA counting mode chip”, *Nuclear Instruments and Methods in Physics Research A*, 591, pp. 167-170, 2008.
- [Nou08a] T. Noulis, S. Siskos, and G. Sarrabayrouse, "Noise optimised charge-sensitive CMOS amplifier for capacitive radiation detectors," *Circuits, Devices & Systems, IET* , vol. 2, no. 3, pp. 324-334, June 2008.
- [Nou08b] T. Noulis, S. Siskos, G. Sarrabayrouse and L. Bary, "Advanced Low-Noise X-Ray Readout ASIC for Radiation Sensor Interfaces" *IEEE Transactions on Circuits and Systems I*, vol. 55, no. 7, pp. 1854-1862, Aug. 2008.
- [Ohk76] S. Ohkawa, M. Yoshizawa, K. Husimi, “Direct synthesis of the Gaussian filter for nuclear pulse amplifiers”, *Nuclear Instruments and Methods*, vol. 138, pp. 85-92, 1976.
- [Pek04] J. Pekarik, D. Greenberg, B. Jagannathan, R. Groves, J.R. Jones; R. Singh, A. Chinthakindi; X. Wang, M. Breitwisch, D. Coolbaugh, P. Cottrell, J. Florkey, G. Freeman and R. Krishnasamy, “RFCMOS Technology from 0.25 nm to 65nm: The State of the Art,” in *Proc. IEEE Custom Integrated Circuits Conference*, 3-6 Oct. 2004, Orlando, FL, pp: 217 – 224.
- [Per08] M. Perenzoni, D. Stoppa, M. Malfatti, and A. Simoni, “A Multispectral Analog Photon-Counting Readout Circuit for X-ray Hybrid Pixel Detectors”, *IEEE Transactions on Instrumentation and Measurement*, vol. 57, no. 7, pp. 1438- 1444, July 2008.

- [Pol05] E. Pollacco et al., "MUST2: A new generation array for direct reaction studies" *Eur. Phys. J.*, vol. 25, no. 1, pp. 287-288, 2005.
- [Ram03] J. Ramirez-Angulo, C. Urquidi, R.G. Carvajal, and A. Lopez-Martin, "A New Family of Very Low-Voltage Analog Circuits Based on Quasi Floating Gate Transistors," *IEEE Transactions on Circuits and Systems II*, vol. 50, no. 5, pp. 214-220, May 2003.
- [Ram04] J. Ramirez-Angulo, A.J. Lopez-Martin, R.G. Carvajal and F. Muñoz-Chavero, "Very Low-voltage Analog Signal Processing Based on Quasi-floating Gate Transistors," *IEEE Journal of Solid State Circuits*, vol. 39, no. 3, pp. 434-442, Mar. 2004.
- [Ram05] J. Ramirez-Angulo, S. Gupta, I. Padilla, , A. Torralba, M. Jimenez and F. Munoz, "Comparison of conventional and new flipped voltage structures with increased input/output signal swing and current sourcing/sinking capabilities," in *Proc. 2005 IEEE Midwest Symposium on Circuits and Systems*, Cincinnati, OH, vol. 2, pp. 1151 – 1154, August 21-23, 2005,.
- [Ram09] J. Ramírez-Angulo, T. Sánchez-Rodríguez, R.G. Carvajal, A. López-Martín, "Gain Enhancement and Low Voltage Techniques for Analogue Circuits in Deep Submicrometer CMOS Technology", *VLSI book chapter based on presentation at CMOS-ET Workshop 2009*.
- [Ran97] N. Randazzo, G. V. Russo, D. Lo Presti, S. Panebianco, C. Petta, and S. Reito, "A Four-Channel, Low-Power CMOS Charge Preamplifier for Silicon Detectors with Medium Value of Capacitance", *IEEE Transactions on Nuclear Science*, vol. 44, no. 1, Feb. 1997.

- [Rat09] L. Ratti, M. Manghisoni, V. Re and G. Traversi, "Design Optimization of Charge Preamplifiers with CMOS Processes in the 100 nm Gate Length Regime", *IEEE Transactions on Nuclear Science*, vol. 56, no. 1, pp. 235–242, 2009.
- [Raz01] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, Boston 2001, pp. 309-314.
- [Rib02] S. Riboldi, A. Geraci, E. Gatti, G. Ripamonti, "A new digital auto-tracking pole-zero compensation technique for high resolution spectroscopy", *Nucl. Instr. and Meth. A*, vol. 482, pp. 475–490, 2002.
- [Sac90] E. Sackinger and W. Guggenbuhl, "A high-swing, high-impedance MOS cascode circuit," *IEEE Journal of Solid-State Circuits*, vol. 25, no. 1, pp. 289 – 298, Feb. 1990.
- [San09] W. Sansen, "Analog IC Design in Nanometer CMOS Technologies," *22nd International Conference on VLSI Design, January 5-9, 2009 New Dehli, India*, available at http://www.vlsiconference.com/vlsi2009/vlsi_2009_willy_sansen.pdf
- [San90] W.M.C. Sansen and Z.Y. Chang, "Limits of Low Noise Performance of Detector Readout Front Ends in CMOS Technology", *IEEE Transactions on Circuits and Systems*, vol. 37, no. 11, pp. 1375-1382, Nov. 1990.
- [San11] Trinidad Sánchez Rodríguez, "Aportaciones al diseño de secciones en banda base de receptores de comunicaciones en tecnologías nanométricas con restricciones de consumo", Tesis Doctoral, Universidad de Sevilla, 2011.

- [San13] Manuel Sánchez Raya, "Diseño de bloques analógicos de alta velocidad y técnicas de procesamiento digital para aplicación en detectores de física nuclear", Tesis Doctoral, Universidad de Huelva, 2013.
- [Sep09] Sepideh Shokouh et al., IEEE Trans Nucl Sci. 56 (2009) 557–564.
- [Sol12] H.K. Soltveit, J. Stachel, P. Braun-Munzinger, L. Musa, H.A. Gustafsson, U. Bonnes, H. Oeschler, L. Osterman, and S. Lang. "The PreAmplifier ShAper for the ALICE TPC detector", *Nucl. Instr. and Meth. A*, 676, pp. 106-119, Jun. 2012.
- [SPES] <http://web.infn.it/spes>
- [SPIRAL] http://www.ganil-spiral2.eu/?set_language=en.
- [Tan88] I. Tanihata, "Nuclear studies with secondary radioactive beams", *Nuclear Physics A*, vol. 488, pp. 113-126, Nov. 1988.
- [Tay10] G. Taylor, "Future of Analog Design and Upcoming Challenges in Nanometer CMOS," *23rd International Conference on VLSI Design, Bangalore, India, Jan. 3-7 2010*, available at http://vlsiconference.com/vlsi2010/keyNote/FutureAnalogDesign_GTaylor_Intel.pdf
- [Tor02a] A. Torralba, R.G. Carvajal, J. Ramírez-Angulo, and F. Muñoz, "Output stage for low supply voltage, high performance CMOS current mirrors", *Electronics Letters*, vol. 38, no. 24, pp. 1528-1529, Nov. 2002.
- [Tor02b] A. Torralba et al., "Low-Voltage Transconductor with High Linearity and Large Bandwidth," *Electronics Letters*, vol. 38, no. 25, Dec. 2002, pp. 1616-1617.

- [Tsu07] B.M.W. Tsui et al., IEEE Nucl. Sci. Conf. Rec. 2007:M11-6.
- [Tur05] M. Turala, "Silicon tracking detectors-historical overview", *Nucl. Instr. and Meth. in Phys. Res. A*, vol. 541, no. 1-2, pp. 1-14, 2005.
- [Unn00] Y. Unno, *Nuclear Instruments and Methods in Physics Research A*, 453, pp. 109-120, 2000.
- [Wal84] J. T. Walker, S. Parker, B. Hyams, S.L. Shapiro, "Development of high density readout for silicon strip detectors", *Nucl. Instr. and Meth. A*, vol. 226, pp. 200-203, 1984.
- [Wei06] A.G. Weisenberger et al., IEEE Nucl. Sci. Conf. Rec. 5 (2006) 3000–3003.
- [Wul96] J. Wulleman, "Current mode charge pulse amplifier in CMOS technology for use with particle detectors", *Electronics Letters*, vol. 32, no. 6, March 1996.
- [Wur93] L.T. Wurtz and W.P. Wheless, "Design of a High-Performance, Low-Noise Charge Preamplifier", *IEEE Transactions on Circuits and Systems I*, vol. 40, no. 8, pp. 541-545, Aug. 1993.
- [Xu09] Y Xu, WQ Jie, PJ Sellin et al., IEEE Trans. Nucl. Sci. 56 (2009) 2808.
- [Yen94] S.J. Yennello et al., "The use of radioactive nuclear beams to study the equilibration of the NZ degree of freedom in intermediate-energy heavy-ion reactions", *Physics Letters*, vol. 321, no. 1, pp. 15-19, Jan. 1994.
- [Zek99] A. Zeki, "Low-Voltage CMOS Triode Transconductor with Wide-Range and Linear Tunability," *Electronics Letters*, vol. 35, no. 20, Sept. 1999, pp. 1685-1686.

Publicaciones

Artículos en revistas internacionales

1. J.A. Gómez-Galán, **R. López-Ahumada**, T. Sánchez-Rodríguez, M. Sánchez-Raya, R. Jiménez, I. Martel. "High speed low power FEE for silicon detectors in nuclear physics applications". *Nuclear Instruments and Methods in Physics Research A*, vol. 714, pp 155–162, Junio 2013.
2. J. Galán, **R. López-Ahumada**, T. Sánchez-Rodríguez, A. Torralba, R.G. Carvajal, and I. Martel, "Low voltage power efficient tunable shaper circuit with rail-to-rail output range for the HYDE detector at FAIR", *IEEE Transactions on Nuclear Science*, vol. 61, no. 2, pp. 844-851, Abril 2014.
3. J. Galán, **R. López-Ahumada**, T. Sánchez-Rodríguez, M. Sánchez-Raya, I. Martel and R. Jiménez, "Low power low noise high speed tunable CMOS radiation detection system", *Microelectronics Journal*, vol. 45, no. 10, pp. 1319-1326, Oct. 2014.
4. T. Sánchez-Rodríguez, F. Muñoz, J. Galán, **R. López-Ahumada** and R.G. Carvajal, "Low voltage linear tunable transconductor for high speed filters", *Analog Integrated Circuits and Signal Processing*, vol. 82, no. 1, pp. 329-333, Enero 2015.

Comunicaciones en congresos internacionales

1. **R. López-Ahumada**, T. Sánchez-Rodríguez, J Galán, M. Sánchez-Raya, R. Jiménez. "High speed low power front-end system with adjustable peaking time for silicon detectors". *Proceedings of DCIS 2012: XXVII conference on design of circuits and integrated*, pp. 84-88, Noviembre 2012.
2. J Galán, **R. López-Ahumada**, T. Sánchez-Rodríguez, M. Sánchez-Raya, M. Pedro and R. Jiménez, "Low voltage analog readout channel based on gain-boosted amplifiers", *9th International Conference on Design & Technology of Integrated Systems in Nanoscale Era, DTIS 2014*, pp. 139-144, Santorini (Grecia), 6-8 Mayo 2014.
3. **R. López-Ahumada**, T. Sánchez-Rodríguez, J Galán, M. Sánchez-Raya, M. Pedro and R. Jiménez, "Front-end electronics for charged particle detection in 90 nm CMOS process", *XXIX Conference on Design of Circuits and Integrated Systems, DCIS 2014*, Madrid (España), 26-28 Noviembre 2014.