

ЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ

LOGICAL DESIGN



УДК 004.33.054
<https://doi.org/10.37661/1816-0301-2022-19-3-7-24>

Оригинальная статья
Original Paper

Генерирование адресных последовательностей с заданной переключательной активностью и повторяемостью адресов

В. Н. Ярмолик^{1✉}, Н. А. Шевченко², В. А. Леванцевич¹, Д. В. Деменковец¹

¹Белорусский государственный университет информатики и радиоэлектроники, ул. П. Бровки, 6, Минск, 220013, Беларусь
✉E-mail: yarmolik10ru@yahoo.com

²Дармштадтский технический университет, Каролиненплац, 5, Дармштадт, 64289, Германия

Аннотация

Цели. Решается задача разработки методологии генерирования адресных последовательностей с заданной переключательной активностью и повторяемостью адресов, широко используемых при тестировании современных вычислительных систем. Актуальность данной задачи заключается в том, что основной характеристикой различия для адресных последовательностей является переключательная активность как отдельных битов адресов, так и их последовательностей.

Методы. Представленные результаты основаны на универсальном методе генерирования квазислучайных последовательностей Соболя, эффективно используемых для формирования адресных тестовых последовательностей. В качестве исходной математической модели используется модификация указанного метода генерирования, предложенная Антоновым и Салеевым. Главная идея подхода, предлагаемого в настоящей работе, основана на применении для генерирования адресных последовательностей прямоугольных $(m+k) \times m$ порождающих матриц V произвольного ранга r .

Результаты. Определены основные свойства последовательностей, генерируемых в соответствии с новой математической моделью. Приведен ряд утверждений, обосновывающих требования к порождающим матрицам для обеспечения максимального периода формируемых последовательностей и кратности повторяемости используемых в них адресов. Решена задача синтеза последовательностей с заданными величинами переключательной активности $F(A)$ и $F(a_i)$. Показано, что для нахождения порождающей матрицы для генерирования таких последовательностей необходимо решить задачу разложения целого числа на слагаемые. Такое разложение представляет собой величину переключательной активности в $(m+k)$ -ичной смешанной системе счисления, в которой веса разрядов представлены в виде степеней двойки от 2^0 до 2^{m+k-1} , а значения цифр $w(v_i)$ лежат в диапазоне от 0 до $m+k-1$. На основе предлагаемых ограничений введено понятие диаграммы разложения целого числа, аналогичное диаграмме Юнга, и определена операция ее модификации.

Заключение. Предложенная математическая модель расширяет возможности генерирования тестовых адресных последовательностей с требуемыми значениями переключательной активности как тестовых наборов, так и их отдельных разрядов. Применение порождающих матриц не максимального ранга дает возможность формализации метода генерирования адресных последовательностей с четным повторением адресов.

Ключевые слова: тестирование вычислительных систем, адресные последовательности, переключаемая активность, симметричные последовательности, последовательности с четным повторением адресов

Для цитирования. Генерирование адресных последовательностей с заданной переключаемой активностью и повторяемостью адресов / В. Н. Ярмолик [и др.] // Информатика. – 2022. – Т. 19, № 3. – С. 7–24. <https://doi.org/10.37661/1816-0301-2022-19-3-7-24>

Конфликт интересов. Авторы заявляют об отсутствии конфликта интересов.

Поступила в редакцию | Received 26.12.2021
Подписана в печать | Accepted 28.03.2022
Опубликована | Published 29.09.2022

Generation of address sequences with specified switching activity and address repeatability

Vyacheslav N. Yarmolik^{1✉}, Nikolai A. Shevchenko², Vladimer A. Levantsevich¹, Denis V. Demenkovets¹

¹*Belarusian State University of Informatics and Radioelectronics,
st. P. Brovki, 6, Minsk, 220013, Belarus*

✉*E-mail: yarmolik10ru@yahoo.com*

²*Darmstadt Technical University,
Karolinenplatz, 5, Darmstadt, 64289, Germany*

Abstract

Objectives. The problem of developing a methodology for generating address sequences with a given switching activity and repeatability of addresses widely used in testing modern computing systems is being solved. The relevance of this problem lies in the fact that the main characteristic of the difference and their effectiveness for address sequences is the switching activity of both individual address bits and their sequences.

Methods. Presented results are based on a universal method for generating quasi-random Sobol sequences, which are effectively used to generate targeted test sequences. As an initial mathematical model, a modification of the indicated generation method proposed by Antonov and Saleev is used. The main idea of proposed approach is based on the use of rectangular $(m + k) \times m$ generating matrices V of arbitrary rank r to generate address sequences. **Results.** The main properties of sequences generated in accordance with the new mathematical model are determined. A number of statements are given that substantiate the requirements for generator matrices to ensure the maximum period of generated sequences and the multiplicity of repetition of used addresses. The problem of synthesizing the sequences with given values of switching activity $F(A)$ and $F(a_i)$ is solved. It is shown that in order to find a generating matrix for generating such sequences, it is necessary to solve the problem of decomposing an integer into terms. This decomposition represents the value of switching activity in the $(m + k)$ -ary mixed number system, in which the weights of the digits are represented as powers of two from 2^0 to 2^{m+k-1} , and the values of the digits $w(v_i)$ lie in the range from 0 to $m+k-1$. On the basis of proposed restrictions, the notion of an integer decomposition diagram similar to the Young diagram is introduced, and the operation of its modification is defined.

Conclusion. The proposed mathematical model expands the possibilities of generating test address sequences with the required values of switching activity of both test sets and their individual bits. The use of generating matrices of non-maximal rank makes it possible to formalize the method of generating address sequences with even repetition of addresses.

Keywords: computer systems testing, address sequences, switching activity, symmetric sequences, sequences with even repeating addresses

For citation. Yarmolik V. N., Shevchenko N. A., Levantsevich V. A., Demenkovets D. V. *Generation of address sequences with specified switching activity and address repeatability*. Informatika [Informatics], 2022, vol. 19, no. 3, pp. 7–24 (In Russ.). <https://doi.org/10.37661/1816-0301-2022-19-3-7-24>

Conflict of interest. The authors declare of no conflict of interest.

Введение. Тестирование современных вычислительных систем, таких как встроенные системы, системы на кристалле и сети на кристалле, очень востребовано в настоящее время [1]. Существует множество подходов и новых решений, направленных на повышение эффективности тестирования современных компьютерных систем. Среди них решающую роль играют детерминированные тесты, такие как пересчетные (счетчиковые) последовательности, последовательности Грея, последовательности анти-Грея, последовательности с максимальной переключающей активностью, последовательности с заданным расстоянием Хэмминга, ЛП_r-последовательности, М-последовательности и ряд других [2–4]. Такие последовательности обычно являются периодическими и часто называются последовательностями перечисления, последовательностями де Брейна или, по аналогии с М-последовательностями, последовательностями максимальной длины. Существует множество различных разновидностей последовательностей максимальной длины, среди которых выделяются следующие подмножества: детерминированные, псевдослучайные и квазислучайные последовательности [3]. Каждая из таких тестовых последовательностей описывается своим уникальным алгоритмом, предполагающим конкретную реализацию, и имеет общие характеристики с другими последовательностями.

В качестве обобщающей характеристики тестовых последовательностей наиболее часто используется так называемая переключающая активность, которая влияет на переключающую активность тестируемых компьютерных систем [4–8].

Последовательности адресов как подмножество периодических тестов были исследованы в рамках встроенного самотестирования памяти вычислительных систем [9–12] и многократного тестирования запоминающих устройств [13, 14]. Особенность таких последовательностей заключается в том, что они состоят из полного набора двоичных векторов, включающего все возможные 2^m двоичные комбинации, где m – размер адреса в битах [15]. Очевидно, что число подобных последовательностей с разнообразными свойствами и характеристиками велико, так же, как и многообразие алгоритмов для их формирования. Однако основной характеристикой различия для приведенных видов адресных последовательностей является переключающая активность как отдельных битов адресов, так и их последовательностей [4–9, 16]. Данная характеристика показывает разнообразие тестовых последовательностей и их обнаруживающих способностей при тестировании современных вычислительных систем [2, 3].

В то же время ограничение на количество тестовых векторов, всегда равное 2^m , в адресных последовательностях снижает эффективность процедуры тестирования. Для преодоления этого недостатка в настоящей статье предлагается и анализируется новый подход как расширение идеи генерирования адресных последовательностей для общего случая тестовых последовательностей с заданными значениями переключающей активности и повторяющимися адресами заданной кратности.

Математическая модель. В работе [17] была рассмотрена и исследована математическая модель универсального генератора адресных последовательностей, характеризующаяся высокими функциональными возможностями и простотой технической реализации. Под последовательностью адресов (counting sequence [15]) в дальнейшем будем понимать упорядоченную последовательность из 2^m m -битовых двоичных векторов $A(n) = a_{m-1}(n) a_{m-2}(n) a_{m-3}(n) \dots a_1(n) a_0(n)$, $a_i(n) \in \{0, 1\}$, $i \in \{0, 1, 2, \dots, m-1\}$ и $n \in \{0, 1, 2, \dots, 2^m-1\}$, каждый из которых принимает одно из 2^m возможных значений. В основе этой модели лежит модифицированный метод Антонова и Салеева для генерирования последовательностей Соболя [6, 18]. Согласно этой модели формирование n -го элемента $A(n) = a_{m-1}(n) a_{m-2}(n) a_{m-3}(n) \dots a_1(n) a_0(n)$ последовательности Соболя, где n является его порядковым номером (индексом), осуществляется в соответствии со следующим рекуррентным соотношением:

$$A(n) = A(n-1) \oplus v_{i(n)}, \quad A(0) = \overline{0, 2^m - 1}, \quad n = \overline{0, 2^m - 1}, \quad i(n) = \overline{0, m-1}. \quad (1)$$

В соответствии с соотношением (1) значение $A(n)$ определяется как поразрядная сумма по модулю два предыдущего двоичного вектора $A(n-1)$ последовательности Соболя только с одним из m направляющих чисел $v_i = \beta_{m-1}(i) \beta_{m-2}(i) \beta_{m-3}(i) \dots \beta_1(i) \beta_0(i)$, $i \in \{0, 1, 2, \dots, m-1\}$ [18]. Значение индекса $i = i(n)$ направляющего числа $v_{i(n)}$, используемого в качестве слагаемого в вы-

ражении (1), определяется так называемой последовательностью переключений $T_{m-1}(n)$, $n \in \{0, 1, 2, \dots, 2^m - 1\}$, отраженного кода Грея [18, 19]. Например, при $m = 4$ последовательность переключений $T_{m-1}(n)$ обозначается как $T_3(n) = 0, 1, 0, 2, 0, 1, 0, 3, 0, 1, 0, 2, 0, 1, 0$. Видно, что $T_3(n)$ является последовательностью чередования индексов $i \in \{0, 1, 2, 3\}$, которые используются для выбора направляющих чисел при генерировании последовательности $A(n) = a_3(n) a_2(n) a_1(n) a_0(n)$ согласно соотношению (1). В дальнейшем будем использовать i как обозначение индекса $i(n)$ направляющего числа $v_{i(n)}$, в выражении (1) представляющего собой значение элемента последовательности переключений для кода Грея $T_{m-1}(n)$. Применяя произвольное начальное значение $A(0) \in \{0, 1, 2, \dots, 2^m - 1\}$ и рекуррентное соотношение (1), можно получить остальные $2^m - 1$ значения последовательности $A(n)$ [17, 18].

Рассмотренная математическая модель (1) была обобщена на случай последовательностей, относящихся не только к множеству квазислучайных тестовых наборов [17]. Как было показано ранее, в общем случае любую двоичную матрицу размерности $m \times m$, имеющую максимальный ранг, можно использовать как порождающую матрицу V . Матрица V состоит из направляющих чисел v_i , $i \in \{0, 1, 2, \dots, m-1\}$, представляющих собой m линейно независимых двоичных векторов $v_i = \beta_{m-1}(i) \beta_{m-2}(i) \beta_{m-3}(i) \dots \beta_1(i) \beta_0(i)$:

$$V = \begin{pmatrix} \beta_{m-1}(0) & \beta_{m-2}(0) & \beta_{m-3}(0) & \dots & \beta_0(0) \\ \beta_{m-1}(1) & \beta_{m-2}(1) & \beta_{m-3}(1) & \dots & \beta_0(1) \\ \beta_{m-1}(2) & \beta_{m-2}(2) & \beta_{m-3}(2) & \dots & \beta_0(2) \\ \dots & \dots & \dots & \dots & \dots \\ \beta_{m-1}(m-1) & \beta_{m-2}(m-1) & \beta_{m-3}(m-1) & \dots & \beta_0(m-1) \end{pmatrix}. \quad (2)$$

Требование линейной независимости является необходимым и достаточным условием для генерирования всех 2^m адресов последовательности $A(n)$ согласно соотношению (1) [20]. В этом случае матрица (2) имеет максимальный ранг.

Для оценки свойств модифицированных последовательностей Соболя $A(n) = a_3(n) a_2(n) a_1(n) a_0(n)$, используемых в качестве тестовой последовательности, в работе [14] была предложена метрика $F(a_j)$, $j \in \{0, 1, 2, \dots, m-1\}$, которая определяет количество переключений (изменений) j -го разряда a_j последовательности $A(n)$ (1):

$$F(a_j) = \sum_{i=0}^{m-1} \beta_j(i) 2^{m-1-i}. \quad (3)$$

На базе характеристики $F(a_j)$ переключательной активности разрядов последовательности $A(n)$ была введена и исследована интегральная мера переключательной активности $F(A)$ для последовательности $A(n)$, рассчитанная в соответствии с выражением [6, 17]

$$F(A) = \sum_{j=0}^{m-1} \left(\sum_{i=0}^{m-1} \beta_j(i) 2^{m-1-i} \right) = \sum_{i=0}^{m-1} 2^{m-1-i} \sum_{j=0}^{m-1} \beta_j(i), \quad (4)$$

в котором вторая сумма, определяющая количество единиц в i -й строке матрицы (2), представляет собой вес Хэмминга $w(v_i)$ вектора $v_i = \beta_{m-1}(i) \beta_{m-2}(i) \beta_{m-3}(i) \dots \beta_1(i) \beta_0(i)$.

На практике наиболее часто используются средние значения $F_{av}(A)$ и $F_{av}(a_j)$ метрик (4) и (3), которые показывают среднее значение переключений при генерации одного тестового набора. Средние значения переключательной активности $F_{av}(A)$ и $F_{av}(a_j)$ определяются путем деления $F(A)$ и $F(a_j)$ на максимальное количество переходов в последовательности $A(n)$, равное $2^m - 1$ [17].

Предлагаемый метод. В работах [6, 15–16, 18] показано, что использование порождающих матриц V (2) максимального ранга, равного m , дает возможность генерировать широкий спектр последовательностей $A(n)$ с периодом 2^m . Такие последовательности часто называют адресны-

ми из-за того, что они состоят из всего набора неповторяющихся двоичных m -битовых векторов. Требование максимизации ранга порождающей матрицы V позволяет получить все 2^m двоичные комбинации в последовательности $A(n)$ (1), однако это требование накладывает ряд ограничений на свойства данной последовательности. Большинство подобных особенностей и ограничений для последовательностей $A(n)$ были обозначены и проанализированы в работах [6, 15]. Одно из таких ограничений иллюстрируется примером невозможности генерирования так называемой двойной последовательности Грея $A(n)$ на основании уравнения (1) либо последовательности с произвольным четным числом переключений [15]. Очевидно, что такие ситуации встречаются достаточно часто [6, 18, 20], например в случае последовательности анти-Грея, которую можно построить только для четных значений m [15].

Предлагаемые авторами решения основаны на расширении математической модели (1) в терминах порождающей матрицы V . Первое расширение касается ранга квадратной $m \times m$ матрицы V , который необязательно должен быть максимальным, что влечет за собой уменьшение количества формируемых двоичных m -битовых векторов. Данная модификация позволит генерировать широкий спектр тестовых последовательностей с желаемой переключательной активностью, который существенно шире по сравнению с известными решениями для случая порождающих матриц V максимального ранга [15, 18]. В качестве примеров такого подхода в табл. 1 приведен ряд последовательностей $A(n)$, полученных согласно соотношению (1), для ряда случаев, когда квадратные порождающие матрицы V при $m = 4$ имеют ранг, меньший четырех.

Первый пример, описываемый матрицей V_1 , является тривиальным решением для генерирования последовательности $A(n)$ с максимальной переключательной активностью как для самой последовательности, так и для произвольных разрядов a_j ее двоичных наборов. Для этой последовательности величины $F_{av}(A)$ и $F_{av}(a_j)$ принимают максимально возможные значения, равные четырем и единице, которые в общем случае соответственно равняются m и единице [6, 14]. Следует отметить, что последовательность $A(n)$, формируемая на основании соотношения (1), состоит из двух двоичных наборов, а именно произвольного начального двоичного вектора $A(0)$ и его отрицания. Это видно из табл. 1, где $A(0) = 0\ 1\ 0\ 0$ и $A(0) = 1\ 0\ 1\ 1$.

Таблица 1
Адресные последовательности $A(n)$, генерируемые на основании различных порождающих матриц V
Table 1
Address sequence $A(n)$ are generated based on different matrix V

V	V_1	V_2	V_3	V_4	V_5
$v_0 = \beta_3(0)\beta_2(0)\beta_1(0)\beta_0(0)$	1 1 1 1	0 0 0 0	0 0 1 0	1 1 1 1	0 1 1 0
$v_1 = \beta_3(1)\beta_2(1)\beta_1(1)\beta_0(1)$	1 1 1 1	0 0 0 0	1 0 0 0	0 0 1 0	1 1 0 0
$v_2 = \beta_3(2)\beta_2(2)\beta_1(2)\beta_0(2)$	1 1 1 1	1 1 1 1	0 1 0 1	1 0 0 0	0 1 1 0
$v_3 = \beta_3(3)\beta_2(3)\beta_1(3)\beta_0(3)$	1 1 1 1	0 0 0 0	1 1 1 1	0 1 0 1	1 1 0 0
$A(0)$	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
$A(1) = A(0) \oplus v_0$	1 0 1 1	0 0 0 0	0 0 1 0	1 1 1 1	0 1 1 0
$A(2) = A(1) \oplus v_1$	0 1 0 0	0 0 0 0	1 0 1 0	1 1 0 1	1 0 1 0
$A(3) = A(2) \oplus v_0$	1 0 1 1	0 0 0 0	1 0 0 0	0 0 1 0	1 1 0 0
$A(4) = A(3) \oplus v_2$	0 1 0 0	1 1 1 1	1 1 0 1	1 0 1 0	1 0 1 0
$A(5) = A(4) \oplus v_0$	1 0 1 1	1 1 1 1	1 1 1 1	0 1 0 1	1 1 0 0
$A(6) = A(5) \oplus v_1$	0 1 0 0	1 1 1 1	0 1 1 1	0 1 1 1	0 0 0 0
$A(7) = A(6) \oplus v_0$	1 0 1 1	1 1 1 1	0 1 0 1	1 0 0 0	0 1 1 0
$A(8) = A(7) \oplus v_3$	0 1 0 0	1 1 1 1	1 0 1 0	1 1 0 1	1 0 1 0
$A(9) = A(8) \oplus v_0$	1 0 1 1	1 1 1 1	1 0 0 0	0 0 1 0	1 1 0 0
$A(10) = A(9) \oplus v_1$	0 1 0 0	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0
$A(11) = A(10) \oplus v_0$	1 0 1 1	1 1 1 1	0 0 1 0	1 1 1 1	0 1 1 0
$A(12) = A(11) \oplus v_2$	0 1 0 0	0 0 0 0	0 1 1 1	0 1 1 1	0 0 0 0
$A(13) = A(12) \oplus v_0$	1 0 1 1	0 0 0 0	0 1 0 1	1 0 0 0	0 1 1 0
$A(14) = A(13) \oplus v_1$	0 1 0 0	0 0 0 0	1 1 0 1	1 0 1 0	1 0 1 0
$A(15) = A(14) \oplus v_0$	1 0 1 1	0 0 0 0	1 1 1 1	0 1 0 1	1 1 0 0

Ранг следующей матрицы V_2 так же, как и матрицы V_1 , равняется единице, что и определяет количество формируемых двоичных векторов, которое в обоих случаях равняется двум. Однако значения переключательной активности $F_{av}(A)$ и $F_{av}(a_j)$ во втором случае принимают минимальные значения, равные $4/(2^m-1) = 4/15$ и $1/(2^m-1) = 1/15$ соответственно [14]. Приведенные два примера формирования $A(n)$ на базе матриц V_1 и V_2 свидетельствуют о возможности формирования последовательностей (1) на базе порождающих матриц, ранг которых не максимален, при этом вид самой матрицы оказывает значительное влияние на величины переключательной активности.

Два других примера описываются матрицами V_3 и V_4 , ранг которых равен трем. В этих примерах значения переключательных активностей $F(A)$ и $F(a_j)$ для указанных матриц существенно разнятся. Например, в случае матрицы V_3 переключательная активность $F(A) = 20$, а для V_4 она принимает значение, в два раза большее, т. е. $F(A) = 40$. Последний пример адресной последовательности, формируемой на основании матрицы V_5 , показывает возможность обеспечения нулевой переключательной активности по выбранным разрядам последовательности $A(n)$. Из табл. 1 видно, что $F_{av}(a_0) = 0$.

При генерировании адресных последовательностей согласно соотношению (1) с применением порождающих матриц, ранг которых меньше максимального ранга, важной характеристикой является количество адресов в таких последовательностях и их период, который может быть меньше чем 2^m . Иллюстрацией этого служат два примера порождающих матриц V_1 и V_2 (см. табл. 1) и соответствующих им последовательностей, каждая из которых состоит из двух повторяющихся адресов. Первая из указанных последовательностей имеет период, равный двум, что меньше максимального 2^4 , а вторая имеет максимальный для $m = 4$ период 2^4 , хотя в обоих случаях последовательности состоят только из двух повторяющихся адресов. Для общего случая справедливо следующее очевидное утверждение [20].

Утверждение 1. Количество повторяющихся адресов, представляющих собой t -разрядные двоичные коды, однозначно зависит от ранга r матрицы V , т. е. от количества линейно независимых двоичных векторов $v_i = \beta_{m-1}(i) \beta_{m-2}(i) \beta_{m-3}(i) \dots \beta_1(i) \beta_0(i)$, используемых в выражении (1) для формирования $A(n)$, и равняется 2^r .

Для формирования адресных последовательностей согласно (1) с максимальным периодом на базе порождающих матриц V не максимального ранга необходимо выполнение условия следующего утверждения [21], вытекающего из основ линейной алгебры [20].

Утверждение 2. Адресная последовательность $A(n)$, формируемая на базе порождающей матрицы V произвольного ранга $r \leq t$ в соответствии с выражением (1), имеет максимальный период 2^m в случае выполнения неравенства $v_{m-2} \neq v_{m-1}$.

Для примеров, приведенных в табл. 1, все последовательности $A(n)$, кроме первой, формируемой на базе матрицы V_1 , имеют максимальный период, равный 2^4 , так как только для V_1 не выполняется неравенство $v_2 \neq v_3$, а во всех остальных случаях оно выполняется.

Обобщив приведенные рассуждения, сформулируем следующее утверждение, которое позволяет определять период адресной последовательности $A(n)$, формируемой в соответствии с выражением (1).

Утверждение 3. Адресная последовательность $A(n)$, формируемая на базе порождающей матрицы V произвольного ранга $r \leq t$ в соответствии с выражением (1), имеет период 2^{i+1} , где $i \in \{0, 1, 2, \dots, t-1\}$ является максимальным значением, при котором выполняется неравенство $v_{i-1} \neq v_i$ для направляющих чисел v_i матрицы V .

Второе расширение математической модели (1) заключается в применении прямоугольной матрицы V , состоящей из t столбцов и $t+k$ строк ($k > 0$). Отметим, что значение индекса $i = i(n)$ направляющего числа $v_{i(n)}$, используемого в качестве слагаемого в выражении (1), будет определяться последовательностью переключений $T_{m+k-1}(n)$, $n \in \{0, 1, 2, \dots, 2^{m+k}-1\}$, отраженного кода Грея. В этом случае так же, как и для квадратных матриц V , возможно использование матриц максимального ранга t и матриц с произвольным рангом. Если ранг матрицы V , состоящей из $t+k$ строк и t столбцов, принимает максимальное значение, то обеспечивается повторяемость t -разрядных адресов. В данном случае все 2^m адреса последовательности $A(n)$ повто-

ряются многократно. В качестве примеров формирования последовательностей с повторяющимися адресами в табл. 2 приведены некоторые из таких последовательностей и их порождающие матрицы V .

Таблица 2
Адресные последовательности $A(n)$ с повторяющимися адресами

Table 2
Address sequences $A(n)$ with duplicate addresses

V	V_1	V_2	V_3	V	V_4	V_5
$v_0 = \beta_2(0)\beta_1(0)\beta_0(0)$	1 0 0	0 0 0	1 0 0	$v_0 = \beta_1(0)\beta_0(0)$	1 0	0 0
$v_1 = \beta_2(1)\beta_1(1)\beta_0(1)$	0 1 0	1 0 0	0 0 0	$v_1 = \beta_1(1)\beta_0(1)$	1 1	0 0
$v_2 = \beta_2(2)\beta_1(2)\beta_0(2)$	0 0 1	0 1 0	0 1 0	$v_2 = \beta_1(2)\beta_0(2)$	0 0	1 0
$v_3 = \beta_2(3)\beta_1(3)\beta_0(3)$	0 0 0	0 0 1	0 0 1	$v_3 = \beta_1(3)\beta_0(3)$	0 0	0 1
$A(0)$	0 0 0	0 0 0	0 0 0	$A(0)$	0 0	0 0
$A(1) = A(0) \oplus v_0$	1 0 0	0 0 0	1 0 0	$A(1) = A(0) \oplus v_0$	1 0	0 0
$A(2) = A(1) \oplus v_1$	1 1 0	1 0 0	1 0 0	$A(2) = A(1) \oplus v_1$	0 1	0 0
$A(3) = A(2) \oplus v_0$	0 1 0	1 0 0	0 0 0	$A(3) = A(2) \oplus v_0$	1 1	0 0
$A(4) = A(3) \oplus v_2$	0 1 1	1 1 0	0 1 0	$A(4) = A(3) \oplus v_2$	1 1	1 0
$A(5) = A(4) \oplus v_0$	1 1 1	1 1 0	1 1 0	$A(5) = A(4) \oplus v_0$	0 1	1 0
$A(6) = A(5) \oplus v_1$	1 0 1	0 1 0	1 1 0	$A(6) = A(5) \oplus v_1$	1 0	1 0
$A(7) = A(6) \oplus v_0$	0 0 1	0 1 0	0 1 0	$A(7) = A(6) \oplus v_0$	0 0	1 0
$A(8) = A(7) \oplus v_3$	0 0 1	0 1 1	0 1 1	$A(8) = A(7) \oplus v_3$	0 0	1 1
$A(9) = A(8) \oplus v_0$	1 0 1	0 1 1	1 1 1	$A(9) = A(8) \oplus v_0$	1 0	1 1
$A(10) = A(9) \oplus v_1$	1 1 1	1 1 1	1 1 1	$A(10) = A(9) \oplus v_1$	0 1	1 1
$A(11) = A(10) \oplus v_0$	0 1 1	1 1 1	0 1 1	$A(11) = A(10) \oplus v_0$	1 1	1 1
$A(12) = A(11) \oplus v_2$	0 1 0	1 0 1	0 0 1	$A(12) = A(11) \oplus v_2$	1 1	0 1
$A(13) = A(12) \oplus v_0$	1 1 0	1 0 1	1 0 1	$A(13) = A(12) \oplus v_0$	0 1	0 1
$A(14) = A(13) \oplus v_1$	1 0 0	0 0 1	1 0 1	$A(14) = A(13) \oplus v_1$	1 0	0 1
$A(15) = A(14) \oplus v_0$	0 0 0	0 0 1	0 0 1	$A(15) = A(14) \oplus v_0$	0 0	0 1

Первые три примера, представленные в табл. 2, описываются прямоугольными $(m+k) \times m = 4 \times 3$ матрицами V_1 , V_2 и V_3 максимального ранга $r = m = 3$. Во всех трех примерах каждый из $m = 3$ разрядных адресов повторяется дважды. Отличие порождающих матриц V_1 , V_2 и V_3 обеспечивает разный порядок генерирования адресов. Для двух других примеров, описываемых матрицами V_4 и V_5 , размерность которых равняется $(m+k) \times m = 4 \times 2$, достигается четырехкратное повторение $m = 2$ разрядных адресов.

Основываясь на приведенных примерах, сформулируем следующее утверждение [20].

Утверждение 4. Адресная последовательность $A(n)$, формируемая на базе порождающей $(m+k) \times m$ матрицы V ранга m согласно выражению (1), имеет период 2^{m+k} , где $k \geq 0$, и включает каждый из 2^m m -разрядных адресов 2^k раз при выполнении неравенства $v_{m+k-2} \neq v_{m+k-1}$ для направляющих чисел матрицы V .

Справедливость данного утверждения подтверждается примерами, приведенными в табл. 2. Период последовательности $A(n)$ может не быть максимальным, как это видно для матрицы V_4 , имеющей ранг 2, так как для данной матрицы $v_2 = v_3$ (табл. 2) и, соответственно, не выполняется условие утверждений 2 и 3. В то же время при выполнении условия $v_2 \neq v_3$ для матрицы V_5 получаем последовательность с максимальным периодом $2^{m+k} = 2^{2+2} = 8$.

Приведенный выше анализ модификаций метода (1) позволяет констатировать обобщение и расширение данного метода на случай тестовых адресных последовательностей, формируемых на базе прямоугольных порождающих матриц размерности $(m+k) \times m$, где $k \geq 0$. Для $k = 0$ имеет место представленный ранее метод (1) [6], который позволяет генерировать тестовые последовательности $A(n)$ с ограничениями на значения их переключательной активности, состоящие из однократно формируемых m -разрядных адресов. Необходимость формирования адрес-

ных последовательностей с многократным повторением адресов, и в первую очередь с двукратным их повторением ($k = 1$), обоснована в работе [22].

Синтез адресных последовательностей с заданной переключательной активностью. Краткий анализ примеров, представленных в табл. 1 и 2, позволяет сделать вывод, что в случае прямоугольной $(m+k) \times m$ матрицы V с произвольным рангом существует возможность генерирования различных видов тестовых последовательностей $A(n)$, сформированных на основе уравнения (1). Поэтому дальнейший анализ будет сосредоточен на общем случае последовательностей $A(n)$, полученных с помощью (1) и любой порождающей матрицы V независимо от ее ранга.

Прежде всего оценим свойства последовательностей $A(n)$, генерируемых согласно соотношению (1) на базе случайной порождающей матрицы V . По аналогии с соотношениями (3) и (4) переключательная активность для общего случая произвольной порождающей матрицы V будет вычисляться согласно равенствам

$$F_{av}(a_j) = \frac{1}{2^{m+k} - 1} \sum_{i=0}^{m-1} \beta_j(i) 2^{m+k-1-i}, \quad F_{av}(A) = \frac{1}{2^{m+k} - 1} \sum_{i=0}^{m+k-1} 2^{m+k-1-i} \sum_{j=0}^{m-1} \beta_j(i). \quad (5)$$

Переключательная активность $F(a_j)$ для j -го, $j \in \{0, 1, 2, \dots, m-1\}$, разряда a_j последовательности $A(n) = a_{m-1}(n) a_{m-2}(n) a_{m-3}(n) \dots a_1(n) a_0(n)$, генерируемой согласно (1), принимает значения в диапазоне от 0 до $2^{m+k} - 1$. Значение активности $F(a_j) = 0$ для j -го разряда $A(n)$ (1) обеспечивается j -м столбцом, состоящим из нулевых значений в порождающей матрице V (см. a_0 для V_5 в табл. 1). Максимальная активность $F(a_j) = 2^{m+k} - 1$ для j -го бита $A(n)$ соответствует единичному j -му столбцу матрицы V . Переключательная активность $F(A)$ последовательности $A(n)$ принимает минимальное значение $F(A) = 0$ в случае нулевой порождающей матрицы V . Максимальное значение активности $F(A) = m \cdot (2^{m+k} - 1)$ обеспечивает матрица V , все элементы которой принимают единичное значение (см. V_1 в табл. 1). Для $k = 0$ приведенные выше соотношения для переключательной активности (5) соответствуют случаю, рассмотренному в работе [6].

При произвольном m синтез генератора последовательности $A(n)$ (1) с заданной средней переключательной активностью $F_{av}(A)$ заключается в нахождении порождающей прямоугольной $(m+k) \times m$ матрицы V . Для этого формируется двоичная $(m+k) \times m$ матрица в соответствии с величиной $F(A) = F_{av}(A) \cdot (2^{m+k} - 1)$. При формировании указанной матрицы учитываются два весьма важных ограничения. Во-первых, полученная матрица V должна иметь максимально возможный ранг для обеспечения максимального количества тестовых наборов последовательности $A(n)$ (1), а во-вторых, для обеспечения максимального периода для $A(n)$ должно выполняться условие $v_{m+k-2} \neq v_{m+k-1}$, что следует из утверждения 4.

В работе [6] было показано, что первоначально заданная величина переключательной активности $F(A)$ записывается в виде разложения

$$F(A) = w(v_0) \cdot 2^{m+k-1} + w(v_1) \cdot 2^{m+k-2} + w(v_2) \cdot 2^{m+k-3} + \dots + w(v_{m+k-1}) \cdot 2^0. \quad (6)$$

Данное разложение представляет величину $F(A)$ в $(m+k)$ -ичной смешанной системе счисления, в которой веса разрядов имеют значения в виде степеней двойки от 2^0 до 2^{m+k-1} , а значения цифр $w(v_i)$ лежат в диапазоне от 0 до $m+k-1$. Отметим, что $w(v_i)$ является весом Хэмминга двоичного вектора v_i искомой порождающей матрицы V максимального ранга.

В качестве примера рассмотрим последовательность $A(n)$ (1) для матрицы размерностью $(m+k) \times m = (3+1) \times 3$ и переключательной активности $F(A) = 33$. Величина $F(A) = 33$ принадлежит диапазону от 0 до $3 \cdot (2^{3+1} - 1) = 45$, определенному ранее для величины $F(A)$. В табл. 3 приведены разложения (6) величины 33 для случая $m = 3, k = 1$.

Отметим, что каждому разложению (6) можно поставить в соответствие множество матриц V , веса строк которых соответствуют значениям цифр $w(v_i)$ указанного разложения.

Например, для разложения $33 = 3 \cdot 8 + 2 \cdot 4 + 0 \cdot 2 + 1 \cdot 1$ вес $w(v_0)$ первой строки матрицы равен трем, вес $w(v_1)$ второй строки – двум, вес $w(v_2)$ третьей строки – нулю, а вес $w(v_3)$ четвертой строки равняется единице.

Таблица 3
Примеры разложения (6) для числа 33

Table 3
Examples of decomposition (6) for the number 33

$w(v_0)$	$w(v_1)$	$w(v_2)$	$w(v_3)$	$F(A) = w(v_0) \cdot 2^3 + w(v_1) \cdot 2^2 + w(v_2) \cdot 2^1 + w(v_3) \cdot 2^0$	$F(A) = 33$
3	2	0	1	$33 = 3 \cdot 8 + 2 \cdot 4 + 0 \cdot 2 + 1 \cdot 1$	{8,8,8,4,4,1}
3	1	1	3	$33 = 3 \cdot 8 + 1 \cdot 4 + 1 \cdot 2 + 3 \cdot 1$	{8,8,8,4,2,1,1,1}
2	3	1	3	$33 = 2 \cdot 8 + 3 \cdot 4 + 1 \cdot 2 + 3 \cdot 1$	{8,8,4,4,4,2,1,1,1}
2	3	3	1	$33 = 2 \cdot 8 + 2 \cdot 4 + 2 \cdot 2 + 3 \cdot 1$	{8,8,4,4,4,2,2,1}

Численные значения весов разложения (6) определяют количество единичных значений порождающей матрицы V , которая обеспечивает заданное значение переключательной активности $F(A)$. Основываясь на приведенном примере $F(A) = 33$, для разложения вида $33 = 3 \cdot 8 + 2 \cdot 4 + 0 \cdot 2 + 1 \cdot 1$ можно привести матрицы, обеспечивающие переключательную активность, равную 33. Например, все из приведенных в табл. 4 матриц позволяют формировать согласно (1) последовательности $A(n)$ с переключательной активностью $F(A) = 33$.

Таблица 4
Адресные последовательности $A(n)$ с переключательной активностью $F(A) = 33$

Table 4
Address sequences $A(n)$ with switching activity $F(A) = 33$

V	V_1	V_2	V_3	V_4
$v_0 = \beta_2(0)\beta_1(0)\beta_0(0)$	1 1 1	1 1 1	1 1 1	1 1 1
$v_1 = \beta_2(1)\beta_1(1)\beta_0(1)$	1 1 0	1 0 1	0 1 1	1 0 1
$v_2 = \beta_2(2)\beta_1(2)\beta_0(2)$	0 0 0	0 0 0	0 0 0	0 0 0
$v_3 = \beta_2(3)\beta_1(3)\beta_0(3)$	0 1 0	0 0 1	1 0 0	0 1 0
$A(0)$	0 0 0	0 0 0	0 0 0	0 0 0
$A(1) = A(0) \oplus v_0$	1 1 1	1 1 1	1 1 1	1 1 1
$A(2) = A(1) \oplus v_1$	0 0 1	1 0 1	1 0 0	1 0 1
$A(3) = A(2) \oplus v_0$	1 1 0	0 1 0	0 1 1	0 1 0
$A(4) = A(3) \oplus v_2$	1 1 0	0 1 0	0 1 1	0 1 0
$A(5) = A(4) \oplus v_0$	0 0 1	1 0 1	1 0 0	1 0 1
$A(6) = A(5) \oplus v_1$	1 1 1	0 0 0	1 1 1	0 0 0
$A(7) = A(6) \oplus v_0$	0 0 0	1 1 1	0 0 0	1 1 1
$A(8) = A(7) \oplus v_3$	0 1 0	1 1 0	1 0 0	1 0 1
$A(9) = A(8) \oplus v_0$	1 0 1	0 0 1	0 1 1	0 1 0
$A(10) = A(9) \oplus v_1$	0 1 1	1 0 0	0 0 0	1 1 1
$A(11) = A(10) \oplus v_0$	1 0 0	0 1 1	1 1 1	0 0 0
$A(12) = A(11) \oplus v_2$	1 0 0	0 1 1	1 1 1	0 0 0
$A(13) = A(12) \oplus v_0$	0 1 1	1 0 0	0 0 0	1 1 1
$A(14) = A(13) \oplus v_1$	1 0 1	0 0 1	0 1 1	0 1 0
$A(15) = A(14) \oplus v_0$	0 1 0	1 1 0	1 0 0	1 0 1

В силу того что ранг матриц V_1 и V_2 максимален и равняется трем, обе последовательности, генерируемые на базе этих матриц, включают всевозможные двоичные комбинации из $m = 3$ бит (табл. 4). В то же время матрицы V_3 и V_4 обеспечивают формирование последовательностей, состоящих из четырех трехразрядных кодов, так как ранг этих матриц равен двум. Выполнение неравенства $v_2 \neq v_3$ для всех четырех матриц обеспечивает максимальное значение периода повторения формируемых значений, что полностью соответствует утверждению 4.

Конкретный вид разложения (6) определяет разнообразие возможных матриц с заданными весами их строк. Например, для $F(A) = 24$ и при тех же параметрах 4×3 порождающей матрицы V возможны следующие разложения (6) числа 24: $\{8,8,8\}$ ($8 + 8 + 8 = 24$) и $\{8,8,4,2,1,1\}$ ($8 + 8 + 4 + 2 + 1 + 1$). При этом для разложения $\{8,8,8\}$ можно построить только одну матрицу, а для разложения $\{8,8,4,2,1,1\}$ – семейство таких матриц:

$$V_1 = \begin{vmatrix} 1 & 1 & 1 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{vmatrix}, V_2 = \begin{vmatrix} 1 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 1 \\ 1 & 0 & 1 \end{vmatrix}, V_3 = \begin{vmatrix} 1 & 0 & 1 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \\ 1 & 1 & 0 \end{vmatrix}, V_4 = \begin{vmatrix} 1 & 1 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \\ 0 & 1 & 1 \end{vmatrix}. \quad (7)$$

Все матрицы (7) обеспечивают формирование последовательностей $A(n)$ (1) с требуемой переключающей активностью $F(A) = 24$. Однако для матрицы V_1 данная последовательность будет состоять только из двух двоичных трехбитовых наборов, а сама последовательность будет иметь период, равный двум.

Матрицы V_2 , V_3 и V_4 , представленные в (7), обеспечивают генерирование последовательностей максимального периода, состоящих из всех трехбитовых наборов, так как они удовлетворяют условиям утверждения 4. Примеры матриц (7) свидетельствуют о необходимости нахождения оптимальных разложений целых чисел (6) с точки зрения максимального количества возможных порождающих матриц, обеспечивающих требуемую переключающую активность. Среди многообразия порождающих матриц возможен выбор такой из них, которая обеспечивает все требования к последовательности $A(n)$. Рассмотренный пример разложения $\{8,8,8\}$ числа 24 показывает его ограниченность по сравнению с разложением $\{8,8,4,2,1,1\}$ этого же числа в контексте количества возможных порождающих матриц V .

Максимально возможное количество Q двоичных порождающих матриц V размерности $(m+k) \times m$ в зависимости от значений цифр $w(v_0)$, $w(v_1)$, $w(v_2)$, ..., $w(v_{m+k-1})$ разложения (6) оценивается соотношением

$$Q = \prod_{i=0}^{m+k-1} \binom{m}{w(v_i)}. \quad (8)$$

Для разложения $\{8,8,8\}$ числа 24 при $m = 3$ цифры принимают значения $w(v_0) = 3$, $w(v_1) = 0$, $w(v_2) = 0$ и $w(v_3) = 0$ соответственно, количество Q порождающих матриц V равняется единице. Для разложения $\{8,8,4,2,1,1\}$ эта величина Q (8) принимает значение $3 \cdot 3 \cdot 3 \cdot 3 = 81$, так как цифры разложения (6) принимают значения $w(v_0) = 2$, $w(v_1) = 1$, $w(v_2) = 1$ и $w(v_3) = 2$.

Приведенные в табл. 4 примеры показывают необходимость решения задачи разложения целого числа на слагаемые для построения порождающей матрицы V .

Простейшим способом генерирования всех разложений целого числа на слагаемые независимо от их порядка является разложение в обратном лексикографическом порядке, начиная с разлагаемого целого числа n , когда само число представляется одним слагаемым n , и заканчивая представлением $\{1,1,1,\dots,1\}$ этого числа в виде n слагаемых, равных единице [23]. Более эффективные алгоритмы получения разложений целого числа на слагаемые представлены в работах [24, 25].

Для целого значения $F(A) = 33$ и матрицы размерностью $(m+k) \times m = 4 \times 3$ с учетом ограничений на слагаемые, которыми в данном случае могут быть только 8, 4, 2 и 1, и их количества (не более трех одинаковых слагаемых) все возможные разложения имеют следующий вид: $\{8,8,8,4,4,1\}$, $\{8,8,8,4,2,2,1\}$, $\{8,8,8,4,2,1,1,1\}$, $\{8,8,8,2,2,2,1,1,1\}$, $\{8,8,4,4,4,2,2,1,1\}$, $\{8,8,4,4,4,2,1,1,1\}$.

Специфика разложения значения переключающей активности накладывает ограничение как на значения слагаемых, которые равняются 2^{m+k-1} , 2^{m+k-2} , 2^{m+k-3} , ..., 2^0 , так и на их количество, не превышающее величину m .

Рассмотрим алгоритм разложения целого числа, определяющего переключающую активность $F(A)$ последовательности $A(n) = a_{m-1}a_{m-2}a_{m-3} \dots a_0$ (1) для заданного значения m . Слагае-

мыми разложения могут быть только целые числа вида 2^i , где $i \in \{0, 1, 2, \dots, m+k-1\}$, а их сумма должна принадлежать диапазону от 0 до $m \cdot (2^{m+k} - 1)$.

Алгоритм разложения целого числа на слагаемые:

1. Первоначально определяется сумма всех слагаемых 2^i , которая равняется максимальному $m+k$ -разрядному двоичному числу $2^{m+k}-1$.

2. Выполняется операция деления $F(A)$ на $2^{m+k}-1$. Полученное частное d определяет количество вхождений каждого из слагаемых 2^i в разложение целого $F(A)$. При равенстве нулю остатка q от операции деления частное d является числом использования каждого из слагаемых 2^i , $i \in \{0, 1, 2, \dots, m+k-1\}$, в разложении $F(A)$, и на этом шаге алгоритм разложения завершается. В противном случае выполняется следующий шаг.

3. Остаток $0 < q < 2^{m+k}-1$ от операции деления представляется в двоичном коде $q = b_{m+k-1} \cdot 2^{m+k-1} + b_{m+k-2} \cdot 2^{m+k-2} + b_{m+k-3} \cdot 2^{m+k-3} + \dots + b_0 \cdot 2^0$, $b_i \in \{0, 1\}$.

4. Строится разложение целого числа $F(A)$ на слагаемые 2^i , где $i \in \{0, 1, 2, \dots, m+k-1\}$, каждое из которых входит в разбиение $0 < d + b_i \leq m$ раз, где величина $d + b_i$ определяет значение цифры $w(v_{m+k-1-i})$ разложения (6).

Применив данный алгоритм для случая, когда $m = 3$ и $F(A) = 33$, получим, что частное d от деления 33 на $2^{m+k}-1 = 15$ равняется двум, а остаток $q = 3$. В двоичном коде q представляется как $3 = 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0$. Соответственно, разложение числа 33 имеет вид $\{8, 8, 4, 2, 2, 1, 1, 1\}$. Компоненты разложения (6) принимают значения $w(v_0) = w(v_1) = 2$ и $w(v_2) = w(v_3) = 3$, которые и определяют веса строк матрицы V :

$$V = \begin{pmatrix} 1 & 1 & 0 \\ 0 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{pmatrix}. \quad (9)$$

Приведенный пример показывает, что получение одного разложения целого числа на слагаемые не представляется сложной задачей. В свою очередь, генерирование порождающей матрицы V может потребовать наличия большего числа разложений целого числа, полученных путем модификации исходного. В общем случае важным фактом является существование порождающей матрицы V максимального ранга, веса строк которой соответствуют цифрам разложения (6) [6]. При невозможности нахождения матрицы максимального ранга для исходного разложения необходимо получить другие разложения, например, путем модификации исходного.

По аналогии с диаграммами Юнга [23] для формализации процедуры модификации разбиения числа на слагаемые определим диаграмму разложения (6), которая учитывает все сформулированные ранее ограничения.

Определение. Диаграмма разложения (6) целого числа, принадлежащего диапазону от 0 до $2^{m+k}-1$, представляет собой прямоугольную матрицу, состоящую из $(m+k) \times m$ клеток, причем каждая заполненная клетка i -й строки, $i \in \{0, 1, 2, \dots, m+k-1\}$, соответствует целому числу $2^{m+k-1-i}$. Заполненные строки выравниваются по левой границе, а их заполнение соответствует разбиению целого числа.

На рис. 1 изображены диаграммы разложения для целого числа 24.

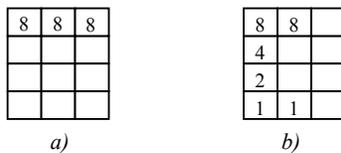


Рис. 1. Диаграммы для $w(v_0) = 3$ и $w(v_1) = w(v_2) = w(v_3) = 0$ (a); $w(v_0) = 2$, $w(v_1) = 1$, $w(v_2) = 1$ и $w(v_3) = 2$ (b)

Fig. 1. Diagrams for $w(v_0) = 3$ and $w(v_1) = w(v_2) = w(v_3) = 0$ (a); $w(v_0) = 2$, $w(v_1) = 1$, $w(v_2) = 1$ and $w(v_3) = 2$ (b)

Приведенные диаграммы свидетельствуют о том, что сумма значений заполненных клеток в обоих случаях равняется числу 24, а их заполнение соответствует его разложениям $\{8,8,8\}$ и $\{8,8,4,2,1,1\}$ на слагаемые 8, 4, 2 и 1. Анализ рис. 1 показывает, что диаграмма б) может быть получена из диаграммы а) путем последовательной пошаговой ее модификации (рис. 2).

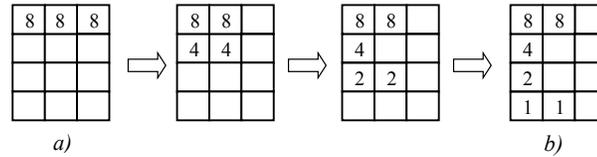


Рис. 2. Пошаговая модификация исходной диаграммы (а) для получения ее модификации (б)

Fig. 2. Step-by-step modification of the original diagram (a) to get a modification (b)

Основная операция, используемая для модификации, заключается в замене заполненной клетки с целым числом 2^i на две клетки с заполнением двумя числами 2^{i-1} . Этот пример позволяет определить операцию модификации разложения (6), соответствующего определению.

Операция модификации. Для i -й, $i = 0, m+k-2$, строки диаграммы разложения (6), содержащей заполненные клетки, удаление одной клетки сопряжено с заполнением 2^j свободных клеток в $(i+j)$ -й строке для строки $(i+j) = 1, m+k-1$ диаграммы, где $j \leq \lfloor \log_2(m+k-1) \rfloor$.

Данная операция симметрична относительно операций удаления и заполнения. Это значит, что удаление 2^j заполненных клеток в i -й, $i = 1, m+k-1$, строке диаграммы, содержащей не менее чем 2^j заполненных клеток, сопряжено с заполнением одной клетки в $(i-j)$ -й строке $(i-j = 0, m+k-2)$, где $j \leq \lfloor \log_2(m+k-1) \rfloor$.

Рассмотренная операция модификации позволит получить множество различных разложений (6), каждому из которых соответствует свое подмножество порождающих матриц V . Следует отметить, что указанные подмножества являются непересекающимися множествами матриц V , максимальная мощность которых зависит от разложения (6) и оценивается величиной $Q(8)$.

Синтез адресных последовательностей с заданными свойствами и повторяемостью адресов. Как отмечалось в ряде литературных источников [3, 6, 4, 11], широкое использование на практике находят адресные тестовые последовательности различных видов. К наиболее часто применяемым относятся пересчетные адресные последовательности [3, 4, 15], квазислучайные последовательности (например, последовательности Соболя) [17, 18], последовательности с минимальной переключающей активностью (последовательности кода Грея) [4, 15, 19], последовательности с максимальной переключающей активностью [4, 15] и множество других их разновидностей и модификаций [3, 4, 15, 18, 19]. Свойства разнообразных видов адресных тестовых последовательностей достаточно хорошо изучены в классической их интерпретации [15], когда каждый из адресов (m -битовых двоичных наборов) принимает одно из 2^m значений. Необходимость повторного формирования одинаковых значений адресов доказана в ряде работ [1, 3, 4]. Наиболее полно эффективность многократного повторения как адресных последовательностей, так и составляющих их адресов для случая тестирования запоминающих устройств обоснована в работе [22]. Показано, что использование последовательностей с двукратным применением адресов позволяет существенно повысить эффективность тестирования.

Количество повторяющихся адресов (отличных друг от друга m -разрядных двоичных кодов) в последовательности $A(n)$ (1) однозначно зависит от ранга r матрицы V (2), т. е. от количества линейно независимых двоичных векторов v_i , и равняется 2^r [20]. Соответственно, каждый из 2^r m -разрядных двоичных кодов будет повторяться в $A(n)$ 2^{m-r} раз, что определяется математической моделью (1) для квадратной $m \times m$ порождающей матрицы V [18, 20]. Свойства формируемых последовательностей $A(n)$ характеризуются набором из 2^r адресов и последовательностью их чередования, однозначно определяемыми матрицей V (см. табл. 1).

Представленная новая математическая модель (1), использующая прямоугольную $(m + k) \times m$ порождающую матрицу V ранга r , позволяет формировать последовательности с 2^{m+k-r} -кратным повторением адресов (см. утверждение 1). В случае максимального $r = m$ ранга матрицы V обеспечивается 2^k -кратное повторение адресов. При $k = 0$ получим хорошо изученный ранее случай однократного повторения адресов [3, 4, 6, 15].

Среди многообразия сочетаний адресных последовательностей независимо от их вида [4] наиболее востребованными являются прямая адресная последовательность и обратная по отношению к ней, в которой адреса формируются в обратной последовательности по сравнению с прямой последовательностью. Часто их называют возрастающей и убывающей либо прямой и инверсной последовательностями и обозначают символами $\uparrow A(n)$ и $\downarrow A(n)$. В случае новой математической модели, описываемой соотношением (1) и использующей произвольную матрицу V размерностью $(m + k) \times m$, также справедливо следующее утверждение.

Утверждение 5. Последовательность адресов $\downarrow A(n)$, $n \in \{0, 1, 2, \dots, 2^{m+k} - 1\}$, обратная по отношению к прямой последовательности $\uparrow A(n)$, формируется с использованием соотношения (1) и той же порождающей матрицы V , что и для генерирования последовательности $\uparrow A(n)$ с начальным адресом $\downarrow A(0)$, равным адресу $\uparrow A(2^m - 1)$.

Весьма интересным и практически востребованным является случай двукратного повторения всех m -разрядных адресов [22]. Для формирования подобных адресов необходимо применение матрицы V размерностью $(m + 1) \times m$, имеющей максимальный ранг $r = m$. Конкретные значения направляющих векторов матрицы будут определять один из видов таких последовательностей и конкретную его реализацию. По аналогии с ранее использованным в работе [22] обозначением будем представлять такие последовательности как $2A(n)$, где $n \in \{0, 1, 2, \dots, 2^{m+1} - 1\}$. Эти последовательности построены из двух последовательностей $A(n)$ для $n \in \{0, 1, 2, \dots, 2^m - 1\}$, причем элементами обеих последовательностей являются m -разрядные двоичные коды, т. е. элементы последовательностей $2A(n)$ и $A(n)$ принадлежат одному и тому же множеству значений $\{0, 1, 2, \dots, 2^m - 1\}$. Примеры подобных последовательностей, описываемые матрицами V_1, V_2 и V_3 размерностью $(m + 1) \times m = (3 + 1) \times 3$, приведены в табл. 2. Во всех трех случаях реализован один и тот же вид адресных последовательностей, а именно последовательности кода Грея, однако все они имеют различную структуру чередования адресов.

В общем случае для формирования последовательностей $2A(n)$ порождающая матрица V , состоящая из $m + 1$ строки и m столбцов, должна иметь максимальный ранг $r = m$. Это означает, что в матрице будет m из $m + 1$ линейно независимых направляющих чисел $v_i, i \in \{0, 1, 2, \dots, m\}$, и одно число $v_j, j \in \{0, 1, 2, \dots, m\}$, из направляющих чисел v_i будет линейной комбинацией из нескольких остальных. В этом числе оно может принимать нулевые $v_j = 0 \ 0 \ 0 \ \dots \ 0 \ 0$ либо единичные $v_j = 1 \ 1 \ 1 \ \dots \ 1 \ 1$ значения всех компонент (см. табл. 2).

Анализ рассмотренных примеров показывает возможность генерирования согласно уравнению (1) в рамках новой модели последовательностей $2A(n)$ с заданной структурой повторения адресов.

Одной из часто используемых разновидностей структур повторения тестовых наборов являются симметричные структуры данных, впервые предложенные М. Николаидисом в рамках неразрушающего симметричного тестирования [26, 27]. Различают четыре разновидности симметрии тестовых данных, а именно *Type 1*, *Type 2*, *Type 3* и *Type 4* (рис. 3).

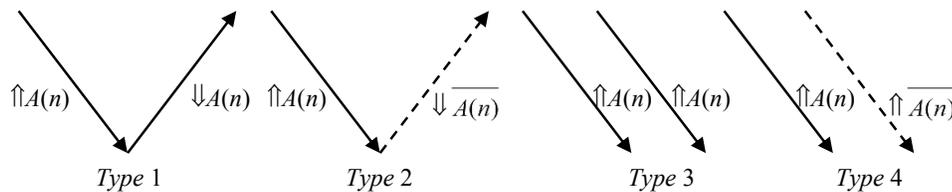


Рис. 3. Виды симметрии тестовых данных
Fig. 3. Types of test data symmetry

Type 1 характеризуется последовательным формированием тестовых данных в прямом $\uparrow A(n)$ и обратном $\downarrow A(n)$ порядке. Результирующая последовательность $2A(n)$ будет содержать последовательность адресов $A(n)$, формируемых в прямом порядке с последующим формированием этих же адресов в обратной последовательности. Для последовательности $A(n)$ кода Грея пример $2A(n)$ с дублированием адресов по типу *Type 1* описывается матрицей V_1 для частного случая, представленного в табл. 2. Для общего случая справедливо следующее утверждение.

Утверждение 6. *Последовательность $2A(n)$ с двукратным повторением адресов, имеющая симметрию *Type 1*, формируется согласно соотношению (1) при использовании прямоугольной $(m + 1) \times m$ матрицы V максимального ранга m и нулевыми значениями всех компонент направляющего числа v_m .*

Отметим, что m направляющих чисел v_0, v_1, \dots, v_{m-1} матрицы V , указанной в утверждении 6, образуют порождающую матрицу произвольной исходной последовательности $A(n)$. В табл. 5 приведен пример последовательности Соболя с двукратным повторением адресов $2A(n)$, которая описывается матрицей V_1 .

Таблица 5
Последовательности $2A(n)$ с двукратным повторением адресов

Table 5
Sequences $2A(n)$ with duplicate addresses

V	V_1	V_2	V_3	V_4	V_5	V_6	V_7
$v_0 = \beta_2(0)\beta_1(0)\beta_0(0)$	1 0 0	1 1 1	0 0 1	0 0 1	1 1 1	0 0 0	0 0 0
$v_1 = \beta_2(1)\beta_1(1)\beta_0(1)$	1 1 0	1 1 0	0 1 1	0 1 0	0 1 0	1 0 0	1 0 0
$v_2 = \beta_2(2)\beta_1(2)\beta_0(2)$	1 1 1	0 1 1	1 1 1	1 0 0	1 0 0	1 1 0	1 1 0
$v_3 = \beta_2(3)\beta_1(3)\beta_0(3)$	0 0 0	1 1 1	1 1 1	0 1 1	0 0 1	1 0 1	1 0 1
$A(0)$	000	000	000	000	000	000	101
$A(1) = A(0) \oplus v_0$	100	111	001	001	111	000	101
$A(2) = A(1) \oplus v_1$	010	001	010	011	101	100	001
$A(3) = A(2) \oplus v_0$	110	110	011	010	010	100	001
$A(4) = A(3) \oplus v_2$	001	101	100	110	110	010	111
$A(5) = A(4) \oplus v_0$	101	010	101	111	001	010	111
$A(6) = A(5) \oplus v_1$	011	100	110	101	011	110	011
$A(7) = A(6) \oplus v_0$	111	011	111	100	100	110	011
$A(8) = A(7) \oplus v_3$	111	100	000	111	101	011	110
$A(9) = A(8) \oplus v_0$	011	011	001	110	010	011	110
$A(10) = A(9) \oplus v_1$	101	101	010	100	000	111	010
$A(11) = A(10) \oplus v_0$	001	010	011	101	111	111	010
$A(12) = A(11) \oplus v_2$	110	001	100	001	011	001	100
$A(13) = A(12) \oplus v_0$	010	110	101	000	100	001	100
$A(14) = A(13) \oplus v_1$	100	000	110	010	110	101	000
$A(15) = A(14) \oplus v_0$	000	111	111	011	001	101	000

Для формирования последовательностей $2A(n)$ с другими видами симметрии необходимо выполнение условий соответствующих утверждений, приведенных ниже.

Утверждение 7. *Последовательность $2A(n)$ с двукратным повторением адресов, имеющая симметрию *Type 2*, формируется согласно соотношению (1) при использовании прямоугольной $(m + 1) \times m$ матрицы V максимального ранга m и единичными значениями всех компонент направляющего числа v_m .*

Симметрия данных *Type 2* обеспечивается формированием двоичных данных $A(n)$ в прямом порядке \uparrow с последующим формированием их инверсных значений $\overline{A(n)}$ в обратном порядке \downarrow . Пример последовательности $2A(n)$ с симметрией *Type 2* для случая последовательностей с максимальной переключающей активностью, описываемой порождающей матрицей V_2 , представлен в табл. 5.

Утверждение 8. *Последовательность $2A(n)$ с двукратным повторением адресов, имеющая симметрию Type 3, формируется согласно соотношению (1) при использовании прямоугольной $(m + 1) \times m$ матрицы V максимального ранга m , для которой $v_m = v_{m-1}$.*

В данном случае симметрии обеспечивается повторение той же исходной последовательности $A(n)$ для получения результирующей последовательности $2A(n)$, как это показано для счетчиковой последовательности (матрица V_3), приведенной в табл. 5. В утверждении 8 равенство $v_m = v_{m-1}$ эквивалентно равенству поразрядной суммы $v_m \oplus v_{m-1}$ двух m -разрядных направляющих чисел v_m и v_{m-1} нулевому m -разрядному коду. Это утверждение является следствием утверждения 2.

Утверждение 9. *Последовательность $2A(n)$ с двукратным повторением адресов, имеющая симметрию Type 4, формируется согласно соотношению (1) при использовании прямоугольной $(m + 1) \times m$ матрицы V максимального ранга m , для которой сумма $v_m \oplus v_{m-1}$ направляющих чисел v_m и v_{m-1} равняется m -разрядному единичному коду.*

Пример последовательности $2A(n)$, имеющей симметрию Type 4 для случая кода Грея, приведен в табл. 5 и описывается матрицей V_4 .

Два последующих примера, описываемых матрицами V_5 и V_6 последовательностей с двукратным повторением адресов $2A(n)$, также иллюстрируют классические тесты, широко применяемые на практике [2, 4]. В первом случае (матрица V_5) приведена реализация последовательности комплементарных адресов (*Address Complement*), характеризующаяся последовательным формированием текущего адреса, за которым следует его инверсное значение [4]. Подобный вид тестовых последовательностей обеспечивается порождающей $(m + 1) \times m$ матрицей V максимального ранга с направляющим числом v_0 , все компоненты которого принимают единичные значения (см. табл. 5). Если при тех же ограничениях на порождающую матрицу V используется направляющее число v_0 , состоящее из всех нулевых компонент (см. табл. 5, случай V_6), то формируется так называемая двухтестовая последовательность (*Two-patterns*), в которой каждый адрес генерируется попарно во времени [2]. Подобные последовательности востребованы для тестирования комбинационных КМОП-схем [1, 2]. Последний пример, приведенный в табл. 5 и описываемый матрицей V_7 , согласно утверждению 5 иллюстрирует возможность генерирования последовательности адресов $2A(n)$ в обратном порядке. В данном случае с помощью начального значения $2A(0) = 101$ генерируется убывающая последовательность $\Downarrow 2A(n)$ по отношению к последовательности $\Uparrow 2A(n)$, описываемой матрицей V_6 .

Заключение. Представленные авторами результаты являются продолжением их исследований в области генерирования квазислучайных последовательностей Соболя, применяемых для формирования тестовых последовательностей. В качестве новой математической модели используется модификация указанного метода, основанная на применении для генерирования адресных последовательностей прямоугольных $(m + k) \times m$ порождающих матриц V произвольного ранга r . Предложенная модель расширяет возможности генерирования тестовых адресных последовательностей с требуемыми значениями переключательной активности как тестовых наборов, так и их отдельных разрядов. Применение порождающих матриц не максимального ранга дает возможность формализовать метод генерирования адресных последовательностей с четным повторением адресов. Для ранга r матрицы V , равного $m-1$, предложенный метод позволяет генерировать последовательности с двойным повторением адресов и с различными видами симметрии. Интересным представляется дальнейшее исследование предложенного подхода для генерирования тестовых последовательностей с локально исчерпывающим генерированием наборов для их фиксированных разрядов. Направления исследований в части генерирования адресных последовательностей с повторяющимися адресами и способы получения формальных методик оценки их свойств, влияющих на обнаруживающую способность неисправностей запоминающих устройств, остаются малоизученными.

Вклад авторов. В. Н. Ярмолик предложил идею модификации метода генерирования адресных последовательностей, Н. А. Шевченко исследовал применение данной модели для генерирования симметричных тестовых последовательностей с двойным повторением адресов, В. А. Леванцевич и Д. В. Деменковец приняли участие в обобщении и анализе полученных результатов.

Список использованных источников

1. Marwedel, P. Embedded System Design. Embedded Systems Foundations of Cyber-Physical Systems, and the Internet of Things / P. Marwedel. – 4th ed. – Dortmund, Germany : Springer Nature, 2021. – 433 p.
2. Challenges in embedded memory design and test / E. J. Marinissen [et al.] // Proc. of Design, Automation and Test in Europe Conf. and Exhibition. DATE'05, Munich, Germany, 7–11 Mar. 2005. – Munich, 2005. – P. 722–727.
3. Ярмолик, В. Н. Контроль и диагностика вычислительных систем / В. Н. Ярмолик. – Минск : Бест-принт, 2019. – 387 с.
4. Goor, A. J. Optimizing memory BIST Address Generator implementations / A. J. Goor, H. Kukner, S. Hamdioui // Proc. of the 2011 6th Intern. Conf. on Design & Technology of Integrated Systems in Nanoscale Era (DTIS), Athens, Greece, 6–8 Apr. 2011. – Athens, 2011. – P. 572–576.
5. Pomeranz, I. An adjacent switching activity metric under functional broadside tests / I. Pomeranz // IEEE Transaction on Computers. – 2013. – Vol. 62, no. 4. – P. 404–410.
6. Ярмолик, В. Н. Формирование адресных последовательностей с заданной переключательной активностью / В. Н. Ярмолик, Н. А. Шевченко // Информатика. – 2020. – № 1(17). – С. 47–62.
7. A test vector ordering technique for switching activity reduction during test operation / P. Girard [et al.] // Proc. Ninth Great Lakes Symp. on VLSI, Ypsilanti, MI, USA, 4–6 Mar. 1999. – Ypsilanti, 1999. – P. 24–27.
8. Wang, S. An automatic test pattern generator for minimizing switching activity during scan testing activity / S. Wang, S. K. Gupta // IEEE Transaction Computer-Aided Design of Integrated Circuits and Systems. – 2002. – Vol. 21, no. 8. – P. 954–968.
9. Design and analysis of low-transition address generator / S. Saravanan [et al.] // Proc. of 6th EAI Intern. Conf. ICAST 2018, Bahir Dar, Ethiopia, 5–7 Oct. 2018. – Bahir Dar, 2018. – P. 239–247.
10. Novel architecture design of address generators for BIST algorithms / P. A. Pavani [et al.] // Intern. J. of Science & Engineering Research. – 2016. – Vol. 7, no. 2. – P. 1484–1488.
11. Yarmolik, V. N. Address sequences / V. N. Yarmolik, S. V. Yarmolik // Automatic Control and Computer Sciences. – 2014. – Vol. 48, no. 4. – P. 207–213.
12. Singh, B. Address counter/generators for low power memory BIST / B. Singh, S. Narang, A. Khosla // Intern. J. of Computer Science (IJCSI). – 2011. – Vol. 8, iss. 4, no. 1. – P. 561–567.
13. Mrozek, I. Iterative antirandom testing / I. Mrozek, V. N. Yarmolik // J. of Electronic Testing: Theory and Applications. – 2012. – Vol. 9, no. 3. – P. 251–266.
14. Yarmolik, V. N. Generating modified Sobol sequences for multiple run march memory test / V. N. Yarmolik, S. V. Yarmolik // Automatic Control and Computer Sciences. – 2013. – Vol. 47, no. 5. – P. 242–247.
15. Robinson, J. Counting sequence / J. Robinson, M. Cohn // IEEE Transaction on Computers. – 1981. – Vol. C-30, no. 1. – P. 17–23.
16. Hayes, J. P. Generation of optimal transition count tests / J. P. Hayes // IEEE Transaction on Computers. – 1978. – Vol. C-27, no. 1. – P. 36–41.
17. Ярмолик, С. В. Квазислучайное тестирование вычислительных систем / С. В. Ярмолик, В. Н. Ярмолик // Информатика. – 2013. – № 3(39). – С. 92–103.
18. Антонов, И. А. Экономичный способ вычисления ЛПт последовательностей / И. А. Антонов, В. М. Салеев // Журнал вычислительной математики и математической физики. – 1979. – Т. 19, № 1. – С. 243–245.
19. Savage, C. A survey of combinatorial Gray code / C. Savage // SIAM Review. – 1997. – Vol. 39, no. 4. – P. 605–629.
20. Boyd, S. Introduction to Applied Linear Algebra: Vectors, Matrices, and Least Squares / S. Boyd. – Cambridge, United Kingdom : University Printing House, 2018. – 463 p.
21. Shevchenko, M. Generation of test sequences with a given switching activity / M. Shevchenko // Proc. of XIV Conf. for Young Researchers: Technical Science, Industrial Management, Borovets, Bulgaria, 10–13 Mar. 2021. – Borovets, 2021. – P. 14–17.
22. Ярмолик, В. Н. Неразрушающие тесты с четным повторением адресов для тестирования запоминающих устройств / В. Н. Ярмолик, И. Мрозек, В. А. Леванцевич, Д. В. Деменковец // Информатика. – 2021. – № 3(18). – С. 18–35.
23. Кнут, Д. Искусство программирования. Т. 4А. Комбинаторные алгоритмы. Ч. 1 / Д. Кнут. – М. : Диалектика-Вильямс, 2013. – 960 с.
24. McKay, J. K. S. Algorithm 371: Partitions in natural order [A1] / J. K. S. McKay // Communications of the ACM. – 1970. – Vol. 13, no. 1. – P. 52.

25. Stojmenović, I. Fast algorithms for generating integer partitions / I. Stojmenović, A. Zoghbi // Intern. J. of Computer Mathematics. – 1998. – Vol. 70, no. 2. – P. 319–332.
26. Nicolaidis, M. Theory of transparent BIST for RAMs / M. Nicolaidis // IEEE Transactions on Computers. – 1996. – Vol. 45, no. 10. – P. 1141–1156.
27. Hellebrand, S. Symmetric Transparent BIST for RAMs / S. Hellebrand, H.-J. Wunderlich, V. N. Yarmolik // Proc. of IEEE Design, Automation and Test in Europe Conf. (DATA'99), Munich, Germany, 9–12 Mar. 1999. – Munich, 1999. – P. 702–707.

References

1. Marwedel, P. *Embedded System Design. Embedded Systems Foundations of Cyber-Physical Systems, and the Internet of Things. 4th edition.* Dortmund, Springer Nature, 2021, 433 p.
2. Marinissen E. J., Prince B., Keitel-Schulz D., Zorian Y. Challenges in embedded memory design and test. *Proceedings of Design, Automation and Test in Europe Conference and Exhibition. DATE'05, Munich, Germany, 7–11 March 2005.* Munich, 2005, pp. 722–727.
3. Yarmolik V. N. Control' i diagnostika vuchislitel'nuch system. *Computer Systems Testing and Diagnoses.* Minsk, Bestprint, 2019, 387 p. (In Russ.).
4. Goor A. J., Kukner H., Hamdioui S. Optimizing memory BIST Address Generator implementations. *Proceedings of the 2011 6th International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS), Athens, Greece, 6–8 April 2011.* Athens, 2011, pp. 572–576.
5. Pomeranz I. An adjacent switching activity metric under functional broadside tests. *IEEE Transaction on Computers*, 2013, vol. 62, no. 4, pp. 404–410.
6. Yarmolik V. N., Shevchenko N. A. *Generation of address sequences with a given switching activity.* Informatika [Informatics], 2020, no. 1(17), pp. 47–62 (In Russ.).
7. Girard P., Guiller L., Landrault C., Pravossoudovitch S. A test vector ordering technique for switching activity reduction during test operation. *Proceedings Ninth Great Lakes Symposium on VLSI, Ypsilanti, MI, USA, 4–6 March 1999.* Ypsilanti, 1999, pp. 24–27.
8. Wang S., Gupta S. K. An automatic test pattern generator for minimizing switching activity during scan testing activity. *IEEE Transaction Computer-Aided Design of Integrated Circuits and Systems*, 2002, vol. 21, no. 8, pp. 954–968.
9. Saravanan S., Hailu M., Gouse G. M., Lavanya M., Vijaysai R. Design and analysis of low-transition address generator. *Proceedings of 6th EAI International Conference ICAST 2018, Bahir Dar, Ethiopia, 5–7 October 2018.* Bahir Dar, 2018, pp. 239–247.
10. Pavani P. A., Anitha G., Bhavana J., Raj J. P. Novel architecture design of address generators for BIST algorithms. *International Journal of Science & Engineering Research*, 2016, vol. 7, no. 2, pp. 1484–1488.
11. Yarmolik V. N., Yarmolik S. V. Address sequences. *Automatic Control and Computer Sciences*, 2014, vol. 48, no. 4, pp. 207–213.
12. Singh B., Narang S., Khosla A. Address counter/generators for low power memory BIST. *International Journal of Computer Science (IJCSI)*, 2011, vol. 8, iss. 4, no. 1, pp. 561–567.
13. Mrozek I., Yarmolik V. N. Iterative antirandom testing. *Journal of Electronic Testing: Theory and Applications*, 2012, vol. 9, no. 3, pp. 251–266.
14. Yarmolik V. N., Yarmolik S. V. Generating modified Sobol sequences for multiple run march memory test. *Automatic Control and Computer Sciences*, 2013, vol. 47, no. 5, pp. 242–247.
15. Robinson J., Cohn M. Counting sequence. *IEEE Transaction on Computers*, 1981, vol. C-30, no. 1, pp. 17–23.
16. Hayes J. P. Generation of optimal transition count tests. *IEEE Transaction on Computers*, 1978, vol. C-27, no. 1, pp. 36–41.
17. Yarmolik V. N., Yarmolik S. V. *Quasi-random testing of computer systems.* Informatika [Informatics], 2013, no. 3(39), pp. 92–103 (In Russ.).
18. Antonov I. A., Saleev V. M. An economical way to compute $LP\tau$ sequences. *Journal of Mathematics and Mathematical Physics*, 1979, vol. 19, no. 1, pp. 243–245.
19. Savage C. A survey of combinatorial Gray code. *SIAM Review*, 1997, vol. 39, no 4, pp. 605–629.
20. Boyd S. *Introduction to Applied Linear Algebra: Vectors, Matrices, and Least Squares.* Cambridge, United Kingdom, University Printing House, 2018, 463 p.
21. Shevchenko M. Generation of test sequences with a given switching activity. *Proceedings of XIV Conference for Yong Researchers: Technical Science, Industrial Management, Borovets, Bulgaria, 10–13 March 2021.* Borovets, 2021, pp. 14–17.

22. Yarmolik V. N., Mrozek I., Levantsevich V. A., Demenkovets D. V. *Transparent memory tests with even repeating addresses for storage devices*. *Informatika [Informatics]*, 2021, no. 3(18), pp. 18–35 (In Russ.).
23. Knuth D. *Art of Computer Programming, Volume 4A, The: Combinatorial Algorithms, Part 1*. 1st edition. Addison-Wesley Professional, 2011, 912 p.
24. McKay J. K. S. Algorithm 371: Partitions in natural order [A1]. *Communications of the ACM*, 1970, vol. 13, no. 1, pp. 52.
25. Stojmenović I., Zoghbi A. Fast algorithms for generating integer partitions. *International Journal of Computer Mathematics*, 1998, vol. 70, no. 2, pp. 319–332.
26. Nicolaidis M. Theory of transparent BIST for RAMs. *IEEE Transactions on Computers*, 1996, vol. 45, no. 10, pp. 1141–1156.
27. Hellebrand S., Wunderlich H.-J., Yarmolik V. N. Symmetric Transparent BIST for RAMs. *Proceedings of IEEE Design, Automation and Test in Europe Conference (DATA'99), Munich, Germany, 9–12 March 1999*. Munich, 1999, pp. 702–707.

Информация об авторах

Ярмолик Вячеслав Николаевич, доктор технических наук, профессор, Белорусский государственный университет информатики и радиоэлектроники.
E-mail: yarmolik10ru@yahoo.com

Шевченко Николай Алексеевич, студент, Darmstadt-ский технический университет.
E-mail: nik.sh.de@gmail.com

Леванцевич Владимир Александрович, магистр технических наук, старший преподаватель, Белорусский государственный университет информатики и радиоэлектроники.
E-mail: lvn@bsuir.by

Деманковец Денис Викторович, магистр технических наук, старший преподаватель, Белорусский государственный университет информатики и радиоэлектроники.
E-mail: demenkovets@bsuir.by

Information about the authors

Vyacheslav N. Yarmolik, D. Sc. (Eng.), Professor, Belarusian State University of Informatics and Radioelectronics.
E-mail: yarmolik10ru@yahoo.com

Nikolai A. Shevchenko, Student, Darmstadt Technical University.
E-mail: nik.sh.de@gmail.com

Vladimir A. Levantsevich, M. Sc. (Eng.), Senior Lecture, Belarusian State University of Informatics and Radioelectronics.
E-mail: lvn@bsuir.by

Denis V. Demenkovets, M. Sc. (Eng.), Senior Lecture, Belarusian State University of Informatics and Radioelectronics.
E-mail: demenkovets@bsuir.by