

УДК 621.382

Сергей Г. Бобков¹, Борис Е. Евлампиев²

¹*Институт проблем проектирования в микроэлектронике Российской академии наук,
ул. Советская, 3, Зеленоград, Москва, 124365, Россия*

²*Научно-исследовательский институт системных исследований Российской академии наук,
Нахимовский пр-т., 36, к. 1, Москва, 11721, Россия*

¹*e-mail: s_g_bob@mail.ru, <https://orcid.org/0009-0006-9352-4592>*

²*e-mail: eboris@cs.niisi.ras.ru, <https://orcid.org/0009-0001-7184-4185>*

ДОВЕРЕННЫЙ И КОНТРОЛИРУЕМЫЙ МАРШРУТ ПРОЕКТИРОВАНИЯ
СЛОЖНО-ФУНКЦИОНАЛЬНЫХ СБИС С ИСПОЛЬЗОВАНИЕМ
ЗАРУБЕЖНЫХ И ОТЕЧЕСТВЕННЫХ САПР*

DOI: <http://dx.doi.org/10.26583/bit.2023.4.05>

Аннотация. В статье рассматривается маршрут проектирования сложно-функциональных СБИС на этапе синтеза и топологического проектирования с использованием зарубежных и отечественных САПР, позволяющий обеспечить, с одной стороны, характеристики кристалла в соответствие с возможностями зарубежных САПР, с другой стороны, исключить недеклалируемые функции, возможные из-за использования зарубежных САПР. Маршрут делится на два основных этапа: логический синтез и топологический синтез. Безопасность обеспечивается использованием только отечественных доверенных RTL-кодов и СФ-блоков и проверкой, проводимой отечественной доверенной САПР соответствия исходного RTL-кода, полученному в результате проектирования на зарубежных САПР документу netlist, а также анализом на отсутствие схем и цепей, несоединенных с входами/выходами разрабатываемой схемы. Помимо отечественного САПР возможно использование верифицированного САПР на основе свободно распространяемого YOSYS. В маршруте проектирования должны быть дополнительно введены четыре отечественных ERC-проверки, приведены функции этих проверок. Маршрут проектирования предназначен для создания сложно-функциональных СБИС российскими дизайн-центрами и Центрами коллективного проектирования радиоэлектронной продукции. Рассматривается маршрут синтеза и топологического проектирования с указанием названий файлов, получаемых на каждом этапе. Представлена таблица используемых продуктов САПР компаний Synopsys, Cadence, Mentor Graphics (Siemens) для проведения рассматриваемых этапов проектирования с технологическими нормами 28–65 нм. В заключение приводится обоснование маршрута проектирования СФ-СБИС с использованием зарубежных и отечественных САПР и перечислены работы, необходимые для развития данного направления.

Ключевые слова: маршрут проектирования, доверенные схемы, синтез, топологическое проектирование, СБИС, недеклалируемые функции.

Для цитирования: БОБКОВ Сергей Г.; ЕВЛАМПИЕВ Борис Е. ДОВЕРЕННЫЙ И КОНТРОЛИРУЕМЫЙ МАРШРУТ ПРОЕКТИРОВАНИЯ СЛОЖНО-ФУНКЦИОНАЛЬНЫХ СБИС С ИСПОЛЬЗОВАНИЕМ ЗАРУБЕЖНЫХ И ОТЕЧЕСТВЕННЫХ САПР. *Безопасность информационных технологий, [S.l.], т. 30, № 4, с. 92–101, 2023. ISSN 2074-7136. URL: <https://bit.spels.ru/index.php/bit/article/view/1551>. DOI: <http://dx.doi.org/10.26583/bit.2023.4.05>*

**Благодарности.* Работа выполнена в рамках государственного задания ФГУ ФНЦ НИИСИ РАН по теме FNEF-2022-0004

Sergey G. Bobkov¹, Boris E. Evlampiev²

¹*Institute for Design Problems in Microelectronics of Russian Academy of Sciences,
Sovetskaya str., 3, Zelenograd, Moscow, 124365, Russia*

²*Scientific Research Institute for System Analysis of Russian Academy of Sciences
Nakhimovsky Ave., 36, 1, Moscow, 11721, Russia*

¹*e-mail: s_g_bob@mail.ru, <https://orcid.org/0009-0006-9352-4592>*

²*e-mail: eboris@cs.niisi.ras.ru, <https://orcid.org/0009-0001-7184-4185>*

**Trusted and controlled design route complex-functional VLSI using
foreign and domestic CAD systems***

DOI: <http://dx.doi.org/10.26583/bit.2023.4.05>

Abstract. The article discusses the design flow for complex functional VLSI circuits at the stage of synthesis and physical synthesis using foreign and domestic CAD systems, which makes it possible to ensure, on the one hand, the characteristics of the VLSI in accordance with the capabilities of foreign CAD systems, on the other hand, to exclude undeclared functions that are possible due to use of Western CAD systems. The design flow is divided into two main stages: logical synthesis and physical synthesis. Security is ensured by using only domestic trusted RTL codes and IP blocks and checking, carried out by domestic trusted CAD, for compliance of the source RTL code obtained as a result of design on foreign CAD with the netlist, as well as analysis for the absence of circuits and circuits not connected to inputs/outputs the developed scheme. In addition to domestic CAD, it is possible to use verified CAD based on the freely available YOSYS. The design flow should include four additional domestic ERC checks; the functions of these checks are given. The design flow is intended for the creation of complex functional VLSI by Russian design centers and Centers for collective design of radio-electronic products. The flow of synthesis and physical synthesis is considered, indicating the names of the files obtained at each stage. A table is presented of the CAD products used by Synopsys, Cadence, Mentor Graphics (Siemens) for carrying out the considered design stages with technological standards of 28-65 nm. In conclusion, a justification for the design flow for complex functional VLSI using Western and domestic CAD systems is given and the work necessary for the development of this direction is listed.

Keywords: design flow, trusted VLSI, synthesis, physical synthesis, VLSI, undeclared functions.

For citation: BOBKOV Sergey G.; EVLAMPIEV Boris E. Trusted and controlled design route complex-functional VLSI using foreign and domestic CAD systems. *IT Security (Russia)*, [S.l.], v. 30, no. 4, p. 92–101, 2023.

ISSN 2074-7136. URL: <https://bit.spels.ru/index.php/bit/article/view/155>.

DOI: <http://dx.doi.org/10.26583/bit.2023.4.05>.

**Acknowledgement.* The work was carried out within the framework of the state task of the Federal State Institution of Scientific Research Institute for System Analysis of the Russian Academy of Sciences on the topic FNEF-2022-0004.

Введение

Абсолютных доверенных и безопасных систем в нашей жизни не существует. Поэтому предлагается оценивать лишь степень доверия, которое можно оказать той или иной системе. Этому направлению посвящен военный стандарт США (оранжевая книга)¹ и аналогичный международный стандарт². Появляются отечественные стандарты этого направления³. Вопросы терминологии освещены в [1].

Под доверенностью в широком смысле понимается – подтвержденные характеристики изделия в течение определенных документацией сроков и условий эксплуатации, соответствия документации, стойкости, а также отсутствие недекларируемых включений, коррекций и возможностей управления и считывания информации, признаков контрафактного происхождения. Важнейшими условиями получения доверенных микроэлектронных изделий является создание контролируемого и доверенного маршрута проектирования на основе регламентов и нормативов проектирования, что позволит исключить внедрение недекларированных возможностей.

¹Department of Defense Trusted Computer System Evaluation Criteria, TCSEC, DoD 5200.28-STD, December 26, 1985. URL: <https://archive.org/details/DepartmentOfDefenseTrustedComputerSystemEvaluationCriteria> (дата обращения: 01.10.2023).

²Стандарт ISO/IEC 15408, 2005 г. URL: <https://www.enisa.europa.eu/topics/risk-management/current-risk/laws-regulation/rm-ra-standards/iso-iec-standard-15408> (дата обращения: 01.10.2023).

³Системы искусственного интеллекта СПОСОБЫ ОБЕСПЕЧЕНИЯ ДОВЕРИЯ ГОСТ Р 59276—2020. URL: <http://gost.gtsever.ru/Data/754/75401.pdf?ysclid=loppc70x1464406705> (дата обращения: 01.10.2023).

Таким образом, доверенность продукции – подтвержденное свойство продукции соответствовать заявленным требованиям к функционально-техническим, эксплуатационным характеристикам и требованиям по безопасности (технологической, функциональной и информационной).

Характеристики современных сложно-функциональных (СФ) схем во многом зависят от качества и возможностей систем проектирования (САПР) [2]. Мировыми лидерами в создании САПР являются компании Cadence, Synopsys, Mentor Graphics (Siemens). Компании вкладывают ежегодно сотни миллионов долларов в новые версии САПР, на них работают десятки и сотни тысяч специалистов. Постоянно изучаются новые потребности компаний, создаются новые продукты для возможности проектирования СБИС с переходом на новые экстремальные технологические нормы, совершенствуются существующие системы проектирования. Все эти работы требуют теснейшего взаимодействия с фабриками производителями, что пока недоступно российским разработчикам. При переходе на новую версию САПР такие важнейшие характеристики микросхем как площадь кристалла и быстродействие СБИС могут отличаться до 10% [3, 4]. Создание отечественного высокоэффективного САПР полного маршрута проектирования в короткий промежуток времени невозможно. Необходимо вложение огромных денег и подготовки сотен высококвалифицированных специалистов. В относительно короткие сроки успехов можно добиться созданием маршрута проектирования с использованием зарубежных САПР и отдельных наиболее значимых отечественных систем проектирования с постепенной подготовкой новых специалистов и увеличением вложений в создание отечественных САПР.

Маршрут проектирования цифровых микросхем можно разбить на 3 части [4].

1. разработка исходного RTL-кода, верификация;
2. разработка документации для изготовления кристаллов (GDSII), верификация;
3. изготовление кристаллов, корпусирование (при необходимости), верификация.

Создание RTL-кода СФ-СБИС является сложной задачей. Пока это можно позиционировать как наукоемкий и сложный процесс, во многом высокое качество кода – это искусство [3, 4]. Связано это с тем, что формальная верификация проектов с сотнями миллионов и миллиардов транзисторов пока невозможна (математическое доказательство соответствия RTL-кода золотой модели) из-за колоссального числа состояний микросхемы. Именно поэтому микропроцессоры компании Intel содержит более 100 ошибок [4] и только часть этих ошибок можно парировать ПО (прежде всего компилятором). Решение задачи безопасности на третьем этапе во многом определяется производством кристаллов и фотошаблонов. В России имеются значительные наработки по определению фальсификата кристаллов [5–8]. В данной статье рассматривается второй этап маршрута проектирования – маршрут создания GDSII файлов на основе полученного отечественного RTL-кода с использованием зарубежных САПР и отечественных программ верификации проектов, подтверждающих отсутствие недекларируемых возможностей в документации, передаваемой на изготовление кристаллов.

1. Основная часть исследования

В основе обеспечения доверенности предлагаемого маршрута проектирования сложно-функциональных СБИС лежат два принципиальных требования:

разработка и использование только отечественных доверенных RTL-кода и СФ-блоков;

проверка соответствия исходного RTL-кода полученному в результате проектирования на зарубежных САПР документу netlist, проводимая отечественной доверенной САПР.

В настоящее время практически все разработки СФ-СБИС отечественными дизайн центрами реализуется с помощью зарубежных систем проектирования САПР. Лидерами в данной области являются американские компании Cadence и Synopsys. Только они создали полный маршрут проектирования микросхем, включающий все этапы разработки от кристаллов и корпусов микросхем до финального тестирования на плате.

Невозможность эффективного использования в данное время отечественных САПР для реализации всех этапов проектирования СФ-СБИС определяется их недостаточной функциональной полнотой и эффективностью. В настоящее время отечественные САПР существуют только для проектирования отдельных типов СБИС, например, САПР «Ковчег» для проектирования БМК и БК [4]. Создать полноценную отечественную САПР в ближайшее время невозможно из-за чрезвычайной трудоемкости и сложности задачи. Использование в качестве исходной базы для развития свободно распространяемых САПР не обеспечивает требуемый уровень эффективности по наиболее важным характеристикам микросхем (быстродействие, энергопотребление, площадь кристалла получают в несколько раз хуже, чем при использовании коммерческих САПР), что имеет первостепенную важность для создания СФ-СБИС.

Именно поэтому в статье рассматривается вариант проектирования СФ-СБИС с использованием зарубежных САПР с финальной верификацией, проводимой отечественной доверенной САПР. Отечественный САПР обеспечивает защиту от недекларируемых вставок в результате работы зарубежных САПР на этапах логического и физического синтеза.

Таким образом, обеспечивается высокий уровень технологических возможностей проектирования, предоставляемый зарубежными САПР. Все этапы маршрута проектирования реализуются привычными для разработчиков средствами. На завершающем этапе с помощью отечественной САПР проводится комплекс проверок, который позволяет выявить закладки, появившиеся в результате работы зарубежных САПР на этапе логического и/или физического синтеза. При этом скорость функционирования отечественной САПР не имеет большого значения. В качестве такого САПР необходимо использование отечественного САПР, прошедшего все необходимые проверки. Возможно использование верифицированного САПР на основе свободно распространяемого YOSYS [2].

В маршрут проектирования СФ-СБИС на этапе синтеза и топологического проектирования входят следующие этапы проектирования.

С использованием зарубежных САПР:

анализ библиотеки элементов фабрики-производителя, разработка (при необходимости) недостающих элементов проектирования;

синтез топологии СФ-блоков с использованием библиотеки проектирования, разработка заказных узлов СБИС;

синтез топологии СБИС в целом;

верификация топологии, построение дерева синхронизаций, трассировка цепей;

проверка соответствия исходного RTL-кода полученному в результате проектирования на зарубежных САПР документу netlist, Netlist-vs-netlist, LVS, DRC, ERC.

Дополнительно с использованием отечественной доверенной САПР:

проверка соответствия исходного RTL-кода полученному в результате проектирования на зарубежных САПР документу netlist, Netlist-vs-netlist, ERC;

проверка наличия транзисторов и цепей, неподсоединенных к схеме, определение причин их возникновения и исключение из проекта.

Предварительно должна быть проведена проверка синтезируемости RTL-модели проектируемой схемы. Наличие такой программы позволяет сократить сроки разработки и повысить надежность RTL-описания, избежать возможных недекларируемых функций.

Сложно-функциональные блоки проектируются только на основе достоверных базовых элементов проектирования – библиотек, СФ-блоков и пр.

Перед логическим синтезом проводится проверка RTL стандартными средствами САПР синтеза, например, проверка цепей с несколькими драйверами, соответствие разрядности шин, несинтезируемые конструкции и т.д.

Итогом проверки должен быть документ о наличии или отсутствии нарушений, должны быть выявлены причины нарушения и сделаны соответствующие правки RTL-кода.

Далее разрабатываются ограничения на синтез схемы (констрейнтов, например, в формате SDC). Проверка `check_timing` которая проверяет, все ли компоненты RTL-кода и синтезированной схемы имеют ограничения (констрейнты).

Синтез топологии проводится в следующем порядке.

1. Проверка временных параметров делается во всех углах проектирования, рекомендованных фабрикой изготовителем кристаллов (пластин). Если нет рекомендованных, то делается во всех углах, соответствующих условиям эксплуатации микросхемы (кристалла). Под углом проектирования понимается сочетание моделей транзисторов, напряжения питания и температуры. Проверяются следующие параметры:

- запас по `setup`,
- запас по `hold`,
- выполнение требований по фронту сигнала на цепях схемы,
- выполнение требований по максимальной емкости нагрузки на цепях схемы,
- отсутствие взаимного влияния проводников, приводящего к переключению элементов схемы (`glitch`).

2. Проверка правил проектирования (DRC) в САПР проектирования топологии. Несмотря на то, что САПР работает не с реальным GDS, а с абстрактной информацией, на этом этапе можно обнаружить и устранить большую часть нарушения в трассировке сигналов в слоях металла. Например, закоротки сигналов, нарушение требований по размерам проводов и зазоров между ними.

3. Проверка целостности трассировки цепей. Проверяется, все ли цепи растрассированы согласно электрической схеме (`netlisty`).

4. Проверка на наличие антенн. Проверяет, что на всех элементах ввода/вывода всех компонент электрической схемы нет нарушений по антенному эффекту.

Разработка топологии заказных узлов СБИС может осуществляться только на основе проверенных (достоверных) базовых элементах проектирования и сложно-функциональных блоков.

Далее проводится синтез топологии СБИС в целом.

Проводится проверка сетки земли/питания. Проверяется просадка напряжения. Если имеется проект корпуса, то проверка делается с учетом паразитных параметров корпуса. Как правило, фабрика изготовитель кристаллов (пластин) дает необходимые требования для функционального и DFT режимов. На основе VCD-файлов (файл активности всех компонентов схемы) делается анализ мощности. На основе этих данных делается анализ просадки на сетке земли/питания. Анализ делается для всех цепей земли/питания кристалла.

Важно отметить здесь особенности проведения анализа просадки – разработка специализированных библиотек для САПР проведения анализа просадки привязана к особенностям технологии и версии САПР.

Затем проводится верификация топологии.

Проверка правил проектирования – DRC на основе правил, предоставляемых фабрикой изготовителем кристаллов (пластин). Результаты проверки передаются фабрике вместе с GDS-файлом.

Проверка на соответствие схемы (netlist) топологии на основе правил, предоставляемых фабрикой изготовителем кристаллов (пластин). Разрабатывается документ регламентирующий использование правил DRC, LVS. Из-за особенностей, используемых СФ-блоков необходимо включать/выключать ряд ключей в правила поставляемых фабрикой.

Проверка соответствия исходного RTL-кода и netlist. Делается, для того, чтобы убедиться, что исходный RTL-код и финальный netlist соответствуют друг другу. Данная операция проводится сначала с западным САПР. Желательно провести проверку соответствия исходного RTL-кода и netlist программами двух компаний Cadence и Synopsys. Перекрестные проверки позволят выявить возможные закладки в САПРе проектирования и соответственно в проекте. Однако такие проверки достаточно сложны, поскольку последние версии САПР этих компаний заточены исключительно на свой маршрут проектирования.

Затем эту же операцию необходимо провести с отечественным САПР. Использование отечественного САПР позволяет обнаружить возможные недружественные закладки. Однако, если после синтеза и оптимизации проекта обнаруживается вредоносная программа, формирующая несвязанные с проектом узлы и цепи, не контактирующие с узлами разрабатываемой схемы, то такая проверка их не выявит. Поэтому должна быть дополнительно написана программа поиска по всему проекту узлов и проводов, не связанных с проектом. Сложность такой программы не должна быть высокой, однако время проведения проверки может оказаться достаточно большим.

В маршруте проектирования должны быть дополнительно введены четыре отечественных ERC-проверки:

1) Проверка наличия короток между «питанием» и «землей» по металлам на уровне элементов. Проводимость объявляется только по металлическим межсоединениям элементов.

2) Проверка наличия короток между «питаниями» и «землями» по металлам и диффузиям на транзисторном уровне. Проводимость объявлена по металлам и диффузиям.

3) Проверка наличия короток между «питаниями» и «землями» по N-карману и подложке. Проводимость объявлена по металлам, диффузиям, N-карману и подложке. При этой проверке часто встречаются следующие ошибки: разрыв по металлу между контактной площадкой «питания» и N-карманом, разрыв по металлу между контактной площадкой «земли» и истоками n-транзисторов.

4) В этой проверке объявлены транзисторы, диоды, резисторы, емкости. Проверяется присутствие проводимости по всем проводящим слоям, включая все слои поликремния.

Проводятся проверки на:

- неподсоединенные затворы, стоки, истоки, подложки транзисторов к схеме.
- неподсоединенные узлы к «земле» и «питанию» через один или более транзистор, резистор, диод.

Все эти проверки позволят не только избежать возможные топологические ошибки, но и выявить возможные недекларируемые закладки. Сложность такой программы невысокая.

В табл. 1 приведены этапы проектирования микросхем ASIC для топологических норм 28 нм и 65 нм.

Таблица 1. Этапы проектирования и контролируемые данные

Этапы проектирования и контролируемые данные
1 Синтез RTL-кода, вставка DFT (скан, jtag, bist) <ul style="list-style-type: none"> – RTL-код; – lib, lef представления на библиотеки и СФ блоки; – ограничения (constraint) в формате sdc; – Netlist синтезированный из RTL-кода; – Лог файлы; – Scan протокол; – BSDL файл; – Mbist протокол; – Отчеты о выполнении.
2 Генерация тестовых векторов <ul style="list-style-type: none"> – Netlist синтезированный из RTL-кода; – lib, Verilog представления библиотек и СФ блоков; – Тестовый вектор в формате Verilog, stil; – Лог файлы; – Отчеты о выполнении.
3 Интеграция Low Power Design <ul style="list-style-type: none"> – Netlist синтезированный из RTL-кода; – lib, Verilog представления на библиотеки и СФ блоки; – Netlist со структурами low power; – CPF файл; – База данных Innovus со структурами low power.
4 Проектирование топологии <ul style="list-style-type: none"> а) Netlist после синтеза RTL-модели; б) sdc файл, установка параметров для синтеза; в) Топология в формате базы данных программы автоматического проектирования <ul style="list-style-type: none"> 1) floorPlan проекта (Размещение СФБ, выводов проекта, сетка питания); 2) финальная топология после размещения всех элементов, оптимизации, трассировки, анализа питания, временного анализа; г) log файлы после выполнения всех процедур разработки топологии (оптимизация, трассировка и т.д.); д) qrcTechFile / .sartable – технологические файлы для экстракции RC; е) sdf-файл экстрагированных из топологии задержек (для требуемых углов); ж) timing reports – временные отчеты; з) IR-drop reports – отчет анализа питания; и) скрипт (пошаговая последовательность команд разработки топологии).
5 Формальная верификация <ul style="list-style-type: none"> – Netlist после синтеза RTL-кода; – Netlist физический (из топологии); – lib, Verilog представления на библиотеки и СФ блоки; – Командный файл; – Отчет о выполнении верификации;
6 Физическая верификация <ul style="list-style-type: none"> – GDSII файл, включающий топологию всех библиотек и СФБ; – Verilog файл проекта с указанием цепей «земля» и «питание», CDL библиотек и СФБ; – Технологическая библиотека приборов (активные и пассивные), технологический файл; – Правила контроля топологии - DRC командный файл, LVS командный файл, DUMMY командный файл (генерация плотности слоев); – Отчеты о выполнении физической верификации DRC report, LVS report, Dummy report, Antenna report, FlipChip report или WireBond report.

В настоящее время на рынке присутствуют три крупные компании-разработчика САПР сквозного маршрута проектирования микросхем (от RTL до GDS). Это компании Synopsys, Cadence, Mentor Graphics (Siemens). Маршрут делится на два основных этапа: логический синтез и топологический синтез. В табл. 2 и 3 показаны этапы САПР трех компаний для проведения этапов проектирования.

Таблица 2. Логический синтез

Этапы	Cadence	Synopsys	Mentor Graphics (Siemens)
1. Получить RTL-код и сгенерировать на него TAP-контроллер(ы)	Genus	Design Compiler	Tessent Boundaryscan
2. Промоделировать базовые JTAG-инструкции (IDCODE, граничное сканирование, mbist) на RTL	Xcelium (SimVision)	VCS	ModelSim
3. Выполнить синтез и получить netlist из RTL	Genus	Design Compiler	Oasys-RTL
4. Добиться необходимого быстродействия путем правки констрейнтов, правки RTL, правки floorPlan и использования блоков памяти оптимальной конфигурации	Genus	Design Compiler	Oasys-RTL
5. Вставить MBIST на памяти, получить netlist с MBIST и тесты MBIST	Genus	Design Compiler	Tessent MemoryBIST
6. Вставить скан-цепочки и получить netlist со сканом	Genus	Design Compiler	Tessent TestKompress
7. Сгенерировать тестовые последовательности для тестера в режиме скан-теста	Modus	TetraMAX (TestMAX)	Tessent FastScan
8. Промоделировать на нулевых задержках скан-тесты	Xcelium (SimVision)	VCS	Questa Simulation
9. Промоделировать на нулевых задержках тесты MBIST	Xcelium (SimVision)	VCS	Questa Simulation
10. Провести формальную верификацию RTL и netlista после синтеза	Conformal	Formality (VC Formal)	Questa Formal Verification
11. Сгенерировать тестовые последовательности для тестера на netliste из топологии*	Modus	TetraMAX (TestMAX)	Tessent FastScan
12. Промоделировать скан-цепочки на netliste с sdf	Xcelium (SimVision)	VCS	Questa Simulation
13. Промоделировать базовые JTAG-инструкции (IDCODE, граничное сканирование, mbist) на netliste с sdf	Xcelium (SimVision)	VCS	Questa Simulation
14. Провести формальную верификацию netlista после синтеза и netlista после топологии	Conformal	Formality (VC Formal)	Questa Formal Verification
*После получения netlista и sdf из топологии			

Таблица 3. Топологический синтез

Этапы	Cadence	Synopsys	Mentor Graphics (Siemens)
Создание Floorplan	Innovus	IC Compiler	Aprisa
Размещение стандартных ячеек	Innovus	IC Compiler	Aprisa
Синтез дерева синхросигналов	Innovus	IC Compiler	Aprisa
Разводка сигнальных цепей	Innovus	IC Compiler	Aprisa
Анализ сетки земли/питания	Voltus	RedHawk Analysis Fusion	mPower
Формальная верификация физического netlist	Conformal	Formality (VC Formal)	Questa
Физическая верификация топологии	PVS	IC Validator	Calibre

Заключение

В настоящее время невозможна полноценная замена зарубежных САПР проектирования СФ-СБИС отечественными. Отечественные САПР существуют только для проектирования отдельных типов СБИС, например, САПР «Ковчег» для проектирования БМК и БК. Создать полноценную отечественную САПР в ближайшее время невозможно из-за чрезвычайной трудоемкости и сложности задачи, а также невозможности тесного взаимодействия с ведущими зарубежными фабриками изготовителями кристаллов. Необходимо начать подготовку студентов и полноценное финансирование работ по созданию САПР, чтобы в будущем стать независимыми от зарубежных компаний.

Для решения проблемы безопасности на этапе синтеза и топологического проектирования в первую очередь необходимо создать отечественный САПР проверки соответствия исходного RTL-кода полученному в результате проектирования на зарубежных САПР документу «netlist», Netlist-vs-netlist, ERC. Необходимо также создание программы проверки отсутствия схем и проводов, не связанных с входами/выходами проектируемой схемы.

Для больших проектов (больше 50 млн транзисторов) не всегда удастся осуществить перекрестную верификацию RTL-кода и netlist современными западными САПР (Cadence и Synopsys), что дополнительно подтверждает необходимость иметь отечественный САПР верификации.

СПИСОК ЛИТЕРАТУРЫ:

1. Дураковский Анатолий П.; Кессаринский, Леонид Н.; Ширин, Алексей О. Развитие терминологии нормативной базы испытаний на выявление признаков контрафакта в изделиях электронной компонентной базы аппаратуры объектов критической информационной инфраструктуры. Безопасность информационных технологий, [S.l.], т. 27, № 1, с. 19–27, 2020. DOI: <http://dx.doi.org/10.26583/bit.2020.1.02>. – EDN DNХОАТ.
2. Yosys Open SYnthesis Suite. URL: <https://yosyshq.net/yosys/> (дата обращения: 10.10.2023).
3. Бобков С.Г. Пути и методы повышения производительности микропроцессоров, 9-я Всероссийская научно-техническая конференция, Подмоскowie, 2020. Проблемы разработки перспективных

- микроэлектронных систем. Сборник научных трудов. Под общ. ред. А.Л. Стемповского. М.: ИППМ РАН. 2020, с. 127–133. DOI: <http://dx.doi.org/10.31114/2078-7707-2020-4-127-133>.
4. Бобков С.Г., Басаев А.С. Методы и средства аппаратного обеспечения высокопроизводительных микропроцессорных систем. М.: ТЕХНОСФЕРА, 2021. – 264 с. ISBN 978-5-94836-610-4.
 5. Demidova A.V., Pechenkin A.A., Borisov A.Y., Kessarinskiy L.N., Yanenko A.V., Boychenko D.V., Nikiforov A.Y. Different Chips at Identical Marking on the Example of OP1177. 15th European Conference on Radiation and Its Effects on Components and Systems (RADECS), Moscow, Russia. 2015, p. 1–3. DOI: <http://dx.doi.org/10.1109/RADECS.2015.7365600>.
 6. Kessarinskiy L.N., Shirin A.O. and Hovsepyan H.A. The Use of Microelectronics Radiation Behavior as Physical Uncloned Function to Find Counterfeit, 2020 Moscow Workshop on Electronic and Networking Technologies (MWENT), Moscow, Russia. 2020, p. 1–3. DOI: <http://dx.doi.org/10.1109/MWENT47943.2020.9067496>.
 7. Кессаринский Леонид Н. и др. Выявление признаков контрафакта в изделиях электронной компонентной базы в аспекте обеспечения промышленной кибербезопасности. Безопасность информационных технологий, [S.l.], т. 26, № 2, с. 117–128, 2019. ISSN 2074-7136. DOI: <http://dx.doi.org/10.26583/bit.2019.2.09>.
 8. Колосова Анна С. и др. Возможность применения алгоритмов машинного обучения для прогнозирования качества ЭКБ и РЭА. Безопасность информационных технологий, [S.l.], т. 30, № 1, с. 123–129, 2023. ISSN 2074-7136. DOI: <http://dx.doi.org/10.26583/bit.2023.1.09>. – EDN NOBAZS.

REFERENCES:

- [1] Durakovskiy Anatoly P.; Kessarinskiy Leonid N.; Shirin Alexey O. Terms and definitions base development for counterfeit electronics test for critical information infrastructure objects. IT Security (Russia), [S.l.], v. 27, no. 1, p. 19–27, 2020. ISSN 2074-7136. DOI: <http://dx.doi.org/10.26583/bit.2020.1.02> (in Russian). – EDN DNHOAT.
- [2] Yosys Open SYnthesis Suite. URL: <https://yosyshq.net/yosys/> (accessed: 10.10.2023).
- [3] Bobkov S.G. Ways and methods of increasing the performance of microprocessors, 9th All-Russian Scientific and Technical Conference, Moscow, 2020. Problems of developing advanced microelectronic systems. Collection of scientific works/edited. ed. A.L. Stempkovsky. M.: IPPM RAS. 2020, p. 127–133. DOI: <http://dx.doi.org/10.31114/2078-7707-2020-4-127-13> (in Russian).
- [4] Bobkov S.G., Basaev A.S. Methods and hardware for high-performance microprocessor systems. M.: TECHNOSPHERE. 2021. – 264 p. ISBN 978-5-94836-610-4.
- [5] Demidova A.V., Pechenkin A.A., Borisov A.Y., Kessarinskiy L.N., Yanenko A.V., Boychenko D.V., Nikiforov A.Y. Different Chips at Identical Marking on the Example of OP1177. 15th European Conference on Radiation and Its Effects on Components and Systems (RADECS), Moscow, Russia. 2015, p. 1–3. DOI: <http://dx.doi.org/10.1109/RADECS.2015.7365600>.
- [6] Kessarinskiy Leonid N. et al. Shirin A.O. and Hovsepyan H.A. The Use of Microelectronics Radiation Behavior as Physical Uncloned Function to Find Counterfeit, 2020 Moscow Workshop on Electronic and Networking Technologies (MWENT), Moscow, Russia. 2020, p. 1–3. DOI: <http://dx.doi.org/10.1109/MWENT47943.2020.9067496>.
- [7] Leonid N. et al. Counterfeit electronic components identifying methods in terms of industrial cyber security. IT Security (Russia), [S.l.], v. 26, no. 2, p. 117–128, 2019. ISSN 2074-7136. DOI: <http://dx.doi.org/10.26583/bit.2019.2.09> (in Russian).
- [8] Kolosova Anna S. et al. Assessment of the possibility of machine learning for electronic equipment quality prediction. IT Security (Russia), [S.l.], v. 30, no. 1, p. 123–129, 2023. ISSN 2074-7136. DOI: <http://dx.doi.org/10.26583/bit.2023.1.09> (in Russian). – EDN NOBAZS.

*Поступила в редакцию – 01 октября 2023 г. Окончательный вариант – 28 октября 2023 г.
Received – October 01, 2023. The final version – October 28, 2023.*