

FACULDADE DE ENGENHARIA DA UNIVERSIDADE DO PORTO

Estudo e implementação de uma metodologia de estimação de potência de circuitos analógicos em modelos de SystemVerilog

Francisco Bandeira Lobo de Ávila

U. PORTO

FEUP FACULDADE DE ENGENHARIA
UNIVERSIDADE DO PORTO

Mestrado Integrado em Engenharia Eletrotécnica e de Computadores

Orientador Interno: Dr. Cândido Duarte

Orientador Externo: Eng. Bruno Coelho

30 de Outubro de 2020

Resumo

As análises de perfis de consumo de corrente são um dos requisitos necessários a fornecer a um cliente num produto ASIC. Os ASIC são compostos por uma mistura de componentes analógicos e puramente digitais (modelizados em verilog), para a verificação da interligação destes sistemas são utilizadas simulações mixed-signal (co-sim). As simulações em mixed-signal dependem bastante das opções do seu simulador analógico e são uma tarefa bastante morosa e complicada.

Nesta dissertação é proposto um método alternativo à utilização da co-sim baseado na utilização de estados de energia em que cada estado corresponde a um determinado consumo. Como este método é aplicado a nível de RTL as simulações são consideravelmente mais rápidas. Os valores que utiliza são os da equipa de *design* analógico e como tal serão valores pessimistas, levando a uma estimativa pessimista que, embora possa falhar em precisão, define um valor máximo para o consumo da corrente. É, também, feita uma breve comparação entre métodos de estimação de consumos de corrente de modo a identificar as falhas e limitações do simulador utilizado pela co-sim.

Os resultados obtidos com o novo método, utilizando a co-sim como referência, foram bastante positivos para os estados de maior consumo com um erro relativo menor que 9%. No caso dos estados de baixo consumo foram registados erros maiores, 97% para um *corner* e -38% e 53% noutro, não foi possível perceber se estes erros advêm da falta de precisão do XA ou de uma falha na modelização. Como trabalho futuro é bastante necessária a utilização de mais testes para a validação do método e, se possível, comparações em relação à implementação em silício.

Keywords: ASIC, Co-sim, Estados de Energia, RTL, XA

Conteúdo

1	Introdução	1
1.1	Problema Visado	1
1.2	Objetivos	2
1.3	Diferenciação	2
1.4	Organização do trabalho	2
2	Fundamentos Teóricos	3
2.1	CMOS	3
2.2	Consumo de circuitos CMOS	3
2.2.1	Consumo Dinâmico CMOS	3
2.2.2	Consumo Estático CMOS	4
2.3	<i>Process Voltage Temperature</i> (PVT)	5
2.4	Power Gating	5
2.4.1	Power Isolation	6
2.5	SPICE	6
2.5.1	FastSPICE	6
2.6	<i>Layout</i> de Circuitos Integrados	6
2.6.1	Resistências e Capacidades Parasitas	6
2.7	Machine Learning	6
2.7.1	Redes Neurais	7
2.8	SUP	7
2.8.1	Bandgap	8
2.8.2	Prescaler	8
2.8.3	Phase Locked Loop (PLL)	9
3	Estado da Arte	11
3.1	Abordagens baseadas em <i>Machine Learning</i>	11
3.2	Abordagens baseadas em Estados de Energia	12
3.3	Outros métodos	13
3.4	Comparação entre abordagens	14
4	Metodologia	15
4.1	Estudo da precisão da utilização da co-sim para simulações consumo de corrente	15
4.2	Abordagem Redes Neurais	16
4.3	Abordagem Estados de Energia	17
4.4	Simulações realizadas	19
4.5	Proposta da metodologia	19

5	Resultados	21
5.1	Simulação co-sim	21
5.2	Simulação XA e comparação com a co-sim	23
5.3	Simulação SPICE	24
5.4	Simulação XA utilizando várias opções diferentes	25
5.5	Simulação e previsão do consumo de corrente do projeto 1	26
6	Conclusões	31
6.1	Análise das vantagens e desvantagens das várias abordagens de estimação de consumo	31
6.2	Trabalho Futuro	33
	Referências	35

Lista de Figuras

2.1	Power Gating [16]	5
2.2	Esquema do SUP	7
2.3	Diagrama de blocos da PLL	9
4.1	Representação dos componentes estudados	17
4.2	Metodologia proposta por esta dissertação	20
5.1	Simulação co-sim à frequência F1 caso típico	22
5.2	Simulação co-sim à frequência F1 pior caso	22
5.3	Simulação co-sim à frequência F2 caso típico	22
5.4	Simulação co-sim à frequência F2 pior caso	22
5.5	Valores de V_p para os vários <i>corners</i> em XA	23
5.6	Valores de V_{ph} para os vários <i>corners</i> em XA	24
5.7	Valores de corrente em V_p para as várias opções do XA	26
5.8	Valores da corrente em V_{ph} para as várias opções do XA	26
5.9	Evolução do perfil de corrente no modelo apresentado	29
5.10	Evolução do perfil de corrente na co-sim	29

Lista de Tabelas

3.1	Organização das principais conclusões dos estudos com abordagem baseada em <i>machine learning</i>	12
3.2	Organização das principais conclusões dos estudos com abordagem baseada em estados de energia	13
5.1	Resultados da co-sim	23
5.2	Organização dos resultados da simulação em XA e erro relativo em relação à co-sim	24
5.3	Organização dos resultados da simulação SPICE	25
5.4	Erro relativo da simulação SPICE em relação à co-sim e à simulação XA	25
5.5	Opções do XA, os seus resultados e o tempo de simulação	27
5.6	Valores da equipa analógica para o bandgap e prescaler	27
5.7	Valores da equipa analógica para a PLL e scan	27
5.8	Valores obtidos através da co-sim para o caso típico	28
5.9	Valores obtidos através da co-sim para o pior caso	28
5.10	Erro relativo do modelo proposto em relação à co-sim para o caso típico	29
5.11	Erro relativo do modelo proposto em relação à co-sim para o pior caso	30

Acrónimos

ADC	Analog to Digital Control
AMS	Analog and Mixed Signal
ASIC	Application Specific Integrated Circuits
CMOS	Complementary Metal-Oxide-Semiconductor
LNA	Low-noise Amplifier
NN	Neural Network
OTA	Operational Transconductance Amplifier
PLL	Phase Lock Loop
RTL	Register Transfer Level
Spice	Simulation Program with Integrated Circuit Emphasis
SoC	System On Chip
SVD	Singular Value Decomposition
TDNN	Time Delayed Neural Network
VCO	Voltage Controlled Oscillator
VHDL	Very High Speed Integrated Circuits Hardware Description Language

Capítulo 1

Introdução

As análises de perfis de consumo de corrente são um dos requisitos necessários a fornecer a um cliente num produto ASIC(*Application Specific Integrated Circuit*). Os ASIC são compostos por uma mistura de componentes analógicos (modelizados em SPICE) e puramente digitais (modelizados em verilog), para a verificação da interligação destes sistemas são utilizadas simulações *mixed-signal*(co-sim), misturando modelos verilog com modelos SPICE extraídos de um *layout* pré-concebido.

A análise de perfis de consumo de corrente num ambiente de verificação *mixed-signal* pode ser uma tarefa complicada e morosa (chegando a simulação a prolongar-se por semanas) devido ao tamanho e complexidade dos projetos. É possível uma divisão do sistema em sub-sistemas e efetuar a análise de consumo de corrente individualmente e para várias condições de operação.

Uma modelização dos consumos de corrente por bloco usando SystemVerilog é útil numa fase inicial de um projeto, pois permitiria antecipar estimativas de consumo para os modos de operação de um produto, bem como antecipar possíveis erros ou consumos excessivos de um modo rápido.

1.1 Problema Visado

Conforme referido anteriormente, a co-sim é uma tarefa complicada e morosa, isto não garante que os seus resultados sejam sempre precisos, podendo variar muito com base nas opções dos simuladores utilizados. Este problema é demonstrado na secção 5.4 do capítulo 4, onde é feita uma análise às opções do simulador.

Esta dissertação surge na tentativa de propôr um novo método que garanta uma maior precisão de resultados e uma maior independência das condições do simulador, uma solução que seja transversal a projetos. Como ponto de partida poderão ser utilizados os valores obtidos aquando o *design* dos componententes analógicos, os relatórios de consumo da equipa analógica.

1.2 Objetivos

Esta dissertação tem como objetivo a análise de diferentes blocos analógicos e do consumo de corrente associada às suas possíveis configurações. Com este intuito foram feitas simulações dos blocos analógicos, em SPICE, e os seus resultados utilizados para a criação de modelos comportamentais SystemVerilog e, através de um *testbench top-level*, medido o consumo total de corrente para o modo típico em vários projetos diferentes. Para validação deste processo, os resultados foram comparados com os de simulações *mixed-signal* (co-sim) e com os consumos de corrente analógica fornecidos pelos designers analógicos. De modo a restringir um pouco e conseguir algum tipo de resultados, esta dissertação focou-se na modelização e estudo do *support block* (SUP) em oposição ao estudo de um projeto ASIC completo do qual se levaria mais tempo a retirar conclusões.

Uma vez que esta dissertação foi realizada em contexto empresarial, é importante a proposta de uma metodologia que seja facilmente replicável e aplicável neste contexto.

1.3 Diferenciação

O segundo objetivo principal, de proposta de uma metodologia para modelização e estimação de consumos de corrente em ambiente empresarial difere dos objetivos dos trabalhos analisados no capítulo 3. Ainda que tenham sido propostas algumas metodologias, estas não são aplicáveis facilmente no ambiente em vista, pois a sua utilização implicaria um maior esforço para o seu seguimento e conclusão. Neste trabalho é proposto uma metodologia simples. Para grande parte dos blocos analógicos serão utilizadas as mesmas funções e a estrutura considerada para a modelização é comum, logo altamente replicável e com necessidade de pouco esforço.

1.4 Organização do trabalho

O capítulo 2 tem o intuito de fornecer algum contexto sobre o tema, apresentando processos ou ferramentas que serão referidos ao longo do trabalho, de modo a também facilitar a leitura e compreensão de, sobretudo, alguns métodos abordados nos trabalhos descritos no capítulo 3.

No capítulo 3 é feita uma organização dos trabalhos realizados com objetivos semelhantes que, numa fase inicial, ajudaram a perceber quais as formas mais eficientes de abordar a modelização do consumo de corrente.

O capítulo 4 descreve as abordagens utilizadas e uma descrição detalhada de todo o trabalho realizado. Uma primeira parte sobre a abordagem que utiliza redes neuronais, outra sobre a abordagem que utiliza máquinas de estados e, finalmente, descreve o modo como a modelização é aplicada a outros projetos.

No capítulo 5 são apresentados os resultados e a sua respetiva análise.

No capítulo 6 são retiradas conclusões, é feita uma comparação entre os resultados e os objetivos e uma pequena reflexão sobre o trabalho futuro.

Capítulo 2

Fundamentos Teóricos

Neste capítulo é feita uma breve descrição de alguns elementos que serão úteis à compreensão do trabalho.

2.1 CMOS

Abreviatura de *Complementary metal–oxide–semiconductor*, que é um tipo de processo de fabrico de transístores de efeito de campo (MOSFET), consistindo na utilização de pares de MOSFET do tipo P(PMOS) e N(NMOS) para realizar funções lógicas.

2.2 Consumo de circuitos CMOS

A potência consumida por um circuito CMOS pode ser dividido em dois fatores: consumo estático e consumo dinâmico. O consumo dinâmico está diretamente relacionado com a comutação dos transístores enquanto que o consumo estático é causado pelas correntes de *leakage*. A equação 2.1 descreve a potência total consumida pelo circuito CMOS [4].

$$P_{media} = P_{switching} + P_{curtocircuito} + P_{leakage} \quad (2.1)$$

2.2.1 Consumo Dinâmico CMOS

Uma parte do consumo dinâmico é causada pela atividade de comutação dos transístores e pela potência necessária para carregar e descarregar os condensadores dos nós do circuito. Esta componente de comutação pode ser dada pela equação 2.2 [20]

$$P_{switching} = C_L \cdot V_{DD}^2 \cdot f_{clk} \cdot \alpha \quad (2.2)$$

Onde:

V_{DD} – tensão de alimentação

f_{clk} – frequência de relógio

α – fator de atividade

C_L – capacidade na saída

O curto-circuito que ocorre quando os transístores PMOS e NMOS estão em saturação em simultâneo é a causa da outra componente do consumo dinâmico. Esta componente pode ser calculada pela equação 2.3.

$$P_{curto-circuito} = V_{DD} \cdot t_{sc} \cdot I_{peak} \cdot f_{clk} \quad (2.3)$$

Onde:

V_{DD} – tensão de alimentação

t_{sc} – duração do curto-circuito

I_{peak} – corrente de *switching* total

f_{clk} – frequência do clk

2.2.2 Consumo Estático CMOS

O consumo estático tem origem na corrente de *leakage*, esta corrente resulta da soma de quatro correntes: *Sub-threshold level*, *Gate leakage*, *Gate Induced drain leakage* e *Reverse bias junction leakage* [20]. A corrente de *leakage* é conseguida pela equação 2.4

$$I_{leakage} = i_s (e^{qV/kT} - 1) \quad (2.4)$$

Onde:

i_s – corrente de saturação inversa

V – tensão do díodo

k – constante de Boltzmann

q – carga elétrica

T – temperatura [K]

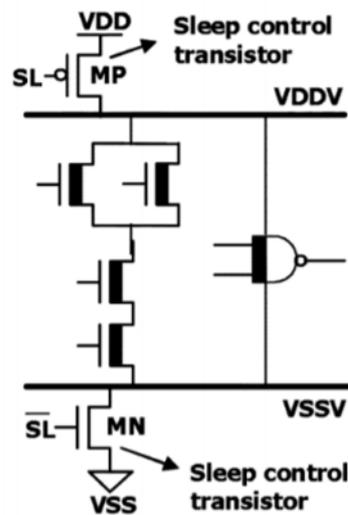


Figura 2.1: Power Gating [16]

2.3 Process Voltage Temperature (PVT)

De modo a garantir o correto funcionamento de um circuito integrado é necessária a sua simulação para vários processos, tensões e temperatura. A cada simulação que combine valores diferentes destes três fatores é chamado *corner* [1].

O processo diz respeito ao modo como o transistor é fabricado. Isto irá definir os atrasos dos transistores e por conseguinte a corrente consumida. São definidos três processos diferentes referentes aos atrasos de propagação do sinal e conseguinte consumo: *slow*, típico e *fast*.

A tensão refere-se à tensão a que os transistores funcionam e que é colocada no dreno. Quanto maior esta tensão maior será a corrente consumida pelo circuito.

A temperatura refere-se à temperatura das junções e para os *corners* de temperatura mais elevada será maior a corrente consumida.

2.4 Power Gating

De modo a controlar o consumo estático podem ser introduzidas nos projetos técnicas de *power gating*. Não está no objetivo desta dissertação a redução da potência consumida, porém, é útil o conhecimento desta técnica pois é utilizada no projeto em estudo.

Power gating consiste em isolar o VDD e o GND através da utilização de transistores com um sinal de controlo que os desliga quando essa secção do circuito não está a ser utilizada. Estes transistores têm uma corrente de *leakage* baixa, o que permite baixar o *leakage* total da secção controlada [16].

2.4.1 Power Isolation

Quando é utilizado *Power Gating* deve ser utilizado também *Power Isolation*. Esta técnica consistem isolar a secção protegida por *Power Gating* do restante projeto utilizando, por exemplo, uma porta lógica *AND*. A não utilização desta técnica poderá fazer com que as saídas da secção *power gated* tenham um valor flutuante indefinido, algo que é indesejado num circuito analógico.

2.5 SPICE

SPICE (*Simulation Program with Integrated Circuit Emphasis*) é uma ferramenta desenvolvida originalmente por Laurence Nagel em 1974 [13]. O seu principal objetivo é a simulação com elevado grau de precisão de circuitos integrados. No contexto desta dissertação é utilizada para obter valores precisos de consumo de corrente dos componentes do projeto [15].

2.5.1 FastSPICE

Para simulação em co-sim é utilizado um simulador FastSPICE da Synopsys, XA, para a parte analógica. O FastSPICE utiliza algumas técnicas como o *table model*, redução do modelo de resistências e capacidades parasitas e uma simulação hierárquica, de modo a trocar alguma precisão por uma maior velocidade e capacidade de simulação de circuitos maiores [22].

2.6 Layout de Circuitos Integrados

O *layout* de circuitos integrados é a representação planar do circuito integrado e dos vários materiais e camadas que o compõem. Após a verificação do mesmo, é enviado para uma *foundry* e corresponderá ao modo como os materiais estão dispostos [11].

2.6.1 Resistências e Capacidades Parasitas

Uma vez que os circuitos integrados são trabalhados a uma escala nanométrica, as várias linhas, mesmo que não estejam ligadas entre si, influenciam-se mutuamente sobre a forma de capacidades. Estas capacidades e a resistência das próprias linhas não estão previstas e a sua existência não é propositada, são denominadas de parasitas [3].

2.7 Machine Learning

Ao estudo de algoritmos computacionais que evoluem automaticamente através de experiência é dado o nome *Machine Learning*. Para esta evolução automática é fornecido um conjunto de dados, denominado conjunto de treino, a partir do qual o algoritmo construirá um modelo matemático com o objetivo de prever e simular o comportamento em situações diferentes das do conjunto de treino [12].

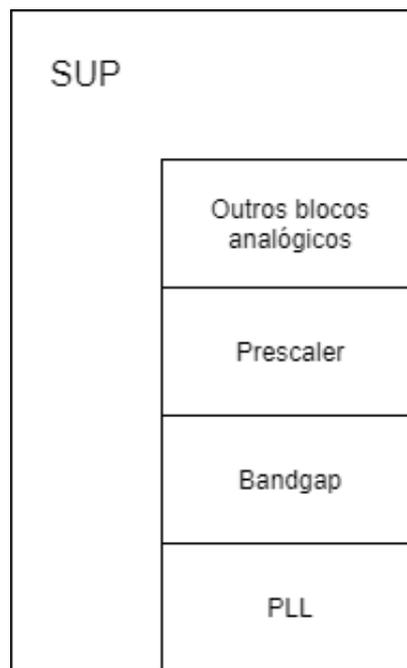


Figura 2.2: Esquema do SUP

Uma das formas de *Machine Learning* mais comum são as redes neurais que serão brevemente descritas de seguida.

2.7.1 Redes Neurais

Este algoritmo de *machine learning* tem como base a tentativa de replicar o funcionamento de uma rede neural biológica. São definidos neurónios que se organizam por camadas e interligados por pesos ajustáveis. De modo a conter os resultados entre valores de 0 a 1 ou -1 a 1 é definida uma função de ativação, normalmente uma função sigmoide. Após realizado o treino à rede neuronal, esta tem como função a previsão do comportamento do sistema para situações previstas ou não no conjunto de treino.

2.8 SUP

Esta dissertação incidiu sobre o estudo do *support block* de um projeto ASIC da Synopsys. Para além do SUP poderia ter foco sobre o *Tx block* ou *Rx block*, porém este bloco foi escolhido, sobretudo, por ter influência direta sobre os outros dois. O seu objetivo é gerar sinais que são partilhados entre o *Rx block* e *Tx block*. Ele é composto por vários outros blocos, tendo sido realizado um estudo mais incisivo sobre os blocos do bandgap, prescaler e *phase locked loop* (PLL) brevemente descritos de seguida.

2.8.1 Bandgap

O bandgap atua de forma a gerar tensões de referência estáveis isoladas da fonte de tensão principal que pode possuir alguma instabilidade. São gerados também tensões intermédias a ser utilizadas noutros componentes.

2.8.2 Prescaler

A principal função deste componente é gerar um sinal de relógio interno com *duty cycle* controlável e diferente do relógio utilizado no restante projeto. Este sinal gerado será utilizado nas PLL. O seu consumo é maioritariamente influenciado pela frequência do sinal gerado.

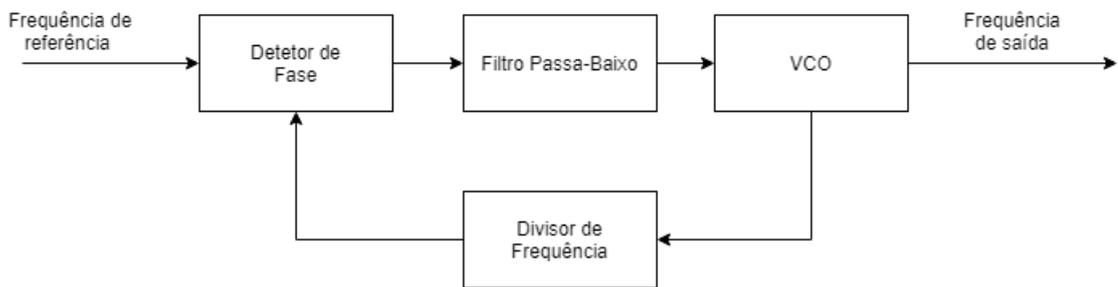


Figura 2.3: Diagrama de blocos da PLL

2.8.3 Phase Locked Loop (PLL)

Utilizando o sinal de relógio proveniente do Prescaler, a PLL é responsável por gerar um relógio de alta frequência que será usado nas linhas de envio e recepção de dados. O seu consumo depende, sobretudo, da frequência de referência e da frequência do sinal gerado [5]. A PLL é composta por quatro componentes descritos de seguida e esquematizados em 2.3 :

- um comparador de fase, que compara a fase entre o sinal de entrada e o de saída após passagem pelo divisor de frequência;
- um filtro passa-baixo, de modo a limpar ruído do sinal de entrada;
- um *Voltage Controlled Oscillator* (VCO), responsável por gerar a frequência de saída;
- um divisor de frequência, uma vez que a frequência de saída é um múltiplo da frequência de entrada, é feita a divisão por N de modo a que ambos os sinais tenham o mesmo valor.

Capítulo 3

Estado da Arte

Neste capítulo serão apresentados alguns estudos realizados com intuito semelhante ao desta dissertação. Aquando da pesquisa foi possível perceber que as abordagens mais comuns envolvem *Machine Learning* ou o uso de Estados de Energia. Como tal, este capítulo encontra-se dividido em três partes, um subcapítulo dedicado a abordagens baseadas em *Machine Learning*, outro dedicado a abordagens baseadas em Estados de Potência e um último sobre estudos que não se enquadram em nenhuma das categorias.

3.1 Abordagens baseadas em *Machine Learning*

Foram analisados alguns estudos, agrupados na tabela 3.1, que utilizam algoritmos baseados em *machine learning* para estimar o consumo de corrente a um mais elevado nível de abstração.

Martin Grabmann et al. [8] propõe a utilização de uma *Time Delayed Neural Network*(TDNN), uma tipo de rede neuronal que utiliza atrasos nas entradas, para estimar o consumo assim como uma metodologia completo para criação e teste da mesma, sendo composto por várias fases:

- Criação do modelo funcional;
- Utilização de uma bateria de testes que cubra todas as funcionalidades do componente;
- Treino da rede neuronal em *python* com os dados obtidos;
- Tradução da rede de *python* para SystemVerilog utilizando uma ferramenta desenvolvida para este efeito.

Para validação desta abordagem os autores escolheram um oscilador cujo consumo a rede neuronal previu com apenas 2.7% de erro.

No estudo apresentado por A. Suissa et al. [18] a abordagem é bastante diferente das outras, uma vez que começa na fase final, com o produto pronto. O sistema escolhido para análise é composto por quatro componentes analógicos e um puramente digital.

Tabela 3.1: Organização das principais conclusões dos estudos com abordagem baseada em *machine learning*

Método	Resultados	Referência
TDNN	Erro de 2.7% na previsão de consumo de um oscilador	Martin Grabmann et al. [8]
NN	Erro médio de 1.5% e máximo de 3.57% em quatro componentes	A.Suissa et al. [18]

Na primeira fase do estudo o consumo do sistema é medido a partir da sua implementação em silício e a partir destes valores é treinada uma rede neuronal para cada um dos componentes analógicos. Ainda que a sua replicabilidade seja baixa, este trabalho comprova a precisão do uso de redes neuronais, pois o erro médio foi de 1.5% e o erro máximo 3.57%.

3.2 Abordagens baseadas em Estados de Energia

Alguns estudos encontrados focam-se numa abordagem que utiliza estados de energia como forma de resolução do problema, estes estudos estão organizados na tabela 3.2.

No estudo realizado por Xiao Pan et al. [14] foi utilizada uma abordagem utilizando *power states*, inovando devido à preocupação em relação ao consumo da mudança entre estados e sensibilidade ao ruído. A sua implementação segue três passos:

- Modelização em estados de consumo;
- Definição de duas funções de transferência, uma mais complexa para o *ON* e *OFF* do circuito e outra para a transição entre estados;
- definição de modelo probabilístico de ruído colorido.

Após os fundamentos teóricos, este modelo é aplicado a um circuito integrado de monitorização de bateria. Os autores consideram os resultados positivos, porém apontam para a necessidade da validação do mesmo em circuitos integrados de maior dimensão.

No estudo realizado por Alessandro Danese et al. [7] é proposto e testado um processo cujo intuito é a criação de um projeto automático para gerar estados de energia baseadas no consumo de vários componentes analógicos.

É utilizado o método descrito por Alessandro Danese et al. [6] para gerar estados baseados na combinação das várias variáveis do componente, e a cada estado é associado um consumo.

A maior parte das previsões foi feita com precisão alta, de ordem menor a 1% a cerca de 4% de erro relativo, mas num deles não foram tão satisfatórios, com erro relativo de cerca de 32%. A justificação dada pelo autores para este valor alto de erro é a pouca correlação entre estados do sistema.

O objetivo do trabalho de Philippe Soulard et al. [17] é um pouco diferente dos anteriormente estudados, focando-se na previsão do consumo de componentes puramente digitais em oposição aos analógico. De modo a perseguir este objetivo foram utilizados estados de energia para a

Tabela 3.2: Organização das principais conclusões dos estudos com abordagem baseada em estados de energia

Aplicado a	Resultados	Referência
Analógico	————	Xiao Pan et al. [14]
Analógico	Erro de 1% a 4%. Uma simulação com 32%	Alessandro Danese et al. [7]
Digital	Erro de 2.1% até 30%	Philippe Soulard et al. [17]
Digital	Erro de cerca de 2%	Sumit Ahuja et al. [2]

estimação da potência total consumida. Os estados correspondem ao modo de funcionamento do sistema, como é exemplo *active mode* e *sleep mode*. Na transição entre estados é aplicado um valor diferente de consumo e dentro do mesmo estado um consumo constante.

Após validação desta abordagem, foram obtidos resultados com graus de precisão muito variados de 2.1% até 30%.

No estudo realizado por Sumit Ahuja et al. [2] a abordagem e objetivos foram semelhantes aos anteriormente referidos.

São usadas máquinas de estados como principal ferramenta e difere na utilização de uma ferramenta de verificação formal e um número maior de estados considerados. Comparado à ferramenta de simulação, a precisão foi na ordem dos 98%.

3.3 Outros métodos

Ainda que os métodos mais utilizados sejam empíricos existem vários estudos mais teóricos com objetivo semelhante a esta dissertação, seguindo-se alguns exemplos.

A abordagem de Jianlei Yang et al. [21] baseada em Singular Value Decomposition(SVD), um método muito utilizado em processamento de sinal. Para cada nó do circuito é atribuído um coeficiente β , dependente da capacitância efetiva e da tensão de alimentação, e um coeficiente s , dependente da frequência do sistema e da probabilidade de transição.

Depois de definida uma matriz de *inputs* X cuja potência consumida é conhecida, é calculado um estimador de β resultante da multiplicação da matriz pseudo-inversa de X e a potência consumida. Este estimador é aplicado na simulação de modo a ser utilizada uma calibração. Neste momento é utilizado o método SVD para cálculo de um novo estimador de X , que multiplicará com o vetor relativo ao consumo estimado durante a calibração, de forma a obter o novo estimador de β . Uma vez obtido o valor ótimo do estimador β , é possível multiplicá-lo com qualquer matriz de estímulos de modo a obter uma estimativa do consumo de potência.

Os resultados desta abordagem foram bastante precisos, entre os 0.75% a 4%, mas os autores apontam a necessidade do seu teste em projetos de maior dimensão.

No trabalho de Erik Lauwers et al. [9] é feita uma modelização de circuitos integrados específicos em oposição à abstração proposta pelos estudos descritos anteriormente. Numa primeira parte é apresentado um estudo e formulação de uma função referente ao consumo de um *Analog Digital Converter* (ADC), esta solução é descrita como sendo eficaz em 10 em cada 11 ADC com um erro

relativo de 1%. Numa segunda parte é utilizado o método de E. Lauwers et al. [10], intitulado ACTIF, fornecendo uma solução para estimar o consumo de filtros *operational transconductance amplifier-C* (OTA-C) através da sua função de transferência, *dynamic range* e a máxima amplitude do sinal.

O estudo de Christer Svensson et al. [19] fornece uma interessante e importante análise teórica do consumo de vários componentes analógicos. Começando por uma análise ao nível do transistor, aborda a modelização e propõe a função de consumo de vários componentes eletrónicos, nomeadamente filtros OTA, *Low-noise amplifier* (LNA) e *Voltage Controlled Oscillator* (VCO).

3.4 Comparação entre abordagens

Após o estudo das várias alternativas é possível inferir que a utilização de uma abordagem baseada em redes neuronais gera resultados mais precisos e será preferível a qualquer outra abordagem. Por outro lado, esta abordagem e a sua preparação é bastante morosa e complicada quando comparada às restantes, principalmente à abordagem baseada em estados de energia que apenas requer a definição de estados e do consumo associado aos mesmos.

Uma abordagem semelhante à de Christer Svensson et al. [19] e Erik Lauwers et al. [9] também não seria ideal devido à muito grande complexidade dos circuitos estudados.

Capítulo 4

Metodologia

Neste capítulo é descrito o trabalho realizado durante esta dissertação. Está dividido em cinco partes: estudo e comparação entre simuladores, a abordagem que utiliza redes neuronais, a abordagem que utiliza estados de energia, uma breve descrição das simulações realizadas e a proposta de uma metodologia para replicação do trabalho

4.1 Estudo da precisão da utilização da co-sim para simulações consumo de corrente

Numa fase inicial do trabalho foi importante uma familiarização com as ferramentas utilizadas, assim como do estudo do consumo de corrente, em ambiente empresarial.

Com o intuito de perceber as principais diferenças, sobretudo em precisão, entre a utilização da co-sim em oposição a simulações puramente analógicas e comprovar a sua viabilidade, foi estudado o bloco Tx de um projeto. O bloco Tx foi escolhido em oposição ao SUP pois a PLL, presente no SUP, é extremamente sensível, o que impossibilitaria a utilização dos mesmos estímulos digitais para a sua simulação em HSPICE e XA, causando disparidade entre as condições de simulação e, por conseguinte, resultados diferentes.

As simulações em co-sim foram feitas para duas frequências de operação diferentes, denominadas por F1 e F2 por motivos de confidencialidade, e para o caso típico e pior caso (PVT *fast-fast* a 125°C e com o valor máximo de tensão). É importante referir que as simulações realizadas em co-sim ignoram as capacidades de acoplamento parasíticas do *layout*, sendo a sua parte analógica retirada apenas do esquemático.

Após realizadas as simulações em co-sim, foram realizadas quatro puramente analógicas utilizando a ferramenta de FASTSPICE, XA. Estas simulações foram realizadas sob as mesmas condições e estímulos que as anteriores. Esta simulação já considera as capacidades de acoplamento parasíticas e os valores obtidos foram comparados entre simulações.

Para uma maior precisão e comparação, extraordinariamente, foram feitas simulações analógicas completa em SPICE, nas mesmas condições que as anteriores, pela equipa analógica da Synopsys. Os resultados destas simulações foram utilizados para comparação com os das simulações em XA e confirmar a viabilidade da utilização de FASTSPICE em oposição a SPICE.

Após esta análise completa da estimativa e previsão dos consumos com vários níveis de extração foi provada a viabilidade da utilização da co-sim assim como as suas limitações.

Foi também realizado um estudo relativo às várias opções do XA e a sua influência na precisão dos resultados.

4.2 Abordagem Redes Neurais

De análise primária ao capítulo 3, onde são descritos os trabalhos realizados com o mesmo propósito, é aliciante a utilização de redes neurais para resolução do problema. Este método, para além de ter uma maior eficácia na estimação dos consumos dos componentes, também é largamente utilizado nas mais variadas áreas e, como tal, um interessante ponto de partida na procura do melhor método de resolução do problema.

Numa fase inicial o autor procedeu a um estudo intensivo de redes neurais e a sua aplicabilidade ao caso em estudo. Fez a simulação em SPICE do bandgap isolado, simulação que dura cerca de 7 minutos, utilizando como referência *inputs* de algumas baterias de testes cedidas pela Synopsys. Desta simulação foram gerados variados valores de corrente a ser utilizados para treino da rede neuronal.

A construção e tamanho da rede neuronal depende da quantidade de *inputs*, sendo o número de neurónios da primeira camada o dos *inputs* e a quantidade de *hidden layers* e seus neurónios dependente deste, podendo carecer de uma calibração.

Após estes passos foi realizada uma reavaliação e revisão dos objetivos nomeadamente a questão da necessidade de uma solução facilmente replicável, e em certa parte rotineira, de modo a ser utilizada em ambiente empresarial sem grande esforço. O bandgap possui cerca de quarenta entradas e duas variáveis para os perfis de corrente. Isto traduz-se em 200 neurónios na primeira camada, se utilizado um método parecido com o de Martin Grabmann et al. [8], e um número semelhante de neurónios em camadas ocultas, o que se traduz num grande esforço de computação e conseqüentemente um longo período de treino da rede no qual não estão consideradas possíveis calibrações.

Como em cada projeto é utilizada uma versão ligeiramente diferente deste componente (variando em tecnologia e possivelmente algumas entradas), o tempo e dedicação que esta abordagem requer torna-se incompatível com o objetivo de fácil replicabilidade, e uma diferente aproximação ao problema foi requerida não tendo sido gerados quaisquer resultados por parte desta aplicação. Ainda para esta abordagem estava a ser preparado um algoritmo de pré-processamento dos resultados para seleção do conjunto de treino.

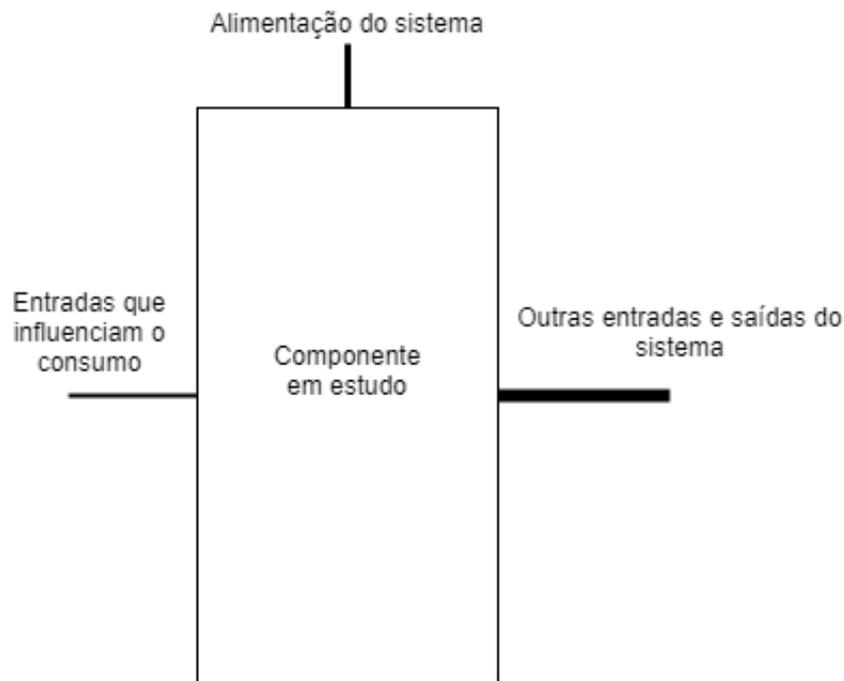


Figura 4.1: Representação dos componentes estudados

Devido à incompatibilidade dos requisitos da rede neuronal com os requisitos da presente dissertação, o autor optou por uma abordagem que funde os fundamentais da abordagem com estados de energia incorporadas na simulação em RTL descrita doravante.

4.3 Abordagem Estados de Energia

Por sugestão do orientador externo, o Engenheiro Bruno Coelho, optou-se pela definição de três estados de funcionamento dos componentes, comuns a todos os componentes do SoC e cujos valores se encontram facilmente nos relatórios da equipa responsável pelos componentes analógicos da Synopsys, deixando de ser necessária a simulação em SPICE para obtenção de valores precisos dos perfis de corrente.

Os três estados definidos são os seguintes:

- 0 : *power gated*, cujo valor, não sendo nulo, não consta nos relatórios, então não será considerado numa abordagem inicial, sendo introduzido caso se verifique que a sua contribuição é significativa no valor final da previsão;
- 1 : *leakage*, onde o componente se encontra desligado, porém está a ser alimentado pelas fontes de tensão;
- 2 : *on*, onde o componente está ligado e realiza a sua função principal, consumindo uma maior corrente e cuja precisão será mais importante;

Mais uma vez o componente focado inicialmente foi o bandgap, aproveitando-se o prévio estudo aprofundado e conhecimento que adveio do mesmo.

Uma vez que a simulação em SPICE já tinha sido realizada a análise e confrontação dos perfis de corrente contra a variação das entradas permitiu um claro estabelecimento e compreensão das variáveis que influenciam cada estado considerado. A combinação da entrada de *power down* com a alimentação do componente, *vp* e *vph*, marcam a passagem para o estado de *leakage* (número 1) e a entrada de *enable* do circuito a passagem para o estado *on*.

O bandgap e os seus consumos dependem apenas destas entradas 4.1, sendo a sua implementação a utilização de uma estrutura *case* em verilog.

Após o estudo do bandgap foi realizado o estudo da PLL. Para um maior nível de rigor foi preparado um ambiente de simulação em SPICE deste componente, porém, devido ao seu nível elevado de complexidade e sensibilidade às entradas e à resolução temporal, esta simulação não foi realizada pois demoraria na ordem das 2 semanas e a probabilidade de resultados insatisfatórios seria alta. Recorreu-se, assim, aos relatórios realizados pela equipa analógica para os valores de *leakage* e *on*.

A PLL é sensível ao relógio de referência, então foi implementado um algoritmo que mede esta frequência e escolhe o valor de consumo mais indicado. O consumo deste bloco também é sensível à frequência gerada.

Nos relatórios encontram-se os valores de corrente para a PLL e o prescaler, estes valores de referência foram considerados com uma tolerância de 20% e no caso do valor da mesma não se enquadrar é gerado um aviso de frequência em falta. Poderia ser utilizado algum tipo de correspondência com os valores presentes, porém, uma vez que a variação não é linear e é desconhecida é preferível a mensagem de erro. Para medição das frequências é considerada a diferença temporal entre dois *rising edge* das mesmas cinco vezes e feita a média das medições. A frequência é fixa durante a utilização do componente logo a sua medição apenas é necessária uma vez. Foi considerada a medição periódica desta frequência utilizando a função *timer* de verilog-A mas não foi realizada pois não traria qualquer vantagem.

Em relação ao bloco do prescaler foi utilizado um método semelhante ao da PLL uma vez que o consumo deste também depende de uma frequência de referência.

Foi também feita uma análise simples ao consumo do bloco de scan. Neste bloco, por onde passam todos os sinais de entrada e de saída do SUP é possível reparar num aumento do consumo aquando da ativação da PLL. Este aumento no consumo é explicado pelo aumento da comutação causado pelo relógio de alta frequência.

Para os restantes blocos de apoio do SUP foram considerados apenas dois estados, *on* e *off*, pois o valor do seu consumo é residual.

Cada bloco define o seu estado internamente e, a um nível mais alto, os valores dos blocos são somados e obtida a estimativa do consumo do bloco.

4.4 Simulações realizadas

Após a modelização foram realizadas simulações do caso típico e pior caso no projeto em estudo. Para a análise do consumo do SUP foram definidos quatro estados relevantes:

- 0 Todos os blocos do SUP estão ligados;
- 1 Todos os blocos exceto a PLL estão ligados;
- 2 Apenas o bandgap e os blocos de apoio estão ligados;
- 3 Todos os blocos estão desligados.

Para cada um dos estados é comparado o erro relativo entre as abordagens da co-sim e a abordagem proposta.

4.5 Proposta da metodologia

O método utilizado na sequência desta dissertação poderá ser replicado sem grande esforço. A sequência de passos propostos para a modelização é a seguinte, também sob a forma de *flow chart* na figura 4.2:

- Criação do layout dos blocos analógicos por parte da equipa analógica e criação do seu modelo comportamental por parte da equipa digital;
- Aplicação de bateria de testes ao modelo comportamental e aos vários blocos analógicos
- Estudo das variáveis que afetam o consumo do componente. Este ponto será transversal a projetos, a partir do momento em que o componente se encontra modelizado, num projeto, a mesma modelização (com valores de consumo diferentes) será compatível com outros projetos;
- Modelização do componente em três estados de energia;
- Integração dos vários modelos ao nível de topo do bloco simulado em RTL;
- Simulação RTL do projeto;
- Análise crítica sobre os resultados obtidos.

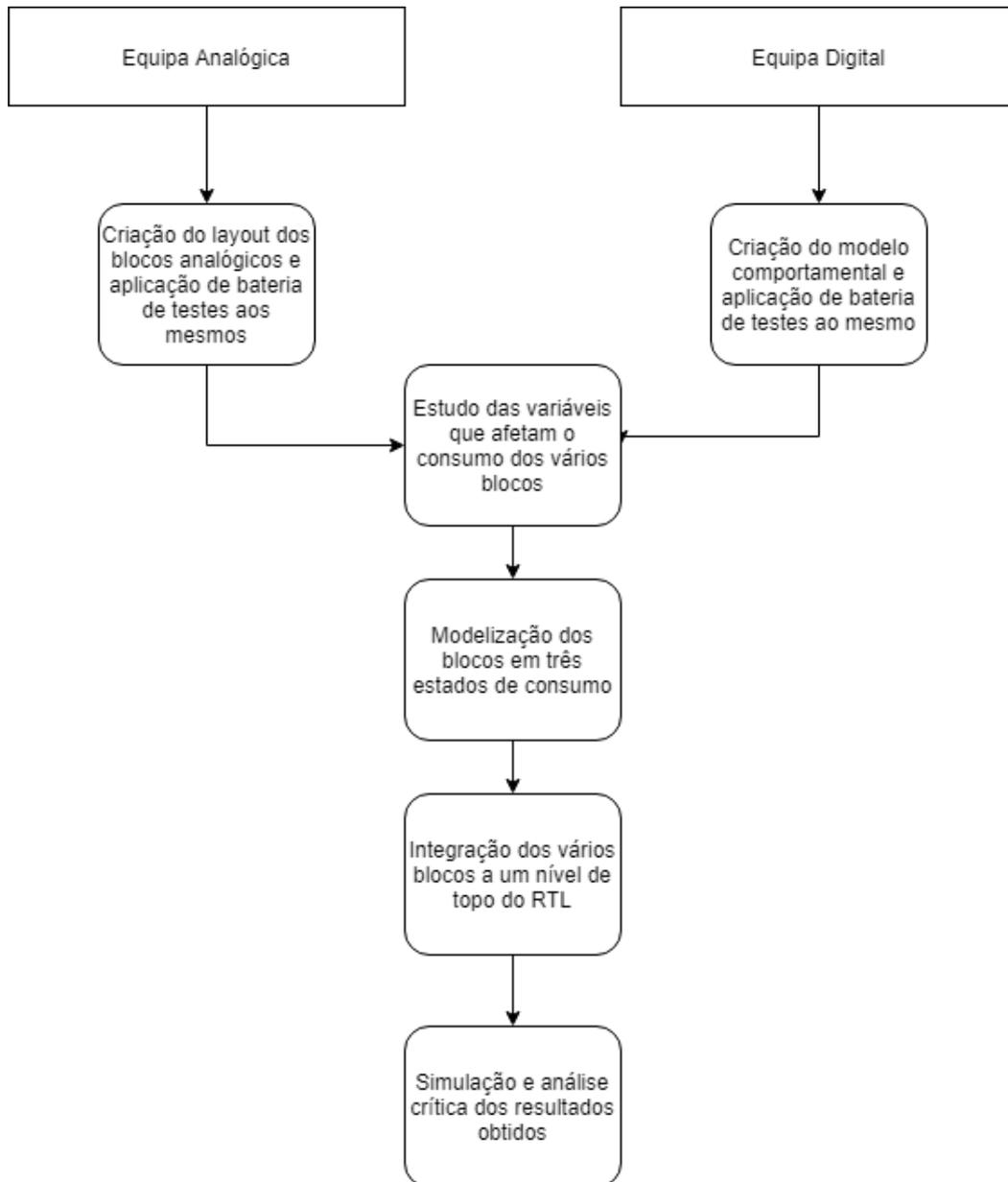


Figura 4.2: Metodologia proposta por esta dissertação

Capítulo 5

Resultados

Neste capítulo serão apresentados os resultados e sua respetiva análise.

Por motivos de confidencialidade os valores de corrente apresentados serão o resultado da multiplicação dos valores obtidos por um fator multiplicativo. Isto acontece de modo a não revelar os valores da Synopsys. De qualquer modo o erro relativo, o fator mais importante na análise dos resultados, mantém-se constante após esta transformação.

5.1 Simulação co-sim

Conforme referido na secção 4.1 do capítulo 4 a primeira simulação feita foi a co-sim do Tx, cuja parte analógica foi extraída de um modelo que não considera as capacidades parasitas. Esta simulação focou-se no valor de consumo durante o *burst* que é o nome dado ao estado de utilização do Tx. Foram simulados dois *corners*, típico e pior caso (*fast* com a tensão máxima utilizada e a 125°C) para duas frequências de funcionamento, F1 e F2, sendo F1 o dobro de F2. Nas figuras 5.1, 5.2, 5.3 e 5.4 é possível identificar o *burst*, assim como o perfil de corrente associado ao mesmo.

Após feita a simulação para a frequência F1 no *corner* típico foi medida a média do consumo para o *burst*, quando as linhas do Tx se encontram em utilização. A corrente em Vp é de 1.33mA e em Vph 8.95mA, estes valores foram retirados da figura 5.1.

Para o pior caso da frequência F1 a corrente em Vp é de 2.06mA e em Vph 10mA. Estes valores assim como a variável que define a atividade do Tx encontram-se em 5.2.

Para o *corner* típico da frequência F2 a corrente em Vp é de 0.675mA e em Vph 5.7mA. 5.3 é o gráfico relativo ao consumo deste *corner*.

No pior caso da frequência F2 a corrente em Vp é de 2.06mA e em Vph 6.1mA. Estes valores foram obtidos a partir do gráfico 5.4.

Na tabela 5.1 encontram-se organizados os valores de corrente extraídos de cada *corner* para ambas as frequências.

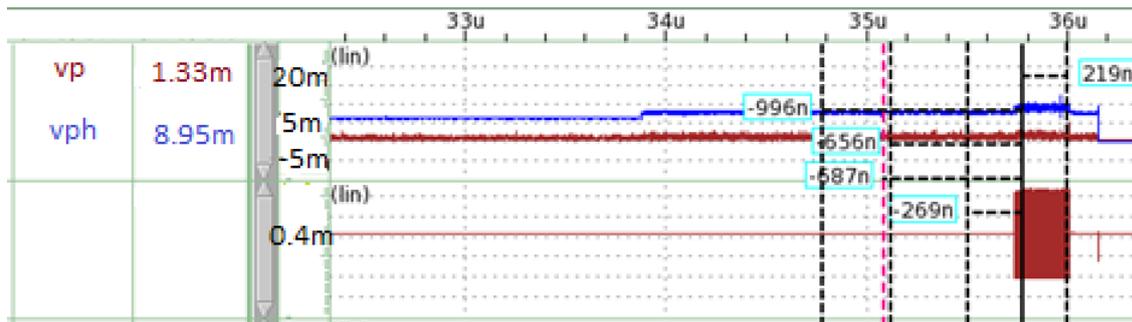


Figura 5.1: Simulação co-sim à frequência F1 caso típico

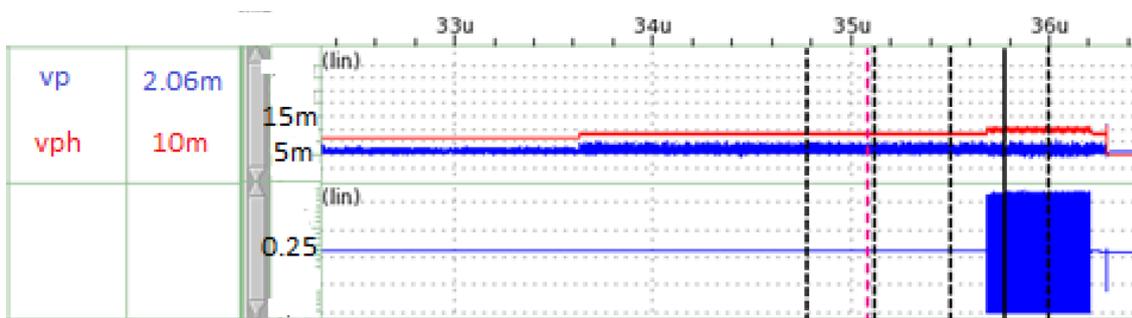


Figura 5.2: Simulação co-sim à frequência F1 pior caso

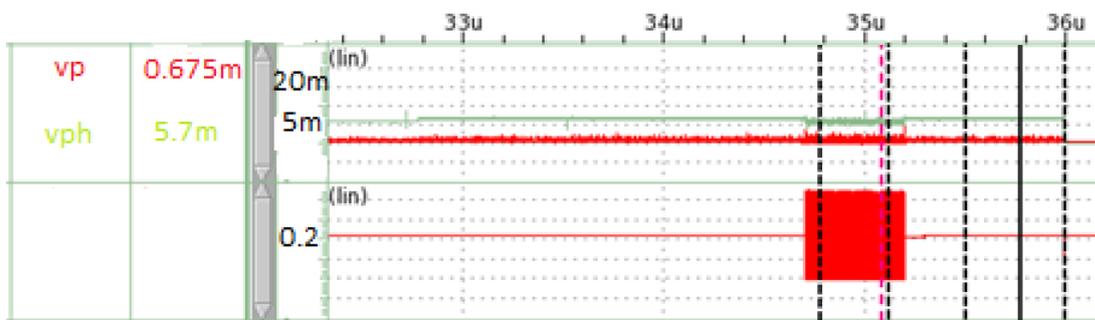


Figura 5.3: Simulação co-sim à frequência F2 caso típico

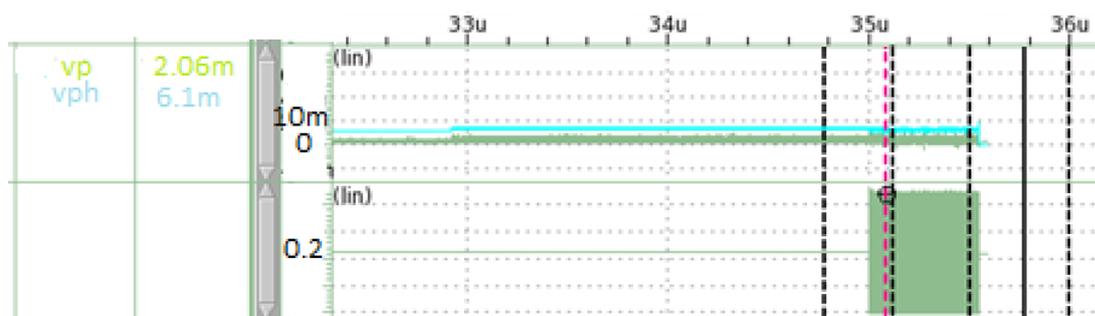


Figura 5.4: Simulação co-sim à frequência F2 pior caso

MODO	$I_{V_p}(A)$	$I_{V_{ph}}(A)$
F1 Caso Típico	1.33m	8.95m
F1 Pior Caso	2.06m	10m
F2 Caso Típico	0.675m	5.7m
F2 Pior Caso	2.06m	6.1m

Tabela 5.1: Resultados da co-sim

Tendo uma atitude crítica em relação aos resultados obtidos é possível perceber que muito provavelmente o valor da corrente em V_p para o pior caso da frequência F2, 2.06mA, é um valor errado. Esta conclusão advém do facto deste valor ser o mesmo da corrente V_p para o pior caso de F1, uma frequência maior, o que deveria indicar um maior consumo.

Também é possível reparar que em entre nenhum *corner* a corrente consumida por V_p ou V_{ph} duplica e neste caso ela triplica. Este erro será confirmado pelas simulações seguintes.

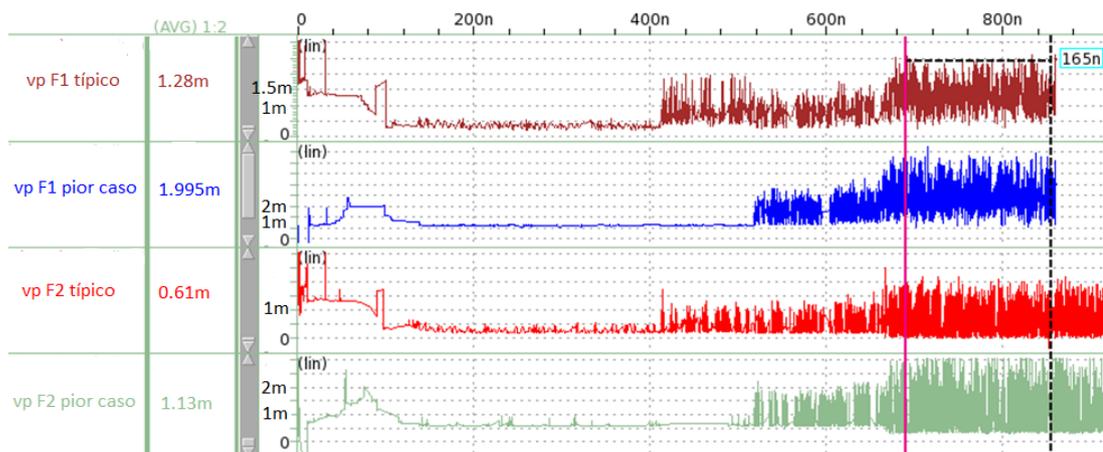
5.2 Simulação XA e comparação com a co-sim

As simulações feitas em XA já consideram algumas capacidades parasíticas e, como tal, deverá gerar um valor mais aproximado do real. Foram realizadas para os mesmos *corners* e com os mesmos estímulos da simulação co-sim.

Os resultados para a corrente consumida em V_p nos vários *corners* estão presentes na figura 5.5 e os da corrente consumida em V_{ph} na figura 5.6, com posterior organização dos resultados e comparação com os obtidos anteriormente na tabela 5.2.

Para a frequência F1 a corrente consumida por V_p é 1.28mA no caso típico e 1.995mA no pior caso. Quanto à corrente de V_{ph} os seus valores são 9mA típico e 10.4mA no pior caso.

No caso da frequência F2 a corrente consumida por V_p é 0.61mA para o caso típico e 1.13mA no pior caso. Em relação à corrente consumida por v_{ph} os seus valores são 5.45mA no caso típico e 6.4mA pior caso.

Figura 5.5: Valores de V_p para os vários *corners* em XA

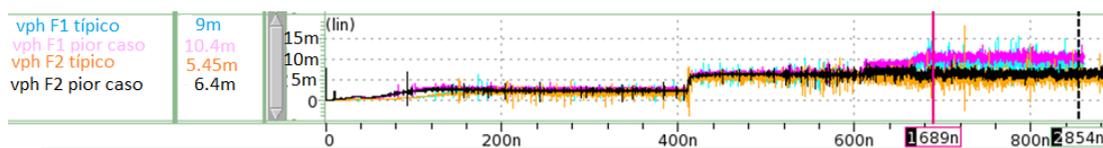


Figura 5.6: Valores de Vph para os vários *corners* em XA

Os resultados da simulação puramente analógica de XA com os da co-sim em termos percentuais encontra-se na tabela 5.2. Para a corrente de Vp a co-sim apresenta valores pessimistas, no caso típico de F1 apresenta um erro relativo de -4% e para o pior caso -5% em relação à simulação analógica XA. Para o caso típico de F2 a co-sim apresenta um desvio de -10% e no pior caso, confirmando as suspeitas de um valor erróneo, um desvio de -45%.

Quanto aos valores de corrente de Vph para a frequência F1, em ambos os *corners*, a co-sim apresenta valores otimistas com um desvio de 1% para o caso típico e 4% no pior caso em relação à simulação em XA. Em relação à frequência F2 é apresentado um valor pessimista no caso típico, -4% e um valor otimista no pior caso, desvio de 5% quando comparado à simulação XA.

5.3 Simulação SPICE

Estes valores foram obtidos a partir da equipa analógica da Synopsys logo não existe gráfico que o comprove e os valores estão dispostos na tabela 5.3.

Em relação à frequência F1 e ao seu caso típico foi registado um consumo para Vp de 1.295mA e 1.96mA no pior caso. A corrente de Vph tem como valores 9mA no caso típico e 10.35mA no pior caso.

Quanto à frequência F2 no caso típico Vp tem como valor de corrente 0.61mA e 1.17mA no pior caso. Vph tem consumos de corrente de 5.4mA no caso típico e 6.35mA no pior caso.

No tabela 5.4 é feita a comparação do erro relativo da simulação em SPICE em relação à co-sim e a comparação do erro relativo da simulação em SPICE em relação à simulação em XA.

As simulações em co-sim para os valores de Vp são pessimistas em todos os *corners*. Para a frequência F1 no caso típico apresenta um erro de -3% e no pior caso -5%. Quanto à frequência F2 apresenta um erro de -1% para o caso típico e, conforme esperado, um elevado erro de -43% para o pior caso.

MODO	$I_{V_p}(A)$	$I_{V_{ph}}(A)$	Erro relativo relação a $I_{V_{p}daco} - sim$	Erro relativo relação a $I_{V_{ph}daco} - sim$
F1 Caso Típico	1.28m	9m	-4%	1%
F1 Pior Caso	1.995m	10.4m	-5%	4%
F2 Caso Típico	0.61m	5.45m	-10%	-4%
F2 Pior Caso	1.13m	6.4m	-45%	5%

Tabela 5.2: Organização dos resultados da simulação em XA e erro relativo em relação à co-sim

MODO	$I_{V_p}(A)$	$I_{V_{ph}}(A)$
F1 Caso Típico	1.295m	9m
F1 Pior Caso	1.96m	10.35m
F2 Caso Típico	0.67m	5.4m
F2 Pior Caso	1.17m	6.35m

Tabela 5.3: Organização dos resultados da simulação SPICE

Quanto aos valores de V_{ph} para a frequência F1 no caso típico apresenta um erro de 0% no caso típico e 3% no pior caso. E para a frequência F2 um erro de -5% no caso típico e 4% no pior caso.

O erro em relação às simulações XA para V_p no caso típico da frequência F1 é de 1% e 0% no pior caso. Para a frequência F2 é de 10% no caso típico e 4% no pior caso.

Quanto ao consumo de V_{ph} o erro para a frequência F1 caso típico é de -1% e 0% no pior caso. Para a frequência F2 é de -1% no caso típico e -1% no pior caso.

5.4 Simulação XA utilizando várias opções diferentes

De modo a perceber a influência das opções do XA na precisão dos resultados e a origem do erro da co-sim para o pior caso da frequência F2 foram realizadas cinco simulações com opções diferentes e uma de controlo em SPICE. Estas simulações utilizaram todas o *corner* típico da frequência F1. Os resultados, assim como a duração de cada simulação, encontram-se na tabela 5.5, na figura 5.7 encontram-se os resultados da simulação para a corrente de V_p .

A simulação de controlo em SPICE obteve como resultado uma corrente V_p de 1.955mA, porém durou cerca de um dia, vinte e uma horas e trinta minutos. Utilizando o XA com as opções *default+acc=3* foi obtida uma corrente V_p de 1.96mA, um erro de 0% com um tempo de simulação de nove horas e vinte e três minutos. Com as opções *default+latest version* a corrente V_p obtida é 0.665mA, numa simulação que dura cinco horas e dez minutos, marcando um erro relativo de -65%. Utilizando as opções *default+no partitioning* a corrente V_p tem um valor de 1.24mA para uma simulação que dura seis horas e cinco minutos com erro relativo de -37%. Com a opção *default+2017.03-SP5* o valor obtido para V_p foi 0.63mA, tendo a simulação durado sete horas e onze minutos, isto representa um erro relativo de -68%. Na simulação final foram

MODO	Erro relativo relação a I_{V_p} da co-sim	Erro relativo relação a $I_{V_{ph}}$ da co-sim	Erro relativo relação a I_{V_p} do XA	Erro relativo relação a $I_{V_{ph}}$ do XA
F1 Caso Típico	-3%	0%	1%	-1%
F1 Pior Caso	-5%	3%	0%	0%
F2 Caso Típico	-1%	-5%	10%	-1%
F2 Pior Caso	-43%	4%	4%	-1%

Tabela 5.4: Erro relativo da simulação SPICE em relação à co-sim e à simulação XA

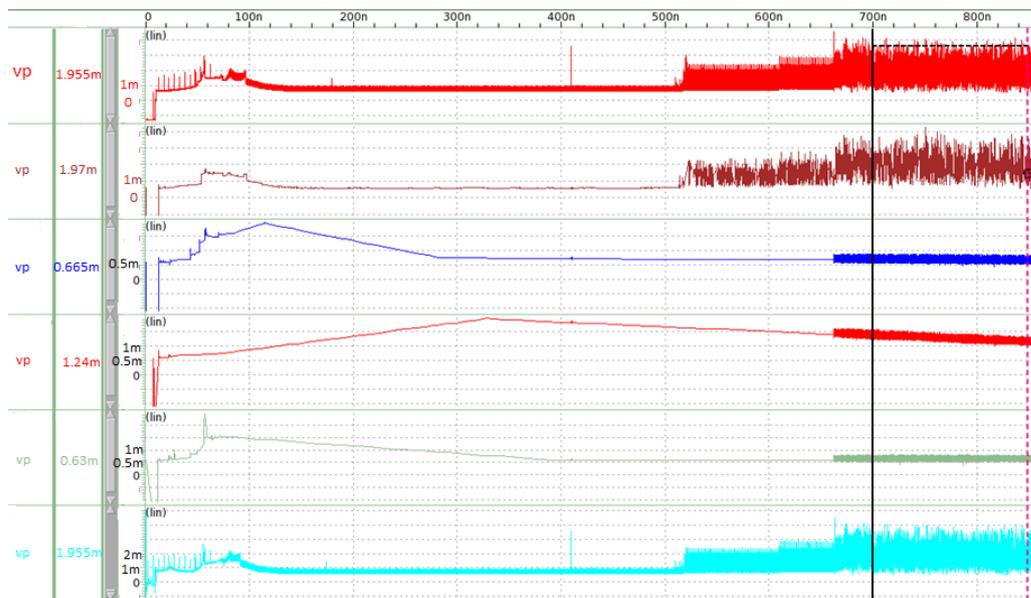


Figura 5.7: Valores de corrente em Vp para as várias opções do XA

utilizadas as opções *default+ssl6* e obtida uma corrente de 1.955mA, a simulação durou dez horas e quarenta minutos e obteve um erro relativo de 0%.

Destas simulações deduz-se que, no caso do Tx, o simulador requer as opções *default+acc=3* ou *default+ssl6* para uma correta previsão dos valores de corrente Vp.

Quanto aos valores da corrente de Vph, presentes na figura 5.8, são semelhantes para todas as simulações e não foram alvo de comparação.

5.5 Simulação e previsão do consumo de corrente do projeto 1

Mais uma vez, por motivos de confidencialidade, o nome real dos projetos não será utilizado no decorrer desta dissertação, sendo substituído por uma numeração dos mesmos.

Nas tabelas 5.6 e 5.7 encontram-se os valores cedidos pela equipa analógica da Synopsys e que foram utilizados para a modelização da máquina de estados do o bandgap, prescaler, PLL e scan. Aos blocos estudados foi adicionado o bloco de scan pois é o único que consome a corrente Vp_dig e o seu valor não deve ser menosprezado.

Apesar da modelização proposta prever três estados diferentes, apenas serão modelizados dois, pois o de *power gating* requer a simulação do modelo com capacidades e resistências parasíticas numa simulação em separado que não foi realizada. A ausência da utilização deste modelo também

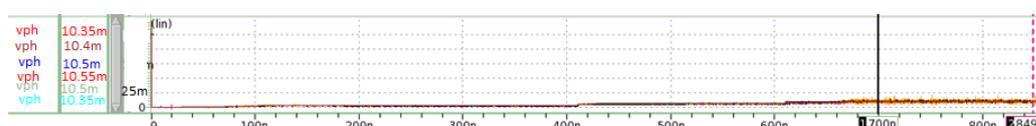


Figura 5.8: Valores da corrente em Vph para as várias opções do XA

Opções do Simulador	$I_{Vp}(A)$	Tempo da Simulação
HSPICE, runlvl=5	1.955m	1d 21h 30m
XA - default+acc=3	1.96m	9h 23m
XA - default+latest version	0.665m	5h 10m
XA - default+no partitioning	1.24m	6h 5m
XA - default+2017.03-SP5	0.63m	7h 11m
XA - default+ssl6	1.955m	10h 40m

Tabela 5.5: Opções do XA, os seus resultados e o tempo de simulação

Estado	Caso	Bandgap		Prescaler	
		$I_{Vp}(mA)$	$I_{Vph}(mA)$	$I_{Vp}(mA)$	$I_{Vph}(mA)$
-	-				
<i>On</i>	Típico	0.008	0.0475	0.075	0.53
<i>On</i>	Pior	0.015	0.075	0.215	0.945
<i>Leakage</i>	Típico	0.00025	0.001	0.002	0.00065
<i>Leakage</i>	Pior	0.0015	0.005	0.1025	0.0035

Tabela 5.6: Valores da equipa analógica para o bandgap e prescaler

Estado	Caso	PLL		Scan
		$I_{Vp}(mA)$	$I_{Vph}(mA)$	$I_{Vp_dig}(mA)$
-	-			
<i>On</i>	Típico	0.855	5.8	0.1
<i>On</i>	Pior	1.575	7.205	0.2625
<i>Leakage</i>	Típico	0.0125	0.00075	0.00075
<i>Leakage</i>	Pior	0.505	0.011	0.0225

Tabela 5.7: Valores da equipa analógica para a PLL e scan

Estado	Corrente em Vp(A)	Corrente em Vph(A)	Corrente em Vp_dig(A)
0	0,93m	6.35m	0,00925m
1	0,1m	0,58m	0,00075m
2	0.025m	0,05m	0,00075m
3	0,03m	0,00265m	0,00075m

Tabela 5.8: Valores obtidos através da co-sim para o caso típico

tem o seu peso sobre o valor de *leakage*, isto causa uma possível oscilação de mais ou menos 1mA para os estados em que o consumo é mais baixo, justificando, previamente, alguns erros que se verificarão.

O consumo de corrente associado a cada um destes estados, para uma simulação co-sim à frequência F2 e caso típico encontra-se na tabela 5.8. Para o pior caso os valores estão disponíveis na tabela 5.9. Estas co-sim utilizaram como opções do XA "set_sim_level -level 5 -acc 3 -subckt *", para os blocos mais críticos, os estudados, seria ideal a utilização da opção "-level 6" em oposição a "-level 5" para um maior detalhe e resultados mais precisos.

A figura 5.9 representa a evolução dos estados de consumo considerados para cada bloco e, quando confrontada com a figura 5.10, que representa a evolução do consumo através da co-sim, é possível concluir que a evolução do consumo dos blocos é corretamente seguida, validando a abordagem proposta. Quando a PLL é ligada (mplla_en e mplla_output_en ligados em simultâneo) é ligado o estado de consumo *on* da mesma, na abordagem proposta, na co-sim atual este é o momento em que é considerado estável e medido o consumo da PLL. Os estados intermédios de consumo, como é exemplo o arranque da PLL, não foram modelizados por escolha do autor pois a medição dos mesmos não está prevista no *flow* atual da co-sim.

Na tabela 5.10 estão presentes os valores de erro relativo do modelo proposto em relação à co-sim para o caso típico. Nos estados em que o consumo é mais elevado o erro em Vp é de 2%, Vph de 0% e Vp_dig 8%, estes são valores aceitáveis pois não ultrapassam o erro de 10% e, ao mesmo tempo, é perceptível que é feita uma análise pessimista o que neste caso é preferível pois garante valores maiores que os reais. Para estados cujo consumo é menor há uma maior disparidade de resultados, nomeadamente de 97% no Vph estado 2, confirmando o que foi dito anteriormente acerca da problemática da não utilização do modelo de resistências e capacidades parasíticas.

Na tabela 5.11 são apresentados os valores de erro relativo do modelo proposto em relação à co-sim para pior caso. Mais uma vez, nos estados em que o consumo é mais elevado o erro é

Estado	Corrente Vp(A)	Corrente Vph(A)	Corrente Vp_dig(A)
0	2.11m	8.33m	0,2625m
1	1.485m	1.125m	0,175m
2	1.255	0,162m	0,1755m
3	0,9m	0,02m	0,0225m

Tabela 5.9: Valores obtidos através da co-sim para o pior caso



Figura 5.9: Evolução do perfil de corrente no modelo apresentado

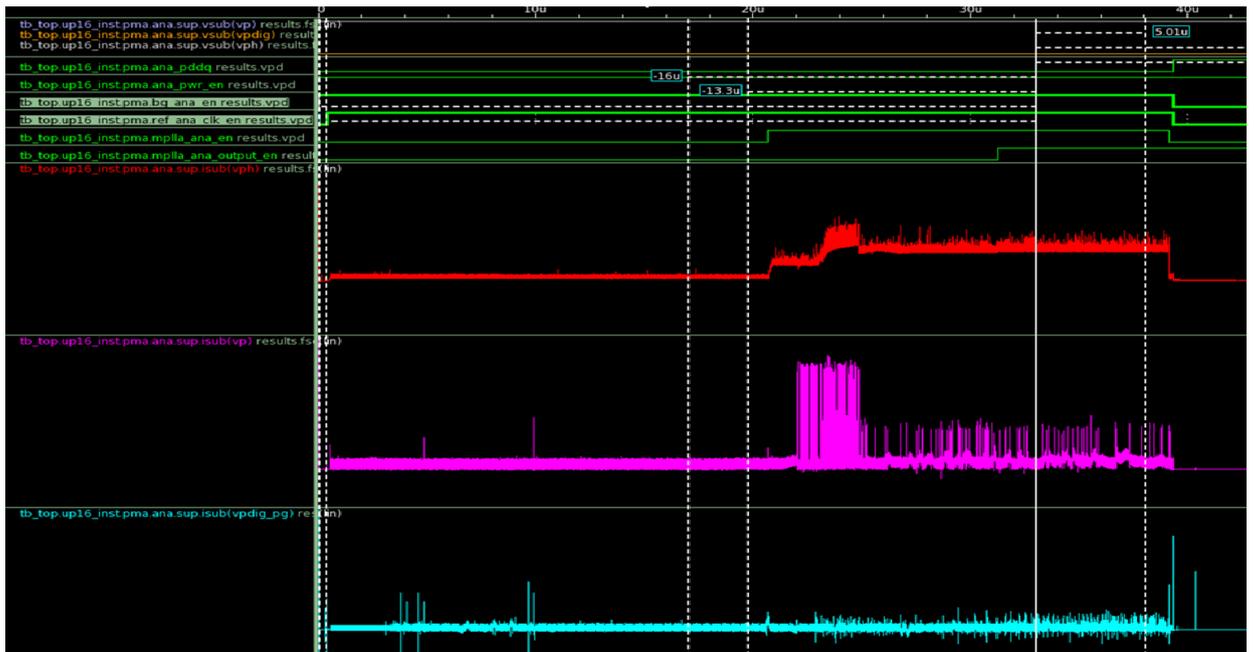


Figura 5.10: Evolução do perfil de corrente na co-sim

Estado	Corrente Vp	Corrente Vph	Corrente Vp_dig
0	2%	0%	8%
1	10%	0%	0%
2	-26%	97%	0%
3	-2%	19%	0%

Tabela 5.10: Erro relativo do modelo proposto em relação à co-sim para o caso típico

Estado	Corrente Vp	Corrente Vph	Corrente Vp_dig
0	9%	-1%	0%
1	-16%	-7%	0%
2	-8%	-38%	0%
3	24%	53%	0%

Tabela 5.11: Erro relativo do modelo proposto em relação à co-sim para o pior caso

menor, e os valores da co-sim e do modelo proposto são semelhantes, o erro relativo em Vp é de 9%, Vph de -1% e Vp_dig 0%, estes são valores aceitáveis pois não ultrapassam o erro de 10% . Mais uma vez a disparidade de resultados é maior em relação aos estados cujo consumo é menor, nomeadamente de -38% no Vph estado 2 e 53% no estado 3. De modo a que os resultados das simulações não sejam demasiado optimistas, como é o caso do erro de -38%, pode ser feita uma revisão dos consumos analógicos do bandgap, pode ser considerado o consumo de outros blocos de suporte ou a co-sim pode ser feita outra vez de modo a perceber se existe flutuação de resultados da mesma.

Capítulo 6

Conclusões

6.1 Análise das vantagens e desvantagens das várias abordagens de estimação de consumo

Numa primeira fase do trabalho foi feita uma comparação entre os vários métodos de medida do consumo de corrente, disponíveis para fácil implementação e que são utilizados em ambiente empresarial.

Estes métodos têm as suas vantagens e desvantagens que serão listadas de seguida para cada um dos métodos.

As co-sims, que utilizam a *netlist* extraída do esquemático, as suas vantagens são as seguintes:

- Os resultados da co-sim, como incluem os blocos digitais, fazem com que o consumo medido tenha em conta toda a configuração e controlo. Em simulações puramente análogicas isto não acontece pois a parte digital do projeto, responsável pelo controlo e configuração dos modos de funcionamento, não tem a sua autonomia característica e, como tal, alguns modos podem ser simulados de forma incorreta;
- Uma vez que a parte digital é simulada em separado, com o seu próprio simulador, o seu consumo é estimado através de outra ferramenta permitindo simulações mais longas e, mais uma vez, testando mais modos e configurações.

E as desvantagens:

- Como as co-sims são feitas a partir da extração das *netlists* esquemáticas mostram uma menor precisão nos resultados. Esta falta de precisão e divergência de resultados conforme as opções do simulador foi abordada, provada e estudada na secção 5.4 do capítulo 5;
- Como as co-sims são geralmente longas simulações, acabam por não poder ser corridas com a precisão ideal. A baixa precisão pode levar a perdas de performance dos reguladores

introduzindo ruído e levando a oscilação ao nível das correntes, este problema foi abordado nas secções 5.4 e 5.5 do capítulo 5.

As simulações analógicas que utilizam extração do *layout* apresenta a seguinte vantagem:

- As simulações utilizam os modelos de resistências e capacidades extraídos logo o seu nível de precisão será maior. Também na secção 5.4 do capítulo 5 é abordada esta maior precisão a nível de resultados.

E como desvantagens:

- Como as configurações e controlo é feito a nível dos blocos digitais, pode acontecer falhas de interpretação que levem a configurações diferentes entre as simulações de consumo analógicas e o que acontece numa situação de utilização real. Isto pode fazer com que as simulações divirjam comparativamente ao resultado final;
- Utilizando os modelos de simulação mais precisos aumenta consideravelmente o tempo de simulação. Na secção 5.4 é feita uma análise ao tempo de simulação para várias configurações do simulador XA e uma com HSPICE, é possível perceber a influência que as opções têm sobre o tempo de simulação. Uma maior precisão obriga a um tempo de simulação consideravelmente maior.

Nesta dissertação foi proposto um modelo novo de estimação de consumo de corrente para utilização em ambiente empresarial. Em relação ao mesmo foram identificadas, também, as suas vantagens e desvantagens.

As vantagens do novo modelo foram identificadas como sendo:

- Uma vez que os estados definidos no novo modelo utilizam os valores obtidos pela equipa analógica, este utiliza, assim, resultados pessimistas, o que garante que os valores estimados estejam acima do valor real. Este pessimismo, no ponto de vista empresarial, é importante pois é do interesse da empresa que o valor apresentado como consumo máximo seja ligeiramente acima do verdadeiro valor (partindo do pressuposto que uma estimação 100% precisa não é possível);
- Como a simulação é feita a nível de RTL tem em consideração a parte digital e garante que a sua ação não é adulterada, como poderia ser numa simulação puramente analógica;
- Apesar desta funcionalidade não ter sido demonstrada, esta abordagem permite a criação de mensagens de erro no caso de ser identificada uma configuração para a qual não está modelizada;
- O tempo de simulação, quando comparado ao de qualquer outra abordagem, é baixo e, como tal, poderá ser facilmente repetida no caso de erros serem detetados.

No que diz respeito a desvantagens foram identificadas:

- A abordagem é completamente dependente dos valores obtidos pela equipa analógica, podendo não haver qualquer referência acerca de uma certa configuração;
- Para uma correta utilização do mesmo será necessária uma modelização de todos os blocos do sistema e um constante cuidado na validade da mesma de projeto para projeto;
- Neste momento os valores de consumo para cada bloco são inseridos manualmente;
- Pode requerer algum conhecimento relativo ao bloco modelizado e a modelização utilizada pode diferir de projeto para projeto;
- Como não é considerado *switching* o modelo considera valores pessimistas, por esta razão o consumo que o mesmo indica poderá conter um erro elevado;
- Carece de mais testes;
- Este modelo não tem em conta variações nas fontes de alimentação ou qualquer irregularidade nos sinais, logo pecará em termos de precisão.

Apesar das vantagens apresentadas e desta dissertação ter provado a utilidade e precisão, pelo menos para os consumos mais elevados, não deve ser descartada a utilização da co-sim como forma de validação e confirmação da precisão desta abordagem. A utilização desta abordagem apenas poderá substituir a utilização da co-sim para configurações que não sejam consideradas críticas.

6.2 Trabalho Futuro

Como trabalho futuro seria importante a modelização do Tx e Rx e sua validação, de modo a que todo o ASIC seja coberto por esta modelização. Para além disto há espaço para melhoria na parte do algoritmo em si, poderão ser considerados mais estados intermédios.

Outro ponto importante seria a criação de um algoritmo novo que guarde num ficheiro, de maneira automática, os valores a ser utilizados por esta modelização. Este algoritmo tornaria esta modelização de utilização muito mais simples e facilitaria a sua transição entre projetos.

Referências

- [1] Adhila A. e Sumeet Anwikar. Pvt, rc variation ocv. Disponível em <http://www.signoffsemi.com/pvt-rc-variation-ocv/>, 2018.
- [2] S. Ahuja, D. A. Mathaikutty, e S. Shukla. Applying verification collaterals for accurate power estimation. *Proceedings of the 9th International Workshop on Microprocessor Test and Verification (MTV)*, página 61–66, 2008.
- [3] Charles L. Alley e Kenneth W. Atwood. *Electronic Engineering*. John Wiley Sons, 1973.
- [4] Robert W. Brodersen e Anantha P. Chandrakasana. Minimizing power consumption in digital cmos circuits. *Proceedings of the IEEE*, páginas 498–523 Volume 83, Issue 4, 1995.
- [5] Ian Collins. Phase-locked loop (pll) fundamentals. Disponível em <https://www.analog.com/en/analog-dialogue/articles/phase-locked-loop-pll-fundamentals.html#>, 2018.
- [6] Alessandro Danese, Tara Ghasempouri, e Graziano Pravadelli. Automatic extraction of assertions from execution traces of behavioural models. *Design, Automation Test in Europe Conference Exhibition (DATE)*, 2015.
- [7] Alessandro Danese, Ivan Zandonà, e Graziano Pravadelli. Automatic generation of power state machines through dynamic mining of temporal assertions. *Design, Automation Test in Europe Conference Exhibition (DATE)*, 2016.
- [8] Martin Grabmann, Frank Feldhoff, e Georg Gläser. Power to the model: Generating energy-aware mixed-signal models using machine learning. *16th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, 2019.
- [9] E. Lauwers e G. Gielen. Power estimation methods for analog circuits for architectural exploration of integrated systems. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, páginas 155–162 Volume: 10 , Issue: 2, 2002.
- [10] Erik Lauwers e Georges Gielen. *ACTIF: A High-Level Power Estimation Tool for Analog Continuous-Time-Filters*. Tese de doutoramento, Katholieke Universiteit Leuven, 2000.
- [11] Jens Lienig e Juergen Scheible. *Fundamentals of Layout Design for Electronic Circuits*. Springer International Publishing, 2020.
- [12] Tom M. Mitchell. *Machine Learning*. McGraw-Hill Science/Engineering/Math, 1997.
- [13] L. W. Nagel e D. O. Pederson. *SPICE (Simulation Program with Integrated Circuit Emphasis)*. Tese de doutoramento, University of California, Berkeley, ETH Zürich, 1973.

- [14] Xiao Pan, Javier Moreno Molina, e Christoph Grimm Grimm. Modeling power consumption at system-level for design of power integrity-aware ams-circuits. *Forum on Specification and Design Languages (FDL)*, 2015.
- [15] T. Quarles, D. Pederson, R. Newton, A. Sangiovanni-Vincentelli, e Christopher Wayne. The spice page. Disponível em <http://bwrcs.eecs.berkeley.edu/Classes/IcBook/SPICE/>.
- [16] M. Hamid K. Roy. Leakage current mechanisms and leakage reduction techniques in deep-submicrometer cmos circuits. *Proceedings of the IEEE*, página Vol 91 No 2, Fevereiro 2003.
- [17] Philippe Soulard e Yijun Xu. Accurate system level power estimation through fast gate-level power characterization. Disponível em <https://www.design-reuse.com/articles/17971/system-level-power-estimation.html>.
- [18] A. Suissa, O. Romain, J. Denoulet, K. Hachicha, e P. Garda. Empirical method based on neural networks for analog power modeling. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, páginas 839–844, 2010.
- [19] Christer Svensson e Jacob Wikner. Power consumption of analog circuits: a tutorial. *Analog Integrated Circuits and Signal Processing*, páginas 171–184, 2010.
- [20] Synopsys. Spyglass power estimation and spyglass power reduce methodology.
- [21] Jianlei Yang, Liwei Ma, Kang Zhao, Yici Cai, e Tin-Fook Ngai. Early stage real-time soc power estimation using rtl instrumentation. *Asia and South Pacific Design Automation Conference*, páginas 779–784, 2015.
- [22] Lianfeng Yang. What's the difference between spice and fastspice circuit simulators? Disponível em <https://www.electronicdesign.com/technologies/test-measurement/article/21801299/whats-the-difference-between-spice-and-fastspice-circuit-simulators>, 2016.