

IMPLEMENTACION DEL MODELO DE INGENIERIA DE LA ETAPA DIGITAL DEL INSTRUMENTO DCS DEL SATELITE SABIA-MAR I

José Juárez, Adrián Carlotto, Gerardo Sager

GridComD, Facultad de Ingeniería, UNLP

Departamento de Electrotecnia. Calle 116 y 48 (B1900AMF) La Plata, Bs. As., Argentina.
(+54-221) 425-8911 ext. 207 - gridcomd@ing.unlp.edu.ar

Palabras claves- Procesamiento Digital, Receptor DCS, SABIA-Mar

1. INTRODUCCIÓN

Los sistemas satelitales de Recolección de Datos como DCS [1], SCD [2] y ARGOS [3] están formados por un conjunto de plataformas que obtienen parámetros medioambientales de su entorno, un grupo de satélites que recolectan la información generada por las plataformas y estaciones de control terrenas que procesan dicha información para distribuirla a los usuarios.

Los satélites que utilizan los sistemas mencionados, son de órbita baja (LEO). En el caso particular del receptor DCS, mencionado en este trabajo, su función es la de recolectar la información de todas las plataformas en el territorio nacional, procesar y almacenar los datos adquiridos y transmitirlos a la estación terrena para su distribución a los usuarios.

Las plataformas pueden ser, estaciones meteorológicas encargadas de mediciones ambientales de una determinada región, boyas en mares y océanos, dispositivos transmisores en animales, etc. Dichas plataformas transmiten periódicamente su información al satélite utilizando una frecuencia de portadora nominal de 401.55MHz y una tasa de transmisión de 400bps. El tamaño máximo de los datos es de 256 bits y con un periodo de repetición que se puede seleccionar para cada plataforma entre 45 a 200 segundos según la aplicación y ubicación de la plataforma.

El instrumento DCS puede recibir las transmisiones de parámetros ambientales realizadas por plataformas ubicadas en cualquier punto del planeta y perteneciente a los diferentes sistemas mencionados

En la actualidad, la Comisión Nacional de Actividades Espaciales (CONAE) se encuentra desarrollando la misión SABIA-Mar I, en la que está prevista la instalación de un receptor DCS como instrumento secundario [4].

2. DESARROLLO

2.1. Receptor DCS

El hardware del instrumento DCS SABIA-Mar está compuesto por las diferentes unidades funcionales que conforman la caja del receptor alojada en el interior del satélite. Estas unidades funcionales son: la etapa de RF, el bloque de procesamiento digital y el bloque de alimentación. En el bloque de RF se realiza el procesamiento analógico para acondicionar convenientemente las señales recibidas en la antena para su posterior digitalización en frecuencia intermedia (FI). En la etapa de procesamiento digital, se detecta, demodula y extrae

la información recibida mediante procesamiento de las muestras mediante técnicas SDR (Software Defined Radio) implementadas en un DSP. Además, esta etapa se implementa el protocolo de manejo de comandos, telemetría y datos a través de la interfaz RS422 comandada por la computadora de a bordo del satélite. Por último, el bloque de fuente de alimentación provee las tensiones de alimentación necesarias para el funcionamiento de los circuitos a partir de la tensión de bus provista por la unidad de manejo de potencia del satélite. En la Fig. 1 se muestra el instrumento DCS realizado por el GrIDComD para la misión SAC-D/Aquarius de la CONAE.

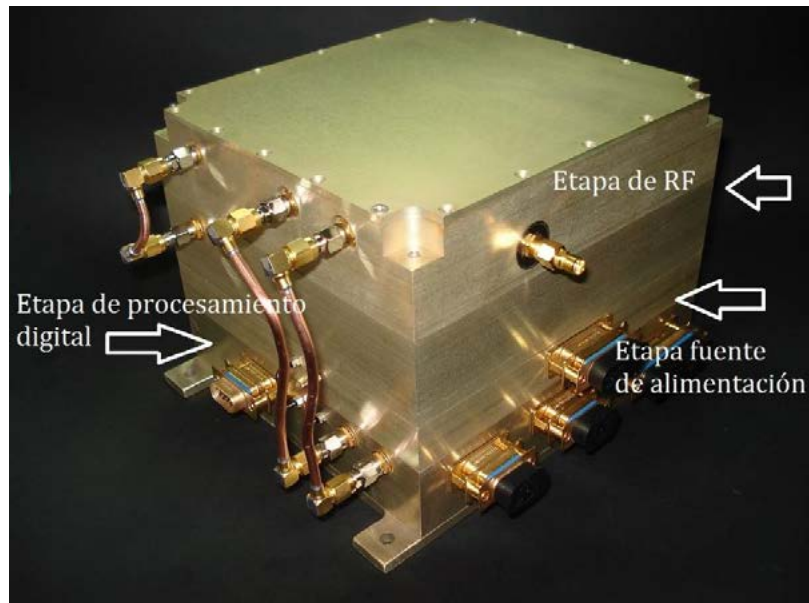


Fig. 1 Instrumento Receptor DCS de la misión SACD/Aquarius

2.2. Etapa de Procesamiento Digital

A continuación se presenta en detalle el diseño de la etapa de procesamiento digital del Receptor Fig. 2.

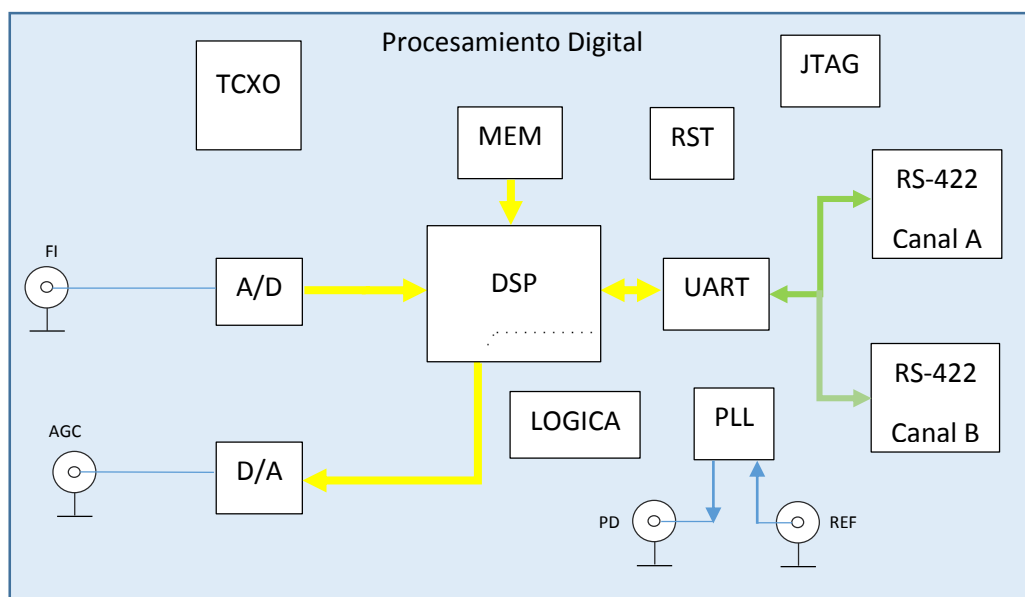


Fig.2. Diagrama en bloques de la caja de procesamiento digital

La señal de entrada en frecuencia intermedia ingresa a la etapa donde se obtienen las muestras en fase y cuadratura. A partir del valor de las muestras, el algoritmo que realiza el control automático de ganancia (AGC) calcula el valor, que a partir de un convertidor Digital-Analógico controla la ganancia de un amplificador en la etapa de RF.

El receptor DCS puede utilizarse para recibir plataformas transmisoras en diferentes canales en la banda 401 - 403MHz según el tipo de sistema y la aplicación.

El modelo de ingeniería de esta etapa, se comunica con el entorno de desarrollo y depuración en PC a través de una interfaz JTAG y las herramientas provistas por el fabricante del DSP. Esto permite una gran flexibilidad para desarrollar y ensayar diferentes tipos de algoritmos en el software de receptor previamente a la construcción del modelo de vuelo.

Por otra parte, la comunicación del receptor DCS con la computadora de gestión de instrumentos del satélite se realiza mediante un dispositivo UART (Universal Asynchronous Receiver Transmitter) controlado por el DSP y adaptado al estándar RS-422.

Respecto a las alimentaciones de la etapa digital provienen de los convertidores DC/DC de la etapa fuente de potencia.

A continuación se describen los subsistemas más importantes del modelo de ingeniería de la etapa digital desarrollada.

2.2.1. Procesador Digital de Señales DSP

Para la implementación del procesamiento digital de la señal se utiliza el DSP ADSP21060 de Analog Devices cuyas características más relevantes son la performance computacional de 120 MFLOPS pico, en formato de punto flotante de 32bits IEEE con un reloj de frecuencia máxima 40MHz y 4Mbit de memoria RAM en el chip, con tecnología CMOS de 5V y en un encapsulado cerámico con 240 terminales.

Posee gran flexibilidad de integración ya sea con otros procesadores como así también con periféricos de alta velocidad a través de conexiones serie y paralelo dedicadas. En este caso se utilizan 40 de los 48bits del puerto paralelo para interconectar los periféricos que se describen. También posee un temporizador interno, facilidades de selección de memoria externa que permiten direccionar 4 bancos de memoria diferentes. También dispone de 4 salidas de propósito general que sirven para controlar la programación del sintetizador de frecuencias del bloque analógico.

Por otro lado posee una interfaz de depuración JTAG a través de la cual se comunica la placa de ingeniería con el entorno de programación y depuración del usuario, teniendo acceso al núcleo del DSP y al resto de los componentes periféricos.

2.2.2. Memoria

La placa de procesamiento digital incluye además del DSP, una memoria EEPROM de 1Mbit para almacenamiento del programa. Esta memoria posee versión endurecida a la radiación para obtener la mayor confiabilidad posible en ambientes espaciales. La programación de esta memoria se realiza por medio de la interfaz JTAG del procesador.

2.2.3. Componentes auxiliares

Los componen auxiliares incluyen: un circuito de supervisión de tensión, reset (RST) y Watchdog, el oscilador a cristal compensado en temperatura de 40MHz (TCXO), la lógica de interconexión entre periféricos, el dispositivo UART con sus conversores RS422 y el sintetizador de frecuencias.

El circuito reset permite controlar el estado del procesador en el transitorio de encendido, de forma que el procesador permanezca en la condición de reset hasta que la tensión de alimentación alcance niveles adecuados para su funcionamiento normal. El circuito también funciona como un monitor de la tensión de alimentación, activando el reset del procesador, si está por debajo de un nivel prefijado. Por último, dispone de un contador watchdog incorporado para la supervisión del programa en tiempo de ejecución.

La placa de procesamiento digital es manejada por un oscilador a cristal con salida CMOS de 5V y 40 MHz de frecuencia.



Fig.3. Modelo de ingeniería placa DSP vista inferior

En la Fig. 3 se muestra el diseño de la placa de circuito impreso con algunos de los componentes mencionados ya que la misma está realizada con tecnología multicapa.

2.2.4. Conversión analógica digital (ADC) y conversión digital analógica (DAC)

Se utiliza el dispositivo ADC LTC1604 de Linear Technologies que posee un rango de tensiones de entrada de $\pm 2.5V$, 16 bits de resolución y una frecuencia máxima de 330Ksps. La señal de inicio de conversión proveniente del DSP se produce a intervalos periódicos, con una frecuencia de 32KHz y es controlada por el temporizador interno del procesador. Cuando se ha finalizado la conversión, se genera una interrupción en el procesador para la lectura de los datos en el bus de datos de DSP. El acceso al bus se realiza mediante la utilización de la señal de selección de chip, que es activada cuando se accede al espacio de memoria correspondiente al periférico.

El convertor digital analógico (DAC) está basado en el integrado AD558 de Analog Devices. Es un convertor de 8 bits, con una alimentación unipolar, que permite obtener tensiones analógicas comprendidas entre 0 y 2.5V en pasos de 0.01V para realizar el control de ganancia automático o AGC. Está interconectado al DSP por intermedio de un dispositivo latch, que permite ecualizar los tiempos de escritura del procesador con los del convertidor DAC.

2.3. Ensayos

Los primeros ensayos de la etapa digital luego de su construcción consisten en realizar la verificación pasiva de sus interfaces según un procedimiento de mediciones ordenadas y

aplicando criterios de pasa no pasa según requerimientos del diseño. A partir del siguiente ensayo se realizan pruebas activas con los dispositivos alimentados con su tensión nominal, midiendo el consumo y ajustando diferentes parámetros de funcionamiento como frecuencias del sistema de distribución del reloj digital.

En tercer lugar se conecta el entorno de desarrollo y depuración a la placa para programar el DSP y la memoria de manera de llevar adelante un conjunto de ensayos funcionales especificados en diferentes procedimientos de acuerdo al nivel de ensayo. Por ejemplo, al momento de la presentación de este trabajo se están realizando ensayos funcionales de performance de los algoritmos de recepción utilizando señales de entrada generadas por el sistema de simulación de plataformas correctamente especificado.

En la Fig. 4 se observa el modelo de ingeniería bajo ensayo con instrumental del GridComD. Cabe destacar que al tratarse del modelo de ingeniería del Receptor no requiere de un ambiente de trabajo especial a diferencia del modelo de vuelo que será integrado y ensayado en la sala limpia cumpliendo con los requerimientos del proyecto SABIA-Mar



Fig.4. Modelo de ingeniería bajo ensayo

Por último, para ensayar la funcionalidad de la interfaz de comunicaciones con la computadora del satélite para telemetría, comandos y descarga de datos, se está desarrollando un simulador de dicha interfaz cumpliendo con los requerimientos especificados para el instrumento DCS. En la Fig. 5 se muestra dicho simulador en la sala limpia del GridComD.



Fig.5. Simulador del Instrumento DCS

3. CONCLUSIONES

Se presentó el desarrollo e implementación del modelo de ingeniería de la etapa de procesamiento digital que integra el receptor del sistema de recolección de datos DCS para la misión satelital SABIA Mar de la CONAE. Los resultados obtenidos en los ensayos con el modelo de ingeniería se encuentran satisfactorios y permiten avanzar en la construcción del modelo de vuelo del receptor DCS.

Además, actualmente el grupo se encuentra desarrollando nuevos diseños para receptores y también transmisores definidos por software de manera de poder realizar el despliegue del sistema completo y seguir la evolución de los Sistemas de Recolección de Datos (DCS) y su interoperabilidad con los sistemas de Internet de las Cosas (IoT).

4. BIBLIOGRAFIA

- [1] J. A. Carlotto, J. M. Juárez, J. I. Fernández Michelli, G. Sager, H. Lorente. Sistema de Recolección de Datos Satelital. Implementación del Receptor Utilizando un DSP. XV Workshop Iberchip. Buenos Aires, Argentina 2009.
- [2] Yamaguti W., et al, "Sistema Brasileiro de Dados Ambientais: Status e Planos Futuros", XIV Simpósio Brasileiro de Sensoramento Remoto. Natal, Brasil, abril 2009.
- [3] Ortega C., "Argos Second and Third Generations: Enhancements finely tuned to oceanographic applications", Oceans '98. Conference Proceedings, 1998.
- [4] (2023) CONAE website. [Online]. Available: <https://www.argentina.gob.ar/ciencia/conae/misiones-espaciales/sabia-mar>