



M 2020

**DESENVOLVIMENTO DE UMA METODOLOGIA DE AVALIAÇÃO  
DE RISCO PARA A INTEGRAÇÃO DE UM NOVO PRODUTO NO  
PACKAGING DE SEMICONDUTORES**

**GABRIELA PEREIRA**

AUTORA

DISSERTAÇÃO DE MESTRADO APRESENTADA  
À FACULDADE DE ENGENHARIA DA UNIVERSIDADE DO PORTO

**ELSA SEQUEIROS**

ORIENTADORA

PROFESSORA DOUTORA, FACULDADE DE ENGENHARIA DA UNIVERSIDADE DO PORTO

**EOIN O'TOOLE**

ORIENTADOR DA EMPRESA

SENIOR R&D MANAGER NA AMKOR TECHNOLOGY PORTUGAL

---

**CANDIDATO** GABRIELA DE OLIVEIRA ALVES ÍNSUA PEREIRA **CÓDIGO** 201504335

---

**TÍTULO** DESENVOLVIMENTO DE UMA METODOLOGIA DE AVALIAÇÃO DE RISCO PARA A INTEGRAÇÃO DE NOVOS PRODUTOS NO *PACKAGING* DE SEMICONDUTORES

---

**DATA** 24 DE JULHO DE 2020

---

**LOCAL** FACULDADE DE ENGENHARIA DA UNIVERSIDADE DO PORTO

---

JÚRI

---

**PRESIDENTE**

---

**ARGUENTE**

---

**ORIENTADOR** ELSA SEQUEIROS

---

DEMM / FEUP

---

*“Great things are done by a series of small things brought together.”*

*– Vincent van Gogh*

*“Cats are marvelous creatures - they either adapt to circumstances or decide to make circumstances adapt to them. Either way - they win.”*

*– Will Advise*

## RESUMO

A indústria de semicondutores caracteriza-se pela sua rápida evolução tecnológica, o que cria a necessidade de desenvolver soluções disruptivas e produtos inovadores. Para as empresas manterem a sua competitividade devem investir na implementação de metodologias que visem a concretização de novos projetos com rapidez e qualidade.

Neste projeto foi desenvolvida uma nova metodologia de avaliação de risco para a integração de novos produtos numa empresa de *packaging* e teste de semicondutores, a ATEP. Esta metodologia engloba uma *checklist* composta por parâmetros relacionados com as regras de conceção e com o fluxo produtivo de um novo produto. A *checklist* divide-se em duas fases distintas, correspondentes a duas fases consecutivas do desenvolvimento de um produto. A sua criação envolveu a recolha de informação inerente ao processo eWLB e o levantamento de parâmetros (transversais a todo o processo e alusivos a cada uma das suas etapas). Este trabalho resultou numa ferramenta simples e intuitiva a implementar no departamento de R&D da ATEP.

Foi, também, explanado um caso exemplificativo de desenvolvimento de um novo produto que integra estruturas de cobre denominadas EGPs. A caracterização deste produto teve dois objetivos: (1) avaliar o efeito da rugosidade criada na superfície dos EGPs na adesão entre os diferentes materiais do *package* e (2) avaliar o impacto da oxidação progressiva das superfícies dos EGPs no comportamento do produto. No primeiro objetivo o produto foi avaliado pelas técnicas de SAM e de SEM. No segundo objetivo foram realizadas medições de resistência de contacto e ângulos de contacto em EGPs armazenados em diferentes condições. Constatou-se que a criação de rugosidade nos EGPs provocou uma melhoria da sua adesão aos restantes materiais. Verificou-se um aumento dos ângulos de contacto nos EGPs armazenados fora dos armários em ambiente de nitrogénio; contudo, registaram-se valores de resistência de contacto reduzidos e semelhantes para todas as condições. Assim, inferiu-se que no início do processo os EGPs poderão apresentar oxidação nas suas superfícies. No entanto, a mesma é minimizada ao longo do processo, não influenciando o comportamento elétrico do produto.

Constatou-se que o desenvolvimento de um novo produto é um processo muito complexo que implica a estreita colaboração com o cliente e um estudo pormenorizado das características e do fluxo produtivo do produto. Envolve, ainda, a utilização da experiência adquirida no desenvolvimento de outros produtos e o teste das suas condições de processamento, visando atingir a máxima qualidade.

## PALAVRAS-CHAVE

Semicondutores, Packaging, Embedded Wafer Level Ball Grid Array, Desenvolvimento do produto

## **ABSTRACT**

The semiconductor industry is characterized by its rapid technological evolution, which creates the need to develop disruptive solutions and innovative products. For companies to maintain their competitiveness, they must invest in the implementation of methodologies that aim the speed and quality of new projects.

In this project, a new risk assessment methodology was created for the integration of new products in a semiconductor packaging and testing company, ATEP. This methodology includes a checklist of parameters related to design and processing rules of a new product. The checklist was divided into two distinct phases, corresponding to two consecutive stages of product development. Its creation involved the collection of information inherent to the eWLB process and the survey of parameters (transversal to the entire process and referring to each of its stages). This work resulted in a simple and intuitive tool to be implemented at ATEP R&D department.

An exemplary case of the development of a new ATEP product that integrates copper structures named EGPs was also explained. The characterization carried out had two purposes: (1) to evaluate the effect of the roughness created on the EGPs surface on the adhesion between the different materials of the package and (2) to evaluate the impact of the progressive oxidation of the EGPs surfaces on the product's behavior. In the first part, the product was evaluated by SAM and SEM techniques. In the second part, contact resistance and contact angles measurements were carried out in EGPs stored under different conditions. The roughness created in the EGPs improved their adhesion to the remaining materials. There was an increase in contact angles in the EGPs stored in cabinets with a nitrogen environment; however, for all conditions, very low and similar contact resistance values were recorded. Thus, it was inferred that at the beginning of the process, EGPs might present some oxidation. However, it is minimized throughout the process, not influencing the electrical behavior of the product.

In conclusion, the development of a new product is a very complex process that implies the close collaboration with the customer and a detailed study of the characteristics and flow of the product. It also involves using the experience acquired in the development of other products and testing their processing conditions to achieve maximum quality.

## **KEY-WORDS**

Semiconductors, Packaging, Embedded Wafer Level Ball Grid Array, Product development

## AGRADECIMENTOS

Agradeço à Professora Elsa Sequeiros pela sua dedicação na orientação desta dissertação, pelas discussões construtivas, pela disponibilidade, pela paciência e atenção aos pequenos pormenores. Um agradecimento a todos os restantes Professores e colaboradores da Faculdade de Engenharia da Universidade do Porto, em especial do Departamento de Engenharia Metalúrgica e de Materiais que contribuíram para o meu crescimento e formação académica.

Ao meu orientador da ATEP, Eoin O'Toole, agradeço pela orientação, por todo o conhecimento transmitido, pela atenção concedida e por ter disponibilizado as ferramentas e as condições necessárias para a realização do meu estágio, independentemente das circunstâncias vividas. À equipa de R&D, agradeço a integração, acompanhamento e a transmissão de conhecimentos. Agradeço aos restantes colaboradores da ATEP pelo conhecimento transmitido e pela sua disponibilidade na contribuição para o meu projeto.

Aos meus pais e irmão, agradeço por todo o seu apoio incondicional, pela preocupação com o meu bem-estar e crescimento pessoal e pela motivação transmitida ao longo deste percurso. Aos meus amigos e aos meus colegas, agradeço por me terem acompanhado ao longo destes anos. Agradeço por todos os conselhos, pela motivação, pela boa disposição e pelo seu contributo no meu crescimento pessoal. Um obrigada aos que estiveram longe e aos que estiveram bem perto, mas que estiveram. Um grande obrigada a todos.

# ÍNDICE

Resumo .....	i
Palavras-chave .....	i
Abstract .....	ii
Key-Words .....	ii
Agradecimentos.....	iii
Lista de Figuras .....	vi
Lista de Tabelas .....	ix
Lista de Nomenclaturas .....	x
Glossário .....	xii
1. Introdução .....	1
1.1. Estratégia .....	2
2. Tecnologias de <i>packaging</i> de circuitos integrados .....	3
2.1. Fluxo produtivo do processo eWLB .....	6
3. <i>Checklist</i> de avaliação de risco para novos produtos .....	13
3.1. Especificações das <i>wafers</i> .....	15
3.2. Especificações dos <i>dies</i> .....	22
3.3. Especificações das etapas do processo .....	25
4. Caracterização de produto em fase de desenvolvimento .....	41
4.1. Enquadramento Teórico .....	42
4.2. Procedimento.....	46
4.2.1. Estudo do impacto da rugosidade na adesão dos EGPs .....	46
4.2.2. Estudo do impacto da oxidação progressiva .....	48
4.3. Apresentação e discussão de resultados.....	50
4.3.1. Estudo do impacto da rugosidade na adesão dos EGPs.....	50
4.3.2. Estudo do impacto da oxidação progressiva .....	53

4.4. Principais conclusões .....	56
<b>5. Conclusões e Perspetivas para Trabalhos Futuros .....</b>	<b>57</b>
<b>Referências Bibliográficas .....</b>	<b>59</b>
<b>Anexo A: Checklist de integração de novos produtos: 1ª Fase .....</b>	<b>64</b>
<b>Anexo B: Checklist de integração de novos produtos: 2ª Fase .....</b>	<b>66</b>
<b>Anexo C: Análise estatística dos resultados das medições de ângulos de contacto...</b>	<b>68</b>



## LISTA DE FIGURAS

Figura 1 - Cadeia de valor da produção de ICs.....	4
Figura 2 - Secções transversais (acima) e superfícies de produtos (em baixo) resultantes das tecnologias: (a) <i>Fan-In Wafer Level Packaging</i> ; (b) <i>Fan-Out Wafer Level Packaging</i> (adaptado de [12]).....	5
Figura 3 - Fluxo produtivo do processo eWLB.....	6
Figura 4 - Etapas de preparação das <i>wafers</i> [adaptado de 15].....	7
Figura 5 - Principais procedimentos da etapa de reconstituição do processo eWLB (adaptado de [13]).....	7
Figura 6 - Constituição da <i>thermal release tape Rephalva</i> (adaptado de [17]).....	8
Figura 7 - Etapas constituintes do processo de redistribuição.....	9
Figura 8 - Processo de litografia para desenho da DL1 (adaptado de [15]).....	10
Figura 9 - (I) Deposição da <i>seed layer</i> e (II) deposição do <i>photoresist</i> e resultado do processo de litografia (adaptado de [15]).....	10
Figura 10 - Construção das ligações elétricas do <i>package</i> : RDL1, RDL2 ou UBM (adaptado de [12]).....	11
Figura 11 - Estruturas exemplificativas de unidades com e sem UBM produzidas por eWLB (adaptado de [12]).....	12
Figura 12 - Metodologia de integração de um novo produto.....	13
Figura 13 - Grupos de especificações transversais e especificações do processo.....	14
Figura 14 - Procedimento utilizado para o desenvolvimento da <i>checklist</i> .....	14
Figura 15 - Estruturas do <i>metal stack</i> de diferentes produtos com as respetivas dimensões.....	18
Figura 16 - Tipos de geometrias das formas para alinhamento das <i>wafers</i> .....	19
Figura 17 - Orientação do <i>pin 1</i> relativamente ao <i>notch/flat</i> .....	23
Figura 18 - Parâmetros relativos à etapa de preparação das <i>wafers</i> .....	26
Figura 19 - Secção transversal de uma <i>wafer</i> , na periferia de um <i>die</i> , com exemplos de um <i>sealring</i> e de um <i>crackstop</i> .....	27
Figura 20 - Esquema representativo do corte em <i>laser grooving</i> e <i>blade dicing</i> .....	29
Figura 21 - Parâmetros relativos à etapa de reconstituição.....	30
Figura 22 - Parâmetros críticos para o desenvolvimento dos processos <i>Dry</i> .....	32
Figura 23 - Parâmetros críticos para o desenvolvimento do processo de litografia.....	33
Figura 24 - Medição de <i>overlay</i> entre um <i>pad</i> e uma abertura do dielétrico DL1.....	35

Figura 25 - Parâmetros críticos para o desenvolvimento dos processos <i>wet</i> .....	36
Figura 26 - Parâmetros críticos para o desenvolvimento do processo SBA.....	38
Figura 27 - Fluxo produtivo do produto com EGPs .....	41
Figura 28 - Estrutura, em secção transversal, de um <i>package</i> com EGPs incorporado....	42
Figura 29 - Representação esquemática das tensões superficiais e ângulo de contacto num sistema de três fases (adaptado de [49]) .....	43
Figura 30 - Estágios de formação de óxidos de cobre (adaptado de [55]) .....	44
Figura 31 - Metodologias utilizadas para a caracterização dos EGPs .....	46
Figura 32 - Etapas de preparação das <i>wafers</i> para caracterização em SEM e SAM .....	47
Figura 33 - (a) Posição das unidades em cada <i>wafer</i> ; (b) posição, numa unidade, do corte efetuado para análise da secção transversal .....	47
Figura 34 - Área de foco nas medições efetuadas por SAM .....	48
Figura 35 - Esquema de execução dos testes de resistência de contacto.....	49
Figura 36 - Imagens SEM da <i>wafer</i> I (baixa rugosidade), nas posições do centro (C), <i>notch</i> (N) e <i>anti-notch</i> (A) .....	50
Figura 37 - Imagens SEM da <i>wafer</i> II (média rugosidade), nas posições do centro (C), <i>notch</i> (N) e <i>anti-notch</i> (A) .....	51
Figura 38 - Imagens SEM da <i>wafer</i> III (alta rugosidade), nas posições do centro (C), <i>notch</i> (N) e <i>anti-notch</i> (A) .....	51
Figura 39 - Imagens SAM da <i>wafer</i> I (baixa rugosidade) nas posições do centro (C), <i>notch</i> (N) e <i>anti-notch</i> (A) .....	52
Figura 40 - Imagens SAM da <i>wafer</i> II (média rugosidade) nas posições do centro (C), <i>notch</i> (N) e <i>anti-notch</i> (A) .....	52
Figura 41- Imagens SAM da <i>wafer</i> III (alta rugosidade) nas posições do centro (C), <i>notch</i> (N) e <i>anti-notch</i> (A) .....	52
Figura 42 - Valores de resistência de contacto em função das condições de armazenamento dos EGPs ( <i>wafer</i> A) .....	53
Figura 43 - Valores de resistência de contacto em função das condições de armazenamento dos EGPs ( <i>wafer</i> B) .....	54
Figura 44 - Valores de ângulos de contacto em função das condições de armazenamento dos EGPs.....	55
Figura C.1 - Intervalos de confiança para o método de comparações múltiplas.....	70

Figura C.2 - Gráfico de intervalos de ângulo de contacto em função da condição de armazenamento (exibe as médias de grupo e os intervalos de confiança para cada grupo).....71

Figura C.3 - *Boxplots* dos ângulos de contacto em função das condições de armazenamento dos EGPs.....73

## LISTA DE TABELAS

Tabela 1 - Parâmetros relativos às especificações das <i>wafers</i> .....	15
Tabela 2 - Possíveis riscos e medidas a tomar na integração de <i>wafers</i> constituídas por Ge, GaN e GaAs .....	16
Tabela 3 - Seleção do processo de corte das <i>wafers</i> em função no <i>technology node</i> .....	17
Tabela 4 - Parte da <i>checklist</i> relativa às especificações das <i>wafers</i> .....	21
Tabela 5 - Parâmetros relativos às especificações dos <i>dies</i> .....	22
Tabela 6 - Parte da <i>checklist</i> relativa às especificações dos <i>dies</i> .....	25
Tabela 7 - Parte da <i>checklist</i> relativa às especificações dos processos de preparação das <i>wafers</i> .....	29
Tabela 8 - Parte da <i>checklist</i> relativa às especificações dos processos de reconstituição .....	31
Tabela 9 - Parte da <i>checklist</i> relativa às especificações dos processos <i>dry</i> .....	33
Tabela 10 - Dimensões críticas e <i>overlays</i> a definir na <i>checklist</i> .....	34
Tabela 11 - Parte da <i>checklist</i> relativa às especificações dos processos de litografia....	35
Tabela 12 - Parte da <i>checklist</i> relativa às especificações dos processos <i>wet</i> .....	37
Tabela 13 - Parte da <i>checklist</i> relativa às especificações dos processos LBS.....	39
Tabela 14 - Condições de armazenamento de diferentes lotes de EGPs, incorporados nas <i>wafers</i> A e B .....	48
Tabela C.1 - Intervalos de 95% de confiança <i>Bonferroni</i> para os desvios padrão.....	69
Tabela C.2 - Tamanhos amostrais (N), médias e intervalos de confiança de 95% dos ângulos de contacto em função da condição de armazenamento.....	72
Tabela C.3 - Tabela com a classificação do grupo.....	72
Tabela C.4 - Valores correspondentes à mediana, Q1, Q3, (Q3-Q1), LI e LS para cada condição de armazenamento.....	73

## LISTA DE NOMENCLATURAS

<b>ANOVA</b>	<i>Analysis Of Variance</i>
<b>ATEP</b>	<i>Amkor Technology Portugal</i>
<b>BEOL</b>	<i>Back End of Line</i>
<b>BLR</b>	<i>Board Level Reliability</i>
<b>CDQ</b>	<i>Customer Design Questionnaire</i>
<b>CTE</b>	<i>Coefficient of Thermal Expansion</i>
<b>DAS</b>	<i>Drop Analysis System</i>
<b>DC</b>	<i>Daisy Chain</i>
<b>DL</b>	<i>Dielétrico</i>
<b>EGP</b>	<i>Embedded Ground Plane</i>
<b>ESD</b>	<i>Electrostatic Discharge</i>
<b>eWLB</b>	<i>Embedded Wafer Level Ball Grid Array</i>
<b>FE</b>	<i>Front-End</i>
<b>FEOL</b>	<i>Front End of Line</i>
<b>FOWLP</b>	<i>Fan-Out Wafer Level Packaging</i>
<b>I/O</b>	<i>Input/Output</i>
<b>IC</b>	<i>Integrated Circuit</i>
<b>ID</b>	<i>Identificação</i>
<b>IDM</b>	<i>Integrated Device Manufacturer</i>
<b>LBS</b>	<i>Laser, Ball Attach and Singulation</i>
<b>MC</b>	<i>Mold Compound</i>
<b>MPW</b>	<i>Multi-Project Wafer</i>
<b>OSAT</b>	<i>Outsourced Semiconductor Assembly and Test</i>
<b>PC</b>	<i>Probe Card</i>
<b>PCB</b>	<i>Printed Circuit Board</i>
<b>PI</b>	<i>Poliimida</i>
<b>R<sub>c</sub></b>	<i>Resistência de contacto</i>
<b>RDL</b>	<i>Redistribution Layer</i>
<b>R&amp;D</b>	<i>Research and Development</i>
<b>SAM</b>	<i>Scanning Acoustic Microscopy</i>

<b>SAC</b>	<i>Sn-Ag-Cu</i>
<b>SBA</b>	<i>Solder Ball Attach</i>
<b>SEM</b>	<i>Scanning Electron Microscopy</i>
<b>SiP</b>	<i>System-in-Package</i>
<b>SOI</b>	<i>Silicon-On-Insulator</i>
<b>RCP</b>	<i>Redistributed Chip Package</i>
<b>TEM</b>	<i>Transmission Electron Microscopy</i>
<b>TRT</b>	<i>Thermal Release Tape</i>
<b>TWB</b>	<i>Temporary Wafer Bonding</i>
<b>UBM</b>	<i>Under Bump Metallization</i>
<b>UV</b>	Ultravioleta
<b>WLCSP</b>	<i>Wafer Level Chip Scale Packaging</i>
<b>WLP</b>	<i>Wafer Level Packaging</i>
<b>XPS</b>	<i>X-ray Photoelectron Spectroscopy</i>

## GLOSSÁRIO

**Back-end** - Etapa da produção de um circuito integrado que engloba o *packaging* e os testes realizados a *wafers* provenientes de *front-end*.

**Backgrinding** - Processo de *grinding* realizado na parte posterior de uma *wafer*.

**Bake** - Etapa do ciclo térmico imposto na preparação de amostras para a sua análise em equipamentos de caracterização de materiais.

**Ball Shear Test** - Teste realizado após o processo de *packaging* que consiste no arranque de bolas de solda de um circuito integrado por ação mecânica.

**Blade dicing** - Processo de corte (*dicing*) de uma *wafer* em *dies*, recorrendo a lâminas de corte compostas por materiais abrasivos.

**Bola de solda** - Componente metálico, de forma esférica, incluído num *package* com o objetivo de estabelecer a ligação elétrica e mecânica para o exterior, sendo ligado a placas de circuito impresso.

**Bump** - Local do *package* onde são colocadas as bolas de solda.

**Camada de passivação** - Camada depositada na superfície das *wafers* que visa minimizar a influência do meio ambiente nos componentes dos circuitos integrados construídos sobre a mesma. É composta por materiais como poliimida, sílica ou nitreto de silício.

**Chipping** - Deterioração das arestas dos *dies*, com a remoção de pequenos fragmentos, durante o processo de *dicing*.

**Circuito integrado** - Circuito elétrico composto por diferentes componentes eletrónicos tais como transístores, resistências, condensadores e díodos na base de um material semiconductor. Frequentemente denominado de *chip*.

**Cleanroom** - Sala com um ambiente controlado em que se realiza o fabrico de circuitos integrados. Apresenta uma quantidade máxima de partículas que podem estar presentes no ar e nas superfícies, definida pela norma ISO 14644-1, de modo a prevenir a falha dos componentes eletrónicos por contaminação por partículas. O mesmo que sala limpa.

**Crackstop** - Empilhamentos de camadas metálicas e materiais dielétricos usualmente revestidos por uma passivação, presentes nas estruturas de *front-end* de uma *wafer*, que visam impedir a propagação de fissuras para o interior dos *dies*.

**Daisy chain** - Tipo de *die* cujas estruturas de *front-end* formam uma cadeia de ligações conectadas entre si.

**Debond** - Etapa do processo eWLB em que o *mold carrier* e a *tape* são separados dos *dies* envolvidos pelo *mold compound*.

**Developer** - Reagente utilizado no processo de litografia para a remoção de dielétricos e de *photoresists*.

**Descarga eletrostática** - Transferência rápida de elétrons entre dois corpos carregados eletricamente, causada pelo seu contacto ou separação.

**Dicing** - Processo de corte que permite a individualização da *wafer* em *dies*.

**Dicing street** - Região que separa cada *die* numa *wafer*, destinada ao seu corte nos processos de *dicing*.

**Dicing tape** - Película adesiva colocada nas *wafers* no processo de *mounting*, que permite o suporte mecânico e fixação dos *dies* durante o seu processo de corte e em *pick-and-place*, até serem colocados sobre o *mold carrier*.

**Die** - Pequenos blocos individuais obtidos a partir do corte de uma *wafer*.

**Die shift** - Deslocamento de um *die*, numa *wafer*, da sua posição correta.

**Dielétrico** - Tipo de *photoresist* que atua como isolante elétrico.

**Dopagem** - Processo de incorporação de substâncias químicas elementares num dado material semicondutor, para que o mesmo adquira um comportamento condutor de eletricidade.

**Dry** - Subárea do processo de redistribuição em que são realizados processos que envolvem a utilização de plasma, nomeadamente processos de limpeza ou de pulverização catódica.

**Eletrodeposição** - Processo que permite revestir um componente metálico com uma camada de outro metal através de um processo eletroquímico.

**Embedded ground plane** - Chapa de cobre utilizada em processos de *packaging* de circuitos integrados. É geralmente colocada em *pick-and-place*, possuindo aberturas onde são posicionados *dies*.

**Etching** - Processo seletivo de remoção de materiais.

**Fiduciais** - Elementos presentes na superfície dos *dies*, cuja existência permite o seu correto posicionamento na etapa de *pick-and-place* do *packaging* de circuitos integrados.

**Filler** - Partículas (usualmente com forma esférica ou na forma de fibras) adicionadas na matriz de outros materiais, formando compósitos, com vista a melhorar determinadas propriedades.



**Flat** - Forma reta na periferia de uma *wafer*, cuja função é permitir o seu alinhamento em processos de fabrico de circuitos integrados.

**Flying die** - *Die* que, durante o processo de *packaging*, se libertou completamente na sua posição de origem.

**Fluxo** - Pasta, geralmente constituída por pós metálicos envolvidos num ligante orgânico, utilizado no processo de ligação de bolas de solda para a sua fixação. Durante o processo de soldadura, gera uma atmosfera protetora.

**Foil anneal** - Etapa do processo de *packaging*, consecutiva ao processo de *pick-and-place*, em que o conjunto constituído pelo *mold carrier*, *thermal release tape* e *dies* é sujeito a um tratamento térmico.

**Four-point probe** - Tipo de teste elétrico que envolve a colocação de dois pares de sondas na amostra de teste, capaz de medir a sua resistência de contacto.

**Frame** - Suporte com forma de moldura que envolve a *dicing tape* quando esta é colocada sobre a superfície de uma *wafer*.

**Front-end** - Primeira etapa de produção dos circuitos integrados, inclui o fabrico das *wafers* de um material semicondutor e a adição de estruturas como díodos, transístores, resistências e condensadores.

**Grinding** - Processo que remove uma dada quantidade de material através de uma ferramenta constituída por partículas abrasivas.

**Groove** - Região das *dicing streets* em que o material é removido pelo feixe *laser*, no processo de *laser grooving*.

**Inputs/Outputs** - Regiões de uma *wafer* pelas quais se dá a ligação elétrica para o exterior.

**Ion milling** - Processo de preparação de amostras utilizado previamente a diversas técnicas de caracterização de materiais. Consiste na remoção da camada amorfa superior de um dado material através do seu bombardeamento com iões, revelando a sua superfície para a obtenção de imagens de alta resolução.

**Lamination** - Processo em que uma *tape* é colocada sobre uma *wafer*.

**Laser grooving** - Processo de *dicing* que visa a remoção de material de uma *wafer*, através da passagem de um feixe *laser* ao longo das *dicing streets*.

**Leadframe** - Estrutura metálica, usualmente de cobre, utilizada em processos de *packaging* de circuitos integrados.

**Litografia** - Processo, utilizado no *packaging*, em que radiação ultravioleta é utilizada para alterar a composição química de um dado material dielétrico ou *photoresist* em determinadas regiões, de modo a este poder ser removido, criando-se um dado padrão.

**Máscara** - Ferramenta utilizada no processo de litografia, constituída pelo desenho das estruturas que se pretendem criar. Esta apresenta aberturas em certos locais que permitem a passagem da radiação ultravioleta, transferindo o seu desenho para o material atingido.

**Metal stack** - Camada constituída pelas estruturas dos circuitos integrados fabricadas em *front-end*, sendo composto por duas porções de estruturas: *front end of line* e *back end of line*.

**Mold carrier** - Suporte em que são colocados os *dies* após o seu processo de corte, sendo fixados por uma *tape*.

**Mold compound** - Compósito utilizado no *packaging* de um circuito integrado com o objetivo de envolver outros componentes.

**Moldação** - Etapa do processo de reconstituição que consiste no encapsulamento dos *dies* num compósito (*mold compound*), através de um processo de moldação por compressão.

**Mounting** - Processo em que uma *tape* é colocada sobre uma *wafer*, sendo o conjunto envolvido por uma *frame*, para seu suporte.

**Multi-project wafer** - Tecnologia em que *dies* com dimensões e/ou estruturas diferentes são incorporados numa só *wafer*.

**Notch** - Forma triangular na periferia de uma *wafer*, cuja função é permitir o seu alinhamento em processos de fabrico de circuitos integrados.

**Overlap** - Sobreposição das várias camadas metálicas e de dielétrico incluídas no *package*.

**Overmold** - Diferença entre a espessura da *wafer* reconstituída e espessura dos *dies*, ocupada pelo *mold compound*.

**Package** - Estrutura física, construída na etapa de *back-end*, que protege o circuito integrado de danos físicos e corrosão e promove o seu suporte. O *package* é obtido através do processo de *packaging*.

**Packaging** - Processo de *back-end* de encapsulamento de circuitos integrados.

**Pad** - Estrutura metálica construída numa *wafer*, utilizada para realizar testes elétricos e para estabelecer a ligação elétrica desde o interior da *wafer* para o seu exterior.

**Peeling** - Processo de remoção de *tape* de uma *wafer*, por ação mecânica.

**Photoresist** - Material polimérico fotossensível, utilizado no processo de litografia.

**Pizza mask** - Retículo com *dies* de diferentes dimensões, utilizado em *multi-project wafers*.

**Placa de circuito impresso** - Componente presente nos dispositivos eletrônicos que suporta elétrica e mecanicamente diferentes dispositivos elétricos.

**Probe card** - Tipo de *die* que possui, na sua estrutura de *front-end*, apenas as últimas camadas de metal e de passivação existentes nos *dies* funcionais.

**Pick-and-place** - Processo automatizado que consiste em agarrar um objeto num determinado local e colocá-lo noutra local. Utilizado para colocar os *dies* no *mold carrier*.

**Pulverização catódica** - Técnica de deposição de filmes finos através de fenómenos físicos, sendo considerado um método de deposição por vapor - PVD, *Physical Vapour Deposition*. Consiste na criação de um plasma numa câmara de alto vácuo que é acelerado contra um alvo, removendo-se átomos da sua superfície. Estes átomos caem sobre a superfície de um substrato, revestindo-o gradualmente. Em inglês é designado como *sputtering*.

**Reconstituição** - Conjunto de processos de *packaging* que visam a obtenção de *wafers* reconstituídas. Inclui os processos de *pick-and-place*, *foil anneal*, moldação, *debond* e *wafer round*.

**Redistribuição** - Conjunto de processos de *packaging* que visam a construção das ligações elétricas desde os *dies* para as bolas de solda. Inclui processos *dry*, litografia e processos *wet*.

**Redistributed Chip Package** - Tipo de processo de *packaging* de circuitos integrados similar a um processo *Fan-Out Wafer Level Packaging*, em que a colocação de *dies* num dado suporte ocorre juntamente com a colocação de um *embedded ground plane*.

**Redistribution Layer** - Camada metálica, geralmente de cobre, construída no processo de *packaging* por eletrodeposição. A sua função é permitir a ligação elétrica desde o *die* para a bola de solda.

**Reflow** - Ciclo térmico realizado, no processo de *packaging*, para a ligação das bolas de solda.

**Resistência de contacto** - Resistência total da interface de contactos elétricos constituída pela constrição à passagem de corrente e pela resistividade elétrica dos filmes que se encontram nas superfícies.

**Retículo** - Padrão retangular, com a forma dos *dies* no seu interior, que é repetido na *wafer*, definindo os locais e dimensões dos *dies* na mesma.

**Sealring** - Estrutura de *front-end* que envolve a periferia dos *dies* e que permite impedir a propagação de fissuras para o interior dos *dies*, prevenir a entrada de humidade e a entrada de *mold compound* no interior dos *dies*.

**Seed layer** - Um ou mais filmes de espessura da ordem dos nanómetros, constituída por materiais metálicos. A sua função no *package* é ser o substrato para as ligações de cobre que são construídas por eletrodeposição.

**Semicondutor** - Tipo de material que, no seu estado puro, é isolador de electricidade. Contudo, a sua condutividade eléctrica é sensível às condições ambientais e a sua dopagem permite conferir um comportamento condutor de electricidade.

**Setup** - Conjunto de parâmetros inseridos num dado equipamento que define um determinado procedimento a executar.

**Silicon-on-insulator** - Estrutura composta por uma fina camada de silício, separada de uma *wafer* de silício por uma camada isoladora de sílica.

**Singularização** - Processo de corte de uma *wafer* em unidades.

**Soak** - Etapa do ciclo térmico imposto na preparação de amostras para a sua análise em equipamentos de caracterização de materiais.

**Soldadura** - Processo de união no qual materiais do mesmo tipo estabelecem uma ligação através da formação de ligações atómicas ou moleculares primárias, sob a ação combinada de calor e/ou pressão.

**Spin coating** - Técnica que consiste na deposição de um material sobre um dado substrato, o qual gira a grande velocidade.

**Stencil** - Ferramenta utilizada no processo de *packaging*, na etapa de ligação das bolas de solda. É colocada sobre as *wafers* e possui aberturas nos locais específicos onde se pretende fixar as bolas.

**System-In-Package** - Tecnologia de *packaging* que visa a integração de diferentes circuitos integrados num só *package*.

**Tape** - Película aplicada sobre um dado substrato, como uma *wafer* ou o *mold carrier*, de modo a proteger a sua superfície ou promover a adesão de um dado componente.

**Tape and reel** - Método de embalagem que consiste numa fita com aberturas para colocar as unidades após singularização, embalada na forma de um rolo.

**Technology node** - Distância mais curta entre camadas metálicas da estrutura de *front-end* de uma *wafer*.

**Test pattern** - Estrutura metálica de *front-end*, existente na superfície de uma *wafer*, que pode corresponder a uma estrutura de alinhamento ou a uma estrutura de teste.

**Thermal release tape** - *Tape* cuja remoção é conseguida pela ação da temperatura.

**Tilling** - Estruturas metálicas de *front-end*, existentes, geralmente, nas *dicing streets*, que visam equilibrar a quantidade de metal existente numa *wafer*.

**Tray** - Método de embalagem que consiste numa caixa plástica retangular com aberturas adequadas para suportar as unidades após singularização.

**Under Bump Metallization** - Camada metálica construída no processo de *packaging* por eletrodeposição. A sua função é permitir a ligação elétrica desde as *redistributed layers* para a bola de solda.

**Wafer** - Disco de um material semicondutor, utilizado para o fabrico de circuitos integrados.

**Wafer Level Packaging** - Tipo de processo de *packaging*, no qual o *package* é construído sobre uma *wafer* intacta, sendo os circuitos integrados individualizados no fim do processo.

**Wafer round** - Etapa do processo de *packaging* em que se executa um corte, na forma de um chanfro de 45°, em toda a periferia das *wafers*, de forma a eliminar todas as rebarbas e excessos de *mold compound*.

**Wet** - Subárea do processo de redistribuição que engloba os processos de eletrodeposição e de *wet etching*.

**Wet etching** - Processo de remoção de um material pela ação de um reagente no estado líquido. Utilizado no processo de *packaging* para a remoção de *photoresists* e da *seed layer*.

# 1. INTRODUÇÃO

O presente trabalho foi realizado no âmbito da dissertação de Mestrado Integrado em Engenharia Metalúrgica e de Materiais da Faculdade de Engenharia da Universidade do Porto em ambiente empresarial, na empresa Amkor Technology Portugal (ATEP). A ATEP presta serviços de *packaging* e teste de semicondutores sendo, atualmente, líder nas tecnologias de *packaging* de *wafers* de 200 e 300 mm, tanto *Fan-In* como *Fan-Out Wafer Level Packaging*. Para além de fornecer soluções para o setor de telecomunicações, tem a estratégia assumida de se focar em produtos para a indústria automóvel, com principal aplicação na condução autónoma [1].

O mercado de semicondutores caracteriza-se pela sua rápida evolução tecnológica, o que cria a necessidade de manter elevados níveis de investimento em investigação e desenvolvimento de novos materiais e de processos de fabrico para produtos cada vez mais complexos. O desenvolvimento de soluções disruptivas e de novos produtos é uma forma de as empresas crescerem, mantendo a sua relevância no mercado, apesar de não se destinar a gerar lucro imediato e de, geralmente, acarretar um maior risco e um retorno incerto do investimento [2]. Deste modo, o desenvolvimento de um novo produto, numa *Outsourced Semiconductor Assembly and Test* (OSAT) como a ATEP, é um processo complexo composto por várias etapas. A primeira fase inclui uma pesquisa que suporta o projeto, permitindo determinar as especificações do produto segundo a visão dos seus clientes e projetar os seus custos de produção. Após a definição dessas especificações, é necessário ponderar os potenciais riscos associados à integração do novo produto no fluxo produtivo, de forma a garantir a sua qualidade.

Atualmente, na ATEP, a realização da avaliação de riscos para um novo produto é baseada nas informações limitadas que são solicitadas aos clientes pelo setor de organização de vendas e unidade de negócios. A falta de informação daí resultante causa, frequentemente, atrasos no projeto e até problemas técnicos mais graves (como falhas no comportamento do produto). Neste contexto, foi definido como principal objetivo desta dissertação o desenvolvimento de uma metodologia que permita efetuar uma avaliação de risco detalhada para a integração de qualquer novo produto. Esta metodologia visa a implementação de uma *checklist* de parâmetros que devem ser selecionados pelo cliente conjuntamente com os departamentos envolvidos no desenvolvimento de um novo produto. Assim, deverá tornar-se uma ferramenta de trabalho impactante e transversal que preconize uma transmissão de informação clara entre clientes e os vários departamentos da ATEP.

Com o objetivo de exemplificar o tipo de estudo e avaliação que permite definir cada ponto da *checklist* este estudo contempla, ainda, a caracterização de um novo produto que está a ser desenvolvido pelo departamento de R&D da ATEP.

## 1.1. ESTRATÉGIA

O desenvolvimento de uma metodologia de integração de novos produtos requer o conhecimento do tipo de produtos que se produz na empresa, bem como do respetivo processo de fabrico. Deste modo, este trabalho contempla um enquadramento teórico relativo à indústria de semicondutores com a descrição pormenorizada do fluxo produtivo do processo de *packaging* realizado na ATEP, o *Embedded Wafer Level Ball Grid Array* (eWLB). O estudo detalhado do processo eWLB e a recolha de informação conseguida pelo contacto com a empresa permitiu o levantamento das diretrizes de conceção e a compreensão do fluxo produtivo dos seus produtos. Foi possível a definição dos parâmetros constituintes da *checklist*, tendo sido estabelecidos parâmetros transversais a todas as etapas do processo e parâmetros alusivos apenas às suas etapas específicas. A *checklist* divide-se em duas fases distintas correspondentes a dois momentos consecutivos do processo de desenvolvimento de um novo produto.

Após a descrição da *checklist* desenvolvida, é apresentado, a título exemplificativo, um caso particular de um produto que se encontra a ser desenvolvido na ATEP. Realizou-se o enquadramento teórico que engloba a descrição dos conceitos que sustentam a sua caracterização, é explanado o procedimento efetuado e, finalmente, são expostos os respetivos resultados e conclusões. Este produto específico apresenta um desenho particularmente distinto, baseado na tecnologia *Redistributed Chip Package* (RCP), incluindo na sua estrutura chapas de cobre designadas de *embedded ground planes* (EGPs). Estas são incorporadas no *package* e são envolvidas por um compósito designado *mold compound*. Numa fase inicial de desenvolvimento deste produto, verificou-se uma falta de adesão entre a superfície dos EGPs e o *mold compound*. De forma a solucionar esse problema, foi criada rugosidade nos EGPs por eletrodeposição de cobre. Atualmente, a caracterização deste produto visa verificar o efeito da rugosidade criada na adesão entre os diferentes materiais do *package* através de técnicas de microscopia eletrónica de varrimento (*Scanning Electron Microscopy*, SEM) e microscopia acústica de varrimento (*Scanning Acoustic Microscopy*, SAM). Avaliou-se, ainda, a oxidação progressiva das superfícies dos EGPs e foi estudado o seu impacto no comportamento do produto através de medições de resistência de contacto e de ângulos de contacto.

## 2. TECNOLOGIAS DE *PACKAGING* DE CIRCUITOS INTEGRADOS

A indústria de semicondutores apresenta um papel fulcral na atualidade, uma vez que os mesmos são parte integrante de todos os dispositivos eletrônicos. Estes são formados por sistemas capazes de processar uma grande variedade de funções, sendo a sua estrutura composta por um conjunto de componentes conectados elétrica e mecanicamente, constituindo os denominados circuitos integrados (ICs, de *integrated circuits*), vulgarmente designados por *chips*. A sua aplicação é muito vasta, desde a indústria automóvel, às telecomunicações, aplicações *wireless*, dispositivos médicos, entre outras. Com o avanço tecnológico para o 5G, inteligência artificial e *Internet-of-Things*, os dispositivos têm-se tornado cada vez mais complexos, impulsionando o desenvolvimento de processos avançados para a produção dos ICs [1, 3].

O fabrico dos ICs inicia-se com a produção de *wafers* de um material semicondutor, sendo o material mais aplicado para este fim o silício. Existem outros materiais utilizados em menor escala como o germânio, o silício-germânio, o arsenieto de gálio, o nitreto de gálio e o carboneto de silício. A produção das *wafers* pode ser realizada por vários métodos, sendo o mais comum o método de *Czochralski*, durante o qual se obtém um lingote do material semicondutor escolhido. O lingote é cortado na forma de discos, os quais são sujeitos a processos de desbaste e acabamento superficial para redução da sua espessura e respetivo nivelamento [4, 5]. Obtêm-se, assim, as *wafers* e, seguidamente, os ICs são produzidos em dois setores subsecutivos, o *front-end* e o *back-end*. O *front-end* consiste no fabrico das estruturas que constituem os ICs e efetua-se em empresas designadas *Semiconductor Fabrication Plants*. Estas podem corresponder a empresas designadas *Integrated Device Manufacturing (IDM)*, se as mesmas desenvolverem e produzirem os ICs internamente. Por outro lado, o desenvolvimento dos ICs pode ser realizado separadamente numa *Fabless Semiconductor Company*, a qual subcontrata outras empresas, usualmente designadas de *Foundries*, para realizar o fabrico dos ICs. O *front-end* envolve vários processos de deposição de materiais dielétricos e metálicos, processos de remoção, de padronização e de dopagem, assim como a realização de testes elétricos. Após esta etapa, as *wafers* seguem para o *back-end*, onde é efetuado o *packaging* e teste dos ICs em empresas denominadas OSATs - *Outsourced Semiconductor Assembly and Test*. Por fim, as unidades produzidas podem ser enviadas para o respetivo cliente e serão, posteriormente, montadas em placas de circuito impresso (*Printed Circuit Board, PCB*), fazendo parte da constituição de dispositivos eletrônicos. As etapas de *front-end* e *back-end* de produção dos ICs são realizadas em *cleanrooms*. Estas são salas que apresentam uma quantidade máxima de partículas que podem estar presentes no ar e nas superfícies, definida pela norma ISO 14644-1 [1, 6, 7]. A Figura 1 ilustra, de uma forma sucinta, esta cadeia de produção de ICs.



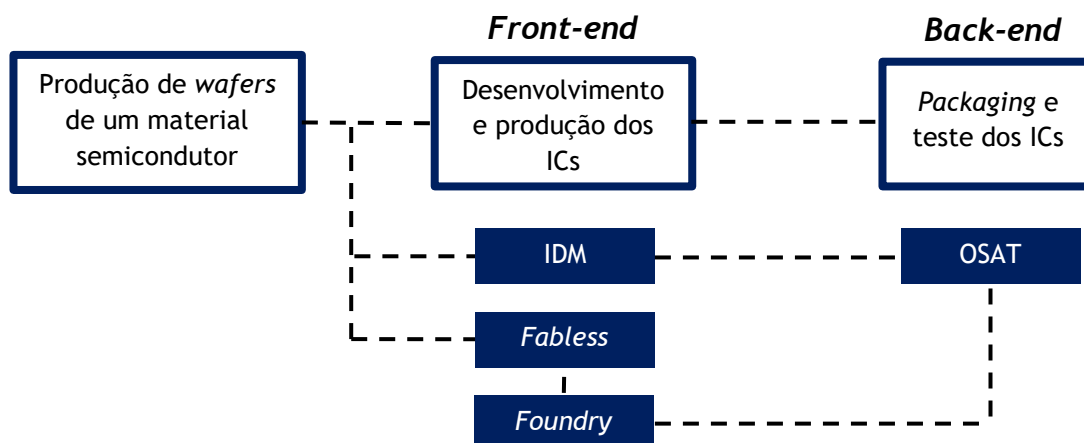


Figura 1 - Cadeia de valor da produção de ICs

O *packaging* dos ICs, construídos sobre as *wafers*, permite a sua proteção contra fatores ambientais, evitando danos físicos, humidade e corrosão. Para além disso, permite a sua ligação elétrica para o exterior, a dissipação do calor gerado no seu interior e providencia o suporte necessário ao seu manuseamento e teste. As tecnologias de *packaging* têm evoluído de forma a dar resposta aos desafios da indústria de semicondutores, visando atingir desempenhos e funcionalidades superiores, reduzir custos e gastos energéticos, a miniaturização dos produtos e o aumento do número de *Inputs/Outputs* (I/Os). O seu avanço tecnológico preconiza, também, a integração 2.5D e 3D e a integração heterogénea, possibilitando a incorporação de componentes fabricados separadamente num único sistema (*System-in-Package*, SiP). Outro fator importante no desenvolvimento de um *package* é a sua fiabilidade. Esta deve ser garantida assegurando que todo o IC suporta as condições a que será sujeito em serviço, nomeadamente: tensões mecânicas, exposição a humidade e variações de temperatura. Deve-se, ainda, assegurar que o *package* não degrada o desempenho elétrico do IC, mantendo a integridade do sinal e minimizando sinais parasitas e quedas de tensão [3, 8, 9].

Na última década, a tecnologia *Wafer Level Packaging* (WLP) ganhou destaque na indústria de semicondutores, caracterizando-se como uma solução disruptiva no mercado. A mesma difere das tecnologias mais tradicionais pelo facto dos processos que envolvem o *packaging* serem realizados sobre as *wafers*, sendo a singularização em unidades efetuada apenas no final do processo. Para além disso, o *packaging* não inclui a utilização de substratos, permitindo a construção de componentes mais finos, com caminhos elétricos mais curtos, minimizando os sinais parasitas e melhorando o seu desempenho elétrico [9, 10]. Esta tecnologia integra dois processos distintos, ambos realizados na ATEP: o *Fan-In Wafer Level Packaging*, também designado como *Wafer Level Chip Scale Packaging* (WLCSP) e o *Fan-Out Wafer Level Packaging* (FOWLP) [11]. Os dois processos apresentam várias diferenças no seu fluxo produtivo, resultando em produtos com desenhos semelhantes aos que se encontram exemplificados na Figura 2.

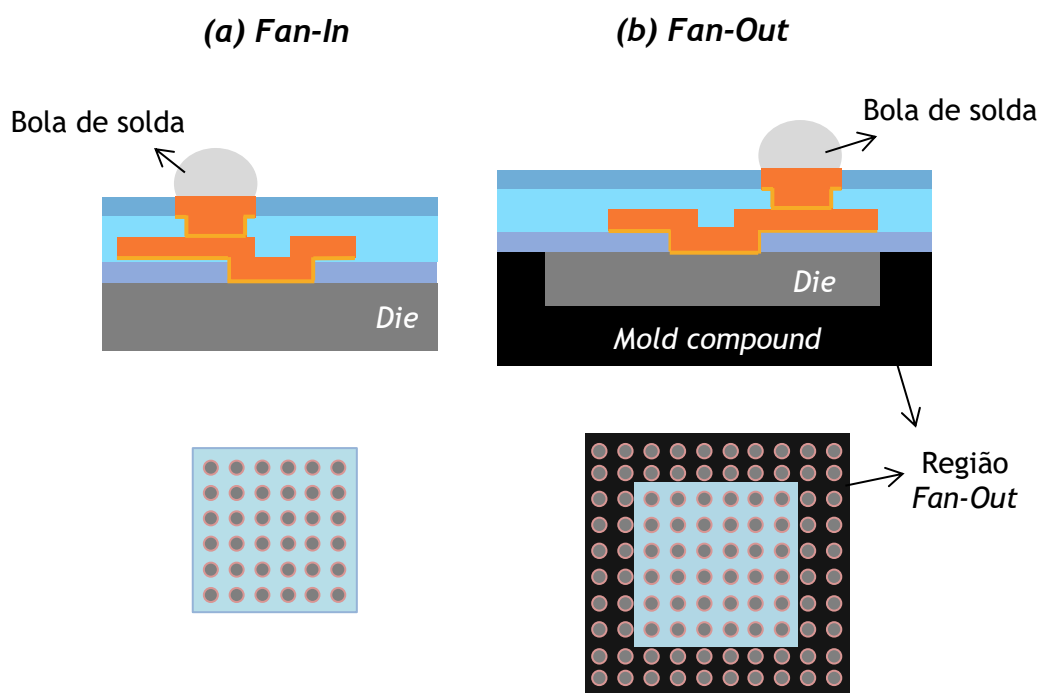


Figura 2 - Seções transversais (acima) e superfícies de produtos (em baixo) resultantes das tecnologias: (a) Fan-In Wafer Level Packaging; (b) Fan-Out Wafer Level Packaging (adaptado de [12])

Num processo FOWLP, as *wafers* são cortadas em pequenos blocos (*dies*) que são montados num suporte e envolvidos por um compósito (*mold compound*), obtendo-se *wafers* reconstituídas. Segue-se a etapa de redistribuição, a qual visa a construção de camadas de cobre que irão estabelecer as ligações elétricas desde os *dies* para o exterior. São colocadas bolas de solda nos contactos de cobre criados e, por fim, realiza-se a singularização das *wafers* reconstituídas em unidades. Por outro lado, num processo WLCSP, o *packaging* é efetuado sobre as *wafers* intactas, iniciando-se na etapa de redistribuição. O restante fluxo produtivo é semelhante ao fluxo de um processo FOWLP, que será descrito pormenorizadamente no subcapítulo seguinte. Os dois processos resultam em produtos com características distintas. A tecnologia WLCSP é a que possibilita a obtenção de produtos de menores dimensões, com um baixo número de I/Os. Já a tecnologia FOWLP permite atingir produtos com maior resistência a choques físicos e com uma maior área superficial graças à aplicação do compósito, possibilitando um maior número de I/Os. Esta permite, ainda, a incorporação de mais de um *die* num único *package* e de diferentes componentes num único sistema (SiP) [8, 12].

A primeira tecnologia FOWLP foi introduzida no mercado em 2009, pela Infineon, sendo a mesma designada como *Embedded Wafer Level Ball Grid Array* (eWLB). Este processo encontra-se, atualmente, implementado em várias empresas, nomeadamente na ATEP, na JCET e na ASE Group, tendo como principais aplicações a área das telecomunicações e o setor automóvel. Apesar de todas as suas vantagens, o processo eWLB possui, ainda, algumas limitações. De salientar os empenos das *wafers* ao longo do

processo e o *die shift* no processo de moldação com o *mold compound*, ou seja, o deslocamento dos *dies* da sua posição correta [10, 13, 14].

## 2.1. FLUXO PRODUTIVO DO PROCESSO EWL B

O processo eWLB apresenta um fluxo produtivo bastante complexo, sendo composto por quatro processos principais, esquematizados na Figura 3: (1) preparação das *wafers*, (2) reconstituição, (3) redistribuição e (4) ligação das bolas de solda, marcação *laser* e singularização (*laser, ball attach and singulation, LBS*) [15]. Todos os procedimentos e materiais utilizados são adaptados à aplicação final do produto e aos requisitos de cada cliente.

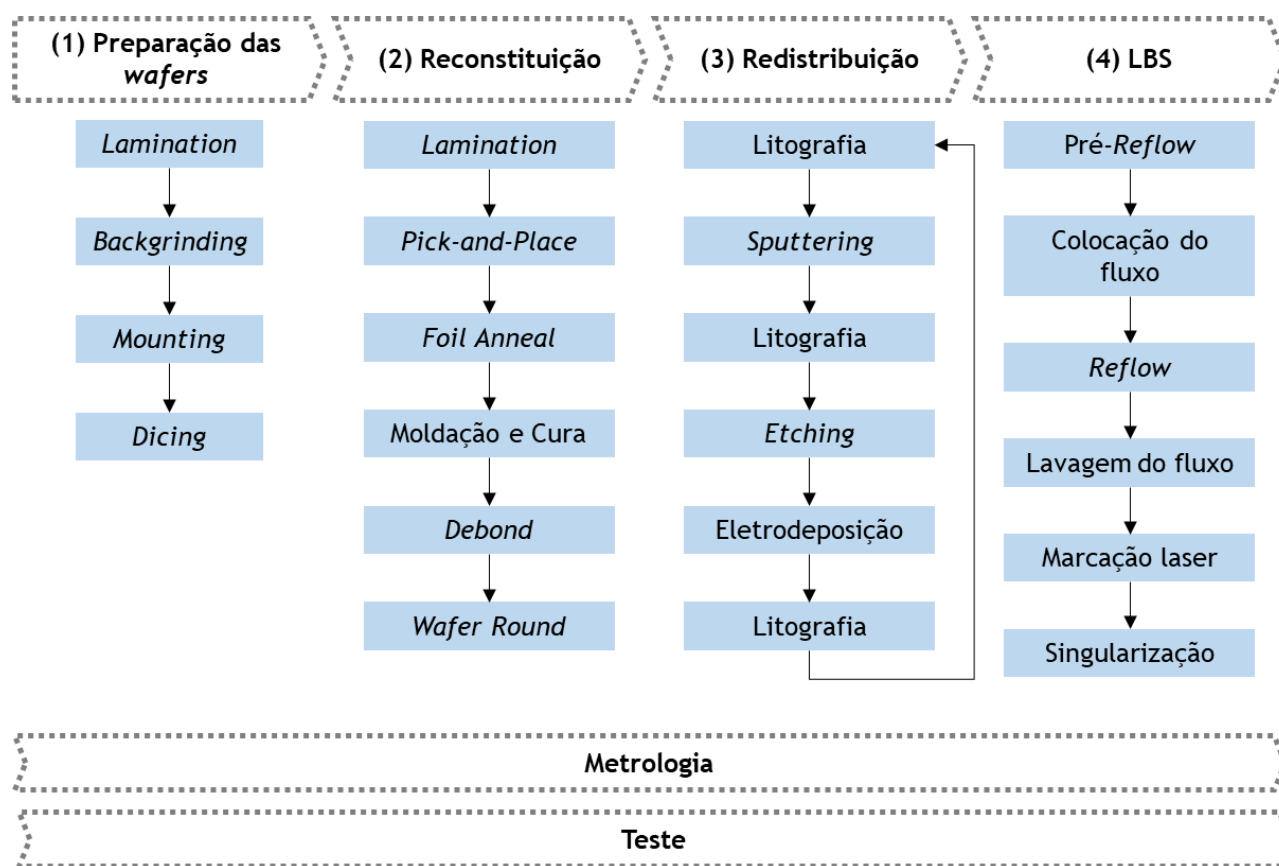


Figura 3 - Fluxo produtivo do processo eWLB

A preparação das *wafers* inclui quatro principais etapas (Figura 4): *lamination*, *backgrinding*, *mounting* e *dicing* [15].

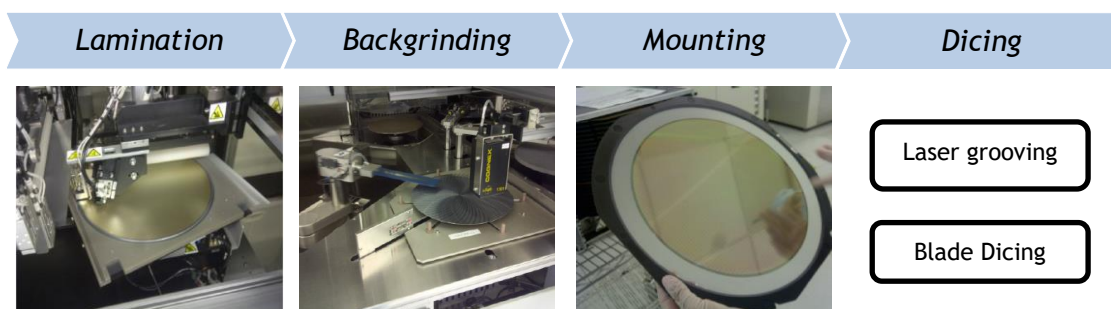


Figura 4 - Etapas de preparação das wafers [adaptado de 15]

A primeira etapa corresponde a um processo designado de *lamination*, que consiste na colocação de uma película protetora (*tape*) na parte ativa das *wafers*, em que se encontram as estruturas de *front-end*, protegendo as superfícies para o processo seguinte, o *backgrinding*. No processo de *backgrinding* é realizado o polimento da parte posterior das *wafers* através do contacto com discos de um material abrasivo, removendo material de modo a atingir a espessura pretendida. Na etapa de *mounting* a *tape* é exposta a radiação ultravioleta (UV) para perda da sua adesão à *wafer*. No mesmo equipamento, as *wafers* são montadas numa *frame* com uma *dicing tape*, permitindo o seu suporte durante e após o seu processo de corte. Por fim, a *tape* é removida por um processo mecânico de *peeling*. É, então, efetuado o *dicing*, que consiste no corte das *wafers* em pequenos blocos individuais, os *dies*. É possível recorrer a distintas técnicas de *dicing*. Pode ser aplicada apenas a técnica de *blade dicing*, que consiste no corte mecânico das *wafers* através de lâminas, cuja rotação a uma elevada velocidade permite o corte das *wafers* através das vias que separam os *dies*, as designadas *dicing streets*. Outra alternativa é a realização de um primeiro corte por *laser grooving*, que consiste na remoção total das estruturas de *front-end* através de um feixe *laser* que atravessa as *dicing streets*. Seguidamente à técnica de *laser grooving*, é cortada a restante espessura da *wafer* pelo processo de *blade dicing* [15, 16].

A segunda etapa é a de reconstituição, tendo esta como principal objetivo a obtenção de *wafers* reconstituídas. Os quatro principais procedimentos executados (Figura 5) nesta etapa são: (I) *lamination*, (II) *pick-and-place*, (III) moldação e (IV) *debond* [15].

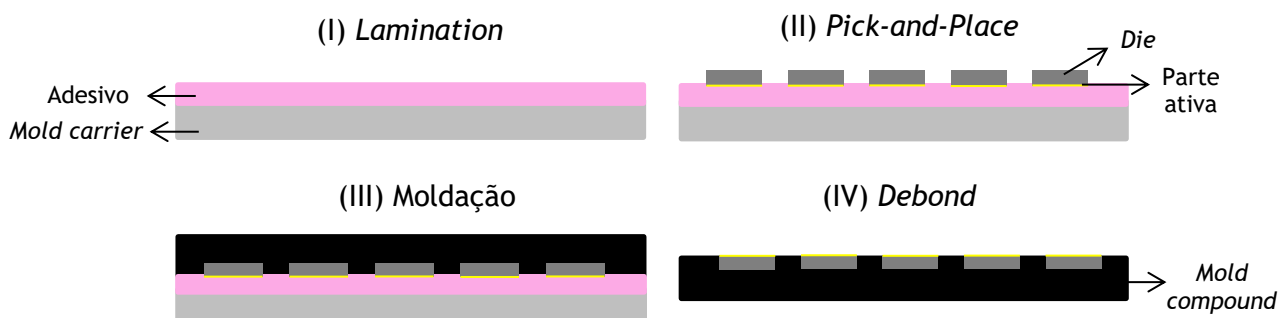


Figura 5 - Principais procedimentos da etapa de reconstituição do processo eWLB (adaptado de [13])

A reconstituição inicia-se com um processo de *lamination*, no qual um adesivo é aplicado sobre um suporte de aço inoxidável, o *mold carrier*. O adesivo utilizado na ATEP é a *Rephalva*, uma película adesiva de dupla face designada como *thermal release tape* (TRT), uma vez que a sua remoção é realizada por via de calor. Na Figura 6 apresenta-se um esquema da constituição deste adesivo [15, 17].

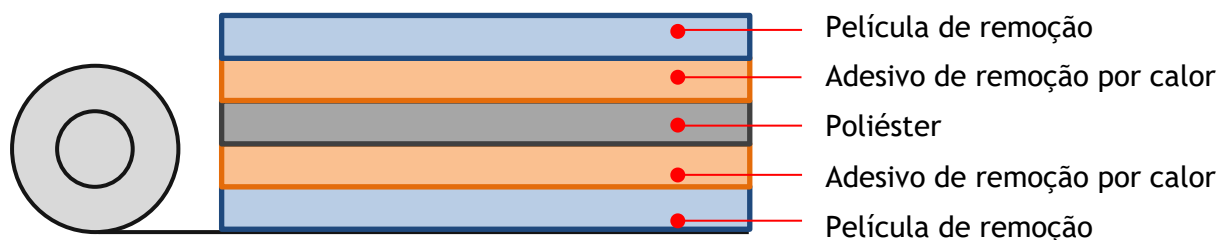


Figura 6 - Constituição da thermal release tape Rephalva (adaptado de [17])

De seguida, é executado o *pick-and-place*, um processo automatizado que visa a montagem dos *dies* no *mold carrier*. Neste, os *dies* são colocados com a sua parte ativa em contacto com o adesivo, o que permite a sua fixação. Para aumentar a adesão do adesivo ao *mold carrier* e aos *dies*, o conjunto é sujeito a um tratamento térmico num forno (a 130 °C, durante 30 minutos, num ambiente de nitrogénio), sendo este processo designado como *foil anneal* [15].

No processo seguinte, na área de *Mold*, os *dies* são envolvidos por um composto de matriz polimérica, o *mold compound* (MC), por um processo de moldação por compressão. O MC, que se encontra líquido à temperatura ambiente, é depositado e comprimido numa câmara de vácuo que promove o seu espalhamento uniforme (com aplicação de uma temperatura de 120 °C). Após a moldação, é realizada uma cura que promove a reticulação do MC, concedendo à *wafer* reconstituída a resistência mecânica necessária para poder ser manuseada nos passos seguintes do *packaging*. A sua composição inclui uma resina epóxi, um endurecedor, um *filler* (88-90%), agentes desmoldantes, um catalisador e outros aditivos (como pigmentos e retardadores de chama). A resina contida no MC confere molhabilidade e propriedades térmicas e elétricas e, sendo esta um polímero termoendurecível, apresenta ligações químicas irreversíveis, não voltando a fundir durante o *packaging*. O *filler* de sílica, com forma esférica, melhora as propriedades mecânicas, nomeadamente o módulo de elasticidade, e a condutividade térmica do material. Na ATEP são utilizadas duas formulações de MC, diferindo entre elas a dimensão dos *fillers* [15, 18, 19].

Posteriormente à cura do MC segue-se o processo de *debond*, que visa a separação do *mold carrier* e do adesivo das *wafers* reconstituídas com a aplicação de um pré-aquecimento a 150 °C e de um aquecimento a 185 °C. Primeiramente, o *mold carrier* é removido com vácuo e separado do adesivo que é, de seguida, retirado mecanicamente da *wafer* reconstituída por um processo de *peeling*. Após o *debond*, a *wafer* passa por

vários pratos aquecidos a temperaturas sucessivamente menores, de modo a diminuir os gradientes térmicos e a corrigir possíveis empenos. As *wafers* passam, ainda, pelo processo de *wafer round*, onde é realizado um corte, na forma de um chanfro de 45 °, em toda a sua periferia, de forma a eliminar todas as rebarbas e excessos de MC. De seguida, as *wafers* reconstituídas são enviadas para a área de metrologia para se realizarem testes que medem o afastamento dos *dies* relativamente ao centro da sua posição teórica, de forma a avaliar os defeitos de *die shift* que poderão ter ocorrido durante o processo de moldação [15].

Antes da terceira etapa (redistribuição), as *wafers* são sujeitas a um tratamento térmico para remover humidade (a 110 °C). De seguida, é executada uma limpeza das suas superfícies numa câmara com plasma, utilizando-se como gases hidrogénio e nitrogénio, para eliminar resíduos e contaminações. Posteriormente, segue-se a etapa de redistribuição, na qual serão construídas as ligações elétricas que conectarão os *dies* com o exterior através de diferentes processos, apresentados na Figura 7. Entre as etapas apresentadas estão também incluídos outros processos de limpeza e desidratação, bem como diversos testes de metrologia, com o intuito de medir empenos nas *wafers*, dimensões das estruturas criadas e deteção de defeitos nas mesmas [15].

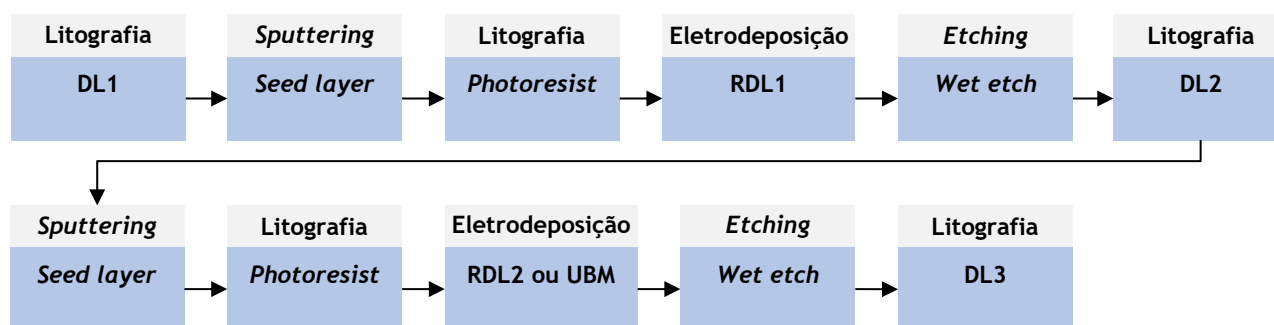


Figura 7 - Etapas constituintes do processo de redistribuição

Primeiramente, as *wafers* são enviadas para a área de litografia, sendo o processo constituído por três etapas (Figura 8): (I) *coat*, (II) *expose* e (III) *develop*. Em *coat* é depositado, por um processo de *spin-coating*, um revestimento polimérico fotossensível, geralmente composto por poliimida (PI), designado dielétrico (DL1). Este irá isolar a superfície dos *dies*. De seguida, na etapa de *expose*, é aplicada uma máscara com um dado padrão que será transferido para a camada DL1. A máscara é alinhada com as *wafers* e estas são expostas à radiação UV de alta intensidade. O dielétrico terá a sua estrutura química alterada nas zonas expostas. De seguida, na etapa *develop*, é aplicado um reagente químico (*developer*) que remove as áreas pretendidas. O material remanescente é curado num tratamento térmico (a 175 °C) para aumentar a sua robustez e resistência mecânica [15, 20].

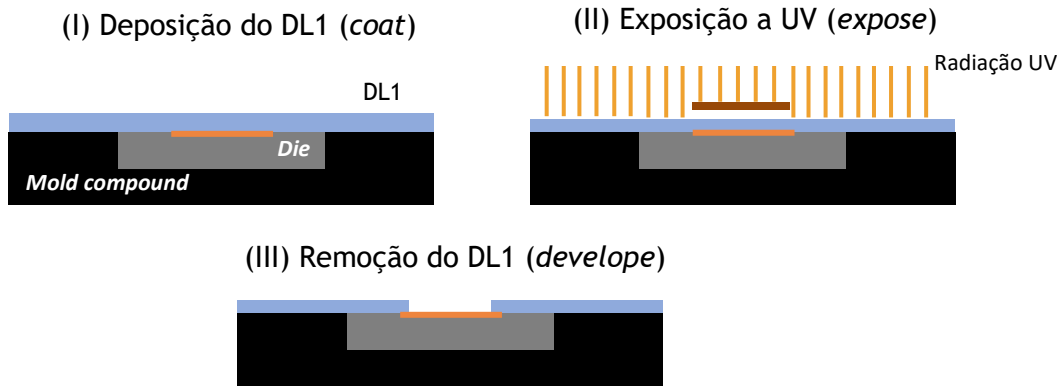


Figura 8 - Processo de litografia para desenho da DL1 (adaptado de [15])

Após processos de limpeza, desidratação e testes de metrologia, para produzir a *seed layer* (Figura 9-I) são depositadas camadas muito finas de titânio e tungstênio (TiW) ou titânio (Ti) e cobre (Cu) por um processo de pulverização catódica (em inglês, *sputtering*). As camadas depositadas têm espessuras na ordem dos nanômetros. A primeira camada depositada poderá ser constituída por TiW ou Ti e a sua função é evitar a migração e acumulação de átomos de cobre das RDLs nos *dies*, uma vez que isso impediria a condução elétrica entre os *dies* e o exterior. Para além disso, confere uma boa adesão para a camada de cobre depositada de seguida, a qual irá garantir que existe uma superfície condutora para permitir a eletrodeposição do cobre numa etapa seguinte [15, 21]. De seguida, é depositado sobre a *seed layer* um novo revestimento designado *photoresist*. Este é sujeito a um processo de litografia semelhante ao que já foi descrito, sendo criadas aberturas nas zonas onde se pretende construir a *Redistribution Layer* (RDL) (Figura 9-II). Os revestimentos poliméricos fotossensíveis mencionados - dielétricos e *photoresists* - podem ser classificados mediante a sua reação à radiação UV como positivos ou negativos. Os positivos, quando expostos à radiação, tornam-se solúveis no reagente químico utilizado como *developer*, sendo as partes expostas à radiação UV removidas. Já os negativos tornam-se insolúveis quando expostos à radiação UV, sendo removidas as zonas não expostas, como no caso observado na Figura 8 [15, 20].

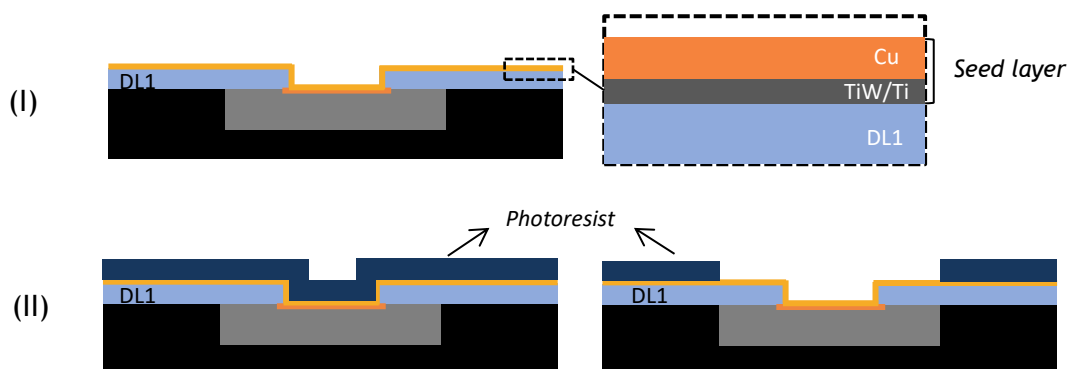


Figura 9 - (I) Deposição da *seed layer* e (II) deposição do *photoresist* e resultado do processo de litografia (adaptado de [15])

Após a produção da *seed layer* é realizada a eletrodeposição de cobre nas zonas em que a *seed layer* está exposta, produzindo-se uma RDL. O *photoresist* é, então, totalmente removido, assim como o excesso de *seed layer*, por processos de *wet etch*, como observado na Figura 10 (de I para II). O processo de *wet etch* recorre a reagentes que ao contactarem com os materiais da superfície da *wafer* reagem quimicamente com os mesmos, gerando produtos que são posteriormente removidos [15, 22].

Repetindo novamente o processo descrito (deposição de dielétrico, produção da *seed layer*, deposição de *photoresist*, eletrodeposição e *wet etch*) poderão ser criadas outras RDLs e outras estruturas designadas por *Under Bump Metallizations* (UBMs). Os *packages Fan-Out* apresentam, por norma: uma RDL, uma RDL e uma UBM ou duas RDLs. Após a deposição da última RDL ou UBM é aplicada uma camada final de dielétrico que é sujeita ao processo de litografia, isolando a superfície da *wafer* e criando as aberturas para as bolas de solda. Na Figura 10 (II, III e VI) estão esquematizadas possíveis estruturas desenvolvidas no processo - construção de apenas uma RDL, construção de uma UBM ou de uma segunda RDL, respetivamente [12, 15].

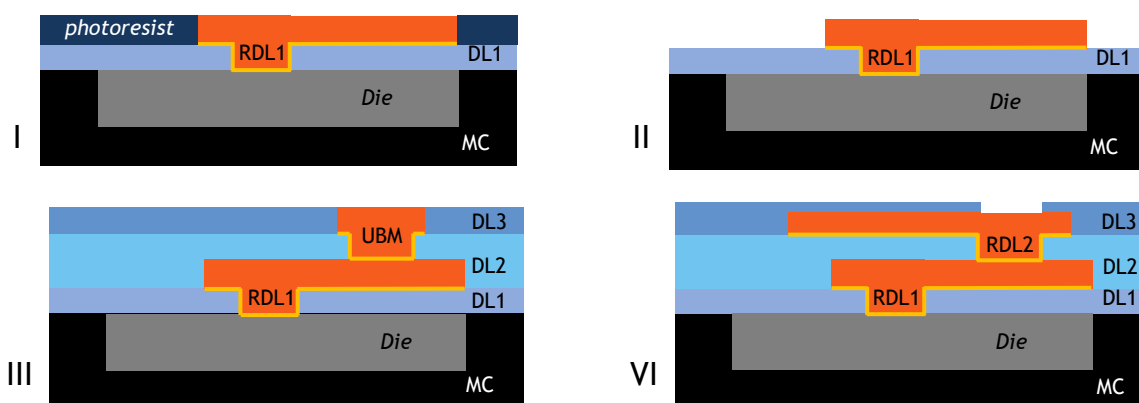


Figura 10 - Construção das ligações elétricas do package: RDL1, RDL2 ou UBM (adaptado de [12])

De forma a concluir o *package* de um IC, são colocadas bolas de solda num processo designado *Solder Ball Attach* (SBA). Estas são o componente responsável por estabelecer o contacto físico e elétrico para o exterior, sendo colocadas sobre os contactos de cobre (*bumps*) depositados, correspondentes a uma RDL ou UBM. As bolas de solda são constituídas por uma liga metálica, designada por *solder alloy*, sendo as ligas mais empregues constituídas por estanho, prata e cobre (Sn-Ag-Cu). Estas possuem, por vezes, outros elementos de liga como bismuto, níquel ou germânio, com vista a melhorar determinadas propriedades, como a sua resistência mecânica e resistência à oxidação [23, 24]. Primeiramente, é realizado o *pré-reflow*, um tratamento térmico que visa reforçar a cura do *photoresist*. De seguida, é aplicada uma pasta - o denominado fluxo - sobre as aberturas de um *stencil* correspondentes aos contactos de cobre. O fluxo irá permitir a fixação das bolas de solda e gerar uma atmosfera protetora para o processo de soldadura.



As bolas são colocadas sobre o fluxo, fixando-se nas aberturas de um novo *stencil*. A sua ligação é conseguida por soldadura através de um ciclo térmico - *reflow*. O *reflow* consiste num aquecimento até uma temperatura ligeiramente acima da temperatura de fusão da liga metálica utilizada, seguindo-se um estágio durante o período de tempo suficiente para o metal da bola atingir o estado líquido e fundir completamente. O ciclo térmico é realizado num forno com uma atmosfera de nitrogénio, o que permite que as bolas mantenham a forma esférica devido à tensão superficial do metal líquido em contacto com o gás que o rodeia. A sua fusão provoca a sua ligação à UBM ou RDL através da formação de compostos intermetálicos na interface. Após um arrefecimento rápido, as bolas solidificam, mantendo praticamente a sua esfericidade. Após o *reflow*, o excesso de fluxo é retirado e a parte posterior das *wafers* é marcada por *laser* com a sua identificação [15, 25, 26].

Posteriormente, as *wafers* são submetidas a um processo de singularização, que consiste no seu corte mecânico em unidades individuais, apresentando cada unidade estruturas semelhantes às representadas na Figura 11 [15].

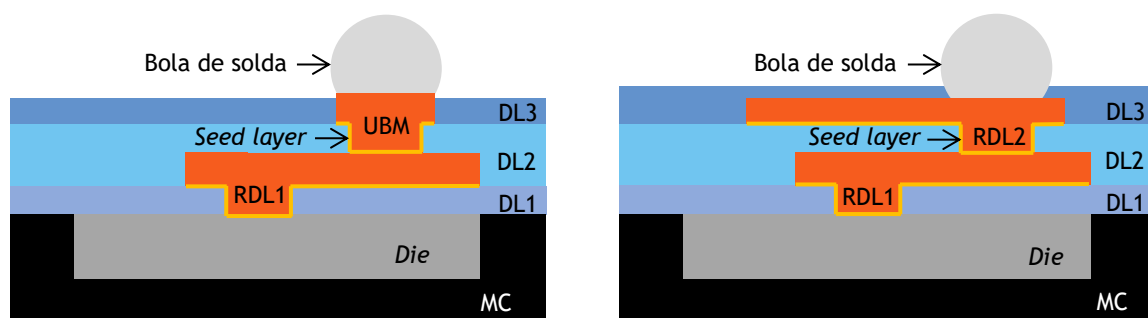


Figura 11 - Estruturas exemplificativas de unidades com e sem UBM produzidas por eWLB (adaptado de [12])

Uma unidade por lote é submetida ao teste *Ball Shear Test*, onde é medida a tensão que é necessária aplicar para arrancar as bolas, verificando a qualidade da ligação entre as bolas de solda e a UBM ou RDL. As unidades são, ainda, sujeitas a uma inspeção visual, para verificar que não existem defeitos. Por fim, os lotes de unidades são empacotados e validados para poder ser realizada a sua expedição para o respetivo cliente [15].

As unidades são também submetidas a testes elétricos durante as várias etapas do processo, com o fim de verificar a sua integridade e funcionalidade. No desenvolvimento de um produto são também realizados testes de fiabilidade para a sua qualificação, submetendo-os a ciclos de temperatura e humidade para simular o seu comportamento em serviço em condições extremas. Exemplos de testes de fiabilidade realizados são: o *Moisture Sensitivity Level*, o *Highly Accelerated Stress Test*, o *High Storage Temperature*, o *Temperature Cycling*, o *Temperature Cycling on Board* e o *Drop Test* [15].

### 3. CHECKLIST DE AVALIAÇÃO DE RISCO PARA NOVOS PRODUTOS

O desenvolvimento de um novo produto, atendendo à política da Amkor, é realizado através da estreita colaboração com o seu cliente, visando atingir soluções customizadas com um elevado nível de qualidade. A qualidade do fluxo de informação é um fator essencial para o êxito de cada novo projeto. Deste modo, devem ser implementadas metodologias adequadas que permitam executar uma avaliação de riscos detalhada para cada projeto e que potenciem a sua rapidez, diminuição de custos e a garantia de qualidade do produto final. Este trabalho foca-se no desenvolvimento de uma *checklist* composta por parâmetros relativos às regras de conceção e ao processo de fabrico de novos produtos. Estes parâmetros deverão ser preenchidos pelo cliente, juntamente com a ATEP, em duas fases consecutivas do projeto correspondentes aos dois primeiros passos da metodologia de integração de novos produtos (Figura 12).

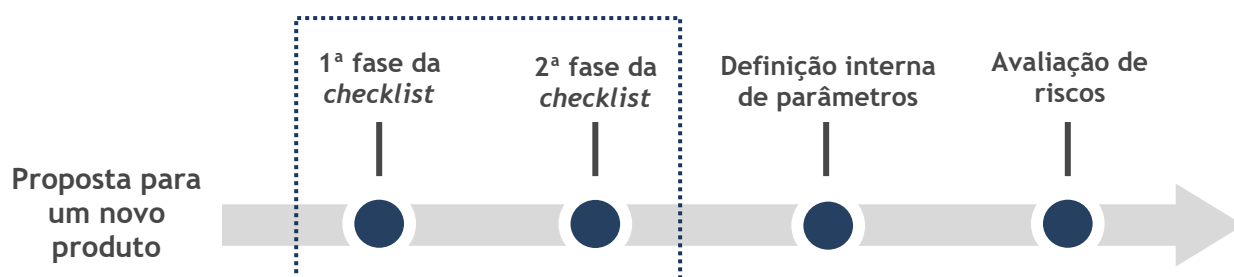


Figura 12 - Metodologia de integração de um novo produto

Na primeira fase da *checklist* constam os parâmetros que representam as principais necessidades e especificações do cliente relativamente ao novo produto. Essa informação será utilizada para se proceder a uma análise detalhada das características do mesmo e para deduzir os custos associados ao projeto. A segunda fase da *checklist* servirá para estabelecer, em conjunto com o cliente, outros aspetos técnicos decorrentes dessa análise. Por fim, partindo de toda a informação recolhida e especificações já definidas nas duas *checklists* criadas, os restantes parâmetros são determinados internamente. Subsequentemente, procede-se a uma avaliação de riscos do novo produto para verificar a capacidade de produção de acordo com todos os parâmetros estabelecidos, prevenindo-se os potenciais riscos e falhas e desenhando-se os planos de mitigação para os mesmos.

A *checklist* foi criada a partir da recolha de informação alusiva aos processos de *packaging* disponíveis na empresa. Foram consultadas as seguintes fontes de informação:

- Informação contida em formulários já existentes na Amkor, denominados *Customer Design Questionnaires* (CDQs), que servem para a recolha de dados junto ao cliente, porém, a informação recolhida atualmente é insuficiente para o desenvolvimento de novos produtos;

- Informação detalhada e entendimento dos processos de *packaging* adquirido através de pesquisa bibliográfica, documentos internos e contacto direto com a linha de produção;
- Informação solicitada por vários engenheiros de processo, cada um responsável pelo desenvolvimento de uma área específica do processo de fabrico.

Na *checklist* deverão constar especificações transversais a todo o processo de fabrico (especificações da *wafer* e especificações dos *dies*) e das etapas do processo (Figura 13). Cada grupo de especificações é composto por vários parâmetros, cujo levantamento será descrito nos pontos 3.1, 3.2 e 3.3 para a conceção da *checklist* final.

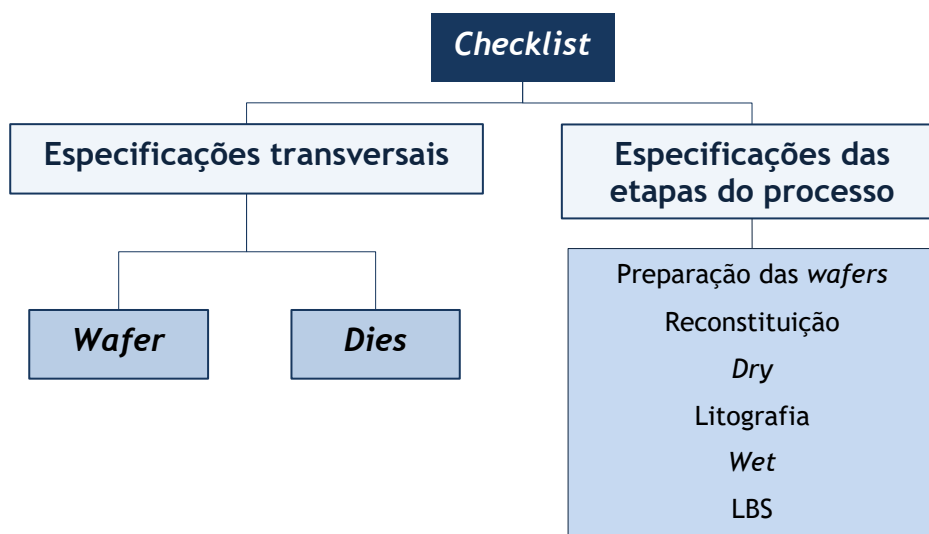


Figura 13 - Grupos de especificações transversais e especificações do processo

Por fim, os parâmetros foram divididos em dois documentos distintos, os quais são compostos pela informação necessária nas duas fases subsecutivas do desenvolvimento do novo produto. Na Figura 14 apresenta-se um esquema do procedimento utilizado para desenvolver e organizar a *checklist*.

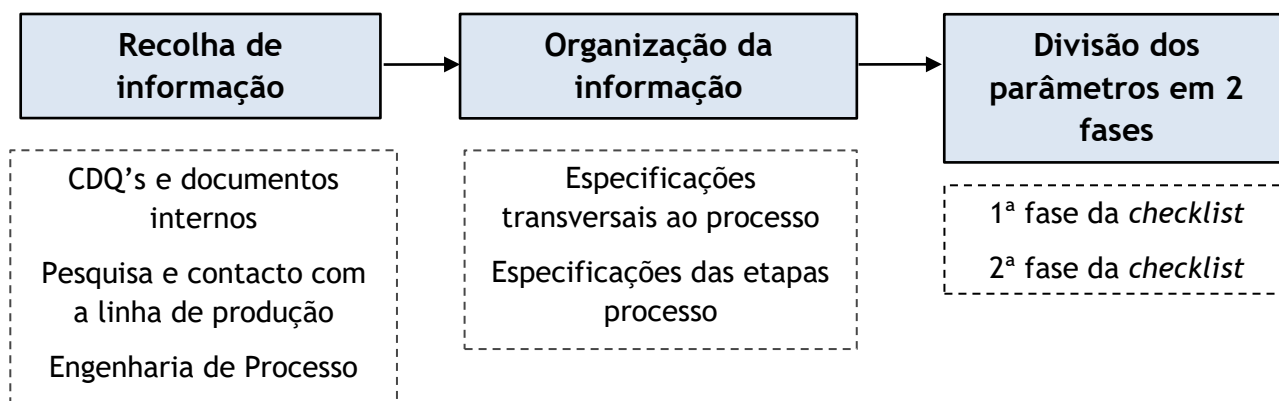


Figura 14 - Procedimento utilizado para o desenvolvimento da *checklist*

### 3.1. ESPECIFICAÇÕES DAS WAFERS

As especificações das *wafers* são referentes às principais características dos produtos recebidos pela ATEP dos seus clientes. Estas foram organizadas em diferentes grupos (Tabela 1): características das *wafers*, estruturas de *front-end*, alinhamento e identificação e divisão das *wafers* em *dies*.

Tabela 1 - Parâmetros relativos às especificações das *wafers*

ESPECIFICAÇÕES DAS WAFERS	
Características gerais das <i>wafers</i>	Diâmetro, espessura e material das <i>wafers</i>
Estruturas de <i>front-end</i>	Locais de fabrico; <i>technology node</i> ; espessura do <i>metal stack</i> ; características da passivação
Alinhamento e identificação	<i>Notch</i> ou <i>Flat</i> ; localização do ID
Divisão das <i>wafers</i> em <i>dies</i>	Número <i>dies/wafer</i> ; dimensões dos <i>dies</i> e das <i>dicing streets</i> ; retículo (índice de <i>dies</i> e <i>offset</i> ); <i>multi-project wafers</i> ; mapas das <i>wafers</i>

Numa primeira instância, são definidas as características gerais das *wafers*, correspondentes ao seu diâmetro, espessura e material constituinte. O diâmetro das *wafers* irá influenciar o número de *dies* cortados e unidades produzidas e irá determinar todos os equipamentos a utilizar no seu transporte e processamento. Os equipamentos existentes na ATEP têm capacidade para processar *wafers* de 200 ou de 300 mm de diâmetro, podendo os clientes selecionar uma destas opções. A espessura original das *wafers* deverá, também, ser especificada na *checklist*. Esta irá influenciar fatores como a quantidade de material a remover no processo de *grinding* e a implementação de cuidados especiais no seu manuseamento. Estes cuidados devem ser ampliados no caso de *wafers* extremamente finas, pois estas são mais frágeis e fraturam facilmente. De forma a prevenir a sua fratura, empeno ou outros defeitos, as *wafers* poderão ser fixadas a um suporte específico de um material de elevada rigidez, usualmente alumina, após a etapa de *debond* - *Temporary Wafer Bonding* (TWB). Para além do diâmetro e espessura, é essencial conhecer o material das *wafers*. Materiais diferentes apresentam características distintas como: sensibilidade a contaminações, que influencia as etapas de limpeza que poderão ser necessárias e as condições de armazenamento empregues; propriedades mecânicas, como a resistência mecânica, rigidez e tenacidade, que irão condicionar os seus processos de corte e o seu manuseio; a toxicidade de certos materiais, que poderá implicar a implementação de medidas de proteção extraordinárias, condicionará o seu manuseio e as condições de armazenamento adotadas; o seu comportamento

relativamente a outros materiais que constituem o *package* como adesivos, *mold compound*, dielétricos, entre outros, sobretudo no que concerne à sua adesão e à sua estabilidade química.

Como já foi referido, o material semiconductor mais utilizado para a produção de *wafers* é o silício. A sua utilização para este fim deve-se a vários fatores, sendo exemplos: as suas propriedades mecânicas, como a sua elevada dureza e resistência à fratura; o seu baixo coeficiente de dilatação (*coefficient of thermal expansion*, CTE); as propriedades elétricas obtidas após dopagem; a sua transparência face à radiação infravermelha; o seu comportamento inerte em ambiente atmosférico, mas com a possibilidade de ser promovido o crescimento de uma camada de passivação ( $\text{SiO}_2$ ) protetora e estável; a sua abundância na natureza, permitindo a sua produção em volume a um baixo custo [5]. No entanto, mediante as aplicações a que se destinam, as *wafers* podem ser constituídas por outros tipos de materiais, nomeadamente germânio (Ge), silício-germânio (SiGe), nitreto de gálio (GaN), arsenieto de gálio (GaAs), carboneto de silício (SiC) ou *silicon-on-insulator* (SOI). Na Tabela 2 estão apresentados possíveis problemas de integração de alguns destes materiais na linha de produção e as respetivas medidas a adotar [27-29]. Caso as *wafers* não sejam constituídas por silício, deverá ter-se em conta os potenciais riscos e desenvolver-se procedimentos que preconizem a segurança e a fiabilidade do processo e do produto.

Tabela 2 - Possíveis riscos e medidas a tomar na integração de *wafers* constituídas por Ge, GaN e GaAs

Material	Riscos	Medidas
Germânio	Menor resistência mecânica e fragilidade superior à do silício	Cuidados especiais no manuseio das <i>wafers</i> pelos colaboradores e nos equipamentos
Nitreto de gálio	Baixo potencial de integração devido às dimensões reduzidas das <i>wafers</i> que são produzidas	Investimento em equipamento e ferramentas para o processamento das <i>wafers</i>
Arsenieto de gálio	Elevada toxicidade e propriedades cancerígenas do arsénio	Adoção de medidas adicionais de segurança no seu manuseio e armazenamento

As *wafers* recebidas na ATEP apresentam estruturas desenvolvidas em fábricas de *front-end* sobre as suas superfícies ativas. O conhecimento das características dessas estruturas é extremamente importante devendo ser indicados na *checklist*: os seus locais de fabrico, o *technology node*, a espessura do *metal stack* e as características da camada de passivação. Essas estruturas de *front-end* não são, obrigatoriamente, desenvolvidas por um só fornecedor, podendo passar por vários locais de fabrico até ser realizado o seu *packaging*. Dependendo dos diferentes locais de fabrico, pode ser necessário utilizar

diferentes *setups* nos diversos equipamentos ao longo de todo o processo, *setups* esses apropriados a cada parte distinta do material.

Outra característica respeitante às estruturas de *front-end* é o *technology node*. Este está, tipicamente, associado à tipologia de processo de fabrico de ICs empregue, envolvendo determinadas regras de conceção. O *technology node* refere-se à distância mais curta entre camadas metálicas da estrutura de *front-end* de uma *wafer*, sendo as mesmas separadas por materiais dielétricos. A melhoria do desempenho dos ICs é atingida através da constante miniaturização dos produtos, com a diminuição do *technology node* ao nível nanométrico [30]. O material dielétrico mais aplicado como isolador das interconexões metálicas dos ICs é a sílica. Contudo, esta apenas garante o isolamento de sinais parasitas e efeitos capacitivos até uma distância de 65 nm entre camadas. De modo a garantir o isolamento necessário nos produtos com *nodes* inferiores a 65 nm, a sílica (com uma constante dielétrica de 3,9) tem vindo a ser substituída por materiais com uma menor constante dielétrica, os denominados materiais *low-k*. Para se atingirem constantes dielétricas reduzidas recorre-se a materiais extremamente porosos fabricados, frequentemente, com a incorporação de ar (que apresenta uma constante dielétrica de 1) no seu interior [31-34].

Uma desvantagem da integração de materiais *low-k* nos ICs é a sua elevada fragilidade, o reduzido módulo de elasticidade e a reduzida tenacidade à fratura. Estas propriedades influenciam negativamente a qualidade do corte das *wafers*. O método de *dicing* mais tradicional e habitualmente utilizado para a individualização das *wafers* é o *blade dicing*. Porém, este induz defeitos severos como microfaturas e *chipping* (deterioração das arestas dos *dies*, com a remoção de pequenos fragmentos) em *wafers* com materiais *low-k* [32, 35]. A técnica alternativa adotada na ATEP é o *laser grooving*, utilizado para a remoção das estruturas *front-end* previamente ao corte das *wafers* por *blade dicing*. A seleção do método de corte para um determinado produto é, portanto, dependente do *technology node* das *wafers*, que define a presença, ou não, de materiais *low-k* nas estruturas *front-end* (Tabela 3). O cliente deverá, portanto, indicar na *checklist* qual o *node* do produto cujo *package* irá ser desenvolvido, possibilitando a definição do método de corte a adotar na etapa de *dicing*.

Tabela 3 - Seleção do processo de corte das *wafers* em função no *technology node*

<i>Technology node</i>	Processos de corte	Objetivo
Superior a 65 nm	<i>Blade dicing</i>	Remoção de toda a espessura da <i>wafer</i> através de dois passes de corte
Inferior a 65 nm ( <i>low-k</i> )	<i>Laser grooving</i>	Remoção total da espessura das estruturas de <i>front-end</i>
	<i>Blade dicing</i>	Corte da restante espessura da <i>wafer</i> através de um único passe de corte

Outro parâmetro imprescindível é a espessura do *metal stack*. Este corresponde à camada constituída pelas estruturas dos ICs fabricadas em *front-end*, sendo composto por duas porções de estruturas: a primeira é designada como *front end of line* (FEOL) e a segunda, construída na região mais superficial da *wafer*, é designada como *back end of line* (BEOL). O conhecimento da espessura do *metal stack* é fundamental para estabelecer os parâmetros dos processos de preparação das *wafers*. No processo de *grinding* a espessura da *wafer* é medida por um feixe de radiação infravermelha, a qual deteta o material semiconductor constituinte da *wafer*, mas não deteta as estruturas metálicas que constituem o *metal stack*. Embora a sua espessura seja praticamente desprezável relativamente à espessura total da *wafer*, poderá ser proveitoso conhecê-la quando as tolerâncias são muito apertadas no processo de *grinding*. No processo de *laser grooving* é essencial saber este valor, uma vez que o feixe *laser* empregue deve remover totalmente as estruturas de *front-end* nas *dicing streets*. É importante, também, conhecer a referência da medição, ou seja, a partir de que camadas ou estruturas a espessura do *metal stack* foi medida. Na Figura 15 estão apresentados exemplos de *metal stacks* de diferentes produtos e as respetivas dimensões, mostrando a diversidade de produtos produzidos.

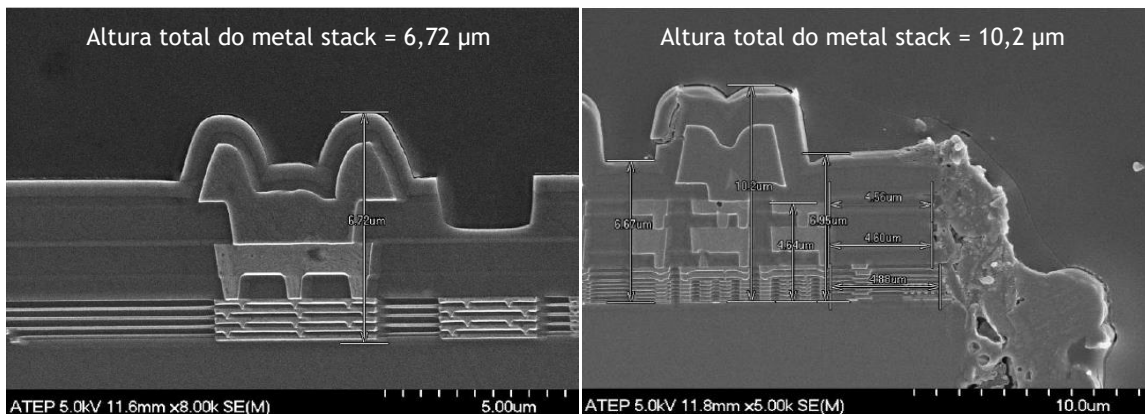


Figura 15 - Estruturas do metal stack de diferentes produtos com as respetivas dimensões

A *checklist* inclui, também, um parâmetro relativo à camada de passivação existente na superfície ativa das *wafers*, contemplando todas as suas características (composição, espessura, aberturas). Tal como a passivação, deve ser referida a existência de outros tipos de revestimentos na superfície ativa ou não ativa de uma *wafer*. As camadas de passivação são, geralmente, compostas por materiais como PI, sílica ou nitreto de silício. A presença dessa passivação visa minimizar a influência do meio ambiente nos componentes de um IC, protegendo-os de variações de temperatura ou humidade e ainda promover a sua estabilização mecânica. No entanto, a exposição de um produto com uma camada de passivação a variações de temperatura muito elevadas pode provocar fissuras na estrutura da passivação. As fissuras surgem devido aos diferentes CTEs dos materiais constituintes dos ICs, aquando da aplicação de gradientes térmicos. Por essa razão, as temperaturas atingidas no processo de *packaging* poderão estar limitadas pelo tipo de

material da passivação utilizado no produto [36]. Esta camada possui aberturas onde estão presentes estruturas metálicas, designadas *pads*, que estabelecem as ligações elétricas desde o IC para o *package*. Para o desenho do produto e dos processos do *packaging* que permitem a construção das ligações (a partir da etapa de redistribuição) é necessário conhecer a forma e as dimensões dessas aberturas.

Durante os processos de *dicing* é importante saber se existe passivação nas *dicing streets* e as suas características. Quando se trata de uma passivação de um material mais frágil e de uma camada com espessura mais reduzida, esta torna-se mais suscetível a falhas durante os processos de corte, nomeadamente o surgimento de fissuras. Desta forma, os parâmetros de corte deverão ser ajustados mediante as características desta camada de passivação. O material da passivação influencia, também, a sua adesão a outros materiais do *package*, nomeadamente ao adesivo utilizado na etapa de *lamination*, previamente a *pick-and-place*, e ao dielétrico depositado em litografia. No processo de *lamination* é possível escolher-se um adesivo (*thermal release tape*) de baixa ou de alta adesão e o material da passivação poderá influenciar essa escolha. Relativamente ao tipo de dielétrico utilizado em litografia, a sua escolha deve ser adequada ao tipo de passivação existente, garantindo uma boa adesão e estabilidade química entre ambas as camadas.

As especificações das *wafers* contemplam, também, parâmetros relativos ao seu alinhamento nos equipamentos e à sua identificação. As *wafers* apresentam na sua periferia uma determinada forma cuja orientação determina o alinhamento das *wafers* em vários equipamentos, sendo especialmente importante no seu alinhamento no interior da *frame* colocada no processo de *mounting*. Essa forma poderá corresponder a um *notch* ou *flat*, cujas geometrias estão representadas na Figura 16.

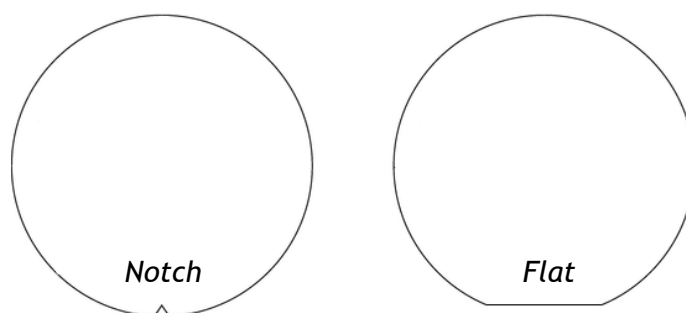


Figura 16 - Tipos de geometrias das formas para alinhamento das *wafers*

Cada *wafer*, pertencente a um lote de um produto específico, possui um determinado código que a identifica. É importante conhecer a identificação (ID) de cada *wafer* de modo a garantir a sua rastreabilidade e a sua localização na *wafer* deve estar especificada. Esta pode localizar-se: no *notch*; oposta ao *notch*; no *notch* e oposta ao *notch*; à esquerda do *notch* (com *notch down*); à direita do *notch* (com *notch down*); à direita e à esquerda do *notch* (com *notch down*).



Todas as *wafers* recebidas são constituídas por vários *dies* que serão cortados durante o processo de *packaging*. Assim, existem várias informações essenciais para o desenvolvimento do processo relacionadas com a forma como as *wafers* estão divididas em *dies*: o número de *dies* em cada *wafer*, as dimensões dos *dies* e das *dicing streets*, o índice de *dies* no retículo, o respetivo *offset* na *wafer* e as *multi-project wafers*. Os clientes poderão facultar, ainda, mapas da *wafer* (*stepper shotmap* e *wafermap*), os quais reúnem algumas das informações supracitadas.

Particularmente nos processos de *dicing* é necessário conhecer o número de *dies* e as suas dimensões, bem como as dimensões das *dicing streets*, uma vez que estas correspondem às vias onde ocorre a separação dos *dies* e, portanto, onde as ferramentas de corte vão atuar. Em *laser grooving* tem de se garantir que o feixe de *laser* utilizado remove as estruturas de *front-end* sobre a largura das *dicing streets*. No processo de *blade dicing* a largura das *dicing streets* vai determinar a escolha da lâmina, mantendo a integridade das estruturas que se encontram no interior dos *dies*. As dimensões dos *dies* representam um parâmetro essencial para o desenvolvimento do restante fluxo produtivo, pois irão influenciar o número total de *dies* que vão compor uma *wafer* reconstituída e a distância entre cada *die* na mesma.

O desenho dos *dies* em cada *wafer* é definido por um retículo, sendo este um padrão retangular que é repetido na *wafer*. Na *checklist* deve ser indicado o índice de *dies* - número de linhas (x) e colunas (y) no retículo - e o *offset* do retículo. Este corresponde à distância que o retículo se move numa *wafer* para permitir a definição do desenho dos *dies* na mesma. O designado *stepper shotmap* é um mapa que permite a visualização do retículo e da sua repetição na superfície da *wafer*. Este define o desenho dos *dies* numa *wafer*, mostrando as suas posições num eixo de coordenadas (x, y). Deste modo, fornece informações como: o número de *dies*, as dimensões dos *dies*, as dimensões das *dicing streets*, o índice de *dies* no retículo e o *offset* do retículo. Estas informações são requisitadas individualmente ao cliente através da *checklist*, contudo, o *stepper shotmap* deve também ser solicitado para uma melhor compreensão das mesmas.

Outro mapa que deve ser solicitado ao cliente por intermédio da *checklist* é o *wafermap*. Este, apesar de não permitir conhecer as dimensões dos *dies* e das *dicing streets*, permite visualizar os *dies* num eixo de coordenadas (x, y). Para além disso, o *wafermap* permite: identificar a posição do *notch/flat* e do ID na *wafer*, visualizar a posição do *die* de referência, visualizar as estruturas de alinhamento dos *dies* e identificar os tipos de *dies* presentes - *dies* funcionais, *dies* rejeitados e *dies* destinados ao controlo do processo (para realização de testes elétricos, por exemplo). No fluxo produtivo do *packaging*, o processo de *pick-and-place* e as várias inspeções efetuadas são baseados na estrutura deste mapa.

Por norma, os *dies* presentes numa *wafer* são todos iguais entre si. No entanto, numa *multi-project wafer* (MWP), *dies* com dimensões e/ou estruturas diferentes são incorporados numa só *wafer*. Este tipo de tecnologia permite fabricar diferentes ICs na mesma *wafer*, produzindo componentes para um só ou vários clientes, o que permite reduzir o seu custo de produção através da divisão dos custos pelos diferentes projetos.

Numa MPW, se um retículo possuir *dies* com distintas dimensões, designa-se como *pizza mask*. Apesar da redução de custos esperada neste tipo de projetos, estes contam ainda com vários desafios devido à elevada complexidade imposta durante as várias etapas do processo e no desenvolvimento do produto. No caso de uma MPW com *dies* de diferentes dimensões, dependendo do seu posicionamento no retículo, o corte da *wafer* em *dies* pode comprometer a integridade de outros *dies* envolventes. Isto porque, num processo de *blade dicing*, a lâmina de corte não pode parar no interior da *wafer*, devendo o corte ser efetuado de uma extremidade à outra [37, 38]. Assim, é extremamente importante conhecer o desenho do retículo de uma MPW, sabendo que *dies* devem ser cortados e quais podem ser sacrificados. Os parâmetros de corte devem, também, ser adequados ao tipo de materiais que se pretende cortar, tendo em atenção que as estruturas e tipos de materiais existentes numa *dicing street* diferem das que estão presentes no interior de um *die* que está a ser sacrificado. Deste modo, um dos pontos da *checklist* questiona o tipo de projeto em questão - se é uma MPW ou não - e, caso se trate de uma MPW, os mapas da *wafer* devem ser fornecidos e deve ser dada a indicação de quais os *dies* que devem ser cortados e quais devem ser sacrificados.

Na Tabela 4 estão apresentados os parâmetros descritos relativamente às especificações das *wafers*. Para além dos parâmetros requeridos é indicado em que fase do desenvolvimento do produto cada parâmetro deve ser preenchido.

Tabela 4 - Parte da checklist relativa às especificações das *wafers*

ESPECIFICAÇÕES DAS WAFERS	Fase 1	Fase 2
Diâmetro da <i>wafer</i> (mm)	X	
Espessura original da <i>wafer</i> ( $\mu\text{m}$ )	X	
Material da <i>wafer</i>	X	
Locais de fabrico da <i>wafer</i>		X
<i>Technology node</i>	X	
Tecnologia(s) de <i>dicing</i> da <i>wafer</i>	X	
Altura do <i>metal stack</i> ( $\mu\text{m}$ )		X
Passivação: composição e espessura ( $\mu\text{m}$ )		X
Forma e diâmetro das aberturas da passivação ( $\mu\text{m}$ )		X
Outros revestimentos		X
<i>Notch</i> ou <i>Flat</i>	X	
Localização da identificação da <i>wafer</i>		X
Número de <i>dies/wafer</i>		X
Dimensões dos <i>dies</i> sem <i>dicing streets</i> ( $\mu\text{m}$ )	X	
Largura das <i>dicing streets</i> ( $\mu\text{m}$ )	X	

Índice de <i>dies</i> e <i>offset</i> do retículo ( $\mu\text{m}$ )	X	
<i>Multi-Project Wafer</i> (MPW)	X	
<i>Stepper shotmap</i>		X
<i>Wafermap</i>		X

### 3.2. ESPECIFICAÇÕES DOS *DIES*

Na Tabela 5 estão apresentados os principais parâmetros considerados para o grupo de especificações dos *dies*. Estes parâmetros estão relacionados com as estruturas de alinhamento e identificação presentes, com as características dos *pads* e com outras características inerentes aos *dies* e essenciais para o seu processamento.

Tabela 5 - Parâmetros relativos às especificações dos *dies*

ESPECIFICAÇÕES DOS <i>DIES</i>	
Estruturas de identificação e alinhamento	<i>Die</i> de referência; orientação do <i>pin</i> 1; fiduciais
<i>Pads</i>	<i>I/Os</i> ; composição, espessura e distância mínima entre <i>pads</i> ; <i>probe marks</i>
Outras características	Tipos de <i>dies</i> ; nível de sensibilidade ESD

De modo a garantir a sua rastreabilidade ao longo do processo, deve ser atribuída uma dada identificação a cada um dos *dies* de uma *wafer*. O *die* de referência é uma unidade da *wafer* que é possível distinguir visualmente e que tem a sua posição devidamente identificada. Frequentemente, existe um *die* constituído apenas por silício que possui uma coloração e estrutura superficial distinta dos restantes. A existência de *dies* de referência minimiza a ocorrência de erros na colocação de *dies* em *pick-and-place* e na identificação de *dies* conformes e unidades rejeitadas nos processos de metrologia. Na *checklist* deverá ser indicado se existe um *die* de referência e a forma como o mesmo pode ser identificado, incluindo a sua posição (esta informação poderá estar contida no *wafermap*).

O alinhamento das *wafers* nos diversos equipamentos utilizados ao longo do processo de *packaging* pode ser conseguido de diversas formas, nomeadamente através do desenho das estruturas de *front-end*, da orientação do *pin* 1 relativamente ao *notch/flat* ou de fiduciais presentes nos *dies*. A orientação do *pin* 1 (Figura 17) define o canto de cada *die*

a ser utilizado como referência no seu alinhamento em processos como *pick-and-place*, devendo o mesmo ser definido na *checklist*. A sua posição é definida relativamente ao *notch/flat*.

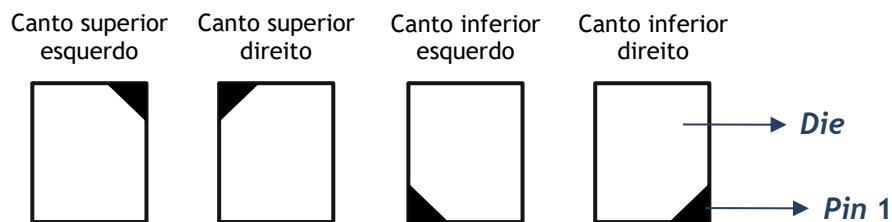


Figura 17 - Orientação do pin 1 relativamente ao notch/flat

Os fiduciais são elementos presentes na superfície dos *dies*, cuja existência permite o seu correto posicionamento no processo de *pick-and-place* para a formação de uma *wafer* reconstituída. O equipamento de *pick-and-place* possui um sistema ótico capaz de detetar os fiduciais, decidindo a posição em que cada *die* é colocado. Para além disso, na análise metrológica a deteção de defeitos de posicionamento e alinhamento dos *dies* (como o *die shift*) é conseguida com base nos fiduciais. Estes devem estar bem definidos na superfície dos *dies* e devem apresentar um bom contraste, de forma a serem facilmente identificados pelos equipamentos sem serem confundidos com outras estruturas. A *checklist* apresenta, portanto, um ponto que indica a existência ou ausência de fiduciais.

Definidos os parâmetros relativos às estruturas de identificação e alinhamento dos *dies*, deverão ser estabelecidas as características relacionadas com os *pads* - I/Os, a composição e a espessura dos *pads*, a distância mínima entre *pads* e os *probe marks*. Os *pads*, como já foi mencionado, são estruturas metálicas presentes à superfície dos *dies*, nas aberturas da camada de passivação, que estabelecem as ligações elétricas para o *package*. Os *pads* permitem, também, realizar testes elétricos às camadas metálicas subjacentes durante o processo de *front-end*. Os I/Os representam as regiões pelas quais se dá a ligação elétrica desde os ICs dos *dies* para o exterior, ou seja, as regiões onde se localizam os *pads*. O padrão de I/Os consiste na forma como os *pads* estão dispostos num *die* e o número de I/Os corresponde ao número de *pads* existentes num *die* que permitirão a ligação para o exterior. Estes parâmetros devem ser indicados na *checklist*, sendo necessários, por exemplo, para o desenho das máscaras de litografia. Deverão, ainda, ser definidas a distância mínima entre *pads*, a sua espessura e composição. Os *pads* são compostos por um material metálico, geralmente cobre ou alumínio, sendo necessário ter em conta a sua possível oxidação. A composição dos *pads* irá, portanto, definir o máximo tempo de exposição das *wafers* a água em processos como *grinding*, *dicing* e as várias etapas de lavagem. Para além disso, nas superfícies dos *pads* podem existir os designados *probe marks*, correspondentes a marcas causadas por testes elétricos realizados nas suas superfícies durante o processo de *front-end*. É importante saber se estes existem e onde

se localizam para não serem confundidos com defeitos nas inspeções realizadas durante o processo de *packaging*.

Para além dos parâmetros já descritos, os *dies* possuem outras características que irão definir o desenvolvimento do produto e o seu processamento: tipos de *dies* e nível de sensibilidade à descarga eletrostática (*electrostatic discharge*, ESD).

Para o desenvolvimento de um novo produto, o cliente poderá fornecer *wafers* com diferentes tipos de *dies*: *dies* funcionais, *daisy chains* (DC) ou *probe cards* (PC). Os *dies* funcionais correspondem aos *dies* do produto final, com as estruturas *front-end* completas. Os *probe cards* apresentam na sua estrutura de *front-end* apenas as últimas camadas de metal e de passivação existentes nos *dies* funcionais. Os *probe cards* são fabricados em *front-end* e enviados para as OSATs para a realização do *setup* da linha de produção previamente ao início da produção de um novo produto. Isto é possível porque as estruturas superficiais dos *probe cards* são iguais às dos *dies* funcionais. Por outro lado, as estruturas de *front-end* construídas nas *daisy chains* formam uma cadeia de ligações conectadas entre si e são diferentes das estruturas dos *dies* funcionais. Assim, não são utilizadas para realizar *setups*, mas sim para a execução de testes de fiabilidade em que se avalia o comportamento do produto quando o mesmo está ligado a uma placa de circuito impresso - *Board Level Reliability*. Os testes de fiabilidade realizados com estas unidades são o *Temperature Cycle on Board* (TCoB) e o *Drop Test* (DT). Os clientes deverão indicar na *checklist* se disponibilizam estes tipos de *dies* para o desenvolvimento do novo produto.

A última característica a definir relativamente aos *dies* é o seu nível de sensibilidade à descarga eletrostática (ESD). A ESD consiste na transferência rápida de eletrões entre dois corpos carregados eletricamente, causada pelo seu contacto ou separação [39]. A ESD causa a falha imediata ou latente dos circuitos integrados, em consequência da aplicação de uma elevada diferença de potencial que, ao originar altos níveis de picos de corrente, provoca o sobreaquecimento e a perda de integridade de contactos elétricos. Devido às dimensões reduzidas dos circuitos integrados, baixas diferenças de potencial podem causar danos muito significativos. Diferentes componentes apresentam distintos níveis de sensibilidade à ESD e estes níveis podem ser classificados segundo modelos de teste como o *Human Body ESD Model*. Este modelo de teste define uma gama de diferenças de potencial a que os componentes podem ser sujeitos sem apresentar falhas por ESD [40-42]. Mediante o nível de sensibilidade ESD, devem ser tomadas medidas preventivas no fabrico dos ICs, nomeadamente no seu *packaging*, o que justifica a importância da definição deste parâmetro na *checklist*.

Na Tabela 6 estão apresentados os parâmetros descritos relativamente às especificações dos *dies* e a indicação da fase de desenvolvimento do produto em que cada parâmetro deve ser preenchido.

Tabela 6 - Parte da checklist relativa às especificações dos dies

ESPECIFICAÇÕES DOS DIES	Fase 1	Fase 2
Die de referência		X
Orientação do Pin 1		X
Fiduciais		X
Padrão de I/Os	X	
Número de I/Os por die	X	
Distância mínima entre pads ( $\mu\text{m}$ )	X	
Composição dos pads	X	
Espessura dos pads ( $\mu\text{m}$ )		X
Probe marks	X	
Tipos de dies disponíveis: DC/PC		X
Nível de sensibilidade ESD		X

### 3.3. ESPECIFICAÇÕES DAS ETAPAS DO PROCESSO

Definidas as especificações das *wafers* e dos *dies*, as quais são transversais a várias etapas do processo de *packaging*, foram analisadas as diferentes etapas do processo. Constatou-se que cada etapa é dependente de parâmetros já identificados, inerentes às características do produto recebido. No entanto, existem outros parâmetros mais específicos que deverão ser definidos e incorporados na *checklist*. Estes parâmetros, característicos de cada etapa do processo - preparação das *wafers*, reconstituição, *dry*, litografia, *wet* e LBS - serão, de seguida, descritos.

Foram estabelecidos, como se observa na Figura 18, os parâmetros para o processo de preparação das *wafers*: parâmetros transversais a todas as etapas (*lamination*, *grinding*, *mounting* e *dicing*), parâmetros transversais às tecnologias de *dicing* e parâmetros específicos do processo de *laser grooving*. Os parâmetros realçados no esquema da Figura 18 correspondem àqueles que não foram ainda referidos nas especificações das *wafers* e dos *dies*.

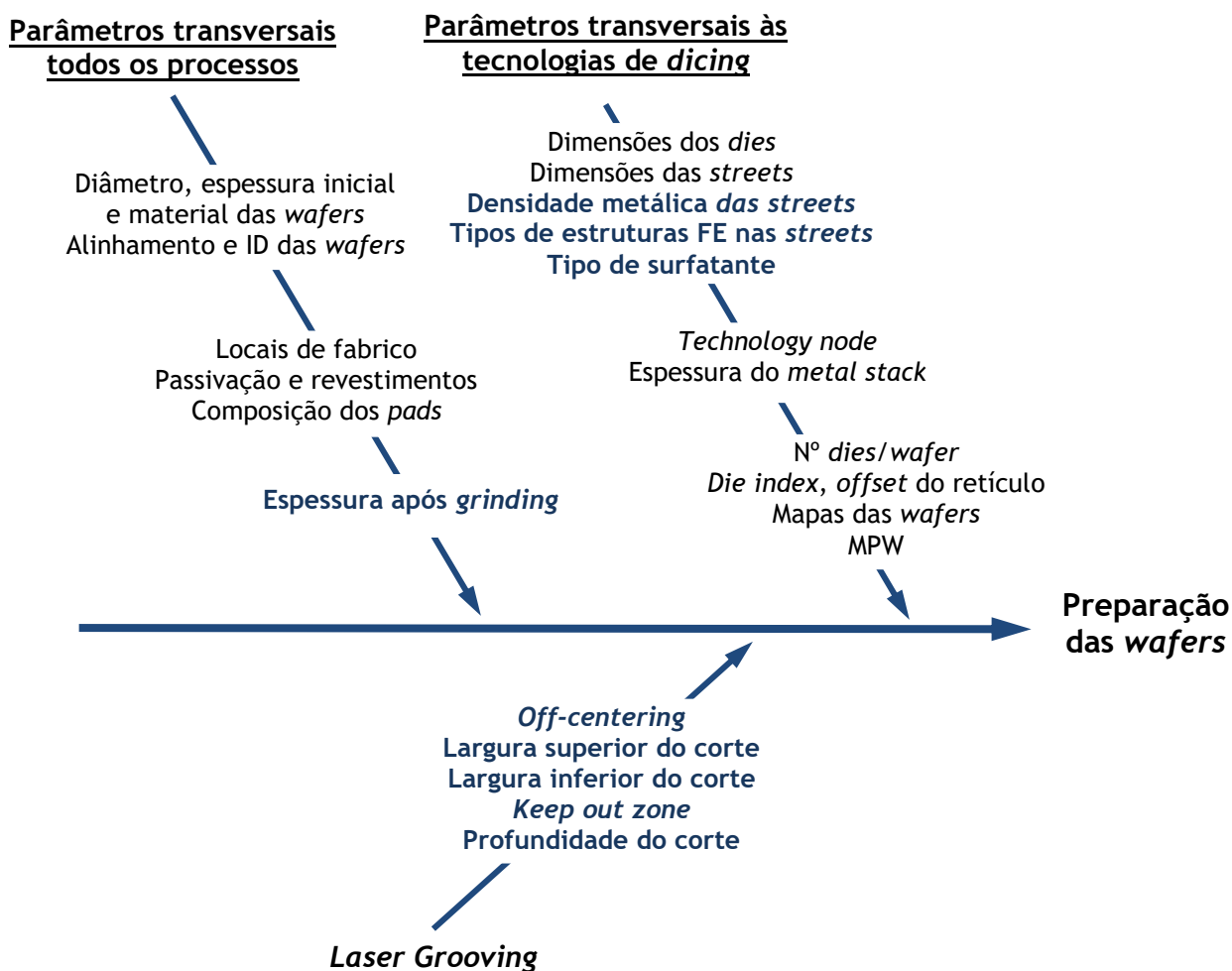


Figura 18 - Parâmetros relativos à etapa de preparação das wafers

A espessura da *wafer* após *grinding* apresenta-se como um parâmetro transversal a todos os processos realizados na preparação das *wafers*. É um parâmetro essencial na execução do processo de *grinding* para a definição da quantidade de material a remover. Para além disso, os parâmetros de corte definidos para os processos de *dicing* dependem da espessura das *wafers*. No processo de moldação com o *mold compound* é também importante conhecer esta espessura de modo a definir a quantidade de *mold compound* a utilizar, garantindo que há *overmold* suficiente.

Para o desenvolvimento das tecnologias de corte das *wafers* é essencial conhecer: os tipos de estruturas presentes nas *dicing streets* e a sua composição; a densidade metálica das *dicing streets*; e o tipo de surfatante utilizado. As *dicing streets* são maioritariamente compostas pelo material semiconductor constituinte das *wafers*. No entanto, existem também outras estruturas no seu interior, sendo as mais habituais: os *test patterns*, *tilling*, *crackstops* e *sealrings*. Os tipos de estruturas presentes devem ser indicados para que os processos de *blade dicing* e *laser grooving* possam ser desenvolvidos mediante a sua geometria, a sua localização e os materiais que as constituem.

Os *test patterns* são estruturas metálicas, dispostas de forma não uniforme na superfície das *wafers*, podendo corresponder a estruturas de alinhamento ou a estruturas de teste. As estruturas de teste apresentam um desenho e propósito análogo ao dos *pads* que se encontram no interior dos *dies*, sendo criadas para testar características elétricas de outras estruturas metálicas subjacentes, avaliando a qualidade dos processos realizados em *front-end*. O *tilling* é um outro tipo de estruturas metálicas que poderá existir na periferia das *dicing streets*. Estas apresentam a forma de cubos e visam equilibrar a quantidade de metal existente numa *wafer*. Todas estas estruturas são removidas nos processos de *dicing*, logo a sua presença influencia os parâmetros de corte. Em *blade dicing*, a passagem das lâminas de corte sobre estas estruturas pode causar o seu arrancamento e gerar uma qualidade de corte inferior, uma vez que os componentes metálicos apresentam uma ductilidade superior. Assim, a largura da lâmina deve ser ajustada tendo em conta a largura das estruturas e os restantes parâmetros de corte devem ser adaptados de acordo com as propriedades dos materiais que as compõem, visando a qualidade da superfície de corte.

Durante os processos de corte são induzidas tensões ao longo das *dicing streets*, podendo, eventualmente, provocar: *chipping*, fissuras, delaminações e outros defeitos. No entanto, existem estruturas capazes de os minimizar, como os *sealrings* e os *crackstops* (Figura 19). Os *sealrings* são estruturas que envolvem toda a periferia dos *dies* e que, mediante o seu desenho, podem impedir a propagação de fissuras para o interior dos *dies*, prevenir a entrada de humidade e, ainda, prevenir a entrada de *mold compound* no interior dos *dies* durante o processo de moldação. Os *crackstops* são empilhamentos de camadas metálicas e materiais dielétricos, usualmente revestidos por uma camada de passivação, e têm como objetivo impedir a propagação de fissuras para os *dies*.

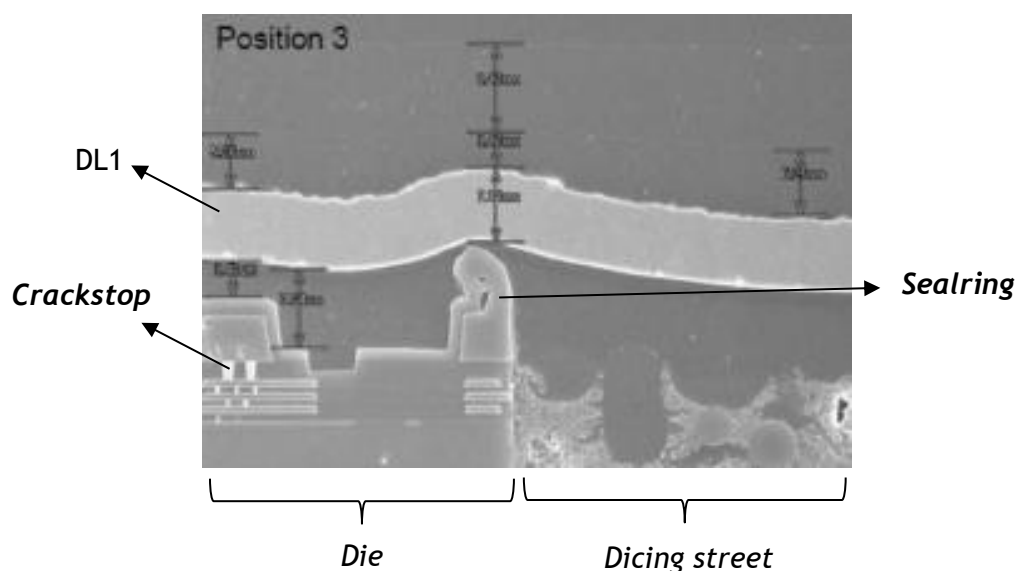


Figura 19 - Secção transversal de uma wafer, na periferia de um die, com exemplos de um sealring e de um crackstop



A densidade metálica das *dicing streets* corresponde à quantidade relativa de estruturas metálicas presentes na espessura do *metal stack* ao longo das *dicing streets*. A densidade metálica influencia, particularmente, a potência do *laser* que é necessária utilizar e a profundidade de corte atingida no processo de *laser grooving*. Assim, é vantajoso conhecer as densidades máxima e mínima e as suas localizações.

Durante os processos de *dicing* é utilizado um surfatante que tem como principal objetivo a remoção de resíduos de corte das *dicing streets*, melhorando a qualidade de corte atingida. Esta solução funciona, ainda, como inibidora de corrosão dos *pads* nas *wafers*. Assim, a seleção do tipo de solução surfatante utilizada deverá ser definida na *checklist* e irá depender da composição dos *pads*.

Relativamente apenas ao processo de *laser grooving*, foi definido um conjunto adicional de parâmetros. Os parâmetros a definir por valores máximos e mínimos para efetuar este processo estão representados na Figura 20 e são:

- O *off-centering*, que corresponde ao centro do corte, o qual não deve apresentar desvios de modo a que o corte seja realizado na posição correta, mantendo-se centrado e sem interferir na integridade das estruturas envolventes;
- A largura do corte à superfície (*top groove width*), que deve ser suficiente para a remoção do material ao longo da largura das *dicing streets*, mas tendo em consideração a dimensão da *keep out zone*;
- A *keep out zone*, que é a distância mínima que separa a zona termicamente afetada pelo calor gerado pelo *laser* de estruturas como *sealrings*, que delimitam a periferia dos *dies*;
- A largura inferior do corte (*bottom groove width*), a qual deve ser superior à largura da lâmina de corte utilizada no processo subsequente de *blade dicing*, tendo em conta possíveis desvios de *off-centering* de ambos os processos de *laser grooving* e *blade dicing*;
- A profundidade do corte (*groove depth*) deve ser ligeiramente superior à espessura do *metal stack*, garantindo que toda a profundidade das estruturas aí presentes é removida.

Salienta-se que a *keep out zone* deve ser suficiente para garantir a integridade das estruturas dos *dies* e, durante o corte, deve encontrar-se isenta de material fundido, o designado *recast*. O *recast* corresponde ao material afetado pelo *laser* que não é expelido do *groove* (zona em que o material é removido), ficando fundido nas suas paredes. O corte deve apresentar uma largura e profundidade suficientes para prevenir que, durante o processo de *blade dicing*, exista a colisão da lâmina com as camadas de material dielétrico *low-k* das paredes do *groove*.

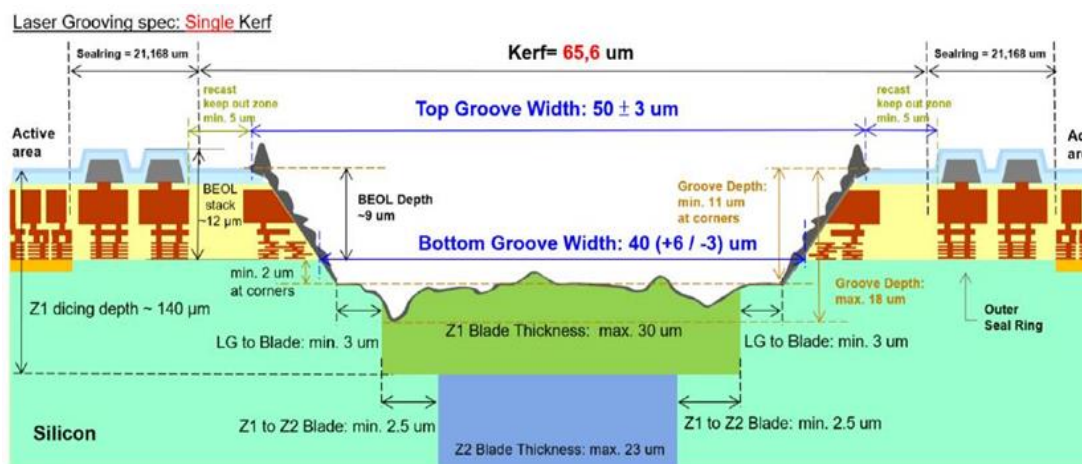


Figura 20 - Esquema representativo do corte em laser grooving e blade dicing

Na Tabela 7 estão apresentados os parâmetros descritos relativamente aos processos de preparação das *wafers* e a fase de desenvolvimento do produto em que cada parâmetro deve ser preenchido na *checklist* criada.

Tabela 7 - Parte da *checklist* relativa às especificações dos processos de preparação das *wafers*

PREPARAÇÃO DAS WAFERS	Fase 1	Fase 2
Espessura da <i>wafer</i> após <i>grinding</i> (µm)		X
Há <i>test patterns</i> nas <i>streets</i> ?		X
Há <i>tilling</i> nas <i>streets</i> ?		X
Composição das estruturas metálicas das <i>dicing streets</i>	X	
Há <i>crackstops/sealrings</i> nas <i>streets</i> ?		X
Densidade metálica das <i>dicing streets</i>		X
Tipo de surfatante		X
Largura superior do <i>groove</i>		X
<i>Off-centering</i>		X
Largura inferior do <i>groove</i>		X
Profundidade do <i>groove</i>		X
<i>Keep out zone</i> mínima		X

De seguida, foram definidos os parâmetros do processo de reconstituição que irão constituir a *checklist* (Figura 21). Verificaram-se, mais uma vez, parâmetros importantes para todas as etapas e outros parâmetros específicos para os processos de *pick-and-place*, moldação e *debond*.

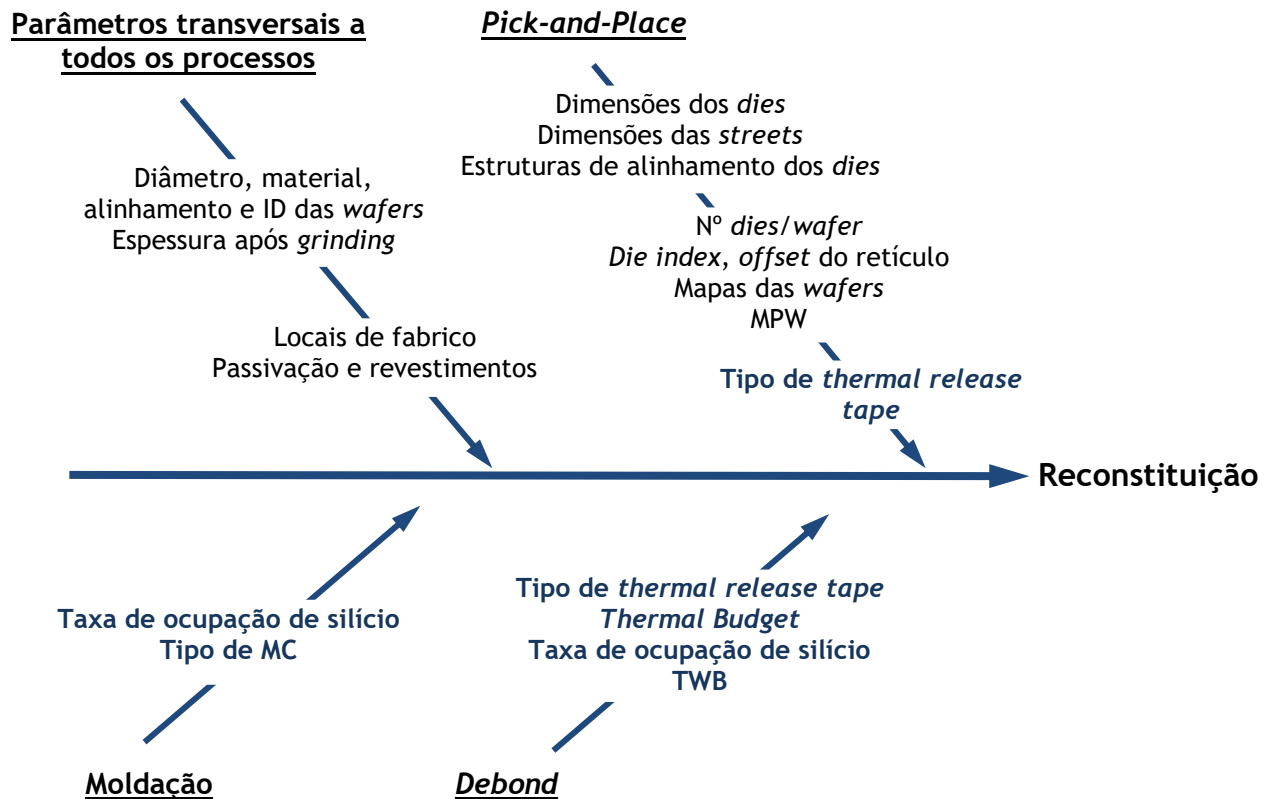


Figura 21 - Parâmetros relativos à etapa de reconstituição

Em *lamination*, previamente ao processo de *pick-and-place*, é aplicada uma película adesiva de dupla face (TRT). Esta poderá ser selecionada mediante o estudo das propriedades superficiais dos *dies*, tendo em conta que existem dois tipos de TRT geralmente aplicadas, uma de baixa adesão e outra de alta adesão. A escolha irá depender do tipo de revestimentos ou camadas de passivação existentes e da sua composição, sendo essencial garantir uma boa adesão e estabilidade química. Deste modo, poderá prevenir-se que ocorram defeitos nos processos de *pick-and-place* e de moldação, como *die shift* ou *flying dies* (arrancamento dos *dies* da sua posição), resultantes da má adesão entre os materiais.

Outro parâmetro essencial para o desenvolvimento dos processos de reconstituição é a taxa de ocupação de silício na *wafer*. Esta está relacionada com a quantidade de *dies* que ocupam uma *wafer* relativamente ao *mold compound*. Uma *wafer* com uma maior quantidade de *dies* e com menos espaçamento entre si apresentará uma taxa de ocupação de silício superior. Este valor, expresso em percentagem, irá influenciar as temperaturas utilizadas no processo de *debond* para remoção do *mold carrier* e da TRT. Como a TRT apresenta uma adesão dissimilar relativamente aos *dies* e ao *mold compound*, a temperatura necessária para causar a sua separação é diferente e deverá ser adaptada à quantidade relativa de *dies* e *mold compound* presente numa *wafer* reconstituída.

A taxa de ocupação de silício influencia, ainda, a escolha de tipo de *mold compound*. Existem dois tipos de *mold compound* atualmente utilizados na ATEP, o MC-A e o MC-B, que diferem nas dimensões dos *fillers*. Os *fillers* são compostos por sílica, apresentando uma forma esférica. O MC-A é composto por *fillers* com um diâmetro médio de 12  $\mu\text{m}$  e um diâmetro máximo de 55  $\mu\text{m}$ , enquanto que o MC-B é composto por *fillers* com um diâmetro médio de 22  $\mu\text{m}$  e um diâmetro máximo de 75  $\mu\text{m}$ . Apesar da diferença entre diâmetros dos dois *fillers* não ser muito elevada, a escolha entre ambos poderá depender do número de *dies* e da distância entre *dies* nas *wafers* reconstituídas e, conseqüentemente, da taxa de ocupação de silício. Uma distância muito reduzida poderá levar à utilização do MC-A, que possui *fillers* mais pequenos. Assim, durante o processo de moldação por compressão, o espalhamento do *mold compound* sobre os *dies* e a sua penetração nas *dicing streets* será facilitada, podendo prevenir-se a incorporação de bolhas de ar devido à falta de preenchimento por parte do *mold compound*.

Tal como já foi explicado, *wafers* com espessuras muito reduzidas apresentam um comportamento mais frágil, tendo uma maior tendência a fraturar durante o processo de *packaging*. Assim, na etapa de *debond*, as *wafers* reconstituídas poderão ser fixadas a um suporte TWB; caso seja necessária a sua utilização, esta deve ser indicada. O TWB é relevante, também, nos processos de litografia, uma vez que apenas alguns equipamentos de exposição a radiação UV são capazes de processar *wafers* com TWB.

O *thermal budget* é o efeito acumulado dos ciclos térmicos impostos durante todo o processo de *packaging* num produto (nas etapas de *foil anneal*, moldação, cura do MC, *debond*, desidratação, cura dos dielétricos e SBA). As principais etapas a ter em atenção pela aplicação de temperaturas mais elevadas são o *debond*, a cura dos dielétricos e a SBA. As temperaturas elevadas aplicadas nestas etapas podem comprometer a integridade e desempenho dos materiais constituintes de um produto. Caso exista um limite de temperatura a utilizar, este deverá ser definido na *checklist* para que se possa adaptar o fluxo produtivo ou até os materiais que são utilizados no processo.

Na Tabela 8 estão apresentados os parâmetros descritos relativamente ao processo de reconstituição e à fase de desenvolvimento do produto em que cada parâmetro deve ser preenchido. Constatou-se que os parâmetros relativos ao tipo de TRT e ao tipo de MC deverão ser definidos internamente, após um estudo detalhado das características do produto. Estas são especificações que dependem diretamente de outros parâmetros selecionados pelo cliente e existentes na *checklist*, cuja escolha deverá depender de experiências e testes efetuados durante o desenvolvimento do produto.

Tabela 8 - Parte da checklist relativa às especificações dos processos de reconstituição

RECONSTITUIÇÃO	Fase 1	Fase 2
Tipo de <i>thermal release tape</i>	Interno	
<i>Thermal Budget</i>	X	

Taxa de ocupação de silício (%)	X	
Composição do <i>mold compound</i>	Interno	
<i>Temporary Wafer Bonding</i> (TWB)	X	

A área RDL do processo de *packaging* compreende todos os processos de redistribuição, contemplando várias subáreas: *dry*, litografia e *wet*. Na subárea *Dry* são realizados diferentes processos de cura e processos que envolvem a utilização de plasma, nomeadamente processos de limpeza e de deposição da *seed layer* por *sputtering*. Na Figura 22 estão representados os parâmetros necessários no desenvolvimento destes processos.

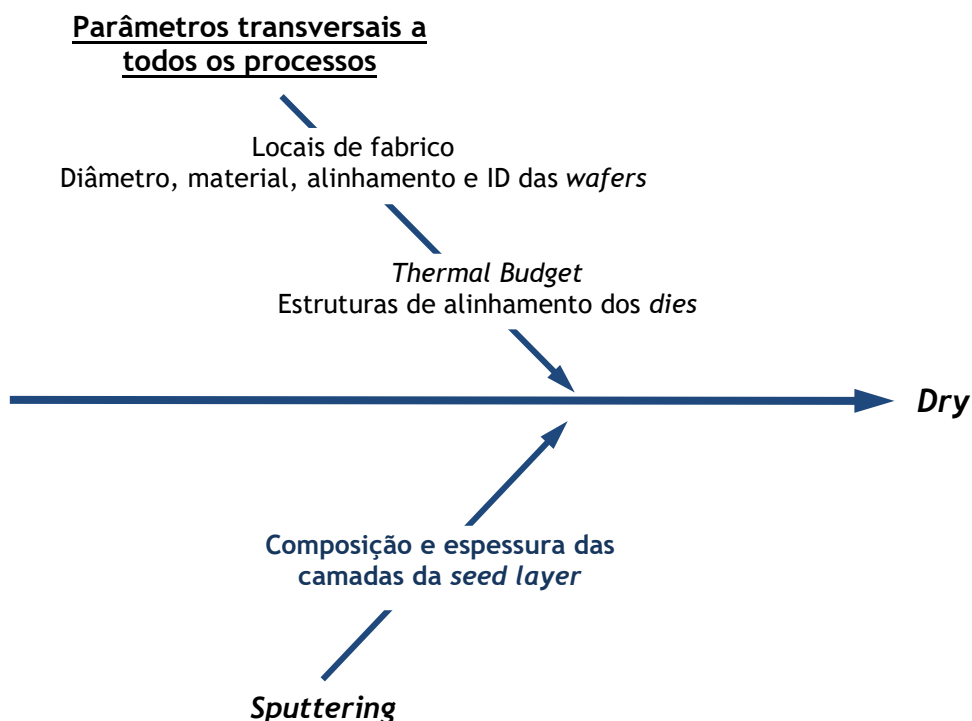


Figura 22 - Parâmetros críticos para o desenvolvimento dos processos *Dry*

A *seed layer* é constituída por duas camadas metálicas, sendo a primeira geralmente composta por TiW ou Ti e a segunda por Cu. A composição e espessura destas camadas deve ser definida na *checklist* não só para desenvolver os parâmetros do processo de *sputtering*, mas também para definir os parâmetros do processo *wet etch*, no qual o excesso da camada de *seed layer* é removido. Na Tabela 9 estão apresentados os parâmetros requeridos relativamente aos processos *dry* que constituem a *checklist* criada e a respetiva fase de desenvolvimento do produto em que cada parâmetro deve ser preenchido.

Tabela 9 - Parte da checklist relativa às especificações dos processos dry

DRY	Fase 1	Fase 2
Composição da <i>seed layer</i>		X
Espessura da camada Ti/TiW ( $\mu\text{m}$ )		X
Espessura da camada de Cu ( $\mu\text{m}$ )		X

Para a subárea de litografia foram definidos os parâmetros apresentados no esquema da Figura 23. Neste, estão explanados vários tipos de parâmetros: alguns mais gerais do processo de *packaging*, mas também essenciais para a litografia, parâmetros mais específicos das estruturas construídas em litografia e dos equipamentos utilizados, parâmetros relativos ao desenho das máscaras e parâmetros relativos à seleção do tipo de materiais depositados.

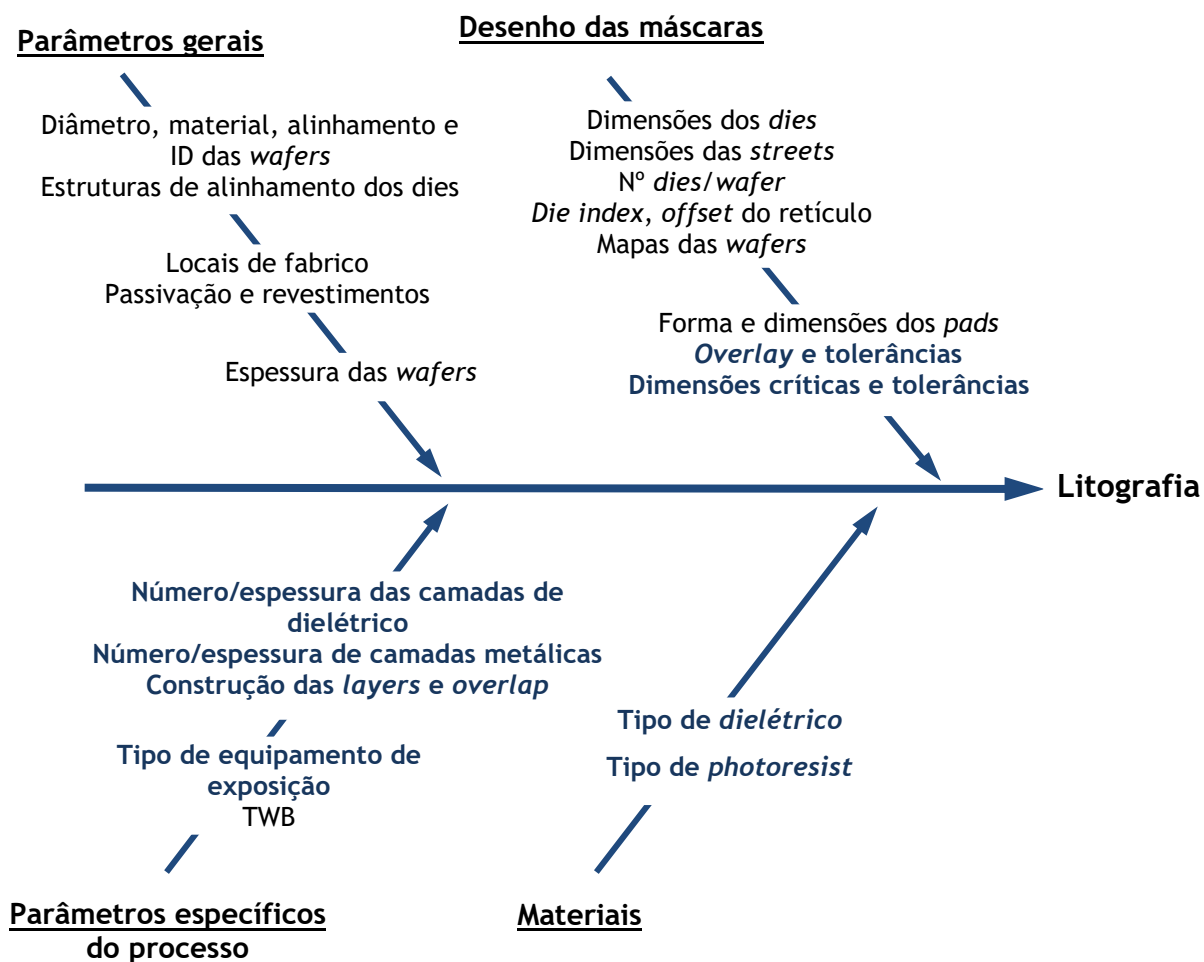


Figura 23 - Parâmetros críticos para o desenvolvimento do processo de litografia

Nos processos de litografia é necessário selecionar os tipos de materiais utilizados, ou seja, o tipo de *photoresist* e o tipo de dielétrico, definindo se estes são positivos ou negativos. A escolha de *photoresists* ou de dielétricos (positivos ou negativos) irá influenciar o desenho das máscaras utilizadas. A sua composição irá definir vários parâmetros do processo de litografia como, por exemplo, a intensidade de radiação UV e o tempo necessário na sua exposição, o *developer* mais adequado, o seu tempo de cura e a temperatura de cura.

Deve, ainda, ser indicado o número de camadas de dielétrico e de camadas metálicas (RDLs e/ou UBM) que se deseja incluir no produto. Para além disso, devem ser especificadas as espessuras pretendidas para essas mesmas camadas, bem como as respetivas tolerâncias. Deverá ser definido o esquema relativo à construção das camadas e o seu *overlap*, mostrando as secções transversais do produto, com a representação do desenho da sobreposição das várias camadas de dielétrico incluídas no *package*.

A *checklist* inclui, também, um parâmetro para definição do tipo de equipamento utilizado na etapa de *expose*. Existem três equipamentos disponíveis, tendo cada um deles ferramentas distintas, adequadas ao processamento de determinados tipos de produtos. Por exemplo, quando se trata de uma TWB, um dos equipamentos não pode ser utilizado.

Para o desenho das máscaras de litografia, são também necessárias as informações apresentadas na Tabela 10: as dimensões críticas e o *overlay*. As máscaras de litografia protegem o produto, em certas regiões, da radiação a que o mesmo é exposto, desenvolvendo um padrão na sua superfície. Este padrão é composto por várias aberturas que irão definir o desenho das camadas metálicas posteriormente desenvolvidas. As designadas dimensões críticas estabelecem as dimensões dessas aberturas. O *overlay* é definido pela diferença entre as posições dos centros de uma abertura de uma camada de dielétrico e de uma dada estrutura. A sua medição visa avaliar o alinhamento de cada etapa de litografia; é efetuada após a criação de cada camada de dielétrico e após a criação das camadas metálicas por eletrodeposição. Todas estas medições devem ser definidas com as respetivas tolerâncias e serão confirmadas, durante o processo, através de testes de metrologia. Na Figura 24 está apresentado um exemplo de uma medição de *overlay* entre um *pad* e uma abertura do dielétrico DL1.

Tabela 10 - Dimensões críticas e overlays a definir na checklist

<b>Dimensões críticas (µm)</b>	Largura das vias onde serão depositadas camadas metálicas/ espaçamento entre as vias
	Diâmetro dos <i>pads</i>
	Diâmetro da abertura de DL1
	Diâmetro da abertura para a UBM
<b>Overlay (µm)</b>	DL1 ao <i>pad</i> de <i>front-end</i>
	RDL1 à abertura de DL1

	DL2 à abertura de RDL1
	UBM à abertura de DL2

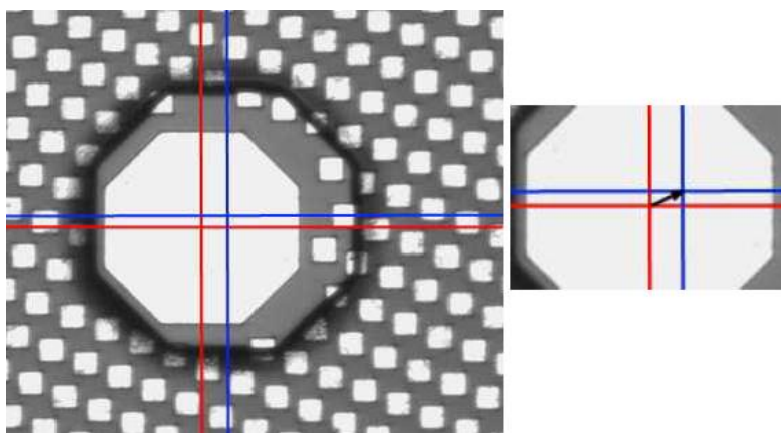


Figura 24 - Medição de overlay entre um pad e uma abertura do dielétrico DL1

Na Tabela 11 estão apresentados os parâmetros requeridos relativamente aos processos de litografia e a respetiva fase de desenvolvimento do produto em que cada parâmetro deve ser preenchido. Constatou-se que o parâmetro que define o tipo de dielétrico e de *photoresist* deverá ser estabelecido internamente após o estudo do produto e do processo mais adequado para o seu fabrico.

Tabela 11 - Parte da checklist relativa às especificações dos processos de litografia

LITOGRAFIA	Fase 1	Fase 2
Tipo de dielétrico e <i>photoresist</i>	Interno	
Número de camadas de dielétrico	X	
Número de camadas metálicas	X	
Espessura e tolerâncias das camadas DL1/DL2 ( $\mu\text{m}$ )		X
Construção das camadas/ <i>overlap</i>	X	
Tipo de equipamento de exposição	X	
Dimensões críticas e tolerâncias ( $\mu\text{m}$ )	X	
<i>Overlay</i> e tolerâncias ( $\mu\text{m}$ )	X	

A subárea *Wet* envolve os processos de eletrodeposição para a construção das camadas metálicas - RDLs e/ou UBM - e processos de *wet etch*, destinados a remover o excesso de



*seed layer* e *photoresist* através de reagentes químicos. Assim, foram definidos os parâmetros críticos para a definição destes processos, apresentados na Figura 25.

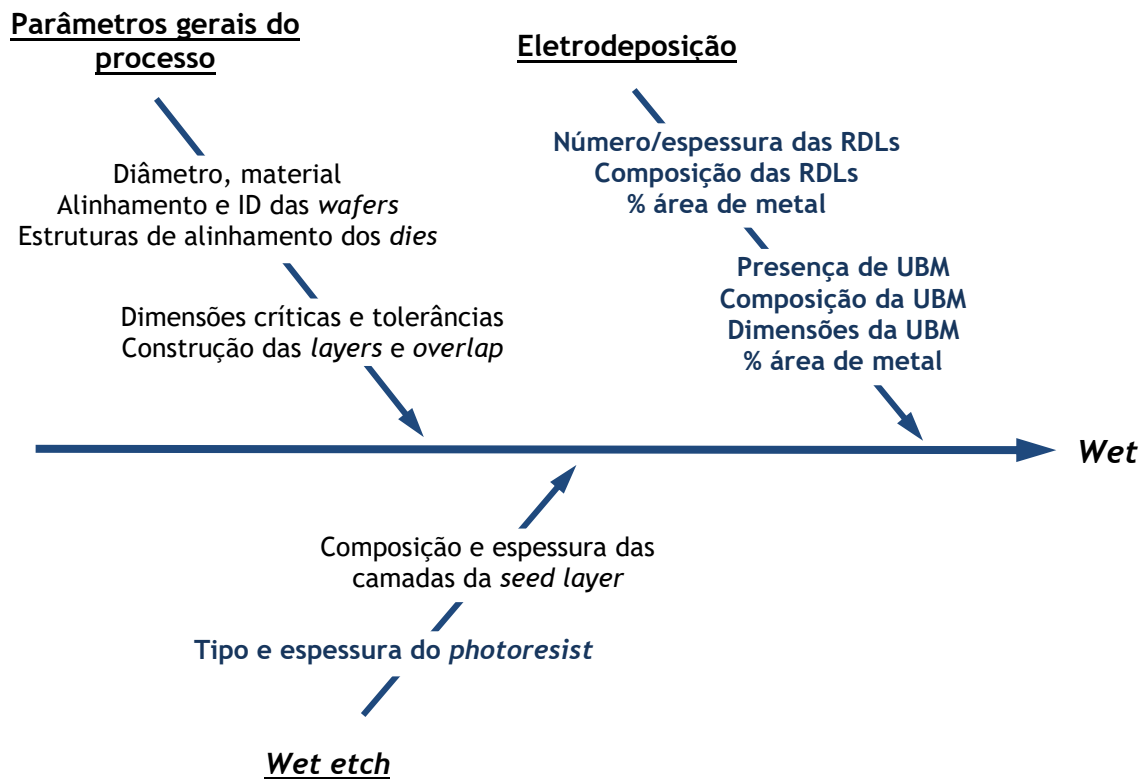


Figura 25 - Parâmetros críticos para o desenvolvimento dos processos wet

Para o desenvolvimento do processo de *wet etch* é necessário conhecer a composição e espessuras das camadas que compõem a *seed layer*, tal como já foi mencionado, mas também a composição e espessura das camadas de *photoresist*. Para o desenvolvimento dos processos de eletrodeposição é essencial conhecer os parâmetros relativos às estruturas que são construídas - RDLs e UBM.

Relativamente às RDLs, tem de ser definido o número de camadas a construir, a sua composição química, a sua espessura e a fração metálica que cada uma das RDLs ocupa na área total da *wafer*. Geralmente, o material selecionado para construir as RDLs é o cobre, devido às suas excepcionais propriedades elétricas. Contudo, mediante a aplicação a que o produto se destina, poderão ser selecionadas outras ligas metálicas, por exemplo: ligas de cobre, níquel e ouro, ligas de cobre e níquel, ligas de cobre e ouro ou ligas de níquel e ouro.

Um produto pode incluir, ou não, UBMs na sua estrutura. Em caso afirmativo, deve ser definida a sua composição química, a sua espessura e a fração metálica que ocupa na área total da *wafer*. A presença de uma UBM num produto tem como objetivo providenciar suporte às bolas de solda, as quais serão colocadas à sua superfície. A UBM assegura uma ligação mais resistente às bolas de solda que uma RDL, permitindo, também, uma ligação

mais resistente das bolas às PCBs. Deste modo, a construção de UBMs melhora a fiabilidade de um produto e a *Board Level Reliability* (BLR). Falhas de fiabilidade num *package* sem UBM ocorrem, habitualmente, na forma de fraturas nas bolas de solda ou até na última camada de RDL. Por outro lado, num *package* com UBM as fraturas ocorrem, geralmente, na camada de intermetálicos formada na interface entre a UBM e as bolas de solda, protegendo-se a última camada de RDL. A escolha da liga metálica constituinte da UBM é seleccionada mediante a finalidade do produto e dos seus requisitos de fiabilidade. A composição mais habitual é o cobre, havendo outras escolhas recorrentes para aplicações em que a ductilidade da ligação seja um fator importante, como: níquel, ligas de níquel e ouro e ligas de níquel, cobre e ouro.

Na Tabela 12 estão apresentados os parâmetros requeridos relativamente aos processos *wet* e a respetiva fase de desenvolvimento do produto em que cada parâmetro deve ser preenchido.

Tabela 12 - Parte da checklist relativa às especificações dos processos *wet*

<i>WET</i>	Fase 1	Fase 2
Número de camadas RDL	X	
Composição das camadas RDL	X	
Espessura das camadas RDL ( $\mu\text{m}$ )	X	
% Área metálica que cada RDL ocupa	X	
Presença de UBM	X	
Composição da UBM	X	
Espessura da UBM ( $\mu\text{m}$ )	X	
% Área metálica que a UBM ocupa	X	

Para o processo de LBS foram definidos os parâmetros apresentados no esquema da Figura 26. Estes incluem parâmetros gerais do processo, parâmetros relativos às bolas de solda, parâmetros relacionados com o *package* que influenciam o desenvolvimento do processo de SBA, parâmetros relativos à marcação *laser* e ao embalamento dos produtos.



bem como um aumento da sua resistência mecânica [23, 43]. A composição da liga de solda selecionada deve, portanto, ser indicada na *checklist*. A sua escolha está relacionada com os requisitos de fiabilidade do produto e com a aplicação a que se destina. A composição irá, no processo SBA, influenciar os parâmetros do *reflow*, como a escolha do fluxo, as temperaturas utilizadas, os tempos de estágio e as velocidades de aquecimento e arrefecimento.

Na *checklist* estão também incluídos parâmetros relativos aos *bumps*, ou seja, os locais onde as bolas de solda são colocadas. Estes, frequentemente, correspondem à base da UBM. Deverá, então, ser indicada a distância mínima entre *bumps* dentro de cada *die* e a distância mínima entre *bumps* através das *dicing streets*. Deve, ainda, ser especificada a altura, diâmetro e forma dos *bumps*. Geralmente, estes possuem uma forma circular, mas em certos casos, poderão apresentar outros tipos de formas, dependendo da aplicação e dos requisitos de fiabilidade do produto. Todos estes parâmetros são relevantes para o desenho das estruturas construídas no *package*, influenciando os desenhos das máscaras de litografia e dos *stencils* utilizados em SBA.

Para os processos de marcação e embalamento deverá ser indicado se se pretende realizar a gravação a *laser* da identificação do produto em cada unidade. Em caso afirmativo deverá indicar-se as dimensões dos caracteres a inserir, a profundidade da marcação laser e a localização da marcação. As unidades são embaladas para poderem ser enviadas de forma segura ao respetivo cliente. Existem vários métodos de embalamento, sendo os mais comuns o *tray*, *tape and reel* e *wafer*. O *tray* consiste numa caixa plástica retangular com aberturas adequadas para suportar as unidades após singularização; o *tape and reel* é composto por uma fita com aberturas para as unidades singularizadas, a qual é embalada na forma de um rolo; em *wafer*, as unidades são enviadas para o cliente sem terem sido sujeitas ao processo de singularização, ou seja, são enviadas as *wafers* reconstituídas. O método escolhido deverá ser indicado na *checklist*.

Na Tabela 13 estão apresentados os parâmetros requeridos relativamente aos processos LBS e a respetiva fase de desenvolvimento do produto em que cada parâmetro deve ser preenchido.

Tabela 13 - Parte da *checklist* relativa às especificações dos processos LBS

LBS	Fase 1	Fase 2
Número de bolas de solda/ <i>package</i>	X	
Diâmetro original das bolas de solda ( $\mu\text{m}$ )	X	
Largura e altura das bolas de solda após <i>reflow</i> ( $\mu\text{m}$ )		X
Composição das bolas de solda		X
Mínima distância entre <i>bumps</i> ( $\mu\text{m}$ )	X	
Altura do <i>bump</i> ( $\mu\text{m}$ )	X	

Diâmetro e forma da base do <i>bump</i> ( $\mu\text{m}$ )	X	
Marcação <i>laser</i>		X
Dimensão dos caracteres ( $\mu\text{m}$ )		X
Profundidade da marcação		X
Local da marcação		X
Método de embalagem	X	

Definidos todos os parâmetros que constituem a *checklist* e após a determinação da fase de desenvolvimento do produto em que devem ser preenchidos, foram construídos dois documentos, cada um destinado a cada uma das fases mencionadas (ver Anexo A e Anexo B). Constata-se que os parâmetros da primeira fase da *checklist* constituem informações essenciais para o desenvolvimento de um novo produto e irão influenciar a determinação dos restantes parâmetros. A segunda fase da *checklist* é composta por especificações que dependem de outros parâmetros já estabelecidos e que só podem ser definidas pela ATEP, em conjunto com o cliente, após um estudo detalhado da informação recolhida na primeira fase. Outros parâmetros que não estejam contidos na *checklist* devem ser determinados internamente, após um processo complexo de pesquisa e experimentação, como o que ocorreu com um novo produto que é demonstrado no ponto 4 deste trabalho.

A *checklist* criada é uma ferramenta simples e intuitiva que permitirá facilitar o processo de desenvolvimento de um novo produto através da definição prévia, junto ao cliente, de todas as suas características essenciais. Esta permitirá realizar uma avaliação de riscos detalhada para, numa fase futura, o produto ser produzido na ATEP com extrema qualidade. A *checklist* deverá ser implementada e o seu impacto no processo de desenvolvimento de novos produtos da ATEP deverá ser avaliado.

## 4. CARACTERIZAÇÃO DE PRODUTO EM FASE DE DESENVOLVIMENTO

Numa situação real de desenvolvimento de um novo produto, a *checklist* servirá como ponto de partida para a ATEP definir as suas características, o seu fluxo produtivo e as suas condições de processamento. Todos esses fatores serão definidos através de um estudo detalhado do comportamento do produto no processo, do seu desempenho, funcionalidade e fiabilidade. De modo a exemplificar o tipo de estudo e avaliação que permite definir cada ponto da *checklist* e dar continuidade ao desenvolvimento de um novo produto, será explanada uma situação específica do desenvolvimento e caracterização de um novo produto. Primeiramente, será exposta a descrição do produto, do seu fluxo produtivo e da fase de desenvolvimento em que se encontra.

O produto em questão é baseado na tecnologia FOWLP criada pela empresa Freescale, a RCP - *Redistributed Chip Package*. A principal característica que distingue a RCP das restantes tecnologias FOWLP é a incorporação no *package* de *embedded ground planes* (EGPs). Os EGPs são chapas retangulares com um padrão em rede compostas por cobre, tendo sido desenvolvidas para permitir uma conexão elétrica para outros componentes presentes num dado dispositivo eletrónico. Para além disso, possibilitam uma superior dissipação de calor, a melhoria do desempenho elétrico do produto e o aumento da sua robustez mecânica [9, 44]. Graças à flexibilidade do processo eWLB e da sua capacidade de integração heterogénea, é possível a incorporação de EGPs num *package* eWLB sem recorrer à tecnologia RCP. O fluxo produtivo eWLB utilizado para processar este produto (sumarizado na Figura 27) difere da tecnologia RCP em alguns aspetos. Um deles é o modo de colocação dos EGPs no *package*. No RCP estes são colocados na forma de *leadframes* intactas, enquanto que no processo eWLB adotado estas são cortadas em unidades e os EGPs são colocados nas *wafers* individualmente durante o processo de *pick-and-place*. Deste modo, os EGPs incorporam o *package* na forma de molduras de cobre individuais, rodeando cada um deles um *die*. Após os processos de *pick-and-place* e *foil anneal*, o conjunto é sujeito ao processo de moldação para o seu encapsulamento com *mold compound* (MC). Seguem-se os processos de *debond* e *wafer round*, obtendo-se uma *wafer* reconstituída. Seguem-se as etapas habituais do processo eWLB: redistribuição e LBS - ligação das bolas de solda, *laser* e singularização.

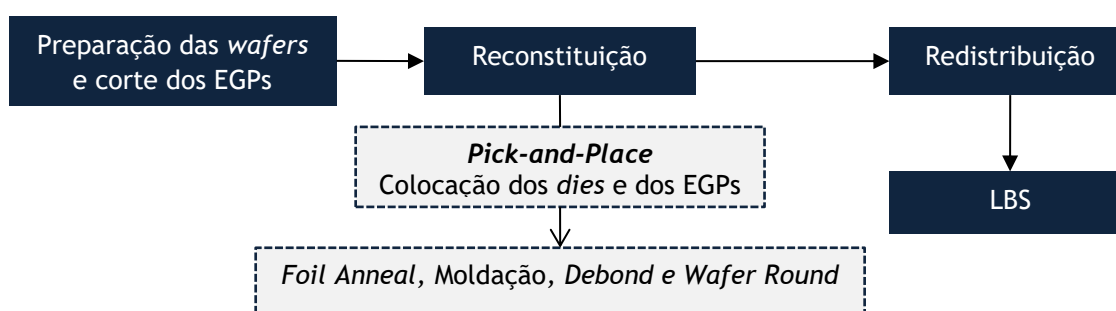


Figura 27 - Fluxo produtivo do produto com EGPs

No fim do processo obtém-se um *package* com uma estrutura, em secção transversal, semelhante à apresentada na Figura 28.

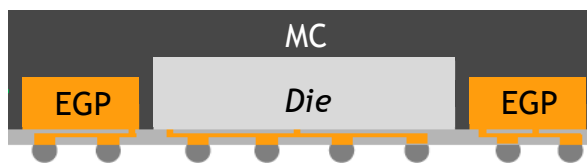


Figura 28 - Estrutura, em secção transversal, de um package com EGPs incorporado

Na fase inicial de desenvolvimento deste produto foi avaliada a adesão dos EGPs ao MC após as etapas de reconstituição das *wafers*, verificando-se a existência de delaminações entre EGPs e o MC. Numa tentativa de resolver esse problema, criou-se rugosidade na superfície dos EGPs por eletrodeposição de cobre. Neste produto foi necessário avaliar o efeito da rugosidade criada na adesão entre os componentes e estudar o impacto da oxidação progressiva dos EGPs no produto. Ao longo deste capítulo será apresentado este estudo: no subcapítulo 4.1 será exposto um enquadramento teórico baseado na revisão bibliográfica dos principais conceitos que sustentam o estudo; de seguida, no subcapítulo 4.2 apresentar-se-á o procedimento experimental efetuado; por fim, nos subcapítulos 4.3 e 4.4 serão expostos os respetivos resultados e as conclusões.

#### 4.1. ENQUADRAMENTO TEÓRICO

Uma das características fundamentais de um *package* para garantir o correto funcionamento do IC é a adesão adequada entre os vários componentes que o constituem. Uma adesão deficiente entre os diferentes componentes pode comprometer a integridade física do *package* e causar delaminações, promovendo a entrada de humidade. Esta poderá levar à corrosão das estruturas e à indução de tensões internas, originando fissuras e a perda de integridade do *package* (o designado efeito *popcorn*) comprometendo a sua funcionalidade [45, 46].

Para a análise detalhada dos modos de falha de um *package* relativos à adesão entre os seus componentes é necessária uma compreensão dos mecanismos de adesão e dos fenómenos interfaciais que os regem. O conceito de adesão está relacionado com a tendência de partículas ou superfícies dissimilares criarem uma ligação. Embora não haja consenso na sua definição, várias teorias foram já mencionadas relativamente aos mecanismos que permitem a adesão, nomeadamente: as ligações moleculares, o acoplamento mecânico e a teoria termodinâmica da adesão. A adesão implica a criação de uma interface, independentemente do mecanismo [47, 48].

As ligações moleculares representam o mecanismo mais consensual para explicar a adesão entre duas superfícies em contacto e incluem tanto ligações físicas como ligações

químicas. Estas ligações são resultantes de forças intermoleculares como as forças de *Van der Waals*, as pontes de hidrogénio, interações dipolo-dipolo e interações químicas - ligações iónicas, covalentes e metálicas. Já o modelo do acoplamento mecânico propõe que o principal mecanismo de adesão advém da interligação mecânica de um material às irregularidades superficiais do outro. Deste modo, propõe-se uma relação linear entre a força de adesão e a rugosidade ou porosidade superficial desde que, pelo menos, a energia superficial permaneça inalterada e a molhabilidade entre as duas superfícies seja suficiente. Neste caso, a adesão é favorecida, também, pelo aumento da área superficial total disponível para ligações intermoleculares [47, 48].

A teoria termodinâmica da adesão baseia-se no conceito de energia de superfície ( $\gamma$ ) e na sua relação com a molhabilidade de uma superfície. A energia de superfície é definida pelo aumento da energia livre de *Gibbs* num sistema por unidade de área superficial criada, sendo expressa em termos de energia por unidade de área ( $J/m^2$ ). Este valor pode ser estimado através da medição de ângulos de contacto de líquidos com polaridades diferentes. O ângulo de contacto ( $\theta$ ) de uma gota líquida numa superfície sólida é definida pelo equilíbrio mecânico da gota sob a ação de três tensões interfaciais, como representado na Figura 29 [49, 50].

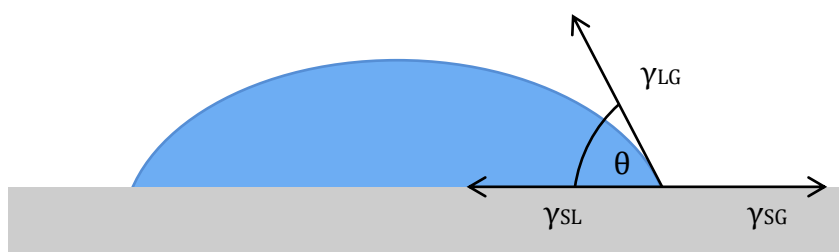


Figura 29 - Representação esquemática das tensões superficiais e ângulo de contacto num sistema de três fases (adaptado de [49])

Esta relação de equilíbrio é representada pela equação de Young (Equação 1):

$$\gamma_{SG} = \gamma_{SL} + \gamma_{LG} * \cos \theta \quad (1)$$

em que  $\gamma_{LG}$ ,  $\gamma_{SG}$  e  $\gamma_{SL}$  representam as tensões superficiais das interfaces líquido-gás, sólido-gás e sólido-líquido, respetivamente, e  $\theta$  corresponde ao ângulo de contacto [49, 50]. As interações resultantes do sistema de três fases já descrito e a medição do ângulo de contacto permitem determinar a molhabilidade de um sólido por um líquido. Esta é definida como a redução da energia de superfície sólido-gás por intermédio de um líquido, ou seja, ocorre a substituição de uma interface sólido-gás por uma interface sólido-líquido de menor energia. Se a energia de superfície da interface sólido-gás for maior do que a da interface sólido-líquido ( $\gamma_{SG} > \gamma_{SL}$ ), o lado direito da equação de Young é positivo, logo  $\cos \theta > 0$  e  $\theta < 90^\circ$ . Neste caso, o líquido molha o sólido parcialmente. Se a interface sólido-líquido for energeticamente menos favorável do que a interface sólido-gás ( $\gamma_{SG} < \gamma_{SL}$ ), então



$\cos \theta < 0$  e  $\theta > 90^\circ$  e considera-se que o líquido não molha o sólido. Verifica-se que o ângulo de contacto é uma medida inversa da molhabilidade [48, 50].

Partículas contaminantes, óxidos, porosidades ou rugosidade presentes numa superfície sólida tendem a aumentar o ângulo de contacto e, conseqüentemente, a diminuir a capacidade de um líquido molhar essa superfície [48, 50].

Compreendidos os conceitos de adesão, mecanismos de adesão e molhabilidade, constata-se que uma boa adesão entre estruturas de cobre como os EGPs e os restantes materiais do *package* é dependente da composição dos materiais envolvidos, das condições do processo de *packaging* (principalmente as que envolvem elevadas temperaturas) e da molhabilidade das estruturas de cobre (existência de contaminações nas superfícies, de rugosidade superficial e de oxidação da superfície do cobre). Para a otimização da adesão entre estruturas de cobre e o *mold compound* foram já estudados diferentes métodos: seleção adequada dos materiais constituintes - composição do *mold compound* e escolha da liga de cobre; limpeza das superfícies por processos de *wet etching*; criação de rugosidade superficial, de modo a induzir o acoplamento mecânico; oxidação controlada do cobre na superfície dos EGPs [51, 52].

A oxidação das superfícies do cobre dos EGPs pode influenciar o seu comportamento no *package*, nomeadamente a sua adesão aos componentes envolventes e as características elétricas do produto. A análise da camada de óxidos de cobre formada na superfície de *leadframes* foi já realizada em vários estudos, relativamente aos tipos de óxidos formados, ao seu rácio, à espessura da camada, à sua adesão ao *mold compound* e influência na funcionalidade do produto [51-54].

A formação da camada de óxidos de cobre realiza-se em dois estágios, representados sequencialmente na Figura 30. Inicia-se com a formação rápida de óxido de cobre ( $\text{Cu}_2\text{O}$ ) e segue-se a formação lenta de óxido de cobre II ( $\text{CuO}$ ), através da difusão de oxigénio a partir da primeira camada de óxido [52, 53, 55]:

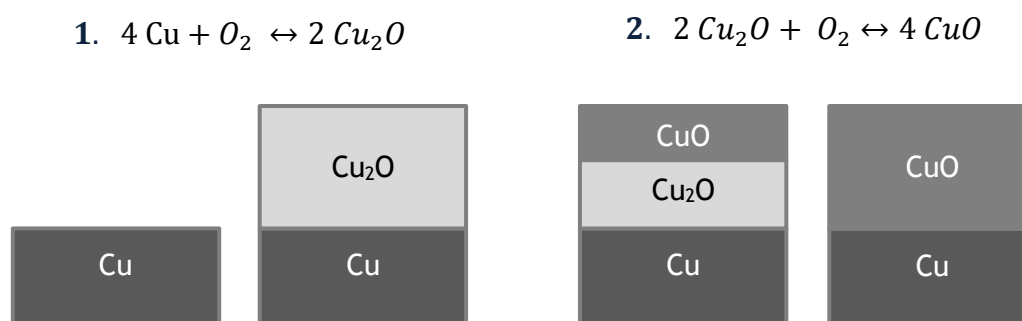


Figura 30 - Estágios de formação de óxidos de cobre (adaptado de [55])

Segundo vários autores [51-53], uma fina camada do óxido  $\text{Cu}_2\text{O}$  aumenta a adesão entre o *mold compound* e as estruturas de cobre, tendo sido já recomendada uma espessura ideal de cerca de 20 a 30 nm de óxido. Após a máxima adesão atingida com a

oxidação, a mesma diminui com o aumento da espessura da camada de óxidos. O aumento inicial da adesão é justificado pelas alterações da topografia da superfície, uma vez que se verifica um aumento da rugosidade com o crescimento da camada de óxidos. A perda de adesão entre o *mold compound* e estruturas de cobre ocorre com o aumento da oxidação, sendo aliada à fragilidade do CuO, à sua morfologia e à sua densidade distinta relativamente ao Cu<sub>2</sub>O. Com o aumento do crescimento da camada de óxidos e da perda de adesão verifica-se um aumento do ângulo de contacto, ou seja, uma menor molhabilidade.

Chao *et al.* [52] estudaram a adesão entre um *mold compound* e *leadframes* de cobre, cuja superfície foi alterada com o objetivo de aumentar a sua rugosidade por processos de eletrodeposição de cobre e de *micro-etching*. Os seus resultados mostraram que: quando o óxido Cu<sub>2</sub>O se forma na superfície do cobre, a sua adesão ao *mold compound* diminui com o aumento da espessura da camada de óxido. No entanto, com a formação de CuO e desaparecimento total da camada de Cu<sub>2</sub>O a adesão melhorou. Uma explicação possível para tal é a morfologia acicular do óxido CuO que induz a ancoragem mecânica entre ambos, melhorando a adesão. Neste estudo verificaram, ainda, que o aumento da temperatura e o aumento do tempo de exposição induzem a formação de CuO a partir do Cu<sub>2</sub>O até ao esgotamento total da camada de Cu<sub>2</sub>O.

A oxidação progressiva das superfícies dos EGPs pode, também, influenciar negativamente o comportamento elétrico de um produto. Na interface de contactos elétricos constituídos por um metal de elevada condutividade elétrica, como é o caso do cobre dos EGPs, as superfícies em contacto são tipicamente revestidas por óxidos ou por outras camadas isoladoras. A interface torna-se apenas condutora de eletricidade quando são produzidos pontos de contacto metal-metal, ou seja, quando esses filmes são quebrados ou deslocados. Deste modo, as linhas de corrente elétrica tornam-se distorcidas na interface dos contactos elétricos, levando a uma constrição da passagem da corrente elétrica. A resistência total da interface constituída por essa constrição à passagem de corrente e pela resistividade elétrica dos filmes que se encontram nas superfícies determinam a resistência de contacto ( $R_c$ ) da interface [56-58].

Para o máximo desempenho dos dispositivos eletrónicos, os seus contactos elétricos devem apresentar uma  $R_c$  mínima. Assim, o desenvolvimento de ICs implica a realização de medições de  $R_c$  e o estudo de soluções que visem a sua minimização. Verifica-se que a precisão das medições de  $R_c$  depende do método de medição aplicado. Contudo, a melhoria da sua precisão, principalmente na medição de valores de  $R_c$  reduzidos, mantém-se um desafio latente na indústria de semicondutores. Atualmente, a técnica mais aplicada para realizar estas medições é a *four-point probe* (ou teste *Kelvin*) a qual, através da utilização de quatro sondas (em vez de duas, como no método mais antigo), é capaz de reduzir a resistência parasítica relacionada com a resistência das próprias sondas e dos contactos entre sondas e *pads* de teste [57, 59]. No entanto, verifica-se ainda que a  $R_c$  medida depende fortemente da localização geométrica dos fios de sonda [60].

A oxidação das superfícies dos contactos metálicos é considerada o mecanismo mais severo de degradação da passagem de corrente elétrica. No caso do cobre, foi

demonstrado que, na presença de atmosferas que contêm oxigênio, a oxidação progressiva dos contatos metálicos pode causar um rápido aumento da sua  $R_c$  para um valor muito mais elevado [58]. Yang *et. al* [61] estudaram um tratamento da superfície de dois elétrodos de cobre com ácido fórmico, visando atingir uma ligação resistente e a mínima  $R_c$  possível na interface após a sua ligação a uma temperatura de 200 °C. O objetivo é a eliminação dos óxidos de cobre das superfícies, minimizando as constrições de passagem de corrente elétrica na interface da ligação. Este estudo teve sucesso, tendo-se atingido uma  $R_c$  média de 0,17 mΩ, o que representa um valor desejável - um valor muito reduzido.

## 4.2. PROCEDIMENTO

A caracterização do produto teve dois principais objetivos: (1) avaliar a adesão dos EGPs com rugosidade induzida por eletrodeposição de cobre ao MC e à camada de dielétrico DL1 do produto; (2) avaliar a oxidação progressiva dos EGPs e o seu impacto no comportamento do produto. Para tal, foram seguidas as metodologias apresentadas na Figura 31.

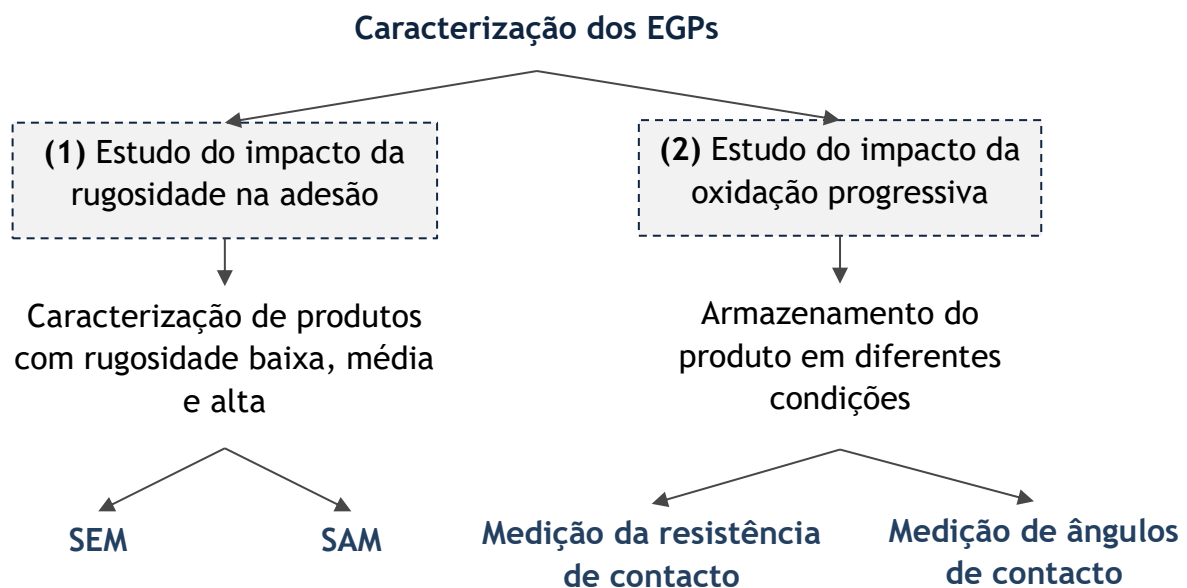


Figura 31 - Metodologias utilizadas para a caracterização dos EGPs

### 4.2.1. Estudo do impacto da rugosidade na adesão dos EGPs

Para a avaliação da adesão dos EGPs aos componentes do produto foram utilizadas *wafers* com EGPs provenientes de três lotes distintos. A cada lote corresponde um nível de rugosidade diferente: rugosidade baixa (I), média (II) e alta (III). Todas as *wafers* foram sujeitas a uma preparação composta por vários processos (Figura 32): inspeção visual, ciclo térmico, montagem em resina, polimento, *ion milling* e *sputtering*.

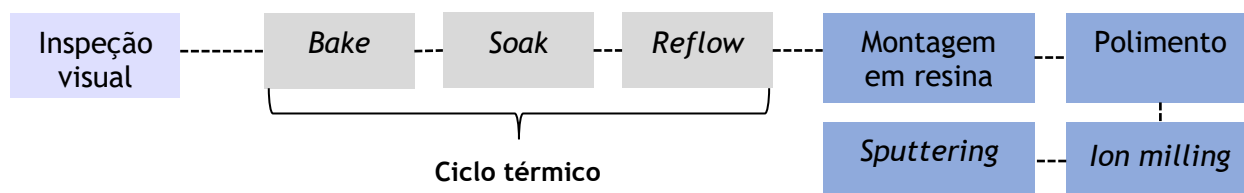


Figura 32 - Etapas de preparação das wafers para caracterização em SEM e SAM

A técnica de SEM foi utilizada para analisar três *wafers*, cada uma com um tipo diferente de EGP (I, II e III), processadas até à deposição da camada DL1. Para esta análise recorreu-se ao equipamento JEOL JSM-6490LV e utilizou-se um detetor de elétrons secundários. Nesta análise foram selecionadas três unidades em posições diferentes de cada *wafer*, visualizadas na Figura 33-a: *notch* (N), *anti-notch* (A) e centro (C). As unidades foram cortadas na posição representada pela linha vermelha apresentada na Figura 33-b, possibilitando a análise das suas secções transversais para avaliação da adesão nas interfaces MC-EGP e DL1-EGP.

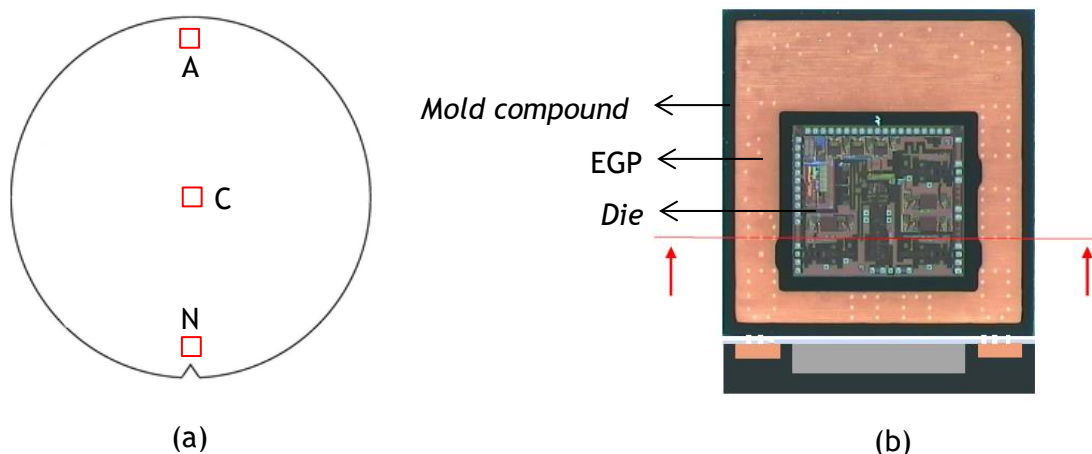


Figura 33 - (a) Posição das unidades em cada wafer; (b) posição, numa unidade, do corte efetuado para análise da secção transversal

A técnica de SAM foi aplicada com o objetivo de avaliar a presença de possíveis delaminações na interface entre *mold compound* e EGPs. Foram utilizadas três *wafers*, cada uma com um tipo diferente de EGP (I, II e III), desta vez processadas até à ligação das bolas de solda. A análise em cada *wafer* foi realizada nas mesmas posições que a análise realizada em SEM, apresentadas na Figura 33-a. A análise em SAM, efetuada no equipamento Sonoscan D-9000 c-SAM, recorreu a um transdutor ultrassónico de 75 MHz. O transdutor realizou um percurso sobre a superfície do *mold compound*, emitindo um pulso ultrassónico que, ao atingir a amostra (mergulhada em água), foi novamente refletido para o transdutor (Figura 34).

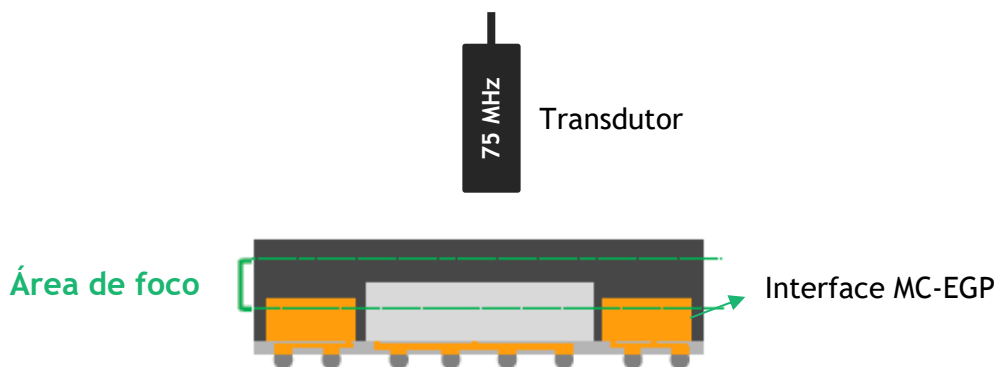


Figura 34 - Área de foco nas medições efetuadas por SAM

#### 4.2.2. Estudo do impacto da oxidação progressiva

A rugosidade induzida nas superfícies dos EGPs dificulta o estudo da sua oxidação progressiva e respetivo impacto no produto, bem como a sua observação direta, impedindo que técnicas como SEM, microscopia eletrónica de transmissão (*Transmission Electron Microscopy*, TEM) ou espectroscopia de fotoeletrões de raios-x (*X-Ray Photoelectron Spectroscopy*, XPS) permitam a sua correta caracterização. Assim, foi necessário procurar e testar métodos indiretos, de forma a proceder a uma compreensão detalhada da formação dos óxidos nas estruturas de cobre.

O impacto da oxidação no desempenho elétrico do produto foi avaliado através da medição da resistência de contacto na interface entre EGPs incorporados em *wafers* e a RDL construída no *package*. As *wafers* utilizadas - *wafer A* e *wafer B* - foram processadas até à etapa de *wet etching* do processo de redistribuição efetuada após a eletrodeposição da RDL. Para avaliar a oxidação dos EGPs ao longo do tempo e de acordo com as suas condições de armazenamento, foram incorporados, nas *wafers A* e *B*, EGPs mantidos em diferentes condições, apresentadas na Tabela 14. Todos os EGPs utilizados apresentavam o mesmo nível de rugosidade nas suas superfícies, induzida por eletrodeposição de cobre.

Tabela 14 - Condições de armazenamento de diferentes lotes de EGPs, incorporados nas *wafers A* e *B*

<b>Wafer</b>	<b>Condição de armazenamento</b>
<b>A</b>	Armário com atmosfera N <sub>2</sub>
	> 25 dias em armário sem N <sub>2</sub>
	> 50 dias em ambiente <i>cleanroom</i>
<b>B</b>	Armário com atmosfera N <sub>2</sub>
	> 50 dias em armário sem N <sub>2</sub>
	> 50 dias em ambiente <i>cleanroom</i>

Em cada *wafers*, os testes de resistência de contacto foram realizados em doze *dies* por EGP com condição de armazenamento diferente. Recorreu-se à técnica de medição *four-point probe*, através do equipamento PCM Prober Karl Süss PA300. Esta técnica de medição foi efetuada com a colocação de dois pares de sondas em contacto com RDLs das *wafers* (Figura 35). Uma corrente ( $I$ ) foi forçada a passar entre duas das sondas, induzindo uma diferença de potencial ( $V$ ). Simultaneamente, foi utilizado um voltímetro para medir essa diferença de potencial entre as outras duas sondas. Através dessa medição, é possível calcular a resistência de contacto. Nas medições efetuadas neste trabalho foram aplicados 100 mA de corrente. Salienta-se que o valor de resistência utilizado, na ATEP, como referência para a aceitação ou rejeição de um produto é de 1 m $\Omega$ .

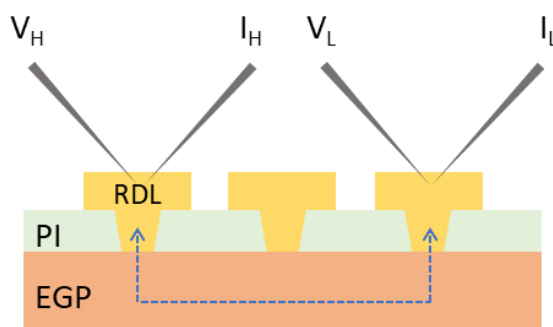


Figura 35 - Esquema de execução dos testes de resistência de contacto

Para complementar o estudo do crescimento de óxidos nos EGPs de acordo com diferentes condições de armazenamento, foi avaliada a sua molhabilidade. Foram realizadas medições de ângulos de contacto em EGPs armazenados em cada uma das quatro condições supracitadas na Tabela 14. Para além da indução de rugosidade por eletrodeposição, não foi realizada qualquer operação de processamento dos EGPs. Em cada EGP de cada lote distinto foram efetuadas trinta medições de ângulos de contacto. A técnica utilizada para efetuar as medições foi a técnica da gota séssil, recorrendo-se ao equipamento *EasyDrop* da Krüss, com auxílio do *software Drop Analysis System (DAS)*. O líquido utilizado foi água desionizada e a sua deposição foi realizada manualmente.

### 4.3. APRESENTAÇÃO E DISCUSSÃO DE RESULTADOS

#### 4.3.1. Estudo do impacto da rugosidade na adesão dos EGPs

Nas Figuras 36, 37 e 38 estão apresentadas as imagens das *wafers* com EGPs de níveis de rugosidade I, II e III, respetivamente. Nas imagens observa-se, na tonalidade mais clara, os EGPs; numa tonalidade mais escura a camada DL1; o MC, composto, principalmente, por *fillers*. A presença de rugosidade nas superfícies dos EGPs é bastante notória, tendo em conta as irregularidades observadas nas interfaces entre EGPs, *mold compound* e DL1. Em nenhuma *wafers* analisada foi detetada qualquer delaminação, o que comprova uma boa adesão entre as interfaces dos vários materiais.

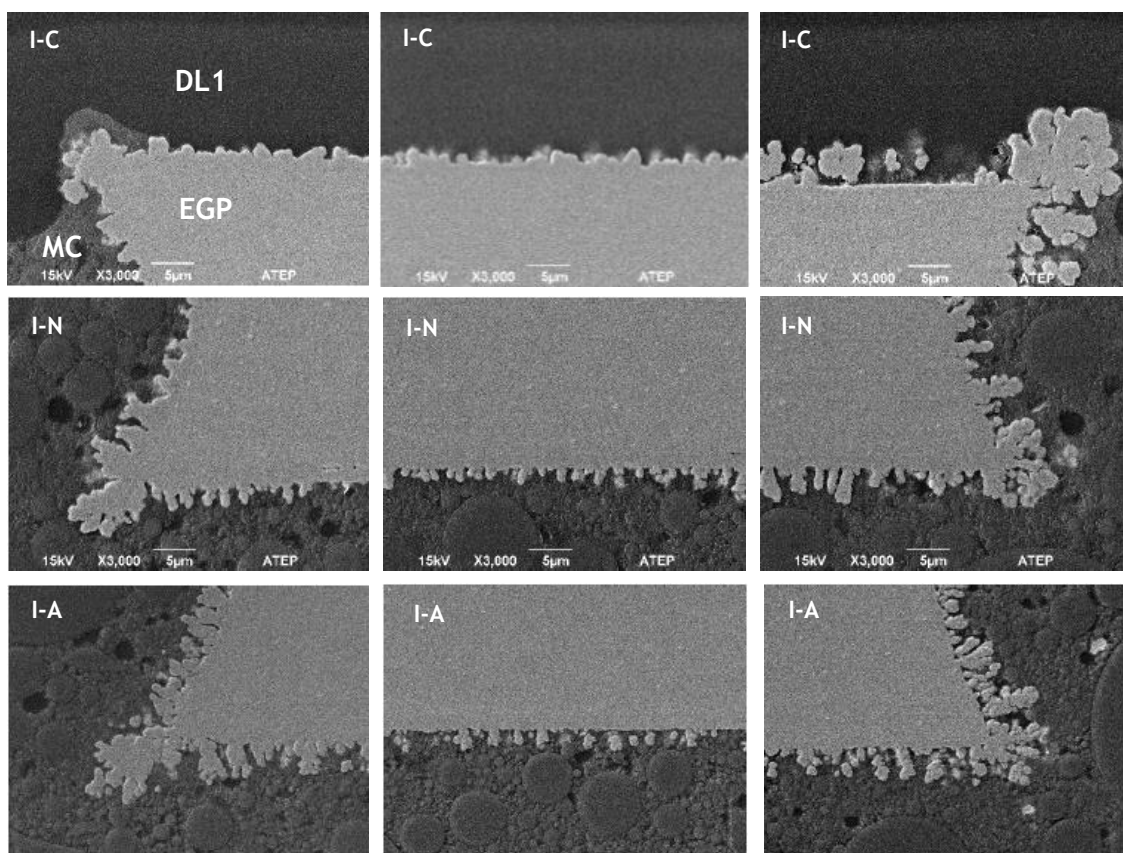


Figura 36 - Imagens SEM da wafer I (baixa rugosidade), nas posições do centro (C), notch (N) e anti-notch (A)

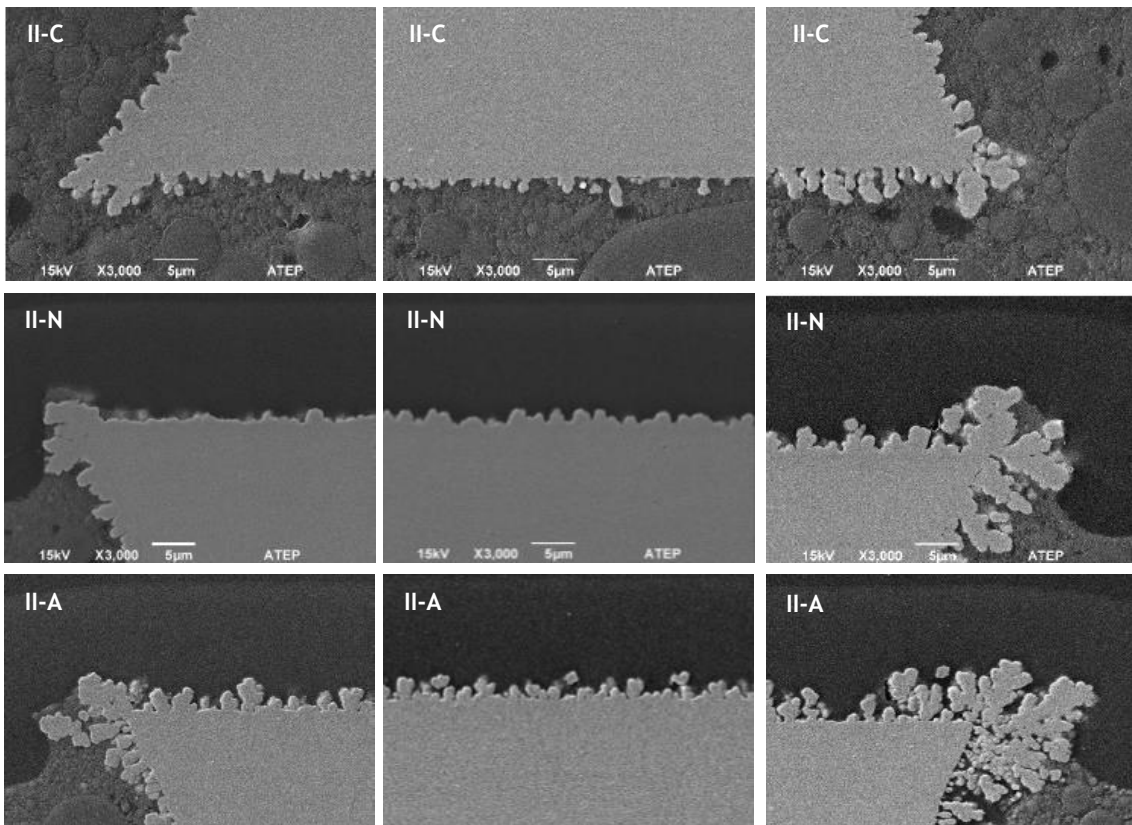


Figura 37 - Imagens SEM da wafer II (média rugosidade), nas posições do centro (C), notch (N) e anti-notch (A)

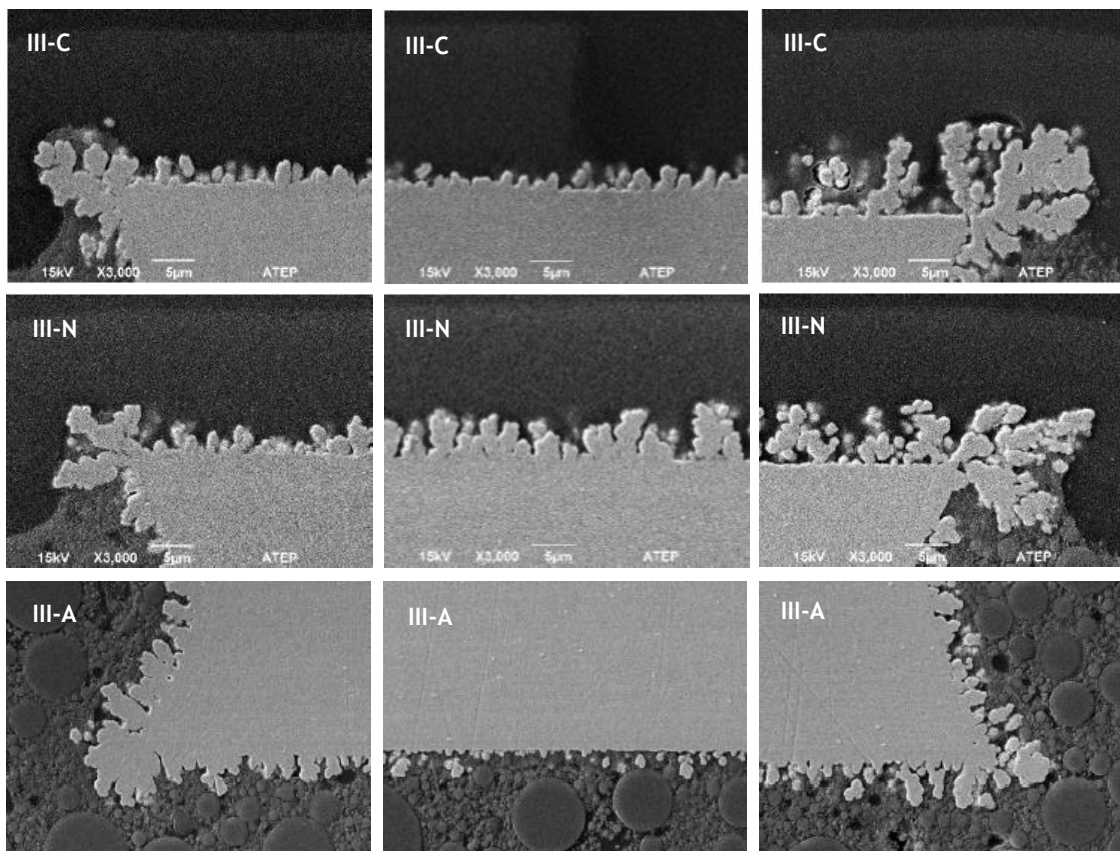


Figura 38 - Imagens SEM da wafer III (alta rugosidade), nas posições do centro (C), notch (N) e anti-notch (A)



Os resultados relativos à análise em SAM das *wafers* com EGPs de rugosidade baixa (I), média (II) e alta (III) estão apresentadas nas Figuras 39, 40 e 41, respectivamente. Em todas as unidades analisadas não foi verificada a presença de delaminações entre EGPs e *mold compound*, independentemente do nível de rugosidade criado nos EGPs. No entanto, na periferia de todos os EGPs foram detetadas contaminações correspondentes a resíduos de *thermal release tape* (TRT).

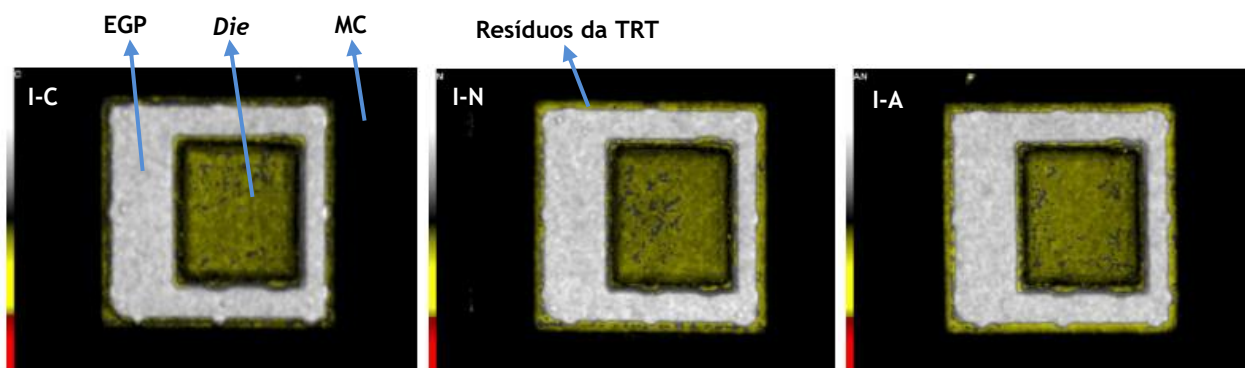


Figura 39 - Imagens SAM da wafer I (baixa rugosidade) nas posições do centro (C), notch (N) e anti-notch (A)

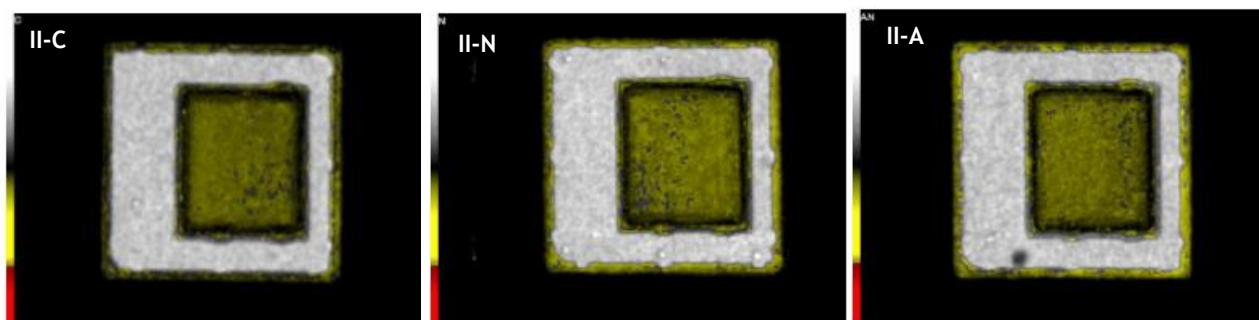


Figura 40 - Imagens SAM da wafer II (média rugosidade) nas posições do centro (C), notch (N) e anti-notch (A)

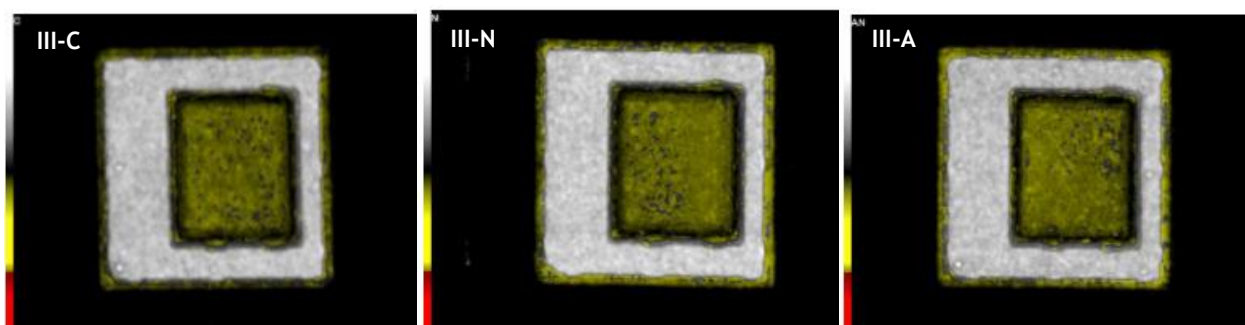


Figura 41- Imagens SAM da wafer III (alta rugosidade) nas posições do centro (C), notch (N) e anti-notch (A)

Em concordância com as observações das imagens SEM, inferiu-se que a criação de rugosidade na superfície dos EGPs foi eficaz na melhoria da adesão dos EGPs aos materiais com que contactam. Essa melhoria na adesão poderá ser explicada pelo mecanismo de acoplamento mecânico originado pelas irregularidades superficiais dos EGPs, que em contacto com as superfícies do MC e da camada de dielétrico terão contribuído para uma

ligação estável, sem a ocorrência de delaminações. Em ambas as análises efetuadas, o nível de rugosidade não mostrou uma influência visível na adesão dos materiais, inferindo-se que um baixo nível de rugosidade é suficiente para garantir a integridade do produto.

#### 4.3.2. Estudo do impacto da oxidação progressiva

Na Figura 42 apresentam-se *boxplots* representativas dos valores de resistência de contacto em função das condições de armazenamento dos EGPs incorporados na *wafer A*. Verificou-se que os EGPs armazenados num armário com nitrogénio mostraram o valor médio de resistência de contacto mais reduzido, de 0,319 m $\Omega$ . Os EGPs armazenados em armário sem nitrogénio, durante mais de 25 dias, apresentaram um valor médio de resistência de contacto de 0,338 m $\Omega$  e os EGPs armazenados em ambiente da *cleanroom*, durante mais de 50 dias, apresentaram o valor médio mais elevado, de 0,350 m $\Omega$ . Apesar do ligeiro aumento da resistência de contacto observado, as diferenças não são significativas.

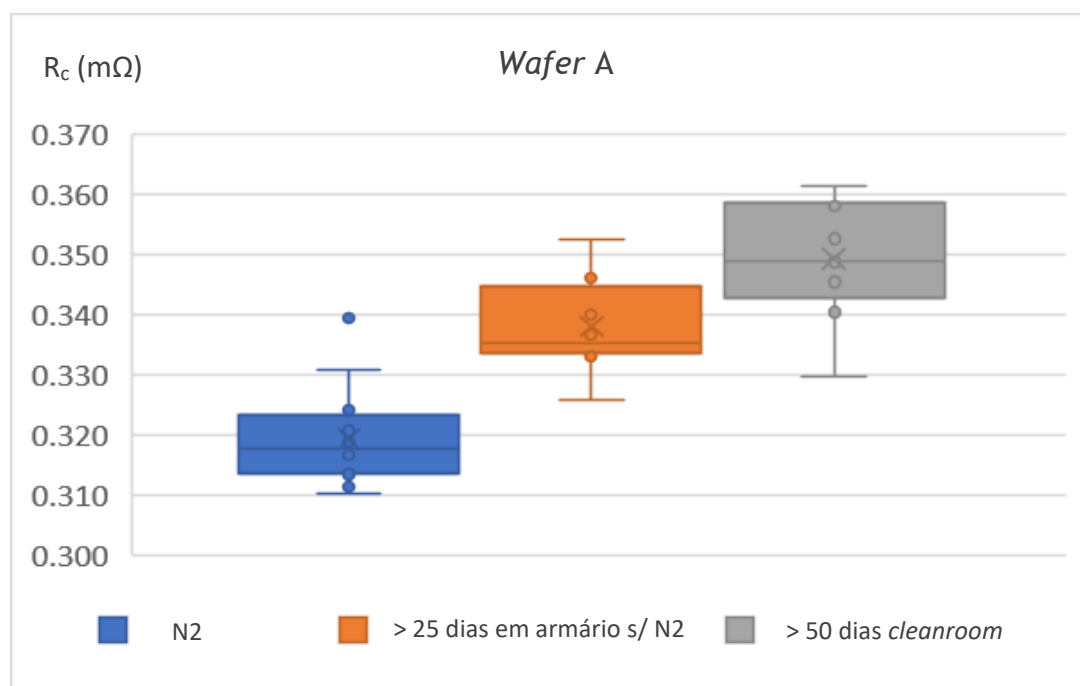


Figura 42 - Valores de resistência de contacto em função das condições de armazenamento dos EGPs (*wafer A*)

Na *wafer B*, como se pode observar na Figura 43, os valores de resistência de contacto para todos os EGPs, armazenados em condições distintas, mostraram-se bastante similares. Os valores médios de resistência de contacto foram de 0,330 m $\Omega$  para armazenamento em nitrogénio, 0,332 m $\Omega$  para armazenamento em armário sem nitrogénio, durante mais de 50 dias, e 0,329 m $\Omega$  para armazenamento em ambiente da *cleanroom*, durante mais de 50 dias.

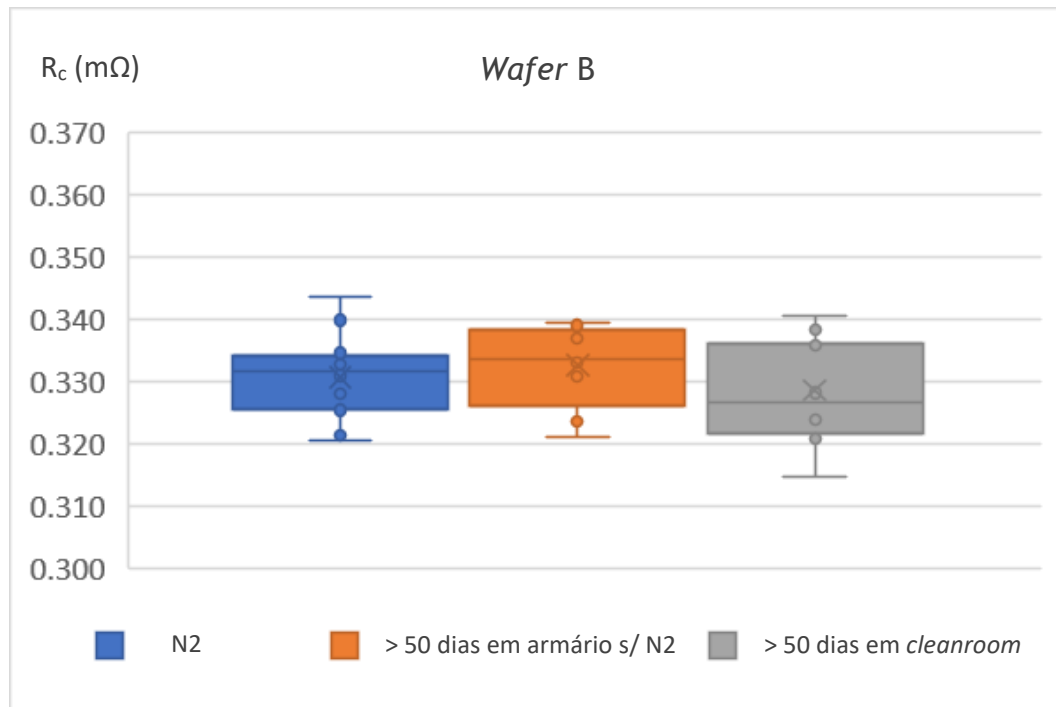


Figura 43 - Valores de resistência de contacto em função das condições de armazenamento dos EGPs (wafer B)

Tendo em conta a similaridade entre todos os valores encontrados, verifica-se que as condições de armazenamento dos EGPs não influenciam significativamente a resistência de contacto na sua interface com a RDL construída. Como os valores de resistência de contacto verificados são reduzidos e abaixo do valor de referência (1 mΩ), poderá inferir-se que não existe, na interface, uma constricção significativa à passagem de corrente elétrica. Isto poderá sugerir que, aquando das medições, não se verifica a presença de uma camada de óxidos de cobre na interface entre EGPs e RDL. Uma vez que as medições foram efetuadas após várias etapas do processo de *packaging*, poderá considerar-se que os processos de limpeza empregues ao longo das etapas efetuadas foram eficazes na eliminação ou minimização dos óxidos de cobre, independentemente das condições de armazenamento iniciais dos EGPs.

Os resultados das medições de ângulos de contacto efetuadas em EGPs dos quatro lotes estão apresentados nas *boxplots* da Figura 44. O EGP armazenado permanentemente num armário de nitrogénio (condição “N<sub>2</sub>”) apresenta um valor médio de ângulo de contacto de  $(116,0 \pm 6,0)^\circ$ . O EGP armazenado em ambiente da *cleanroom* durante mais de 50 dias (condição “> 50 dias em *cleanroom*”) apresenta um valor médio de  $(136,4 \pm 4,0)^\circ$ . Os EGPs armazenados durante mais de 25 e mais de 50 dias num armário sem nitrogénio (condições “> 25 dias em armário s/N<sub>2</sub>” e “> 50 dias em armário s/N<sub>2</sub>”) apresentam valores de  $(138,3 \pm 3,5)^\circ$  e  $(138,9 \pm 4,3)^\circ$ , respetivamente. Através da realização de um teste de igualdade de variâncias (exposto no ponto 1 do Anexo C), constatou-se, com um intervalo de confiança de 95%, que as diferenças entre os desvios padrão entre os quatro grupos de condições não são estatisticamente significativas.

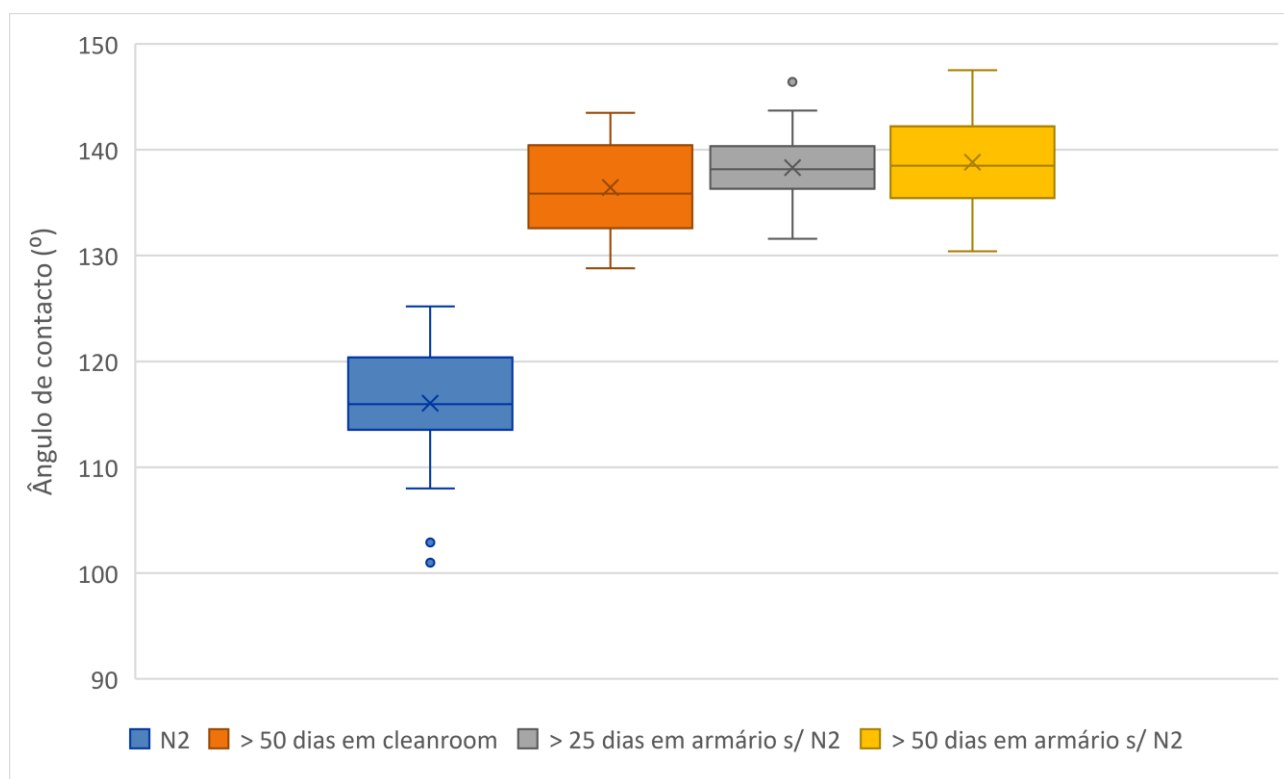


Figura 44 - Valores de ângulos de contacto em função das condições de armazenamento dos EGPs

Pela análise dos resultados, verifica-se que os EGPs armazenados em armário sem nitrogénio e em ambiente da *cleanroom* apresentam valores médios de ângulo de contacto superiores ao valor médio encontrado para o EGP armazenado em nitrogénio. Após a análise de variâncias efetuada (exposta no ponto 2 do Anexo C), constatou-se que a diferença entre a média da condição “N<sub>2</sub>” e as médias das restantes condições é estatisticamente significativa, com um intervalo de confiança de 95%. Com o mesmo intervalo de confiança, verificou-se que as diferenças entre as médias das condições “> 50 dias em *cleanroom*”, “> 25 dias em armário s/N<sub>2</sub>” e “> 50 dias em armário s/N<sub>2</sub>” não são estatisticamente significativas.

A existência de contaminações, a presença de óxidos e a rugosidade superficial são considerados fatores contribuintes para o aumento do ângulo de contacto provocando, consequentemente, a diminuição da molhabilidade. Tendo em conta que o grau de rugosidade induzida é semelhante para todos os EGPs, uma justificação para o aumento do ângulo de contacto em EGPs mantidos fora de um ambiente de nitrogénio será a exposição a um ambiente mais oxidante, que terá provocado o crescimento da camada de óxidos na superfície dos EGPs. Para além disso, poderá ter ocorrido a deposição de partículas contaminantes nas suas superfícies.

Verifica-se, ainda, que os valores de ângulos de contacto encontrados são muito elevados - bastante superiores a 90 ° - o que indica uma baixa molhabilidade das superfícies dos EGPs. Os elevados ângulos de contacto poderão ser resultado do aumento da área superficial associada à rugosidade induzida por eletrodeposição. Contudo, não se

verificou que a molhabilidade dos EGPs apresentasse um efeito significativo na adesão à camada DL1 e ao MC.

#### 4.4. PRINCIPAIS CONCLUSÕES

Após a análise dos resultados das várias caracterizações realizadas relativamente ao efeito da rugosidade na adesão dos EGPs e ao impacto da oxidação progressiva, deduziram-se como principais conclusões:

- A criação de rugosidade na superfície dos EGPs provocou a melhoria da sua adesão aos restantes materiais envolventes, não tendo sido encontrada nenhuma delaminação nas análises SEM e SAM;
- A adesão mostrou-se independente do nível de rugosidade induzido;
- Foram medidos valores de  $R_c$  entre EGPs e RDL inferiores ao valor limite para aceitação ( $1 \text{ m}\Omega$ ), sendo o maior valor encontrado de  $0,350 \text{ m}\Omega$ , correspondente aos EGPs mantidos em ambiente *cleanroom* durante mais de 50 dias e incorporados na *wafer* A;
- Os valores medidos de  $R_c$  não refletem um impacto negativo resultante da oxidação dos EGPs mediante diferentes condições de armazenamento, indicando a ausência de óxidos na interface aquando das medições;
- O ângulo de contacto medido num EGP armazenado fora de nitrogénio apresentou um valor médio de  $(116 \pm 6)^\circ$ , aumentando para  $(136 \pm 4)^\circ$  no EGP armazenado em ambiente da *cleanroom* durante mais de 50 dias, para  $(138 \pm 4)^\circ$  no EGP armazenado durante mais de 25 dias num armário sem nitrogénio e para  $(139 \pm 4)^\circ$  no EGP armazenado durante mais de 50 dias num armário sem nitrogénio;
- Os valores de ângulo de contacto foram bastante altos (muito superiores a  $90^\circ$ ), o que poderá estar relacionado com a rugosidade superficial dos EGPs.

## 5. CONCLUSÕES E PERSPETIVAS PARA TRABALHOS FUTUROS

O mercado de semicondutores encontra-se em constante evolução, sendo imprescindível o investimento na investigação e desenvolvimento de soluções disruptivas e de novos produtos com crescente complexidade e desempenho. A rapidez, o custo e a qualidade inerente a cada projeto são fatores fulcrais para que as empresas possam manter a sua posição de competitividade. Neste contexto, a metodologia de avaliação de risco desenvolvida neste trabalho apresenta-se como uma ferramenta simples e intuitiva que visa facilitar o processo de desenvolvimento de qualquer novo produto, melhorando o fluxo de informação na ATEP e com os respetivos clientes. A *checklist* criada permitirá a definição prévia de todos os parâmetros relacionados com as regras de conceção e com as condições de processamento de qualquer novo produto. Esta deverá ser utilizada em duas fases consecutivas do processo de desenvolvimento do produto. Na primeira fase reunir-se-á a informação mais geral e essencial para calcular os custos do projeto, enquanto que na segunda fase definir-se-ão os parâmetros que apenas podem ser estabelecidos após o estudo do produto e do processo. No futuro, a *checklist* deverá ser integrada na empresa e deverá ser avaliado o seu impacto no processo de desenvolvimento de novos produtos e na sua produção. Deverão ser implementadas todas as melhorias necessárias na metodologia criada, derivadas da experiência adquirida com a sua utilização.

No que concerne ao desenvolvimento de um novo produto que integra estruturas de cobre denominadas EGPs, constatou-se, através de análises efetuadas em SEM e SAM, que a criação de rugosidade na superfície dos EGPs por eletrodeposição de cobre provocou a melhoria da sua adesão ao *mold compound* e à camada de dielétrico DL1, não tendo sido visualizadas quaisquer delaminações. Nos testes de resistência de contacto realizados verificaram-se valores de resistência de contacto menores que 1 m $\Omega$  (valor de referência para aceitação), não sendo comprovada a presença de óxidos na interface entre EGPs e RDL, independentemente das condições de armazenamento dos EGPs. Nas medições de ângulos de contacto verificou-se um aumento do ângulo de contacto nos EGPs armazenados num ambiente sem nitrogénio, que poderá ter ocorrido devido à oxidação dos EGPs ou à deposição de contaminações. Deste modo, inferiu-se que no início do processo os EGPs poderão apresentar alguma oxidação nas suas superfícies. Porém, a oxidação é minimizada ao longo do processo, não afetando o comportamento elétrico do produto. De forma a garantir que o produto não é negativamente afetado pela oxidação, deverão manter-se as etapas de limpeza empregues e testar o seu desempenho no fim do processo de *packaging*. Para comprovar a eficácia dos processos de limpeza, poderão sujeitar-se os EGPs armazenados em diferentes condições a esses mesmos procedimentos, efetuando-se medições de ângulos de contacto e comparando os resultados com os que foram atingidos neste trabalho.

O trabalho desenvolvido implicou um estudo profundo do fluxo produtivo do processo de *packaging* realizado na ATEP. Constatou-se que este é extremamente complexo,

envolvendo o conhecimento de muitos processos, materiais e parâmetros inerentes a cada produto específico. O desenvolvimento de um novo produto e a definição de todo o seu fluxo produtivo implica um estudo minucioso e detalhado que inclui pesquisa, utilização da experiência adquirida no desenvolvimento de muitos outros produtos e o teste de condições limite dos processos e da interação dos vários processos.

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Amkor Technology. "Applications." <https://amkor.com/applications/> (accessed 17/04, 2020).
- [2] A. D. Marafon, L. Ensslin, R. T. d. O. Lacerda, and S. R. Ensslin, "The implications of R & D management for organisational effectiveness: A literature review," in *International Technology Management Conference*, 25-27 June 2012, pp. 202-211, doi: 10.1109/ITMC.2012.6306380.
- [3] F. Shoo, M. Ibrahim, and S. Kumar, "Status of the Advanced Packaging Industry 2019: Market and Technology Report 2019," Yole Développement, 2019.
- [4] S. C. Bhatia, "Silicon Wafers," in *Advanced Renewable Energy Systems*. India: Woodhead Publishing, 2014, ch. 3.3.
- [5] M. P.-K. M. Tilli, M. Petzold, H. Theuss, T. Motooka, V. Lindroos, "Silicon Wafers: Preparation and Properties," in *Handbook of Silicon Based MEMS Materials and Technologies*, 3rd ed. (Micro & Nano Technologies Series: Elsevier, 2020).
- [6] H. Xiao, "Introduction to Integrated Circuit Fabrication," in *Introduction to Semiconductor Manufacturing Technology (2nd Edition)*: SPIE, 2012, ch. 2.
- [7] Y.-T. Li, M.-H. Huang, and D.-Z. Chen, "Positioning and shifting of technology focus for integrated device manufacturers by patent perspectives," *Technological Forecasting and Social Change*, vol. 81, pp. 363-375, 2014/01/01/ 2014, doi: <https://doi.org/10.1016/j.techfore.2013.04.017>.
- [8] B. Bayraktaroglu, "Heterogeneous Integration Technology," AFRL/RyDD, 2017.
- [9] S. K. Beth Kese, Ed. *Advances in Embedded and Fan-Out Wafer-Level Packaging Technologies*. Hoboken, USA: John Wiley & Sons, Inc., 2019.
- [10] J. Almiranez, "Challenges of Fan-Out WLP and Solution Alternatives," 2019: Semicon Taiwan.
- [11] X. Fan, "Wafer level packaging (WLP): Fan-in, fan-out and three-dimensional integration," in *2010 11th International Thermal, Mechanical & Multi-Physics Simulation, and Experiments in Microelectronics and Microsystems (EuroSimE)*, 26-28 April 2010 2010, pp. 1-7, doi: 10.1109/ESIME.2010.5464548.
- [12] J. H. Lau, "Recent Advances and Trends in Fan-Out Wafer/Panel-Level Packaging," *Journal of Electronic Packaging*, vol. 141, no. 4, 2019, doi: 10.1115/1.4043341.
- [13] Y. Liu, H. Cheng, and Z. Wu, "Molding Compound Effects on Warpage of Fan-out Wafer Level Packaging," in *2018 20th International Conference on Electronic Materials and Packaging (EMAP)*, 17-20 Dec. 2018 2018, pp. 1-2, doi: 10.1109/EMAP.2018.8660759.
- [14] F. Shoo, "Fan-Out Packaging 2019," Yole Développement, 2018.
- [15] Nanium, "eWLB Process Flow - Apresentação das áreas e processos," 2013.
- [16] M. Marks, Z. Hassan, and K. Y. Cheong, "Ultrathin Wafer Pre-Assembly and Assembly Process Technologies: A Review," *Critical Reviews in Solid State and Materials Sciences*, vol. 40, pp. 1-40, 05/07 2015, doi: 10.1080/10408436.2014.992585.



- [17] Nitto. "Thermal Release Sheet for Electronic Component Processing REVALPHA." [https://www.nitto.com/eu/en/products/e\\_parts/electronic001/](https://www.nitto.com/eu/en/products/e_parts/electronic001/) (accessed 17/05/2020, 2020).
- [18] V. Carias *et al.*, "Development of Mold Compounds with Ultralow Coefficient of Thermal Expansion and High Glass Transition Temperature for Fan-out Wafer-level Packaging," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 5, no. 7, pp. 921-9, 07/ 2015, doi: 10.1109/TCPMT.2015.2443072.
- [19] A. Salahouelhadj, M. Gonzalez, A. Podpod, K. Rebibis, and E. Beyne, "Study of the influence of material properties and geometric parameters on warpage for Fan-Out Wafer Level Packaging," in *2018 7th Electronic System-Integration Technology Conference (ESTC)*, 18-21 Sept. 2018 2018, pp. 1-6, doi: 10.1109/ESTC.2018.8546433.
- [20] H. Xiao, "Photolithography," in *Introduction to Semiconductor Manufacturing Technology*, Second ed.: SPIE, 2012, ch. 6.
- [21] T. Bluck *et al.*, "Process and productivity results from a carrier-based linear transport PVD system for RDL seed layer deposition in fan-out packaging applications," in *2017 IEEE 19th Electronics Packaging Technology Conference (EPTC)*, 6-9 Dec. 2017 2017, pp. 1-7, doi: 10.1109/EPTC.2017.8277587.
- [22] D. E. V. Cardoso, "Otimização da Remoção de Photoresists no Processo eWLB na Indústria de Semicondutores," M.S. thesis, Dep. Eng. Metalúrgica e de Materiais, Faculdade de Engenharia da Universidade do Porto, Porto, 2014.
- [23] R. Alvarado *et al.*, "Study of new alloy composition for solder balls - Identifying material properties as key leading indicators toward improved board level performance," in *2015 IEEE 65th Electronic Components and Technology Conference (ECTC)*, 26-29 May 2015 2015, pp. 1753-1757, doi: 10.1109/ECTC.2015.7159835.
- [24] J. H. Hwang and J.-H. Lee, "Characterization of reflow soldering at a peak temperature of 215 °C using a Bi-coated Sn-3.0Ag-0.5Cu solder ball," *Applied Surface Science*, vol. 454, pp. 227-232, 2018/10/01/ 2018, doi: <https://doi.org/10.1016/j.apsusc.2018.05.129>.
- [25] D. J. Giles Humpston, "Principles of Soldering," A. Internacional Ed., 2004.
- [26] R. Vala, P. Řihák, and I. Szendiuch, "Influence of flux throughout reflow process on FBGA solder balls," in *2015 38th International Spring Seminar on Electronics Technology (ISSE)*, 6-10 May 2015 2015, pp. 250-254, doi: 10.1109/ISSE.2015.7248000.
- [27] B. Depuydt, A. Theuwis, and I. Romandic, "Germanium: From the first application of Czochralski crystal growth to large diameter dislocation-free wafers," *Materials Science in Semiconductor Processing*, vol. 9, no. 4, pp. 437-443, 2006/08/01/ 2006, doi: <https://doi.org/10.1016/j.mssp.2006.08.002>.
- [28] U. Peralagu *et al.*, "CMOS-compatible GaN-based devices on 200mm-Si for RF applications: Integration and Performance," in *2019 IEEE International Electron Devices Meeting (IEDM)*, 7-11 Dec. 2019 2019, pp. 17.2.1-17.2.4, doi: 10.1109/IEDM19573.2019.8993582.

- [29] S. Karimi *et al.*, "Acute and chronic toxicity to *Daphnia magna* of colloidal silica nanoparticles in a chemical mechanical planarization slurry after polishing a gallium arsenide wafer," *NanoImpact*, vol. 13, pp. 56-65, 2019/01/01/ 2019, doi: <https://doi.org/10.1016/j.impact.2018.12.004>.
- [30] D. Shamiryan, T. Abell, F. Iacopi, and K. Maex, "Low-K dielectric materials," *Materials Today*, vol. 7, pp. 34-39, 01/31 2004, doi: 10.1016/S1369-7021(04)00053-7.
- [31] J. Moussodji Moussodji, O. Chacon, F. Santerre, and D. Drouin, *Multi-physics Modelling and Experimental Investigation - An Original Approach for Laser-Dicing/Grooving Process Optimization*. 2019, pp. 1396-1404.
- [32] Y.-L. Cheng, H.-C. Huang, C.-Y. Lee, G.-S. Chen, and J.-S. Fang, "Comparison of Cu and Co Integration with Porous Low-k SiOCH Dielectrics," *Thin Solid Films*, vol. 704, p. 138010, 2020/06/30/ 2020, doi: <https://doi.org/10.1016/j.tsf.2020.138010>.
- [33] B. Lau Teck, Y. Calvin Lo Wai, S. Koh Wen, T. Siong Chin, and K. Y. Yow, "Laser grooving process development for low-k / ultra low-k devices," in *2008 33rd IEEE/CPMT International Electronics Manufacturing Technology Conference (IEMT)*, 4-6 Nov. 2008 2008, pp. 1-6, doi: 10.1109/IEMT.2008.5507881.
- [34] D. S. Krishna Seshan, "Process Technology For Copper Interconnects," in *Handbook of Thin Film Deposition*, Fourth ed.: William Andrew: Applied Science Publishers, 2018, ch. 6.
- [35] C. Chen, M. Li, and K. Cao, "Laser Grooving Technology Study at Dicing Process in Wafer Level Package," in *2018 19th International Conference on Electronic Packaging Technology (ICEPT)*, 8-11 Aug. 2018 2018, pp. 1055-1058, doi: 10.1109/ICEPT.2018.8480801.
- [36] M. Stecher, "Semiconductor component with passivation layer," Germany Patent Appl. 11/313178, 2008.
- [37] Y. Suzuki *et al.*, "300  $\mu\text{m}$  Deep through silicon via in laser-ablated CMOS multi-project wafer for cost-effective development of integrated MEMS," in *2017 IEEE 30th International Conference on Micro Electro Mechanical Systems (MEMS)*, 22-26 Jan. 2017 2017, pp. 744-748, doi: 10.1109/MEMSYS.2017.7863515.
- [38] T. Braun *et al.*, "Development of a Multi-project Fan-Out Wafer Level Packaging Platform," in *2017 IEEE 67th Electronic Components and Technology Conference (ECTC)*, 30 May-2 June 2017 2017, pp. 1-7, doi: 10.1109/ECTC.2017.230.
- [39] W. Boyes, "Electrostatic Discharge," in *Instrumentation Reference Book*, 4th ed.: Elsevier, 2010, ch. 45.2.3.3.
- [40] K. Borgeest, "Electrostatic Discharge," in *EMC and Functional Safety of Automotive Electronics*: Institution of Engineering and Technology, ch. 4.7.
- [41] N. Lin, Y. Liang, P. Wang, and T. Pelc, "Evolution of ESD process capability in future electronic industry," in *2014 15th International Conference on Electronic Packaging Technology*, 12-15 Aug. 2014 2014, pp. 1556-1560, doi: 10.1109/ICEPT.2014.6922951.
- [42] T. Williams, "LF Magnetic Fields," in *EMC for Product Designers (5th Edition)*: Elsevier, 2016, ch. 11.

- [43] S. Miki, H. Taneda, N. Kobayashi, K. Oi, K. Nagai, and T. Koyama, "Development of 2.3D High Density Organic Package using Low Temperature Bonding Process with Sn-Bi Solder," in *2019 IEEE 69th Electronic Components and Technology Conference (ECTC)*, 28-31 May 2019 2019, pp. 1599-1604, doi: 10.1109/ECTC.2019.00246.
- [44] W. F. Y. Zhiwei Gong, "Fan-Out Wafer Level Packages containing embedded ground plane interconnect structures and methods for the fabrication thereof," USA Patent Appl. 14/984,126, 2017.
- [45] Q. Nguyen, J. C. Roberts, J. C. Suhling, R. C. Jaeger, and P. Lall, "Characterization of Moisture Induced Die Stresses in Flip Chip Packaging," in *2016 IEEE 66th Electronic Components and Technology Conference (ECTC)*, 31 May-3 June 2016 2016, pp. 789-798, doi: 10.1109/ECTC.2016.391.
- [46] H. Wu, L. Liu, X. Chen, X. Kuang, and D. Lei, "Failure analysis and case study of plastic encapsulated microelectronics," in *2014 10th International Conference on Reliability, Maintainability and Safety (ICRMS)*, 6-8 Aug. 2014 2014, pp. 70-73, doi: 10.1109/ICRMS.2014.7107139.
- [47] F. Awaja, M. Gilbert, G. Kelly, B. Fox, and P. J. Pigram, "Adhesion of polymers," *Progress in Polymer Science*, vol. 34, no. 9, pp. 948-968, 2009/09/01/ 2009, doi: <https://doi.org/10.1016/j.progpolymsci.2009.04.007>.
- [48] A. Baldan, "Adhesion phenomena in bonded joints," *International Journal of Adhesion and Adhesives*, vol. 38, pp. 95-116, 2012/10/01/ 2012, doi: <https://doi.org/10.1016/j.ijadhadh.2012.04.007>.
- [49] K. L. Mittal, *Advances in Contact Angle, Wettability and Adhesion*. Scrivener, 2018.
- [50] R. S. Hebbar, A. M. Isloor, and A. F. Ismail, "Contact Angle Measurements," in *Membrane Characterization*: Elsevier, 2017, ch. Chapter 12, pp. 219-255.
- [51] J. Fauty, J. Knapp, and J. Yoder, "Mold Compound Adhesion to Bare Copper Lead Frames - Effect of Laser Texturing," *International Journal of Microcircuits and Electronic Packaging*, vol. 25, 01/01 2005.
- [52] S.-C. Chao *et al.*, "Oxidation characteristics of commercial copper-based lead frame surface and the bonding with epoxy molding compounds," *Microelectronics Reliability*, vol. 99, pp. 161-167, 2019/08/01/ 2019, doi: <https://doi.org/10.1016/j.microrel.2019.05.020>.
- [53] P. W. K. Chung, M. M. F. Yuen, P. C. H. Chan, N. K. C. Ho, and D. C. C. Lam, "Effect of copper oxide on the adhesion behavior of Epoxy Molding Compound-copper interface," in *52nd Electronic Components and Technology Conference 2002. (Cat. No.02CH37345)*, 28-31 May 2002 2002, pp. 1665-1670, doi: 10.1109/ECTC.2002.1008331.
- [54] N. Srikanth, L. Chan, and C. J. Vath, "Adhesion improvement of EMC-leadframe interface using brown oxide promoters," *Thin Solid Films*, vol. 504, no. 1, pp. 397-400, 2006/05/10/ 2006, doi: <https://doi.org/10.1016/j.tsf.2005.09.100>.
- [55] L. C. Yung, L. C. Ying, C. C. Fei, A. T. Ann, and S. Norbert, "Oxidation on copper lead frame surface which leads to package delamination," in *2012 10th IEEE International Conference on Semiconductor Electronics (ICSE)*, 19-21 Sept. 2012 2012, pp. 654-658, doi: 10.1109/SMElec.2012.6417229.

- [56] L. Chen *et al.*, "Contact resistance study of noble metals and alloy films using a scanning probe microscope test station," *Journal of Applied Physics*, vol. 102, pp. 074910-074910, 11/01 2007, doi: 10.1063/1.2785951.
- [57] T. Liu *et al.*, "Study on the measurement accuracy of circular transmission line model for low-resistance Ohmic contacts on III-V wide band-gap semiconductors," *Current Applied Physics*, vol. 18, no. 7, pp. 853-858, 2018/07/01/ 2018, doi: <https://doi.org/10.1016/j.cap.2018.03.012>.
- [58] P. G. Slade, P. G. Slade, Ed. *Electrical Contacts: Principals and Applications*, Second ed. CRC Press: Taylor & Francis Group, 2014.
- [59] B.-J. Lwo, C.-L. Teng, T. Ni, and S. Lu, *Contact resistance of the micro bumps in a typical TSV structure*. 2016, pp. 1-4.
- [60] A. Laor, P. Herrell, and M. Mayer, "A Study on Measuring Contact Resistance of Ball Bonds on Thin Metallization," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 5, pp. 1-1, 05/01 2015, doi: 10.1109/TCPMT.2015.2419981.
- [61] W. Yang, Y. Lu, C. Zhou, J. Zhang, and S. Tadatomo, "Study of Cu-Cu low temperature direct bonding and contact resistance measurement on bonding interface," in *2017 18th International Conference on Electronic Packaging Technology (ICEPT)*, 16-19 Aug. 2017 2017, pp. 1466-1469.

## ANEXO A: CHECKLIST DE INTEGRAÇÃO DE NOVOS PRODUTOS: 1ª FASE

<b>Checklist para desenvolvimento de novos produtos: 1ª Fase</b>					
<b>WAFER</b>	Diâmetro da <i>wafer</i>		200/ 300 mm		
	Espessura original da <i>wafer</i> ( $\mu\text{m}$ )				
	Material da <i>wafer</i>		Si/ SiGe/ GaN/ GaAs/ SiC/ SOI	Se outro, especificar	
	<i>Technology node</i>				
	Tecnologia de <i>dicing</i> da <i>wafer</i>		Blade dicing/ Laser grooving + Blade Dicing		
	<i>Notch</i> ou <i>Flat</i>		Notch/ Flat		
	Dimensões dos <i>dies</i> sem <i>dicing streets</i> ( $\mu\text{m}$ )	x		y	
	Largura das <i>dicing streets</i> ( $\mu\text{m}$ )	x		y	
	Índice de <i>dies</i>	x		y	
	Offset do retículo ( $\mu\text{m}$ )	x		y	
	<i>Multi-Project Wafer</i> (MPW)			Sim/ Não	
<b>DIE</b>	Padrão de I/Os			Número de I/Os por <i>die</i>	
	Composição dos <i>pads</i>		Cu/ Al	Se outro, especificar	
	Distância mínima entre <i>pads</i> ( $\mu\text{m}$ )				
	<i>Probe marks</i>		Sim/ Não		
<b>WAFER PREP</b>	Composição das estruturas metálicas das <i>dicing streets</i>				
<b>MOLD E DEBOND</b>	<i>Thermal Budget</i>		Sim/ Não		
	Taxa de ocupação de silício (%)				
	<i>Temporary Wafer Bonding</i> (TWB)		Sim/ Não		

LITO	Número de camadas de dielétrico			Número de camadas metálicas		
	Tipo de equipamento de exposição					
	Overlay e tolerâncias ( $\mu\text{m}$ )	DL1 ao <i>pad</i> FE			RDL1 à abertura de DL1	
		DL2 à abertura de RDL1			UBM à abertura de DL2	
	Dimensões críticas e tolerâncias ( $\mu\text{m}$ )	Largura das vias			Espaçamento entre as vias	
		Diâmetro dos <i>pads</i>			Diâmetro da abertura de DL1	
		Diâmetro da abertura da UBM				
Construção das camadas/ <i>overlap</i>	Adicionar esquema com definição clara de cada camada de DL no bordo do <i>die</i>					
RDL	Camadas RDL	Número		Composição		
	Espessura da RDL1 ( $\mu\text{m}$ )			Espessura da RDL2 ( $\mu\text{m}$ )		
	% Área metálica RDL1			% Área metálica RDL2		
	UBM	Presença	Sim/ Não	Composição		
		Espessura ( $\mu\text{m}$ )				
	% Área metálica UBM					
LBS	Número de bolas de solda/ <i>package</i>					
	Diâmetro original das bolas de solda ( $\mu\text{m}$ )					
	Distância entre <i>bumps</i> ( $\mu\text{m}$ )	No <i>die</i> ( $\mu\text{m}$ )		Através das <i>dicing streets</i> ( $\mu\text{m}$ )		
	Altura do <i>bump</i> ( $\mu\text{m}$ )					
	Forma da base do <i>bump</i> ( $\mu\text{m}$ )			Diâmetro ( $\mu\text{m}$ )		
	Método de embalagem		<i>Tray/ Tape and Reel/ Wafer</i>	Se outro, especificar		

## ANEXO B: CHECKLIST DE INTEGRAÇÃO DE NOVOS PRODUTOS: 2ª FASE

<b>Checklist para desenvolvimento de novos produtos: 2ª Fase</b>					
<b>WAFER</b>	Local de fabrico				
	Altura do <i>metal stack</i> ( $\mu\text{m}$ )			Referência da medição	
	Passivação	Composição		Espessura ( $\mu\text{m}$ )	
	Forma da abertura da passivação			Diâmetro da abertura ( $\mu\text{m}$ )	
	Outros revestimentos?		Sim/ Não	Composição	
	Localização do ID				
	<i>Stepper Shotmap</i>		Sim/ Não		
	<i>Wafermap</i> em TXT		Sim/ Não		
	Número de <i>dies/wafer</i>				
<b>DIE</b>	Nível de sensibilidade ESD				
	<i>Die</i> de referência		Sim/ Não	Posição	
	Orientação do <i>Pin 1</i> relativa ao <i>notch/flat</i>				
	Fiduciais		Sim/ Não		
	Espessura dos <i>pads</i> ( $\mu\text{m}$ )				
	Tipo de <i>dies</i> disponíveis	<i>Probe cards</i>	Sim/ Não	<i>Daisy Chain</i>	Sim/ Não
<b>WAFER PREP</b>	Espessura da <i>wafer</i> após <i>grinding</i> ( $\mu\text{m}$ )				
	Densidade metálica das <i>dicing streets</i>				
	Há <i>test patterns</i> nas <i>streets</i> ?		Sim/ Não	Largura dos <i>test patterns</i> ( $\mu\text{m}$ )	
	Há <i>tilling</i> nas <i>streets</i> ?		Sim/ Não		
	Há <i>crackstops/ sealrings</i> nas <i>streets</i> ?		Sim/ Não		

	Tipo de surfatante				
	Largura superior do <i>groove</i>	Mínimo		Máximo	
	<i>Off-centering</i>	Mínimo		Máximo	
	Largura inferior do <i>groove</i>	Mínimo		Máximo	
	<i>Grooving depth</i>	Mínimo		Máximo	
	Mínima <i>keep out zone</i>				
RDL	Espessura da DL1 e tolerâncias ( $\mu\text{m}$ )			Espessura da DL1 e tolerâncias ( $\mu\text{m}$ )	
	Composição da <i>Seed Layer</i>		TiW + Cu/ Ti + Cu	Se outra, especificar	
	Espessura Ti/TiW ( $\mu\text{m}$ )	Mínimo		Máximo	
	Espessura Cu ( $\mu\text{m}$ )	Mínimo		Máximo	
LBS	Bola de solda após <i>reflow</i>	Diâmetro ( $\mu\text{m}$ )		Altura ( $\mu\text{m}$ )	
	Composição das bolas de solda				
	Marcação <i>laser</i>		Sim/ Não		
	Profundidade da marcação <i>laser</i>				
	Local da marcação <i>laser</i>		Wafer/ unidade		
	Dimensão dos caracteres da marcação ( $\mu\text{m}$ )				



## ANEXO C: ANÁLISE ESTATÍSTICA DOS RESULTADOS DAS MEDIÇÕES DE ÂNGULOS DE CONTACTO

Este anexo tem como objetivo descrever detalhadamente a análise estatística dos resultados das medições de ângulos de contacto expostos no capítulo 4 deste trabalho. Como descrito nesse capítulo, foram realizadas medições de ângulos de contacto a quatro amostras (EGPs) distintas, as quais foram armazenadas em diferentes condições: armário com nitrogénio (N<sub>2</sub>), ambiente da *cleanroom* durante mais de 50 dias, armário sem nitrogénio durante mais de 25 dias e armário sem nitrogénio durante mais de 50 dias.

A análise estatística efetuada envolveu: (1) um teste de igualdade de variâncias para determinar se as variâncias ou os desvios padrão das quatro amostras estudadas são estatisticamente diferentes; (2) uma análise de variâncias (ANOVA, do inglês *Analysis Of Variance*) com um fator, com o fim de avaliar as diferenças entre as médias encontradas para as quatro amostras. Este estudo foi realizado com o auxílio do *software Minitab 18*.

### 1. Teste de igualdade de variâncias

Para a realização do teste de igualdade de variâncias, deverão validar-se as seguintes premissas relativas aos dados do estudo:

- Os dados devem incluir pelo menos um fator categórico. Neste estudo existe um fator categórico correspondente à condição de armazenamento dos EGPs;
- A variável de resposta deve ser contínua. A variável de resposta é, neste caso, o ângulo de contacto, que é uma variável contínua;
- Os tamanhos amostrais (N) devem ser maiores do que 20. Neste estudo o tamanho amostral é de 30 para todas as amostras;
- Cada observação deve ser independente de todas as outras observações, ou seja, uma observação não pode fornecer informações sobre o valor de outra observação. As observações realizadas neste estudo são consideradas independentes;
- Os dados da amostra devem ser selecionados aleatoriamente, o que também se verifica, pois as medições de ângulos de contacto foram realizadas em locais aleatórios das amostras.

Validadas todas as premissas, realizou-se o teste de igualdade de variâncias de forma a determinar se as variâncias ( $\sigma^2$ ) ou os desvios padrão ( $\sigma$ ) das quatro amostras estudadas são estatisticamente diferentes. Assim, foi considerada uma hipótese nula que afirma que todas as variâncias são iguais ( $H_0: \sigma^2_i = \sigma^2_j$ ) e uma hipótese alternativa que afirma que, no mínimo, uma variância é diferente ( $H_1: \sigma^2_i \neq \sigma^2_j$ ), sendo i e j as condições de

armazenamento das amostras. Considerou-se um nível de significância ( $\alpha$ ) de 0,05 e um intervalo de confiança de 95%.

Em primeiro lugar, foram estimados os desvios padrão de cada população através dos intervalos confiança de *Bonferroni*, apresentados na Tabela C.1. Cada intervalo de confiança (IC) representa uma gama de valores possíveis para o desvio padrão (DesvPad) da população correspondente. Nestes resultados, os intervalos de confiança de *Bonferroni* indicam que é possível ter 95% de certeza de que todo o conjunto de intervalos de confiança inclui os verdadeiros desvios padrão da população para todos os grupos.

Tabela C.1 - Intervalos de 95% de confiança Bonferroni para os desvios padrão

Amostra	N	DesvPad	IC
N <sub>2</sub>	30	6,0	(4,2; 9,3)
> 50 dias em <i>cleanroom</i>	30	4,0	(3,2; 5,5)
> 25 dias em armário s/ N <sub>2</sub>	30	3,5	(2,6; 5,2)
> 50 dias em armário s/ N <sub>2</sub>	30	4,3	(3,3; 6,0)

O gráfico apresentado na Figura C.1 exibe os intervalos de confiança para o método de comparações múltiplas. O mesmo permite decidir se as diferenças entre desvios padrão das diferentes condições são estatisticamente significativas. Se dois intervalos não se sobrepuserem, a diferença entre os respectivos desvios padrão é estatisticamente significativa. Para além disso, se o *p-value* para o teste de comparações múltiplas for menor do que o seu nível de significância, pelo menos um par de intervalos não se sobrepõe. Verifica-se que todos os intervalos se sobrepõem e que o *p-value* é superior a 0,05 (nível de significância). Pode concluir-se que as diferenças entre os desvios padrão dos quatro grupos de condições não são estatisticamente significativas.

## Teste de igualdade de variâncias

Intervalos de comparação múltipla para o desvio padrão,  $\alpha = 0,05$

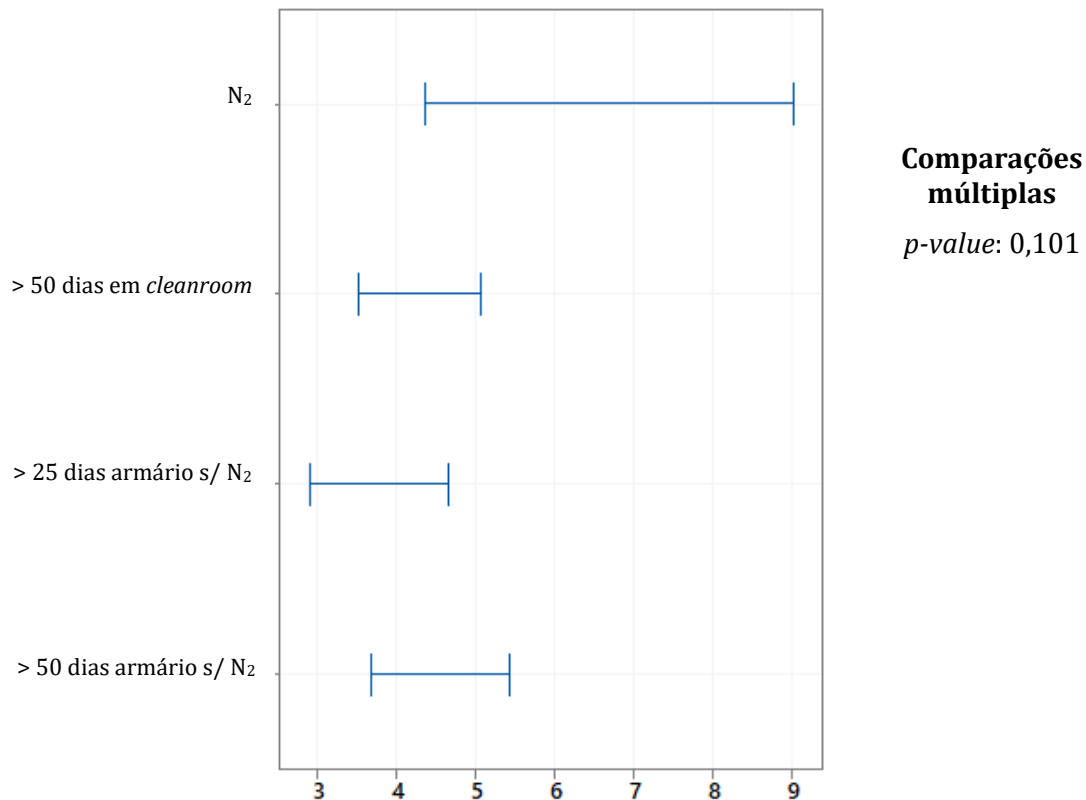


Figura C.1 - Intervalos de confiança para o método de comparações múltiplas

## 2. Análise de variâncias (ANOVA) com um fator

Para a realização da ANOVA com um fator, deverão validar-se as seguintes premissas relativas aos dados do estudo:

- Os dados devem incluir apenas uma variável categórica que é um fator fixo. Neste estudo existe apenas um fator categórico correspondente às condições de armazenamento dos EGPs;
- A variável de resposta deve ser contínua. A variável de resposta é, neste caso, o ângulo de contacto, que é uma variável contínua;
- Os dados de amostra devem ser de uma população normal, ou cada amostra deve apresentar um tamanho amostral (N) superior a 15 ou 20. Neste estudo o tamanho amostral é de 30 para todas as amostras;
- Cada observação deve ser independente de todas as outras observações, ou seja, uma observação não pode fornecer informações sobre o valor de outra observação. As observações realizadas neste estudo são consideradas independentes.

Validadas todas as premissas, realizou-se uma ANOVA de um fator com o objetivo de testar a hipótese de que as médias das quatro amostras são iguais. Assim, a hipótese nula afirma que todas as médias de nível de fator são iguais, enquanto a hipótese alternativa afirma que pelo menos uma é diferente. Tendo em consideração o resultado do teste de igualdade de variâncias realizado anteriormente, a ANOVA foi efetuada assumindo-se variâncias iguais. Considerou-se se um nível de significância ( $\alpha$ ) de 0,05 e um intervalo de confiança de 95% bilateral. Para testar a diferença média entre os pares de grupos recorreu-se ao teste de comparação de Tukey.

Para determinar se alguma das diferenças entre as médias é estatisticamente significativa, comparou-se o *p-value* com o seu nível de significância a fim de avaliar a hipótese nula. Sabe-se que, caso o *p-value* seja igual ou inferior ao nível de significância ( $\alpha$ ), as diferenças entre algumas das médias são estatisticamente significativas. Como o *p-value* encontrado foi igual a zero (menor que 0,05), rejeitou-se a hipótese nula e conclui-se que nem todas as médias da população são iguais.

Examinando as médias de ângulos de contacto em função da condição de armazenamento apresentadas no gráfico de intervalos da Figura C.2 e na Tabela C.2, verifica-se que a condição “N<sub>2</sub>” apresenta a menor média e que a condição “> 50 dias em armário sem N<sub>2</sub>” apresenta a maior média. De facto, pela observação das médias, verifica-se que a condição “N<sub>2</sub>” apresenta uma média significativamente diferente relativamente às restantes. As restantes, por sua vez, não apresentam grandes diferenças entre si.

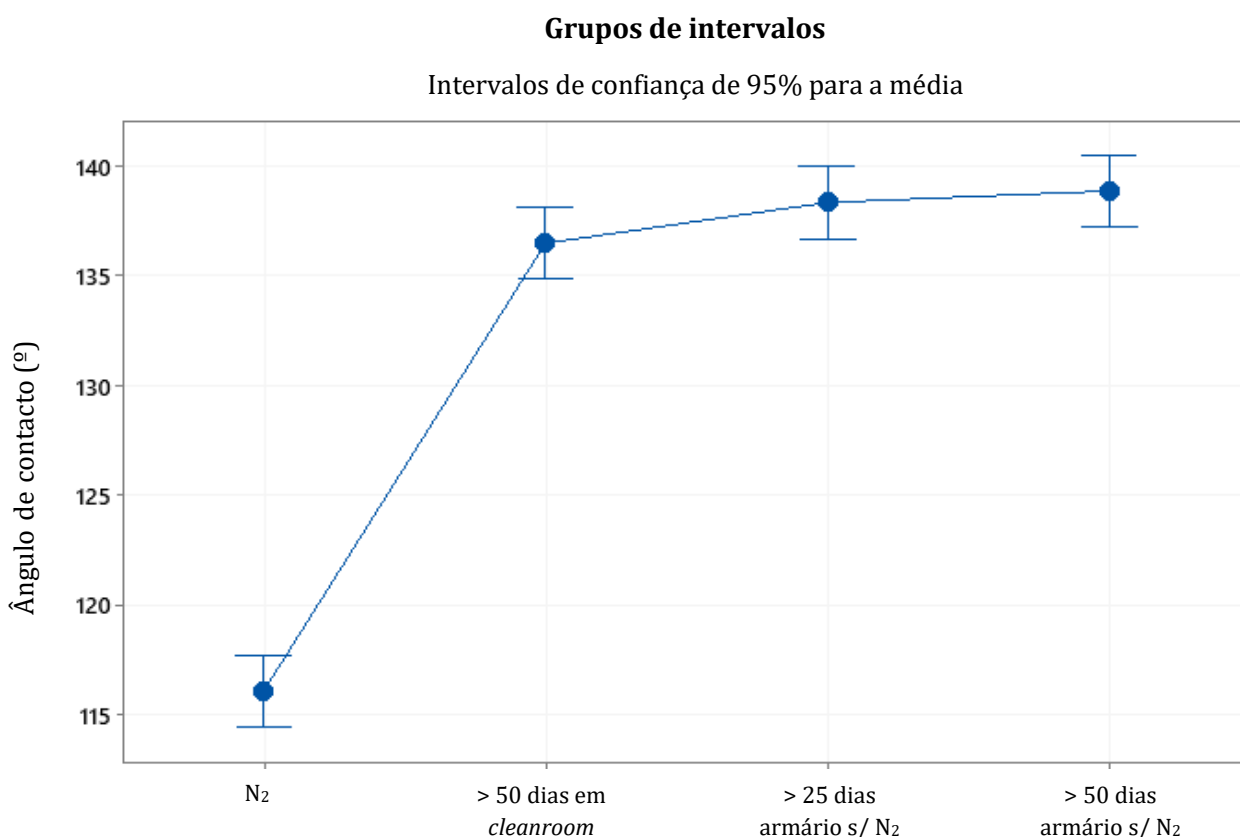


Figura C.2 - Gráfico de intervalos de ângulo de contacto em função da condição de armazenamento (exibe as médias de grupo e os intervalos de confiança para cada grupo)

Tabela C.2 - Tamanhos amostrais (N), médias e intervalos de confiança de 95% dos ângulos de contacto em função da condição de armazenamento

Condição de armazenamento	N	Média	IC de 95%
N <sub>2</sub>	30	116,0	(114,4; 117,7)
> 50 dias em <i>cleanroom</i>	30	136,4	(134,8; 138,1)
> 25 dias em armário s/ N <sub>2</sub>	30	138,3	(136,7; 139,9)
> 50 dias em armário s/ N <sub>2</sub>	30	138,8	(137,2; 140,5)

A Tabela C.3 permite determinar se a diferença média entre os pares de condições de armazenamento é estatisticamente significativa. Considera-se que condições que não estão no mesmo grupo de classificação, representado por uma letra, são significativamente diferentes. Infere-se que a diferença média entre os seguintes pares de condições é estatisticamente significativa, com um intervalo de confiança de 95%: “> 50 dias em armário s/ N<sub>2</sub>” e “N<sub>2</sub>”; “> 25 dias em armário s/ N<sub>2</sub>” e “N<sub>2</sub>”; “> 50 dias em *cleanroom*” e “N<sub>2</sub>”. Verifica-se, também, que as diferenças médias entre os pares constituídos pelas condições “> 50 dias em armário s/ N<sub>2</sub>”, “> 25 dias em armário s/ N<sub>2</sub>” e “> 50 dias em *cleanroom*” não são estatisticamente significativas. Conclui-se, portanto, que a média da condição de armazenamento “N<sub>2</sub>” é significativamente diferente das médias das restantes condições.

Tabela C.3 - Tabela com a classificação do grupo

Fator	N	Média	Grupo	
> 50 dias em armário s/ N <sub>2</sub>	30	138,8	A	
> 25 dias em armário s/ N <sub>2</sub>	30	138,3	A	
> 50 dias em <i>cleanroom</i>	30	136,4	A	
N <sub>2</sub>	30	116,0		B

Na Figura C.3 estão apresentadas as *boxplots* que representam os ângulos de contacto em função das condições de armazenamento dos EGPs. Estas permitem visualizar a média, a mediana, os quartis (Q1 e Q3) e os limites superiores (LS) e inferiores (LI) de cada grupo de dados. Para além disso, permitem analisar a dispersão dos dados e identificar *outliers*. A mediana, o Q1, o Q3, o intervalo interquartil (Q3-Q1), o LS e o LI estão, também, expostos na Tabela C.4.

Pela observação das *boxplots*, não se verificam assimetrias significativas nos grupos de dados. Por outro lado, verifica-se a presença de *outliers* (representados por asteriscos) nas condições de armazenamento “N<sub>2</sub>” e “> 25 dias em armário s/ N<sub>2</sub>”. Estes correspondem a observações com um valor atipicamente grande ou pequeno. Os *outliers* são valores que são pelo menos 1,5 vezes o intervalo interquartil. Estes podem ter um impacto negativo sobre os resultados estatísticos, que envolvem a média.

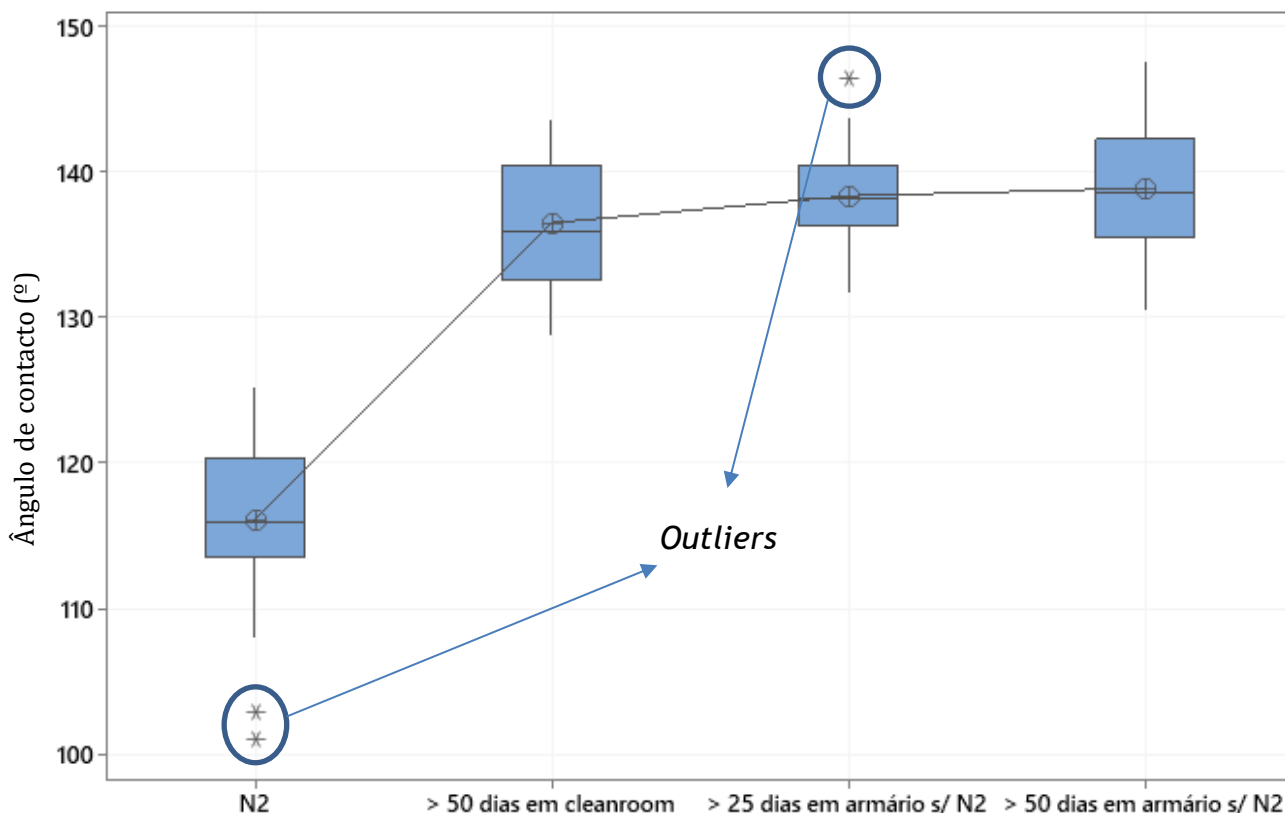


Figura C.3 - Boxplots dos ângulos de contacto em função das condições de armazenamento dos EGPs

Tabela C.4 - Valores correspondentes à mediana, Q1, Q3, (Q3-Q1), LI e LS para cada condição de armazenamento

	Mediana	1º Quartil (Q1)	3º Quartil (Q3)	Q3-Q1	LI	LS
N <sub>2</sub>	116,0	113,6	120,4	6,8	101,0	125,2
> 50 dias em cleanroom	135,9	132,6	140,4	7,9	128,8	143,5
> 25 dias em armário s/N <sub>2</sub>	138,2	136,3	140,3	4,0	131,6	146,4
> 50 dias em armário s/N <sub>2</sub>	138,5	135,4	142,2	6,8	130,4	147,5