

## MASTER

### Een apparaat voor het weergeven van de azimuth- en elevatiehoek van een parabolische antenne

Krugers, J.

*Award date:*  
1971

[Link to publication](#)

#### **Disclaimer**

This document contains a student thesis (bachelor's or master's), as authored by a student at Eindhoven University of Technology. Student theses are made available in the TU/e repository upon obtaining the required degree. The grade received is not published on the document as presented in the repository. The required complexity or quality of research of student theses may vary by program, and the required minimum study period may vary in duration.

#### **General rights**

Copyright and moral rights for the publications made accessible in the public portal are retained by the authors and/or other copyright owners and it is a condition of accessing publications that users recognise and abide by the legal requirements associated with these rights.

- Users may download and print one copy of any publication from the public portal for the purpose of private study or research.
- You may not further distribute the material or use it for any profit-making activity or commercial gain

1533 bse

STUDIEBIBLIOTHEEK  
ELEKTROTECHNIEK  
E - HOOGBOUW

Een apparaat voor het weergeven van  
de azimuth- en elevatiehoek van een  
parabolische antenne

door

J. Krugers

maart 1971

Verslag van het afstudeerwerk verricht in opdracht van  
Prof. dr. J.J. Zaalberg van Zelst, onder leiding van  
Ir. K. Breukers en Ir. J.A.W. Faatz

## Inhoud

Samenvatting	1
I. Inleiding	2
II. De opbouw van het apparaat	3
1. Het omzetten van een binaire code in een decimaal getal	3
2. De werking met buffers	4
3. Toepassing van tijdmultiplex	5
4. De oscillatorfrequenties	6
III. Beschrijving van de onderdelen	7
1. Symbolen en circuits	7
2. De kristaloscillator	8
3. De "channel-selector"	9
4. De binaire teller	9
5. De comparator	10
6. De uitleeseenheid	12
IV. Stuursignalen	13
V. De uitvoering van het apparaat	15
1. De oscillatoren	15
2. De comparator	15
3. De "channel-selector"	15
4. De stuursignalen	16
5. De uitleeseenheid	16
VI. Nabeschuwing en conclusie	17
Literatuur	18
Bijlagen	

### Samenvatting

In dit rapport wordt het ontwerp van een apparaat beschreven, dat met behulp van geïntegreerde schakelingen de stand van een antenne uitleest met een nauwkeurigheid van 0,01 graad. Het apparaat geeft een digitale uitlezing door gebruik te maken van twee reeksen van vijf cijferindicatiebuisjes, één rij voor indicatie van de azimuthhoek, de andere voor die van de elevatiehoek.

De schakeling is opgebouwd met logische circuits van het type T.T.L.

## I. Inleiding

Bij de Technische Hogeschool is een parabolische antenne geplaatst, welke dient voor het volgen van niet-stationaire satellieten. Dit moet met grote nauwkeurigheid geschieden aangezien deze antenne wel een grote versterking levert maar slechts een smalle openingshoek heeft (een afwijking van  $0,46^\circ$  geeft al een verlies van 3 dB in vermogen).

Wanneer de baan van de satelliet gegeven is, kan men met behulp van een computer de antenne numeriek besturen. Hieraan vooraf gaat een melding van de antenne over zijn positie, hetgeen verwezenlijkt kan worden op de volgende wijze:

Aan de as van de antenne bevestigd men een codeschijf met erop een aantal concentrische ringen, die zodanig verdeeld zijn, dat langs een straal van de schijf steeds een éénduidige binaire code gelezen wordt. Hiervoor is men uitgegaan van een glazen schijf waarop koper is opgedampt. Hierin heeft men twaalf concentrische sporen weggeëtst op een wijze zoals de afbeelding van bijlage 1 aangeeft. Opgemerkt dient te worden dat deze afbeelding een foto van een negatief is, zodat juist de zwarte sporen lichtdoorlatend gedacht moeten worden en de witte vlakken ondoorzichtig.

Wanneer nu radiaal een lijnvormige lichtbron boven de schijf aangebracht wordt kan men met behulp van fotocellen de codeschijf uitlezen. Het elektrische signaal kan nu door de computer worden verwerkt. Om bij de antenne zelf de stand te kunnen aflezen (hetgeen vooral bij handbediening noodzakelijk is) heeft men mij opgedragen hiervoor een apparaat te ontwikkelen.

Dit apparaat zal met een ingangssignaal van 16 bit moeten werken omdat het de bedoeling is om in de toekomst de code schijf uit te breiden tot 16 banen.

## II. De opbouw van het apparaat

### II.1. Het omzetten van een binaire code in een decimaal getal

Het apparaat krijgt als ingangssignaal aangeboden 16 bit van de codeschijf-uitlezing en dient deze om te zetten in een decimaal getal. Op bijlage 2 is schematisch aangegeven hoe deze omzetting kan geschieden.

Oscillator 1 geeft een blokvormig signaal af, waarmee een binaire teller geladen wordt. Een binaire teller bestaat uit een serie van flip-flops. Deze teller levert na iedere positief gaande flank van een spanningsprong op de ingang een reeks parallele uitgangssignalen, welke de binaire representatie is van het aantal aangeboden positieve flanken. De uitgangssignalen van de teller worden met behulp van een comparator vergeleken met de uitlezing van de codeschijf. Oscillator 2 geeft eveneens een blokvormig signaal af maar met een andere frequentie. Het signaal hiervan gaat via een poort naar een decadeteller. Deze teller bestaat in wezen uit een aantal binaire tellers welke slechts tot tien tellen, volgens de B.C.D. code (1-2-4-8). Het verloop van de uitgangssignalen van een binaire en een decade-teller is weergegeven in functietabel 1.

Het parallele uitgangssignaal van de decadeteller wordt met behulp van "nixie drivers" zichtbaar gemaakt op de nixie-buisjes.

De werking van het geheel is als volgt. We gaan uit van de situatie, dat beide tellers in de nulstand staan, d.w.z. dat alle uitgangssignalen ervan nul zijn. Nu beginnen tegelijkertijd de oscillatoren de tellers te laden. Op het moment dat de niveau's van de uitgangen van de binaire teller gelijk zijn aan die van de codeschijf uitlezing geeft de comparator een opdracht tot vergrendeling van de poort. Dan wordt de decade-teller dus niet meer gestuurd. De inhoud ervan is zichtbaar op de nixie buisjes.

Eigenlijk bestaat het apparaat dus uit een omzetter welke het aangeboden binaire getal omzet in een tijdsduur (nl. deel 1), gevolgd door een tweede omzetter welke deze tijdsduur weer omzet in een reeks van pulsen met als resultaat een binair gecodeerd decimaal getal. Wordt er nl. een groot getal (uitlezing van een grote hoek) als ingangssignaal aangeboden, dan duurt het lang voordat de teller dit getal bereikt heeft. Bij een klein getal (kleine hoek) kost het weinig tijd om de eindwaarde te vinden. Bij het tweede deel zijn er in een lang

tijdsbestek veel pulsen de poort gepasseerd en wordt een groot decimaal getal weergegeven. In een korte periode passeren er weinig pulsen met als gevolg een klein decimaal getal.

Wordt de frequentie van oscillator 1 gelijk aan die van oscillator 2 gekozen dan geeft de schakeling het zuiver binair getal als een decimaal getal weer, zoals aangegeven in tabel 1. Bij ongelijke oscillatorfrequenties kan afhankelijk van hun verhouding iedere getalomzetting gerealiseerd worden.

uitgang binaire teller	uitgang decade teller	decimaal getal
$2^{16} \dots 2^4 \cdot 2^3 \cdot 2^2 \cdot 2^1 \cdot 2^0$	$1^e \text{ cijfer} \quad 4^e \text{ cijfer} \quad 5^e \text{ cijfer}$	
0 0 0 0 0	0000. - - - - 0000      0000	0
1 0 0 0 0	1 - - - - 0000      0001	1
1 0 0 1 0	1      0000      0010	2
1 0 0 1 1	1      0000      0011	3
1 0 0 1 0	1      0000      0100	4
1 0 0 1 1	1      0000      0101	5
1 0 0 1 1	1      0000      0110	6
1 0 0 1 1	1      0000      0111	7
1 0 1 0 0	1      0000      1000	8
1 0 1 0 1	1      0000      1001	9
1 0 1 0 1	1      0001      0000	10
1 0 1 0 1	1      0001      0001	11
1 0 1 1 0	1      0001      0010	12
1 0 1 1 0	1      0001      0011	13
1 0 1 1 0	1      0001      0100	14
1 0 1 1 1	1      0001      0101	15
1 1 0 0 0	1      0001      0110	16
1 1 0 0 1	1      0001      0111	17

Tabel 1. uitgangssignalen van een binaire en een decade teller.

II.2. De werking met buffers

Een meer gedetailleerd schema geeft bijlage 3. Het ingangsgetal wordt nu eerst ingelezen in bufferregister 1. Dit register heeft de eigen-

schap dat het de parallel aangeboden informatie na een negatieve puls op de triggeringang "LEES IN" opneemt en deze informatie aan de uitgang weergeeft. Zodra deze puls geweest is, hebben de ingangssignalen geen invloed meer op de uitgangssignalen van de buffer. Pas na een volgende puls wordt nl. opnieuw informatie ingelezen. Wanneer de antenne draait veranderen de uitgangssignalen van de codeschijf. Evenzo is een buffer geplaatst tussen de decadeteller en de "nixie-driver". Zolang de teller loopt is de buffer gesperd. Na vergrendeling van de poort, krijgt de buffer het leescommando en wordt het B.C.D.-getal aan de "nixie-driver" aangeboden. Tijdens het opnieuw lopen van de teller blijft dit getal staan. Zonder de buffer zou een constant wisselend beeld zichtbaar zijn, waarbij uitlezing bijna onmogelijk is. Een cyclus verloopt nu als volgt. De beide tellers worden eerst in de nulstand gezet, terwijl tegelijkertijd via buffer 1 het aangeboden getal ingelezen wordt. Beide tellers lopen totdat de uitgangen van buffer 1 gelijk zijn aan die van de binaire teller. Dan vergrendelt de comparator de poort. De buffer geeft de informatie van de decadeteller aan de "nixie-driver" door, waarna het getal op nixie-buisjes zichtbaar wordt.

### II.3. Toepassing van tijdmultiplex

De uiteindelijke realisatie is als getekend op bijlage 4. Aangezien voor azimuth- en elevatiehoek hetzelfde soort signaal wordt aangeboden ligt het voor de hand om via een tijdmultiplex systeem dezelfde verwerkingseenheid te gebruiken. Daarom is voor de ingang van buffer 1 een elektronische schakelaar geplaatst, de zg. "channel-selector". Gestuurd door de signalen MA en ME laat deze gedurende een telcyclus ofwel de informatie door welke van de horizontale uitlezing komt, ofwel die van de verticale. Stellen we dat de informatie van de azimuth-codeschijf ingelezen wordt, dan dient alleen buffer A met triggeringang GA gestuurd te worden. Daarna schakelt de "channel-selector" om, d.w.z. de signalen van de elevatie-codeschijf worden opgenomen en omgezet, waarna alleen buffer E met triggeringang GE open moet gaan. Beide decimale getallen worden nu afgebeeld. In deze opzet is slechts één decadeteller noodzakelijk maar vanuit bedradingsoogpunt van het apparaat is het eenvoudiger om er twee te nemen want een decadeteller heeft 20 uitgangen en 2 ingangen. Plaatst men de teller



met buffer en "nixie-driver" op één print dan zijn slechts drie stuurdraden nodig, nl. de teldraad, de resetdraad (MR) en de triggerdraad. In het geval van één decadeteller zijn er minstens 20 draden nodig hetgeen een onoverzichtelijk geheel is en kans op fouten geeft.

#### II.4. De oscillatorfrequenties

Voordat een keuze gedaan kan worden over het gebied waarin de oscillatorfrequentie komen te liggen moet eerst een schatting worden gedaan van de maximale uitleestijd. Dit is de tijd tussen twee uitlezingen van dezelfde codeschijf. Stellen we deze op 1/10 seconde, dan betekent dit dat 1/20 seconde beschikbaar is voor één telcyclus. De meest kritische tijd is die van uitlezing van het grootste getal wat aan de ingang aangeboden kan worden. Dat getal bestaat uit 15 énen ofwel  $2^{16} - 1 = 65535$ . Wil dit in 1/20 seconde uitgelezen worden dan moet voor oscillator 1 een frequentie gekozen worden van  $20 \times 65535 = 1,3107$  MHz.

Om de verhouding van de oscillatorfrequenties te bepalen gaan we uit van het geval dat als ingangssignaal een binair getal aangeboden wordt dat overeenkomt met een hoek van  $360^\circ$ . De comparator zal pas vergrendelen na  $2^{16}$  pulsen op de ingang van de binaire teller. Aangezien er tot op  $0.01^\circ$  nauwkeurig uitgelezen moet worden zal oscillator 2 36000 pulsen af moeten geven in de tijd dat oscillator 1  $2^{16}$  pulsen afgeeft d.w.z.

$$\frac{f_1}{f_2} = \frac{2^{16}}{36000} = \frac{65536}{36000} = \frac{2048}{1125}$$

Uit deze beide overwegingen is voor oscillator 1 een frequentie van  $f_1 = 1,024$  MHz gekozen en voor oscillator 2 een frequentie  $f_2 = 0,5625$  MHz.

De maximale inleestijd is dan rond 1/8 seconde geworden. Dit is ongeveer de maximale snelheid waarmee veranderde cijfers op nixie-buisjes waargenomen kunnen worden.

III. Beschrijving van de onderdelen

III.1. Symbolen en circuits

De gebruikte symbolen voor de diverse basiselementen zijn overgenomen uit de "Fairchild Semiconductor Data Catalog" (zie literatuur). Hieronder volgt een schema van de meest gebruikte bouwstenen met hun betekenis. In de laatste kolom staan de bijbehorende geïntegreerde schakelingen vermeld.

symbool	naam	logische functie	type
	AND-poort	$Z = x \cdot y$	7408
	NAND-poort	$Z = \overline{x \cdot y}$	{ 9002 9007 9009
	OR-poort	$Z = x + y$	
	NOR-poort	$Z = \overline{x + y}$	7402
	NOR-poort met OR-uitgang	$Z = \overline{x + y}$ $U = x + y$	MC1004
	Inverter	$Z = \overline{x}$	9016
	flip-flop		9000 9020
	one-shot		9601
	full adder	$Z = \overline{xy} + \overline{\overline{xy}}$ $U = \overline{xy} + xy$	9304

Opm. De typen zijn T.T.L. met uitzondering van de MC 1004, dit is van het ECL type.

Voor de poorten en de full adder geldt dat ze zich gedragen volgens tabel 2.

ingangen		AND	NAND	OR	NOR	FA	$\bar{F}A$
X	Y						
0	0	0	1	0	1	0	1
0	1	0	1	1	0	1	0
1	0	0	1	1	0	1	0
1	1	1	0	1	0	0	1

tabel 2. functietabel voor logische schakelingen.

Voor de flip-flop geldt dat de niveau's van de twee uitgangen "omklappen" na iedere positieve flank op de ingang. De "one-shot" heeft twee ingangen. Via ingang x reageert deze op een positieve flank, via ingang y op een negatieve. Evenals bij de flip-flop heeft de "one-shot" twee uitgangen met tegengesteld niveau. Het uitgangssignaal is blokvormig. De breedte is onafhankelijk van  $R_x$  en  $C_x$ .

### III.2. De kristaloscillator

Het schema is getekend op bijlage 5. De oscillator bestaat uit een teruggekoppelde or-schakeling. Hiervoor is een MC 1004 genomen omdat deze een kleine ingangscapaciteit heeft. De meekoppeling geschiedt via het kristal en een kleine variabele serie-capaciteit om de oscillator zeer nauwkeurig af te kunnen stemmen. Een tegenkoppeling zorgt voor stabilisatie van de gelijkstroominstelling.

De tweede nor-or-schakeling van de MC 1004 wordt gebruikt als scheidings-trap en als stuurcircuit voor de transistor 2N4126 welke als ECL-TTL omzetter fungeert.

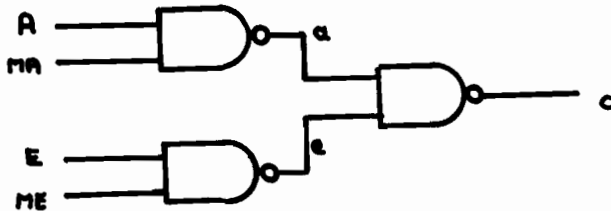
Hierachter is een 4-deler geplaatst om de juiste frequentie te verkrijgen. De 4-deler bestaat uit het Fairchild I.C. 9020 waarin twee flip-flops zijn ondergebracht.

Vereist is een relatieve nauwkeurigheid van 1 op 65536 (zie II.4) ofwel ongeveer  $10^{-5}$ .

De kristallen hebben een nauwkeurigheid van  $10 \cdot 10^{-6}$  waarbij de oscillator nog eens een factor 10 nauwkeuriger afgetrimd kan worden met de instelbare capaciteit. De temperatuurdrift is  $5 \times 10^{-5}$ . Dit is echter niet ernstig aangezien de frequentie van beide oscillatoren met de temperatuur in dezelfde richting verloopt.

### III.3. De 'channel selector'

De functie van de 'channel selector' is reeds in II.3. beschreven. Op bijlage 6 is het schema aangegeven voor eeningangssignaal van 4 bit. De gehele schakeling is eigenlijk een 16-voudige herhaling van het onderstaande basisschema.



Met Boole-algebra geldt dat:

$$a = \overline{A.MA}$$

$$e = \overline{E.ME}$$

Voor het ingangssignaal geldt:

$$c = \overline{a.e} = \overline{a} + \overline{e} \quad (\text{regel van de Morgan})$$

$$= A.MA + E.ME$$

Als nu  $ME = \overline{MA}$  dan wordt dit

$$c = A.MA + E.\overline{MA}$$

Eenvoudig is in te zien, dat

wanneer  $MA = 1$  dan geldt  $c = A$  en

wanneer  $MA = 0$  dan geldt  $c = E$ .

Achter de "channel selector" is het bufferregister 1 geplaatst. Dit register bestaat uit twee geïntegreerde circuits van het type 9308. Een 9308 bestaat uit twee onafhankelijke buffers van 4 bit. Iedere 4 bit buffer heeft een "trigger"ingang en een "reset"ingang. De "reset" wordt hier niet gebruikt. Deze "negatief-actieve" ingang wordt aan de positieve voedingsspanning gelegd.

### III.4. De binaire teller

Deze teller is opgebouwd uit een reeks geïntegreerde schakelingen van het type 9316. Iedere I.C. bevat 4 flip-flops en levert een uit-

gangssignaal van 4 bit. De 9316 is voorzien van een klokingang, een "master-reset"  $\overline{MR}$ , een  $\overline{PE}$ -ingang en twee  $C_E$ -ingangen nl.  $C_{EP}$  en  $C_{ET}$ . De werking na iedere positieve flank op de klokingang  $C_p$  wordt aangegeven in tabel 3.

$\overline{PE}$	$C_E$	$\overline{MR}$	Werking aan de uitgangen.
1	1	1	telt op
1	0	1	onveranderd
0	X	1	voorinstelling, parallel inlezen
X	X	0	alle uitgangen nul

tabel 3. functies van de 9316 X = don't care.

In deze tabel is gesteld dat  $C_E = C_{EP} \cdot C_{ET}$ .

Is  $\overline{PE}$  laag, dan wordt parallel informatie ingelezen via 4 aparte ingangen, dit is een voorinstelling (preset). Wordt  $\overline{PE}$  daarna hoog, dan begint de teller vanaf het ingelezen getal te tellen. De voorinstelling is niet noodzakelijk,  $\overline{PE}$  wordt dus aan de +5V gelegd. Wanneer de  $\overline{MR}$ -ingang nul wordt zullen alle uitgangen nul worden, onafhankelijk van het kloksignaal.

Het schema van de binaire teller is getekend op bijlage 7.

De uitgang TC voldoet aan de volgende logische vergelijking

$$TC = C_{ET} \cdot Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3$$

Als functie van de tijd is TC uitgezet op bijlage 7. Hieruit blijkt dat TC slechts dan hoog wordt wanneer alle uitgangen Q hoog zijn (bij  $C_{ET} = 1$ ). Na de volgende klokpuls geeft het volgend I.C. een logische "1" op zijn  $Q_0$  uitgang ( $Q_4$ ). Door gebruik te maken van de uitgang TC kan dus synchroon geteld worden voor getallen groter dan 4 bit.

### III.5. De comparator

De comparator is een schakeling met 32 ingangen en 2 uitgangen. De 32 ingangen zijn gesplitst in 16 series van 2 ingangen ( $Q_i$  en  $B_i$  met  $i = 0, 1 \dots 15$ ), welke paarsgewijs met elkaar worden vergeleken. Nadat voor ieder paar geldt  $Q_i = B_i$ , geeft de comparator een logische één af op beide uitgangen. Besteld waren 4 I.C.'s van het type 9324 waarvoor reeds een print was gemaakt. Aangezien de 9324 nog niet geleverd kan worden, is naar een oplossing met andere I.C.'s gezocht.

De uitvoering van deze comparator is weergegeven op bijlage 8. Er is gebruik gemaakt van de "full adder", die de eigenschap heeft dat de uitgang een logische "nul" afgeeft, wanneer beide ingangssignalen gelijk zijn, (zie tabel 2). Op de "non"-uitgang staat dan een logische "één". De NAND-poort 9007 geeft slechts dan een nul wanneer alle ingangen met een hoog niveau gestuurd worden, dus wanneer alle  $Q_i = B_i$  (bijl. 8). Een "inverter" 9016 zet deze "nul" om in een logische "een".

Voor de full adder kan met Karnaugh het volgende worden afgeleid.

$$P_i = B_i \cdot \bar{Q}_i + \bar{B}_i \cdot Q_i \quad \text{en}$$

$$\bar{P}_i = \bar{B}_i \cdot \bar{Q}_i + B_i \cdot Q_i$$

	0	1	$B_i$
0	1	0	
1	0	1	
	$Q_i$		

Voor het uitgangssignaal x geldt dan

$$x = \prod_{i=0}^7 \bar{P}_i$$

Stellen we nu bijvoorbeeld  $B_3 \neq Q_3$  dan geldt

$$\bar{P}_3 = \bar{B}_3 \bar{Q}_3 + B_3 Q_3 = 0 \quad \text{dus} \quad x = 0$$

Alleen wanneer  $\bar{P}_i = 1$  wordt  $x = 1$ .

Een dergelijke afleiding geldt voor y.

Met de 9324 kunnen slechts twee binaire getallen van 5 bit met elkaar vergeleken worden. Deze schakeling heeft verder 3 aparte uitgangen. Is het binaire getal dat aan de Q-ingangen wordt aangeboden groter dan het getal dat op de B-ingangen staat, dan is het niveau van uitgang  $Q > B$  hoog. Bij gelijke getallen wordt uitgang  $Q = B$  laag. Is  $Q < B$  dan wordt uitgang  $Q < B$  hoog. De andere uitgangen zijn steeds laag. Wanneer nu serieschakeling toegepast wordt op een wijze zoals bijlage 9 aangeeft, kunnen meer dan 5 bits vergeleken worden. Zijn voor het eerste I.C. alle  $Q_i = B_i$  dan geven de uitgangen  $Q < B$  en  $Q > B$  allebei een nul af. Aangezien de twee nullen voor het tweede I.C. gelijk zijn kan nu ook hier  $Q = B$  optreden enz.

Door een simpele ingreep kan de comparator met full adders vervangen worden door een met I.C.'s van het type 9324, zodat later overgestapt kan worden naar dit eenvoudiger systeem. In V.2. wordt deze verandering nader aangegeven.

### III.6. De uitleeseenheid.

De uitleeseenheid is opgebouwd uit 5 identieke eenheden. Iedere eenheid bestaat uit een decadeteller, een buffer en een "nixie-driver" met cijferindicatorbuis. Zoals reeds in II.2. vermeld is geeft iedere teller een B.C.D. (1-2-4-8) getal af. 4 Bit stelt één cijfer voor. Vijf tellers zijn nodig om vijf cijfers af te beelden. Het schema van de uitleeseenheid wordt gegeven op bijlage 10. Het is slechts aangegeven voor twee cijfers maar kan op eenvoudige wijze uitgebreid worden tot vijf. De "nixie-driver" is een geïntegreerde schakeling met 10 uitgangen. Afhankelijk van de aan de ingang aangeboden B.C.D. code wordt één van deze uitgangen aan aarde gelegd. Voor het "nixie buisje" betekent dit dat die geaarde kathode zal oplichten. Aangezien alle kathoden de vorm van een cijfer hebben wordt een cijfer zichtbaar.

#### IV. Stuursignalen

Zoals in hoofdstuk II is behandeld, stuurt oscillator 2 via een poort de decadetellers. De poort wordt vergrendeld door de signalen x en y van de comparator. Deze signalen worden één onmiddellijk nadat de uitgangen van de binaire teller gelijk zijn aan die van buffer 1. Dit geschiedt direct na een positieve flank van de spanning van oscillator 1. Als x en y niet vertraagd worden, kan de poort zo snel vergrendeld worden dat een sterke pulsverkorting optreedt. Aan de uitgang van de poort kan de puls zo smal worden dat de decadetellers hierop niet meer reageren. Met een tijdvertraging van 150 nsec. heeft deze puls een minimale pulsbreedte van 150 nsec.

Op bijlage 11 is het schakelschema van de sturing getekend. Om een duidelijk beeld te krijgen van de werking gaan we verder uit van de situatie dat oscillator 1 dezelfde frequentie heeft als oscillator 2. De werking is nu als volgt. Oscillator 2 levert een blokvormige spanning aan poort P. De uitgang (b) van "one shot" 1 is in het algemeen hoog. Zodra x en y beide hoog zijn ( $x = 1$ ,  $y = 1$ ) wordt de uitgang van poort I gedurende een periode van het oscillatorsignaal laag ( $x = 0$ ). a wordt via een R.C. netwerk met een vertraging van 150 n sec. aan O/S1 doorgegeven. Uitgang b van O/S2 wordt laag en blokkeert gedurende 500 nsec. poort P (zie bijlage 12). In deze tijd moet één van de decadetellers worden uitgelezen. Dit geschiedt met behulp van O/S2, die een blokvormige puls afgeeft van 250 nsec. welke binnen de vergrendelingstijd dient te vallen. O/S2 wordt gestuurd door b. Een tijdvertraging van 150 nsec. is aangebracht om te voorkomen dat b en c tegelijk schakelen. Afhankelijk van MA en ME levert GA of GE een triggersignaal.

Na de uitlezing moeten de tellers "gereset" worden voor een nieuwe meetcyclus. De "rest"-pulsen MR en  $\overline{MR}$  worden geleverd door O/S4. c zorgt voor de sturing. Door de achterflank van het signaal c wordt O/S3 gestuurd. Het uitgangssignaal d hiervan blijft dan gedurende 800 nsec. hoog. In deze tijd kan slechts één positieve flank van oscillator 1 doorgelaten worden. (synchronisatie t.b.v. oscillator 1). Na een vertraging van 82 nsec. geeft dat O/S4 de "reset"-pulsen met een breedte van 500 nsec. af. Nadat de "reset"-puls geweest is kan een nieuwe meetcyclus beginnen. De tijd benodigd voor een stuurcyclus is dus gelijk aan twee perioden van de hoofdosillator. De sturing



wordt in zijn geheel afgeleid van de a-draad. Weliswaar gaat er via de count-draad toch nog een puls (zie arcering) naar de decadetellers maar aangezien de resetpuls altijd langer duurt dan een halve periode van de oscillator wordt deze niet uitgelezen.

De tijdvertraging van 82 nsec. heeft het volgende doel. Bij uitlezing van een hoek van  $0,00^{\circ}$  moet a hoog geweest zijn voor de nieuwe meetcyclus begint. Was dit namelijk niet het geval dan reageert "one-shot" niet en dus de gehele stuurschakeling niet. De tellers zouden dan doorlopen tot  $360,00^{\circ}$ , alvorens weer gelijkheid door de comparator wordt geconstateerd. Is a hoog (zie bijlage 13) dan levert a op het moment dat de resetpuls ontstaat weer een negatieve flank, omdat x en y beide 1 worden. Begin en eind van de sturing worden nu gegeven door de MR puls, zodat de duur van een stuurcyclus in dit geval gelijk is aan één periode van oscillator 1.

De omschakeling voor de kanaalkeuze is afgeleid van signaal b (zie bijlage 11). Aan het eind van de vergrendeling (positieve flank) schakelt de flip-flop om, zodat MA en ME van polariteit veranderen.

## V. De uitvoering van het apparaat

### V.1. De oscillator

Iedere oscillator is op een aparte printkaart gebouwd omdat bleek dat ze elkaar anders te veel beïnvloedden. We zijn uitgegaan van 2 kristaloscillatoren 1 en 2 met frequenties van resp. 4,096 MHz en 4,5 MHz. Een extra flip-flop is als deler achter de ECL-TTL omzetter van oscillator 2 geplaatst, om een frequentie van 0,5625 MHz te verkrijgen (delen door 8 i.p.v. door 4). Om 2 gelijke prints te maken voor beide oscillatoren is bij de andere oscillator en inverter I.C. toegevoegd. Op beide printkaarten (bijlage 14) is een variabele condensator aangebracht, die door het openen van de achterwand bereikbaar is. De oscillatorfrequentie kan met behulp van deze condensator worden afgeregeld. Het signaal is door middel van een B.N.C.-connector uitgevoerd.

### V.2. De comparator

De printtekening is getekend op bijlage 15. De print is dubbelzijdig, waarbij de gestippelde lijnen aan de componentenzijde gedacht moeten worden. Op deze printkaart zijn buffer 1, comparator en binaire teller ondergebracht. Het inleescommando, is tevens het "reset"-signaal voor de teller.

Zoals in III.5. is vermeld is deze print ontworpen voor het I.C. 9324. Door gebruik te maken van I.C. voetjes van het type "wire-wrap" kan een andere print (die met full adders wordt uitgevoerd) op de 9324-voetjes worden aangesloten.

### V.3. De "channel-selector"

Aan de achterkant van het apparaat bevinden zich 2 stel 16-polige contra-stekers. Twee boven elkaar zijn parallel geschakeld. De 16 contacten zijn genummerd 1 t/m 16 en vormen de aansluitpunten voor resp.  $A_0$  tot en met  $A_{15}$  en  $E_0$  tot en met  $E_{15}$ .

De "channel-selector" is uitgevoerd op twee identieke printplaten, die ieder dienen voor selectie van 8 bit. De printplaat is getekend

op bijlage 16. Aangezien deze meer dan 22 contacten heeft is gebruik gemaakt van dubbelzijdige connectors.

#### V.4. De stuursignalen

Op bijlage 17 is de print getekend van het geheel stuurcircuit. Voor het geval dat bv. slechts één uitlezing per seconde gewenst is, kan gebruik gemaakt worden van de uitgangen  $C_-$  en  $C_+$ . Na verwijdering van de weerstand  $R_1$  moeten deze uitgangen volgens nevenstaande figuur aangesloten worden. De uitleestijd wordt met goede benadering gegeven door de formule

$$\tau = 0,32 C_x R_x$$

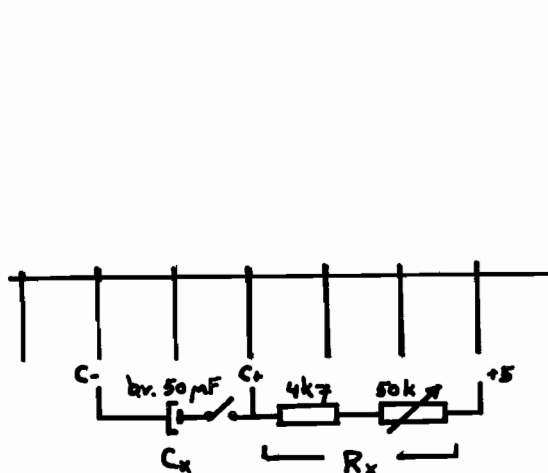
Wanneer de variabele weerstand nul ohm is schakelt de schakelaar de externe  $C_x$  uit en is de oorspronkelijke schakeling weer verkregen.

De werking is als volgt. Door de lengte van de resetpuls te veranderen (zie bijlage 12) wordt het begin van de nieuwe meetcyclus verschoven. Deze cyclus kon immers pas beginnen als het MR-signaal weer nul is. Zolang als MR gelijk aan één is zijn de uitgangen van de tellers laag, onafhankelijk van wat er aan de andere ingangen gebeurt.

#### V.5. De uitleeseenheid

Hiervoor is gebruik gemaakt van tien teleenheden van N.V. Delta Elektronica, waarvan op bijlage 18 en 19 de specificaties zijn gegeven. Deze kaarten worden zodanig op twee montagesteunen bevestigd dat de buisjes direct vanaf de voorkant afleesbaar zijn. Op dezelfde steunen zijn de voedingen voor 5 volt en 180 volt voor de teleenheden aangebracht.

Door middel van een 8-polige stekker is de uitleeseenheid verbonden met de andere schakelingen.



## VI. Nabeschouwing en conclusie

Door de keuze van de sporen op de codeschijf wordt de verhouding van binair ingangsgetal tot decimaal uitgangsgetal gegeven door

$$2^{16} \text{ bit} \leftrightarrow 360,00 \text{ graden}$$

$$1 \text{ bit} \leftrightarrow 0,0054931640625 \text{ graad.}$$

Wanneer alleen het eerste bit ( $2^0$ ) van de codeschijf een 1 is, betekent dit dat de uitlezing geen eenduidige indicatie kan geven.

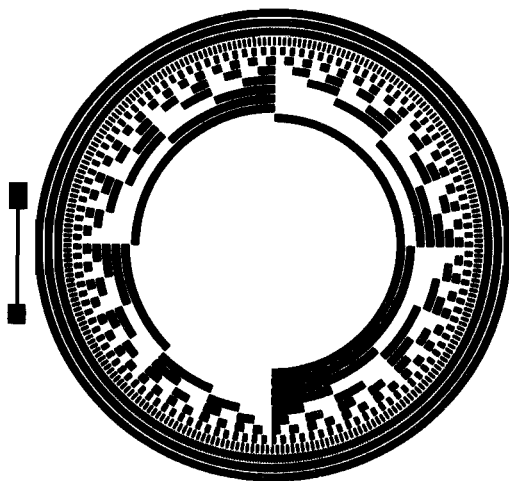
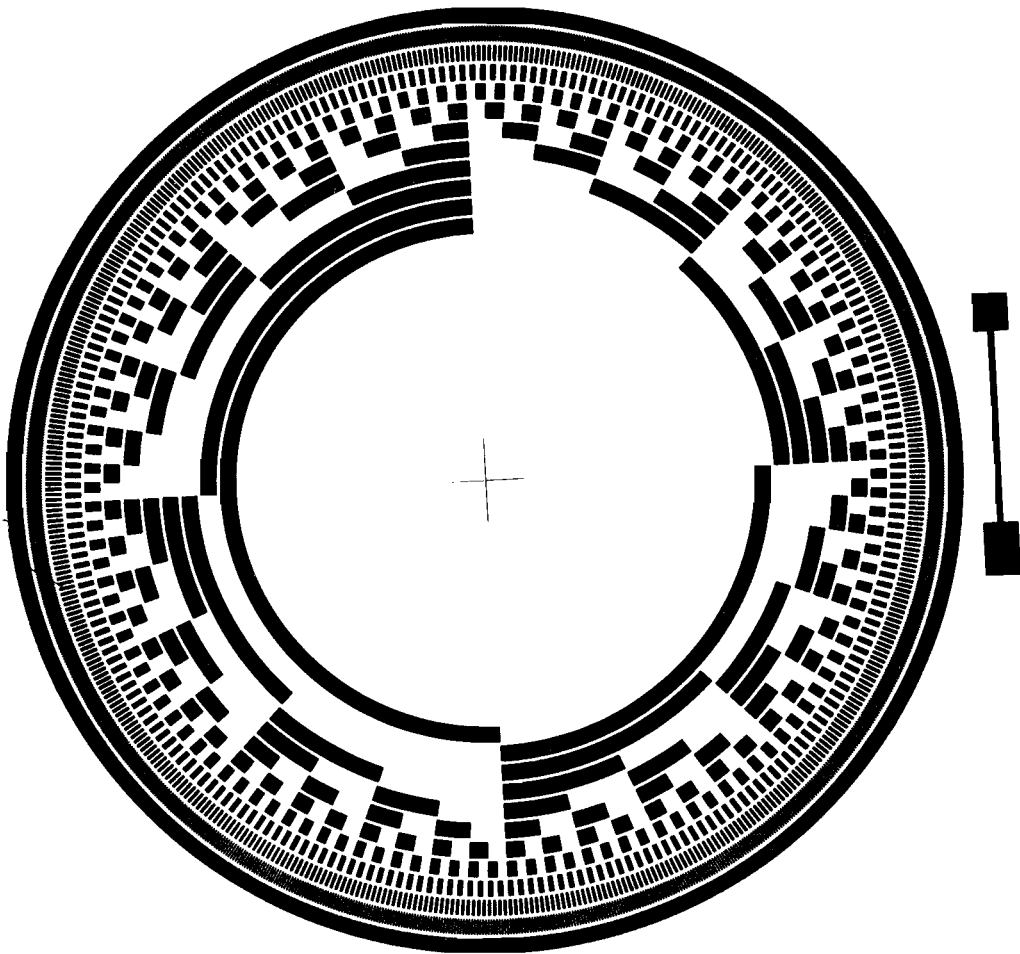
In de praktijk komt het er op neer dat zowel een nul als een één aangegeven kan worden. Bij kleine getallen zoals in dit voorbeeld zijn dan twee cijfers door elkaar zichtbaar, bij grote getallen echter zal door de lange uitleestijd een verspringend cijfer het resultaat zijn.

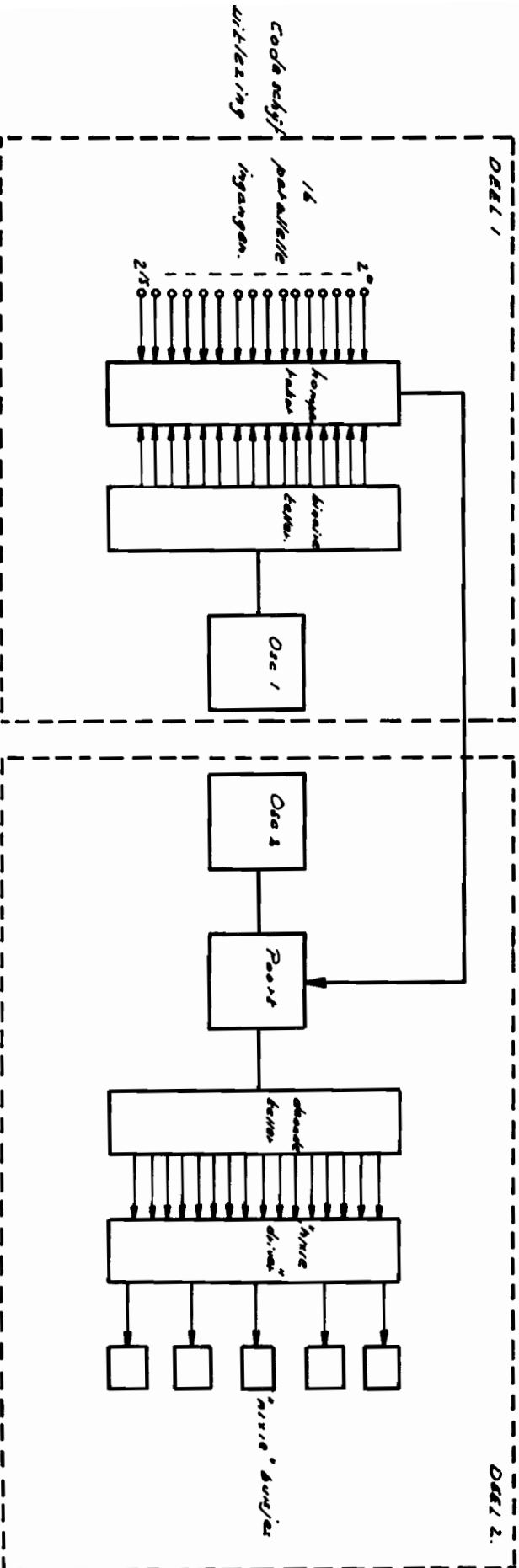
Aangezien dit bij getallen als 09999 bijzonder storend werkt, is gedacht aan het toepassen van de zg. verlengde stuurcyclus zoals in V.4. beschreven is. Het nadeel is dan wel dat de maximale uitleestijd toeneemt. Dit betekent dat het apparaat niet exact de stand van de antenne aangeeft tijdens het draaien.

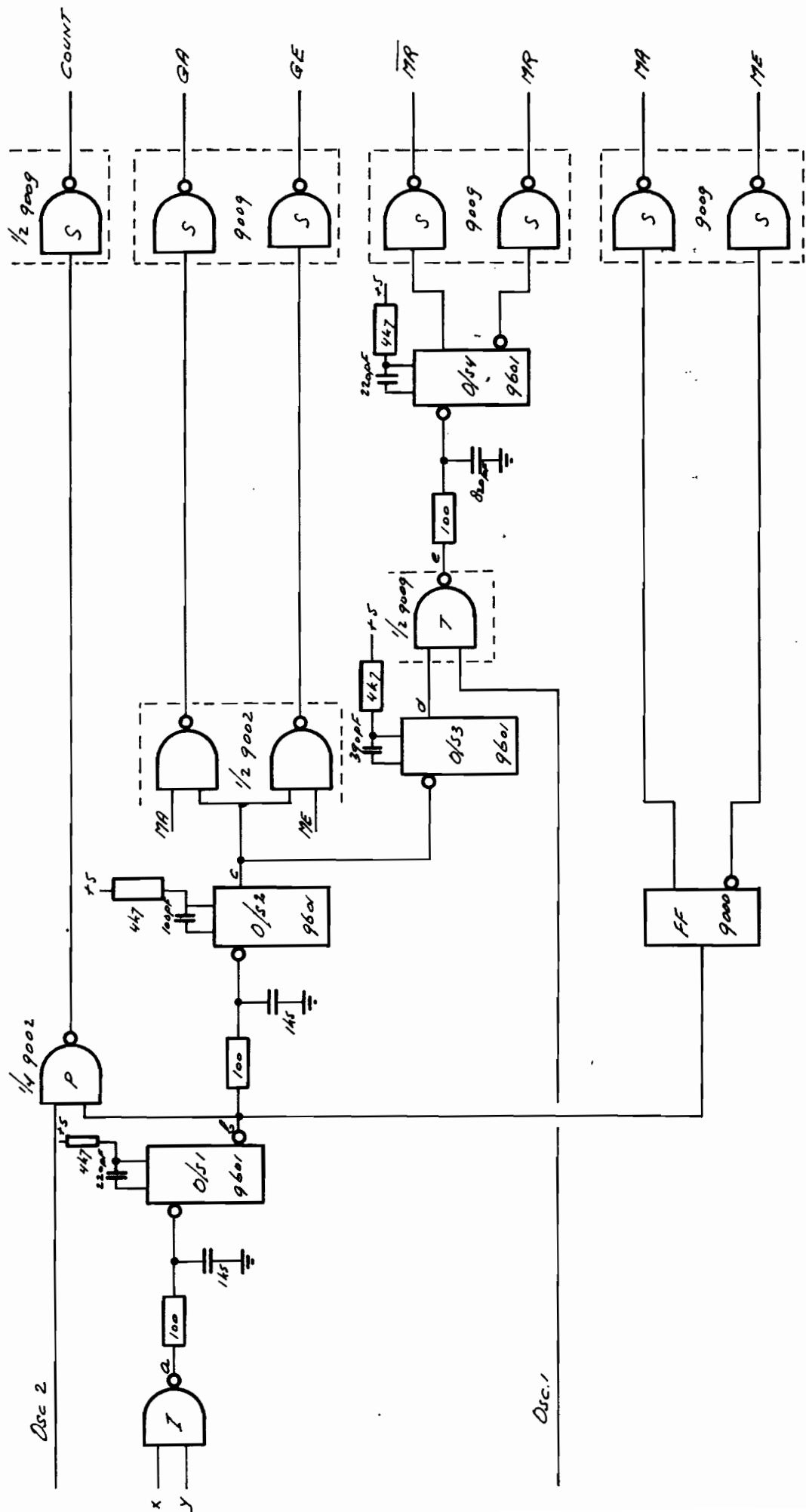
Door een variabele weerstand met schakelaar is met beide mogelijkheden rekening gehouden. zodat of een snelle veranderende indicatie optreedt of een langzame met fouten.

Literatuuropgave

1. Heetman, Prof.ir. A.  
Schakeltechniek, Combinatorische Netwerken.  
(collegedictaat T.H.E.)
2. Heetman, Prof.ir. A.  
Schakeltechniek, Sequentiële Netwerken.  
(collegedictaat T.H.E.)
3. Bloemendaal, Ir. R.M. van  
Ontwerp voor een antennesturing d.m.v. een digitale  
rekenmachine.  
(afstudeerverslag T.H.E.)
4. Graaf, Ir. D.N. van de  
Ontwikkeling van een digitale afstandsbesturing  
voor een grote antenne.  
(afstudeerverslag T.H.E.)
5. Fairchild Semiconductor Integrated Circuit Data Catalog 1970.  
N.S.I. pocket guide.  
Fairchild series 54/74 T.T.L. january 1970.

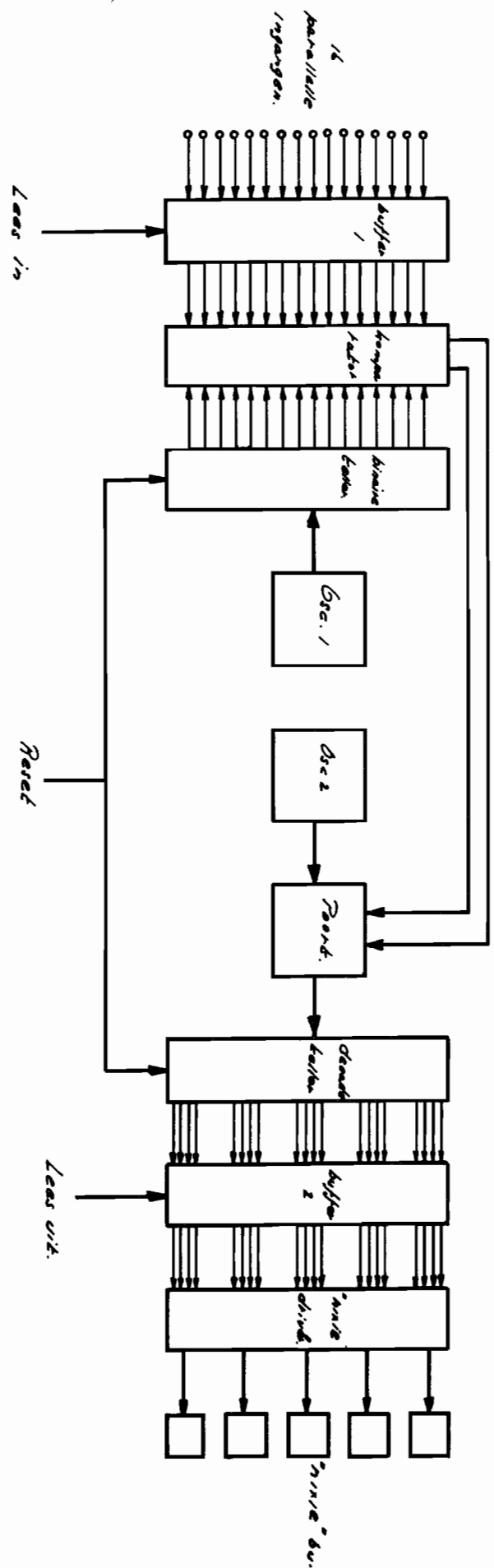


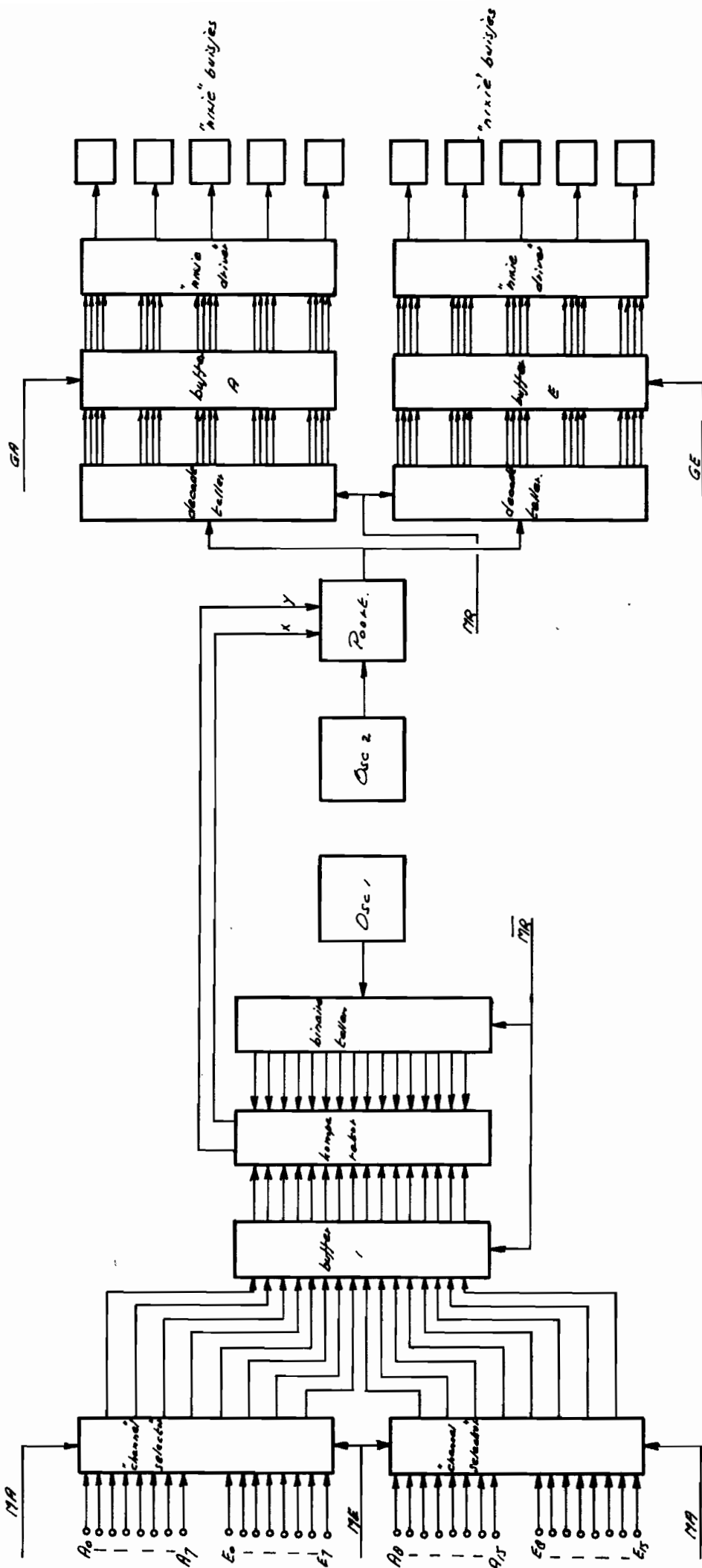


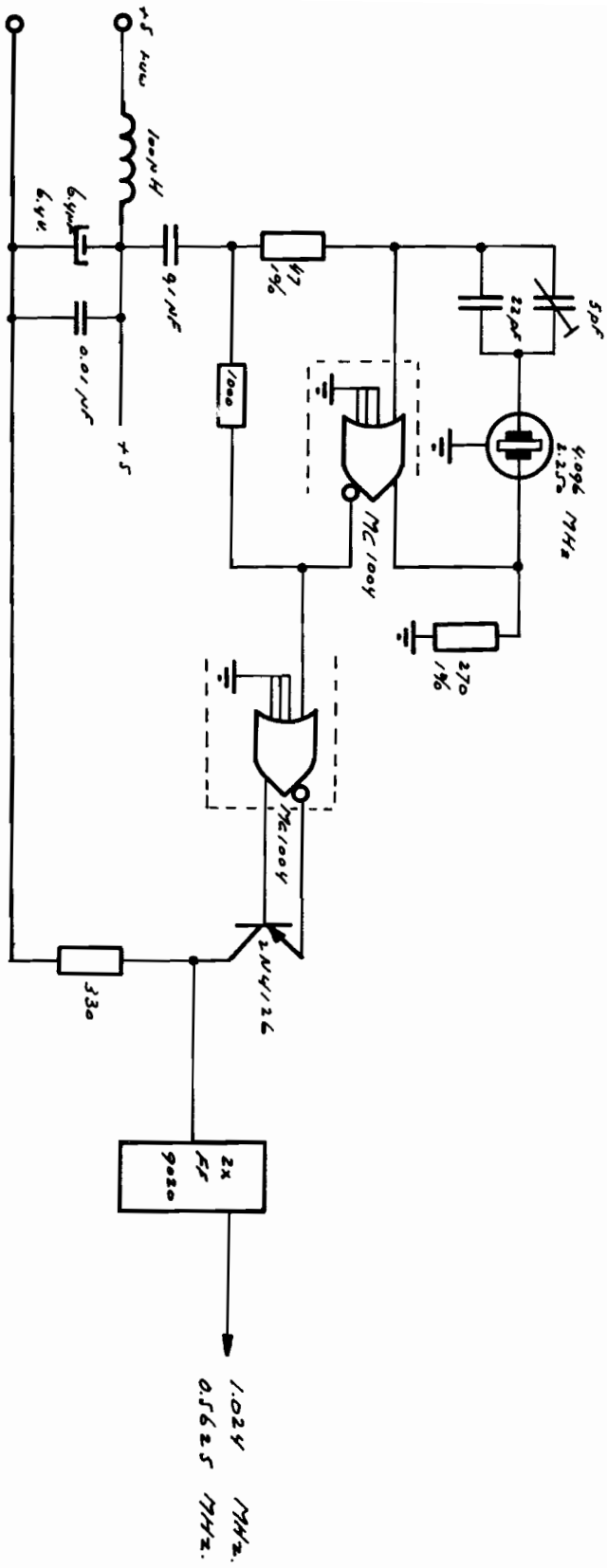


by: lege 11.

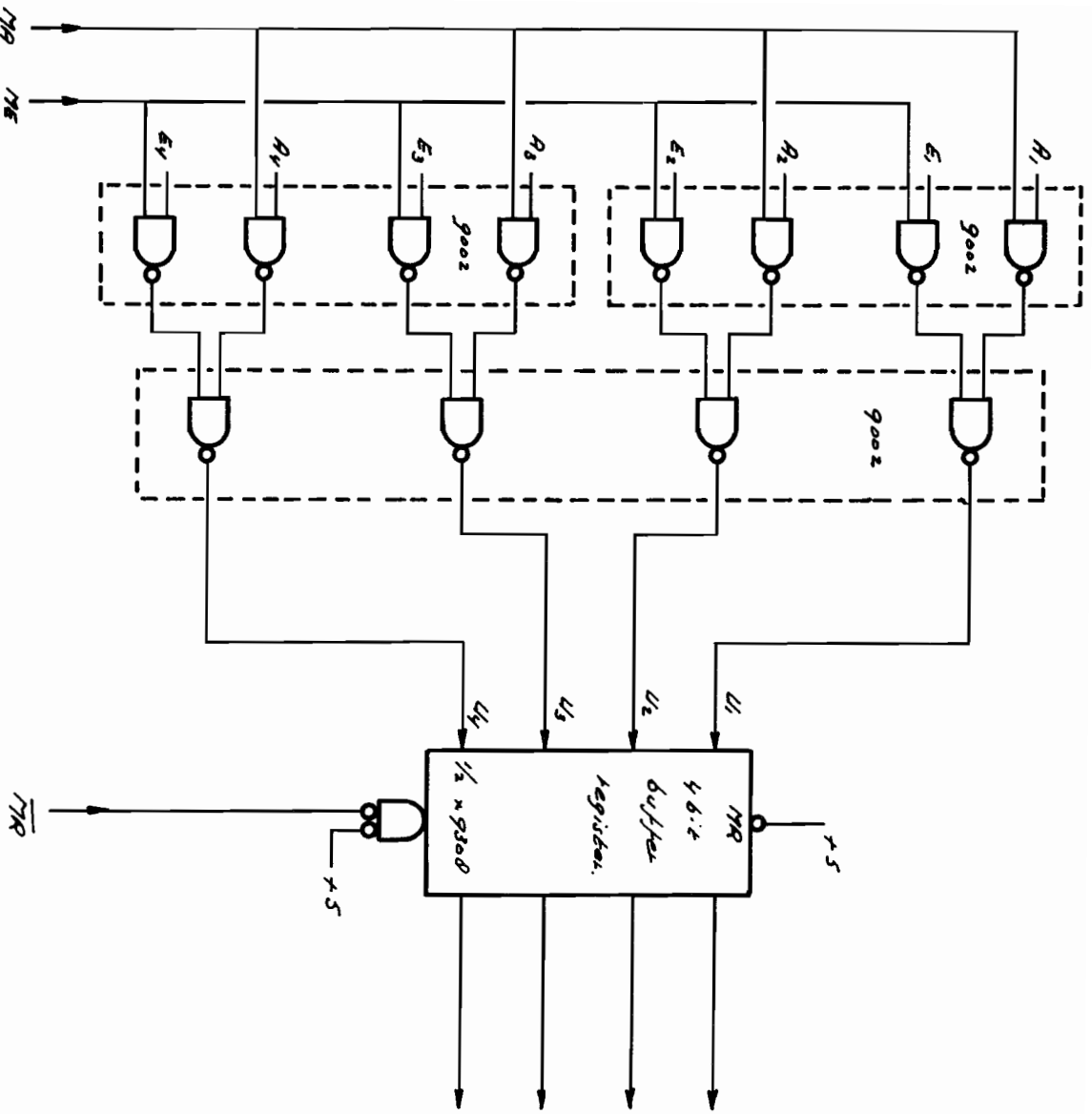




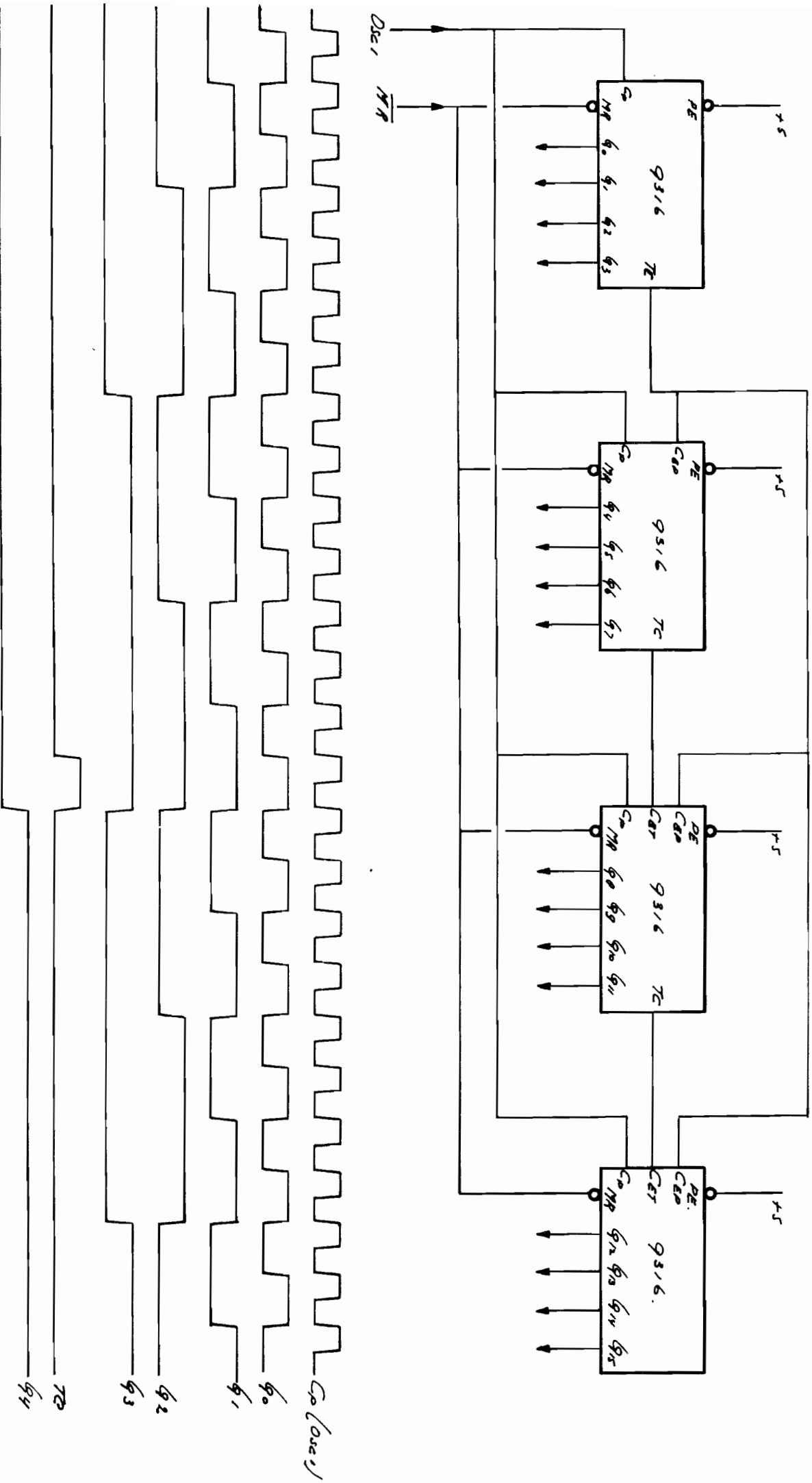


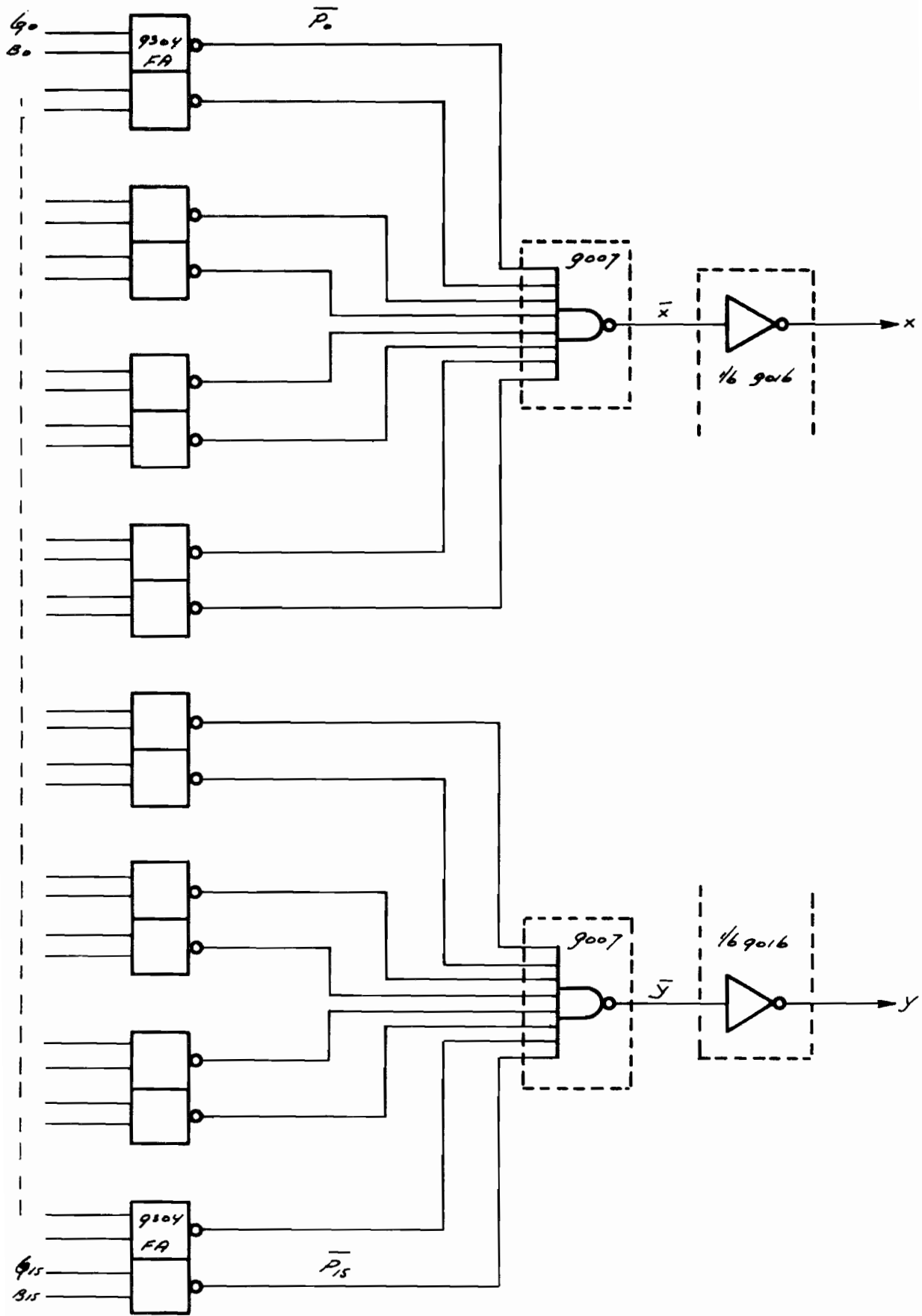


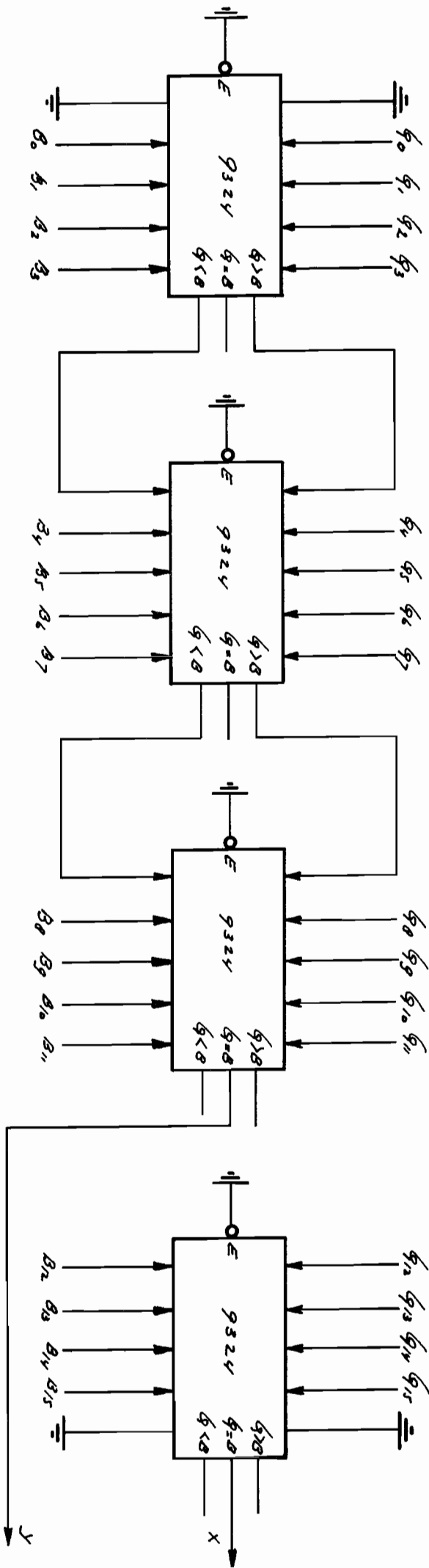
by/ago 5.

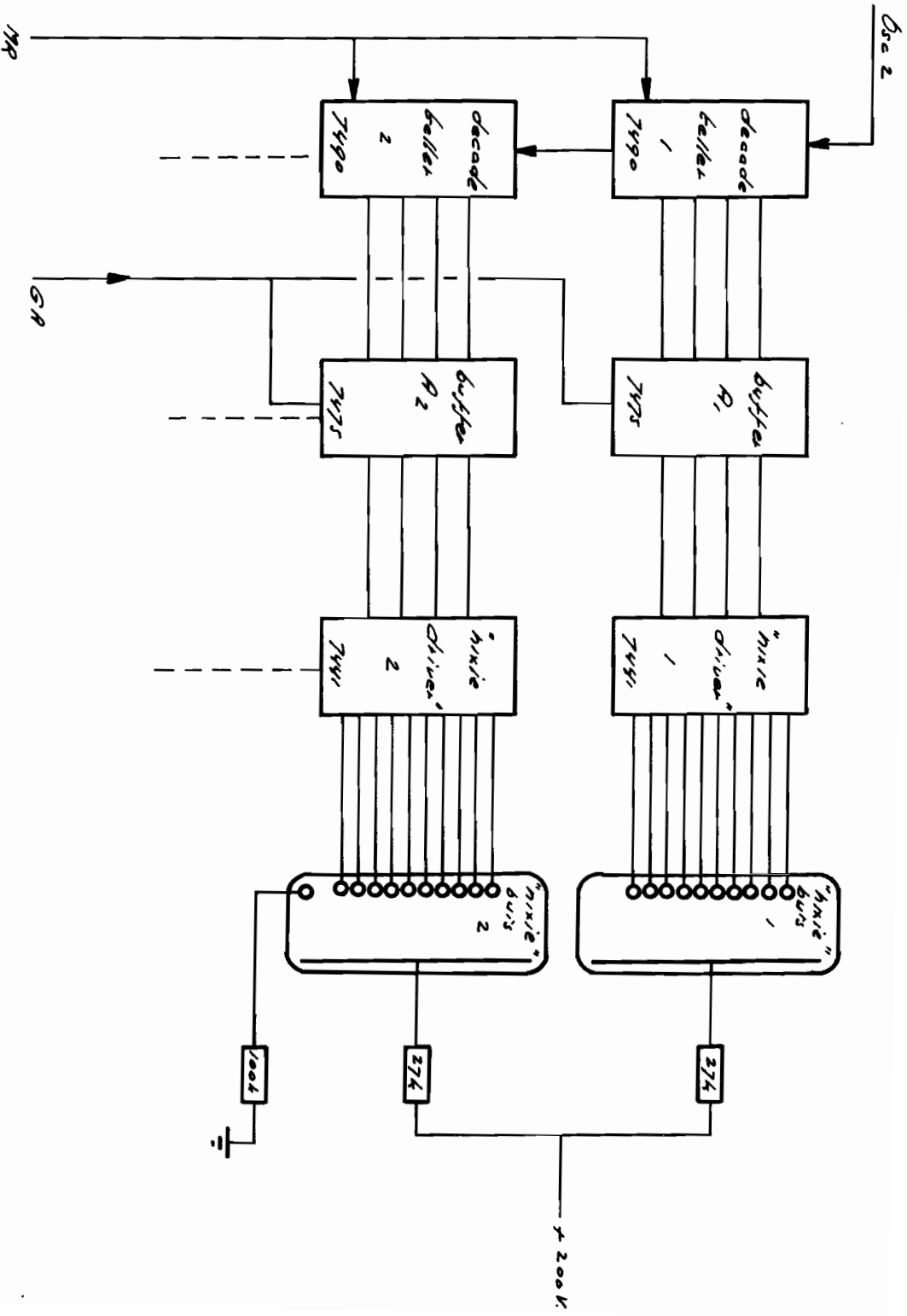


by/age 6.



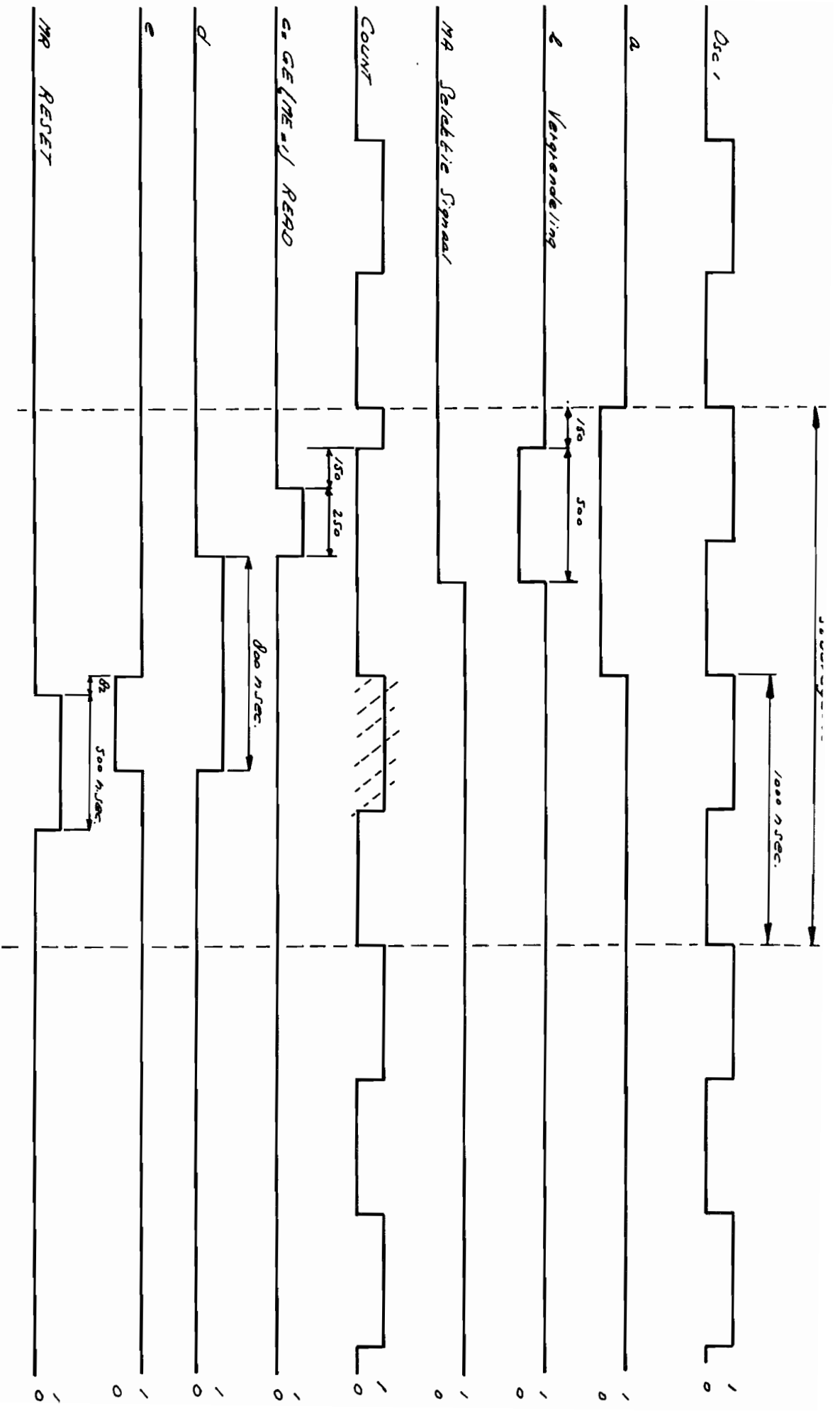




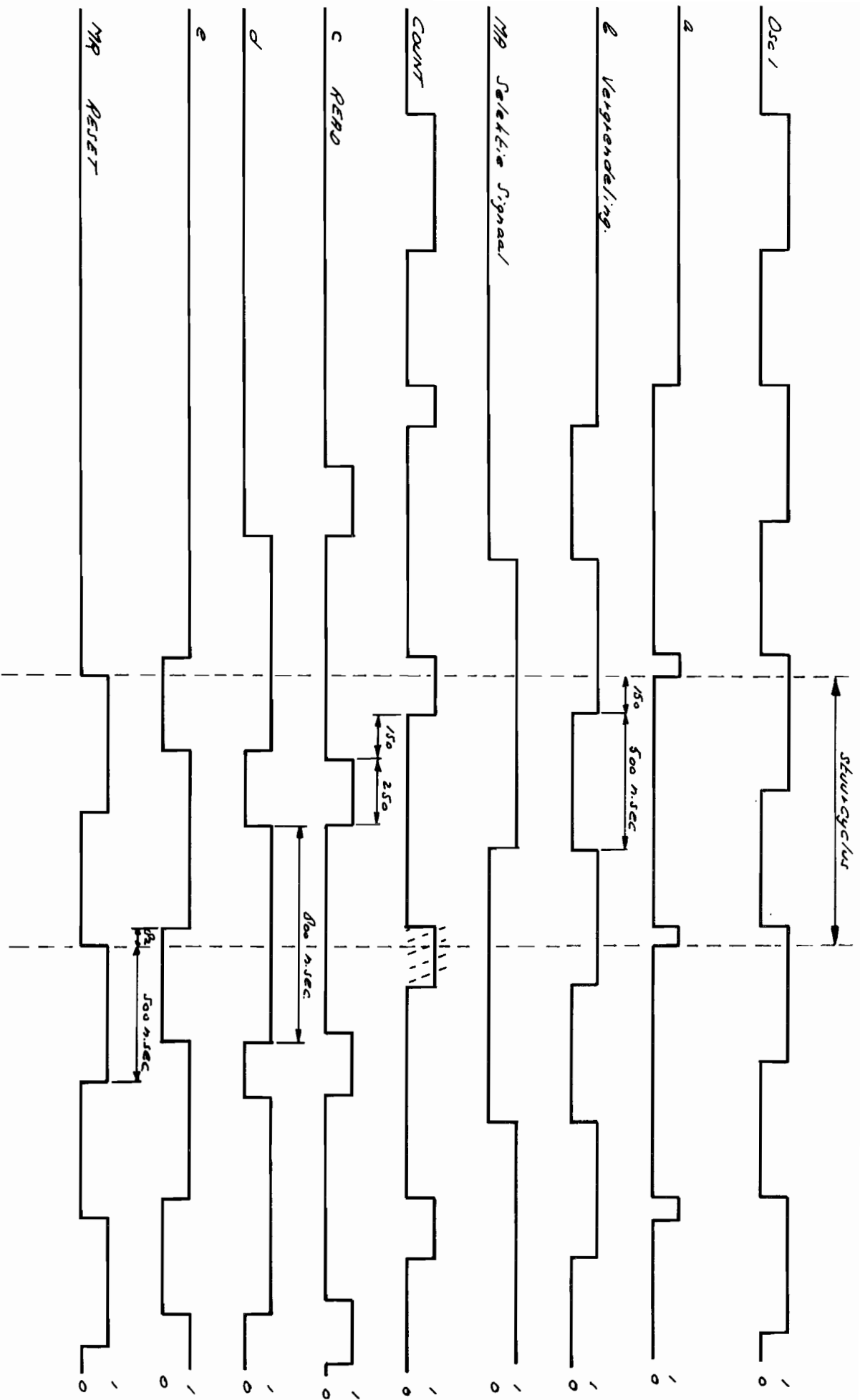


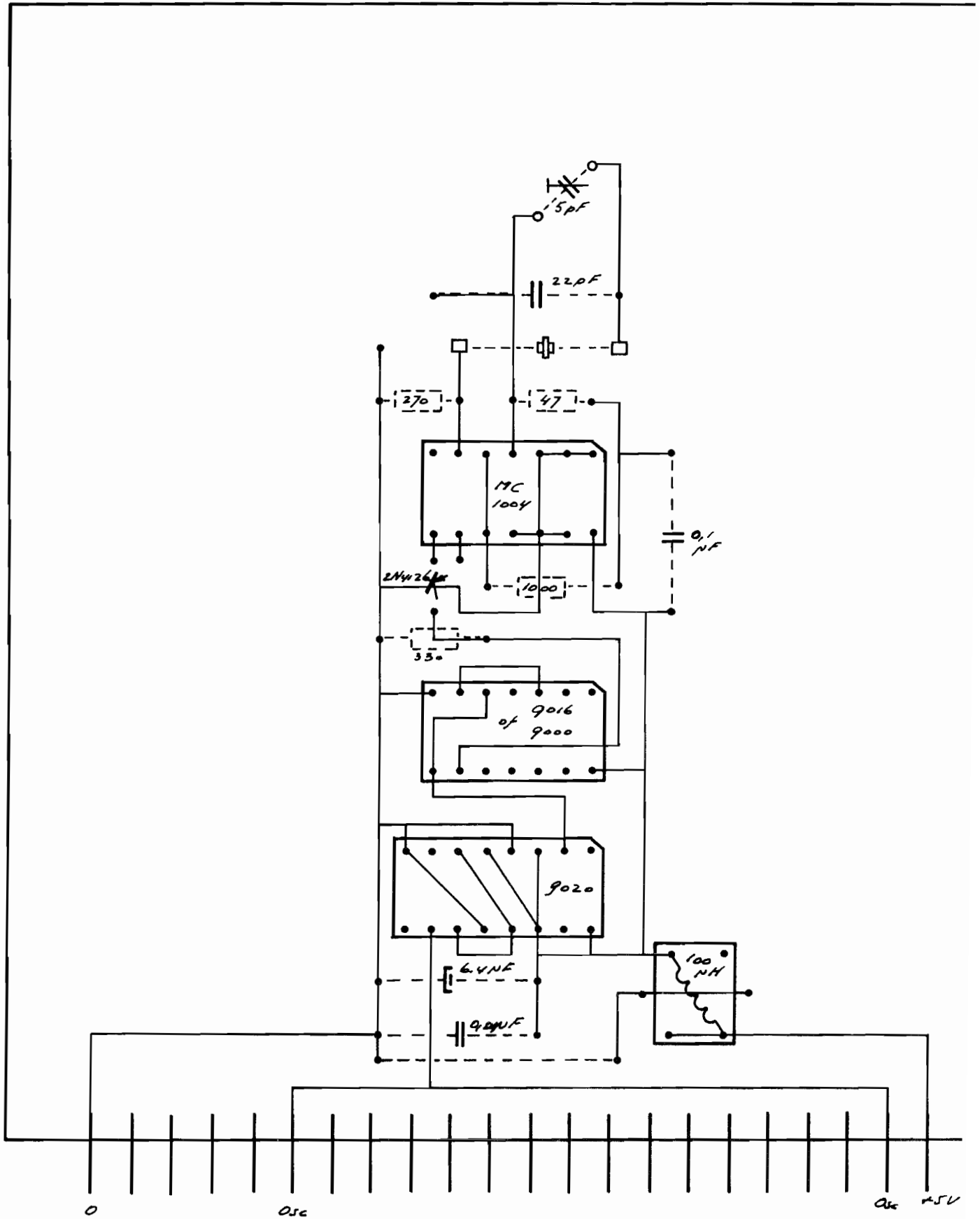
by page 10.

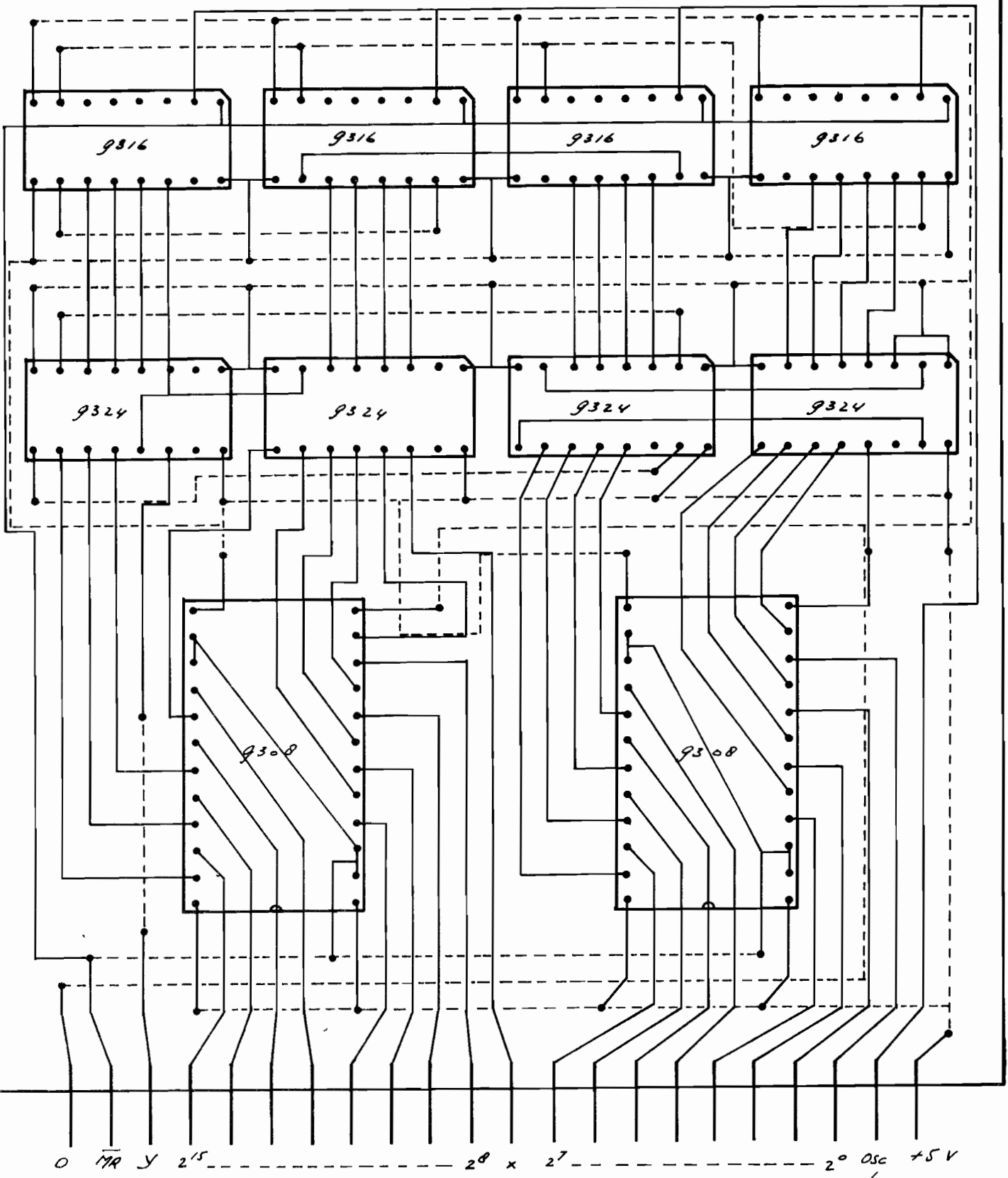




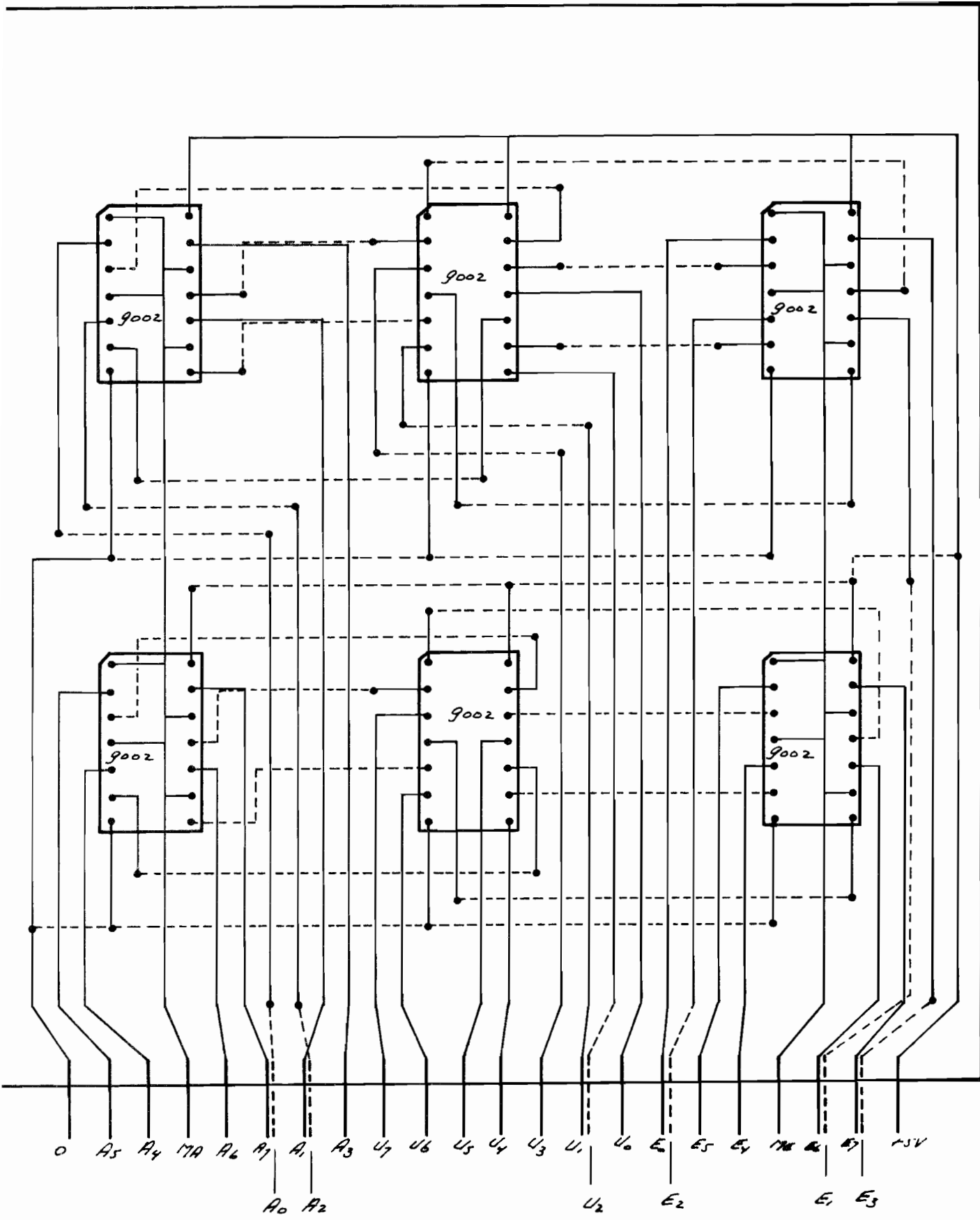
by page 12.

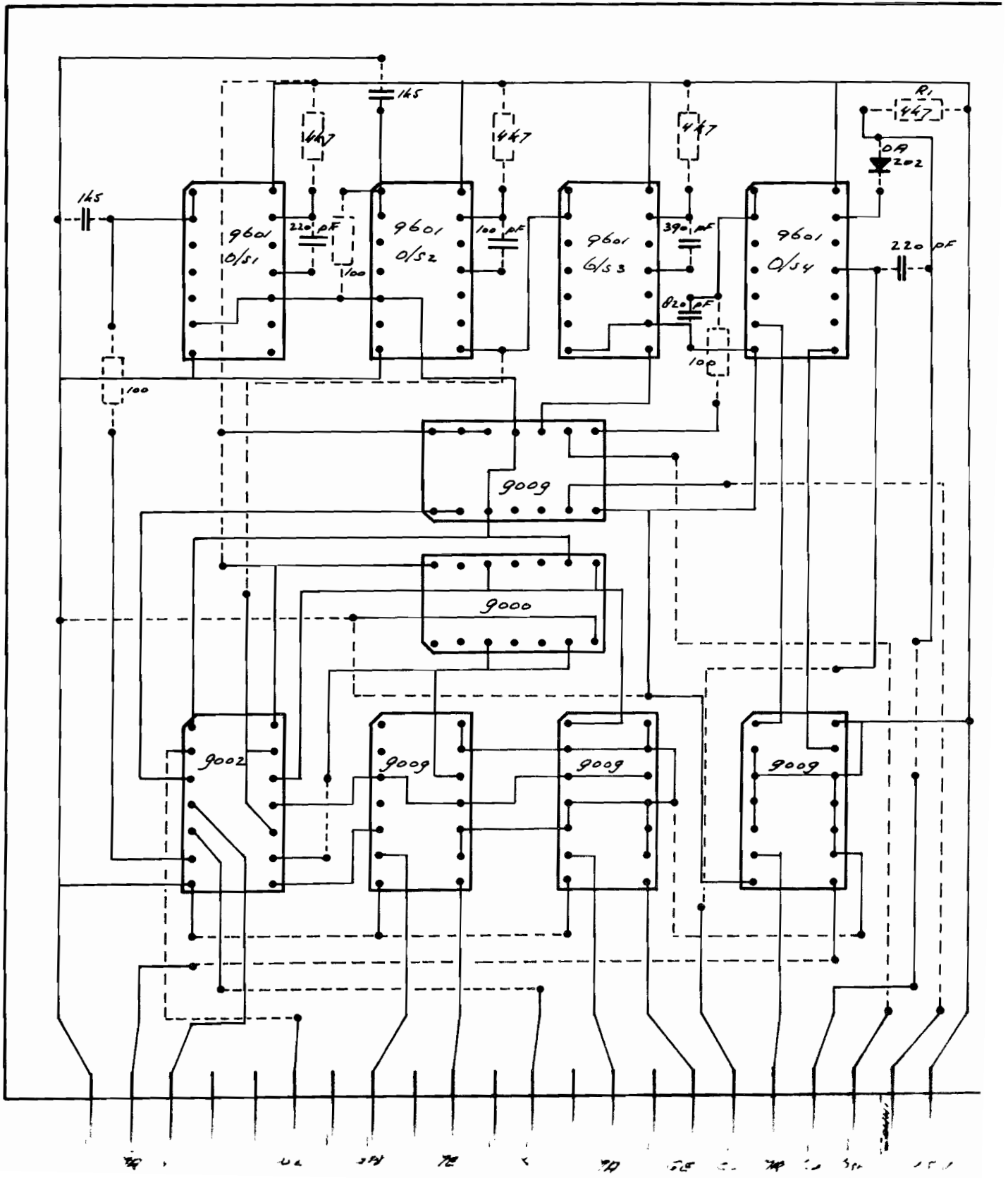






bylage 15







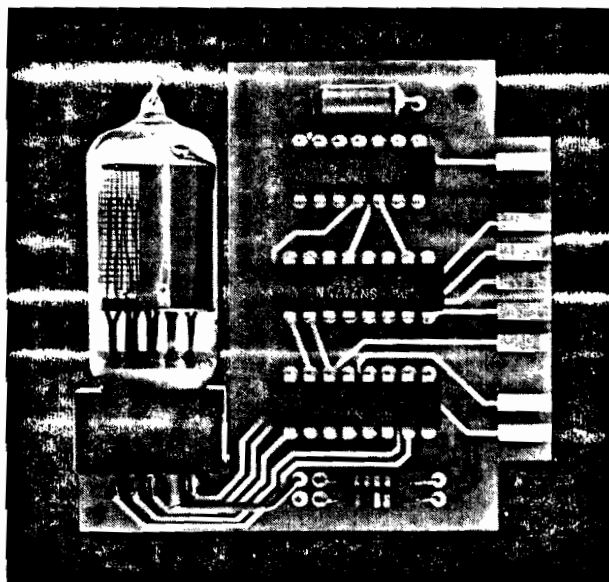
20 MAART 1970

## DECIMAL COUNTER TE 3

- Counting speed guaranteed up to 10 MHz.
- Memory provides constant display while counter goes on.
- 1-2-4-8 BCD outputs of counter and memory on connector strip.
- Display tube with decimal point.

The decimal counter TE 3 is designed around the 74 series TTL IC's and consists of:

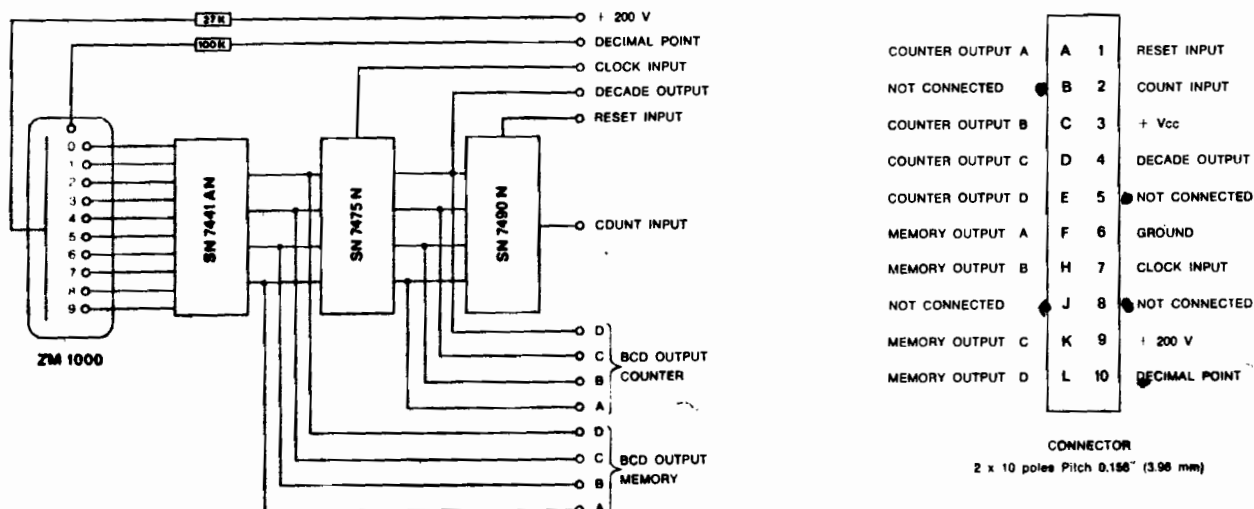
- Decade counter SN7490N
- Bistable latch SN7475N
- Decoder driver SN7441AN
- Display tube ZM1000



The counter counts when the input level changes from logical 1 to logical 0. This means that it counts on the negative edges of the input pulses. The counts are displayed in decimal figures - 0 to 9 - by the gas discharge indicator.

As long as the clock input of the memory is on logic 1 level, the display will follow the counter. However, when the clock input changes from the 1 to the 0 state, the figure, which was present before the change, will continuously be displayed. In the meantime the counter goes on and as soon as the clock input returns to the 1 state the new information will be displayed.

For use without memory the clock input (pin 7 on the connector) can simply be connected with about + 3 V (logical 1 level).



*bijlage 18*

**Ambient temp.**

Operating 0 °C to + 70 °C.

**Supply voltages**

Integrated circuits 5 V ± 5% 85 mA  
 Indicator tube 200 V ± 5% 2.5 mA

**Counter input**

Logical 1 level min. 2 V  
 Logical 0 level max. 0.8 V  
 Width of input pulse min. 50 ns.

The counter counts when the input changes from logic 1 to logic 0 level.  
 Max. frequency of input pulse 10 MHz.  
 Fan-in\* 2

**Reset input**

Logical 1 level min. 2 V  
 Logical 0 level max. 0.8 V  
 Width of input pulse min. 50 ns.

Reset to zero occurs at logical 1 level.  
 Fan-in\* 1

*active high***Memory clock input**

Logical 1 level min. 2 V  
 Logical 0 level max. 0.8 V  
 Width of input pulse min. 50 ns.

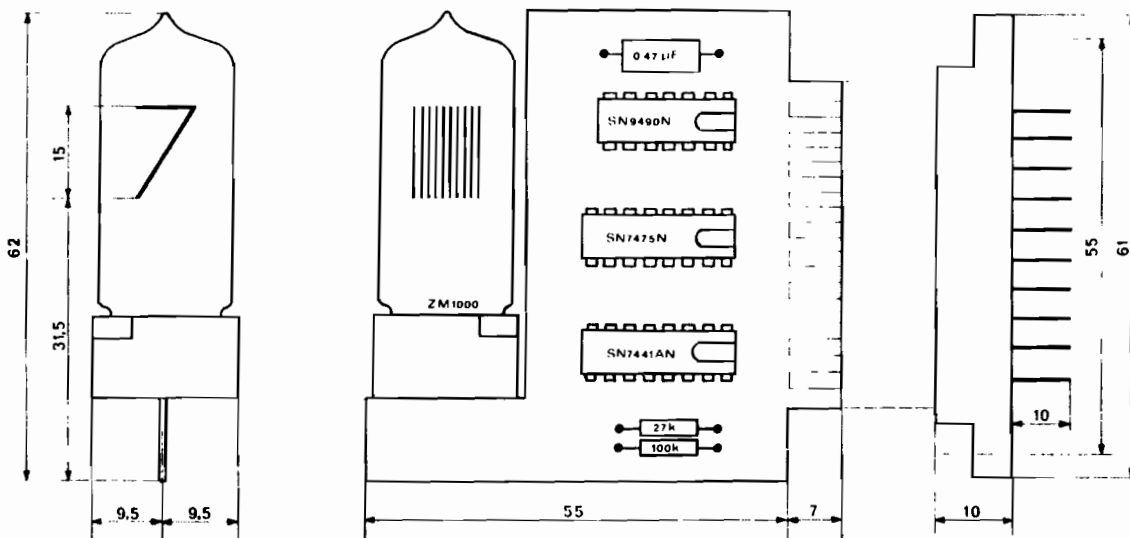
Information of the counter output is transferred to the decoder/driver when the clock input is at logical 1 level.  
 Fan-in\* 8

**BCD counter and memory outputs**

Logical 1 level min. 2.4 V  
 Logical 0 level max. 0.4 V  
 Fan-out\*\* 8

**Decimal point**

For decimal point display ground pin 10.



\* The „fan-in“ is the number of standard input gates of the 54/74 series, which at the input correspond with this load (NI = 1.6 mA for logical 0 and 40 µA for logical 1).

\*\* The „fan-out“ is the number of standard input gates of the 54/74 series with which the output may be loaded.