

MASTER

Switched current digitaal analoog omzetter

Koese, N.

Award date:
1992

[Link to publication](#)

Disclaimer

This document contains a student thesis (bachelor's or master's), as authored by a student at Eindhoven University of Technology. Student theses are made available in the TU/e repository upon obtaining the required degree. The grade received is not published on the document as presented in the repository. The required complexity or quality of research of student theses may vary by program, and the required minimum study period may vary in duration.

General rights

Copyright and moral rights for the publications made accessible in the public portal are retained by the authors and/or other copyright owners and it is a condition of accessing publications that users recognise and abide by the legal requirements associated with these rights.

- Users may download and print one copy of any publication from the public portal for the purpose of private study or research.
- You may not further distribute the material or use it for any profit-making activity or commercial gain

5391

SWITCHED CURRENT DIGITAAL ANALOOG OMZETTER

Afstudeerverslag van N. Köse

In opdracht van :Prof. Dr. Ir. W. M. G. van Bokhoven
Onder begeleiding van :Ir. J. H. van den Boorn
Periode :Mei 1991-Februari 1992
Plaats :Vakgroep Elektronische Schakelingen (EEB)
Fakulteit der Elektrotechniek
Technische Universiteit Eindhoven

De Faculteit der Elektrotechniek van de Technische Universiteit Eindhoven aanvaardt geen verantwoordelijkheid voor de inhoud van stage- en afstudeerverslagen

SAMENVATTING

Switched current techniek stelt ons in staat de bemonsterde signalen in het stroomdomein te bewerken. Deze techniek heeft in de laatste jaren bekendheid gekregen. Daarom is hierover nog weinig onderzoek gedaan.

Tijdens dit afstudeeronderzoek werd in eerste instantie een literatuur onderzoek over deze techniek gedaan. Aan de hand van simulaties met PSPICE is de werking van een aantal switched current circuits onderzocht, met name track and hold circuit, vertagingscircuit en integratorcircuit. Tijdens dit onderzoek werd de invloed van de niet-ideale effecten bij de MOS transistoren op de werking van deze circuits bestudeerd. Verder is een ontwerp gemaakt van een algoritmische switched current digitaal analoog omzetter, waarmee het mogelijk is een nauwkerigheid te bereiken van 8 bits.

Switched current circuits zijn eenvoudig. De niet-ideale effecten bij de MOS transistoren spelen een belangrijke rol in de werking van deze circuits. Switched current techniek heeft een breed toepassingsgebied. Er moet nog veel onderzoek gedaan worden over de toepassingsmogelijkheden en om de werking van switched current circuits te verbeteren.

INHOUDSOPGAVE

	Samenvatting	1
1	Inleiding	3
2	Switched current techniek	4
3	Onnauwkeurigheden bij switched current circuits	11
4	Clock feedthrough effect bij de switched current circuits	15
4.1	Compensatie van clock feedthrough effect	17
4.2	Compensatie met CMOS schakelaar	18
4.3	Compensatie met dummy transistor	18
4.4	Compensatie in stroomdomein	19
5	Niet-ideale effecten bij switched current circuits	21
5.1	Niet-ideale effecten bij de vertragingscircuits	21
5.2	Niet-ideale effecten bij de integratorcircuits	28
6	Digitaal analoog omzetter in switched current techniek	35
6.1	Algoritmische digitaal analoog omzetter	35
6.2	Uitbreiding van switched current digitaal analoog omzetter	37
6.3	Besturingsschakeling van switched current digitaal analoog omzetter	40
7	Conclusies	44
	Literatuurlijst	45
	Bijlage Model parameters van de MOS transistoren tijdens simulaties	46

INLEIDING

Bij de vakgroep Elektronische Schakelingen (EEB) wordt onder andere onderzoek verricht op het gebied van de bewerking van de bemonsterde signalen. Switched current techniek stelt ons in staat om de bemonsterde signalen in het stroomdomein te bewerken.

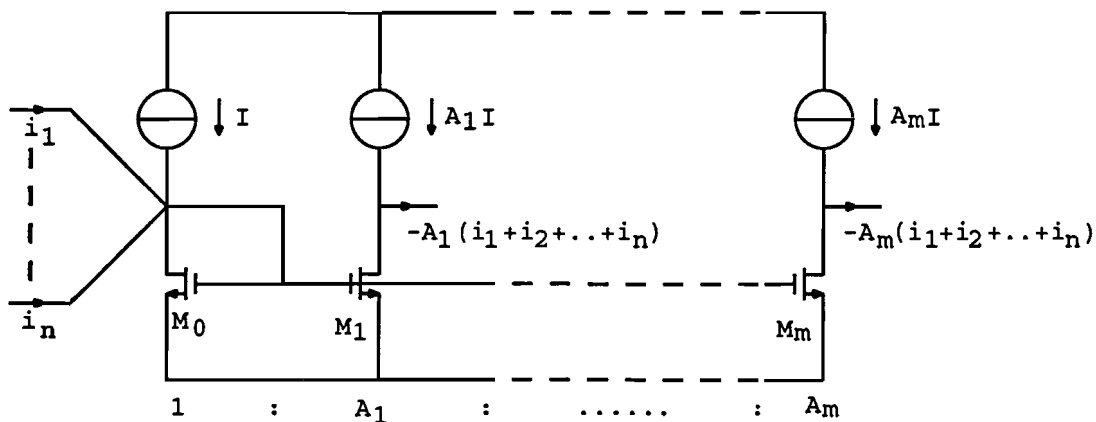
Deze nieuwe techniek wordt in de hoofdstukken 2 en 3 aan de hand van een literatuur studie geïntroduceerd en de werking van een aantal switched current circuits worden besproken. In de hoofdstukken 4 en 5 worden de niet-ideale effecten van de MOS transistoren op de werking van dit circuits bestudeerd. Aan de hand van simulaties met PSPICE wordt de invloed van deze effecten op de werking van deze circuits bepaald. In het laatste hoofdstuk wordt een ontwerp van een digitaal analoog omzetter in switched current techniek besproken.

2 SWITCHED CURRENT TECHNIEK

Switched capacitor (SC) techniek stelt ons in staat de bemonsterde analoge signalen in het spanningsdomein te bewerken. Switched current (SI) techniek maakt dat mogelijk in het stroomdomein. Signaal bewerking vraagt vier basis operaties:

- Inverteren van het signaal.
- Optellen van twee of meerdere signalen.
- Vermenigvuldigen van het signaal met een constante.
- Vertragen van het signaal.

Elk van deze operaties kunnen met behulp van current-mode circuits geïmplementeerd worden. De eerste drie basis operaties, inverteren, optellen en vermenigvuldigen met een constante, kunnen met een stroomspiegel circuit gerealiseerd worden.

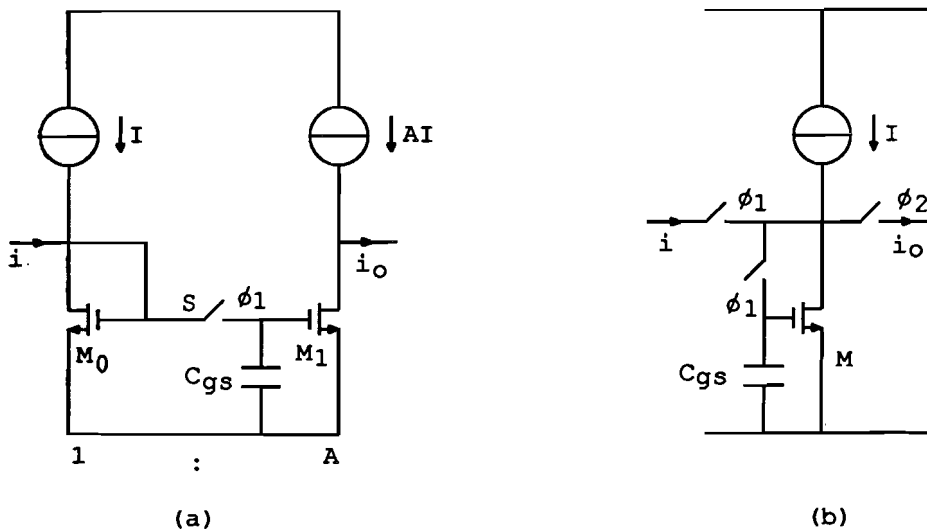


Figuur 2.1 Eenvoudige stroomspiegel circuit

Beschouw nu het stroomspiegel circuit in figuur 2.1. Door de als diode geschakelde transistor M_0 vloeit de biasstroom I . Zolang de transistor M_0 in voorwaartse richting blijft vormt hij een laag impedantie optelpunt voor de signaalstromen i_1, i_2, \dots, i_n . De diode spanning V_{gs0} staat ook op de gates van een rij van uitgangstransistoren M_1, M_2, \dots, M_m met W/L verhouding A_1, A_2, \dots, A_m en corresponderende biasstromen $A_1 I, A_2 I, \dots, A_m I$. De uitgangen leveren de

uitgangsstromen $-A_1(i_1+i_2+..+i_n)$, $-A_2(i_1+i_2+..+i_n)$, ..., $-A_m(i_1+i_2+..+i_n)$. Men krijgt dus aan de uitgangen de geïnverteerde gewogen (vermenigvuldigd met een constante) som van de ingangsstromen. Met dit stroomspiegel circuit kunnen in het stroomdomein de signalen geïnverteerd, opgeteld en met een constante vermenigvuldigd worden.

De laatste signaalverwerkingsoperatie, het vertragen van signalen, kan in het stroomdomein met behulp van stroomgeheugen circuits gerealiseerd worden. Figuur 2.2 geeft twee stroomgeheugen circuits weer. Deze circuits hebben non-overlapping clock signalen ϕ_1 en ϕ_2 nodig. Beschouw nu het circuit in figuur 2.2a. In fase ϕ_1 is de schakelaar S gesloten. De gate oxide capaciteit C_{gs} is geladen tot V_{gs} . Het circuit gedraagt zich als een stroomspiegel circuit van figuur 1. De uitgangsstroom $i_o = -Ai$. Waarbij A de W/L verhouding van M_1 ten opzichte van M_0 is. Wanneer de schakelaar S in fase ϕ_2 geopend wordt, wordt de uitgang van de ingang gescheiden. Maar de spanning V_{gs} op dat moment blijft over de gate oxide capaciteit C_{gs} staan. De corresponderende uitgangsstroom i_o blijft onveranderd. Het circuit vervult een track en hold functie in het stroomdomein.



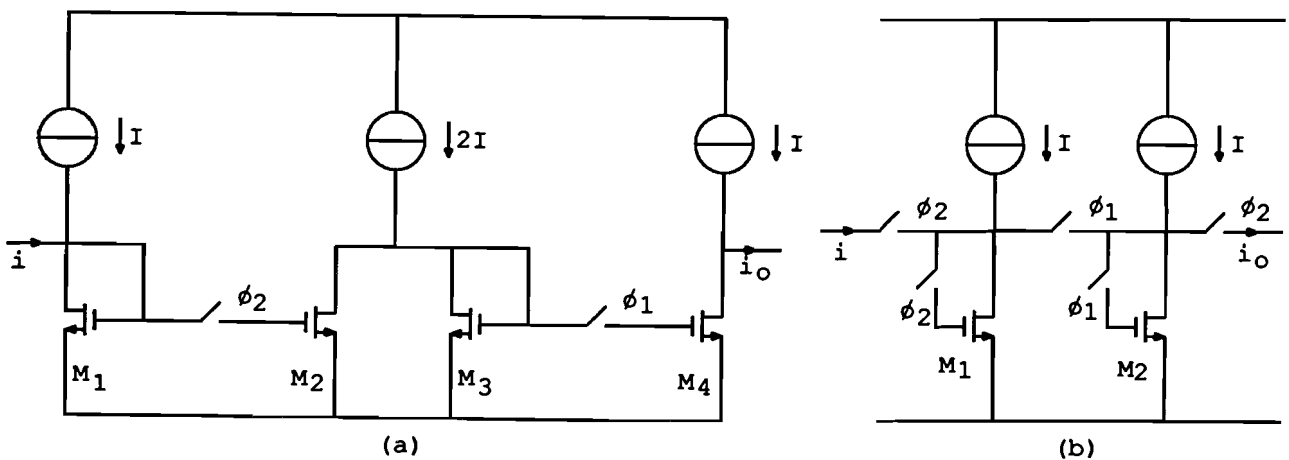
Figuur 2.2 Stroomgeheugen circuits

Het circuit in figuur 2.2b wordt ook wel dynamische stroomgeheugen genoemd. In fase ϕ_1 van het clock signaal wordt de transistor als diode geschakeld. Door de transistor gaat een stroom $I+i$ vloeien. De gate oxide capaciteit C_{gs}

wordt geladen tot een spanning V_{gs} . In fase ϕ_2 wordt deze V_{gs} door de gate oxide capaciteit vast gehouden. Daardoor blijft de stroom $I+i$ door de transistor vloeien en levert aan de uitgang een stroom $i_o = -i$. Zo wordt de stroom i tijdens fase ϕ_2 van het clock signaal vastgehouden.

Deze circuits vertragen de ingangsstroom alleen tijdens fase ϕ_2 van het clock signaal. Bovendien wordt de ingangsstroom geïnverteerd. Om de ingangsstroom over de hele periode van het clock signaal te kunnen vertragen is er een tweede stroomgeheugencircuit nodig. In figuur 2.3 ziet men stroomvertragingcircuits die de ingangsstroom een hele clock periode vertragen. Beide circuits leveren aan de uitgang de niet-geïnverteerde waarde van de vertraagde ingangsstroom.

De werking van de switched current circuits is gebaseerd op de stroom naar spanning omzetting. In deze circuits wordt de ingangsstroom omgezet naar een overeenkomende spanning V_{gs} . De waarde van de capaciteit C_{gs} die de spanning V_{gs} vasthoudt is hier niet kritisch. C_{gs} hoeft alleen maar de bemonsterde waarde van V_{gs} vast te houden. De niet-lineairiteiten van deze capaciteit spelen bij deze omzetting geen rol. Dat maakt het mogelijk dat de switched current circuits met standaard digitaal CMOS proces geïmplementeerd kunnen worden.

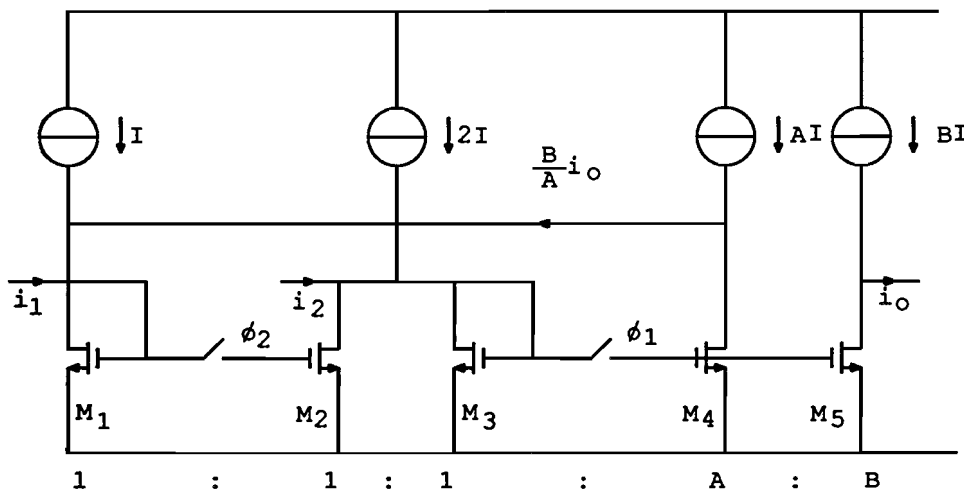


Figuur 2.3 Stroom vertragingcircuits voor een hele clock periode

Door een fractie van de uitgangsstroom van een vertragingcircuit terug te koppelen krijgt men de SI-integrator. Figuur 2.4 geeft het circuit van de SI-integrator met het vertragingcircuit van figuur 2.3a weer. Als men $i_2=0$ stelt dan vloeit in fase ϕ_2 van $n-1^e$ periode door M_1 een stroom van $I+i_1(n-1)+\frac{B}{A}i_o(n-1)$. Dezelfde stroom vloeit ook door M_2 . In fase ϕ_1 van de n^e periode wordt de stroom door M_2 vastgehouden. Door M_3 vloeit dan de stroom $2I-(I+i_1(n-1)+\frac{B}{A}i_o(n-1))=I-i_1(n-1)-\frac{B}{A}i_o(n-1)$. De stroom door M_3 wordt doorgegeven naar de transistoren M_4 en M_5 . Door M_5 wordt deze stroom A keer versterkt. Door de drain van M_5 gaat dus een stroom van $A(I-i_1(n-1)-\frac{B}{A}i_o(n-1))$ vloeien. Aan de uitgang vloeit dan de stroom $i_o(n)=Ai_1(n-1)+Bi_o(n-1)$. In het Z-domein is dat $i_o(z)=Az^{-1}i_1(z)+Bz^{-1}i_o(z)$. De overdracht van ingang 1 naar de uitgang in het Z-domein is dus:

$$H_1(z) = \frac{i_o(z)}{i_1(z)} = \frac{Az^{-1}}{1 - Bz^{-1}} \quad (2.1)$$

Dat correspondeert met de Forward Euler van s naar z transformatie van een niet-inverterende gedempte integrator.



Figuur 2.4 Switched current integrator circuit

Als men $i_2=0$ stelt dan vloeit in fase ϕ_2 van $n-1^e$ periode door M_1 een stroom van $I+\frac{B}{A}i_o(n-1)$. Dezelfde stroom vloeit ook door M_2 . In fase ϕ_1 van de n^e periode wordt de stroom door M_2 vastgehouden. Door M_3 gaat dan tijdens ϕ_1 een stroom $2I+i_2(n)-\frac{B}{A}i_o(n-1)=I+i_2(n)-\frac{B}{A}i_o(n-1)$ lopen. Deze stroom wordt doorgegeven naar de transistoren M_4 en M_5 . Door M_5 gaat nu een stroom van

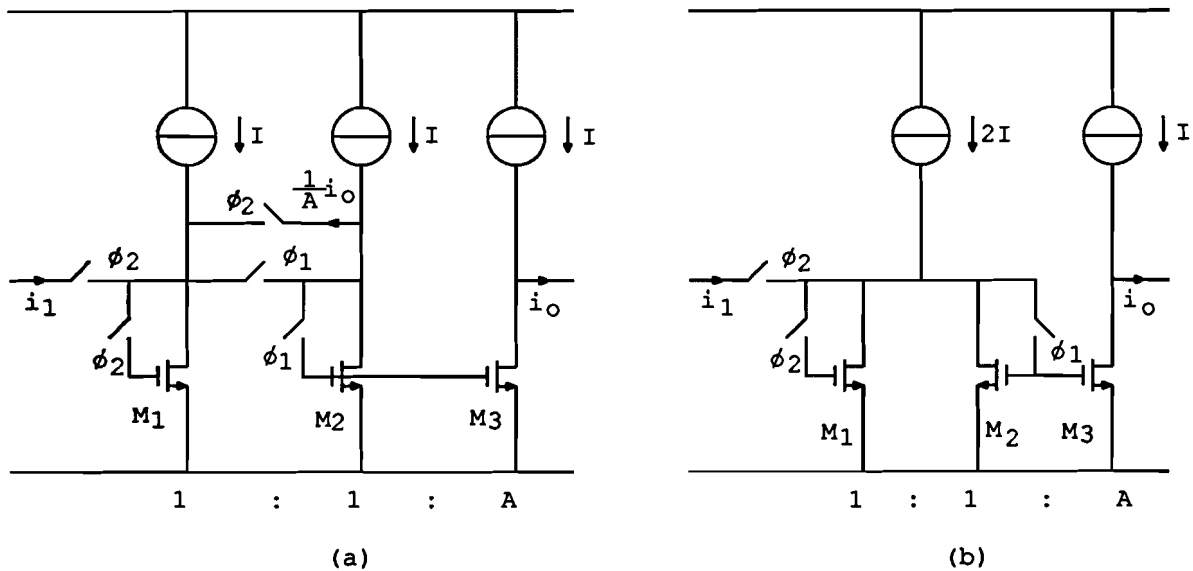
$A(I+i_2(n)-\frac{B}{A}i_o(n-1))$ vloeien. Door de uitgang loopt dan de stroom $i_o(n)=AI-A(I+i_2(n)-\frac{B}{A}i_o(n-1))=-Ai_2(n)+Bi_o(n-1)$. Dat kan men in het Z-domein schrijven als $i_o(z)=-Ai_2(z)+Bz^{-1}i_o(z)$. De overdracht van ingang 2 naar de uitgang in het Z-domein is dus:

$$H_2(z) = \frac{i_o(z)}{i_2(z)} = \frac{A}{1-Bz^{-1}} \quad (2.2)$$

Dat komt overeen met de Backward Euler transformatie. Als beide ingangen gebruikt worden en $i_1=i_2$ gesteld wordt dan wordt de overdracht van de schakeling gegeven door:

$$H(z) = \frac{i_o(z)}{i(z)} = A \frac{1+z^{-1}}{1-Bz^{-1}} \quad (2.3)$$

Dat komt overeen met de Bilineaire transformatie [1].



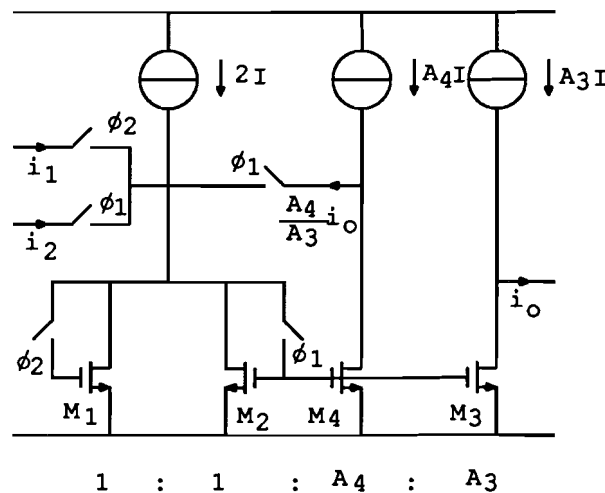
Figuur 2.5 SI integrator met dynamische stroomgeheugens.

Een ander SI integrator circuit wordt verkregen als men gebruik maakt van het vertragingcircuit met de dynamische stroomgeheugens. De SI integrator wordt gevormd door de uitgang naar de ingang terug te koppelen. Dit principe is in figuur 2.5a weergegeven. M_3 dient om de uitgangsstroom te schalen. De parallelle combinatie van de schakelaars ϕ_1 en ϕ_2 in figuur 2.5a kan als kortsluiting beschouwd worden. Men krijgt dan de SI integrator met dynamische

stroomgeheugens zoals in figuur 2.5b is afgebeeld. In fase ϕ_2 van $n-1^e$ periode loopt door M_3 een stroom van $Ai_0(n-1)$. Door M_2 loopt dan een stroom van $I - \frac{1}{A}i_0(n-1)$. Door M_1 loopt de stroom $2I + i_1(n-1) - (I - \frac{1}{A}i_0(n-1))$ en dat is gelijk aan $I + i_1(n-1) + \frac{1}{A}i_0(n-1)$. In fase ϕ_1 van de n^e periode wordt de stroom door M_1 vastgehouden. Door M_2 vloeit dan de stroom $2I - (I + i_1(n-1) + \frac{1}{A}i_0(n-1))$ en dat is gelijk aan $I - i_1(n-1) - \frac{1}{A}i_0(n-1)$. De stroom door M_2 wordt doorgegeven aan de transistor M_3 en wordt A keer versterkt. Door de drain van M_3 gaat dus een stroom van $A(I - i_1(n-1) - \frac{1}{A}i_0(n-1))$ vloeien. Door de uitgang van het circuit vloeit dan de uitgangsstroom $i_0(n) = AI - A(I - i_1(n-1) - \frac{1}{A}i_0(n-1)) = Ai_1(n-1) + i_0(n-1)$. In het Z-domein is dat $i_0(z) = Az^{-1}i_1(z) + z^{-1}i_0(z)$. De overdrachtsfunctie van het circuit in het Z-domein wordt:

$$H(z) = \frac{i_0(z)}{i_1(z)} = A \frac{z^{-1}}{1 - z^{-1}} \quad (2.4)$$

Dat komt overeen met de verliesvrije Forward Euler integrator.



Figuur 2.6 Gedempte SI integrator met stroomgeheugens

Een gedempte integrator wordt verkregen door een extra terugkoppelingstrap in het circuit toe te voegen. In figuur 2.6 is het circuit van deze gedempte SI integrator weergegeven. De extra terugkoppelingstransistor M_4 en de uitgangstransistor M_3 hebben ten opzichte van M_1 en M_2 de verhouding A_4 respectievelijk A_3 . In fase ϕ_2 worden M_2 en M_4 parallel geschakeld. De

stroom, die ze krijgen wordt tussen die twee verdeeld. In fase ϕ_1 worden deze stromen opgeslagen maar alleen de stroom door M_2 wordt naar de ingang teruggekoppeld. Op deze manier wordt de gesloten lusversterking gelijk gemaakt aan $1/(1+A_4)$ en de open lusversterking aan $A_3/(1+A_4)$. De overdracht van het circuit kan men op de zelfde manier als hierboven bepalen. i_1 wordt in fase ϕ_2 gesampled. Dat betekent dat deze stroom door het circuit een clock periode vertraagd wordt. Men krijgt dan de overdracht van ingang 1 naar de uitgang:

$$H_1(z) = \frac{i_o(z)}{i_1(z)} = \frac{A z^{-1}}{1 - B z^{-1}} \quad (2.5)$$

waarin $A=A_3/(1+A_4)$ en $B=1/(1+A_4)$. Dit komt overeen met de overdracht van een gedempte Forward Euler integrator.

In tegenstelling tot i_1 wordt i_2 in figuur 2.6 in fase ϕ_1 gesampled. Dat betekent dat deze stroom door het circuit niet vertraagd wordt. Ieder n^e sample van i_2 wordt door het circuit geïnverteerd. Men krijgt dan de overdracht van ingang 2 naar de uitgang:

$$H_2(z) = \frac{i_o(z)}{i_2(z)} = -\frac{A}{1 - B z^{-1}} \quad (2.6)$$

Waarin $A=A_3/(1+A_4)$ en $B=1/(1+A_4)$. Dat komt overeen met een de overdracht van een gedempte Backward Euler integrator. Als men $i(z)=i_1(z)=-i_2(z)$ stelt, krijgt men de overdracht:

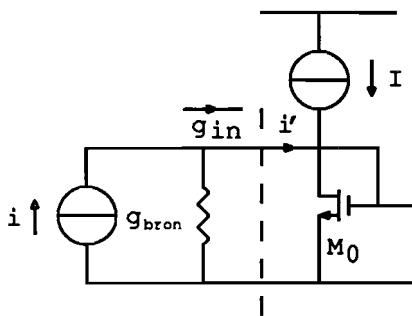
$$H(z) = \frac{i_o(z)}{i(z)} = -A \frac{1 + z^{-1}}{1 - B z^{-1}} \quad (2.7)$$

Dat komt overeen met de overdracht van een gedempte Bilineaire integrator [2][3].

3 ONNAUWKEURIGHEDEN BIJ SWITCHED CURRENT CIRCUITS

In het vorige hoofdstuk beschreven circuits voor switched current techniek zijn niet erg nauwkeurig. Door de complexiteit van deze circuits te verhogen kan men belangrijke verbeteringen in de prestaties van deze circuits bereiken. De onnauwkeurigheden van deze basiscircuits kunnen veroorzaakt worden door:

- Eindige uitgangs impedantie van de MOS transistoren.
- Ongelijkheid van de MOS stroomspiegeltransistoren
- Sample and hold offset van het clock signaal



Figuur 3.1 Effect van eindige bron- en ingangsgeleiding

De eindige ingangsgeleiding van het stroomspiegelcircuit vormt een belasting voor de bronnen van de ingangsstromen. Dit veroorzaakt een foute optelling van de stromen aan de ingang. In figuur 3.1 is de situatie met de ingangsgeleiding g_{in} van het stroomspiegel circuit en de totale geleiding g_{bron} van de bronnen van de ingangsstromen weergegeven. Met deze belasting aan de ingang wordt de totale ingangsstroom i' van het stroomspiegel circuit gegeven door:

$$i' = \frac{i}{1 + \frac{g_{bron}}{g_{in}}} \quad (3.1)$$

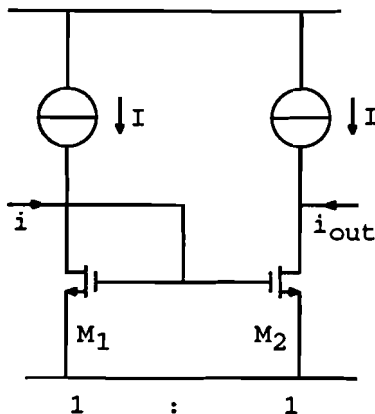
In de meeste situaties geldt $g_{bron} \ll g_{in}$, zodat

$$i' = i \left(1 - \frac{g_{bron}}{g_{in}} \right) \quad (3.2)$$

De fout door de eindige geleiding wordt:

$$\Delta i = i - i' = i \left(\frac{g_{\text{bron}}}{g_{\text{in}}} \right) \quad (3.3)$$

De ingangsstroom van een stroomspiegel circuit is meestal de uitgangsstroom van een ander stroomspiegelcircuit. Wanneer deze als eenvoudig stroomspiegelcircuit geïmplementeerd zijn, is de verhouding $g_{\text{out}}/g_{\text{in}}$ bij benadering gelijk aan $g_{\text{DS}}/g_{\text{m}}$. Dat geeft in de praktijk een versterkingsfout van ongeveer 1%. Om de fouten ten gevolge van belastingseffecten te verminderen is een grote verhouding tussen de uitgangs- en de ingangseleiding nodig. Dit kan men bereiken door high performance stroombronnen te gebruiken zoals een cascode of een high swing cascode stroombron. Deze hebben in de praktijk een verhouding tussen de ingangs- en uitgangseleiding in de orde van 10000. Dat geeft een versterkingsfout van minder dan 0.01%.



Figuur 3.2 NMOS stroomspiegel circuit

Een andere oorzaak van de onnauwkeurigheden in de SI circuits is de ongelijkheid van de MOS stroomspiegeltransistoren. Slechte aanpassing van deze transistoren geeft verschillen in de transistor parameters zoals de drempelspanning V_t , W/L verhouding, transconductantie parameter k' en de kanaallengte modulatie parameter λ . Verschillen in deze parameters veroorzaken fouten in de uitgangsstroom. In eerste instantie wordt de fout die alleen door verschil van de drempelspanningen is veroorzaakt beschouwd. Stel M_1 en M_2 in het circuit van figuur 8 zijn, met uitzondering van hun

drempelspanningen V_{u1} en V_{u2} , identieke transistoren. Door M_1 loopt een stroom:

$$I_1 = I + i = \frac{k'W}{2L} (V_{gs1} - V_{u1})^2 \quad (3.4)$$

Op de gate van M_1 en M_2 staat dus de spanning:

$$V_{gs1} = V_{u1} + \left(\frac{2L}{k'W} (I+i) \right)^{\frac{1}{2}} \quad (3.5)$$

Door M_2 loopt nu een stroom:

$$I_2 = \frac{k'W}{2L} (V_{gs2} - V_{u2})^2 \quad (3.6)$$

Definieer nu $\Delta V_t = V_{u1} - V_{u2}$ en $\frac{k'W}{2L} = I / (V_{GS1} - V_{u1})^2$

Invullen van (3.5) in (3.6) en de uitwerking ervan levert voor de stroom door M_2 de uitdrukking:

$$I_2 = I + i + \frac{2\Delta V_t I}{(V_{GS1} - V_{u1})} \left(1 + \frac{i}{I} \right)^{\frac{1}{2}} + \left(\frac{\Delta V_t}{V_{GS1} - V_{u1}} \right)^2 I \quad (3.7)$$

De uitgangsstroom wordt dan gegeven door:

$$i_{out} = i + \frac{2\Delta V_t I}{(V_{GS1} - V_{u1})} \left(1 + \frac{i}{I} \right)^{\frac{1}{2}} + \left(\frac{\Delta V_t}{V_{GS1} - V_{u1}} \right)^2 I \quad (3.7)$$

De reeksontwikkeling van (3.7) levert voor de uitgangsstroom de uitdrukking:

$$i_{out,dc} = \frac{2\Delta V_t I}{(V_{GS1} - V_{u1})} + \left(\frac{\Delta V_t}{V_{GS1} - V_{u1}} \right)^2 I \quad (3.8a)$$

$$i_{out,ac} = \left[1 + \frac{2\Delta V_t I}{(V_{GS1} - V_{u1})} \right] \hat{i} + \frac{2\Delta V_t I}{(V_{GS1} - V_{u1})} \left[-\frac{1}{8} \left(\frac{\hat{i}}{I} \right)^2 + \frac{1}{16} \left(\frac{\hat{i}}{I} \right)^3 - \frac{5}{128} \left(\frac{\hat{i}}{I} \right)^4 + \dots \right] \quad (3.8b)$$

Uit (3.8) blijkt dat het verschil in drempelspanningen van de stroomspiegeltransistoren niet alleen een DC-offset fout en een AC-amplitude fout introduceert maar ook het uitgangssignaal vervormt. De harmonische vervorming van het uitgangssignaal is een functie van de verhouding (\hat{i}/I) en kan verminderd worden door deze verhouding te reduceren. Soortgelijke analyses voor de verschillen in de parameters W, L, k' en λ geven geen harmonische vervorming van het uitgangssignaal. De verschillen in deze parameters

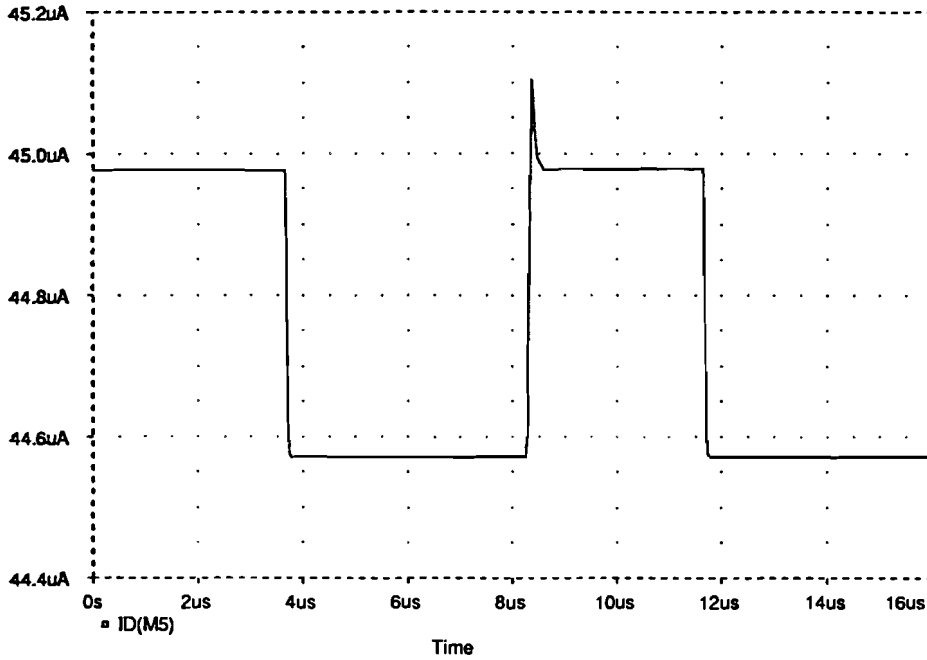
introduceren alleen een DC-offset fout en een AC-amplitude fout. In tabel 3.1 zijn de fouten ten gevolge van parameter- verschillen samengevat [4].

Tabel 3.1 Fouten ten gevolge van ongelijkheid van de MOS transistoren van simple stroomspiegel circuit

Parameter	DC offset fout	AC amplitude fout
$\Delta V_t = V_{t1} - V_{t2}$	$2\Delta V_t / (V_{GS} - V_{t1})$	$\Delta V_t / (V_{GS} - V_{t1})$
$\Delta W = W_1 - W_2$	$\Delta W / W$	$\Delta W / W$
$\Delta L = L_1 - L_2$	$-\Delta L / L$	$-\Delta L / L$
$K' = K'_1 - K'_2$	$\Delta K' / K'$	$\Delta K' / K'$
$\Delta \lambda V_{DS} = \lambda V_{DS1} - \lambda V_{DS2}$	$\Delta \lambda V_{DS} / \lambda V_{DS}$	$\Delta \lambda V_{DS} / \lambda V_{DS}$

$$K' = \frac{k'_1 + k'_2}{2} \quad W = \frac{W'_1 + W'_2}{2} \quad L = \frac{L'_1 + L'_2}{2} \quad \lambda = \frac{\lambda'_1 + \lambda'_2}{2}$$

Deze analyse voor transistor-parameter-verschillen kan men direct toepassen voor het T/H circuit. In het T/H circuit treedt ook nog door het clock feedthrough effect vervorming van het uitgangssignaal op. Deze vervorming is een gevolg van de niet-ideale eigenschappen van MOS schakeltransistoren. Tijdens het uitschakelen worden ten gevolge van eindige drain-source weerstand en gate-drain, gate-source capaciteit ,ladingen geïnjecteerd naar gate capaciteiten van de transistoren M1 en M2. Deze geïnjecteerde ladingen veroorzaken veranderingen in de V_{gs} van de uitgangs transistor. Deze spanningsverandering veroorzaakt in de eerste orde benadering een zelfde vervorming als dat van de verschillende drempelspanningen van de transistoren. De grootte van deze fout is in de eerste instantie afhankelijk van de schakelfrequentie en de verhouding tussen de gate-source capaciteit van de schakeltransistor en de gate capaciteit van de uitgangstransistor. Het clock feedthrough effect zal in het volgende hoofdstuk besproken worden.



Figuur 4.1b Clock feedthrough effect op de drain stroom van M_2

De verandering van de spanning V_{GS2} ten gevolge van het clock feedthrough effect is bij benadering gegeven door de uitdrukking: [5]

$$\Delta V_{GS2} = V_{cf} = - \left(\frac{C_{GS}}{C_{GS2} + C_{GS}} \right) (V_{GS1} + V_T) \quad (4.1)$$

Door de drain van M_2 loopt dan de stroom:

$$I_{D2} = \frac{k'W}{2L} (V_{GS2} - V_T)^2 = \left(V_{GS1} - V_T + V_{cf} \right)^2 \quad (4.2)$$

Uitwerken van (4.2) levert voor de stroom I_{D2} de uitdrukking:

$$I_{D2} = \frac{k'W}{2L} (V_{GS1} - V_T)^2 + 2V_{cf} \frac{k'W}{2L} (V_{GS1} - V_T) + \frac{k'W}{2L} V_{cf}^2 \quad (4.3)$$

Verder geldt er dat:

$$\left(V_{GS1} - V_T \right) = \left(\frac{2L}{k'W} (I+i) \right)^{\frac{1}{2}} = \left(\frac{2L}{k'W} I \right)^{\frac{1}{2}} \left(1 + \frac{i}{I} \right)^{\frac{1}{2}} \quad (4.4)$$

Invullen van (4.4) in (4.3) en uitwerking ervan levert voor de uitgangsstroom de uitdrukking:

$$i_o = i + 2V_{cf} \left(\frac{k'W}{2L} I \right)^{\frac{1}{2}} \left(1 + \frac{i}{I} \right)^{\frac{1}{2}} + \frac{k'W}{2L} V_{cf}^2 \quad (4.5)$$

De tweede en de derde termen van (4.5) zijn de bijdragen van het clock feedthrough effect aan de uitgangsstroom. Het is niet alleen een kwadratische functie van V_{cf} maar het is ook een functie van signaal- en biasstroom. Na de reeksontwikkeling van de laatste term kunnen we deze bijdrage in DC en AC componenten verdelen. Deze zijn:

$$i_{cf,DC} = \frac{k'W}{2L} V_{cf}^2 + 2V_{cf} \left(\frac{k'W}{2L} I \right)^{\frac{1}{2}} \quad (4.6)$$

$$i_{cf,AC} = 2V_{cf} \left(\frac{k'W}{2L} I \right)^{\frac{1}{2}} \left[\frac{1}{2} \left(\frac{\hat{i}}{I} \right) - \frac{1}{8} \left(\frac{\hat{i}}{I} \right)^2 + \frac{1}{16} \left(\frac{\hat{i}}{I} \right)^3 - \frac{5}{128} \left(\frac{\hat{i}}{I} \right)^4 + \dots \right] \quad (4.7)$$

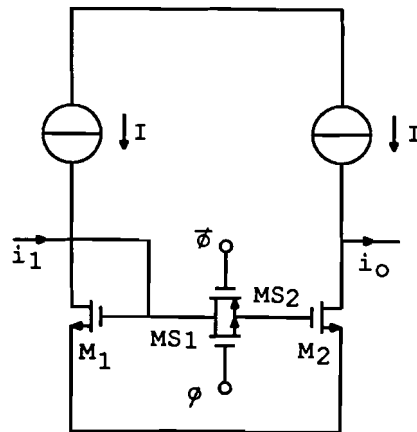
Hieruit blijkt dat de clock feedthrough effect niet alleen een DC offset fout en een AC amplitude fout in de uitgangsstroom geeft maar ook de uitgangsstroom vervormt. De vervorming is afhankelijk van de verhouding \hat{i}/I en kan verminderd worden door deze verhouding klein te houden. Bovendien is de clock feedthrough spanning v_{cf} afhankelijk van de spanning V_{GS1} aan de ingang. Daarmee is het afhankelijk van de stroom $I+i$. De clock feedthrough spanning V_{cf} geeft hetzelfde effect als de ongelijkheid in V_T van de stroomspiegel transistoren.

4.1 COMPENSATIE VAN CLOCK FEEDTHROUGH EFFECT

Het effect van clock feedthrough kan men verminderen door schakeltransistoren met minimale afmetingen te gebruiken. Verder kan men het effect verkleinen door CMOS schakelaars te gebruiken of door een dummy schakeltransistor in het circuit toe te voegen. In het stroomdomein kan men de clock feedthrough stroom i_{cf} compenseren. Het effect kan ook verminderd worden door een geschikt ontwerp van het circuit. In de volgende paragrafen zullen de verschillende compensatie methoden besproken worden

4.2 COMPENSATIE MET CMOS SCHAKELAAR

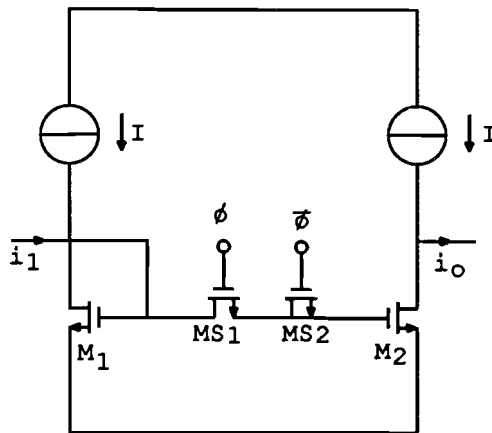
Een methode om het clock feedthrough effect te verkleinen is het gebruik van CMOS schakelaars zoals in figuur 4.2. Door het gebruik van tegengestelde clocksignalen worden de clock feedthrough spanningen van beide transistoren gedeeltelijk gecompenseerd. Men kan hier een minimum clock feedthrough spanning bereiken door een geschikte verhouding voor de oppervlakten van beide transistoren te kiezen. Een nadeel van deze methode is dat de beide transistoren niet altijd tegelijkertijd open en dicht gaan, waardoor geen volledige compensatie van clock feedthrough effect mogelijk is.



Figuur 4.2 Compensatie van clock feedthrough effect met CMOS schakelaar

4.3 COMPENSATIE MET DUMMY SCHAKELTRANSISTOR

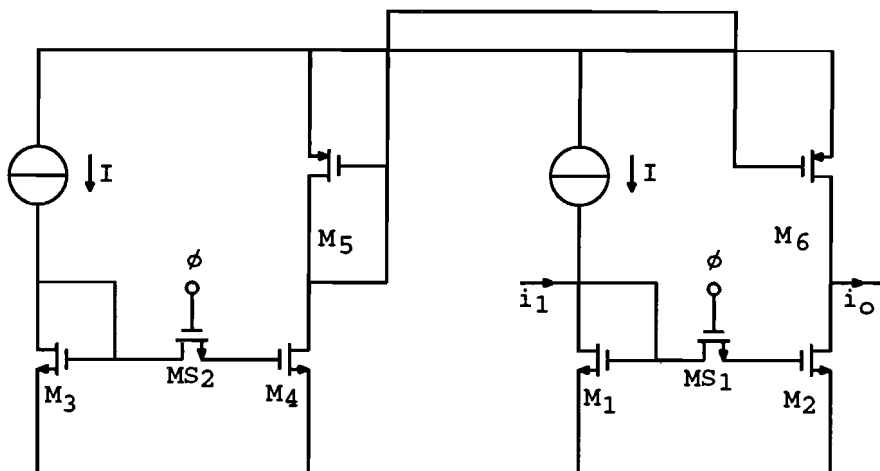
Een betere compensatie van het clock feedthrough effect wordt bereikt als men in het circuit een dummy schakeltransistor toevoegt die half zo breed is als de eigenlijke schakeltransistor. Deze dummy schakeltransistor wordt, zoals in figuur 4.3 is weergegeven, met doorverbonden source en drain in de signaallijn opgenomen. Om het clock feedthrough effect van de schakelaars te compenseren wordt de dummy transistor met het inverse clock signaal gestuurd. Door een geschikte oppervlakte voor de dummy schakeltransistor te kiezen kan men ook hier het clock feedthrough effect minimaliseren.



Figuur 4.3 Compensatie van het clock feedthrough effect met dummy transistor

4.4 COMPENSATIE IN STROOMDOMEIN

Met het circuit van figuur 4.4 wordt de clock feedthrough stroom i_{cf} voor een deel gecompenseerd. Dit circuit bestaat uit twee track and hold circuits. M_1 , M_2 en MS_1 vormen het eigenlijke track and hold circuit. M_3 , M_4 en MS_2 vormen het tweede track and hold circuit, dat alleen een pure clock feedthrough stroom genereert. Met behulp van een PMOS stroomspiegel wordt deze stroom geïnverteerd en afgetrokken van de clock feedthrough stroom van het eigenlijke track and hold circuit. De uitgangsstroom bevat alleen de gesampelde versie van de ingangsstroom [6].



Figuur 4.4 Compensatie van clock feedthrough effect in stroomdomein

De clock feedthrough spanning v_{cf} en stroom i_{cf} is ook afhankelijk van de signaal- en biasstroom. Dat maakt de volledige compensatie van dit effect onmogelijk. Om verschillende compensatiemethoden te kunnen vergelijken zijn simulaties gedaan aan een track and hold circuit met hiervoor genoemde compensaties. Voor het circuit met CMOS schakelaar werd $3\mu/3\mu$ NMOS- en $6\mu/3\mu$ PMOS transistor gebruikt. Voor het circuit met dummy schakeltransistor werd $6\mu/6\mu$ MOS schakeltransistor en $3\mu/3\mu$ dummy transistor genomen. Verdere specificaties van deze simulaties zijn hieronder gegeven:

- Voedingsspanning :5V
- Clockspanning :0V-5V
- Clockfrequentie :125kHz
- I_{bias} :40 μ A
- W/L M_1, M_2 :80 $\mu/40\mu$
- W/L MOS schakelaars:3 $\mu/3\mu$

De resultaten ervan zijn in tabel 4.1 samengevat. Tabel 4.1 laat het signaal afhankelijke gedrag van het clock feedthrough effect duidelijk zien. Het toevoegen van een dummy schakeltransistor in het circuit geeft een betere compensatie dan het gebruik van een CMOS schakelaar. Verder hebben deze compensatiemethoden een inverse clock signaal nodig. Compensatie in het stroomdomein is geschikt voor kleine ingangsstromen. Bovendien vraagt deze methode geen inverse clock signaal.

Tabel 4.1 Simulatie resultaten van clock feedtroug effect

i_i (uA)	zonder compensatie		CMOS schakelaar		dummy transistor		stroom domein
	v_{cf} (mV)	i_{cf} (μ A)	v_{cf} (mV)	i_{cf} (μ A)	v_{cf} (mV)	i_{cf} (μ A)	i_{cf} (uA)
-25	-5.008	-0.245	-0.729	-0.036	-0.331	-0.016	-0.134
-20	-4.916	-0.277	-0.547	-0.030	-0.189	-0.011	-0.095
-15	-4.845	-0.304	-0.368	-0.023	-0.104	-0.007	-0.071
-10	-4.794	-0.328	-0.219	-0.015	-0.063	-0.004	-0.044
-5	-4.755	-0.351	-0.139	-0.010	-0.057	-0.004	-0.020
0	-4.727	-0.372	-0.081	-0.006	-0.082	-0.006	0.003
5	-4.709	-0.392	0.117	0.010	-0.131	-0.011	0.025
10	-4.700	-0.411	0.455	0.040	-0.213	-0.019	0.045
15	-4.700	-0.431	0.790	0.073	-0.319	-0.029	0.065
20	-4.709	-0.450	1.129	0.108	-0.457	-0.044	0.084
25	-4.730	-0.469	1.476	0.147	-0.634	-0.063	0.102

5 NIET-IDEALE EFFECTEN BIJ SWITCHED CURRENT CIRCUITS

Een belangrijke signaalbewerking in de electronica is het filteren van signalen. Met switched current circuits kunnen tijddiscrete filters in het stroomdomein gerealiseerd worden. Voor filters met eindige impulsresponsie kan men het switched current vertragingcircuit gebruiken. Voor filters met oneingige impulsresponsie kan het switched current integratorcircuit toegepast worden.

Het gedrag van deze circuits werd tot nu toe aan de hand van ideale schakelaars en MOS transistoren beschreven. De niet-ideale effecten zoals het clock feedthrough effect en het kanaallengte modulatie effect werden hierbij verwaarloosd. In de volgende paragrafen wordt de invloed van deze niet-ideale effecten op het gedrag van deze circuits beschreven.

5.1 NIET-IDEALE EFFECTEN BIJ DE VERTRAGINGSCIRCUITS

Het vertragen van tijddiskretesignalen kan men in het stroomdomein met een switched current vertragingcircuit realiseren. In figuur 5.1 zijn twee switched current vertragingcircuits weergegeven. Het eerste vertragingcircuit (figuur 5.1a) bestaat uit twee NMOS track and hold circuits. Het tweede vertragingcircuit (figuur 5.1b) bestaat uit een NMOS track and hold circuit dat gevolgd wordt door een PMOS track and hold circuit. Beide circuits hebben dezelfde overdracht maar de niet-ideale effecten bij de MOS transistoren hebben verschillende invloeden op het gedrag van de circuits.

Een van de niet-ideale effecten op het gedrag van deze circuits is het clock feedthrough effect. Beschouw nu het vertragingcircuit van figuur 5.1a. Veronderstel dat alle transistoren identiek zijn. Tijdens fase ϕ_2 van de $n-1^e$ periode geleidt MS_2 niet en MS_1 wel. Door M_1 en M_2 loopt de stroom

$$I_{D1} = I_{D2} = I + i_1(n-1) = \frac{k'W}{2L} (V_{gs1} - V_T)^2 \quad (5.1)$$

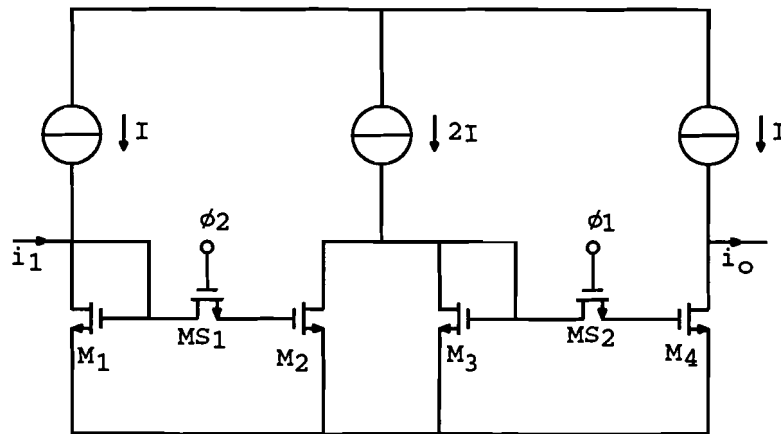
Op het einde van fase ϕ_2 treedt het clock feedthrough effect op. Hierdoor loopt door M_2 de stroom

$$I_{D2} = \frac{k'W}{2L} (V_{gs1} - V_T + V_{cf2})^2 = \frac{k'W}{2L} (V_{gs1} - V_T)^2 + 2V_{cf2} \frac{k'W}{2L} (V_{gs1} - V_T) + \frac{k'W}{2L} V_{cf2}^2 \quad (5.2)$$

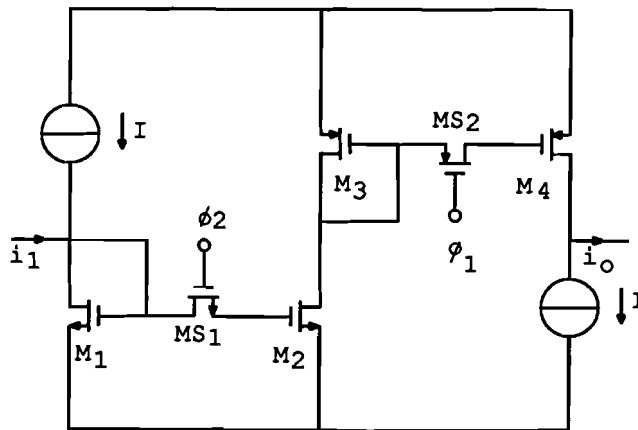
$$I_{D2} = I + i_i(n-1) + 2V_{cf2} \left(\frac{k'W}{2L} (I + i_i(n-1)) \right)^{\frac{1}{2}} + \frac{k'W}{2L} V_{cf2}^2 \quad (5.3)$$

Door M_3 loopt nu de stroom

$$I_{D3} = 2I - I_{D2} = I - i_i(n-1) - 2V_{cf2} \left(\frac{k'W}{2L} (I + i_i(n-1)) \right)^{\frac{1}{2}} - \frac{k'W}{2L} V_{cf2}^2 \quad (5.4)$$



(a)



(b)

Figuur 5.1 a) NMOS switched current vertragingscircuits
b) NMOS- PMOS switched current vertragungscircuit

Tijdens fase ϕ_1 van de n^e periode geleidt MS_2 wel en MS_1 niet. Door M_4 loopt dezelfde stroom als door M_3 . Door de uitgang loopt dan de stroom:

$$i_o(n) = I - I_{D4} = i_i(n-1) + i_{cf2} \quad (5.5a)$$

Met:

$$i_{cf2} = 2V_{cf2} \left(\frac{k'W}{2L} (I + i_i(n-1)) \right)^{\frac{1}{2}} + \frac{k'W}{2L} V_{cf2}^2 \quad (5.5b)$$

Uit (5.5) blijkt dat bij dit vertragscircuit door de uitgang, tijdens fase ϕ_1 , dezelfde clock feedthrough stroom loopt als bij het track and hold circuit. Op het einde van fase ϕ_1 treedt het clock feedthrough effect nogmaals op. Door M_4 loopt nu de stroom

$$I_{D4} = \frac{k'W}{2L} (V_{gs3} - V_T + V_{cf1})^2 = \frac{k'W}{2L} (V_{gs3} - V_T)^2 + 2V_{cf1} \frac{k'W}{2L} (V_{gs3} - V_T) + \frac{k'W}{2L} V_{cf1}^2 \quad (5.6a)$$

$$I_{D4} = I_{D3} + 2V_{cf1} \left(\frac{k'W}{2L} I_{D3} \right)^{\frac{1}{2}} + \frac{k'W}{2L} V_{cf1}^2 \quad (5.6b)$$

Invullen van I_{D3} in (3.16) levert de uitdrukking:

$$I_{D4} = I - i_i(n-1) - i_{cf2} + i_{cf1} \quad (5.7a)$$

met

$$i_{cf1} = 2V_{cf1} \left(\frac{k'W}{2L} (I - i_i(n-1) - i_{cf2}) \right)^{\frac{1}{2}} + \frac{k'W}{2L} V_{cf1}^2 \quad (5.7b)$$

Door de uitgang loopt dan de stroom

$$i_o(n) = I - I_{D4} = i_i(n-1) + i_{cf2} - i_{cf1} \quad (5.8)$$

Hieruit blijkt dat bij dit vertragscircuit tijdens fase ϕ_2 de clock feedthrough stroom i_{cf2} gedeeltelijk gecompenseerd wordt door i_{cf1} . Daarom is het beter de uitgangsstroom tijdens fase ϕ_2 te bemonsteren. In de praktijk wordt meestal aan deze voorwaarde voldaan. Bijvoorbeeld bij switched current FIR filters, wordt een vertragscircuit gevolgd door een ander vertragscircuit, dat zijn ingangsstroom tijdens fase ϕ_2 bemonstert.

Het clock feedthrough effect op de uitgangsstroom van het vertragscircuit van figuur 5.1b kan men op dezelfde manier als hierboven bepalen. Als er wordt verondersteld dat de NMOS transistoren en de PMOS transistoren onderling identiek zijn dan vindt men voor de uitgangsstroom tijdens fase ϕ_2 de uitdrukking:

$$i_o(n) = i_i(n-1) + i_{cf1} + i_{cf2} \quad (5.9a)$$

met

$$i_{cf1} = 2V_{cf1} \left(\frac{k'W}{2L} (I + i_i(n-1) + i_{cf2})^2 + \frac{k'W}{2L} V_{cf1}^2 \right)^{\frac{1}{2}} \quad (5.9b)$$

$$i_{cf2} = 2V_{cf2} \left(\frac{k'W}{2L} (I + i_i(n-1)) + \frac{k'W}{2L} V_{cf2}^2 \right)^{\frac{1}{2}} \quad (5.9c)$$

Uit (5.9) blijkt dat bij het vertragingcircuit van figuur 5.1b, in tegenstelling tot bij het vertragingcircuit van figuur 5.1a, tijdens fase ϕ_2 de clock feedthrough stromen i_{cf1} en i_{cf2} elkaar niet compenseren maar juist versterken.

Een ander niet-ideaal effect bij de MOS transistoren is het kanaallengte modulatie effect. De drainstroom van een MOS transistor in het saturatie gebied is niet helemaal onafhankelijk van de drain- sourcespanning V_{DS} zoals eerder was verondersteld. Deze beïnvloedt namelijk de effectieve lengte van het kanaal. De afhankelijkheid van de drainstroom I_{DS} van V_{DS} wordt als volgt uitgedrukt.

$$I_{DS} = \frac{k'W}{2L} (V_{gs} - V_T)^2 (1 + \lambda V_{DS}) \quad (5.10)$$

Hierin is λ de kanaallengte modulatie parameter. De invloed van het kanaallengte modulatie effect op de uitgangsstroom van de vertragingcircuits van figuur 5.1 wordt als volgt bepaald. Beschouw het vertragingcircuit van figuur 5.1a en veronderstel dat alle NMOS transistoren identiek zijn. Op fase ϕ_2 van $(n-1)^e$ periode loopt door M_1 de stroom:

$$I_{D1} = \frac{k'W}{2L} (V_{gs1} - V_T)^2 (1 + \lambda V_{DS1}(n-1)) = I + i_i(n-1) \quad (5.11)$$

Door M_2 loopt de stroom:

$$I_{D2} = \frac{k'W}{2L} (V_{gs2} - V_T)^2 (1 + \lambda V_{DS2}(n-1)) \quad (5.12)$$

Omdat MS_1 in geleiding is, geldt er $(V_{gs2} - V_T) = (V_{gs1} - V_T)$. Invullen van dit in (5.12) en uitwerken ervan levert voor I_{D2} de uitdrukking:

$$I_{D2} = (I + i_i(n-1)) \frac{1 + \lambda V_{DS2}(n-1)}{1 + \lambda V_{DS1}(n-1)} \quad (5.13)$$

Deze stroom blijft tot fase ϕ_2 van de volgende periode door M_2 lopen. Door M_3 loopt de stroom:

$$I_{D3} = \frac{k'W}{2L} (V_{gs3} - V_T)^2 (1 + \lambda V_{DS3}(n-1)) = 2I - I_{D2} \quad (5.14)$$

Invullen van I_{D2} in (5.14) levert voor I_{D3} de uitdrukking

$$I_{D3} = 2I - (I + i_i(n-1)) \frac{1 + \lambda V_{DS2}(n-1)}{1 + \lambda V_{DS1}(n-1)} \quad (5.15)$$

Na fase ϕ_2 gaat MS_1 dicht en tijdens fase ϕ_1 van n^e periode gaat MS_2 geleiden. Door M_4 loopt de stroom:

$$I_{D4} = \frac{k'W}{2L} (V_{gs4} - V_T)^2 (1 + \lambda V_{DS4}(n)) \quad (5.16)$$

Hier geldt ook dat tijdens fase ϕ_1 $(V_{gs4} - V_T) = (V_{gs3} - V_T)$. Invullen in (5.16) en uitwerken ervan levert voor I_{D4} de uitdrukking:

$$I_{D4} = 2I \frac{1 + \lambda V_{DS4}(n)}{1 + \lambda V_{DS3}(n-1)} - (I + i_i(n-1)) \frac{1 + \lambda V_{DS2}(n-1)}{1 + \lambda V_{DS1}(n-1)} \frac{1 + \lambda V_{DS4}(n)}{1 + \lambda V_{DS3}(n-1)} \quad (5.17)$$

De uitgangsstroom is gedefinieerd als $i_o(n) = I - I_{D4}$. Invullen van I_{D4} hierin levert voor de uitgangsstroom de uitdrukking:

$$i_o(n) = I - 2I \frac{1 + \lambda V_{DS4}(n)}{1 + \lambda V_{DS3}(n-1)} + (I + i_i(n-1)) \frac{1 + \lambda V_{DS2}(n-1)}{1 + \lambda V_{DS1}(n-1)} \frac{1 + \lambda V_{DS4}(n)}{1 + \lambda V_{DS3}(n-1)} \quad (5.18)$$

Er geldt nu dat $V_{DS3}(n-1) = V_{DS2}(n-1)$. Als de uitgang belast is met dezelfde waarde van de ingangsweerstand dan geldt ook dat $V_{DS4}(n) = V_{DS1}(n-1)$. Dat is zeker het geval wanneer dit vertragingcircuit door een zelfde vertragingcircuit gevolgd wordt. Hiermee wordt de uitdrukking voor de uitgangsstroom vereenvoudigd tot:

$$i_o(n) = i_i(n-1) + i_\lambda \quad (5.19a)$$

met

$$i_\lambda = 2I \left[1 - \frac{1 + \lambda V_{DS4}(n)}{1 + \lambda V_{DS3}(n-1)} \right] \quad (5.19b)$$

Deze uitdrukking suggereert dat i_λ onafhankelijk is van de ingangsstroom. Doordat de MOS transistoren M_1 en M_3 als diode geschakeld zijn, zijn V_{DS1} , V_{DS3} en dus ook i_λ een functie van de ingangsstroom. Het kanaallengte

modulatie effect op de uitgangsstroom van het vertragingcircuit van figuur 5.1b kan op dezelfde manier als hierboven bepaald worden. Als er wordt verondersteld dat de NMOS- en de PMOS transistoren onderling identiek zijn wordt voor de uitgangsstroom van dit vertragingcircuit de onderstaande uitdrukking gevonden:

$$i_o(n) = i_i(n-1) + i_\lambda \quad (5.20a)$$

met

$$i_\lambda = (I + i_i(n-1)) \left(\frac{1 + \lambda V_{DS2}(n-1)}{1 + \lambda V_{DS3}(n-1)} \cdot \frac{1 + \lambda V_{DS4}(n)}{1 + \lambda V_{DS3}(n-1)} - 1 \right) \quad (5.20b)$$

Uit (5.19) en (5.20) blijkt dat het kanaallengte modulatie effect op de uitgangstromen van deze vertragingcircuits ook verschillend zijn. De invloeden van beide effecten zijn afhankelijk van de ingangsstroom en van de biasstroom.

Om het verloop van i_{cf} en i_λ als functie van de ingangsstroom te bepalen werden beide vertragingcircuits van figuur 5.1 gesimuleerd met onderstaande gegevens:

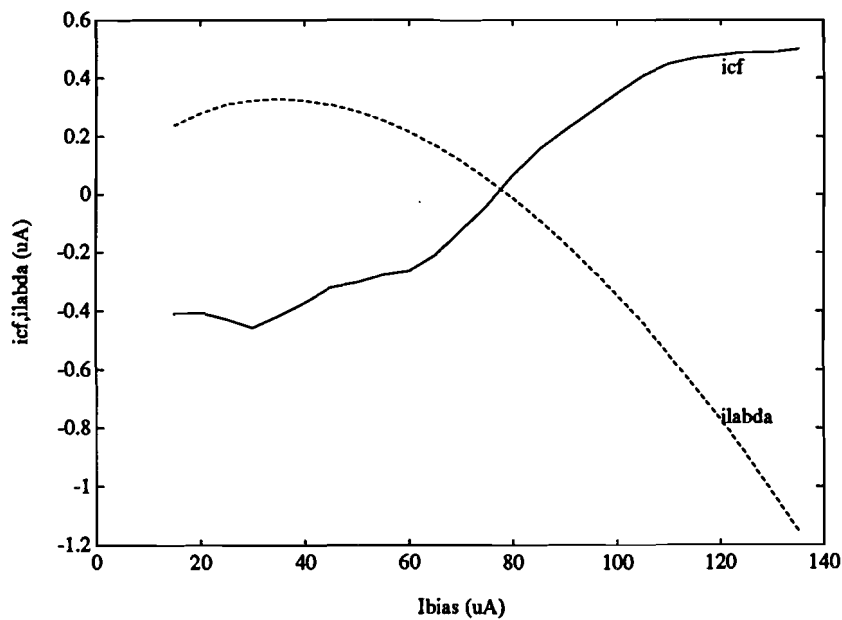
- Voedingsspanning :5V
- Clockspanning :0V-5V
- Clockfrequentie :125kHz
- Biasstroom :40 μ A
- W/L NMOS :80 μ /40 μ
- W/L PMOS :80 μ /20 μ
- W/L MOS schakelaar:3 μ /3 μ

De resultaten van deze simulaties zijn in tabel 5.1 samengevat. Uit de resultaten blijkt dat het verloop van i_{cf} en i_λ van het vertragingcircuit van figuur 5.1a het zelfde zijn. Beide effecten, het clock feedthrough effect en het kanaallengte modulatie effect, versterken elkaar. Het verloop van i_{cf} en i_λ van het vertragingcircuit van figuur 5.1b is elkaars tegengestelde, maar de invloed van het clock feedthrough effect is hier veel groter. Echter als men hier CMOS schakelaars gebruikt kan men bereiken dat i_{cf} en i_λ een tegengestelde verloop hebben. Dat is te zien in tabel 3.1. De clock feedthrough compensatie van de CMOS schakelaars moet afgestemd zijn op de biasstroom waarbij $i_\lambda = 0$ is. Dat wordt bereikt voor de biasstroom waarbij geldt:

$$\frac{1+\lambda V_{DS2}(n-1)}{1+\lambda V_{DS3}(n-1)} \frac{1+\lambda V_{DS4}(n)}{1+\lambda V_{DS3}(n-1)} = 1 \quad (5.21)$$

Tabel 5.1 Fout van de uitgangsstroom van de vertragsingcircuits ten gevolge van de niet-ideale effecten bij verschillende ingangsstromen.

i_i (μA)	NMOS vertragingcircuit		NMOS-PMOS vertragingcircuit		NPOS-PNOS met CMOS schakelaar	
	$i_{cf2} - i_{cf1}$ (μA)	i_λ (μA)	$i_{cf1} + i_{cf2}$ (μA)	i_λ (μA)	$i_{cf1} + i_{cf2}$ (μA)	i_λ (μA)
-25	0.224	0.204	-0.649	0.237	-0.277	0.256
-20	0.173	0.160	-0.741	0.278	-0.264	0.217
-15	0.128	0.118	-0.823	0.306	-0.210	0.170
-10	0.084	0.078	-0.902	0.322	-0.124	0.116
-5	0.041	0.039	-0.913	0.327	-0.037	0.055
0	0.000	0.000	-0.903	0.321	0.067	-0.012
5	-0.041	-0.039	-0.884	0.309	0.156	-0.086
10	-0.084	-0.078	-0.920	0.286	0.223	-0.167
15	-0.127	-0.118	-0.962	0.255	0.286	-0.253
20	-0.172	-0.160	-1.002	0.216	0.350	-0.346
25	-0.221	-0.205	-1.042	0.196	0.410	-0.440



Figuur 5.2 Het verloop van i_{cf} en i_λ als functie van $I+i$ bij NMOS-PMOS vertragsingcircuit met CMOS schakelaars.

Het vertragingcircuit van figuur 5.1b werd ook met CMOS schakelaars gesimuleerd. Hierbij werd het verloop van i_{cf} en i_{λ} als functie van de biasstroom bepaald. De grafiek van figuur 5.2 laat dat verloop zien. De invloeden van het clock feedthrough effect en van het kanaallengte modulatie effect op de uitgangsstroom hebben een tegengesteld verloop. Beide effecten zullen elkaar voor een deel compenseren.

5.2 DE NIET-IDEALE EFFECTEN BIJ DE INTEGRATORCIRCUITS

Het integreren van tijddiskrete signalen in het stroomdomein kan met een switched current integratorcircuit gerealiseerd worden. In figuur 5.3 zijn twee switched current integratoren weergegeven. Figuur 5.3a geeft het NMOS switched current integratorcircuit en figuur 5.3b geeft het CMOS switched current integratorcircuit weer. Deze ontstaan door terugkoppeling van de vertragingcircuits van figuur 5.1. De CMOS integrator van figuur 5.3b moet eerst geïnitieerd worden met een biasstroom I voordat men gaat integreren. Beide circuits hebben dezelfde overdracht maar de niet-ideale effecten bij de MOS transistoren hebben verschillende invloeden op het gedrag van deze circuits.

Het clock feedthrough effect op de uitgangsstroom van de integratorcircuits kan men op dezelfde manier als bij de vertragingcircuit bepalen. Als men aanneemt dat alle NMOS- en PMOS transistoren onderling iedentiek zijn dan vindt men voor de uitgangsstroom tijdens fase ϕ_1 van de NMOS integratorcircuit van figuur 5.3a de uitdrukking:

$$i_o(n) = i_i(n-1) + i_o(n-1) + i_{cf2} \quad (5.22a)$$

met

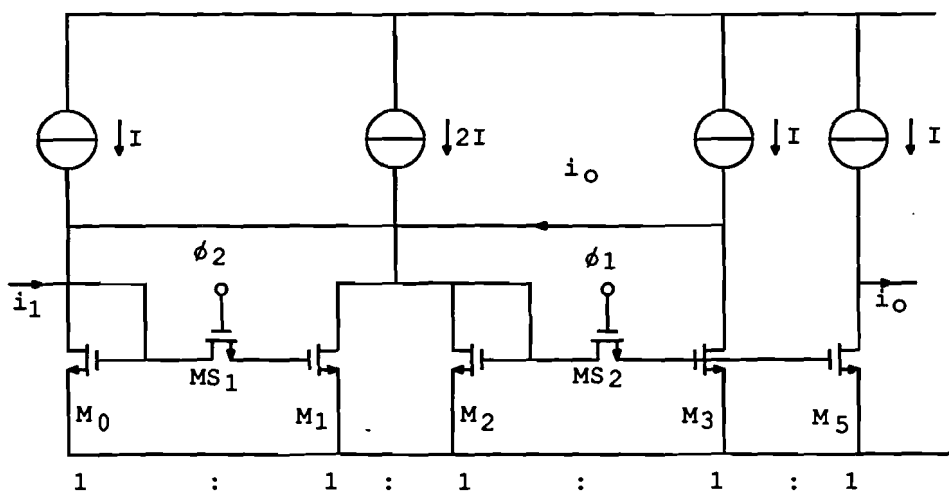
$$i_{cf2} = 2V_{cf2} \left[\frac{k'W}{2L} (I + i_i(n-1) + i_o(n-1)) \right]^{\frac{1}{2}} + \frac{k'W}{2L} V_{cf2}^2 \quad (5.22b)$$

Tijdens fase ϕ_2 vindt men voor de uitgangsstroom de uitdrukking:

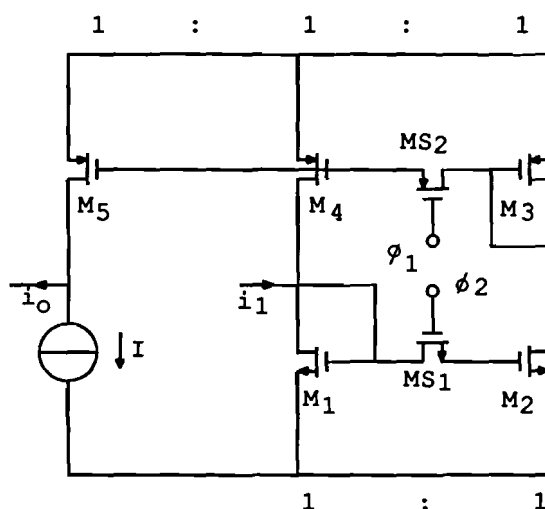
$$i_o(n) = i_i(n-1) + i_o(n-1) + i_{cf2} - i_{cf1} \quad (5.23a)$$

met

$$i_{cf1} = 2V_{cf1} \left[\frac{k'W}{2L} (I - i_i(n-1) - i_o(n-1) - i_{cf2}) \right]^{\frac{1}{2}} + \frac{k'W}{2L} V_{cf1}^2 \quad (5.23b)$$



(a)



(b)

Figuur 5.3 a) NMOS switched current integratorcircuit
b) CMOS switched current integratorcircuit

Uit (5.23) blijkt dat tijdens fase ϕ_2 de clock feedtrough stromen i_{cf1} en i_{cf2} bij het NMOS integratorcircuit net als bij het vertragingcircuit van figuur 5.1a elkaar gedeeltelijk compenseren.

Voor de uitgangsstroom van het CMOS integratorcircuit van figuur 5.3b vindt men tijdens fase ϕ_1 de uitdrukking:

$$i_o(n) = i_i(n-1) + i_o(n-1) + i_{cf2} \quad (5.24a)$$

met

$$i_{cf2} = 2V_{cf2} \left(\frac{k'W}{2L} (I + i_i(n-1) + i_o(n-1)) \right)^{\frac{1}{2}} + \frac{k'W}{2L} V_{cf2}^2 \quad (5.24b)$$

Tijdens fase ϕ_2 vindt men voor de uitgangsstroom de uitdrukking:

$$i_o(n) = i_i(n-1) + i_o(n-1) + i_{cf1} + i_{cf2} \quad (5.25a)$$

met

$$i_{cf1} = 2V_{cf1} \left(\frac{k'W}{2L} (I + i_i(n-1) + i_o(n-1) + i_{cf2}) \right)^{\frac{1}{2}} + \frac{k'W}{2L} V_{cf1}^2 \quad (5.25b)$$

Uit (5.25) blijkt dat tijdens fase ϕ_2 de clock feedthrough stromen i_{cf1} en i_{cf2} bij het CMOS integratorcircuit net als bij het vertragingcircuit van figuur 5.1b elkaar niet compenseren maar juist versterken.

Het kanaallengte modulatie effect op de uitgangsstroom van de integratorcircuits kan men op de zelfde manier als bij de vertragingcircuits bepalen. Als men aanneemt dat alle NMOS- en PMOS transistoren onderling identiek zijn vindt men voor de uitgangsstroom van het NMOS integratorcircuit van figuur 5.3a de uitdrukking:

$$i_o(n) = i_i(n-1) + i_o(n-1) + i_\lambda \quad (5.26a)$$

met

$$i_\lambda = 2I \left(1 - \frac{1 + \lambda V_{DS5}(n)}{1 + \lambda V_{DS3}(n-1)} \right) \quad (5.26b)$$

Voor de uitgangsstroom van het CMOS integratorcircuit van figuur 5.3b vindt men de uitdrukking:

$$i_o(n) = i_i(n-1) + i_o(n-1) + i_\lambda \quad (5.27a)$$

met

$$i_\lambda = (I + i_i(n-1) + i_o(n-1)) \left(\frac{1 + \lambda V_{DS2}(n-1)}{1 + \lambda V_{DS3}(n-1)} \frac{1 + \lambda V_{DS4}(n)}{1 + \lambda V_{DS3}(n-1)} - 1 \right) \quad (5.27b)$$

Uit bovenstaande uitdrukkingen volgt dat de invloed van het kanaallengte modulatie effect op de uitgangsstroom van de integratorcircuits het zelfde is als bij de vertragingcircuits. De totale foutstroom $i_{cf} + i_\lambda$ ten gevolge van deze niet-ideale effecten wordt bij de integratorcircuits ook geïntegreerd. Hierdoor vertonen de beide integrator circuits een niet-lineaire gedrag.

Om de invloed van deze niet-ideale effecten op de uitgangsstroom te bepalen

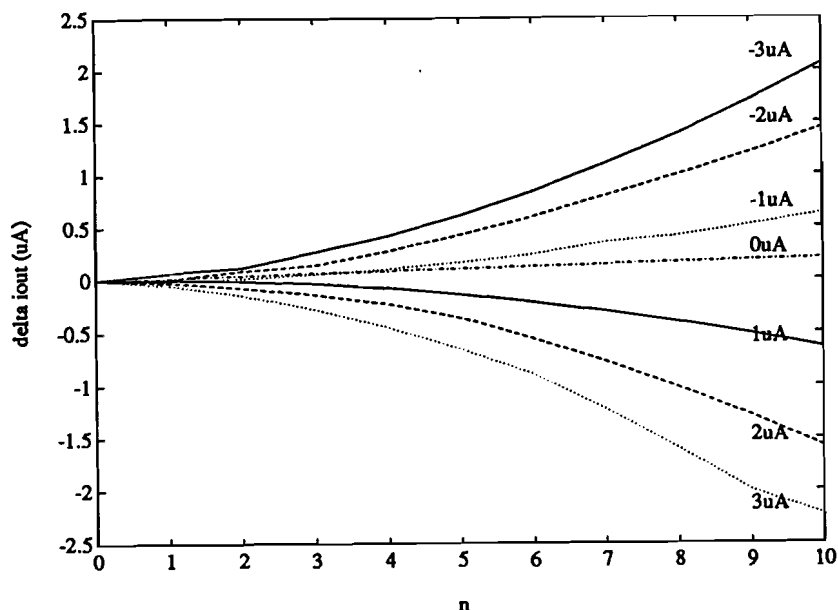
werden beide integratorcircuits met onderstaande gegevens:

- Voedingsspanning :5V
- Clockspanning :0V-5V
- Clockfrequentie :125kHz
- Biasstroom :64 μ A
- W/L NMOS :80 μ /40 μ
- W/L PMOS :80 μ /20 μ
- W/L MOS schakelaar:3 μ /3 μ

Er werd de totale fout van de uitgangsstroom als functie van n (aantal clockperioden) bij verschillende constante ingangsstromen bepaald. In figuur 5.4 ziet men het verloop van de totale foutstroom van het NMOS integrator circuit over 10 clock periodes. De numerieke waarden ervan staan in tabel 5.2. De totale fout neemt in de loop van toenemende n niet-lineair toe.

In figuur 5.5 ziet men het verloop van de totale foutstroom als functie van n bij het CMOS integratorcircuit. Hier groeit de totale foutstroom sneller dan bij het NMOS integratorcircuit. Dat komt doordat de clock feedthrough stromen i_{cf1} en i_{cf2} elkaar niet gedeeltelijk compenseren maar juist versterken en het kanaallengte modulatie effect op de uitgangsstroom in de beurt van 64 μ A klein is. De totale foutstroom ten gevolge van de niet-ideale effecten werkt als offsetstroom aan de ingang maar het verloop ervan als functie van n is niet-lineair.

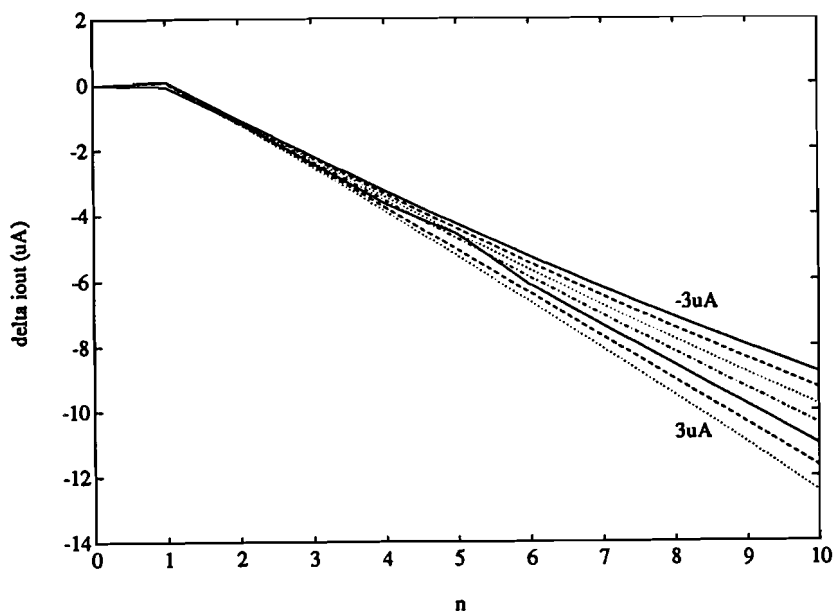
Het CMOS integratorcircuit werd ook met CMOS schakelaars gesimuleerd. Hierbij werd voor de biasstroom 70 μ A genomen. In de beurt van deze biasstroom is i_{λ} en i_{cf} ongeveer gelijk aan nul. Hier werd ook de totale fout van de uitgangsstroom als functie van n bij verschillende constante stromen bepaald. Figuur 5.6 geeft het verloop van deze fout als functie van n weer. Men ziet hier dat de totale fout van de uitgangsstroom van het CMOS integratorcircuit met CMOS schakelaars aanzienlijk kleiner is dan zonder CMOS schakelaars en het gedrag is beter lineair dan bij het NMOS integratorcircuit. Dat komt door het feit dat hier de foutstromen i_{cf} en i_{λ} elkaar gedeeltelijk gaan compenseren. Om dit te kunnen bereiken moet men voor de biasstroom die waarde nemen waarbij $i_{\lambda} \approx 0$ is en de compensatie van de CMOS schakelaars afstemmen op deze biasstroom.



Figuur 5.4 Het verloop van de foutstroom van de NMOS integrator bij verschillende ingangsstromen

Tabel 5.2 Fout van de uitgangsstroom van NMOS switched current integrator circuit bij verschillende ingangsstromen

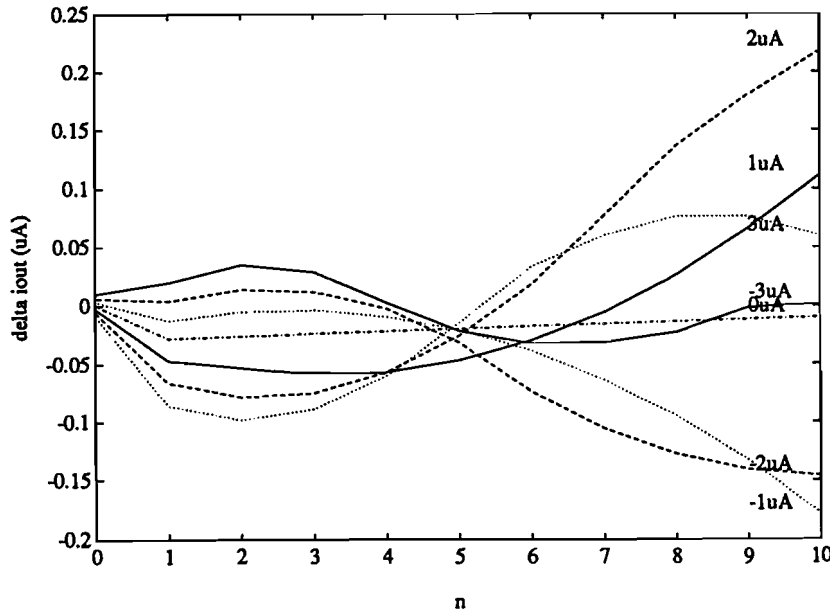
clock periode	fout van de uitgangsstroom bij de ingangsstroom						
	-3 μ A (μ A)	-2 μ A (μ A)	-1 μ A (μ A)	0 μ A (μ A)	1 μ A (μ A)	2 μ A (μ A)	3 μ A (μ A)
0e	0.000	0.000	0.000	0.000	0.000	0.000	0.000
0o	0.325	0.325	0.325	0.325	0.325	0.325	0.325
1e	0.067	0.007	-0.011	0.018	-0.001	-0.026	-0.048
1o	0.397	0.337	0.316	0.346	0.325	0.297	0.272
2e	0.115	0.083	0.012	0.039	-0.011	-0.074	-0.146
2o	0.482	0.425	0.343	0.367	0.312	0.245	0.167
3e	0.260	0.136	0.050	0.060	-0.035	-0.145	-0.281
3o	0.612	0.485	0.383	0.388	0.287	0.170	0.025
4e	0.419	0.271	0.100	0.081	-0.080	-0.232	-0.453
4o	0.764	0.618	0.434	0.408	0.234	0.072	-0.153
5e	0.610	0.424	0.161	0.101	-0.143	-0.366	-0.659
5o	0.959	0.772	0.496	0.429	0.169	-0.101	-0.365
6e	0.837	0.598	0.233	0.121	-0.219	-0.559	-0.895
6o	1.190	0.948	0.570	0.449	0.092	-0.297	-0.670
7e	1.099	0.794	0.352	0.141	-0.306	-0.778	-3.229
7o	1.455	1.147	0.654	0.469	0.003	-0.512	-1.014
8e	1.381	0.990	0.410	0.161	-0.404	-1.021	-1.598
8o	1.737	1.341	0.750	0.488	-0.097	-0.769	-1.392
9e	1.709	1.205	0.515	0.181	-0.512	-1.288	-1.999
9o	2.061	1.557	0.856	0.508	-0.235	-1.040	-1.802
10e	2.064	1.441	0.631	0.200	-0.643	-1.578	-2.231
10o	2.412	1.796	0.973	0.527	-0.327	-1.335	-2.245



Figuur 5.5 Het verloop van de foutstroom van de CMOS integrator zonder CMOS schakelaars bij verschillende ingangsstromen

Tabel 5.3 Totale fout van de uitgangsstroom van CMOS switched current integrator zonder CMOS schakelaars bij verschillende ingangsstromen

clock periode	fout van de uitgangsstroom bij de ingangsstroom						
	-3 μ A (μ A)	-2 μ A (μ A)	-1 μ A (μ A)	0 μ A (μ A)	1 μ A (μ A)	2 μ A (μ A)	3 μ A (μ A)
0e	0.008	0.005	0.003	0.000	-0.002	-0.005	-0.007
0o	0.008	0.005	0.003	0.000	-0.002	-0.005	-0.007
1e	0.099	0.092	0.085	0.077	-0.070	0.062	0.054
1o	-1.174	-1.193	-1.212	-1.232	-0.251	-1.371	1.291
2e	-1.078	-1.102	-1.127	-1.152	-1.178	-1.206	-1.235
2o	-2.301	-2.349	-2.397	-2.447	-2.496	-2.548	-2.600
3e	-2.202	-2.254	-2.308	-2.365	-2.422	-2.485	-2.549
3o	-3.375	-3.463	-3.553	-3.645	-3.737	-3.835	-3.935
4e	-3.276	-3.366	-3.461	-3.561	-3.663	-3.774	-3.890
4o	-4.400	-4.538	-4.680	-4.827	-4.975	-5.133	-5.296
5e	-4.297	-4.441	-4.586	-4.741	-4.600	-5.074	-5.257
5o	-5.377	-5.576	-5.780	-5.992	-6.210	-6.441	-6.602
6e	-5.286	-5.479	-5.685	-5.905	-6.134	-6.385	-6.650
6o	-6.312	-6.578	-6.854	-7.143	-7.441	-7.760	-8.094
7e	-6.228	-6.484	-6.758	-7.053	-7.365	-7.706	-8.069
7o	-8.204	-7.545	-7.902	-8.278	-8.669	-9.089	-9.352
8e	-7.131	-7.456	-7.807	-8.187	-8.592	-9.038	-9.514
8o	-8.056	-8.480	-8.926	-9.398	-9.893	-10.429	-10.996
9e	-7.997	-8.397	-8.832	-9.307	-9.817	-10.380	-10.985
9o	-8.869	-9.384	-9.926	-10.504	-11.116	-11.779	-12.485
10e	-8.825	-9.307	-9.834	-10.412	-11.039	-11.714	-12.482
10o	-9.642	-10.257	-10.904	-11.596	-12.335	-13.139	-14.000



Figuur 5.6 Het verloop van de foutstroom van de CMOS integrator met CMOS schakelaars bij verschillende ingangsstromen.

Tabel 5.4 Fout van de uitgangsstroom van CMOS switched current integrator circuit met CMOS schakelaars bij verschillende ingangsstromen

clock periode	fout van de uitgangsstroom bij de ingangsstroom						
	-3 μ A (μ A)	-2 μ A (μ A)	-1 μ A (μ A)	0 μ A (μ A)	1 μ A (μ A)	2 μ A (μ A)	3 μ A (μ A)
0e	0.010	0.006	0.003	0.000	-0.003	-0.006	-0.009
0o	0.010	0.006	0.003	0.000	-0.003	-0.006	-0.009
1e	0.020	0.004	-0.013	-0.028	-0.047	-0.066	-0.086
1o	0.001	0.001	0.001	0.002	0.000	-0.003	-0.006
2e	0.035	0.014	-0.005	-0.026	-0.053	-0.078	-5.098
2o	-0.026	-0.016	-0.005	0.004	0.006	0.014	0.025
3e	0.029	0.012	-0.004	-0.024	-0.059	-0.075	-0.089
3o	-0.073	-0.046	-0.018	0.006	0.014	0.047	0.079
4e	0.002	-0.003	-0.010	-0.022	-0.057	-0.057	-0.060
4o	-0.114	-0.089	-0.038	0.008	0.031	0.094	0.150
5e	-0.022	-0.032	-0.021	-0.020	-0.047	-0.026	-0.015
5o	-0.140	-0.144	-0.064	0.010	0.056	0.155	0.221
6e	-0.033	-0.074	-0.039	-0.018	-0.030	0.018	0.033
6o	-0.153	-0.187	-0.096	0.012	0.088	0.227	0.278
7e	-0.032	-0.106	-0.064	-0.016	-0.006	0.077	0.060
7o	-0.154	-0.220	-0.134	0.014	0.128	0.305	0.327
8e	-0.023	-0.128	-0.095	-0.014	0.026	0.136	0.076
8o	-0.147	-0.243	-0.179	0.016	0.175	0.369	0.361
9e	-0.002	-0.141	-0.133	-0.012	0.066	0.180	0.076
9o	-0.157	-0.257	-0.231	0.018	0.230	0.427	0.378
10e	0.002	-0.146	-0.178	-0.010	0.112	0.218	0.060
10o	-0.193	-0.264	-0.287	0.020	0.291	0.481	0.370

6 DIGITAAL ANALOOG OMZETTER IN SWITCHED CURRENT TECHNIEK

In dit hoofdstuk wordt het ontwerp besproken van een digitaal analoog omzetter, waarin gebruik wordt gemaakt van switched current technieken. De beschreven omzetter bevat als referentiebron een stroombron en is van het serieel type

6.1 ALGORITMISCHE DIGITAAL ANALOOG OMZETTER

Voor de overdracht van een digitaal- analoog omzetter geldt in het algemeen de volgende conversie formule:

$$s(t)=2^0D_1+2^{-1}D_2+\dots+2^{1-N}D_N \quad (6.1)$$

Deze conversieformule wordt in de diverse DA omzeters op verschillende wijze gerealiseerd. De algoritmische DA omzetter is daarvan een. Deze omzetter zet een N bits digitale woord serieel in N clock periodes om in een analoog-sigitaal. De conversieformule wordt hier geïnterpreteerd als:

$$s(t)=((D_N/2+D_{N-1})/2+D_{N-2})/2+\dots+D_1 \quad (6.2)$$

Voor het realiseren van (6.2) zijn er drie circuits nodig

- 1) Een optelcircuit dat de tussenresultaten en de volgende bitwaarde optelt.
- 2) Een circuit dat deze som door twee deelt.
- 3) Een geheugencircuit om de tussenresultaten te bewaren.

Deze circuits kunnen met behulp van de switched current techniek gerealiseerd worden. In deze techniek zijn de variable grootheden signaalstromen in tegenstelling tot de meest gebruikte DA omzeters, waarin de signalen spanningen zijn [7].

6.2 SWITCHED CURRENT DIGITAAL ANALOOG OMZETTER

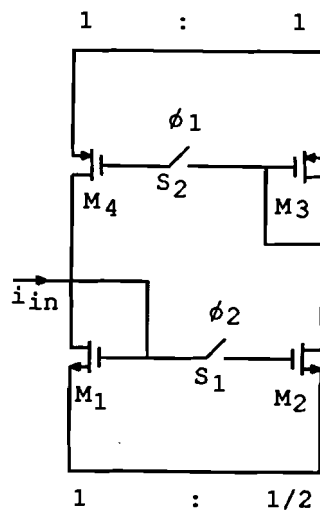
De algoritmische DA omzetter is eenvoudig in de switched current techniek te realiseren. De ingang van een track and hold circuit kan gebruikt worden om de tussenresultaten op te tellen bij de volgende bitwaarde. De tussenresultaten kunnen door de uitgangstransistor bewaard worden. Als de W/L verhouding van de uitgangs- transistor 1/2 zo groot als de W/L verhouding van

de ingangstransistor gekozen wordt, wordt de som door twee gedeeld. Met een track and hold circuit kunnen dus de drie bewerkingen in eens worden gerealiseerd. De tussen resultaten worden echter door dit track and hold circuit geïnverteerd. Om de uitgang met het sommatie punt te kunnen verbinden is er een tweede track and hold circuit nodig die de tussenresultaten op de juiste manier naar het sommatie punt stuurt.

Figuur 6.1 geeft het schema van deze switched current digitaal naar analoge omzetter weer. M_1 en M_2 vormen het eerste track and hold circuit, M_3 en M_4 het tweede track and hold circuit. het digitale woord wordt in serie naar de ingang toegevoerd. Voor elk bit dat de waarde 1 heeft is de ingangsstroom i_{in} gelijk aan een vaste referentiestroom. De waarde van deze referentie stroom wordt bepaald door de maximale toelaatbare stroom in het circuit.

$$I_{ref} = (I_{out,max} + \frac{1}{2} I_{LSB}) / 2 \quad (6.3)$$

Bijvoorbeeld voor een 8 bits digitaal woord en I_{LSB} van $0.5\mu A$ is $I_{out,max} = 127.5\mu A$ en $I_{ref} = 64\mu A$. Het circuit werkt verder als volgt:



Figuur 6.1 Switched current algoritme digitaal naar analoge omzetter

Tijdens fase ϕ_1 wordt een tussenresultaat gegeven aan het tweede track and hold circuit. Dat wordt door M_4 bewaard tot fase ϕ_1 van de volgende clock periode. M_4 stuurt de stroom van dit tussenresultaat naar de ingang. Bij het starten van de omzetting is dit tussenresultaat gelijk aan nul. Door M_1 wordt de stroom van het tussenresultaat uit M_4 en de ingangsstroom opgeteld.

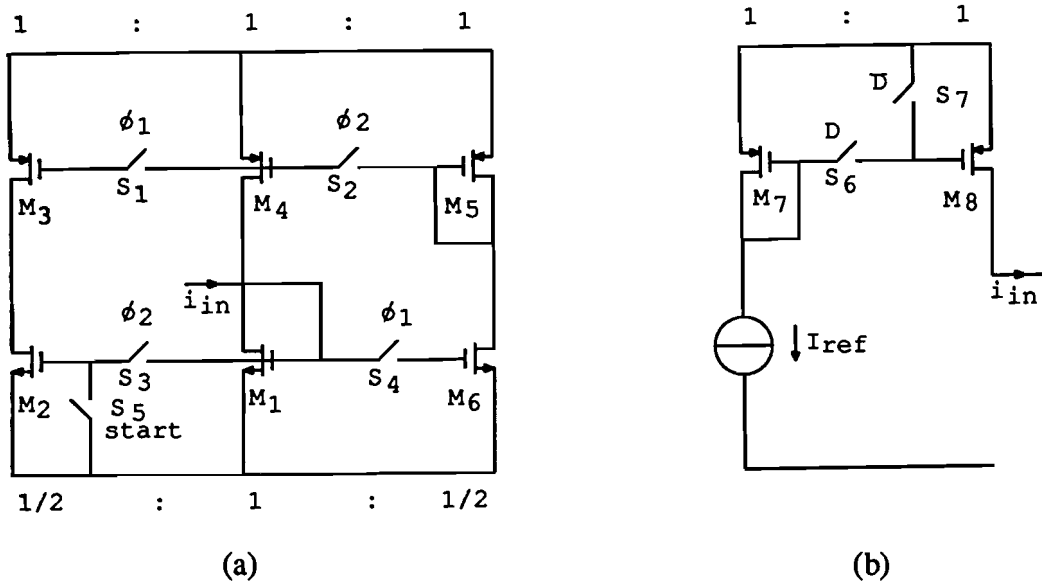
Tijdens fase ϕ_2 wordt deze som gespiegeld naar M_2 . M_2 heeft ten op zichte van M_1 een W/L verhouding van 1/2. Daardoor loopt door M_2 een stroom welke de helft is van de somstroom. In M_2 wordt deze gedurende fase ϕ_2 bewaard als tussenresultaat. Door M_3 loopt dezelfde stroom. Tijdens fase ϕ_1 van de volgende periode wordt deze stroom gespiegeld naar M_4 en wordt het tussenresultaat van de vorige clock periode. Deze procedure duurt tot het MSB D_1 . N-1 tussenresultaten worden recursief door twee gedeeld en bij het volgende bit opgeteld. Tijdens N-1^e clock periode wordt de MSB D_1 bij het laatste tussenresultaat opgeteld. Door M_1 loopt dan een stroom die overeenkomt met de analoge waarde van het digitale woord. Tijdens N^e clock periode kan deze stroom uitgelezen worden door de gate van M_1 door te verbinden met een MOS transistor welk identiek is aan M_1 . Na de N^e clock periode kan de omzetting van het volgende digitale woord beginnen.

6.3 UITBREIDING VAN SWITCHED CURRENT DIGITAAL ANALOOG OMZETTER

Met het circuit van figuur 6.1 wordt een N bits digitale woord in N clock perioden omgezet in een analoge stroom. De eigenlijke omzetting van een bit naar een analoge stroom gebeurt eigenlijk tijdens fase ϕ_1 . Tijdens fase ϕ_2 wordt de som door twee gedeeld. Als de som ook op fase ϕ_1 door twee gedeeld kan worden dan kan tijdens fase ϕ_2 ook omzetting plaats vinden. Dan kan men een digitale woord in N/2 clock perioden in een analoge stroom omzetten. Dat kan bereikt worden door het circuit van figuur 5.1 met een tweede delertak uit te breiden. Figuur 6.2a geeft de switched current digitaal analoog omzetter met deze uitbreiding weer. De werking van dit circuit is als volgt:

Tijdens fase ϕ_1 van een clock periode loopt door M_2 de stroom van het vorige tussenresultaat. Deze stroom loopt ook door M_3 en M_4 . Door M_1 loopt dan de som van de ingangsstroom en de stroom van het vorige tussenresultaat. In het begin, tijdens de LSB wordt de gate van M_2 door S_5 met een start signaal kortgesloten. Door M_2, M_3 en M_4 loopt dan geen stroom als tussenresultaat. Tegelijkertijd loopt door M_6 en M_5 de helft van de somstroom door M_1 . Deze stroom wordt door M_6 tot fase ϕ_1 van de volgende clock periode bewaard als tussenresultaat. Tijdens fase ϕ_2 loopt deze stroom ook door M_4 . Door de ingang kan nu de stroom van het volgende bit lopen. Zodat door M_1 de som van

deze stroom en de stroom van het tussenresultaat van fase ϕ_1 gaat lopen. Tegelijkertijd loopt door M_2 de helft van de somstroom. Deze stroom wordt door M_2 bewaard tot fase ϕ_2 van de volgende clock periode. Deze procedure duurt tot bit D_1 . $N-1$ tussenresultaten worden recursief door twee gedeeld en met het volgende bit opgeteld. Dat gebeurt hier om de beurt tijdens fase ϕ_1 en ϕ_2 . Tijdens fase ϕ_2 van de $N/2^e$ clock periode wordt MSB bij het laatste tussenresultaat opgeteld. Door M_1 loopt dan een stroom die overeenkomt met de analoge waarde van het digitale woord. Deze stroom kan nu uitgelezen worden door de gate van M_1 door te verbinden met een MOS transistor die identiek is aan M_1 . Na $N/2^e$ clock periode kan de omzetting van een andere digitale woord beginnen.

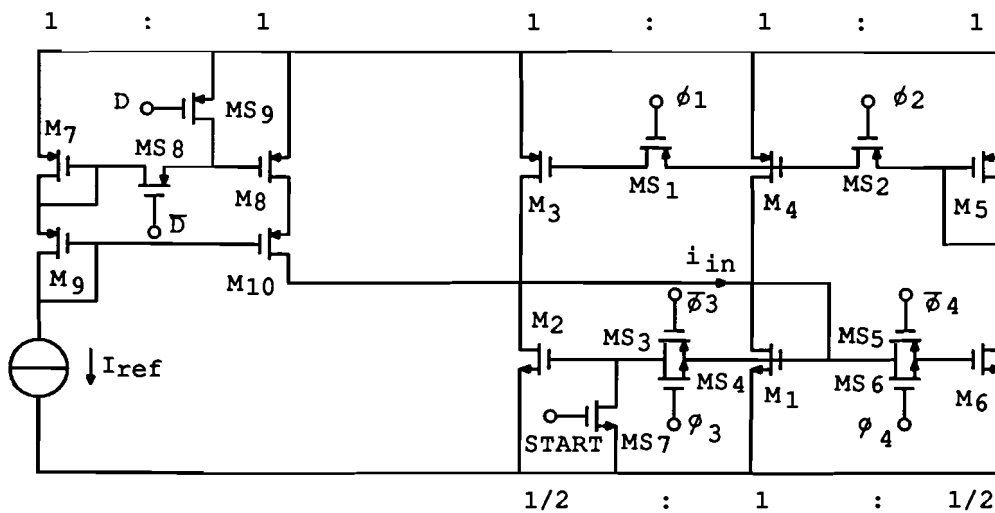


Figuur 6.2 a) Switched current digitaal analoog omzetter met uitbreiding
 b) Circuit voor omzetting van digitale woord naar ingangsstroom

In de meeste toepassingen worden de digitale signalen door spanningsniveaus gerepresenteerd. Bij de switched current digitaal analoog omzetter zijn dit stroomniveaus. In deze toepassing moet men de spanningpulsen naar stroompulsen omzetten. Het circuit dat gebruikt wordt voor het realiseren van de ingangsstroom welke in overeenstemming is met het digitale woord is weergegeven in figuur 6.2b. Voor $D_n=1$ is S_6 gesloten en S_7 geopend. Voor $D_n=0$ is S_6 geopend en S_7 gesloten.

Om de werking van de switched current digitaal analoog omzetter te testen is een ontwerp met PSPICE gesimuleerd. Bij de simulatie zijn voor S_3 en S_4 CMOS schakelaars gebruikt. Verder is voor de omzetting van het digitale woord naar stroom gebruik gemaakt van een cascode stroomspiegel om de ingangsstroom onafhankelijk te maken van deingangsspanning van de DA omzetter. Het circuit waaraan de simulaties zijn uitgevoerd is in figuur 6.3 weergegeven. Verdere specificaties zijn hieronder gegeven:

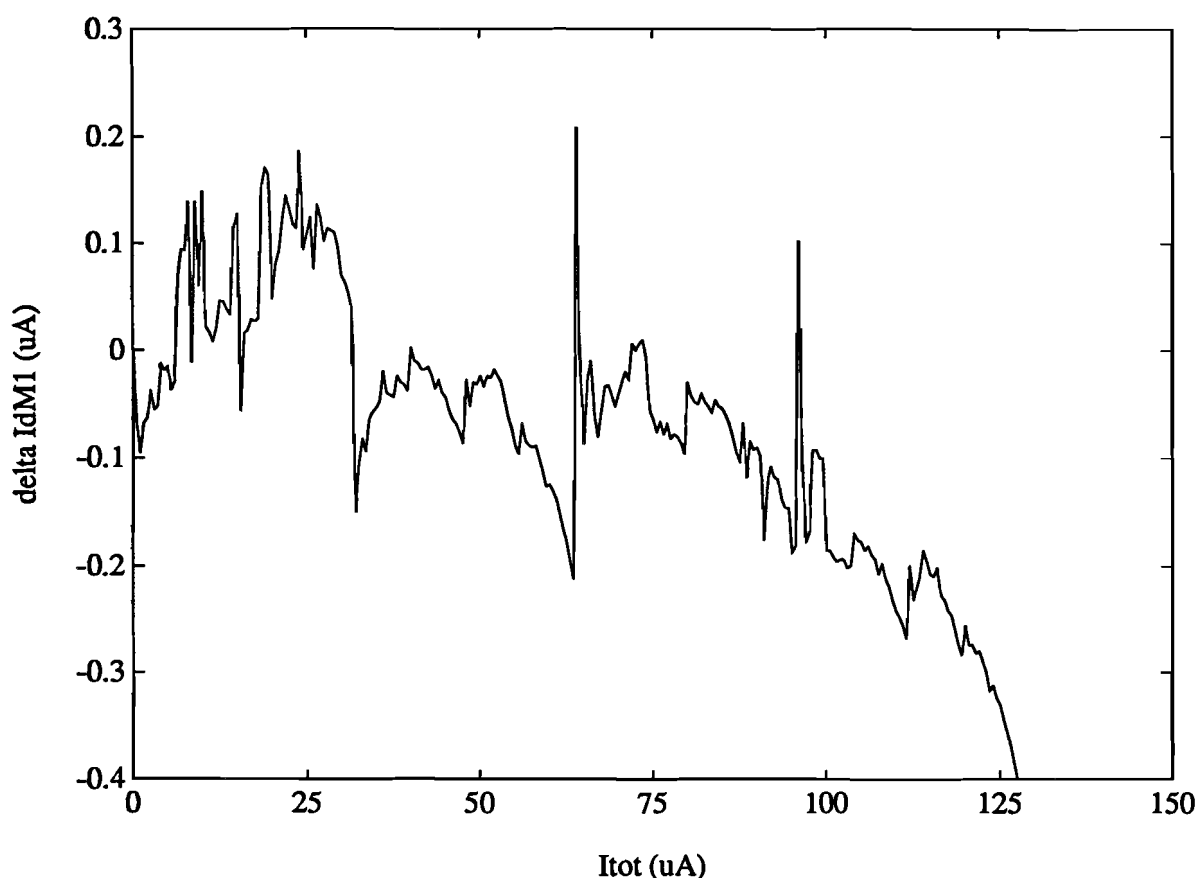
- Voedingsspanning :5V
- Clockspanning :0V-5V
- Clockfrequentie :125kHz
- I_{ref} :64 μ A
- Aantal bits :8
- W/L M_1 :2*50 μ /40 μ
- W/L M_2, M_6 :50 μ /40 μ
- W/L M_3, M_4, M_5 :50 μ /20 μ
- W/L M_7, M_8, M_9, M_{10} :50 μ /5 μ
- W/L MOS schakelaars:3 μ /3 μ



Figuur 6.3 Gesimuleerde circuit van de switched current digitaal analoog omzetter

De stroom door M_1 komt overeen met de analoge waarde van het digitale woord. Met de simulatie werd de fout tussen de exacte waarde van de analoge stroom en de stroom door M_1 bepaald. Deze fout werd als functie van de totale stroom

door M_1 in de grafiek van figuur 6.4 weergegeven. Uit deze grafiek blijkt dat de fout in een grote gebied, tussen 0 en $110\mu\text{A}$, minder is dan $\frac{1}{2}I_{\text{LSB}}$. Bij grotere stromen wordt de fout groter dan $\frac{1}{2}I_{\text{LSB}}$. Dat komt voornamelijk door de grote stromen door M_1 . Hierdoor daalt V_{DS} van M_4 . Ten gevolge van het kanaallengte modulatie effect is de stroom door M_4 naar de ingang kleiner dan de stroom van het tussenresultaat.

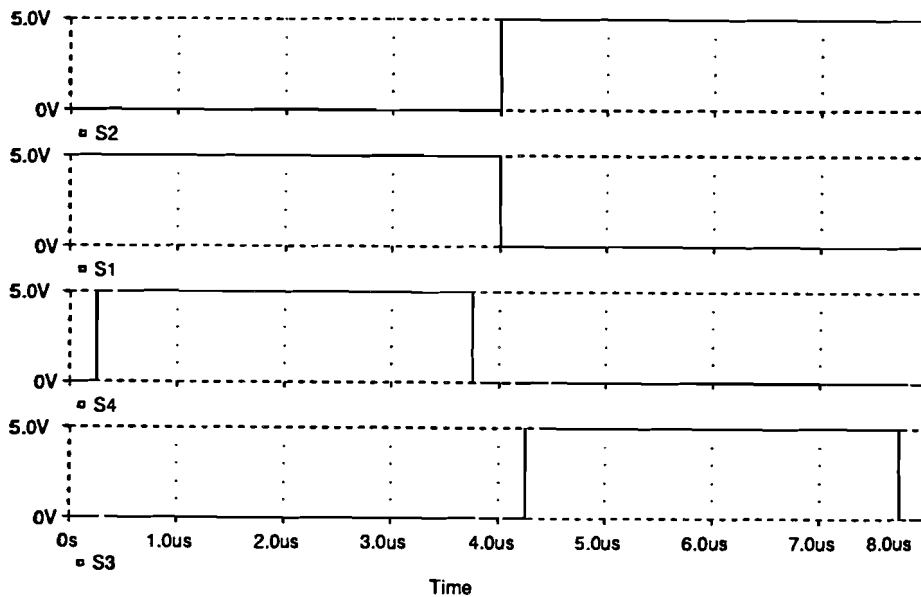


Figuur 6.4 Fout van de omgezette analoge stroom als functie van de totale stroom door M_1 .

6.4 BESTURINGSSHAKELING VOOR SWITCHED CURRENT DIGITAAL ANALOOG OMZETTER

De correcte werking van het switched current digitaal analoog omzettercircuit is afhankelijk van de juiste besturing van de schakelaars. Deze wordt nu besproken aan de hand van figuur 6.2 De omzetter moet, voordat een omzetting

begint eerst gereset worden. Daar zorgt S_5 voor. Deze moet eerst gesloten zijn zodat in het begin als tussenresultaat geen stroom opgeteld wordt. Het is niet noodzakelijk maar S_5 kan in het begin even lang als fase ϕ_1 gesloten blijven. Tijdens de rest van de omzetting moet hij open blijven. S_1 en S_2 moeten even lang gesloten zijn als de tijdsduur van een bit. Ze mogen echter niet tegelijk open of gesloten zijn. Als de tijdsduur van ieder bit even lang is dan zijn ϕ_1 en ϕ_2 elkaars inverse signalen. S_1 en S_4 moeten tegelijk open of gesloten zijn, dit geldt ook voor S_2 en S_3 . S_1 en S_3 mogen nooit tegelijk gesloten zijn. Dit geldt ook voor S_2 en S_4 . Dus ϕ_1 en ϕ_3 mogen elkaar niet overlappen evenals ϕ_2 en ϕ_4 . Deze niet-overlapping moet bij de switched current digitaal analoog omzetter ongeveer 250ns zijn. Met behulp van deze gegevens kan een timing diagram voor de besturing van de schakelaars gemaakt worden. Figuur 6.5 geeft dit timing diagram voor de niet-inverse signalen weer. Het timing diagram stelt de uitgangssignalen van de besturingsschakeling vast



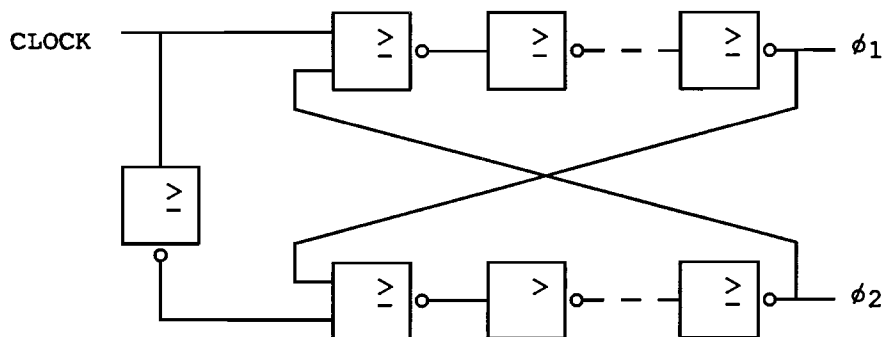
Figuur 6.5 Timing signalen voor de MOS schakelaars

Het ontwerp van de besturingsschakeling is afhankelijk van een aantal randvoorwaarden. Deze zijn:

- Er moet een clock signaal zijn dat synchroon is met het data signaal.
- Er moet een start en een ready signaal aanwezig zijn welke het begin en het einde van het digitale woord aangeven.

Deze randvoorwaarden geven de ingangssignalen van de besturings schakeling. De data signalen kunnen geïnverteerd worden en direct de schakelaars S_6 en S_7 in figuur 6.2 sturen. Het start signaal kan ook direct S_5 sturen maar de besturingsschakeling heeft dit signaal als reset signaal nodig. Het ready signaal wordt gebruikt tijdens de omzetting van het MSB om de stroom door M_1 uit te lezen.

De switched current digitaal analoog omzetter heeft niet overlappende clock signalen nodig. Een mogelijke schakeling om twee niet overlappende clock signalen uit een clock signaal te genereren is in figuur 6.6 weergegeven. De schakeling bestaat uit een data flip-flop met twee NOR poorten waarvan de uitgangen door een even aantal inverters teruggekoppeld is. De niet-overlappendigheid hangt af van het aantal inverters af. Deze schakeling is hier niet bruikbaar. Door de vertraging van het uitgangssignaal ten opzichte van het clock signaal is het data signaal niet meer synchroon met de besturings signalen.

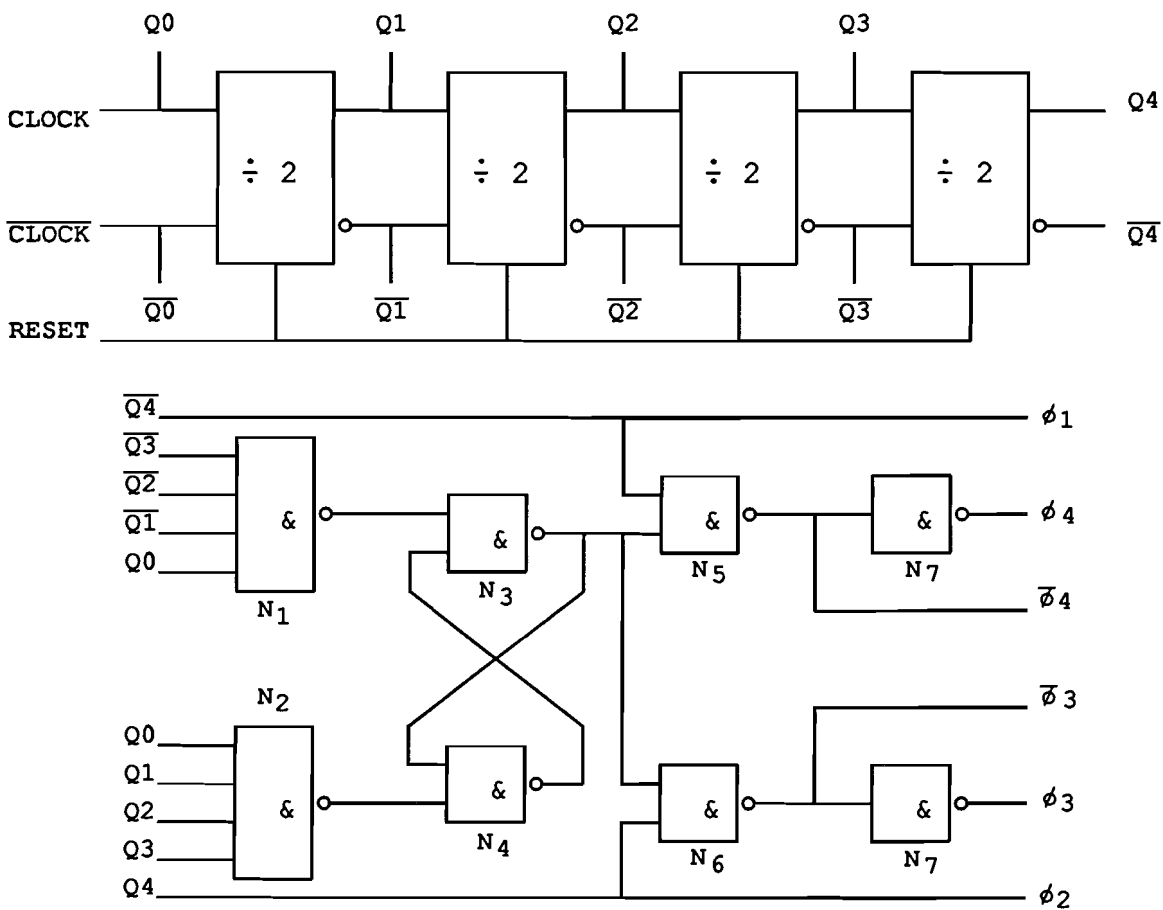


Figuur 6.6 Een schakeling om niet-overlappende clock signalen te genereren

Een betere besturingsschakeling is in figuur 6.7 weergegeven. Men gaat hier uit van een hogere clock frequentie namelijk van 2MHz. De pulsduur van deze signaal is bij een 50% duty cycle 250nS. De werking van de schakeling is als volgt:

Het bovenste deel van de schakeling is een 16 deler De frequentie van de uitgangen Q_4 en \bar{Q}_4 is dan 125kHz. Na de reset puls begint de deler de clock

pulsen te tellen. De uitangen Q_1 , Q_2 , en Q_3 vormen samen met Q_0 een 4 bits teller. In het onderste deel van de schakeling maken de NAND poorten N_1 en N_2 set en reset pulsen voor de SR flip-flop bestaande uit de NAND poorten N_3 en N_4 . De SR flip-flop wordt op stand 1 van de teller geset en op stand 16 van de teller gereset. Men krijgt aan de uitgang van de SR flip-flop een signaal dat in het begin even veel als de pulsduur van het clock signaal vertraagd is en aan het einde een pulsduur eerder laag wordt. Samen met dit signaal worden de signalen Q_4 en $\overline{Q_4}$ door de NAND poorten N_5 en N_6 omgezet naar twee niet-overlappende clock signalen zoals in de timing diagram wordt weergegeven.



Figuur 6.7 Besturingsschakeling van de switched current digitaal analoog omzetter.

7 CONCLUSIES

Switched current circuits zijn eenvoudig. De circuits kunnen met een CMOS digitaal IC proces gerealiseerd worden. Hierdoor zijn deze circuits niet erg nauwkeurig. Door de complexiteit van deze circuits te verhogen kan men belangrijke verbeteringen in de prestatie van deze circuits bereiken.

De niet-ideale effecten zoals clock feedthrough effect en kanaallengte modulatie effect bij de MOS transistoren hebben grote invloed op de werking van deze circuits. Deze invloed kan men door compensatie en door een geschikt ontwerp van het circuit verminderen.

Switched current techniek heeft een breed toepassingsgebied. De toepassingsmogelijkheden van deze techniek, de verbetering van deze circuits en de werking ervan in de praktijk moet verder onderzocht worden.

LITERATUURLIJST

- [1] J.B.Hughes, N.C.Bird, I.C.Macbeth.
Switched Currents - A New Technique For Analogue Sampled-Data Processing
Proc. IEEE Int. Symp. Circuits and Syst., 1989, pp.1584-1587.
- [2] J.B.Hughes, I.C.Macbet, D.M.Pattulo.
Second Generation Switched Currents Signal Processing
Proc. IEEE Int. Symp. Circuits Syst., 1990, pp.2805-2808.
- [3] J.B.Hughes, N.C.Bird, I.C.Macbet.
Switched Currents System Cells
Proc. IEEE Int. Symp. on Circuits Syst., 1990, pp.303-306.
- [4] T.S.Fiez, Guojin Liang, D.J.Allstot.
Switched Current Circuit Design Issues
IEEE J. Solid-State Circuits, vol.26, no.3, 1991, pp.192-201.
- [5] P.E.Allen, D.R.Holberg.
CMOS Analog Circuit Design
New York: Holt, Rinehart and Winston, 1987.
- [6] H.C.Yang, T.S.Fiez, D.J.Allstot.
Current-Feedthrough Effects and Cancellation Techniques in Switched
Currents Circuits
Proc. IEEE Int. Symp. Circuits Syst., 1990, pp.3186-3188.
- [7] H.Träff, T.Holmberg, S.Eriksson
Application of Switched Current Technique to Algorithmic
DA- and AD- Convertres
Proc. IEEE Int. Symp. on Circuits Syst., 1991, pp.1549-1552.

BIJLAGE

MOS transistor parameters bij de PSPICE simulaties

```
*****
*                               NMOS TRANSISTOR PARAMETERS                               *
* Vearly = 6.6V/um * L = 40um * LAMBDA = 1/(L*Vearly) = 1/(40*6.6) = 0.0038*
*****
.MODEL NMOST NMOS (LEVEL=2 TOX=40.6N KP=51.2U VTO=0.899 NSUB=1.21E15
+GAMMA=0.236 PHI=0.651 UO=614 DELTA=1.05 CJ=75.8U MJ=0.37 PB=0.502
+CJSW=201P MJSW=0.333 RSH=33.36 NFS=1.26E11 DL=-0.04U DW=-0.065U
+LD=0.22U CGSO=180P CGDO=180P CGBO=220P UEXP=0.065 LAMBDA=0.0038)

*****
*                               NMOS SCHAKELTRANSISTOR PARAMETERS                       *
* Vearly = 6.6V/um * L = 3um * LAMBDA = 1/(L*Vearly) = 1/(3*6.6) =0.05 *
*****
.MODEL NMOSW NMOS (LEVEL=2 TOX=40.6N KP=51.2U VTO=0.899 NSUB=1.21E15
+GAMMA=0.236 PHI=0.651 UO=614 DELTA=1.05 CJ=75.8U MJ=0.37 PB=0.502
+CJSW=201P MJSW=0.333 RSH=33.36 NFS=1.26E11 DL=-0.04U DW=-0.065U
+LD=0.22U CGSO=180P CGDO=180P CGBO=220P UEXP=0.065 LAMBDA=0.05)

*****
*                               PMOS TRANSISTOR PARAMETERS                           *
* Vearly = 11V/um * L = 20um * LAMBDA = 1/(L*Vearly) = 1/(20*11) = 0.0045 *
*****
.MODEL PMOST PMOS (LEVEL=2 TOX=42.5N KP=19.2U VTO=-0.834 NSUB=9.713E15
+GAMMA=0.699 PHI=0.637 UO=234.2 DELTA=0.951 CJ=310U MJ=0.5 PB=0.751
+CJSW=328.3P MJSW=0.495 RSH=32.8 NFS=3.927E11 DL=-0.156U DW=-0.139U
+LD=0.35U CGSO=280P CGDO=280P CGBO=340P UEXP=0.1 VMAX=1.500E5 UCRIT=1.0E4
+LAMBDA=0.0045)

*****
*                               PMOS SCHAKELTRANSISTOR PARAMETERS                       *
* Vearly = 11V/um * L = 3um * LAMBDA = 1/(L*Vearly) = 1/(3*11) = 0.03 *
*****
.MODEL PMOSW PMOS (LEVEL=2 TOX=42.5N KP=19.2U VTO=-0.834 NSUB=9.713E15
+GAMMA=0.699 PHI=0.637 UO=234.2 DELTA=0.951 CJ=310U MJ=0.5 PB=0.751
+CJSW=328.3P MJSW=0.495 RSH=32.8 NFS=3.927E11 DL=-0.156U DW=-0.139U
+LD=0.35U CGSO=280P CGDO=280P CGBO=340P UEXP=0.1 VMAX=1.500E5 UCRIT=1.0E4
+LAMBDA=0.03)
```