

## MASTER

### Een ontwerp van een comparator voor een 16-bits successieve approximatie ADC

de Bakker, P.J.M.

*Award date:*  
1986

[Link to publication](#)

#### **Disclaimer**

This document contains a student thesis (bachelor's or master's), as authored by a student at Eindhoven University of Technology. Student theses are made available in the TU/e repository upon obtaining the required degree. The grade received is not published on the document as presented in the repository. The required complexity or quality of research of student theses may vary by program, and the required minimum study period may vary in duration.

#### **General rights**

Copyright and moral rights for the publications made accessible in the public portal are retained by the authors and/or other copyright owners and it is a condition of accessing publications that users recognise and abide by the legal requirements associated with these rights.

- Users may download and print one copy of any publication from the public portal for the purpose of private study or research.
- You may not further distribute the material or use it for any profit-making activity or commercial gain

7112

Een ontwerp van een comparator  
voor een 16-bits  
successieve approximatie ADC

P.J.M. de Bakker  
EEA/339/10/1986

Verslag van het afstudeerwerk uitgevoerd in de groep Consumer Electronics op het Natuurkundig Laboratorium van de Nederlandse Philips Bedrijven BV te Eindhoven onder verantwoordelijkheid van Prof. F.M. Klaassen en Ir. T.J. van Kessel in de periode okt. 1985 – okt. 1986.

# Voorwoord

Dit verslag gaat over mijn afstudeeronderzoek dat ik gedaan heb als afsluiting van m'n studie aan de Technische Hogeschool Eindhoven.

Ik heb dit onderzoek gedaan tijdens de periode van oktober 1985 tot oktober 1986 bij het Natuurkundig Laboratorium van Philips te Eindhoven.

Ik wil Prof. Dr. F.M. Klaassen bedanken voor de mogelijkheid die hij me gegeven heeft om dit afstudeerwerk bij het Natuurkundig Laboratorium te kunnen verrichten. Tevens wil ik alle medewerkers van de groep van Kessel bedanken voor de genoten gastvrijheid.

In het bijzonder wil ik Ir. T.J. van Kessel zelf en H.J. Schouwenaars bedanken voor de uitstekende begeleiding die zij mij gegeven hebben.

# Samenvatting

Een 16-bits ADC, die geschikt is voor digitale audio toepassingen, kan gerealiseerd worden met behulp van de successieve approximatie methode. Een essentieel onderdeel van zo'n ADC, is de comparator, die de uitgangsstroom van de S/H vergelijkt met de uitgangsstroom van de DAC. In dit verslag wordt het ontwerp van zo'n comparator beschreven.

Nadat in hoofdstuk 1 een inleiding gegeven is, wordt in hoofdstuk 2 en 3 een vrij uitgebreide systeemstudie van zowel de ADC (die voor audiotoeepassingen gebruikt gaat worden), als de comparator beschreven. In hoofdstuk 4 wordt dan het eigenlijke ontwerp van de schakeling besproken.

De ontworpen schakeling is gesimuleerd m.b.v. Philpac en de resultaten daarvan zijn te zien in hoofdstuk 5.

Ook is de comparator in IC-vorm gerealiseerd en zijn er metingen aan verricht, waarvan de resultaten in hoofdstuk 6 en 7 beschreven zijn.

Het blijkt dat de ontworpen schakeling voldoet aan de gestelde eisen en geschikt zal zijn voor toepassing in een 16-bit ADC voor digitale audio.

# Inhoudsopgave

<b>Voorwoord</b>	<b>i</b>
<b>Samenvatting</b>	<b>2</b>
<b>1 Inleiding</b>	<b>1</b>
<b>2 Analoog/Digitaal conversie m.b.v. de successieve approxi- matie methode</b>	<b>3</b>
2.1 Werking . . . . .	3
2.2 Theoretisch haalbare performance . . . . .	5
2.2.1 Conversiesnelheid . . . . .	6
2.2.2 Ruis . . . . .	7
2.3 Eisen, die gesteld worden aan de comparator . . . . .	9
<b>3 Systeembeschrijving van de comparator</b>	<b>13</b>
3.1 Beschrijving van de verschillende mogelijkheden . . . . .	14
3.1.1 Schakelingen die gebruik maken van een opamp . . . . .	14
3.1.2 Andere mogelijkheden . . . . .	22

3.2	Eisen, die gesteld worden aan de opamp . . . . .	23
3.2.1	Stabiliteit . . . . .	24
3.2.2	Bandbreedte . . . . .	26
3.2.3	Slew rate . . . . .	30
3.2.4	Ruis . . . . .	31
3.2.5	Versterking . . . . .	36
3.2.6	Offset en temperatuurafhankelijkheid . . . . .	38
3.3	Opamconfiguraties . . . . .	40
3.3.1	Eentrapversterker . . . . .	40
3.3.2	Tweetrapversterker . . . . .	41
<b>4</b>	<b>Ontwerp van de comparator</b>	<b>45</b>
4.1	De opamp . . . . .	45
4.1.1	Het versterkingsgedeelte . . . . .	46
4.1.2	De uitgangstrap . . . . .	69
4.2	Het naversterkingsgedeelte . . . . .	71
4.3	De latch . . . . .	72
<b>5</b>	<b>Simulaties</b>	<b>73</b>
5.1	Simulaties op systeem niveau . . . . .	73
5.2	Simulaties op transistor niveau . . . . .	80
<b>6</b>	<b>De implementatie van de comparator m.b.v. een master- chip</b>	<b>84</b>

<b>7</b>	<b>Metingen aan de opamp</b>	<b>91</b>
7.1	De overdrachtskarakteristiek . . . . .	91
7.2	De ruis eigenschappen . . . . .	93
7.3	Slew rate . . . . .	94
<b>8</b>	<b>Conclusies en aanbevelingen</b>	<b>97</b>
	<b>Referenties</b>	<b>99</b>

# Hoofdstuk 1

## Inleiding

Alle muziek met uitzondering van "live muziek" is minstens één keer op band opgenomen: de zgn. master-tape.

Dit betekent, dat de kwaliteit van de muziek waar we naar luisteren, erg afhankelijk is van de kwaliteit van deze master-tape en verdere kopiën hiervan.

Conventionele opname-systemen kennen voornamelijk hun beperkingen in de ruis, het dynamisch bereik en lineaire vervorming. Deze beperkingen zijn onafscheidelijk verbonden met het gebruik van band, koppen en andere mechanische onderdelen.

Door zorgvuldig te ontwerpen is het met conventionele methoden mogelijk om een signaal/ruis verhouding van ongeveer 60 dB te halen, terwijl de lineaire vervorming beperkt kan blijven tot 1%.<sup>[1]</sup>

Doordat alle andere audio-apparatuur steeds beter werd, is de behoefte ontstaan om bovengenoemde specificaties te verbeteren.

Dit blijkt alleen mogelijk door gebruik te maken van digitale technieken.

Men is begonnen met het toepassen van digitale recording in studios, maar deze opname-techniek wordt nu ook voor de consument toegankelijk.

Behalve de bekende voordelen van het gebruik van digitale technieken, zoals reproduceerbaarheid, ongevoelig voor temperatuur veranderingen, enz. kan, door van deze technieken gebruik te maken, de niet lineaire vervorming teruggebracht worden tot minder dan 0.003 %. De signaal/ruis verhouding kan zelfs verhoogd worden tot bijna 100 dB. M.b.v. goede foutencorrigerende



codes is het mogelijk om b.v. drop-outs geheel te verwijderen.

Er zijn natuurlijk niet alleen voordelen aan het gebruik van digitale opname-technieken. Zo worden er hoge eisen gesteld aan het foutencorrigerende systeem, omdat dit systeem erg grote fouten moet kunnen corrigeren (zoals drop-outs van enkele duizenden bits).

Een van de essentiële onderdelen van digitale recording, is de Analoog Digitaal Converter (ADC), die het analoge audiosignaal omzet in een digitaal woord. Dit digitale woord moet volgens de wereldstandaard een lengte hebben van 16 bit, zodat een 16 bits ADC nodig is.

Een manier waarop een analoog signaal omgezet kan worden in een 16 bit digitaal woord, is m.b.v. de successieve approximatie methode.

Karakteristiek bij een ADC die met deze methode werkt, is een 16 bit Digitaal Analoog Converter (DAC), die in de terugkoppellus van een comparator zit. Deze DAC is al gerealiseerd [2], evenals een Sample and Hold (S/H) schakeling [3], die er voor zorgt dat de ingangsspanning van de ADC constant blijft gedurende de tijd, waarin het analoge signaal omgezet wordt in een digitaal woord.

De uitgangsspanning van de S/H wordt omgezet in een stroom, waarna de comparator deze stroom kan vergelijken met de uitgangsstroom van de DAC.

In dit verslag zal het ontwerp van deze comparator besproken worden.

## Hoofdstuk 2

# Analoog/Digitaal conversie m.b.v. de successieve approximatie methode

Voordat begonnen kan worden met het ontwerpen van de comparator, moet natuurlijk eerst bekeken worden in welke omgeving deze comparator z'n werk zal moeten doen.

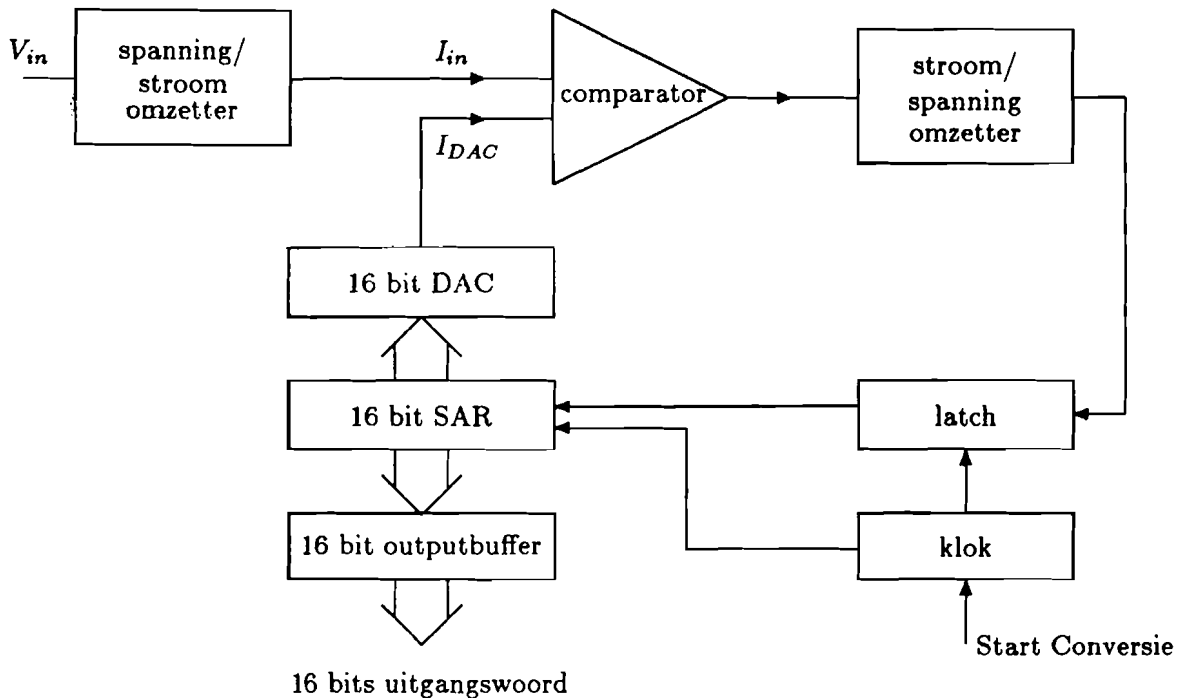
In dit hoofdstuk zal beschreven worden hoe een Analoog Digitaal Converter (ADC), die gebruik maakt van de successieve approximatie methode, werkt. Er van uitgaande dat de ADC een 16 bits resolutie heeft en werkt op een sample-frequentie van 44.1 kHz, zal de haalbare performance berekend worden. Tevens zullen een aantal eisen geformuleerd worden waaraan de comparator zal moeten voldoen.

### 2.1 Werking

Bij de successieve approximatie methode wordt een Digitaal Analoog Converter (DAC) opgenomen in de terugkoppeling van een comparator. Deze comparator vergelijkt nu het analogeingangssignaal met de uitgang van de DAC (zie fig. 2.1).

Aan de uitgang van de comparator zal een latch geschakeld zijn, zodat het

signaal dat de comparator aanbiedt aan het Successief Approximatie Register (SAR) steeds een "stabiel" logisch niveau heeft (0 of 1). Het SAR verzorgt de aansturing van de DAC.



Figuur 2.1: Principeschema van een AD omzetter die werkt volgens de Successieve Approximatie methode.

Aangezien de DAC (de TDA 1541), die in de terugkoppeling van de comparator gebruikt zal worden, een stroomuitgang heeft, zal de comparator stromen moeten vergelijken. Daarom moet deingangsspanning omgezet worden in een ingangsstroom. De latch wordt geschakeld door een spanning, zodat de uitgangsstroom van de comparator door een stroom-spanning omzetter in een spanning wordt omgezet.

Het principe werkt nu als volgt:

Nadat een Start Conversie signaal gegeven is, zet het SAR eerst alleen het Most Significant Bit (MSB) van de DAC aan (ingangswoord 1 0 0 - 0).

De comparator kijkt nu of de uitgangsstroom van de DAC groter is dan de ingangsstroom. Als dat zo is, wordt het MSB bit van de outputbuffer op "nul" gezet, anders blijft dit bit op "een". Het MSB bit is nu bekend ( $=C_1$ ). Nu zet het SAR het MSB-1 bit aan, dus het ingangswoord van de DAC zal dan  $C_1$  1 0 0 - 0 zijn. Nadat de comparator klaar is met vergelijken, is ook dit bit bekend ( $=C_2$ ) en kan het MSB-2 bit uitgerekend worden (hiervoor wordt aan de DAC het ingangswoord  $C_1$   $C_2$  1 0 0 - 0 aangeboden). Na 16 comparatieslagen is het gehele woord bekend en kan het als uitgangswoord naar buiten gebracht worden, waarna een nieuwe conversie plaats kan vinden.

De voordelen van deze manier van omzetten zijn:

- Met maar één comparator is toch een hoge resolutie haalbaar.
- De besturingslogica kan eenvoudig zijn.
- Iedere omzetting vindt plaats binnen dezelfde tijd, onafhankelijk van de grootte van het ingangssignaal.

Een nadeel is echter dat gedurende de omzettingstijd het ingangssignaal niet mag veranderen. Om dit te bereiken, zal voor de ADC een Sample and Hold circuit (S/H) geschakeld moeten worden. Dit wordt gerealiseerd door de TDA 1535.

## 2.2 Theoretisch haalbare performance

Zoals bekend, is het de bedoeling dat de 16 bit ADC gebruikt gaat worden voor audio doeleinden. Om hiervoor geschikt te zijn, moet de schakeling aan bepaalde eisen voldoen.

Zo zal een bepaalde conversiesnelheid gehaald moeten worden en zal de ruis binnen aanvaardbare grenzen moeten liggen. Deze eisen zullen in de volgende paragrafen beschreven worden. Tevens zal beschreven worden hoe groot de theoretisch haalbare signaal/ruis verhouding is.

### 2.2.1 Conversiesnelheid

Geluid met een frequentie groter dan 20 kHz is door het menselijk gehoor niet meer waar te nemen; dus we kunnen stellen dat het audio signaal bandbegrensd is tot 20 kHz.

Uit de digitale signaal theorie is bekend dat bij bemonstering van een signaal het spectrum zich herhaalt rond veelvoudenvan de samplefrequentie (zie fig. 2.2). Om aliasing te voorkomen (dit is het terugvouwen van signalen die buiten de audioband liggen), moet aan de ingang van de S/H bandbegrenzing toegepast worden en moet de samplefrequentie minstens 40 kHz (twee keer de maximale signaalfrequentie) zijn.

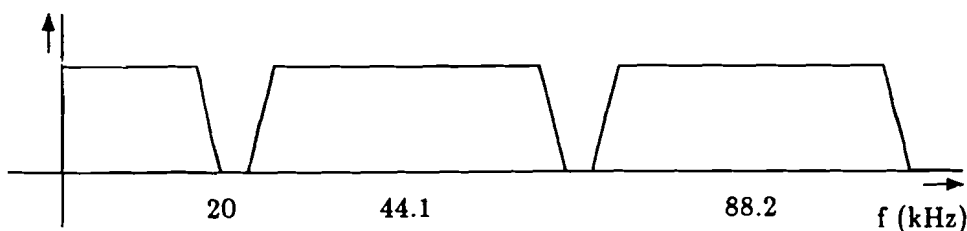
Omdat bij audio toepassingen een samplefrequentie van 44.1 kHz gebruikelijk is, mag het uitgangssignaal van de S/H geen signaalcomponenten bevatten met een frequentie groter dan 22 kHz.

Het zal duidelijk zijn dat de nog te ontwerpen ADC ook met een frequentie van 44.1 kHz moet werken.

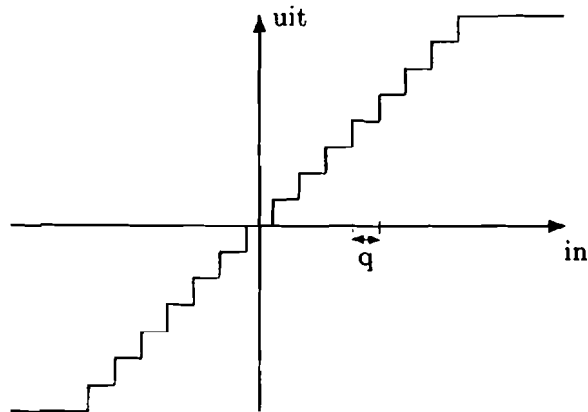
Omdat het de bedoeling is dat een enkele ADC gebruikt gaat worden voor twee kanalen (stereo geluid), moet de klokfrequentie van de ADC 88.2 kHz zijn (de ADC wordt tijdgemultiplexed over beide kanalen).

Dit betekent dat een totale conversietijd  $< \frac{1}{88.2} \text{ msec} = 12 \mu\text{sec}$  geeist wordt. Binnen deze tijd moeten zowel de ADC als de S/H hun eindwaarde bereikt hebben. Van de S/H is bekend dat deze een settle-tijd heeft van  $2 \mu\text{sec}$  [3], dus blijft er voor de ADC nog een tijd van  $10 \mu\text{sec}$  over om te converteren. Voor ieder woord moet de ADC 16 conversie slagen doen, dus per conversieslag is de maximaal voor de ADC beschikbare omzettijd gelijk aan:

$$\frac{10}{16} \mu\text{sec} = 625 \text{ nsec.}$$



Figuur 2.2: Spectrum van een gesampled audiosignaal (samplefrequentie=44.1 kHz).



Figuur 2.3: uniforme quantisatie van een sinus vormig signaal.

Als hier niet aan voldaan kan worden, kan om stereogeluid te converteren, altijd nog gebruik gemaakt worden van twee parallel geschakelde ADC's, zodat dan per conversieslag een omzettijd  $< 1250$  nsec geeist wordt. Vaak wordt, om de filtering aan de ingang van de S/H eenvoudiger te realiseren, voor audio-toepassingen gebruik gemaakt van een twee keer oversampled systeem. Dan heeft de ADC dus ongeveer 300 nsec per conversieslag om te converteren.

### 2.2.2 Ruis

Een van de belangrijkste eisen waaraan een ADC, die voor audiotoeepassingen gebruikt zal worden, zal moeten voldoen, is zo weinig mogelijk ruis aan het oorspronkelijke signaal toevoegen. De signaal/ruis verhouding is dan ook een belangrijke maatstaaf bij het vergelijken van AD systemen. Doordat bij quantisatie van het signaal fouten geïntroduceerd worden, die gezien kunnen worden als ruis (quantisatieruis), is de signaal/ruis verhouding niet willekeurig groot te maken. Als de ADC geen thermische ruis heeft, kan deze signaal/ ruis verhouding berekend worden, zodat later als dit gemeten wordt conclusies getrokken kunnen worden, hoe goed de ADC is m.b.t. de grootte ruis.

Als uitgegaan wordt van een uniforme quantisatie karakteristiek (fig. 2.3), met  $N$  quantisatieniveaus ( $N = 2^B$  voor een binaire representatie van  $B$

bits) en een kwantisatie eenheid  $q$ , zal een signaalamplitude  $x$  worden gerepresenteerd door het  $\lfloor \frac{x}{q} \rfloor$  kwantisatie niveau. Hier is  $\lfloor \cdot \rfloor$  de afronding op een geheel getal. Als  $\lfloor \frac{x}{q} \rfloor$  groter is dan  $N$ , zal er begrenzingsvervorming gaan optreden, omdat deze waarden van  $x$  door het  $N^{\text{de}}$  niveau gerepresenteerd worden.

Stel nu dat een signaalamplitude waarvoor geldt:  $(i - \frac{1}{2})q \leq x < (i + \frac{1}{2})q$  gerepresenteerd wordt door  $x_i = iq$ .

De instantane gekwadraterde fout is dan  $(x - x_i)^2$ .

Veronderstel verder dat de waarschijnlijkheidsdichtheid van de amplitude verdeling gegeven wordt door  $p(x)$ . Als  $q$  klein is in vergelijking met de veranderingen in de signaal amplitudes, zal  $p(x)$  weinig variëren binnen een kwantisatie interval. De kwantisatie fout, veroorzaakt door signalen welke binnen het interval  $i$  liggen, wordt dan gegeven door:

$$E_i^2 = \int_{(i-\frac{1}{2})q}^{(i+\frac{1}{2})q} (x - iq)^2 p(x) dx \approx p(x_i) \int_{-\frac{q}{2}}^{\frac{q}{2}} z^2 dz = \frac{1}{12} p(x_i) q^3 \quad (2.1)$$

De waarschijnlijkheid dat de signaalamplitude in het interval  $i$  valt, is gelijk aan:

$$p_i = \int_{(i-\frac{1}{2})q}^{(i+\frac{1}{2})q} p(x) dx \approx p(x_i) q \quad (2.2)$$

Substitutie van 2.2 in 2.1 levert:

$$E_i^2 = \frac{1}{12} p_i q^2 \quad (2.3)$$

De totale gekwadraterde fout is gelijk aan de som van de resultaten van elk der intervallen  $i$  en volgt dus uit de vergelijking voor  $E_i^2$ :

$$E^2 = \sum_{i=1}^N E_i^2 = \frac{1}{12} \sum_{i=1}^N p_i q^2 = \frac{q^2}{12} \sum_{i=1}^N p_i = \frac{q^2}{12} \quad (2.4)$$

Stel nu dat een sinusvormig signaal met amplitude  $A$  ( $A < \frac{Nq}{2}$ , dus geen begrenzingsvervorming) gequantiseerd wordt.

De amplitude  $A$  wordt dan gerepresenteerd door een quantisatie niveau  $k$  zodanig dat  $\lfloor \frac{A}{q} \rfloor = k$ .

Het signaal vermogen is dan:  $\frac{A^2}{2} \approx \frac{(kq)^2}{2}$   
waarbij de benadering geldt zolang  $A \gg q$ .

De signaal/ruis verhouding (SNR) is dan gelijk aan:

$$\text{SNR} = 10 \log \left( \frac{\frac{k^2 q^2}{2}}{\frac{q^2}{12}} \right) = 20 \log(k) + 7.7 \text{ (dB)}$$

Is de quantisatie karakteristiek zodanig uitgestuurd dat er nog juist geen begrenzingsvervorming optreedt, dus  $k = \frac{N}{2}$  dan wordt de  $\text{SNR} = 20 \log(N) + 1.7 \text{ dB}$ .

Hieruit volgt dat, voor een 16 bit ADC, de maximaal haalbare signaal/ruis verhouding 97.7 dB is.

Naast afrondingsruis (die onvermijdelijk is) zal aan de uitgang van de ADC ook thermische ruis te zien zijn. In de praktijk zal daarom, met een 16 bits ADC, de theoretisch haalbare SNR niet gehaald worden, omdat zowel de DAC, die in de ADC zit, als de comparator, als de S/H een bepaalde hoeveelheid ruis zullen toevoegen, waardoor de SNR kleiner zal worden. Deze thermische ruis is weliswaar onvermijdelijk, maar kan met een goed ontwerp klein gehouden worden, zodat de SNR toch in de buurt van de 97 dB moet kunnen komen.

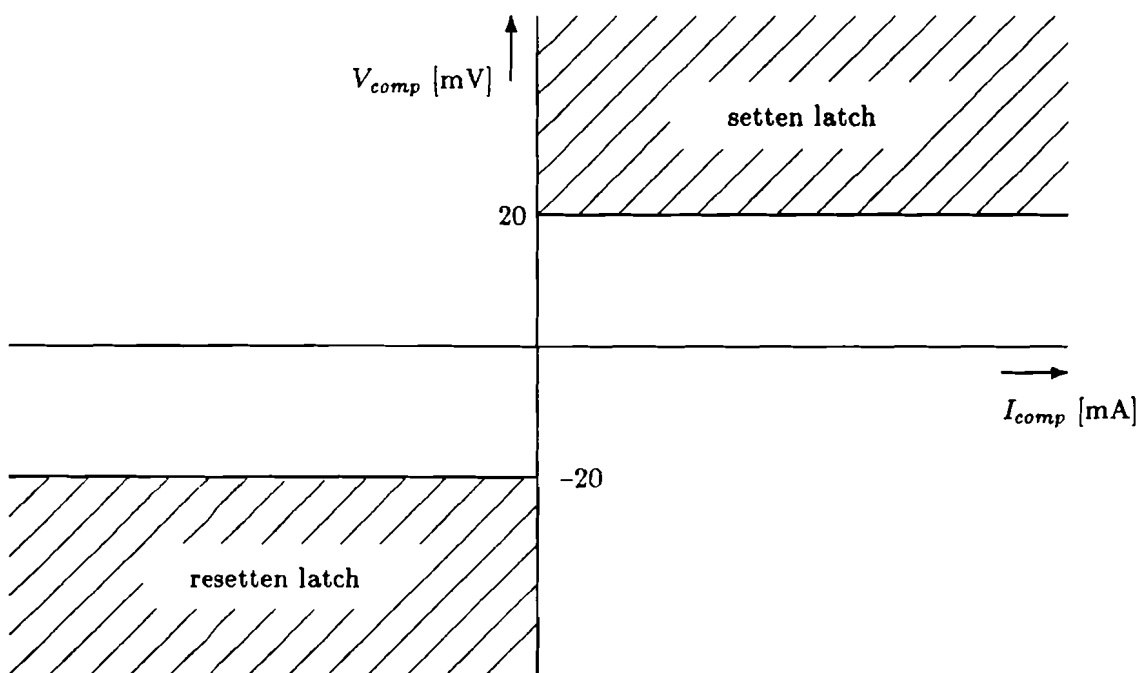
## 2.3 Eisen, die gesteld worden aan de comparator

Zowel de eigenschappen van de DAC, als die van de S/H en de comparator zullen de kwaliteit van de ADC bepalen. Aangezien gebruik zal worden gemaakt van al bestaande DAC- en S/H-schakelingen, zijn de eigenschappen hiervan bekend [3] en [2].

Voordat aan de realisatie van de comparator begonnen kan worden, moet eerst afgeleid worden aan welke eisen de comparator-schakeling zal moeten voldoen, om er voor te zorgen dat de totale ADC geschikt is voor audio doeleinden.

De comparator moet beslissen of de stroom, die door de DAC geleverd wordt ( $I_{DAC}$ ), groter is dan de stroom, die uit de S/H komt ( $I_{S/H}$ ), of niet.





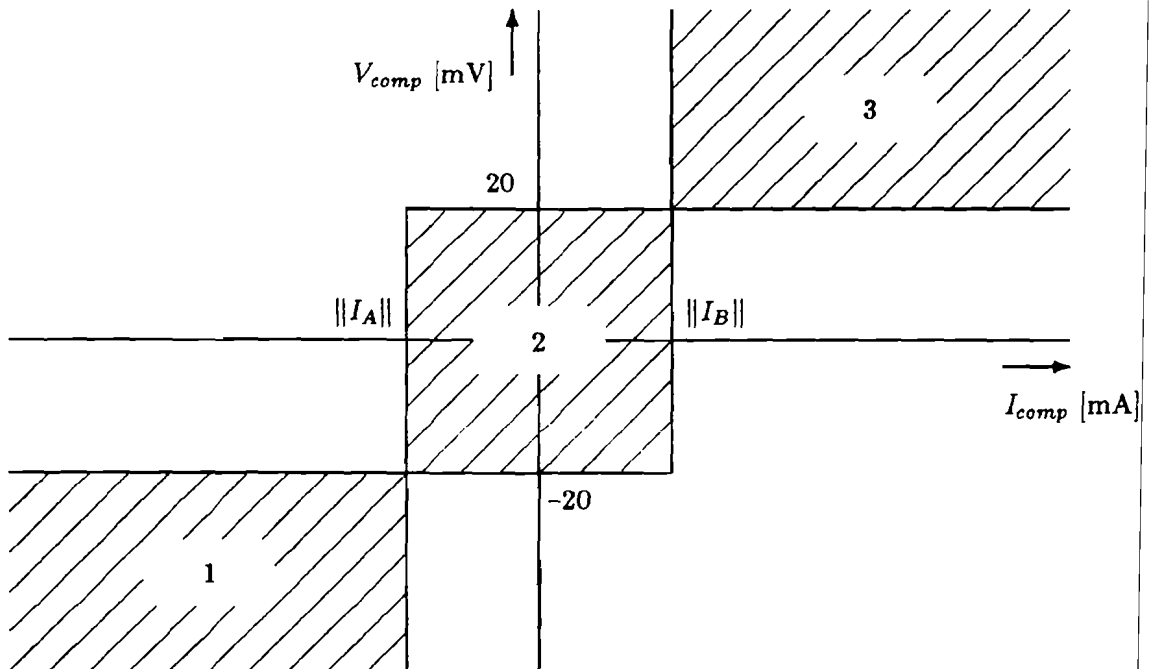
Figuur 2.4: Ideale schakelfunctie van een comparator (gearceerd gebied).

Als  $I_{comp} = I_{S/H} - I_{DAC} > 0$ , moet de uitgangsspanning van de comparator ( $V_{comp}$ ) groot genoeg zijn om de latch te kunnen "setten". De latch, die aan de uitgang van de comparator geschakeld wordt, is zo geconstrueerd dat de amplitude van de ingangsspanning niet groter hoeft te zijn dan 20 mV om de latch in een gedefinieerde toestand te brengen. Daarom moet, als  $I_{comp} > 0$ , de uitgangsspanning van de comparator groter zijn dan 20 mV (de latch wordt dan op 1 geset). De ideale schakelfunctie voor een comparator ziet er dan uit als in fig. 2.4 is weergegeven.

Praktisch gezien zal zo'n functie echter nooit gerealiseerd kunnen worden. Er zal altijd een gebied zijn waarbij geldt:

$-20 \text{ mV} < V_{comp} < 20 \text{ mV}$  (zie fig. 2.5).

Aangezien we een ADC willen maken die een nauwkeurigheid heeft van 1 LSB (=Least Significant Bit), moet de comparator zo gemaakt worden dat voor:



Figuur 2.5: Schakelfunctie die gerealiseerd moet worden met de comparator.

$$\begin{array}{ll}
 I_{comp} > \frac{1}{2} I_{LSB} & V_{comp} > 20mV \quad (\text{gebied 3}) \\
 I_{comp} < -\frac{1}{2} I_{LSB} & V_{comp} < -20mV \quad (\text{gebied 1}) \\
 -\frac{1}{2} I_{LSB} < I_{comp} < \frac{1}{2} I_{LSB} & -20mV < V_{comp} < 20mV \quad (\text{gebied 2})
 \end{array}$$

waar  $I_{LSB}$  de LSB-stroom van de DAC voorstelt ( $I_{LSB} = 62nA$  bij de gebruikte DAC).

Uit het voorgaande zal duidelijk zijn dat zowel  $\|I_A\|$  als  $\|I_B\|$  (zie fig. 2.5) kleiner moet zijn dan  $\frac{1}{2} I_{LSB}$ , omdat de ADC anders nooit een 16 bits resolutie haalt.

Ook mag de schakelfunctie geen geheugenwerking hebben, m.a.w. de schakelfunctie moet onafhankelijk zijn van de vorige waarde van  $I_{comp}$ , omdat de ADC anders niet-lineariteiten zal vertonen (de ADC heeft dan een voorkeur om een 0 of 1 te genereren, afhankelijk van het vorige bit), wat tot harmonische vervorming zal leiden.

De uitgangsruijs van de comparator zal kleiner moeten zijn dan 20 mV om geen foute beslissing te nemen. Met een foute beslissing wordt hier bedoeld:

$$\begin{aligned} I_{comp} > \frac{1}{2} I_{LSB} & \quad V_{comp} < 20mV \\ I_{comp} < \frac{1}{2} I_{LSB} & \quad V_{comp} > -20mV \end{aligned}$$

Is dit het geval, dan zal de totale fout die de ADC maakt groter zijn dan 1 LSB.

Ook de settle-tijd van de comparator is belangrijk. Aangezien iedere conversieslag van de ADC maximaal 625 nsec mag duren, is de tijd, die de comparator heeft om te beslissen, aan een maximum gebonden. In het ongunstigste geval moet de comparator wachten voordat hij kan beginnen met vergelijken, totdat de DAC tot op 1 LSB "gesettled" is. Dit duurt volgens [2] 300 nsec. Dan blijft er voor de comparator nog 325 nsec over. Gelukkig zal de comparator al kunnen beginnen te vergelijken, voordat de DAC helemaal op z'n eindwaarde is. De tijd die de ADC over 1 conversieslag doet, zal dan dus kleiner zijn dan de settle-tijd van de DAC opgeteld bij de settle-tijd van de comparator. In het gunstigste geval wordt de tijd die de ADC voor 1 conversieslag nodig heeft dan bepaald door de grootste van de DAC settletijd en de comparator settletijd. In dit geval heeft de comparator dus 625 nsec om op z'n eindwaarde (met een nauwkeurigheid van 1 LSB) te komen.

De laatste eis die aan de comparator gesteld wordt, heeft te maken met een beperking van de gebruikte DAC. Wil deze namelijk een 16 bits resolutie halen, dan moet de uitgang op het aard-potentiaal liggen (een afwijking van enkele mV is gelukkig wel toegestaan), dus zal de comparator er voor moeten zorgen dat de ingang waarop de DAC is aangesloten op 0 V gehouden wordt [2].

Samenvattend kan gezegd worden dat de comparator aan de volgende eisen moet voldoen:

- settle-tijd kleiner dan 325 nsec
- uitgangsruijs kleiner dan 20 mV
- symmetrische "schakelfunctie" zonder geheugenwerking
- ingang waarop DAC is aangesloten op 0 V houden

## Hoofdstuk 3

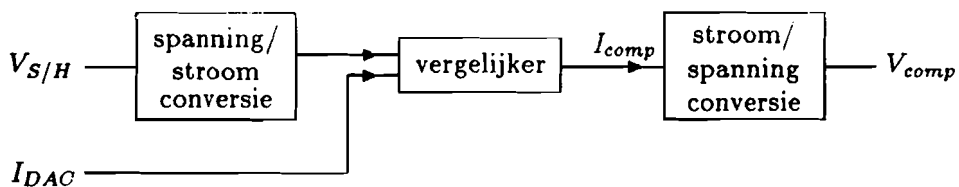
# Systeembeschrijving van de comparator

Zoals in het vorige hoofdstuk beschreven is, heeft de comparator eigenlijk drie taken:

- van de uitgangsspanning van de S/H een stroom maken
- beslissen of deze S/H stroom groter of kleiner is dan de uitgangsstroom van de DAC.
- van de uitgangsstroom een spanning maken, zodat een latch geset of gereset kan worden.

Een eenvoudig blokschema van de comparator zou dan ook kunnen zijn zoals in fig. 3.1 weergegeven is.

De functie die beschreven is in paragraaf 2.3 moet gerealiseerd worden door de vergelijker.



Figuur 3.1: Eenvoudig blokschema van de comparator.

### 3.1 Beschrijving van de verschillende mogelijkheden

Om een goed ontwerp van een comparator te kunnen maken, zijn eerst op systeem niveau een aantal mogelijke schakelingen, die aan de comparator-functie kunnen voldoen, onderzocht.

In de volgende paragrafen zal een beschrijving van de meest bruikbare schakelingen gegeven worden.

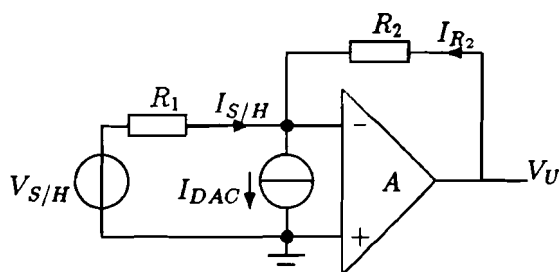
#### 3.1.1 Schakelingen die gebruik maken van een opamp

Als aan het vergelijken van twee grootheden (in dit geval stromen) gedacht wordt, wordt bijna automatisch gedacht aan het gebruik van een opamp. Ook het feit dat de comparator die ingang waarop de DAC is aangesloten op nul volt moet houden, pleit voor het gebruik van een opamp. Het ligt dan ook voor de hand om eerst te gaan onderzoeken of m.b.v. een opamp bruikbare schakelingen ontworpen kunnen worden.

#### Sample and Hold laagohmig ingekoppeld

De eenvoudigste manier om de comparator te realiseren is weergegeven in fig. 3.2.

In deze schakeling wordt de S/H spanning rechtstreeks omgezet in een erg nauwkeurige stroom, doordat door de aanwezige terugkoppeling ook de in-



Figuur 3.2: Eerste idee voor een comparator.

verterende ingang van de opamp op nul volt gehouden wordt.

De S/H stroom is dan:

$$I_{S/H} = \frac{V_{S/H}}{R_1}$$

De stroom door weerstand  $R_2$  is dan:

$$I_{R_2} = I_{DAC} - I_{S/H}$$

zodat

$$V_u = I_{R_2} R_2 = (I_{DAC} - I_{S/H}) R_2$$

Als  $I_{R_2} = \frac{1}{2} I_{LSB}$  dan moet  $V_u = 20$  mV, dus voor  $R_2$  zal gelden:

$$R_2 = \frac{20 \text{ mV}}{32 \text{ nA}} = 625 \text{ k}\Omega.$$

Dan zal, bij  $I_{R_2} = 2$  mA (de grootst mogelijke waarde voor de stroom)

$$V_u = 2 \cdot 625 = 1350 \text{ V}.$$

In de praktijk zal de uitgangsspanning nooit groter kunnen worden dan de voedingsspanning (5 V). Hierdoor zullen er in de opamp echter transistoren in verzadiging gaan, waardoor de settle-tijd van de opamp erg groot zal worden. Om dit te voorkomen worden over de weerstand  $R_2$  "clamping" diodes aangebracht.

De S/H spanning kan variëren van  $-4$  V tot  $4$  V. Omdat de MSB stroom van de DAC  $2$  mA is, moet  $R_1 = 2$  k $\Omega$  zijn om het dynamisch bereik van zowel de S/H als de DAC volledig te benutten.

Als  $R_1 = 2$  k $\Omega$  geldt voor de S/H stroom:

$$-2 \text{ mA} < I_{S/H} < 2 \text{ mA}, \text{ terwijl voor de DAC stroom geldt:}$$

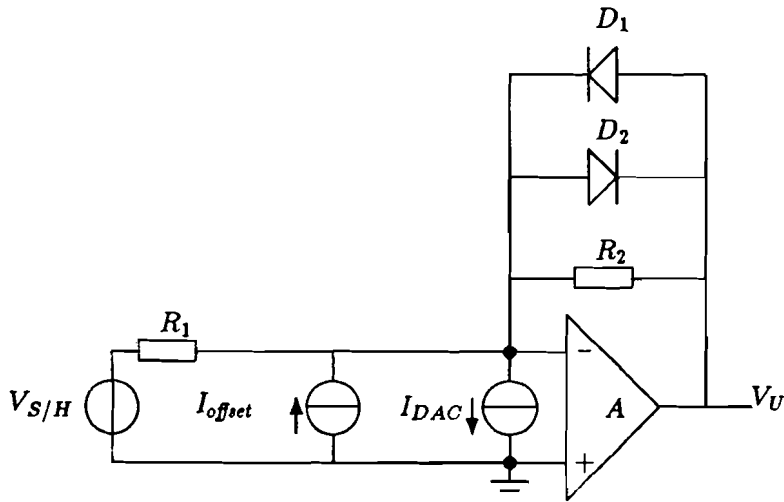
$$0 < I_{DAC} < 4 \text{ mA} - 62 \text{ nA}.$$

Voor een Sample and Hold spanning van  $0$  V, moet de ADC het woord  $1000 - 0$  genereren. Om dit te bereiken moet aan de comparator nog een offset stroom toegevoerd worden van  $I_{offset} = 2$  mA (zie fig. 3.3).

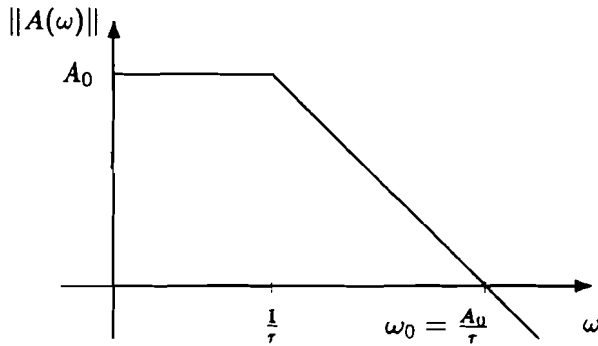
Als er van uitgegaan wordt dat de opamp een eerste orde afval heeft (zie fig. 3.4), dan kan met het schema van fig. 3.5 uitgerekend worden hoe lang de settle-tijd zal zijn. In deze figuur wordt capaciteit  $C_2$  gevormd door de depletiecapaciteit van de "clamping" diodes. Voor deze capaciteit geldt [4]:

$$C_j = \frac{C_{j0}}{\sqrt[3]{1 - \frac{V_d}{\Psi_0}}}$$

Waarbij  $\Psi_0$  de ingebouwde depletie spanning is,  $C_{j0}$  de depletiecapaciteit is als er geen spanning over de diode valt en  $V_d$  de spanning over de diode ( $V_d$



Figuur 3.3: Comparator waarbij de S/H laagohmig is ingeschakeld.



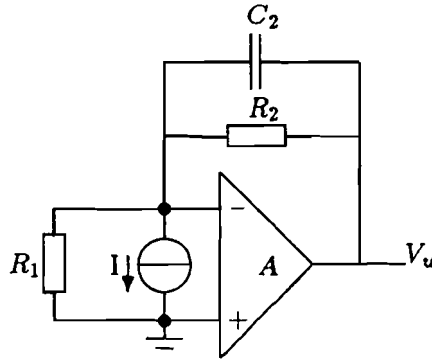
Figuur 3.4: Overdrachtsfunctie van een ideale opamp.

is positief als de diode geleidt) is.  $C_2$  is in de orde van grootte van 1 pF. De settle-tijd zal het grootst zijn, als  $I$  eerst 2 mA was en op  $t=0$  tot  $-I_{LSB}$  daalt. Dan moet, om de latch in de juiste toestand te brengen, de uitgangsspanning van de comparator tot  $-20$  mV dalen (bij deze uitgangsspanning wordt de latch gereset).

Om de settle-tijd te berekenen wordt er van uit gegaan dat voor  $I(t)$  geldt:

$$I(t) = I(1 - U(t))$$

Hierbij is  $I = 2$  mA en  $U(t)$  is de stapfunctie.



Figuur 3.5: Rekenschema voor fig. 3.3.

Als de opamp het snelheidsbeperkende element is ( $\omega_o \ll \frac{1}{R_2 C_2}$ ) geldt:

$$\begin{aligned}
 I(s) &= -\frac{I}{s} \\
 V_u(s) &\approx \frac{-A_o R_2 I}{s \left( A_o + s\tau \left( 1 + \frac{R_2}{R_1} \right) + s^2 R_2 C_2 \tau \right)} \\
 &\approx \frac{-A_o R_2 I}{s \left( s + \frac{A_o}{\tau \left( 1 + \frac{R_2}{R_1} \right)} \right) \left( s + \frac{\left( 1 + \frac{R_2}{R_1} \right)}{R_2 C_2} \right)}
 \end{aligned}$$

Hieruit volgt dat:

$$V_u(t) = \left( K_1 \exp \frac{-t \left( 1 + \frac{R_2}{R_1} \right)}{R_2 C_2} + K_2 \exp \frac{-t A_o}{\tau \left( 1 + \frac{R_2}{R_1} \right)} \right) U(t) \quad \omega_o \ll \frac{1}{R_2 C_2} \quad (3.1)$$

Voor de stroom door een diode geldt:

$$I_d = I_o \left( \exp \frac{qV_d}{kT} - 1 \right)$$

Waarbij  $\frac{kT}{q} \approx 25$  mV en  $I_o$  in de orde van grootte van  $10^{-17}$  A is.

Als  $V_d = 700$  mV, dan is  $I_d$  in de orde van grootte van  $10^{-5}$  A.

Is  $V_d$  echter 800 mV, dan is  $I_d$  ongeveer  $10^{-3}$  A.



Daarom wordt er bij de berekening van de settle-tijd van uit gegaan, dat de stroom door de diode gegeven wordt door de volgende twee vergelijkingen:

$$\begin{array}{ll} 0 < I_d < 2 \text{ mA} & 700 \text{ mV} < V_d < 800 \text{ mV} \quad \text{gebied 1} \\ I_d = 0 & V_d < 700 \text{ mV} \quad \text{gebied 2} \end{array}$$

In gebied 1 is de  $R_0$  (differentieel weerstand) van de diode veel kleiner dan  $R_2$ , zodat voor  $V_u$  geldt:

$$V_u(t) = \left( K_1 \exp \frac{-t(1+\frac{R_0}{R_1})}{R_0 C_2} + K_2 \exp \frac{-t A_0}{\tau(1+\frac{R_0}{R_1})} \right) \quad \omega_0 \ll \frac{1}{R_0 C_2}$$

Aangezien  $R_0$  klein is, geldt  $1 + \frac{R_0}{R_1} \approx 1$

De uitgangsspanning daalt dus met de tijdconstante  $\frac{\tau}{A_0}$ , d.i. de "unity gain" tijdconstante van de opamp.

In het tweede gebied zal de  $R_0$  van de diode veel groter zijn dan  $R_2$ , zodat formule 3.1 nu zal gelden. Nu is  $R_2$  vrij groot, dus zal de uitgangsspanning dalen met de tijdconstante  $\frac{\tau(1+\frac{R_2}{R_1})}{A_0}$ .

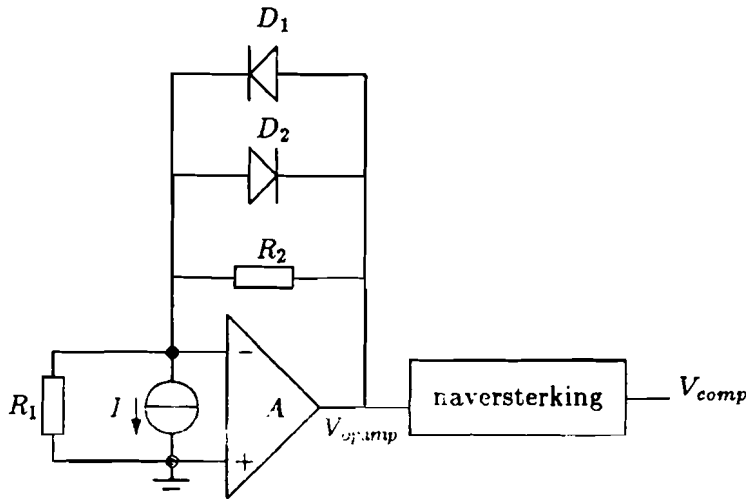
Dit is de "unity gain" tijdconstante van de opamp, vermenigvuldigd met de terugkoppelfactor  $k$  (als  $R_2 = 625 \text{ k}\Omega$ ,  $R_1 = 2 \text{ k}\Omega$  dan is  $k=312.5$ ).

Aangezien nu de uitgangsspanning 700 mV moet dalen en de tijdconstante veel groter is dan in gebied 1, kunnen we stellen dat de "settle-tijd" bepaald wordt door deze tijdconstante.

Om deze tijdconstante niet te groot te laten worden, kunnen we drie dingen doen:

- a) vergroten bandbreedte opamp
- b) verkleinen  $R_2$
- c) vergroten  $R_1$

ad a) Omdat de tijdconstante waarmee de opamp settled omgekeerd evenredig is met  $\omega_0$ , zal door vergroten van de bandbreedte de settle-tijd kleiner gemaakt kunnen worden. Vergroten van de bandbreedte wordt echter beperkt door de mogelijkheden die door de technologie geboden worden.



Figuur 3.6: Opamp met naversterking.

ad b) Verkleinen van  $R_2$ .

Hierdoor wordt de factor, waarmee de tijdconstante van de opamp vermenigvuldigd wordt, verkleind. Ook wordt de uitgangsspanning bij  $\frac{1}{2} I_{LSB}$  kleiner. Om dit op te vangen moet na de opamp nog versterking aan gebracht worden, zodat toch een uitgangsspanning van 20 mV verkregen wordt (zie fig. 3.6).

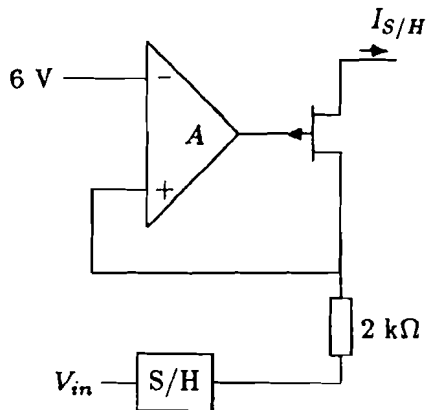
Hierbij geldt dat  $V_{comp} = A_{naverst} V_{opamp}$ .

Dit kan een behoorlijke vermindering van de settle-tijd opleveren, omdat de versterkers, die in het naversterkingsblok zitten, niet teruggekoppeld hoeven te worden. Hierdoor wordt de settle-tijd hiervan bepaald door de unity-gain bandbreedte van deze versterkers, die erg groot (orde van grootte van 100 MHz) gemaakt kan worden. De settle-tijd van de comparator wordt dan uitsluitend bepaald door de settle-tijd van de teruggekoppelde opamp.

Aangezien de ruis die de naversterking veroorzaakt onafhankelijk is van  $R_2$ , terwijl de signaalgrootte evenredig is met  $R_2$ , mag deze weerstand niet te klein gekozen worden, omdat anders de SNR van de comparator te klein wordt.

Gekozen is voor een  $R_2$  van 35 k $\Omega$ , zodat bij  $\frac{1}{2}$  LSB stroom  $V_{opamp} = 1$  mV.  $A_{naverst}$  zal dan 20 moeten zijn.

ad c) Zie volgende paragraaf .



Figuur 3.7: Een realisatie van een hoogohmige inkoppeling van de S/H.

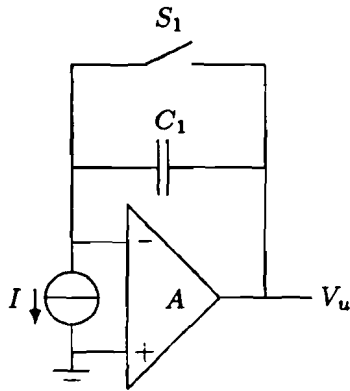
### Sample and Hold hoogohmig ingeschakeld

Als een manier bedacht kan worden om de Sample and Hold spanning op een nauwkeurige manier om te zetten in een stroom, waarbij deze schakeling een hoge ( $\gg 2\text{k}\Omega$ ) uitgangsimpedantie moet hebben, kan de factor waarmee de tijdconstante van de opamp vermenigvuldigd wordt om de settle-tijd te bepalen, verkleind worden.

Als  $R_1 \gg 35\text{ k}\Omega$ , dan kan deze factor zelfs 1 worden, zodat de unity-gain bandbreedte van de opamp de settle-tijd bepaalt.

Een manier om een erg nauwkeurige spanning-stroom omzetter te realiseren is weergegeven in fig. 3.7.

De teruggekoppelde opamp zorgt er voor dat de inverterende ingang op 6 V gehouden wordt. Als de S/H een uitgangsspanning heeft die kan variëren tussen 6 V en 14 V, dan zal  $I_{S/H}$  liggen tussen 0 en 4 mA. Nu is dus de offset stroom ook overbodig geworden, terwijl de uitgangsweerstand van deze schakeling de uitgangsweerstand van de p-kanaals Junctie-FET is. Deze is in de orde van grootte van 100 k $\Omega$ .



Figuur 3.8: Opamp met auto-zero circuit.

### Opamp met auto-zero circuit

Een comparator die werkt met behulp van een opamp met een auto-zero circuit is weergegeven in fig. 3.8.

De stroom  $I$  zorgt er nu voor dat er een spanning over de capaciteit  $C$  opgebouwd wordt ter grootte van  $V_u = \frac{It}{C_1}$ .

Door gebruik te maken van clamping-diodes, kan er voor gezorgd worden dat  $V_u$  begrensd wordt tot  $-800 \text{ mV} < V_u < 800 \text{ mV}$ .

Nadat de comparator beslist heeft, wordt schakelaar  $S_1$  gesloten, waardoor condensator  $C_1$  ontladen wordt en de uitgangsspanning  $V_u = 0 \text{ V}$  wordt.

Voordat aan een nieuwe conversieslag begonnen kan worden, moet gewacht worden totdat de DAC helemaal gesettled is, zodat de conversietijd van de ADC gelijk zal zijn aan de settle-tijd van de DAC + de settle-tijd van de comparator (voordat de comparator kan gaan vergelijken moet natuurlijk schakelaar  $S_1$  weer geopend worden).

De settle-tijd van de comparator is nu  $t = \frac{V_u C_1}{I}$ .

Het is duidelijk dat capaciteit  $C_1$  zo klein mogelijk gekozen moet worden. Aangezien parallel aan de clamping-diodes een depletiecapaciteit  $C_j$  gezien kan worden, kan  $C_1$  nooit kleiner worden dan deze depletiecapaciteit.

Stel dat:

$C_j \approx 1 \text{ pF}$  en

$V_u = 20 \text{ mV}$  (dit is de uitgangsspanning die nodig is voor het zetten van een latch),

$I = 62 \text{ nA}$  (de LSB-stroom),

dan zal  $t = 320 \text{ nsec}$ .

Niet alleen is dat een vrij grote waarde voor de settle-tijd, er is ook nog een realisatie probleem betreffende de schakelaar.

M.b.v. bipolaire transistoren is het erg moeilijk om deze schakelaar te realiseren. Daarom zullen MOSFETS of JFETS gebruikt moeten worden. De comparator zal echter gefabriceerd moeten worden in het N648 productieproces, zodat alleen gebruik gemaakt kan worden van bipolaire transistoren en junctie-FETS.

FETS die in dit proces gemaakt kunnen worden en waar een stroom van  $2 \text{ mA}$  (de MSB stroom) door kan lopen, zullen een erg groot chipoppervlak in beslag nemen, zodat deze methode niet praktisch realiseerbaar is.

### 3.1.2 Andere mogelijkheden

In de hierboven beschreven schakelingen wordt steeds gebruik gemaakt van een of meerdere opamps. Er is ook nog even gekeken of een comparator bedacht kan worden die niet met opamps werkt, maar het gebruik van minstens 1 opamp blijkt noodzakelijk te zijn. Dit komt, doordat de uitgang van de DAC op  $0 \text{ V}$  gehouden moet worden. Zonder aan de uitgang stroom toe of af te voeren zal er, om dit punt op die spanning te houden, gebruik gemaakt moeten worden van een (teruggekoppelde) opamp. Wat misschien wel zonder gebruik te maken van een opamp opgelost kan worden, is het omzetten van de S/H spanning in een stroom.

### 3.2 Eisen, die gesteld worden aan de opamp

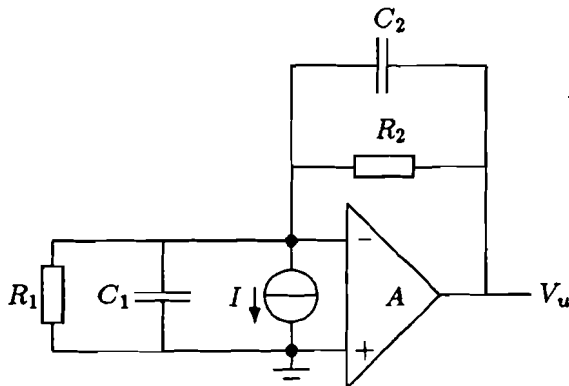
Nu een aantal mogelijke oplossingen bekeken zijn, die alle gebruik maken van opamps, kan afgeleid worden aan welke eisen deze opamp zal moeten voldoen, zodat de comparator zal voldoen aan de eisen die beschreven zijn in paragraaf 2.3:

- settle-tijd kleiner dan 325 nsec
- uitgangsruis kleiner dan 20 mV
- symmetrische "schakelfunctie" zonder geheugenwerking
- ingang waarop de DAC is aangesloten op 0 V houden

Eigenlijk komen er nog maar twee mogelijke oplossingen in aanmerking:

- a) De S/H laagohmig ingekoppeld ( $R_1 = 2 \text{ k}\Omega$ )
- b) De S/H hoogohmig ingekoppeld ( $R_1 = 100 \text{ k}\Omega$ )

Beide schakelingen hebben hetzelfde prinsipeschema (zie fig. 3.9).



Figuur 3.9: Prinsipeschema van de comparator.

Bij de bespreking van de eisen waaraan de opamp moet voldoen, wordt er van uit gegaan dat  $R_2$  steeds  $35 \text{ k}\Omega$  is (d.i. zoals bekend de gekozen waarde van  $R_2$ ).  $C_1$  wordt gevormd door de uitgangscapaciteit van de DAC en de ingangscapaciteit van de opamp ( $C_1 \approx 10 \text{ pF}$ ).  $C_2$  wordt gevormd door de depletiecapaciteit van de clamping diodes en bedraagt ongeveer  $1 \text{ pF}$ .

### 3.2.1 Stabiliteit

Een maat voor de stabiliteit is de fasemarge. Met deze term wordt aangegeven hoeveel graden de in- en uitgangsspanning uit fase zijn. Voor de fasemarge geldt dan:

fasemarge =  $180^\circ$  - fasedraaiing opamp - fasedraaiing terugkoppelnetwerk.

Bij een ideale opamp, die tot voorbij de unity-gain frequentie helling 1 blijft lopen, is de fasedraaiing precies 90 graden. Voor een stabiel systeem mag het terugkoppelnetwerk dan iets minder dan 90 graden fase draaien.

De fasemarge kan bepaald worden uit de grafieken van de openloop overdrachtsfunctie en de feedbackfunctie. Als deze grafieken elkaar snijden onder een hoek van 90 graden of meer, dan zal de fasemarge negatief zijn en kan het systeem instabiel worden.

Voor de berekening van de stabiliteit wordt er van uit gegaan dat de opamp een eerste orde afval heeft, dus

$$A(s) = \frac{A_0}{1 + s\tau}$$

Hierbij zijn zowel  $A_0$  als  $\tau$  nog onbekend. Van  $k$  is bekend dat (als  $Z_1$  de parallelschakeling is van  $R_1$  en  $C_1$ , en  $Z_2$  de parallelschakeling van  $R_2$  en  $C_2$ ):

$$\frac{1}{k} = \frac{Z_1 + Z_2}{Z_1} = \frac{R_1 + R_2}{R_1} \cdot \frac{(1 + s \frac{R_1 R_2}{R_1 + R_2} (C_1 + C_2))}{1 + s R_2 C_2}$$

a)  $R_1 = 2 \text{ k}\Omega$ .

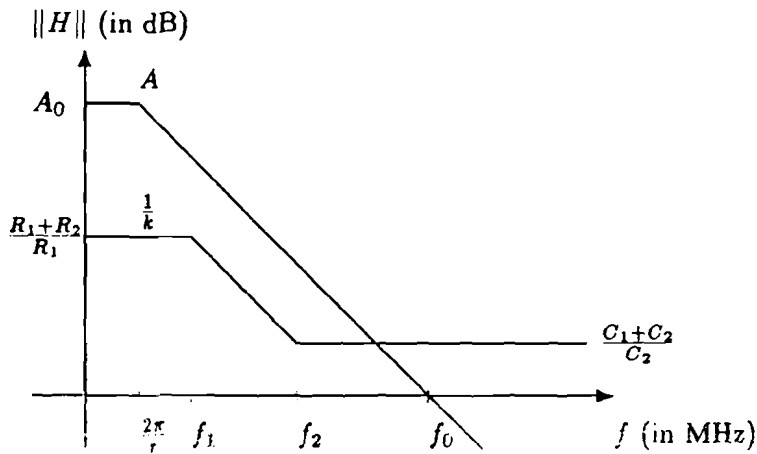
Dan heeft  $\frac{1}{k}$  een pool voor  $f_1 = \frac{1}{2\pi R_2 C_2} \approx 5 \text{ MHz}$

en een nulpunt voor  $f_2 = \frac{1}{2\pi (R_1 // R_2) \cdot (C_1 // C_2)} \approx 7 \text{ MHz}$ .

Hierdoor ontstaat de feedback-functie van fig. 3.10.

Beide grafieken kunnen elkaar nooit snijden onder hoeken van 90 graden of meer, dus dit systeem zal altijd stabiel zijn.

Worden echter de waarden van  $C_1$  en  $C_2$  veranderd, zodat  $\frac{C_1 + C_2}{C_2} > \frac{R_1 + R_2}{R_1}$ , dan kan het systeem instabiel worden. Er zal voor gezorgd moeten worden dat dit niet kan optreden.



Figuur 3.10: Openloop en feedback-functie bij laagohmige inkoppeling.

b)  $R_1 = 100 \text{ k}\Omega$ .

Nu heeft  $\frac{1}{k}$  een pool bij  $f_1 \approx 5 \text{ MHz}$  en een nulpunt bij  $f_2 \approx 0.5 \text{ MHz}$ . De feedback-functie zal er dan uitzien zoals in fig. 3.11 gegeven is.

Zoals in dit figuur te zien is, kunnen de grafieken elkaar snijden onder een hoek van 90 graden. Dit betekent dat er instabiliteit kan optreden. Als er voor gezorgd wordt dat de grafieken elkaar snijden voor  $f < f_2$ , of voor  $f > f_1$ , dan is de hoek waaronder beide grafieken snijden 45 graden (er is dan geen gevaar voor instabiliteit!).

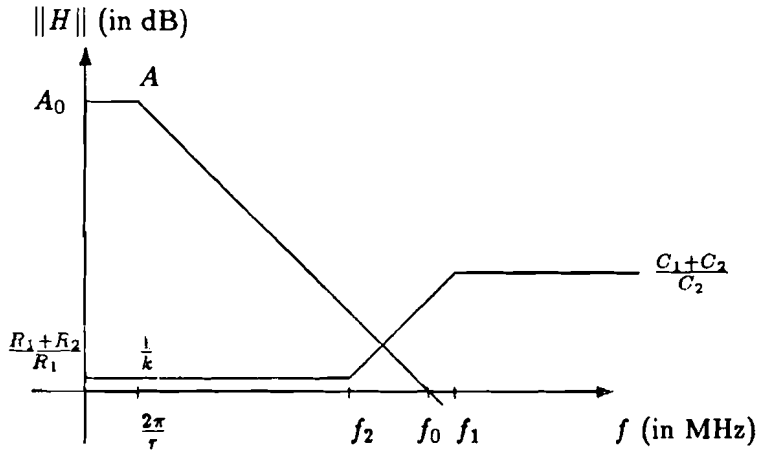
Dit betekent voor de opamp een bandbreedte waarvoor geldt:

$f_{u.g} < 0.5 \text{ MHz}$  of  $f_{u.g} = 11 \cdot 5 > 55 \text{ MHz}$ .

Ook nu moet er rekening mee gehouden worden dat deze frequenties verschuiven, als  $C_1$  en  $C_2$  een andere waarde hebben dan de hierboven aangenomen.

Helaas is het erg moeilijk om een opamp te ontwerpen, die een grote bandbreedte koppelt aan een "ideale" karakteristiek. Nu is dit niet zo heel erg. In deze toepassing van de opamp wordt er namelijk voor gezorgd dat er altijd een bepaalde versterking aanwezig is. Als de opamp nu maar netjes helling 1 doorloopt tot aan (liefst een eindje voorbij) het terugkoppelpunt, dan zal het systeem zich stabiel gedragen, m.a.w. de fasedraaiing bij de terugkoppelfrequentie is belangrijk voor het bepalen van de fasemarge, niet de fasedraaiing bij de unity-gain frequentie. Dit effect is belangrijk omdat





Figuur 3.11: Openloop en feedback-functie bij hoogohmige inkoppeling.

daardoor het ontwerp van de opamp een stuk gemakkelijker zal worden, al zal er natuurlijk naar gestreefd worden om de opamp ook bij het unity-gain punt zo weinig mogelijk fase te laten draaien (dan is de opamp ook voor andere toepassingen bruikbaar).

### 3.2.2 Bandbreedte

In fig. 3.9 geldt:

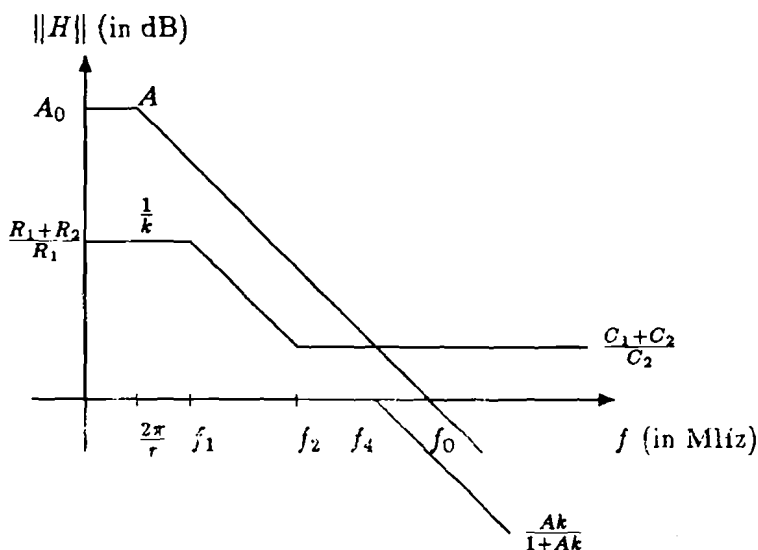
$$\frac{V_u}{I} = \frac{Z_2 A k}{1 + A k} = \frac{R_2}{1 + s R_2 C_2} \cdot \frac{A k}{1 + A k}$$

De settle-tijd zal voornamelijk bepaald worden door de meest laagfrequente pool van deze uitdrukking.

Als deze pool bepaald wordt door het terugkoppelnetwerk, dan is

$$f_1 = \frac{1}{2\pi R_2 C_2} \approx 5 \text{ MHz.}$$

Als de uitgangsspanning van de opamp 700 mV was en deze moet dalen tot -1 mV (uitgangsspanning van de opamp bij  $\frac{1}{2}$  LSB stroom), dan duurt dit  $\ln 700 \approx 7$  tijdconstanten.



Figuur 3.12: Bepalen van de bandbreedte van de opamp bij laagohmige inkoppeling.

Er geldt:

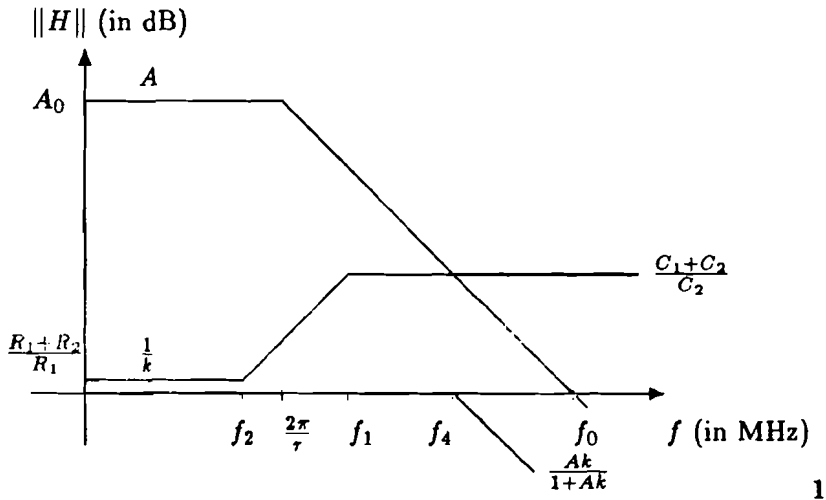
$\tau_2 = R_2 C_2 = 35 \text{ nsec}$ . Dus  $7\tau_2 \approx 250 \text{ nsec}$ . Dit is de maximale tijd die de comparator heeft om te "settle", zodat er voor gezorgd moet worden dat het terugkoppelnetwerk de settle-tijd bepaalt. Er kan nu nagegaan worden hoe groot de bandbreedte van de opamp voor beide methoden moet zijn, opdat de settle-tijd alleen bepaald wordt door  $\tau_2$ .

a) S/H laagohmig ingekoppeld.

Uit fig. 3.12 blijkt dat voor  $f_4$  geldt:

$$f_4 = f_0 \cdot \frac{C_2}{C_1 + C_2}$$

$f_4$  moet groter zijn dan 5 MHz, omdat anders de tijdconstante van  $\frac{Ak}{1+Ak}$  ( $= \frac{1}{2\pi f_4}$ ) bepalend voor de settle-tijd is, waardoor de settle-tijd te groot zal worden. Aangezien  $f_4$  minstens gelijk moet zijn aan  $f_2$  moet  $f_0 > f_2 \cdot \frac{C_1 + C_2}{C_2} = 77 \text{ MHz}$ .



Figuur 3.13: Bepalen van de bandbreedte van de opamp bij hoogohmige inkoppeling als de bandbreedte groter dan 55 MHz wordt verondersteld.

b) S/H hoogohmig ingekoppeld.

Geval I:  $f_0 > 55$  MHz (zie fig. 3.13).

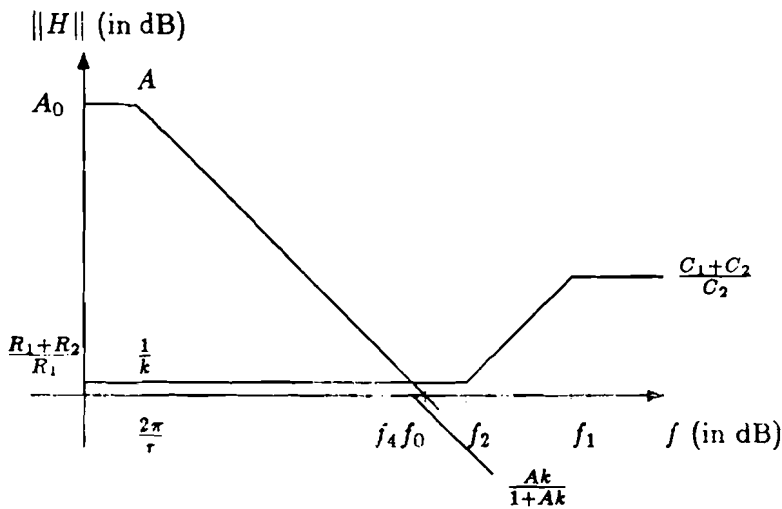
Van  $f_4$  is gegeven:  $f_4 = f_0 \cdot \frac{C_2}{C_1 + C_2}$ .

Ook nu moet  $f_4$  groter zijn dan 5 MHz, omdat anders weer de tijdconstante van  $\frac{A*k}{1+A*k}$  bepalend voor de settle-tijd zal zijn.

Dit betekend dat  $f_0 > 5 \cdot \frac{C_1 + C_2}{C_2} = 55$  MHz.

(Opmerking: zowel uit stabiliteitsoverwegingen als uit de eis voor de settle-tijd volgt dezelfde unity-gain bandbreedte:  $f_0 > 55$  MHz).

Omdat  $\frac{1}{k}$  nu eerst een nulpunt heeft en dan pas een pool, zal  $\frac{1}{k}$  een fase-draaiing veroorzaken als het terugkoppelpunt in de buurt van de pool ligt. Om deze fase-draaiing tegen te gaan, zal teruggekoppeld moeten worden op een hogere frequentie dan 5 MHz, dus zal ook  $f_0$  groter moeten zijn dan 55 MHz.



Figuur 3.14: Bepalen van de bandbreedte van de opamp bij hoogohmige inkoppeling als de bandbreedte kleiner dan 0.5 MHz wordt verondersteld.

Geval II:  $f_0 < 0.5$  MHz (zie fig. 3.14).

Aangezien voor kleine frequenties  $\frac{1}{k}$  erg klein is, zal de tijdconstante die de settle-tijd bepaalt, nu gekoppeld zijn aan de unity-gain bandbreedte van de opamp. Deze is (voor stabiliteitseisen) kleiner dan 0.5 MHz, dit heeft voor de tijdconstante tot gevolg dat deze minstens 12  $\mu\text{sec}$  zal zijn, wat veel te groot is. Deze manier valt dus af op grond van het feit dat dan de settle-tijd veel groter zal worden dan is toegestaan.

Omdat bij hoogohmig inkoppelen van de S/H het nulpunt in de terugkoppelfunctie bij een lagere frequentie optreedt dan de pool, moet om de fase-marge zo groot mogelijk te houden de opamp een bandbreedte hebben die veel groter is dan 55 MHz. Dit betekent dat ook bij hoogohmig inkoppelen van de S/H, de opamp een bandbreedte van ongeveer 70 MHz zal moeten hebben. Het effect van het hoogohmig inkoppelen van de S/H is dus erg gering. Dit in tegenstelling tot wat verwacht mocht worden uit formule 3.1. Dit komt omdat bij het afleiden van deze formule geen rekening is gehouden met de uitgangscapaciteit van de DAC, waardoor hoogfrequent het circuit 11 keer versterkt in plaats van ongeveer 1 keer.

Als het dan toch niet uitmaakt in het ontwerp van de opamp, kan de S/H net zo goed laagohmig ingekoppeld worden, zodat het spanning-stroom omzet netwerk van de comparator (zie hoofdstuk 2) aanzienlijk vereenvoudigd wordt.

### 3.2.3 Slew rate

Slew rate is het verschijnsel dat de verandering van de uitgangsspanning van een opamp beperkt is, doordat binnenin de opamp capaciteiten op- en ontladen moeten worden. Aangezien de stroom, waarmee deze capaciteiten op- of ontladen worden beperkt zal zijn (men probeert deze namelijk zo klein mogelijk te houden om zo weinig mogelijk vermogen te verbruiken), zal ook  $\frac{dV_u}{dt}$  beperkt zijn.

De conversie-tijd zal het langst zijn, als de uitgang van de comparator 0.8 V was, waarna bij de volgende slag de stroom van de DAC en de S/H aan elkaar gelijk zijn.

Als een van de clamping-diodes nog geleidt ( $V_u > 0.7$  V), geldt voor  $V_u$ :

$$V_u(t) = 0.8 \exp^{-\frac{t}{\tau_0}}, \text{ waarbij } \tau_0 = \frac{1}{2\pi f_0}.$$

Omdat nu de spanning slechts 100 mV moet dalen totdat beide clamping-diodes niet meer geleiden ( $V_u < 0.7$  V), wordt in dit gebied toegestaan dat de slew rate de snelheid van de comparator bepaald.

Als  $V_u < 0.7$  V, dan geldt voor  $V_u$ :

$V_u(t) = 0.7 \exp^{-\frac{t}{\tau}}$  en zal ongeveer  $7\tau$  gewacht moeten worden totdat  $V_u$  binnen de waarde van  $\frac{1}{2}$  LSB is. Als we de slew rate van de opamp nu zo groot kunnen maken dat de conversie-tijd in dit geval niet groter wordt als gevolg van deze slew rate, dan heeft de slew rate geen effect op de totale snelheid van de comparator (deze wordt bepaald door de traagste overgang).

Dan moet voor de slew rate gelden:

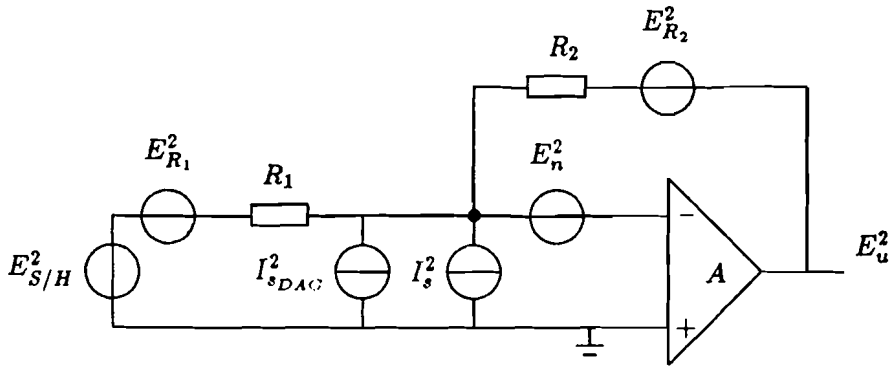
$$\frac{dV_u}{dt} \geq \left( \frac{0.7}{\tau} \exp^{-\frac{t}{\tau}} \right)_{max} = \frac{0.7}{\tau}$$

waarbij  $\tau = \frac{1}{2\pi f_1}$  met  $f_1 \approx 5$  MHz:  $\tau \approx 32$  nsec.

Dus moet de slew rate minstens 22 V/ $\mu$ sec zijn.

Bij een slew rate van 22 V/ $\mu$ sec zal, als  $0.7 < V_u < 0.8$  V de uitgangsspanning bepaald worden door de formule:

$$V_u(t) = 0.8 - 22 \cdot 10^6 t.$$



Figuur 3.15: Ruiscomponenten van de comparator.

Op  $t=5$  nsec zal  $V_u = 0.7$  V zijn. De totale settle-tijd zal dus 5 nsec groter zijn doordat de slew rate van de opamp beperkt is.

### 3.2.4 Ruis

Zoals in hoofdstuk 2 beschreven is, moet de piekwaarde van de uitgangsisruis van de comparator binnen de  $\frac{1}{2}$  LSB waarde vallen, om geen fouten te maken ten gevolge van deze ruis.

Deze ruis is samengesteld uit de volgende componenten: (zie fig. 3.15)

- a) stroomruis van de DAC
- b) spanningsruis van weerstand  $R_1$
- c) spanningsruis van weerstand  $R_2$
- d) spanningsruis van de opamp
- e) stroomruis van de opamp
- f) spanningsruis van de S/H

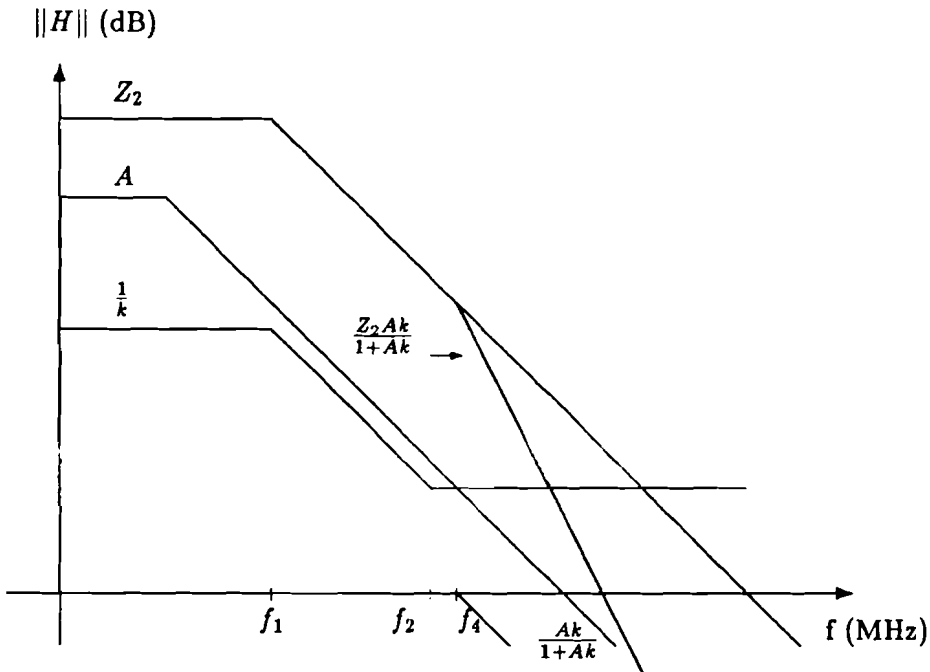
ad a) stroomruis van de DAC

Er geldt:

$$E_u^2 = \left\| \frac{Z_2 A k}{1 + A k} \right\|^2 I_{sDAC}^2$$

In fig. 3.16 is te zien hoe uit de grafieken van  $A$  en  $\frac{1}{k}$  de grafiek van  $\frac{A k}{1 + A k}$  bepaald kan worden. M.b.v. deze grafiek kan de grafiek van  $\frac{Z_2 A k}{1 + A k}$  bepaald worden. Uit deze grafiek blijkt dat deze functie benaderd kan worden door:

$$\frac{R_2}{(1 + j \frac{f}{f_1})(1 + j \frac{f}{f_4})}$$



Figuur 3.16: Bode-diagram voor het bepalen van de DAC-stroomruis.

Voor  $\overline{v_u^2}$  geldt:

$$\begin{aligned}
 \overline{v_u^2} &= \int_0^\infty E_u^2 df = \int_0^\infty \left\| \frac{R_2}{(1 + j\frac{f}{f_1})(1 + j\frac{f}{f_4})} \right\|^2 I_s^2 df \\
 &= \frac{I_{sDAC}^2 R_2^2}{f_4^2 - f_1^2} \left[ \int_0^\infty \frac{f_4^2}{1 + (\frac{f}{f_1})^2} df - \int_0^\infty \frac{f_1^2}{1 + (\frac{f}{f_4})^2} df \right] \\
 &= \frac{I_{sDAC}^2 R_2^2}{f_4^2 - f_1^2} \left[ f_4^2 f_1 \int_0^\infty \frac{1}{1 + (\frac{f}{f_1})^2} d\frac{f}{f_1} - f_1^2 f_4 \int_0^\infty \frac{1}{1 + (\frac{f}{f_4})^2} d\frac{f}{f_4} \right] \\
 &= \frac{I_{sDAC}^2 R_2^2}{f_4^2 - f_1^2} \frac{\pi}{2} [f_4^2 f_1 - f_1^2 f_4]
 \end{aligned}$$

Van de DAC is bekend:  $\sqrt{I_{sDAC}^2} = 10 \text{ pA}/\sqrt{\text{Hz}}$ .

Dit betekent dat  $\sqrt{\overline{v_u^2}} = 0.75 \text{ mV}$  (als  $f_4 = f_2$ ).

Dit is de  $\sigma$  waarde van de ruis. 99 % van de ruis valt binnen de  $3\sigma$ -waarde, dus dit is 2.2 mV. Dit is al meer dan de toegestane ruis (1 mV). Hierbij moet opgemerkt worden dat er bij deze berekeningen vanuit is gegaan dat de DAC een wit ruisspectrum heeft tot frequenties hoger dan 7 MHz. Dit is echter niet gemeten (gemeten is tot 20 kHz). Het zou dus best kunnen zijn dat de ruis veroorzaakt door de DAC een stuk kleiner is dan hierboven is afgeleid. Ook van de S/H is niet het ruisgedrag voor hoge frequenties bekend. Daarom is er bij het ontwerp van uitgegaan dat de ruis van de S/H en van de DAC klein is vergeleken bij de ruis die de comparator veroorzaakt. Voor de comparator wordt dus geëist dat de uitgangsisruis kleiner is dan 1 mV ( $3\sigma$  waarde). Deze ruis bestaat uit spanningsruis van  $R_1$  en  $R_2$  en spannings- en stroomruis van de opamp.

ad b) spanningsruis van weerstand  $R_1$

Er geldt nu:

$$E_u^2 = \left\| \frac{Ak}{1 + Ak} \cdot \frac{Z_2}{Z_1} \right\|^2 E_1^2$$

Uit fig. 3.17 blijkt dat  $E_u^2$  benadert kan worden door:

$$E_u^2 \approx \left\| \frac{\frac{R_2}{R_1}}{1 + j \frac{f}{f_1}} \right\|^2 E_1^2 \quad (f_2 \approx f_4)$$

Hieruit volgt dat voor  $\overline{v_u^2}$  geldt:

$$\overline{v_u^2} = \int_0^{\infty} E_u^2 dt = \left( \frac{R_2}{R_1} \right)^2 E_1^2 f_1 \frac{\pi}{2}$$

ad c) spanningsruis van weerstand  $R_2$

Er kan afgeleid worden dat voor  $E_u^2$  geldt:

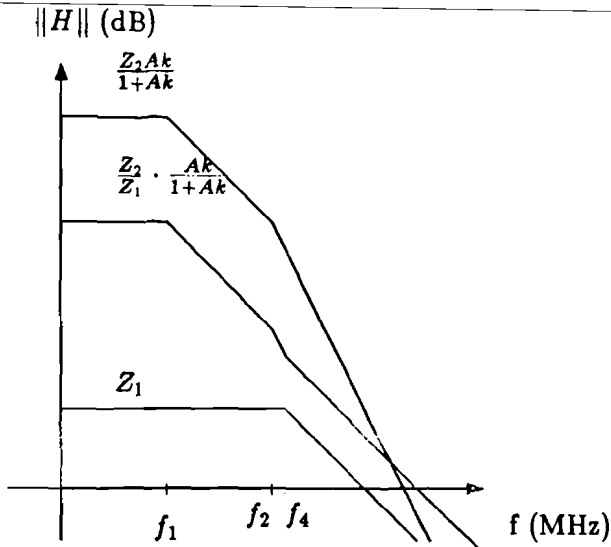
$$E_u^2 = \left\| \frac{Ak}{1 + Ak} \right\|^2 E_2^2$$

Aangezien  $f_1 \approx f_3$  geldt er:

$$\frac{Ak}{1 + Ak} \approx \frac{1}{1 + j \frac{f}{f_2}}$$

$$\overline{v_u^2} = \int_0^{\infty} E_u^2 df = E_2^2 f_2 \frac{\pi}{2}$$





Figuur 3.17: bodediagram voor het berekenen van de ruiscomponent t.g.v.  $R_1$ .

ad d) spanningsruis van de opamp

T.g.v. de spanningsruis van de opamp zal  $E_u^2$  gelijk zijn aan:

$$E_u^2 = \left\| \frac{A}{1 + Ak} \right\|^2 E_n^2$$

Uit fig. 3.18 blijkt dat voor  $E_u^2$  de volgende benadering geldt:

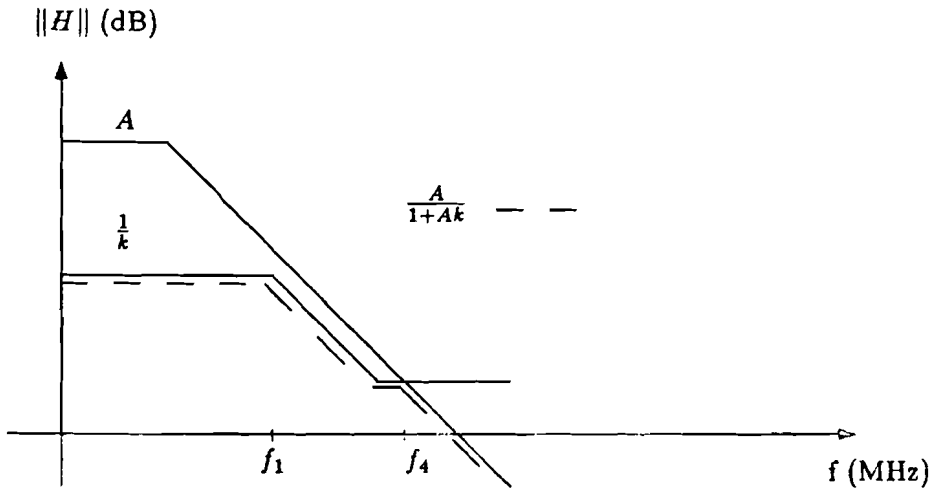
$$E_u^2 \approx \left\| \frac{\frac{R_1 + R_2}{R_1}}{1 + j \frac{f}{f_1}} \right\|^2 E_n^2$$

Dit betekent dat:

$$\overline{v_u^2} = \int_0^{\infty} E_u^2 df = \left( \frac{R_1 + R_2}{R_1} \right)^2 E_n^2 f_1 \frac{\pi}{2}$$

ad e) stroomruis van de opamp

De stroomruis van de opamp kan gezien worden als een ruisstroom die parallel staat aan de stroomruis van de DAC.



Figuur 3.18: Bodediagram voor het berekenen van de spanningsruiscomponent van de opamp.

Dit betekent dat:

$$\overline{v_u^2} = \frac{I_s^2 R_2^2}{f_2^2 - f_1^2} \frac{\pi}{2} [f_2^2 f_1 - f_1^2 f_2] \quad f_4 \approx f_2$$

De totale uitgangsruijs van de opamp zal nu de som zijn van deze ruiscomponenten, dus

$$\overline{(v_u^2)_{\text{totaal}}} = \left(\frac{R_2}{R_1}\right)^2 E_1^2 f_1 \frac{\pi}{2} + \left(\frac{R_1 + R_2}{R_1}\right)^2 E_n^2 f_1 \frac{\pi}{2} + E_2^2 f_2 \frac{\pi}{2} + \frac{I_s^2 R_2^2}{f_2^2 - f_1^2} \frac{\pi}{2} [f_2^2 f_1 - f_1^2 f_2] \quad (3.2)$$

In [5] staat beschreven dat de spanningsruis van een weerstand  $R$  gegeven wordt door:  $E_r^2 = 4kTR$ .

Dit betekent dat:

$$E_1^2 = 4kTR_1$$

$$E_2^2 = 4kTR_2$$

Als verondersteld wordt dat de spanningsruis van de opamp ook recht evenredig is met  $4kT$ , kan aan deze opamp een effectieve ruisweerstand toegekend worden. Er geldt dan:

$$E_n^2 = 4kTR_{op}$$

Voor de stroomruis van de opamp geldt:

$$I_s^2 = 2qI_B$$

Hierbij is  $R_{op}$  de effectieve ruisweerstand van de opamp en  $I_B$  de basisstroom van het ingangspaar van de opamp.

Er kan nu afgeleid worden hoe groot  $R_{op}$  mag zijn, opdat de totale ruisbijdrage van de comparator kleiner is dan 20 mV. Hiervoor moet de uitgangsruijs van de opamp kleiner zijn dan 1 mV.

$\sqrt{v_u^2}$  kan gezien worden als de  $\sigma$ -waarde van de ruisspanning.

Omdat de totale ruisbijdrage kleiner dan 1 mV zal moeten zijn, moet  $E_u$  kleiner zijn dan  $\frac{1}{3}$  mV.

Er geldt dan:

$$\begin{aligned} \overline{(v_u^2)}_{tot} &= \left(\frac{1}{3}10^{-3}\right)^2 \\ &= 4kT\frac{\pi}{2} \left( \left(\frac{R_2}{R_1}\right)^2 R_1 f_1 + \left(\frac{R_1 + R_2}{R_1}\right)^2 R_{op} f_1 + R_2 f_2 \right) \\ &\quad + \frac{2qI_B R_2^2 \pi}{f_2^2 - f_1^2} [f_2^2 f_1 - f_1^2 f_2] \\ &\approx 4kT\frac{\pi}{2} \frac{R_2^2}{R_1^2} (R_1 + R_{op}) f_1 \quad (I_B < 5\mu A) \end{aligned}$$

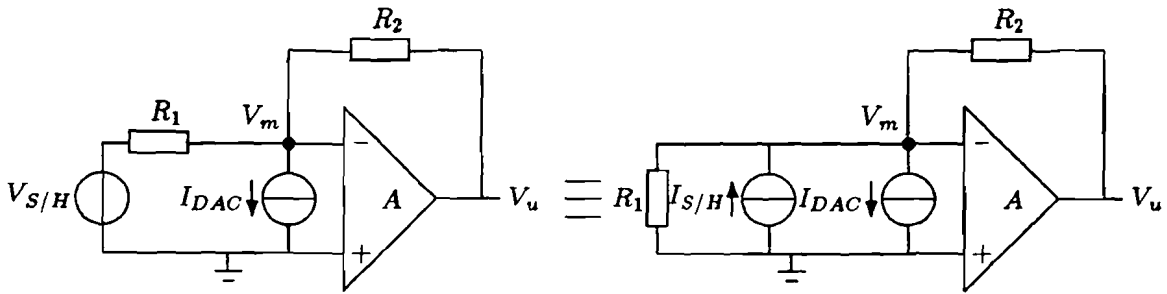
Voor  $R_{op} + R_1$  moet dus gelden:

$$R_{op} + R_1 = \frac{\left(\frac{1}{3}10^{-3}\right)^2}{\left(\frac{35}{2}\right)^2 4kT\frac{\pi}{2} f_1} = 2.9k\Omega$$

$R_{op}$  mag maximaal 0.9 k $\Omega$  zijn.

### 3.2.5 Versterking

Als de versterking van de opamp niet oneindig groot is, zal dat te zien zijn doordat de min-ingang een spanning heeft die niet precies 0 V is, maar  $-\frac{V_u}{A}$  zal zijn. Hierdoor zal een stroom door de weerstand  $R_1$  gaan lopen, die gezien kan worden als een foutstroom, waardoor de comparator niet een uitgangsspanning heeft evenredig met  $I_{DAC} - I_{S/H}$ , maar evenredig met  $I_{DAC} - I_{S/H} - I_{fout}$ . Om de comparator een zo klein mogelijke fout te laten maken, zal  $I_{fout}$  zo klein mogelijk moeten zijn. Omdat  $I_{fout} = -\frac{V_u}{AR_1}$ , moet A dus zo groot mogelijk zijn. Hoe groot moet A nu zijn om de invloed van



Figuur 3.19: Principe van de comparator.

deze foutstroom te kunnen verwaarlozen?

Er geldt (zie fig. 3.19):

$$V_u = V_m + I_{DAC} \cdot R_2 - I_{S/H} \cdot R_2 + V_m \cdot \frac{R_2}{R_1}$$

$$V_u = (I_{DAC} - I_{S/H}) \cdot R_2 \cdot \frac{A}{A + 1 + \frac{R_2}{R_1}}$$

$$V_u = (I_{DAC} - I_{S/H}) \cdot 35 \cdot 10^3 \cdot \frac{A}{A + 18.5}$$

Hieruit blijkt dat het eindig zijn van de versterking te zien is als een procentuele verandering van de weerstand  $R_2$ . Deze relatieve verandering is onafhankelijk van zowel de DAC stroom als van de S/H stroom. Dus de comparator zal geen extra fout introduceren t.g.v. de foutstroom, die veroorzaakt wordt doordat A niet oneindig groot is. Wel moet er voor gezorgd worden dat A niet te klein is en wel om twee redenen:

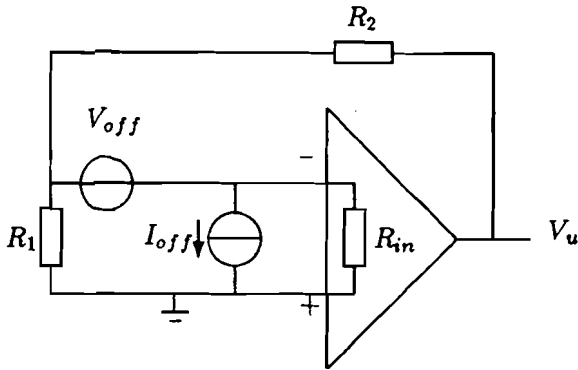
— Zowel de tijdconstante waarmee de opamp settled, als de ruis van de opamp blijven bepaald worden door de gehele  $R_2$ . De  $\frac{1}{2}$  LSB stroom veroorzaakt door het eindig zijn van A een uitgangsspanning

$$(V_u)_{\frac{1}{2}LSB} = \frac{R_2 A}{18.5 + A} \cdot I_{\frac{1}{2}LSB}$$

Voor het bepalen van de settle-tijd moet de uitgangsspanning dalen van 700 mV tot  $V_{\frac{1}{2}LSB}$ , zodat de settle-tijd toe zal nemen als A afneemt.

Ook zal de signaal/ruis verhouding afnemen als A kleiner wordt ( $V_{\frac{1}{2}LSB}$  wordt dan kleiner).

—  $V_m$  mag niet groter worden dan 2 mV, omdat anders de juiste werking van de DAC niet gegarandeerd wordt.



Figuur 3.20: Opamp met offset bronnen.

Als er voor gezorgd kan worden dat  $A > 1000$ , dan zal de ingang ( $V_m$ ) niet groter worden dan 0.8 mV, zodat de DAC altijd goed blijft werken. De relatieve verandering van  $R_2$  zal dan ongeveer 1.5% zijn, zodat zowel de settle-tijd als de signaal/ruisverhouding niet merkbaar slechter zullen worden.

### 3.2.6 Offset en temperatuurafhankelijkheid

Een opamp kan nooit zo ontworpen worden dat, indien de + en - ingang kortgesloten worden, de uitgangsspanning 0 V is. Er zal altijd een bepaalde offset spanning tussen deze klemmen aanwezig zijn. Ook zal de opamp altijd een bepaalde ingangsstroom vragen: de offset stroom (zie fig. 3.20). Tevens zal de ingangsweerstand van de opamp niet oneindig zijn.

Deze ingangsweerstand kan in onze toepassing verwaarloosd worden, als hij maar veel groter is dan  $R_1$ . De offset stroom en -spanning kan gezien worden als een (constante) afwijking (die echter wel afhankelijk is van de temperatuur). Als de DAC-stroom en de S/H stroom namelijk even groot zijn, dan zal de uitgang niet 0 V zijn, maar:

$V_u = \frac{R_1 + R_2}{R_1} V_{off} + R_2 I_{off}$  (voor  $A = \infty$ ). Dit heeft tot gevolg dat de ADC altijd een bepaalde offset zal hebben. Omdat deze offset afhankelijk zal zijn van de temperatuur, betekent het dat deze offset niet constant zal zijn maar zal variëren in de tijd. Voor digitale audio is dit geen bezwaar, omdat de

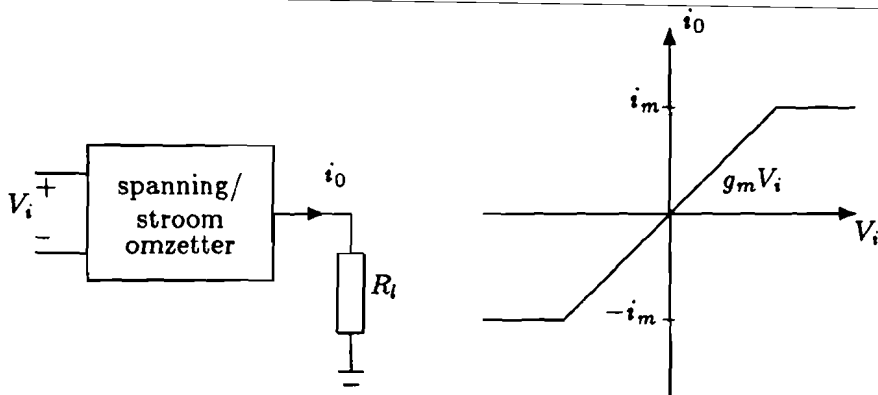
DC stabiliteit niet erg groot hoeft te zijn [2]. Ook voor de meeste andere toepassingen is dit geen bezwaar, omdat de ADC meestal in combinatie met een computer gebruikt wordt. Deze computer bepaalt regelmatig de offset van de ADC. Als de ADC dan een "echte" spanning gaat converteren, dan trekt de computer van het bepaalde woord de gemeten offset waarde af, waarna de werkelijke waarde overblijft.

Waar echter wel rekening mee gehouden moet worden, is het feit dat de offset spanning ervoor zal zorgen dat de min-ingang op een hoger potentiaal zal komen te liggen. Zoals al eerder besproken, moet er voor gezorgd worden dat deze ingang een niet te hoge spanning heeft, omdat anders de DAC niet goed meer zal werken. Ook zal de offset stroom en -spanning het dynamisch bereik van de ADC beperken.

(Als de ADC een offset heeft van  $A$  LSB, zal het dynamisch bereik  $A$  LSB minder zijn.) Daarom mogen zowel offset stroom als -spanning niet te groot worden.

Samenvattend kunnen we aan de opamp de volgende eisen stellen:

- bandbreedte moet minstens 70 MHz zijn. Hierbij moet een eerste orde afval gegarandeerd zijn tot 7 MHz. Boven deze frequentie mag de afval meer zijn dan 6 dB/octaaf.
- Slew rate moet minstens  $22 \text{ V}/\mu\text{sec}$  groot zijn.
- De effectieve ruisweerstand aan de ingang mag hoogstens  $900 \Omega$  zijn.
- De versterking moet minimaal 1000 zijn.
- De offset spanning en -stroom mogen niet al te groot zijn.



Figuur 3.21: Principe-schema en overdrachtskarakteristiek van de eentrapsversterker.

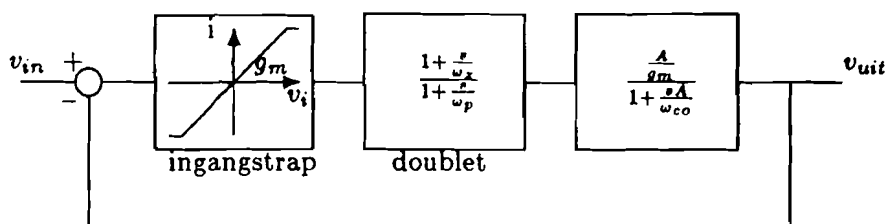
### 3.3 Opampconfiguraties

Nu de eisen afgeleid zijn waaraan de opamp moet voldoen, is de laatste stap, voordat aan het ontwerp op transistor niveau begonnen kan worden, bekijken welke opampconfiguratie het meest geschikt lijkt om aan deze eisen te voldoen.

#### 3.3.1 Eentrapsversterker

Aangezien aan de versterking van de opamp geen al te hoge eisen gesteld worden, is het misschien mogelijk om de opamp te realiseren met één enkele versterkingstrap. Deze heeft de opbouw en de overdrachtsfunctie zoals is weergegeven in fig. 3.21.

De versterking van deze opamp zal nu gegeven worden door  $g_m R_l$ , waarbij  $R_l$  in ons geval  $35 \text{ k}\Omega$  is. Als  $g_m = \frac{1}{35} \text{ A/V}$  kan met deze versterker een versterking van ongeveer 1000 keer gehaald worden. Met gebruikmaking van een spanningsvolger, kan de belastingsweerstand nog iets vergroot worden en ook zou, door de instelstroom in de versterker te vergroten,  $g_m$  nog iets groter gemaakt kunnen worden.



Figuur 3.22: Principeschema van een opamp die gebruik maakt van het pool-nulpunt cancellings principe.

### 3.3.2 Tweetrapsversterker

In principe lijkt het dat een eentrapsversterker genoeg versterking heeft, zodat gebruik van twee versterkingstrappen onzin lijkt, maar er zouden best wel eens redenen kunnen zijn waardoor de eentrapsversterker niet zal voldoen, b.v. stabiliteitsproblemen.

Daarom zal nagegaan worden hoe eventueel een tweetrapsversterker gemaakt zou kunnen worden.

In een tweetrapsversterker zullen altijd minstens twee polen (in iedere trap een) optreden. Dit heeft tot gevolg dat, als er geen maatregelen genomen worden, zo'n versterker in het algemeen een tweede orde gedrag zal vertonen, waardoor de comparator instabiel zou kunnen worden.

Nu zijn er twee principes onderzocht die er voor zorgen dat de opamp toch een eerste orde gedrag vertoont: pool-nulpunt canceling en de Miller-versterker.

#### Pool-nulpunt cancelling

Bij pool-nulpunt cancelling probeert men in het netwerk een nulpunt te creëren dat op dezelfde frequentie ligt als de pool die moet worden "gecancelled". Het resultaat hiervan zal zijn dat de opamp een eerste orde gedrag zal vertonen.

In fig. 3.22 is het principeschema gegeven van een opamp die gebruik maakt van pool-nulpunt cancelling. In dit schema is de pool veroorzaakt door de ingangstrap weergegeven in het tweede blok: "doublet", waarin tevens



het nulpunt verwerkt is dat deze pool moet "cancellen". De hier weergegeven ingangstrap heeft dus geen pool of nulpunten, m.a.w. is frequentie onafhankelijk!

Er geldt dat:

$$\omega_z \approx \omega_p \ll \omega_{co}$$

Hierbij is:

$\omega_{co}$  de unity gain bandbreedte

$\omega_p$  de frequentie van de pool die gecancelled moet worden

$\omega_z$  de frequentie van het nulpunt waarmee de pool gecancelled moet worden.

Als aan de ingang van deze schakeling een spanning  $V_{in} = VU(t)$  gezet wordt ( $U(t)$  is de stapfunctie), kan er bewezen worden dat voor  $V_u(t)$  geldt: [6]

$$V_u(t) = V(1 - k_1 \exp^{-\omega_{co}t} + k_2 \exp^{-\frac{t}{\tau_2}})$$

Waarbij  $k_2 = \frac{\omega_z - \omega_p}{\omega_{co}}$ ,  $\tau_2 = \frac{1}{\omega_z}$  en  $k_1 = k_2 - 1$ .

We zien hierin een e-macht die verloopt met de tijdconstante  $\frac{1}{\omega_{co}}$ , deze zal dus snel uitgestorven zijn en een e-macht met de relatief grote tijdconstante  $\frac{1}{\omega_z}$ .

Als  $k_2V$  binnen de error-band ( $\frac{1}{2}$  LSB-spanning) ligt van het om te zetten signaal, dan heeft deze laatste component geen invloed. Is  $k_2V$  echter groter dan  $\frac{1}{2}$  LSB spanning, dan zal deze trage settling component zich doen gelden.

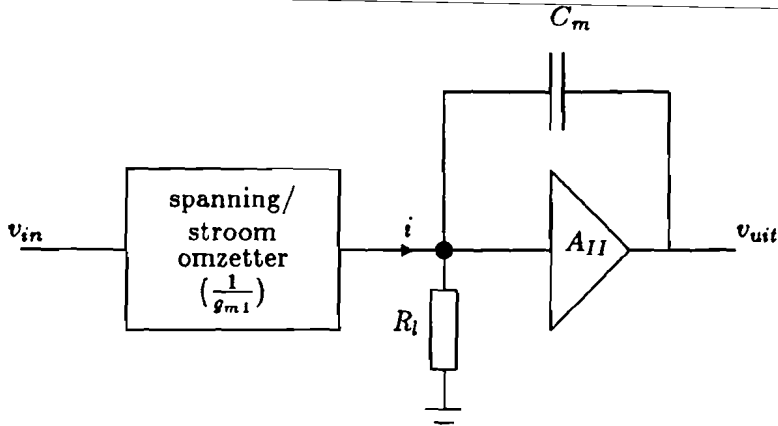
Als pool-nulpunt cancelling bij een lage frequentie toegepast wordt, mag een vrij grote relatieve "mismatch" (het niet op elkaar liggen van pool en nulpunt) toegestaan worden, omdat dan  $k_2$  klein zal zijn. Wordt deze  $k_2$  groter dan de  $\frac{1}{2}$  LSB spanning, dan is deze settling component direct catastrofaal.

In de hier beschreven toepassing is de maximale spanning 800 mV (=V), terwijl de  $\frac{1}{2}$  LSB spanning 1 mV is. Als  $k_2$  kleiner is dan  $\frac{1}{800}$ , dan zijn geen problemen te verwachten met betrekking tot een eventuele "mismatch" van pool en nulpunt.

Om de gedachten te bepalen hoe groot een "mismatch" mag zijn, een voorbeeld:

Bekend is dat  $f_{co}=70$  MHz. Stel dat  $f_z=2$  MHz.

Hoe groot mag de "mismatch" nu zijn voordat een trage settle-component



Figuur 3.23: Millerversterker.

optreedt?

$$k_2 = \frac{\omega_z - \omega_p}{\omega_{co}} = \frac{f_z - f_p}{f_{co}} = \frac{1}{800}$$

Stel  $f_z = a f_p$  dan

$$k_2 = (a - 1) \frac{f_p}{f_{co}} = \frac{1}{800}$$

$$a = 1 + \frac{1}{800} \cdot \frac{f_{co}}{f_p}$$

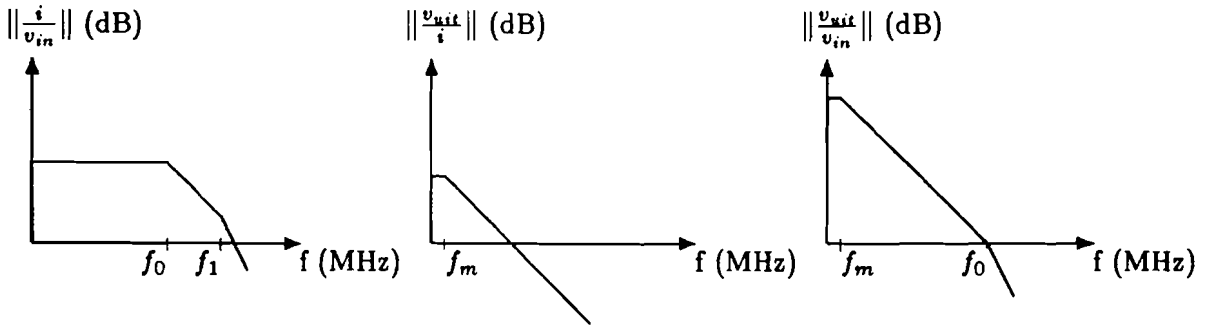
Dit betekent voor de "mismatch" die toegestaan wordt:

$$\frac{1}{800} \cdot \frac{f_{co}}{f_p} \cdot 100\% = 4\%$$

Als er nu een "mismatch" is van b.v. 8%, dan zal de settle-tijd bepaald worden door zeven maal de snelle tijdconstante  $\frac{1}{\omega_{co}}$  (16 nsec) plus  $\ln(2)$  maal  $\frac{1}{\omega_z}$  (55 nsec). Deze laatste tijdconstante zal heel snel de totale settle-tijd bepalen.

### Millerversterker

Een (tweetraps) Millerversterker bestaat uit een ingangstrap die de ingangsspanning in een stroom omzet, gevolgd door een tweede trap die deze stroom



Figuur 3.24: a) Overdrachts karakteristiek van de ingangstrap,  
 b) overdrachts karakteristiek van de tweede trap,  
 c) Overdrachtskarakteristiek van de Millerversterker.

omzet in een spanning (zie fig. 3.23). Van de ingangstrap is bekend dat deze minstens 1 pool heeft bij de frequentie  $f_0$ . Voor de andere polen van deze trap zal gelden:  $f_1, \dots \geq f_0$ .

De tweede trap wordt nu zo gemaakt dat deze een pool heeft bij  $f_m < f_0$ . Zoals in fig. 3.24 te zien is, heeft de Millerversterker polen bij de frequenties  $f_m$  en  $f_0$  (eventueel ook nog bij  $f_1, f_2$ , enz.). Als  $f_m$  nu zo klein is dat de tweede pool ( $f_0$ ) in het gebied valt waar de totale versterking kleiner dan een is, zal de Millerversterker een eerste orde overdracht hebben.

Voor  $f_0$  moet dan gelden:  $f_0 \geq A_{tot} f_m = A_{II} g_m R_l f_m$ .

De maximale bandbreedte van deze opamp zal bepaald worden door deze  $f_0$ , ofwel door de eerste pool van de ingangstrap. Om een breedbandige opamp te maken moet deze trap dus ook breedbandig zijn.

In het principeschema van de Millerversterker (fig. 3.23) is te zien dat de tweede smalbandige trap op een eenvoudige manier gerealiseerd kan worden door gebruik te maken van de Miller werking van een opamp.

Voor de tweede trap kan namelijk de volgende overdracht uitgerekend worden:

$$\frac{v_{uit}}{i} = \frac{A_{II} R_l}{1 + s A_{II} R_l C_m}$$

Nu kan de tweede trap smalbandig gemaakt worden zonder grote capaciteiten te moeten integreren!

## Hoofdstuk 4

# Ontwerp van de comparator

Nu bekeken is hoe de comparator gerealiseerd zou kunnen worden, kan begonnen worden aan het werkelijke ontwerp van deze schakeling.

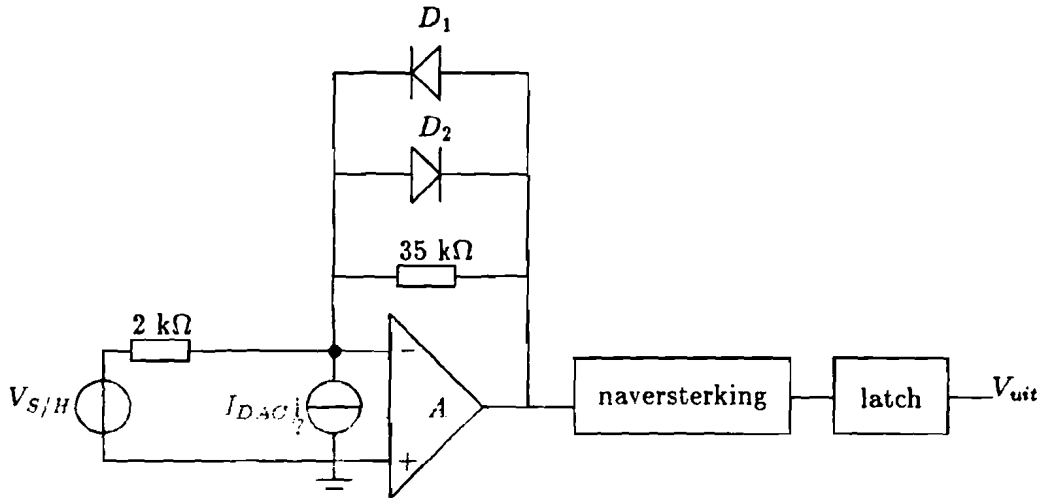
In hoofdstuk 3 is beschreven dat de comparator gerealiseerd kan worden door een opampschakeling, gevolgd door een naversterkingsblok met een latch (zie fig. 4.1).

Aangezien de uitgang van de opamp bij een ingangsstroom van  $\frac{1}{2}$  LSB maar 1 mV is, zal deze uitgangsspanning nog versterkt moeten worden tot een spanning die groot genoeg is om de latch te kunnen zetten (20 mV). Dit zal gerealiseerd worden door het blok naversterking.

### 4.1 De opamp

Een opamp kan opgebouwd worden uit twee blokken: een versterkingsblok, waarin alle versterking is geconcentreerd, en een uitgangsblok.

Tenzij men speciale voorzorgsmaatregelen neemt, zal de versterking van het versterkingsblok veel minder worden als het een grote uitgangsstroom moet leveren. Om dit deel niet te zwaar te belasten is daarom het tweede blok opgenomen dat niet moet kunnen versterken. De enige taak van dit blok bestaat uit het leveren van de uitgangsstroom. Hierbij moet dit deel van de



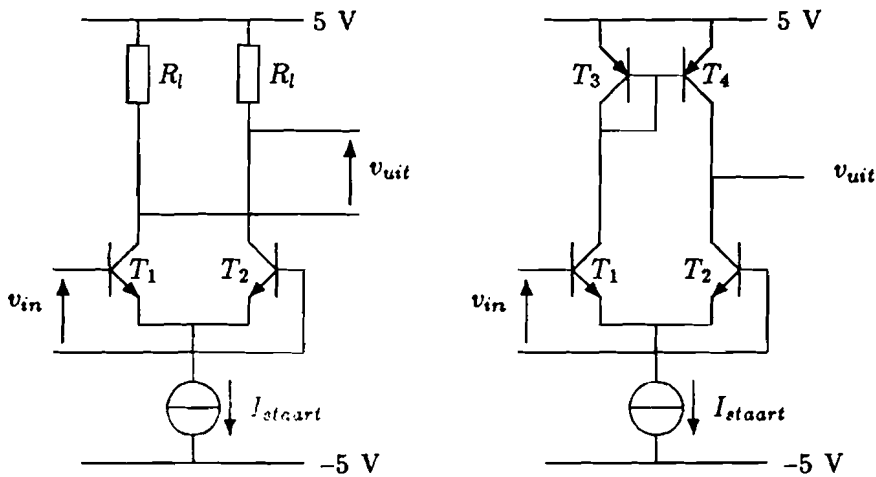
Figuur 4.1: Blokschema van de comparator.

opamp natuurlijk geen verzwakking introduceren. Ook mag de settle-tijd van de opamp niet beïnvloed worden door de uitgangstrap.

In moderne IC-techniek mag het door de schakeling opgenomen vermogen niet te groot zijn. Als het dus even kan, moet geprobeerd worden om een uitgangstrap te gebruiken die een zo laag mogelijke ruststroom heeft. De maximale signaalstroom die deze trap moet kunnen leveren, is in ons geval bekend, namelijk 4 mA, zodat daar rekening mee gehouden kan worden tijdens het ontwerpen van de opamp.

#### 4.1.1 Het versterkingsgedeelte

De gehele versterking wordt in het versterkingsgedeelte gerealiseerd, dus moet er voor gezorgd worden dat de schakeling minstens 1000 keer versterkt. Zoals in paragraaf 3.3 beschreven is, zijn er meerdere mogelijkheden om zo'n versterker te realiseren. Het eenvoudigste is een eentrapsversterker (dit is hier een mogelijkheid omdat een versterking van 1000 nog net haalbaar is met één versterkingstrap). Mocht deze versterker om een of andere reden niet voldoen, dan zal een tweetrapsversterker ontworpen moeten worden. In eerste instantie zal dan geprobeerd worden een Millerversterker te



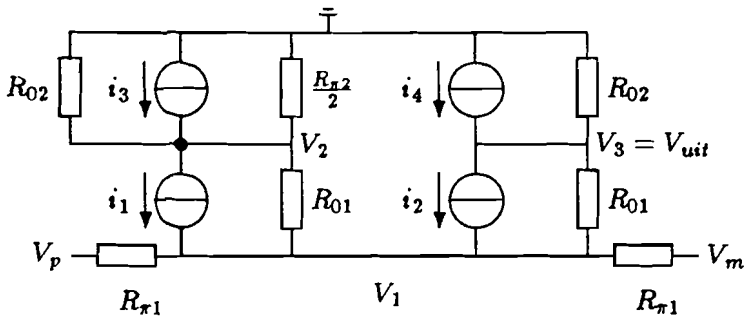
Figuur 4.2: a) verschiltrap met weerstanden als belasting, b) verschiltrap met active load.

ontwerpen. Pas als die niet blijkt te voldoen, lijkt het zinvol om een versterker die gebruik maakt van de pool-nulpunt canceling methode (of een meertrapsversterker) te gaan ontwerpen.

### Eentrapsversterker

Een eentrapsversterker kan opgebouwd gedacht worden uit een verschiltrap, die de ingangsspanning omzet in een stroom. Deze stroom wordt door een belastingimpedantie omgezet in een uitgangsspanning. Deze belasting kan een ohmse weerstand zijn (fig. 4.2a), maar ook een "active load". Hiermee wordt een (pnp) stroomspiegel bedoeld (zie fig. 4.2b).

Als gewone weerstanden als belasting gekozen worden, wordt de versterking bepaald door  $g_m R_l$  met  $g_m = \frac{qI_c}{kT}$ . Met een staartstroom van 5 mA (dus een emitterstroom van 2.5 mA) zou voor een versterking van 1000,  $R_l = \frac{1000 \cdot 25}{2.5} = 10 \text{ k}\Omega$  moeten zijn. Dit is geen realiseerbare oplossing. Niet alleen betekent dit dat de versterkingstrap vrij veel vermogen opneemt, ook zullen transistor  $T_1$  en  $T_2$  in verzadiging gaan,



Figuur 4.3: Kleinsignaalvervangingsschema van verschiltrap met active load.

zodat de opamp erg traag wordt!

Zouden  $T_1$  en  $T_2$  niet in verzadiging zijn, dan zou  $(I_c)_{T_1} = 2.5 \text{ mA}$ . Hierdoor wordt de collectorspanning van  $T_1$   $-20 \text{ V}$ . Dit zal in werkelijkheid natuurlijk nooit voorkomen, zodat  $T_1$  in verzadiging zal gaan. Hetzelfde mechanisme zorgt er voor dat  $T_2$  ook in verzadiging gaat.

Om met één trap toch voldoende versterking te halen (zonder transistoren in verzadiging te laten gaan), moet gebruik gemaakt worden van een active load (zie fig. 4.2b). Om de versterking van dit circuit uit te rekenen wordt uitgegaan van fig. 4.3.

In deze figuur geeft index 1 aan dat de aangegeven grootte behoort bij het npn verschilpaar, terwijl grootheden met index 2 bij de pnp active load horen.

Er geldt:

$$\begin{aligned}
 R_o &= \frac{V_{ce,sat}}{I_c} = \frac{V_A}{I_c} & i_1 &= g_{m1}(V_p - V_1) \\
 R_{\pi} &= \frac{\beta}{g_m} & i_2 &= g_{m1}(V_m - V_1) \\
 g_m &= \frac{qI_c}{kT} & i_3 &= i_4 = -g_{m2}V_2
 \end{aligned}$$

Aangezien  $I_{c1} = I_{c2}$  zal  $g_{m1} = g_{m2}$ .

Als  $V_p$  kortgesloten wordt aan aarde (reële situatie) en aan  $V_m$  de ingangsspanning aansluiten, dan geldt:

$$V_{uit} = V_3 \quad (4.1)$$

knooppunt  $V_2$ :

$$V_2 \left( g_{m2} + \frac{1}{R_{o1}} + \frac{2}{R_{\pi 2}} + \frac{1}{R_{o2}} \right) = V_1 \left( g_{m1} + \frac{1}{R_{o1}} \right)$$

$$V_2 \approx V_1 \quad (4.2)$$

knooppunt  $V_3$ :

$$-g_{m2}V_2 = g_{m1}V_m - g_{m1}V_1 + V_3 \left( \frac{1}{R_{o1}} + \frac{1}{R_{o2}} \right) - \frac{V_1}{R_{o1}}$$

$$-g_{m1}V_2 \approx g_{m1}V_m - g_{m1}V_1 + V_3 \left( \frac{1}{R_{o1}} + \frac{1}{R_{o2}} \right) \quad (4.3)$$

Substitutie van 4.2 in 4.3:

$$0 = g_{m1}V_m + V_3 \left( \frac{1}{R_{o1}} + \frac{1}{R_{o2}} \right) \quad (4.4)$$

Substitutie van 4.1 in 4.4:

$$V_{uit} = -g_{m1} \left( \frac{R_{o1}R_{o2}}{R_{o1} + R_{o2}} \right) V_m$$

De versterking is nu:

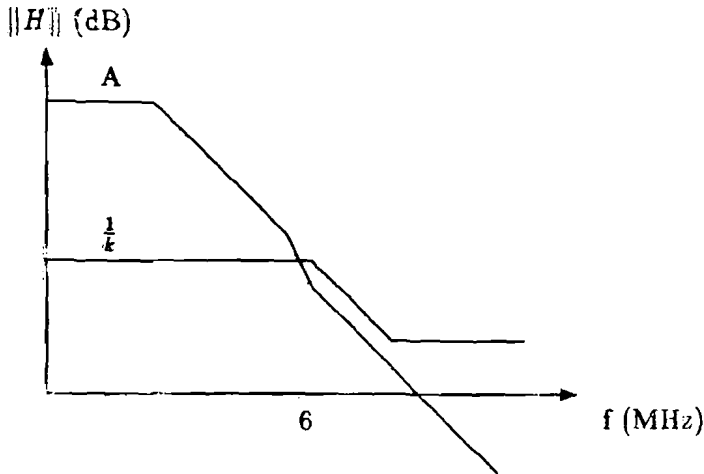
$$\frac{V_{uit}}{V_{in}} = -g_{m1} \left( \frac{R_{o1}R_{o2}}{R_{o1} + R_{o2}} \right) = -\frac{q}{kT} \frac{V_{A1}V_{A2}}{V_{A1} + V_{A2}}$$

Stel  $V_{A1} = V_{A2} = 100$  V, dan is

$$\frac{V_{uit}}{V_{in}} = \frac{-1}{25 \cdot 10^{-3}} \frac{100^2}{200} = -2 \cdot 10^3$$

De benodigde versterking van 1000 is vrij gemakkelijk haalbaar.





Figuur 4.4: Overdrachtskarakteristiek van een verschiltrap met active load.

Hoe ziet de AC overdracht er nu uit?

Er zijn twee belangrijke polen. De eerste is de pool die aan de uitgang gevormd wordt door de uitgangsweerstanden  $R_{o1}$  en  $R_{o2}$  met de parasitaire collector-substraat capaciteiten van transistoren  $T_1$  en  $T_4$  en de collector-emitter capaciteit van genoemde transistoren.

Deze totale capaciteit zal ongeveer 5 pF zijn. Dit zorgt voor een unity-gain frequentie van  $\frac{1}{2\pi C(R_{o1} // R_{o2})} g_{m1} (R_{o1} // R_{o2}) = \frac{g_{m1}}{2\pi C}$ .

Als  $I_{staart} = 0.5$  mA, dan:  $g_{m1} = 10$  mA/V, zodat  $f_{u.g.} = 300$  MHz.

De tweede pool bevindt zich op knooppunt  $V_2$ . Hier zit een hele kleine weerstand ( $\frac{1}{g_{m2}}$ ), maar een erg grote capaciteit. Deze capaciteit is in de orde van grootte van 300 pF. Dit zorgt voor een kantelpunt bij ongeveer 6 MHz. Dit kantelpunt kan wel iets verschoven worden door de instelstroom anders te kiezen, maar veel hogfrequenter kan deze pool nooit worden, omdat de capaciteit beheerst wordt door de in de basis aanwezige lading, en deze is evenredig met de collector stroom. Voor frequenties hoger dan dit kantelpunt (6 MHz) lijkt het of knooppunt  $V_2$  aan aarde zit. De versterking zakt dan met een factor  $\frac{V_{A1} + V_{A2}}{2V_{A1} + V_{A2}}$ .

De schakeling zal zich nu gedragen als de overdrachtskarakteristiek van fig. 4.4. Als geen actie ondernomen wordt, dan zal het terugkoppelpunt van de grafieken van  $\frac{1}{k}$  en A elkaar snijden in het gebied waar de opamp een helling 2 afval heeft. Dit heeft instabiliteit tot gevolg. Het probleem

is dat de frequentie waarbij de stroomspiegel ophoudt met werken (6 MHz) nauwelijks beïnvloedbaar is. Verschuiving naar hogere frequenties kan niet omdat de pnp transistoren al bij hun top  $f_t$  werken.

Verschuiving naar lagere frequenties kan door twee maatregelen: aansluiten van een condensator tussen basis en emitter van de pnp transistoren. Om de frequentie waarbij de pool optreedt een factor twee kleiner te laten worden, moet een condensator aangebracht worden die even groot is als de parasitaire condensator, die op dat punt aanwezig is, dit is 300 pF. Het zal duidelijk zijn dat dit veel te veel chipoppervlak in beslag neemt. Een andere methode zou zijn door de staartstroom te verkleinen, waardoor de pnp transistoren op een lagere  $f_t$  gaan werken, zodat de parasitaire capaciteiten groter worden. Aan de uitgang van de versterkingstrap zal een uitgangstrap geschakeld worden. Deze uitgangstrap heeft een ingangsweerstand van  $\frac{\beta}{g_m}$ . De versterking van de opamp wordt dan:

$$(g_m)_{\text{versterkingstrap}} \cdot \left( \frac{\beta}{g_m} \right)_{\text{eindtrap}}$$

Voor een versterking van 1000 zal  $(g_m)_{\text{versterkingstrap}}$  dus 10 keer zo groot moeten zijn als  $(g_m)_{\text{eindtrap}}$  ( $\beta \approx 100$ ).

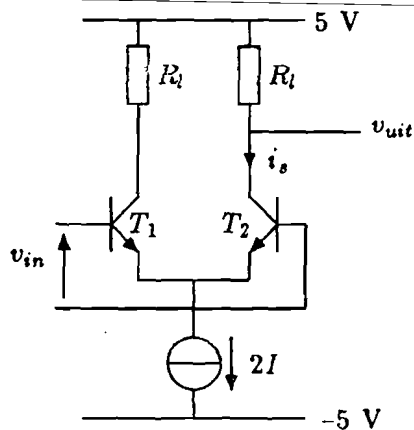
Beide trappen moeten zo ingesteld zijn dat de npn transistoren in de buurt van hun top  $f_t$  werken (anders zal de bandbreedte nooit 70 MHz kunnen worden), zodat de stroom door de versterkingstrap niet te klein mag worden [7].

Dit betekent dus dat de frequentie waarbij de pnp spiegel ophoudt met werken nauwelijks te beïnvloeden valt. Een eentrapversterker zal in de beschreven toepassing dus altijd het risico met zich mee brengen dat de opamp instabiel zal worden. Daarom is besloten om een tweetrapversterker te ontwerpen.

### De tweetrapversterker

Om er zeker van te zijn dat er geen trage settling-component ontstaat (door het compenseren van een pool met een nulpunt), zal geprobeerd worden of een Miller-opamp ontworpen kan worden die voldoet aan de geeiste bandbreedte (70 MHz).

Een principeschema van een Miller-opamp is gegeven in fig. 3.23. Zoals op pagina 44 beschreven staat, is een eis die aan de eerste versterkingstrap



Figuur 4.5: Verschiltrap.

gesteld wordt: niet meer dan één pool voor frequenties kleiner dan 70 MHz. Uit de vorige paragraaf, blijkt dat dan geen gebruik gemaakt mag worden van pnp transistoren in het signaalpad.

De eenvoudigste manier om de eerste trap (spanning-stroom omzetter) te realiseren, is door gebruik te maken van een verschiltrap (zie fig. 4.5).

Nu zal  $i_s = -\frac{1}{2}g_m v_{in}$ , waarbij  $g_m = \frac{qI}{kT}$ .

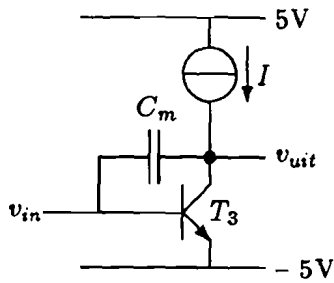
De belastingsweerstand  $R_l$  is nu de parallelschakeling van de weerstand  $R_c$  met de ingangswaerstand van de volgende versterkingstrap.

De spanningsversterking wordt gegeven door:

$$\frac{v_{uit}}{v_{in}} = \frac{-i_s R_l}{v_{in}} = \frac{qI R_l}{2kT}$$

Deze versterking wordt beperkt door de DC instelling van de ingangstrap. Hierdoor kan  $IR_l$  niet willekeurig groot gekozen worden. De voedingsspanning waartussen de comparator moet werken is +5 V en -5 V. Ook is bekend dat de uitgang van de S/H hoogstens 4 V zal zijn. Direct na het inschakelen van deze S/H spanning, is de spanning op de - klem  $\frac{35}{37}V_{S/H} \approx V_{S/H} = 4$  V. Dit komt, doordat de opamp tijd nodig heeft om de - klem op 0 V terug te regelen. Hierdoor mag  $2IR_l$  nooit groter dan 1 V zijn, omdat anders transistor  $T_1$  in verzadiging zal gaan.  $IR_l$  mag dus nooit groter zijn dan 0.5 V. De versterking, die maximaal met de ingangstrap gehaald kan worden, is dus:  $\frac{0.5}{50 \cdot 10^{-3}} = 10 \left( \frac{kT}{q} \approx 25 \text{ mV} \right)$ .

Omdat een versterking van minstens 1000 geëist wordt, moet de Miller-trap



Figuur 4.6: Miller-trap.

minstens 100 keer versterken.

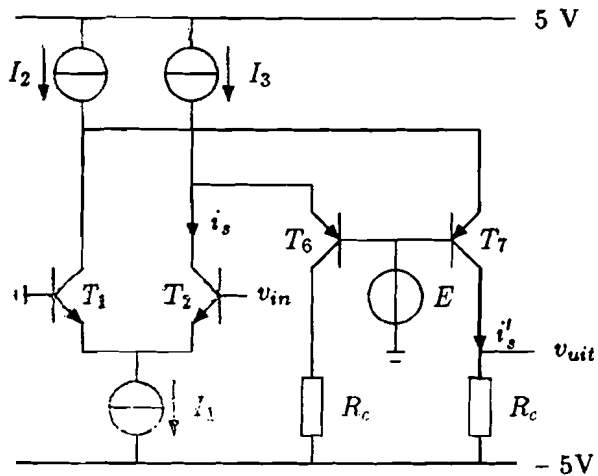
Het principe-schema van een Miller-trap is gegeven in fig. 4.6. Van  $v_{in}$  is bekend dat  $v_{in} \approx -4.3$  V, dit terwijl de uitgang van de ingangstrap niet lager mag worden dan 4 V (anders zullen er transistoren van de ingangstrap in verzadiging komen). Dit heeft tot gevolg dat de ingangstrap niet rechtstreeks aan de uitgangstrap geschakeld kan worden, maar dat gebruik gemaakt moet worden van een level-shifter. Een schakeling waarbij dit gerealiseerd is, is te zien in fig. 4.7.

Alle signaalstroom ( $i_s$ ), die in de verschiltrap gemaakt wordt, zal door de pnp-transistoren naar de weerstanden  $R_c$  gevoerd worden. In deze weerstanden maakt de signaalstroom  $i'_s$  ( $=i_s \cdot \frac{\beta_{pnp}}{1+\beta_{pnp}}$ ) een uitgangsspanning  $V_u = i'_s R_c$ .

Op deze manier blijft de versterking dus precies hetzelfde als bij de schakeling waarin de pnp-transistoren niet opgenomen waren (op het teken na), alleen kan de DC spanning van de uitgang nu  $-4.3$  V zijn, zonder dat er transistoren in verzadiging gebracht worden (de stroombronnen  $I_1$ ,  $I_2$ ,  $I_3$  zorgen voor de DC-instelling van de pnp- en npn-transistoren).

Met de schakeling van fig. 4.7 zal nooit een bandbreedte van 70 MHz of meer gehaald kunnen worden, omdat de pnp transistoren een maximale  $f_t$  hebben van 6 MHz [7]. Voor frequenties groter dan 6 MHz zal de signaalstroom, die de uitgangsspanning moet veroorzaken ( $i'_s$ ), dus erg klein worden. Dit betekent dat voor hoge frequenties de pnp transistoren "geby-passed" moeten worden (zie fig. 4.8).

Door de weerstanden  $R_c$  van fig. 4.7 te vervangen door een npn-stroomspiegel (zie fig. 4.8), kan de versterking van de eerste trap nog flink vergroot worden



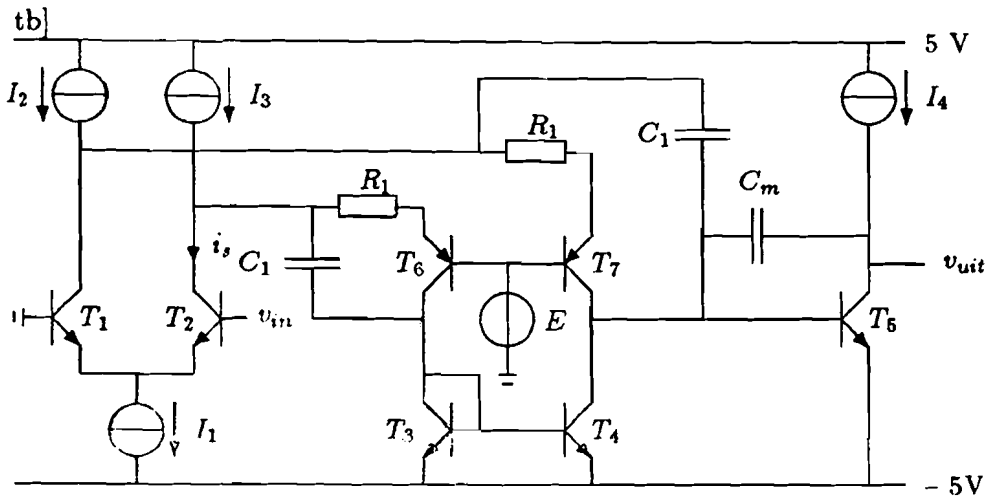
Figuur 4.7: Ingangstrap met level-shifter.

(de belastingsweerstand, waarover de uitgangsspanning gemaakt wordt, is dan nagenoeg gelijk aan de ingangswaerstand van de Miller-trap). Door gebruik te maken van een npn-stroomspiegel wordt, behalve vergroting van de versterking, ook de DC aansturing van  $T_5$  een stuk gemakkelijker. Voor frequenties kleiner dan  $\frac{1}{2\pi R_1 C_1}$ , zal de signaalstroom nu door  $R_1$  en de pnp transistor lopen, terwijl voor grotere frequenties de signaalstroom door condensator  $C_1$  zal lopen, m.a.w. er gaat geen signaalstroom verloren, zodat de bandbreedte van deze trap veel groter zal zijn dan 6 MHz. De bandbreedte wordt nu voornamelijk bepaald door de  $f_t$  van de npn transistoren, die veel groter is ( $\approx 400$  MHz) dan de  $f_t$  van de pnp transistoren. Doordat gebruik gemaakt is van de level-shift pnp transistoren, kan de ingangstrap rechtstreeks aan de Miller-trap geschakeld worden (fig. 4.8).

### De DC instelling

Bij het bepalen van de DC instelling moet met een aantal punten rekening gehouden worden:

- zowel de pnp transistoren als de npn transistoren moeten een zo groot mogelijke  $f_t$  hebben.
- geen enkele transistor mag in verzadiging kunnen komen, omdat dan de opamp een grote settle-tijd zal hebben.



Figuur 4.8: Een realisatie van een Miller-opamp.

- er zal altijd stroom door een transistor moeten lopen, omdat bij een transistor die een erg kleine collectorstroom heeft de  $f_t$  ook erg klein wordt.
- om zo weinig mogelijk vermogen te verbruiken zal de instelstroom steeds zo klein mogelijk gekozen worden.
- de comparator mag geen gebruik maken van externe componenten, dus de waarde van de weerstanden en condensatoren moet zo gekozen worden dat ze op de chip integreerbaar zijn.

Als er vanuitgegaan wordt dat de opamp tegengekoppeld gebruikt wordt (wat in de beschreven toepassing steeds het geval is), dan heeft  $V_{uit}$  als DC-waarde 0 V.

Om de Miller-werking van  $T_5$  bij zo hoog mogelijke frequenties te kunnen benutten, moet deze transistor ingesteld zijn bij die stroom, waarbij de  $f_t$  van een npn transistor het grootst is.  $I_3$  zal dus 1 mA moeten zijn (zie vorige paragraaf).

De emitter van  $T_5$  is aangesloten op de negatieve voedingsspanning (-5 V), dus op de basis van  $T_5$  zal een spanning van -4.3 V staan. Omdat de uitgangsspanning geclamped wordt op  $\pm 800$  mV, kan transistor  $T_5$  nooit in verzadiging gaan.

Een stroombron wordt in de praktijk meestal gemaakt met een stroomspiegelachtige configuratie, dus de uitgangsspanning zal niet groter mogen

worden dan 4.7 V (een stroomspiegel gaat in verzadiging als de collector-emitter spanning kleiner is dan 0.3 V).

De basisspanning van  $T_4$  is ook -4.3 V. Hierdoor is de basis-collectorspanning van  $T_4$  0 V, zodat  $T_4$  (evenals  $T_3$ ) nooit in verzadiging zal kunnen treden.

Voordat de spanning op de andere knooppunten berekend kan worden, moet beslist worden hoe groot de stromen  $I_1$  en  $I_2$  gekozen worden.

Het heeft geen zin om van de transistoren  $T_1...T_4$  er een op een veel grotere (of veel kleinere)  $f_t$  in te stellen dan de andere. Dit is de reden waarom de stromen van dezelfde orde van grote gekozen zijn.

In de rustinstelling zijn de collectorstromen van  $T_1$  en  $T_2$  aan elkaar gelijk met een waarde van  $\frac{1}{2}I_1$ .

Het stuk waarbij de  $f_t$  kromme begint vlak te lopen [7] is bij een collectorstroom van  $250 \mu\text{A}$ . Als  $T_1$  en  $T_2$  op deze stroom ingesteld worden, dan geldt:  $I_1=500 \mu\text{A}$ .

Als de ingangsspanning (=bassisspanning van  $T_2$ ) erg groot is, zal de gehele stroom  $I_1$  door transistor  $T_2$  vloeien en zal transistor  $T_1$  geen stroom meer voeren: de ingangstrap "slewt". Om er voor te zorgen dat de slew rate alleen bepaald wordt door de ingangstrap, moet de dimensionering van de stroombronnen zo gekozen zijn dat door alle andere transistoren altijd stroom zal lopen.

Als de collectorstroom van  $T_2$  gelijk is aan  $I_1$ , dan is de collectorstroom van  $T_3$  ongeveer gelijk aan  $I_3 - I_1$  en de collectorstroom van  $T_4$  ongeveer  $I_2$ .

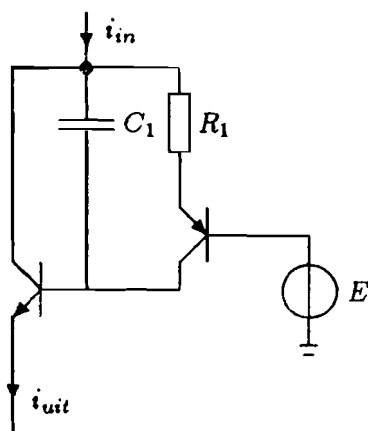
Om er nu zeker van te zijn dat  $T_3$  nog een  $f_t$  heeft die in de buurt van de top  $f_t$  ligt, is gekozen om in dit geval nog een stroom van  $\frac{1}{2}I_1$  door de collector van  $T_3$  te laten lopen. Dit betekent dat  $I_3 = \frac{3}{2}I_1 = 750 \mu\text{A}$  moet zijn.

In het geval dat de schakeling in rust is ( $V_{in}=0 \text{ V}$ ), is de collectorstroom van  $T_3$  (evenals die van  $T_4$ )  $500 \mu\text{A}$  en zal de  $f_t$  iets hoger zijn dan de  $f_t$  van transistor  $T_1$ .

De  $f_t$  van transistoren  $T_6$  en  $T_7$  bedraagt bij deze instelstroom ongeveer 6 MHz. Om er zeker van te zijn dat er geen signaalstroomverlies plaats vindt doordat de  $\beta$  van de pnp transistoren erg klein wordt, is gekozen om bij 2 MHz deze transistoren te "bypassen". Dit betekent voor de RC-tijd dat deze gelijk moet zijn aan:  $8 \cdot 10^{-8} \text{ sec}$ .

Als er van uit gegaan wordt dat de maximaal op een chip integreerbare condensator een capaciteit heeft in de orde van grootte van  $10 \text{ pF}$ , dan moet de weerstand  $R_1=8 \text{ k}\Omega$ .

In rust moet de collectorspanning van  $T_2$  minstens 4 V zijn, omdat an-



Figuur 4.9: Een schakeling die gezien kan worden als een composiet-pnp.

ders bij inschakeling van een ingangsspanning van 4 V  $T_2$  in verzadiging zal gaan.

Als de schakeling in rust is, loopt er door weerstand  $R_1$  een stroom van  $500 \mu\text{A}$ . Hierover valt dan een spanning van 4 V. De emitterspanning van  $T_6$  moet dus 0 V zijn, zodat  $E = -0.7 \text{ V}$  gekozen moet worden.

Na het inschakelen van een grote ingangsspanning zal de gehele stroom  $I_1$  door  $T_2$  lopen, zodat een stroom van  $I_3 - I_1 (= 250 \mu\text{A})$  door weerstand  $R_1$  loopt, die een spanningsval zal veroorzaken van 2 V, zodat  $T_2$  in verzadiging gaat als de ingangsspanning groter is dan deze 2 V.

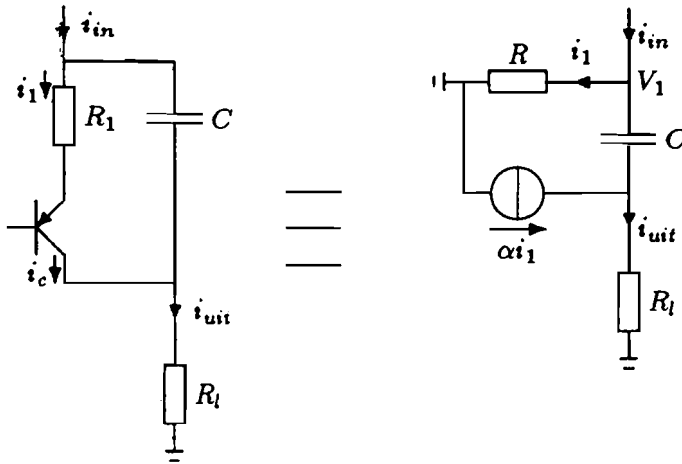
Om dit te voorkomen is gebruik gemaakt van een "composiet-pnp" schakeling (zie fig. 4.9), waarbij de pnp transistor, die voor de "level-shift" zorgt, alleen de basisstroom van een npn transistor hoeft te leveren. Hierdoor zal de spanning, die over weerstand  $R_1$  valt, veel kleiner zijn en zullen bovengestane problemen niet meer optreden.

Als de npn transistoren een  $\beta$  hebben van 100, dan zal de stroom, die door de pnp transistor loopt, liggen tussen  $2.5 \mu\text{A} < (I_c)_{pnp} < 7.5 \mu\text{A}$  en de spanning, die over weerstand  $R_1$  valt zal liggen tussen 20 en 60 mV.

Hierdoor is de collectorspanning van  $T_1$  en  $T_2$  vrijwel constant en heeft een waarde van  $E + 0.7 \text{ V}$ .

Als voor  $E$  een spanning van 3.5 V gekozen wordt, zal er geen enkele, in de schakeling gebruikte transistor, in verzadiging kunnen treden.





Figuur 4.10: pnp transistor met "bypass-circuit".

Doordat de pnp transistor op zo'n lage stroom ( $5 \mu\text{A}$ ) ingesteld is, zal de  $f_t$  van deze transistor iets kleiner zijn. Toch moet geen grotere waarde voor  $R_1 C_1$  gekozen worden, omdat het kantelpunt bepaald wordt door  $\left(R_1 + \left(\frac{1}{g_m}\right)_{pnp}\right) C_1$ .

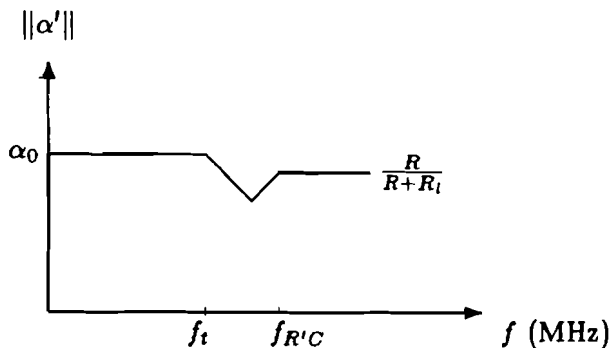
Hierdoor kan  $R_1$  zelfs nog iets kleiner gekozen worden dan  $8 \text{ k}\Omega$ , namelijk  $5 \text{ k}\Omega$ . Dan ligt het kantelpunt bij  $1.5 \text{ MHz}$ , terwijl  $f_t \approx 4.5 \text{ MHz}$ .

Door het volgende effect kan zelfs gekozen worden voor een nog kleinere  $R_1 C_1$  waarde.

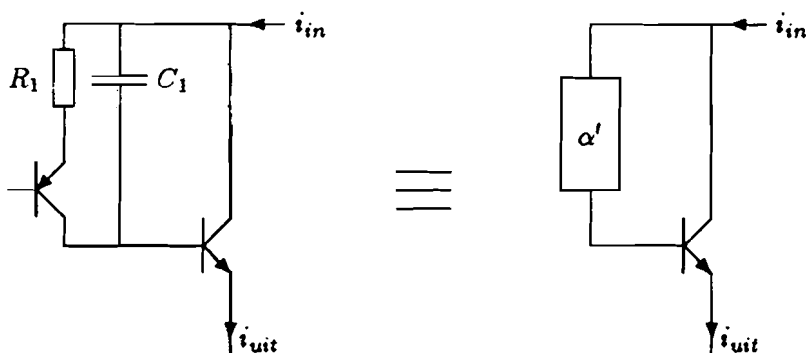
Tot nu toe is er steeds vanuitgegaan dat de pnp "gebypassed" moet worden bij frequenties kleiner dan  $f_t$ , omdat anders een deel van de signaalstroom verloren zal gaan. Stel nu dat de pnp "gebypassed" wordt bij een frequentie groter dan  $f_t$  (zie fig. 4.10).

Er geldt nu:

$$\begin{aligned}
 R &= R_1 + \frac{1}{g_{m_{pnp}}} \\
 i_{\text{uit}} &= (\alpha - 1)i_1 + i_{\text{in}} \\
 v_1 &= i_{\text{uit}} R_l + (i_{\text{in}} - i_1) \frac{1}{j\omega C} = i_1 R
 \end{aligned} \tag{4.5}$$



Figuur 4.11:  $\alpha'$  als functie van de frequentie.



Figuur 4.12: Vervangingschema van de composiet-pnp.

$$i_1 = i_{uit} \frac{j\omega R_l C}{1 + j\omega RC} + \frac{i_{in}}{1 + j\omega RC} \quad (4.6)$$

Stel  $\alpha' = \frac{i_{uit}}{i_{in}}$ .

Substitutie van (4.6) in (4.5) geeft:

$$\alpha' = \frac{\alpha + j\omega RC}{1 + j\omega(RC + (1-\alpha)R_l C)}$$

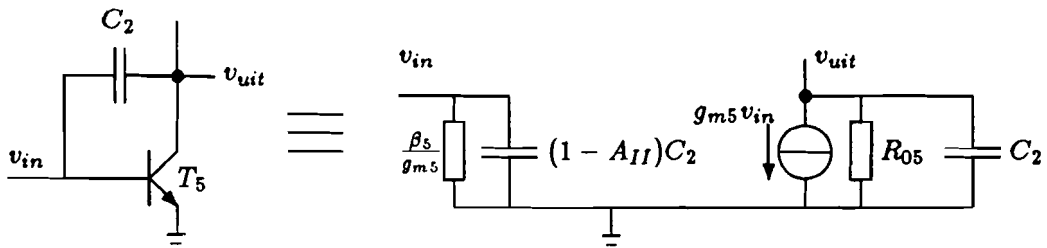
Er geldt:  $\alpha = \frac{\alpha_0}{1 + j\frac{f}{f_t}}$ .

$\alpha'$  heeft dan het frequentiegedrag als in fig. 4.11 is gegeven ( $f_{R'C} = \frac{1}{2\pi R'C}$ , waarbij  $R' = R + R_l$ ).

De pnp kan dus vervangen worden door een blokje  $\alpha'$ , die bovenstaande overdracht vertegenwoordigt.

De composiet-pnp kan dan beschreven worden door fig. 4.12.

De basisstroom van de npn transistor zal  $\alpha' i_1$  zijn, zodat de collec-



Figuur 4.13: Vervanginsschema voor het uitrekenen van de overdrachtskarakteristiek van de Miller-trap.

torstroom  $\beta\alpha'i_1$  zal zijn. Tevens moet deze stroom gelijk zijn aan  $i_{in} - i_1$ .

$$i_1 = \frac{i_{in}}{1 + \alpha'\beta}$$

$$i_{uit} = (\beta + 1)\alpha'i_1 = \frac{(\beta + 1)\alpha'}{1 + \alpha'\beta} i_{in}$$

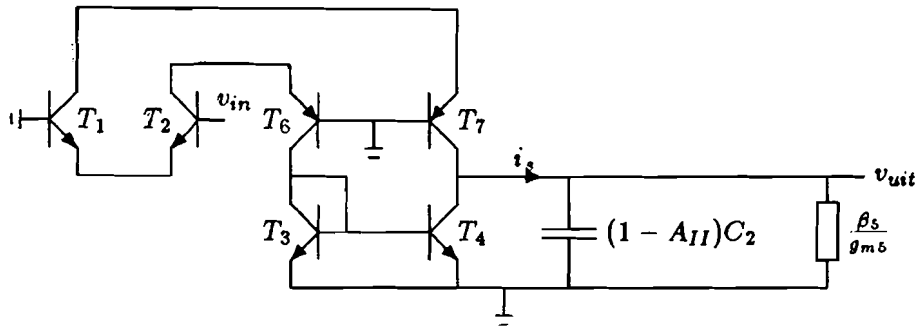
Als er voor gezorgd kan worden dat altijd geldt  $\alpha'\beta \gg 1$ , dan zal  $i_{uit} = i_{in}$ , m.a.w. als de "dip" in de overdracht van  $\alpha'$  maar niet te groot is, zal dat niet te zien zijn in de overdracht van de opamp.

In de hierboven beschreven schakeling geldt (zie fig. 4.8 en 4.12) dat  $R_i \approx R$ , zodat voor hoge frequenties  $\alpha'$  ongeveer  $\frac{1}{2}$  is.

Als gekozen wordt om  $(f_t)_{pnp} = f_{RC}$ , dan zal de "dip" nooit groot zijn (deze "dip" zal dan alleen kunnen ontstaan doordat zowel  $(f_t)_{pnp}$ , als R en C niet 100 % nauwkeurig te maken zijn), zodat bovenstaande verwaarlozing altijd geldt. Hierdoor kan de RC-tijd een factor 3 kleiner gekozen worden, zodat (vooral) de condensator minder chipoppervlak in beslag neemt.

### Berekening van de overdrachtskarakteristiek

Voor de berekening van de overdrachtskarakteristiek kan het best uitgegaan worden van de twee afzonderlijke versterkingstrappen. Als dan rekening gehouden wordt met de ingangsimpedantie van de tweede trap, kan de totale overdracht berekend worden door de overdracht van de afzonderlijke trappen te vermenigvuldigen.



Figuur 4.14: Vervangingsschema van de ingangstrap.

### Overdracht van de Miller-trap

Om de overdracht van de Miller-trap te bepalen, zal uit gegaan worden van het vervangingsschema van fig. 4.13.

Er geldt:  $g_{m5} = \frac{qI_{c5}}{kT} = \frac{10^{-3}}{25 \cdot 10^{-3}} = 40 \text{ mA/V}$ .

Als zowel de collector-substraat capaciteit, als de basis-collector capaciteit verwaarloosbaar zijn t.o.v.  $C_2$  (wat in de praktijk het geval is), dan geldt voor  $A_{II}$ :

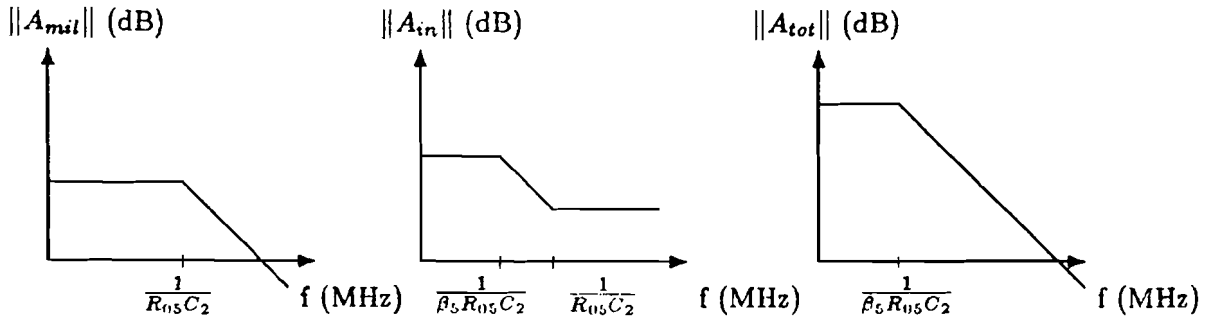
$$A_{II} = \frac{v_{uit}}{v_{in}} = \frac{-g_{m5} R_{o5}}{1 + j\omega R_{o5} C_2}$$

### Overdracht van de ingangstrap

Voor de berekening van de overdrachtskarakteristiek van de ingangstrap wordt uitgegaan van het vervangingsschema dat gegeven is in fig. 4.14.

Als de uitgangsweerstand van de transistoren  $T_3$  en  $T_4$  nu maar veel groter is dan  $\frac{\beta_s}{g_{m5}}$ , dan is  $i_s = (g_{m1})T_2 v_{in}$ .

Waarbij  $g_{m1} = \frac{qI_{c1}}{kT} = 10 \text{ mA/V}$ .



Figuur 4.15: a) Overdracht van Miller-trap,  
 b) Overdracht van ingangstrap,  
 c) Overdracht van de gehele schakeling.

$$\begin{aligned}
 A_I = \frac{v_{uit}}{v_{in}} &= \frac{g_{m1} \frac{\beta_5}{g_{m5}}}{1 + j\omega \frac{\beta_5}{g_{m5}} (1 - A_{II}) C_2} \approx \frac{g_{m1} \frac{\beta_5}{g_{m5}}}{1 + j\omega \frac{g_{m5} R_{05}}{1 + j\omega R_{05} C_2} \cdot \frac{\beta_5}{g_{m5}} C_2} = \\
 &= \frac{g_{m1} \frac{\beta_5}{g_{m5}} (1 + j\omega R_{05} C_2)}{1 + j\omega \left( g_{m5} R_{05} \frac{\beta_5}{g_{m5}} C_2 + R_{05} C_2 \right)} \approx \frac{g_{m1} \frac{\beta_5}{g_{m5}} (1 + j\omega R_{05} C_2)}{1 + j\omega \beta_5 R_{05} C_2}
 \end{aligned}$$

De totale overdracht is dan (zie fig.4.15):

$$A_I \cdot A_{II} = \frac{-g_{m1} \beta_5 R_{05}}{1 + j\omega \beta_5 R_{05} C_2}$$

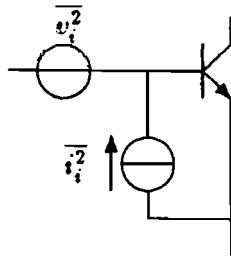
De unity-gain frequentie van de opamp is:

$$f_{u.g.} = \frac{g_{m1} \beta_5 R_{05}}{2\pi \beta_5 R_{05} C_2} = \frac{g_{m1}}{2\pi C_2}$$

Als  $f_{u.g.} = 70$  MHz, moet voor  $C_2$  gelden:

$$C_2 = \frac{g_{m1}}{2\pi f_{u.g.}} = 22 \text{ pF.}$$

Bovenstaande berekeningen gaan alleen op, omdat de  $f_t$  van de npn transistoren van de ingangstrap veel hoger is dan 70 MHz. Hierdoor zullen alle parasitaire polen bij frequenties liggen, die hoger zijn dan 70 MHz.



Figuur 4.16: Representatie van de transistorruis door ingangruisbronnen.

### Ruiseigenschappen van de tweetraps Miller-versterker

Het is gebruikelijk om ruis van een opamp te beschrijven door het geven van een equivalente ingangruisweerstand. Om dit te kunnen doen, moet alle ruis teruggerekend worden naar de ingang, waarna deze ruisweerstand uitgerekend kan worden. De ruis van de tweede trap zal gedeeld moeten worden door de versterking van de ingangstrap. Deze versterking is  $g_{m1} \frac{\beta_5}{g_{m5}}$ .

Met  $g_{m1} = 0.01$

$g_{m5} = 0.04$

$\beta_5 = 100$

is  $A_I = 25$ .

Aangezien de eerste trap ook veel breedbandiger is dan de Miller-trap, mag de ruis van de tweede versterkingstrap verwaarloosd worden t.o.v. de ruis van de ingangstrap.

Bij de berekening van de ruis van de opamp, zal uitgegaan worden van het in fig. 4.16 gegeven vervangingsschema van een transistor met ruisbronnen.

Er geldt [5]:

$$\overline{v_i^2} = 4kT \left( R_b + \frac{1}{2g_m} \right) \Delta f$$

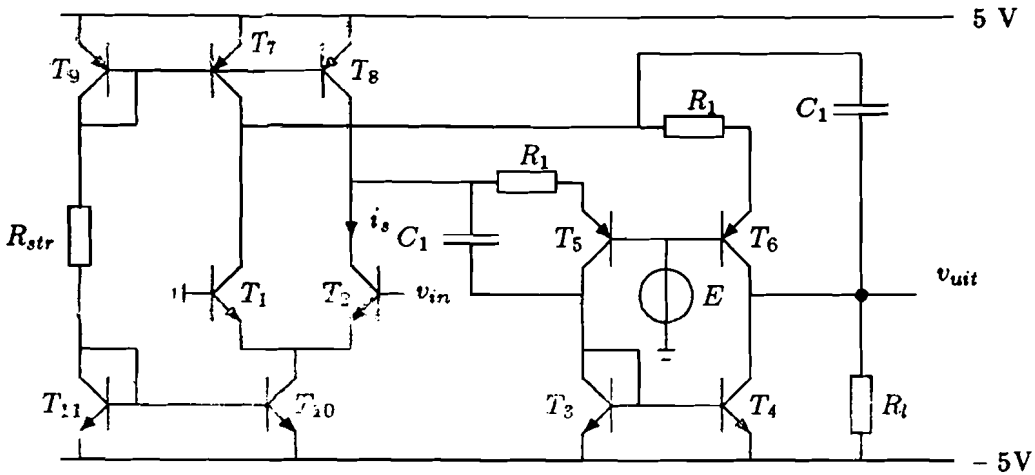
$$\overline{i_i^2} = 2q \left( I_b + \frac{I_c}{\|\beta(j\omega)\|^2} + K \frac{(I_b)^a}{f} \right) \Delta f$$

Waarbij:

$R_b$ =basisweerstand van de transistor

$K$ =konstante die afhankelijk is van de gebruikte transistor

$a$ =konstante die kan variëren van 0.5 tot 2.



Figuur 4.17: Ingangstrap met "reële" stroombronnen.

In de volgende berekeningen wordt er van uit gegaan dat de  $\frac{1}{f}$  ruis ( $=2qK\frac{I_b}{f}\Delta f$ ) verwaarloosbaar is t.o.v. de hagelruis ( $=2qI_b\Delta f$ ).

Zoals in de vorige paragraaf beschreven is, is  $\|\beta(j\omega)\| \gg 1$  voor frequenties kleiner dan 70 MHz. Deingangsimpedantie hoeft maar berekend te worden tot 10 MHz (zie paragraaf 3.2.3). Hieruit volgt dat  $\frac{I_c}{\|\beta(j\omega)\|^2}$  verwaarloosbaar is t.o.v.  $I_b$ .

Dit heeft tot gevolg dat voor  $\overline{i_i^2}$  geschreven kan worden:

$$\overline{i_i^2} \approx 2qI_b\Delta f$$

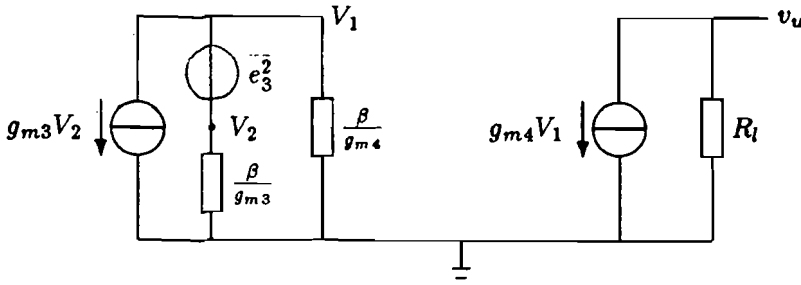
Om de ruis van de opamp goed te kunnen berekenen, moet ook de ruis van de stroombronnen meegenomen worden. Er zal daarom vanuitgegaan worden dat de stroombronnen gerealiseerd worden door een stroomspiegel. De schakeling, waarvan de equivalente ingangsruiweerstand berekend zal worden, ziet er dan uit zoals in fig. 4.17 gegeven is.

Er kan nu van de afzonderlijke transistoren berekend worden, wat hun ruisbijdrage (aan de ingang gezien) is (bij deze berekening zal er vanuit gegaan worden dat de uitgangswaerstand van een transistor oneindig groot is).

Ruisbijdrage van transistor  $T_1$ :

De spanningsruis zal geheel aan de ingang van de opamp verschijnen.

De stroomruis  $\overline{i_i^2}$  zal op een factor  $\frac{\beta}{1+\beta}$  na als signaalstroom aan de ingang verschijnen. De ingangsrui spanning t.g.v. de stroomruis van  $T_1$  is



Figuur 4.18: Kleinsignaal vervangingscircuit voor het berekenen van de spanningsruisbijdrage van transistor  $T_3$ .

dus  $\sqrt{\frac{v_i^2}{g_{m1}^2}}$ .

De totale ingangsruiisspanning t.g.v.  $T_1$  is dan:

$$(\overline{v_i^2})_{T_1} = 4kT \left( R_{b1} + \frac{1}{2g_{m1}} \right) \Delta f + \frac{2qI_{b1}}{g_{m1}^2} \Delta f \approx 4kT \left( R_{b1} + \frac{1}{2g_{m1}} \right) \Delta f$$

Op dezelfde manier kan voor de ingangsruiisspanning t.g.v.  $T_2$  berekend worden:

$$(\overline{v_i^2})_{T_2} \approx 4kT \left( R_{b2} + \frac{1}{2g_{m2}} \right) \Delta f$$

Ruisbijdrage van transistor  $T_3$ :

Voor het berekenen van de spanningsruis van  $T_3$  kan het gemakkelijkst uit gegaan worden van fig. 4.18.

Er kan afgeleid worden dat de bijdrage van de spanningsruis van  $T_3$  aan de uitgang gezien  $(\overline{v_u^2})_{T_3}$  gelijk is aan:

$$(\overline{v_u^2})_{T_3} = g_{m4}^2 R_L^2 \overline{e_3^2}$$

met

$$\overline{e_3^2} = 4kT \left( R_{b3} + \frac{1}{2g_{m3}} \right) \Delta f$$

De ingangsruiisbijdrage veroorzaakt door de spanningsruis van  $T_3$  is dan:

$$\frac{g_{m4}^2 \overline{e_3^2}}{g_{m1}^2}$$



Ook nu zal de stroomruis (op een factor  $\frac{\beta}{1+\beta}$  na) als signaalstroom aan de uitgang te zien zijn, zodat de bijdrage van de stroomruis van  $T_3$  aan de ingangsruiis

$$\frac{\overline{i_{s3}^2}}{g_{m1}^2}$$

zal zijn.

De totale bijdrage van  $T_3$  aan de ingangsruiis is dan:

$$\begin{aligned} (\overline{v_i^2})_{T_3} &= 4kT \left( R_{b3} + \frac{1}{2g_{m3}} \right) \frac{g_{m4}^2}{g_{m1}^2} \Delta f + \frac{2qI_{b3}}{g_{m1}} \Delta f \\ &\approx 4kT \left( R_{b3} + \frac{1}{2g_{m3}} \right) \frac{g_{m4}^2}{g_{m1}^2} \Delta f \\ &= 16kT \left( R_{b3} + \frac{1}{2g_{m3}} \right) \Delta f \quad (g_{m4} = 2g_{m1}) \end{aligned}$$

De ruisbijdrage van  $T_4$  kan op dezelfde manier afgeleid worden als hierboven beschreven, dus

$$(\overline{v_i^2})_{T_4} = 16kT \left( R_{b4} + \frac{1}{2g_{m4}} \right) \Delta f$$

Zo geldt voor de bijdragen van  $T_5 \dots T_{11}$ :

$$(\overline{v_i^2})_{T_5} = (\overline{v_i^2})_{T_6} = \frac{2qI_{b5}}{g_{m1}^2} \Delta f$$

(omdat de weerstand in de emitterleiding van  $T_5$  en  $T_6$  erg groot is, mag de spanningsruis van deze transistoren verwaarloosd worden t.o.v. hun stroomruis)

$$\begin{aligned} (\overline{v_i^2})_{T_7} = (\overline{v_i^2})_{T_8} &= \frac{g_{m7}^2}{g_{m1}^2} 4kT \left( R_{b7} + \frac{1}{2g_{m7}} \right) \Delta f \\ &= 36kT \left( R_{b7} + \frac{1}{2g_{m7}} \right) \Delta f \quad (g_{m7} = 3g_{m1}) \end{aligned}$$

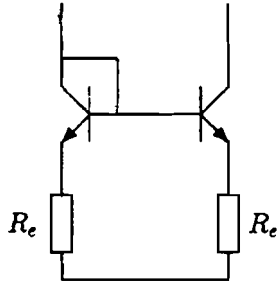
De ruis van transistoren  $T_9$ ,  $T_{10}$  en  $T_{11}$  is te zien als een common-mode signaal, dus:

$$(\overline{v_i^2})_{T_9} = (\overline{v_i^2})_{T_{10}} = (\overline{v_i^2})_{T_{11}} = 0$$

De totale ingangsruiis is dus:

$$\begin{aligned} (\overline{v_i^2})_{\text{totaal}} &= 4kT (R_{b1} + R_{b2} + 4R_{b3} + 4R_{b4} + 9R_{b7} + 9R_{b8}) \Delta f \\ &\quad + 4kT \left( \frac{1}{2g_{m1}} + \frac{1}{2g_{m2}} + \frac{4}{2g_{m3}} + \frac{4}{2g_{m4}} + \frac{9}{2g_{m7}} + \frac{9}{2g_{m8}} \right) \Delta f \\ &\quad + \frac{2qI_{b5}}{g_{m1}} \Delta f + \frac{2qI_{b6}}{g_{m1}} \Delta f \end{aligned} \quad (4.7)$$

Het blijkt dat de laatste twee termen van vgl. 4.7 verwaarloosbaar zijn t.o.v. de andere termen van deze vergelijking.



Figuur 4.19: Degeneratie van een stroomspiegel.

De equivalente ruisweerstand is dan:

$$R_{equi} = R_{b1} + R_{b2} + 4R_{b3} + 4R_{b4} + 9R_{b7} + 9R_{b8} + \frac{1}{2g_{m1}} + \frac{1}{2g_{m2}} + \frac{2}{g_{m3}} + \frac{2}{g_{m4}} + \frac{9}{2g_{m7}} + \frac{9}{2g_{m8}} \quad (4.8)$$

Deze weerstand kan verkleind worden door alle stroomspiegels te degenereren (zie fig. 4.19). Dan wordt de effectieve stijfheid namelijk (bij degeneratie met weerstand  $R_e$ ):

$$g_{m,eff} = \frac{g_m}{1 + g_m R_e}$$

In de ontworpen opamp wordt de spiegel, die gevormd wordt door  $T_3$  en  $T_4$  gedegeneerd met een  $R_e = 400 \Omega$ .

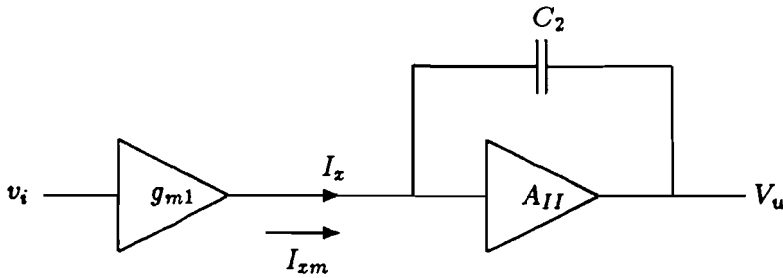
De stroombronnen  $I_2$  en  $I_3$  (die gevormd worden door transistoren  $T_7$ ,  $T_8$  en  $T_9$ ) worden gedegeneerd met een emitterweerstand van  $200 \Omega$ .

Hierdoor wordt

$$R_{equi} \approx R_{b1} + R_{b2} + \frac{1}{2g_{m1}} + \frac{1}{2g_{m2}}$$

Er van uitgaande dat de basisweerstand van een npn transistor ongeveer  $150 \Omega$  is, is een ruisweerstand van ongeveer  $400 \Omega$  haalbaar (dit ligt ruim binnen de stelde eis van  $0.9 \text{ k}\Omega$ ).

Om er nu zeker van te zijn dat  $T_4$  nooit in verzadiging kan komen, wordt aan de uitgang van de ingangstrap een emittervolger geplaatst, zodat de DC-waarde van de uitgang niet langer meer  $-4.3 \text{ V}$  is, maar  $-3.6 \text{ V}$ . Hierdoor kan  $T_4$  nooit meer in verzadiging komen (bij degeneratie met een  $400 \Omega$  weerstand).



Figuur 4.20: Vervangingschema voor een Miller-opamp.

### Berekening van de slew rate

Voor het berekenen van de slew rate wordt gebruik gemaakt van het vervangingschema van fig. 4.20.

Voor  $V_u$  geldt nu:

$$V_u = -\frac{I_x t}{C_2}$$

Voor de slew rate betekent dit dat:

$$\left(\frac{\delta V_u}{\delta t}\right)_{max} = -\frac{I_{xm}}{C_2}$$

$I_{xm}$  is de totale startstroom van het ingangspaar ( $500 \mu\text{A}$ ).

Met  $C_2=20 \text{ pF}$  is de slew rate  $25 \text{ V}/\mu\text{sec}$ . Er wordt een slew rate van  $22 \text{ V}/\mu\text{sec}$  geeist, zodat hieraan voldaan is.

Bij degeneratie van het ingangspaar, zal  $g_{m1,eff}$  afnemen, zodat de versterking van de opamp kleiner zal worden. Hierdoor moet  $C_2$  kleiner gekozen worden om de geeiste bandbreedte te halen. Dit heeft tevens tot gevolg dat het gebruikte chipoppervlak zal afnemen. De uitgangsruis zal echter toenemen. Gekozen is voor een degeneratie van het ingangspaar met een weerstand van  $260 \Omega$ . Dit heeft tot gevolg dat  $g_{m1,eff} \approx \frac{1}{3}g_{m1}$  wordt, zodat  $C_2$  ook een factor 3 kleiner gekozen moet worden ( $C_2=7 \text{ pF}$ ). De slew rate wordt dan  $75 \text{ V}/\mu\text{sec}$ .

### 4.1.2 De uitgangstrap

De tot nu toe ontworpen schakeling zal aan bijna alle eisen, die aan de opamp gesteld worden, voldoen, alleen kan deze schakeling geen hoge uitgangsstroom leveren zonder dat de versterking een stuk minder wordt. Om ook aan deze laatste eis te kunnen voldoen is een breedbandige uitgangstrap (liefst met een bandbreedte veel groter dan 70 MHz) nodig. Om het opgenomen vermogen zo veel mogelijk te beperken, is gekozen voor een klasse AB uitgangstrap.

De principeschakeling van de uitgangstrap [3] is gegeven in fig. 4.21. Transistoren  $T_1$  en  $T_3$  zijn de uitgangstransistoren.

De meeste klasse AB trappen bevatten een controle loop, die de instelstroom regelt.

Voor dit doel zijn transistoren  $T_2$ ,  $T_4$ ,  $T_5$  en  $T_6$  toegevoegd. De instelstroom wordt gemeten door transistoren  $T_1$  en  $T_2$ . De som van de basis-emitter spanningen van  $T_1$  en  $T_2$  wordt nu vergeleken met de som van de basis-emitter spanningen van  $T_4$  en  $T_5$ .

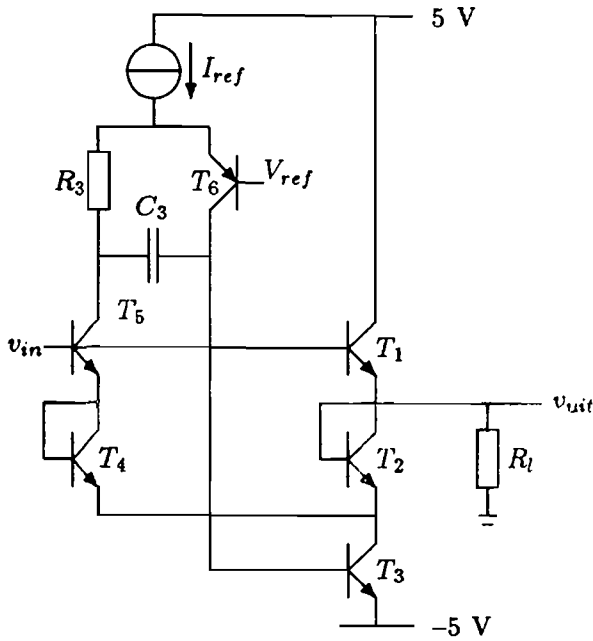
Het resultaat is dat de collectorstroom van  $T_5$  een maat is van de instelstroom die door  $T_1$ ,  $T_2$  en  $T_4$  loopt. De collectorstroom van  $T_5$  wordt vergeleken met de referentiestroom  $I_{ref}$  en de laterale pnp transistor levert de basisstroom van  $T_3$  totdat een stabiele toestand is bereikt.

De werking van het circuit met een ingangsspanning  $V_{in}$  en een belastingsweerstand  $R_l$  is als volgt.

Voor een positief ingangssignaal gedraagt  $T_1$  zich als een emittervolger, die de stroom aan de belastingsweerstand levert.

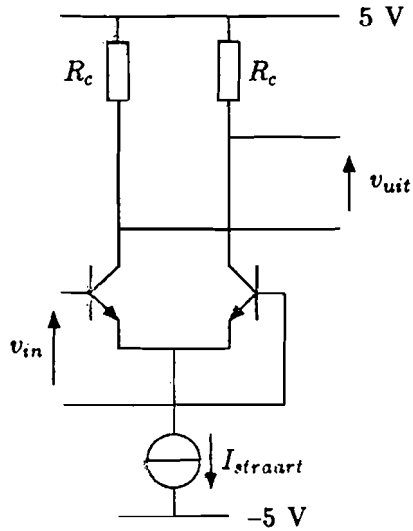
Wordt  $v_{in}$  nu groter, dan zal  $V_{be1}$  stijgen, waardoor de collectorstroom van  $T_1$  zal stijgen. Ook  $V_{be5}$  zal stijgen, zodat de collectorstroom van  $T_5$  zal stijgen, waardoor de basisstroom van  $T_3$  zal afnemen, zodat ook de collectorstroom van  $T_3$  af zal nemen. De collectorstroom van  $T_2$  moet dus afnemen, zodat de uitgangsspanning mee zal stijgen.

Is het ingangssignaal kleiner dan nul volt, dan zal als het ingangssignaal daalt,  $V_{be1}$  en  $V_{be5}$  kleiner worden, zodat de collectorstroom van  $T_1$  en  $T_5$  zal dalen. De basisstroom van  $T_3$  zal toenemen, zodat ook de collectorstroom van deze transistor toe zal nemen, waardoor de collectorstroom van  $T_2$  toe zal nemen. Hierdoor wordt de uitgangsspanning naar beneden getrokken.



Figuur 4.21: Breedbandige klasse B uitgangstrap.

Evenals bij het levelshift circuit wordt de pnp transistor voor hoge frequenties "gebypassed". Omdat de pnp transistor ook nu alleen een basistroom van een npn transistor moet leveren, is het voldoende dat  $\frac{1}{2\pi R_3 C_3}$  overeenkomt met de  $f_t$  van de pnp transistor (zie pag. 59).



Figuur 4.22: Verschilversterker met passieve load.

## 4.2 Het naversterkingsgedeelte

In hoofdstuk 3 is beschreven, dat aan de uitgang van de opamp nog een versterker geschakeld moet worden, die voor een versterking van ongeveer 20 zal moeten zorgen.

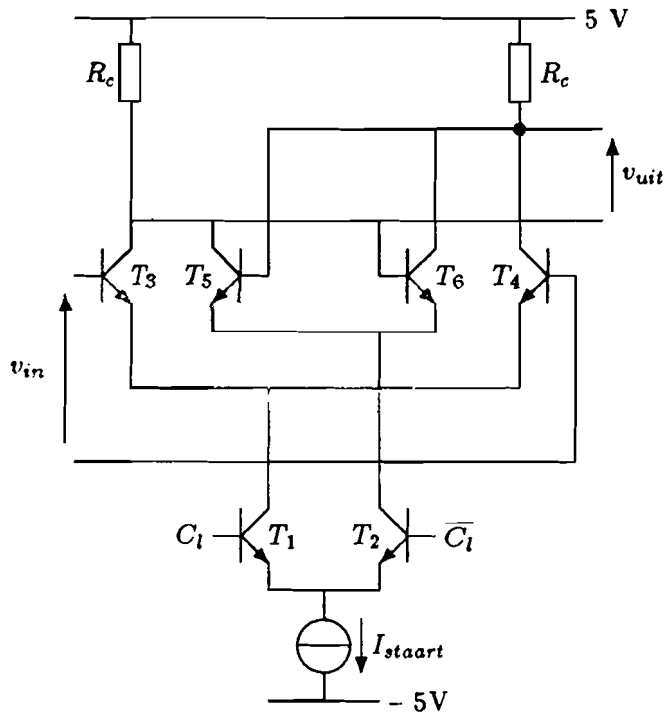
Omdat dit blok aan de comparator toegevoegd is om snelheid te winnen, zal het naversterkingsgedeelte erg snel moeten zijn.

Daarom is gekozen voor een niet teruggekoppelde versterker, die een versterking van ongeveer 20 realiseert en een grote bandbreedte heeft.

Een verschilversterker met passieve load (zie fig. 4.22) voldoet hieraan. De versterking van deze trap is  $\frac{V_{uit}}{V_{in}} = g_m R_c$ .

Er is gekozen om twee trappen in serie te zetten, waarbij iedere trap ongeveer 5 keer versterkt.

Van de eerste naversterkingstrap moet de min-ingang aan aarde worden gelegd om de vereiste werking te krijgen.



Figuur 4.23: De latch.

### 4.3 De latch

De schakeling die gebruikt wordt als latch bij de comparator, is het in fig. 4.23 gegeven circuit. Als  $C_i$  hoog is, zal de gehele  $I_s$  door  $T_1$  lopen, zodat verschilpaar  $T_3, T_4$  "actief" is. Is  $V_{in}$  nu positief, dan zal  $I_s$  door  $T_3$  lopen en zal de collectorspanning van  $T_3$  (=basisspanning van  $T_6$ ) laag zijn, terwijl de collectorspanning van  $T_4$  (=basisspanning van  $T_5$ ) hoog zal zijn. Wordt  $C_i$  nu laag (dus  $\overline{C_i}$  hoog), dan zal  $I_s$  door  $T_2$  gaan en wordt verschilpaar  $T_5, T_6$  "actief" (onthoud mode). Omdat de basisspanning van  $T_5$  hoog was en de basisspanning van  $T_6$  laag, zal alle staartstroom door  $T_5$  lopen, waardoor de collectorspanning van  $T_3$  laag blijft, terwijl de collectorspanning van  $T_4$  hoog blijft. Het ingangssignaal wordt "onthouden". Door twee latches in serie te schakelen kan een zgn. "master-slave" gevormd worden.

# Hoofdstuk 5

## Simulaties

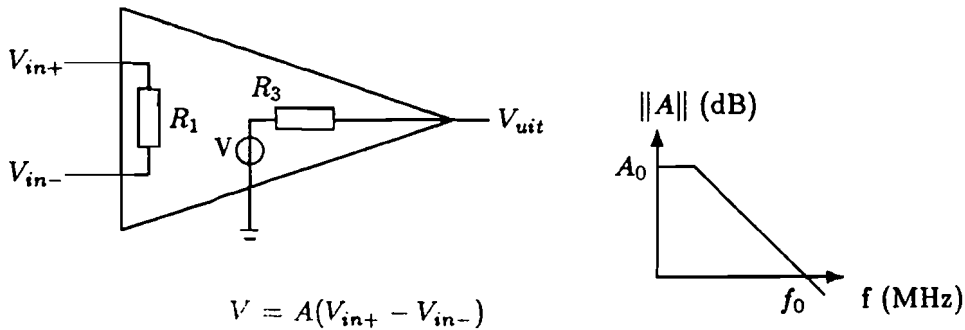
Parallel aan berekeningen van settle-tijd, overdracht van versterkers enz. zijn simulaties m.b.v. Philpac, een circuit-simulator, uitgevoerd. Deze simulaties kunnen in twee delen gesplitst worden: simulaties op "systeem-niveau" (voornamelijk behorende bij hoofdstuk 3), waarbij vooral gelet werd op hoe groot de settle-tijd is, en simulaties op "transistor-niveau" (behorende bij hoofdstuk 4), waarbij vooral de overdracht van de gesimuleerde schakeling belangrijk was (zowel de overdracht als de fasedraaiing).

### 5.1 Simulaties op systeem niveau

Bij het ontwerpen van de comparator, bleek al vrij snel dat het gebruik van een opamp noodzakelijk is. Zoals in hoofdstuk 3 beschreven is, is eerst gekeken hoe deze opamp geschakeld moet worden.

De settle-tijd van de schakelingen waarbij de opamp hoogohmig ingekoppeld is en die waarbij de opamp laagohmig ingekoppeld is, zijn niet alleen berekend, maar ook gesimuleerd m.b.v. Philpac. Voor de simulatie van de opamp is dan gebruik gemaakt van een zgn. ideaal opamp-model, dat in een bibliotheek van Philpac opgeslagen is. Dit model implementeert de opamp van fig. 5.1.a met een overdracht die te zien is in fig. 5.1.b.





Figuur 5.1: a) In Philpac geïmplementeerd ideaal opamp-model, b) Overdracht van in a) beschreven opamp.

Voor weerstand  $R_1$  en  $R_3$  zijn steeds dezelfde waarden gekozen, evenals voor de  $A_0$ .

Deze waarden zijn:

$$R_1 = 10T\Omega$$

$$R_3 = 10\Omega$$

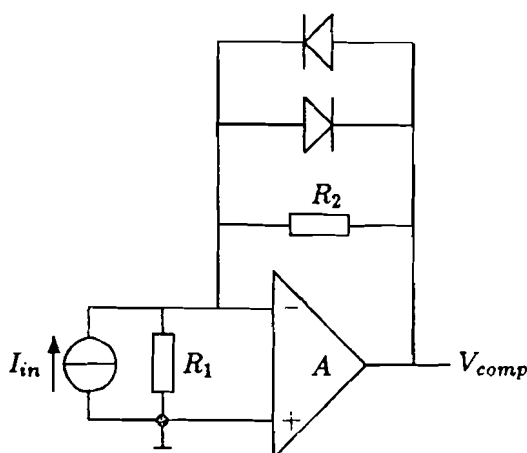
$$A_0 = 10.000$$

De waarde van  $R_1$  is zo groot gekozen (niet realiseerbaar), om alleen de invloed van een "ideale" opamp te kunnen bekijken. Als de definitieve schakeling gesimuleerd wordt, zal met een extra run, waarbij  $R_1 = 10\text{ k}\Omega$  (reële waarde) gekeken moeten worden of deze weerstand invloed heeft op de settle-tijd.

Er zal steeds gekeken worden naar de settle-tijd als functie van de bandbreedte van de opamp en als functie van de in de schakeling gebruikte weerstanden (zie fig. 5.2).

Om de settle-tijd goed te simuleren moet natuurlijk uitgegaan worden van het zgn. "worst-case" geval. Dit treedt op als het verschil in DAC-stroom en S/H-stroom eerst 2 mA was (=MSB-stroom van de DAC) en na het omschakelen deze stromen aan elkaar gelijk zijn. Dan moet de uitgangsspanning dalen vanaf de maximale waarde tot de  $\frac{1}{2}$  LSB waarde (dit is de  $\frac{1}{2}$  LSB-stroom vermenigvuldigd met de terugkoppelweerstand). De tijd die het duurt totdat de  $\frac{1}{2}$  LSB spanning bereikt is (vanaf het omschakelen van de DAC-stroom) is de settle-tijd.

De schakeling waar bij alle simulaties vanuit gegaan wordt, is gegeven in fig. 5.2. Allereerst is gekeken naar de settle-tijd als  $R_1 = 2\text{ k}\Omega$ ,  $R_2 = 625\text{ k}\Omega$  en  $f_0 = 7\text{ MHz}$ . Het resultaat van deze simulatie is te zien in fig. 5.3.



Figuur 5.2: Principe van de comparator.

Het kruisje in de grafiek geeft aan waar de  $\frac{1}{2}$  LSB lijn ( $= -20$  mV) doorsneden wordt. De settle-tijd is ongeveer  $25 \mu\text{sec}$ . Volgens de berekeningen zou de settle-tijd gelijk moeten zijn aan:

$$t_{\text{settle}} = \ln\left(\frac{800}{20}\right) r_{\text{opamp}} \left(1 + \frac{625}{2}\right) = 26 \mu\text{sec}$$

m.a.w. de simulatie komt goed overeen met wat berekend is!

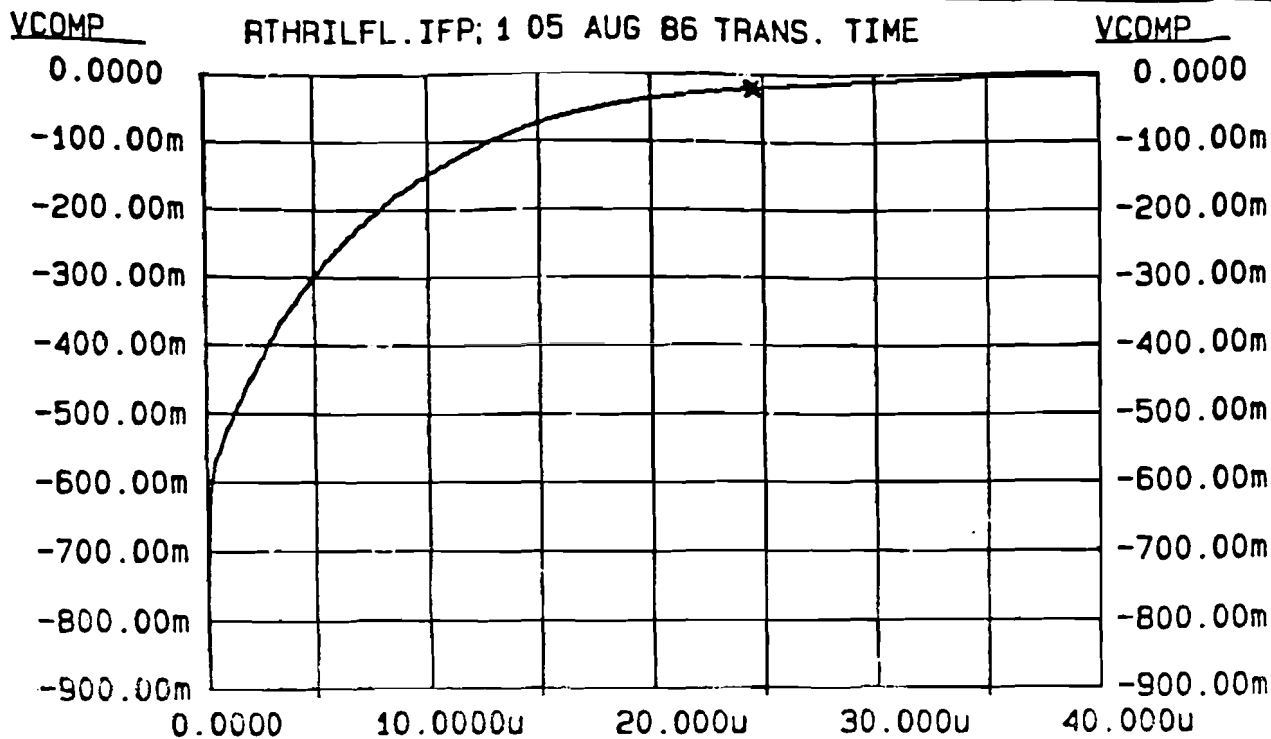
Een manier om de settle-tijd te verkleinen, was (zie hoofdstuk 3) vergroting van de bandbreedte. Als de bandbreedte een factor 10 vergroot wordt ( $f_0 = 70$  MHz), zal de settle-tijd een factor 10 kleiner moeten worden ( $t_{\text{settle}} = 2.5 \mu\text{sec}$ ). Uit de simulatie blijkt dat de settle-tijd  $3.2 \mu\text{sec}$  geworden is (fig. 5.4). De gesimuleerde settle-tijd is iets groter dan de berekende settle-tijd, omdat de settle-tijd nu niet alleen bepaald wordt door de bandbreedte van de opamp, maar ook door de bandbreedte van het terugkoppelnetwerk (de tijdconstante, waarmee de comparator zou "settlen" als de bandbreedte van de opamp alleen bepalend zou zijn, is nu ongeveer even groot als de bij het terugkoppelnetwerk behorende tijdconstante).

Ook verkleinen van de terugkoppelweerstand ( $R_2$ ), zou een verkleining van de settle-tijd tot gevolg moeten hebben. Voor  $R_2 = 35$  k $\Omega$  ( $R_1 = 2$  k $\Omega$ ,  $f_0 = 7$  MHz) kan berekend worden dat de settle-tijd  $2.8 \mu\text{sec}$  wordt, wat ook uit de simulatie gehaald kan worden (zie fig. 5.5. N.B.  $V_{\frac{1}{2}\text{LSB}} = -1$  mV).

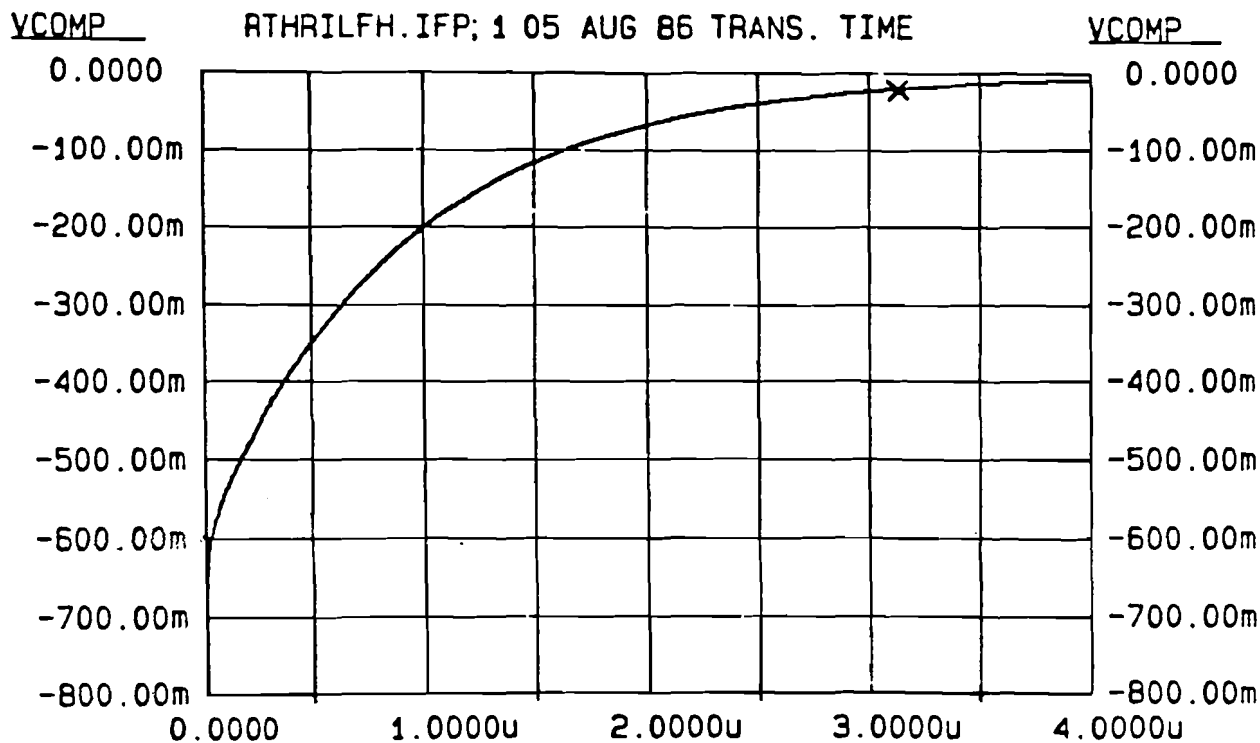
De laatste manier om de settle-tijd te verkleinen, is vergroten van de ingangswaerstand. Als de terugkoppelweerstand weer  $625$  k $\Omega$  is en de bandbreedte van de opamp  $7$  MHz, dan zou voor een ingangswaerstand

$R_1 = 100 \text{ k}\Omega$  de settle-tijd 600 nsec worden. Uit de simulatieresultaten blijkt (zie fig. 5.6), dat met deze schakeling een settle-tijd van  $1.3 \mu\text{sec}$  gehaald wordt. Het verschil wordt veroorzaakt, doordat niet de opamp de snelheidsbepalende factor is, maar dat de snelheid bepaald wordt door het RC-netwerkje dat gevormd wordt door de terugkoppelweerstand en de depletiecapaciteit van de clamping-diodes.

Er is besloten om de comparator te realiseren met een opamp die een bandbreedte heeft van 70 MHz, terwijl  $R_1 = 2 \text{ k}\Omega$  en  $R_2 = 35 \text{ k}\Omega$ . Ook met deze weerstandswaarden is de schakeling van fig. 5.2 gesimuleerd. De resultaten daarvan zijn te zien in fig. 5.7. Hieruit blijkt dat een settle-tijd van 350 nsec haalbaar moet zijn. Theoretisch was dat 280 nsec (als alleen de opamp de snelheidsbeperkende factor zou zijn). Hieruit blijkt dat het terugkoppelnetwerkje ook een invloed op de settle-tijd heeft.



Figuur 5.3:  $V_{comp}$  als functie van de tijd ( $R_1 = 2 \text{ k}\Omega, R_2 = 625 \text{ k}\Omega, f_0 = 7 \text{ MHz}$ ).

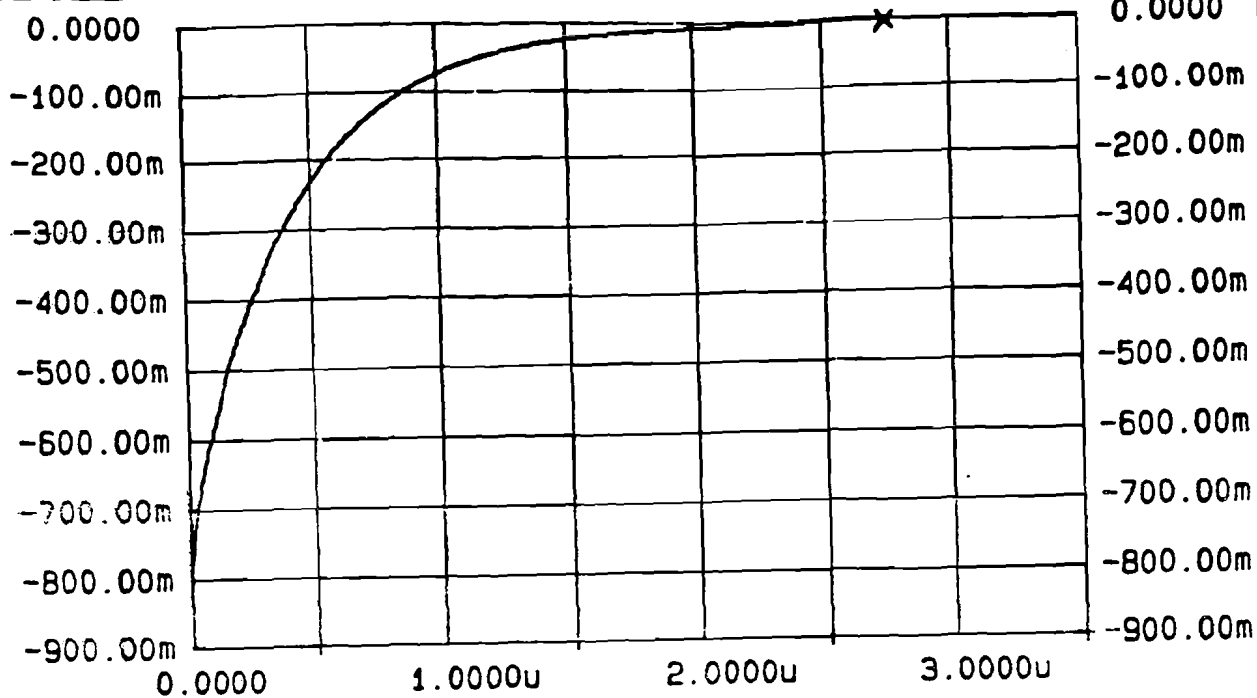


Figuur 5.4:  $V_{comp}$  als functie van de tijd ( $R_1 = 2 \text{ k}\Omega, R_2 = 625 \text{ k}\Omega, f_0 = 70 \text{ MHz}$ ).

VCOMP

RTLRIILFL.IFP; 1 05 AUG 86 TRANS. TIME

VCOMP

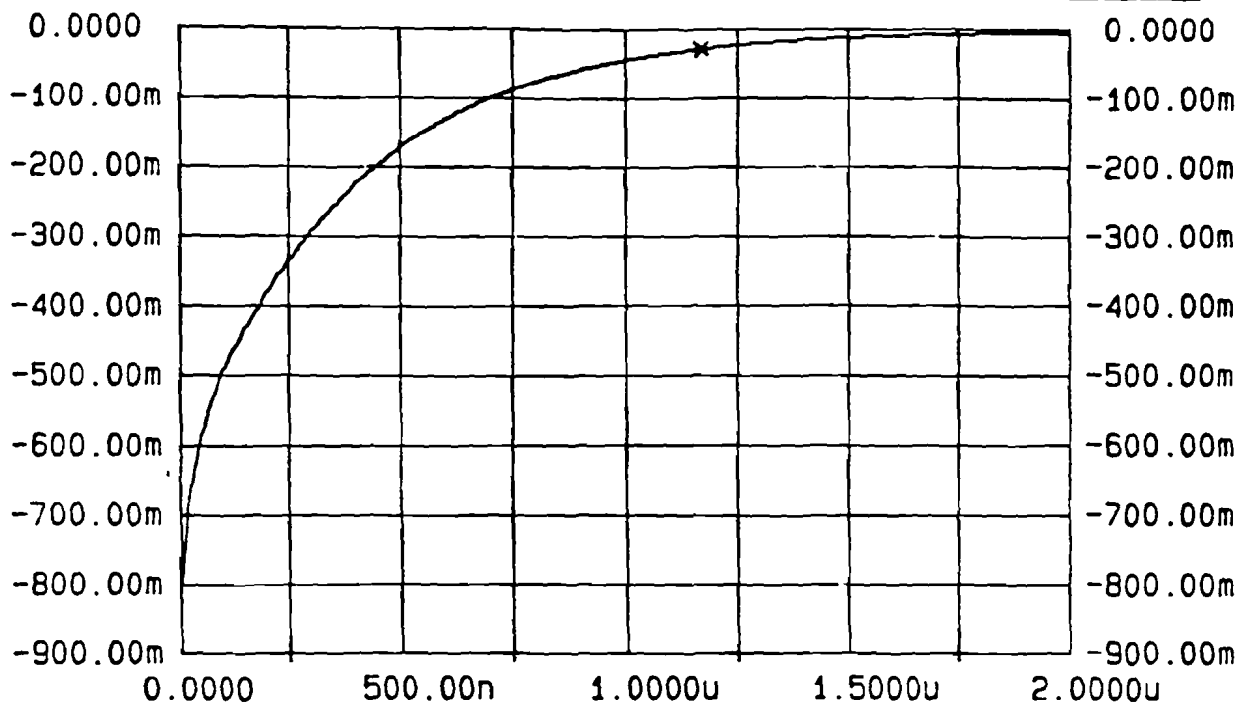


Figuur 5.5:  $V_{comp}$  als functie van de tijd ( $R_1 = 2 \text{ k}\Omega$ ,  $R_2 = 35 \text{ k}\Omega$ ,  $f_0 = 7 \text{ MHz}$ ).

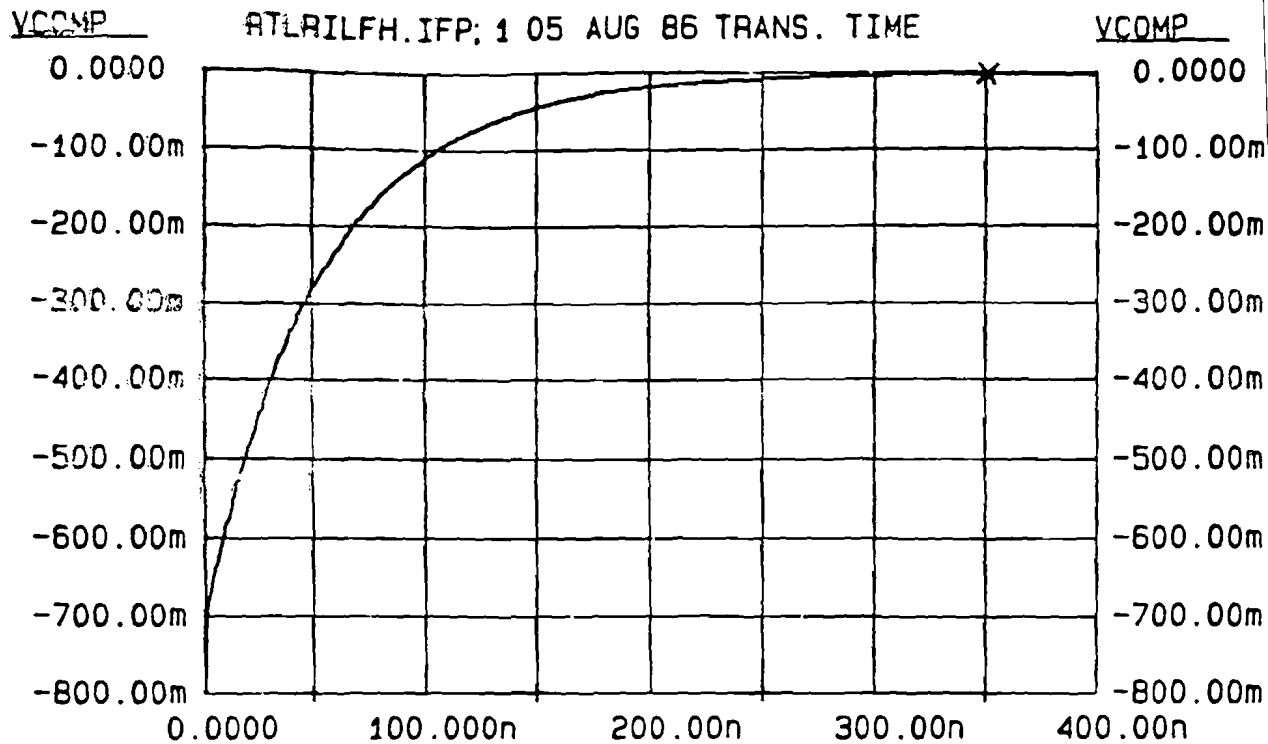
VCOMP

RTHRIHFL.IFP; 1 05 AUG 86 TRANS. TIME

VCOMP



Figuur 5.6:  $V_{comp}$  als functie van de tijd ( $R_1 = 100 \text{ k}\Omega$ ,  $R_2 = 625 \text{ k}\Omega$ ,  $f_0 = 7 \text{ MHz}$ ).



Figuur 5.7:  $V_{comp}$  als functie van de tijd ( $R_1 = 2 \text{ k}\Omega$ ,  $R_2 = 35 \text{ k}\Omega$ ,  $f_0 = 70 \text{ MHz}$ ).

## 5.2 Simulaties op transistor niveau

Ook tijdens het ontwerpen van de schakeling, die de functie van opamp moet realiseren, zijn de gemaakte berekeningen steeds gecontroleerd m.b.v. Philpac-simulaties. In Philpac worden transistoren gerepresenteerd m.b.v. Gummel Poon-achtige modellen. De parameters van de gebruikte transistoren (zie tabel 6.1), zijn te vinden in [7].

De simulatieresultaten, waarbij de berekeningen van paragraaf 4.1.1 gecontroleerd zijn, zijn te zien in fig. 5.8, fig. 5.9, fig. 5.10, waar respectievelijk de overdracht van de ingangstrap, de Millertrap en de totale opamp te zien zijn. Bij deze simulaties is uitgegaan van het schema van fig. 4.8.

Voor de berekening van de DC versterking en de kantelpunten (zie blz. 61) zal er van uit gegaan worden dat

$$g_{m1}=0.01$$

$$g_{m5}=0.04$$

$$R_{o5} = 125 \text{ k}\Omega$$

$$\beta_5 = 100$$

terwijl voor  $C_2$  steeds een waarde van 20 pF gekozen wordt. De DC versterking van de ingangstrap zal dus 25 (=28 dB) moeten zijn, terwijl het kantelpunt bij  $f_p=630$  Hz en het nulpunt bij  $f_n=63$  kHz moet liggen.

In de schakeling voor de comparator wordt het circuit, dat gegeven is in fig. 4.8, teruggekoppeld met een weerstand van 35 k $\Omega$ . Dit betekent, dat de DC versterking van de Millertrap  $g_{m5}(R_{o5}/R_{terug})$  wordt. Dit is 1000 keer (ofwel 60 dB). De pool, die bij de Millertrap optreedt moet nu liggen bij 290 kHz.

Het nulpunt van de ingangstrap moet ook bij deze frequentie optreden, terwijl de pool van deze trap bij 2.9 kHz moet liggen.

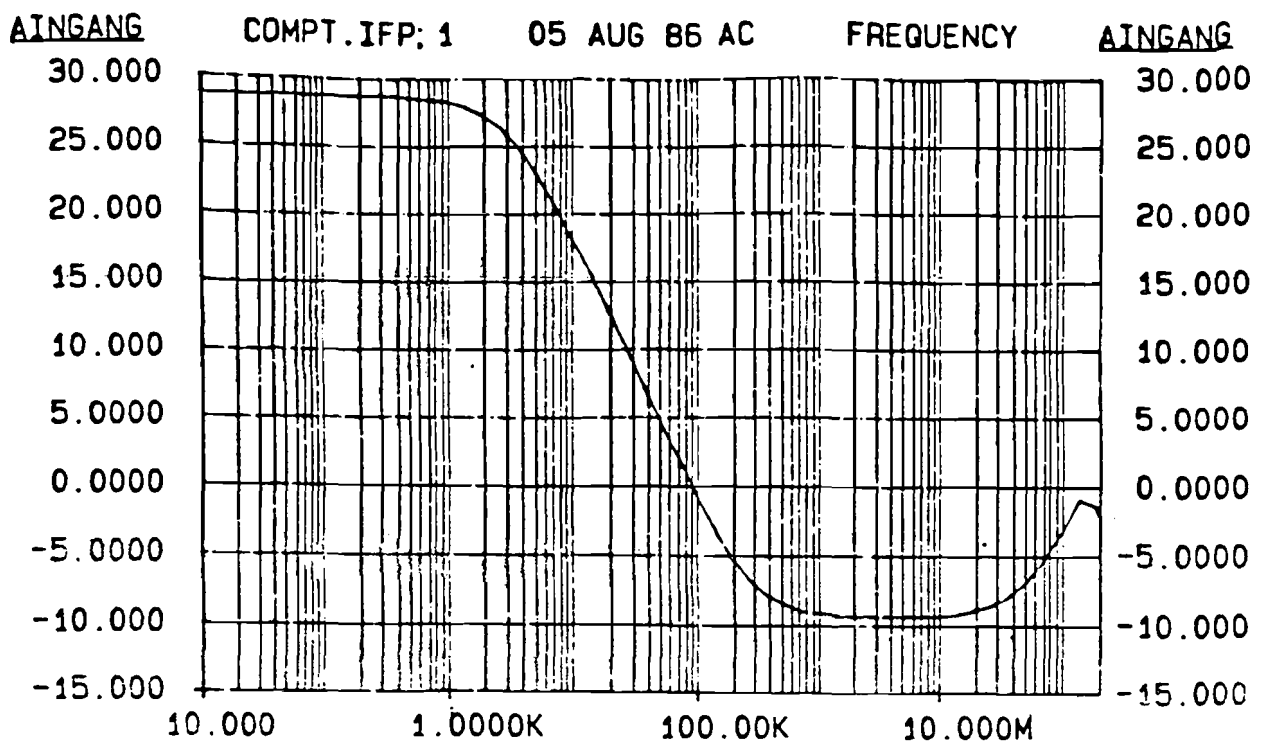
Zoals in de simulatieresultaten (zie fig. 5.8, fig. 5.9) te zien is, komt de theoretische overdracht goed overeen met de gesimuleerde overdracht.

De schakeling waarvan de simulatieresultaten te zien zijn in fig. 5.10 is te zien in fig. 6.1. Tussen de ingangstrap en de millertrap is nu een emittervolger geschakeld, waardoor de DC versterking ongeveer  $\beta$  ( $\approx 100$ ) keer groter zal zijn. Hierdoor zal de openloopoverdracht eerder beginnen af te vallen dan in fig. 5.8 te zien is, omdat de unity-gain frequentie hetzelfde blijft (70 MHz).

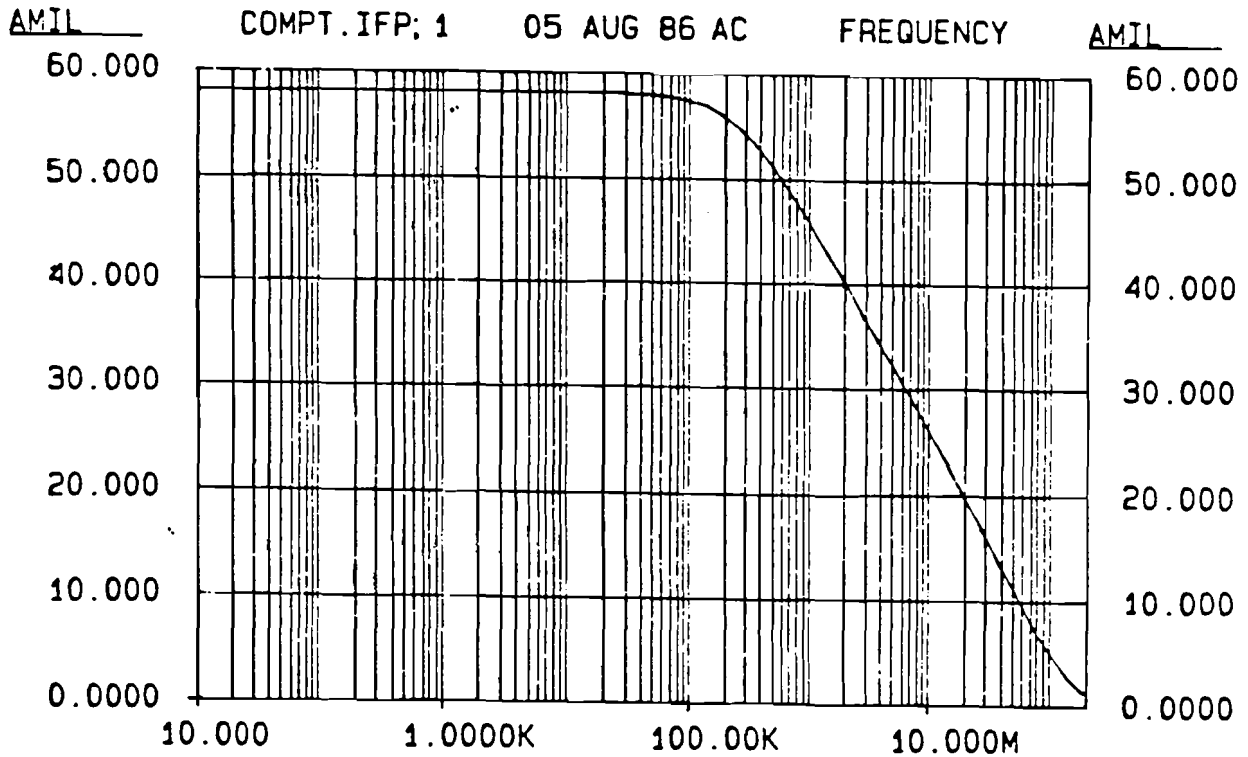
In fig. 5.10 is te zien dat de overdracht inderdaad helling 1 doorloopt tot 70 MHz. Voor frequenties groter dan 70 MHz gaat de overdracht eerst een

stukje vlak lopen, voor nog grotere frequenties wordt het een tweede (of derde) orde systeem. Tevens is te zien dat het 0 dB punt bij 70 MHz ligt. Bij deze frequentie is de fasemarge nog ongeveer 20 graden. Bij 7 MHz is deze fasemarge echter ongeveer 80 graden geworden. Voor de hier beschreven toepassing is deze laatste fasemarge belangrijk. Dit betekent dat de comparator stabiel zal zijn.

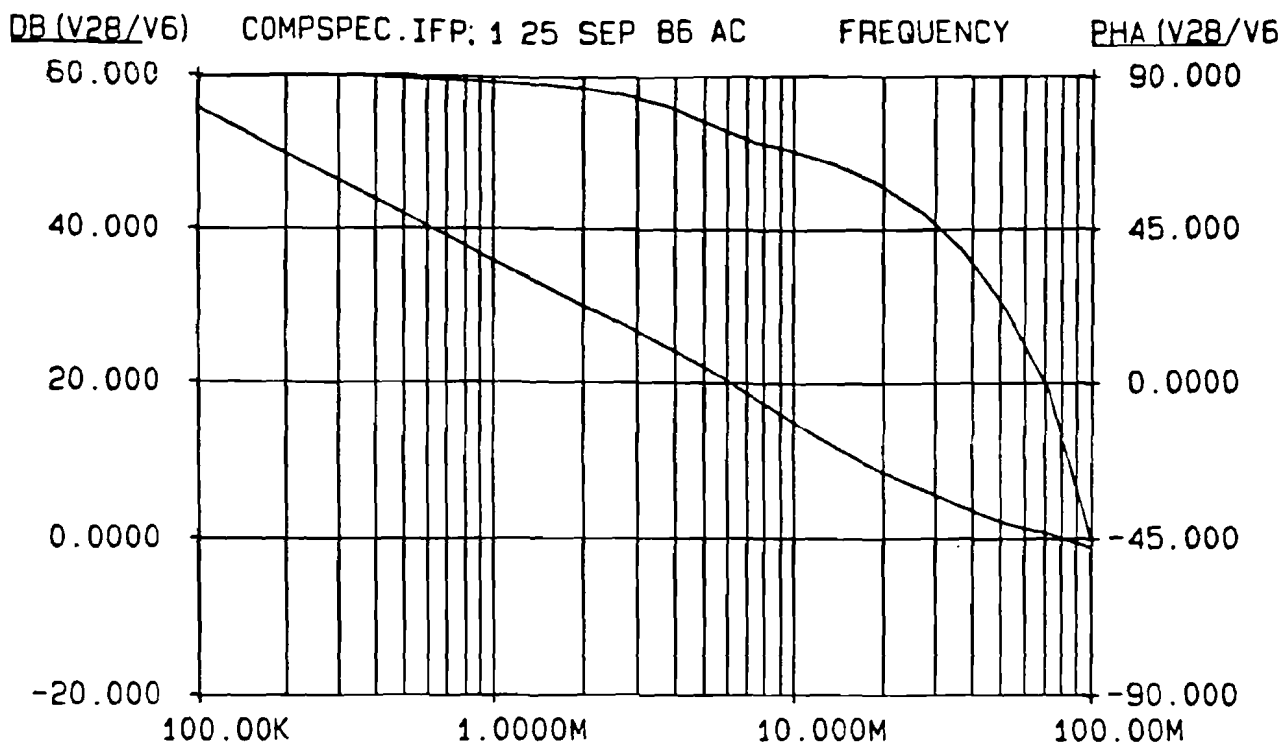




Figuur 5.8: Overdracht van de ingangstrap.



Figuur 5.9: Overdracht van de Millertrap.



Figuur 5.10: a) Overdracht van de totale opamp,  
 b) Fasedraaiing van de opamp.

## Hoofdstuk 6

# De implementatie van de comparator m.b.v. een master-chip

Niet alleen zijn ter controle van de in hoofdstuk 4 uitgevoerde berekeningen, simulaties uitgevoerd, ook is de schakeling gerealiseerd en zijn er metingen aan verricht.

Het probleem hierbij was, dat een opamp met een bandbreedte van 70 MHz heel moeilijk met discrete componenten op te bouwen is, omdat al heel gauw parasitaire capaciteiten een rol gaan spelen, zodat het eigenlijk noodzakelijk is om de opamp in een IC-vorm te maken. Dit heeft echter als nadeel dat het maken van een lay-out tijdrovend is en dat het produceren van een maskerset veel geld kost. Zoals al eerder beschreven, moet de comparator geïmplementeerd worden in het N648 proces (een productieproces van Elcoma Nijmegen). Nu is er een zogenaamde master-chip beschikbaar, de ACBA (=Analog Cell-Based Array), die in dit proces gemaakt wordt.

Op deze chip zijn 468 npn transistoren, 208 pnp transistoren, 4 Zener diodes, 315 k $\Omega$  SP weerstand, 637 k $\Omega$  begraven SP weerstand, 95 pF oxide capaciteit en 273 pF junctiecapaciteit aanwezig, kortom genoeg om de comparator te realiseren [8]. Het enige dat nog gedaan moet worden is de aluminium verbindingen tussen transistoren, weerstanden en capaciteiten aanbrengen. Hierdoor zal het veel minder tijd kosten om de lay-out te maken en, omdat maar 3 maskers gemaakt moeten worden, zal het ook veel minder geld

kosten om de comparator op de chip te implementeren. Er zijn 3 maskers nodig omdat binnen het productieproces twee aluminium bedradingslagen mogelijk zijn.

Met behulp van het programma Circuitmask is een lay-out van zowel het IN1 (aluminium 1), het IN2 als het CO2 (voor de verbinding tussen IN1 en IN2) gemaakt. Deze lay-out is opgestuurd naar Elcoma Nijmegen, waar de processing van het IC plaatsgevonden heeft.

Bij het maken van de lay-out is zoveel mogelijk rekening gehouden met de structuur van de opamp. Dus transistoren en weerstanden waarbij de gelijkheid belangrijk is, zijn zo gekozen (dicht bij elkaar), dat de gelijkheid zo goed mogelijk is.

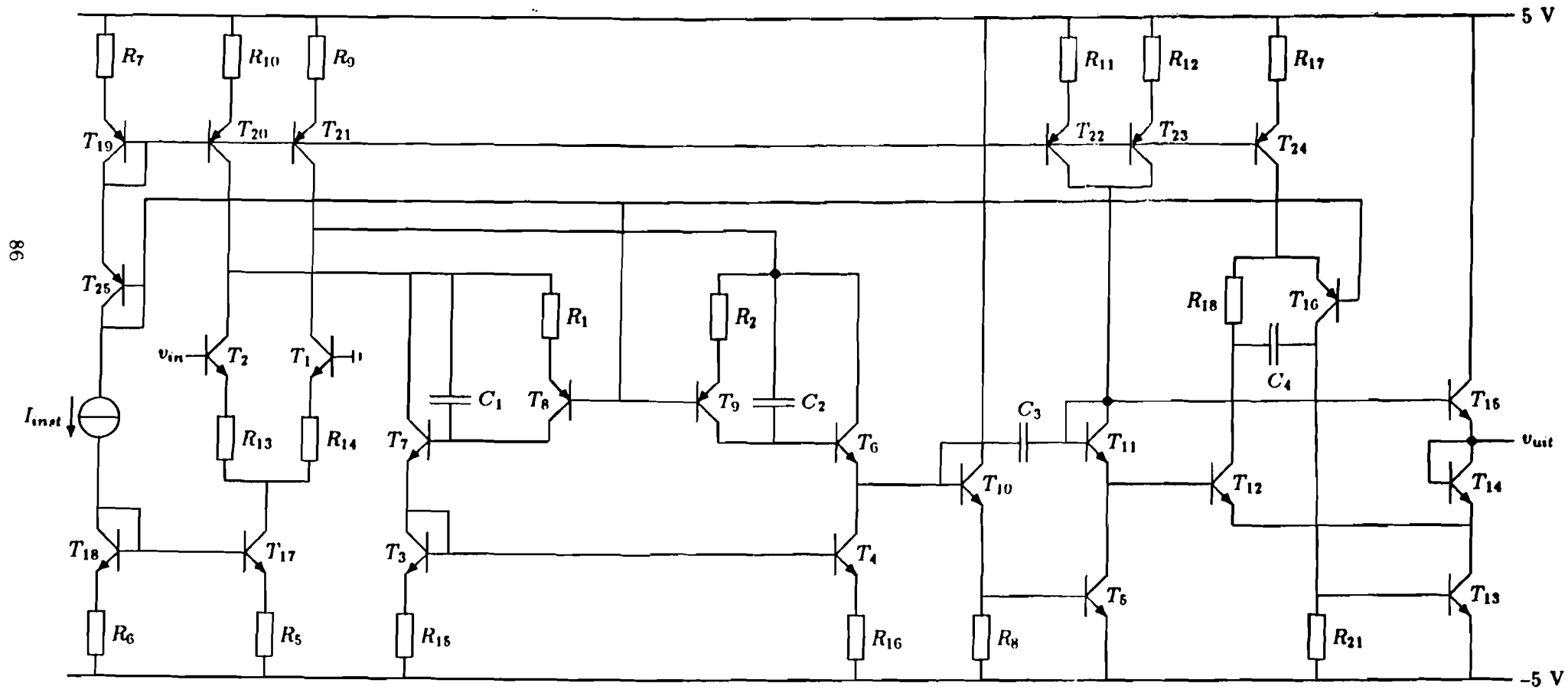
In fig. 6.1 is de geïmplementeerde opamp te zien. Het schema van de naversterker en de latch is te zien in fig. 6.2. De waarden van de gebruikte componenten zijn te zien in tabel 6.1, terwijl de types van de gebruikte transistoren in tabel 6.2 gegeven worden.

In fig. 6.3 is de layout van de geïmplementeerde comparator te zien. De betekenis van de in deze figuur gebruikte kleuren is:

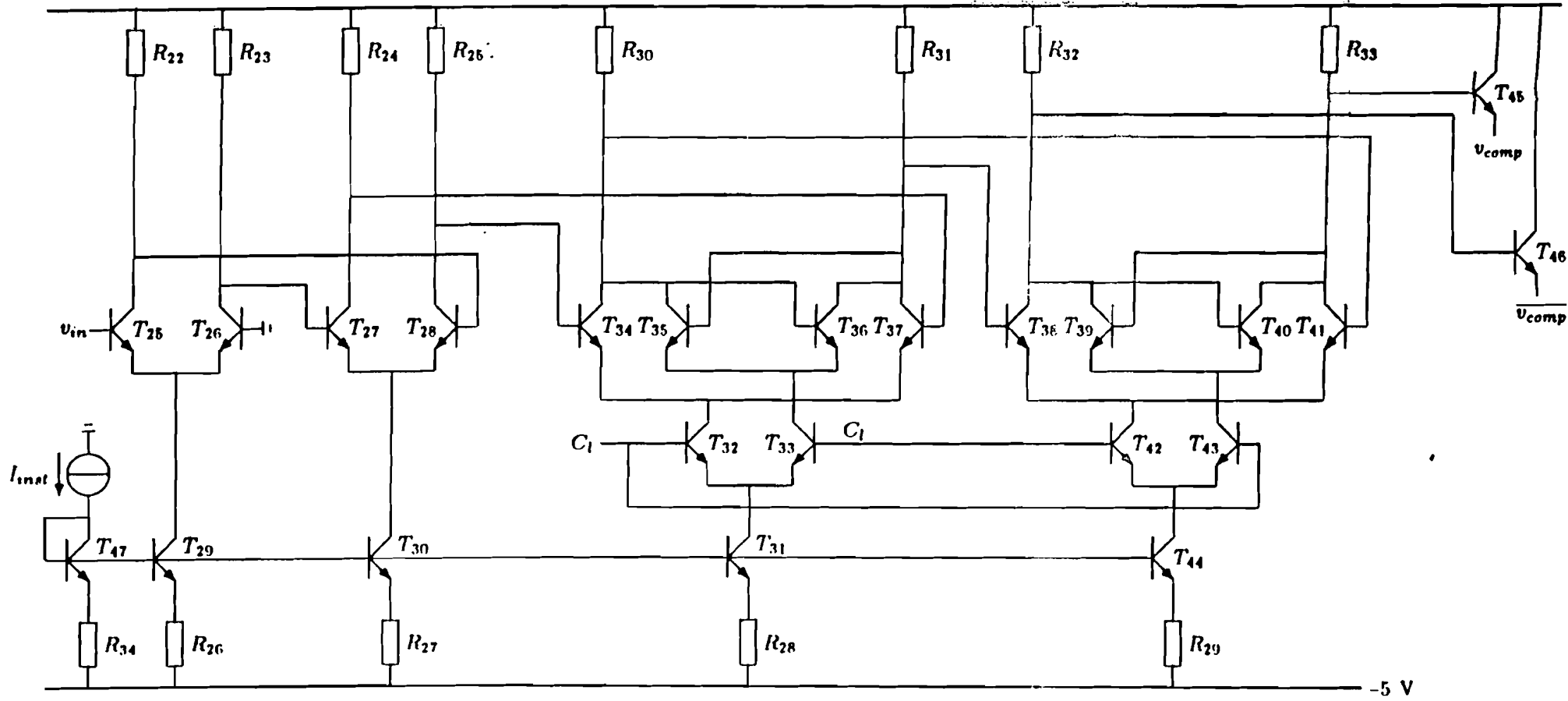
rood	DN	(diepe N diffusie)
	SN	(ondiepe N diffusie)
	IN2	(Aluminium 2)
paars	DP	(diepe P diffusie)
groen	SP	(ondiepe P diffusie)
blauw	CO	(contact gaten)
	IN1	(Aluminium 1)
zwart	CO2	(contact gaten voor IN1 en IN2)

Omdat er op de ACBA ruimte genoeg was, is de comparator dubbel uitgevoerd (in fig. 6.3 is dit te zien omdat aan de boven en aan de onderkant dezelfde schakeling geïntegreerd is). In blok I is de gehele opamp geïntegreerd, terwijl de naversterker in blok II en de twee latches (master-slave uitvoering) in blok III zijn geïntegreerd. De pinnummering van het IC is gegeven in tabel 6.3.

De twee in het IC geïntegreerde comparatoren zijn aangegeven met index 1, resp. index 2. Behalve de in fig. 6.1 en 6.2 gegeven schakelingen, zijn in het IC ook de clamping-diodes opgenomen. De aansluitingen hiervan zitten aan pin 15 en 16 voor comparator 1 en aan pin 35 en 35 voor comparator 2 (de transistoren die hiervoor gebruikt zijn, zijn van het type SN036).



Figuur 6.1: De geïmplementeerde opamp.



Figuur 6.2: De geïmplementeerde naversterker+latch.

weerstandswaarden		
$R_1 = 5 \text{ k}\Omega$	$R_{13} = 260 \text{ }\Omega$	$R_{25} = 800 \text{ }\Omega$
$R_2 = 5 \text{ k}\Omega$	$R_{14} = 260 \text{ }\Omega$	$R_{26} = 1.6 \text{ k}\Omega$
$R_5 = 800 \text{ }\Omega$	$R_{15} = 400 \text{ }\Omega$	$R_{27} = 1.6 \text{ k}\Omega$
$R_6 = 1.6 \text{ k}\Omega$	$R_{16} = 400 \text{ }\Omega$	$R_{28} = 1.6 \text{ k}\Omega$
$R_7 = 1.6 \text{ k}\Omega$	$R_{17} = 1.6 \text{ k}\Omega$	$R_{29} = 1.6 \text{ k}\Omega$
$R_8 = 3.2 \text{ k}\Omega$	$R_{18} = 5 \text{ k}\Omega$	$R_{30} = 800 \text{ }\Omega$
$R_9 = 200 \text{ }\Omega$	$R_{21} = 6.4 \text{ k}\Omega$	$R_{31} = 800 \text{ }\Omega$
$R_{10} = 200 \text{ }\Omega$	$R_{22} = 800 \text{ }\Omega$	$R_{32} = 800 \text{ }\Omega$
$R_{11} = 400 \text{ }\Omega$	$R_{23} = 800 \text{ }\Omega$	$R_{33} = 800 \text{ }\Omega$
$R_{12} = 400 \text{ }\Omega$	$R_{24} = 800 \text{ }\Omega$	$R_{34} = 1.6 \text{ k}\Omega$
capaciteitswaarden		
$C_1 = 3 \text{ pF}$	$C_2 = 3 \text{ pF}$	$C_3 = 6 \text{ pF}$
$C_4 = 3 \text{ pF}$		

Tabel 6.1: componentwaarden.

SN036:	$T_5, T_{10}, T_{14}, T_{17}, T_{18}, T_{29}, T_{30}, T_{31}, T_{44}, T_{47}$
SN037:	$T_1, T_2, T_3, T_4, T_5 (2X), T_6, T_7, T_{10} (2X), T_{11}, T_{12}, T_{13}$ $T_{15}, T_{25}, T_{26}, T_{27}, T_{28}, T_{32}, T_{33}, T_{34}, T_{35}, T_{36}, T_{37}, T_{38}$ $T_{39}, T_{40}, T_{41}, T_{42}, T_{43}, T_{45}, T_{46}$
SP323:	$T_8, T_9, T_{16}, T_{19}, T_{20}, T_{21}, T_{21}, T_{22}, T_{23}, T_{24}$
Opmerking:	Transistoren $T_5$ en $T_{10}$ bestaan uit een parallelschakeling van 2 SN037 en 1 SN036

Tabel 6.2: Transistortypes.

Figuur 6.3: De layout van de comparator.



pinnummer	schema	layoutnaam	comparatornummer
1	collector $T_{19}$	iver	1
2	collector $T_{25}$	iinp	1
4	basis $T_1$	inputp	1
5	basis $T_2$	inputm	1
6	collector $T_{18}$	iinm	1
7	-5 V	vmin	1
8	collector $T_{14}$	vout	1
9	basis $T_{25}$	vinp	1
10	basis $T_{26}$	vinm	1
11	collector $T_{47}$	iref2	1
13	basis $T_{33}$	clkn	1
14	basis $T_{32}$	clk	1
17	emitter $T_{46}$	qn	1
18	emitter $T_{45}$	q	1
19	emitter $T_{23}$	imil	2
20	5 V	vplus	2
21	collector $T_{19}$	iver	2
22	collector $T_{25}$	iinp	2
24	basis $T_1$	inputp	2
25	basis $T_2$	inputm	2
26	collector $T_{18}$	iinm	2
27	-5 V	vmin	2
28	collector $T_{14}$	vout	2
29	basis $T_{25}$	vinp	2
30	basis $T_{26}$	vinm	2
31	collector $T_{47}$	iref2	2
33	basis $T_{33}$	clkn	2
34	basis $T_{32}$	clk	2
37	emitter $T_{46}$	qn	2
38	emitter $T_{45}$	q	2
39	emitter $T_{23}$	imil	1
40	5 V	vplus	1

Tabel 6.3: Pinnumering.

## Hoofdstuk 7

# Metingen aan de opamp

Om te controleren of de gerealiseerde opamp inderdaad voldoet aan de eisen, die op pagina 39 beschreven staan, is zowel de overdrachtskarakteristiek van de opamp, als de slew rate, als de ingangsruijs gemeten.

### 7.1 De overdrachtskarakteristiek

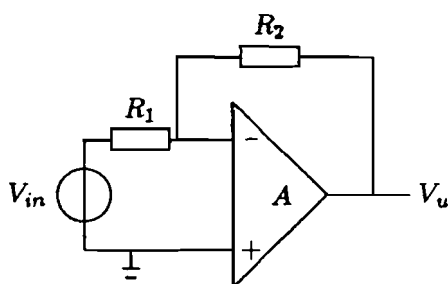
Het meten van de overdrachtskarakteristiek is gedaan m.b.v. een zgn. network analyser.

Met dit apparaat kan de overdracht van de meet-(FET)probes zo wegeregeld worden, dat alleen de overdracht van de te meten schakeling bepaald wordt (ook de invloed van parasitaire capaciteiten op de meetprint zijn weg te regelen).

Gemeten is aan het schema van fig. 7.1. Weerstand  $R_1 = 100 \Omega$  terwijl voor weerstand  $R_2 = 1 \text{ k}\Omega$  gekozen. De overdrachtskarakteristiek is nu  $-\frac{V_u}{V_m}$  en is gegeven in fig. 7.2.

Hierin is te zien dat een bandbreedte van 50 MHz gehaald wordt. Dat dit geen 70 MHz is komt doordat de opamp bij hoge frequenties een iets grotere afval heeft dan 6 db/octaaf. Ook is te zien dat een fasemarge van  $-20^\circ$  (bij het unity-gain punt) gehaald wordt.

Deze getallen zijn echter niet zo heel interessant voor de beschreven toepassing van de opamp.



Figuur 7.1: Meetschema.

Wat wel belangrijk is, zijn de getallen bij 5 MHz.

De versterking op dit punt is 23 dB (ofwel 14 keer), zodat een settle-tijd van 300 nsec haalbaar moet zijn.

Bij deze frequentie is de fasemarge ongeveer  $70^\circ$ , zodat het systeem stabiel zal zijn.

Aan de gemeten fasemarge is een interessant verschijnsel te zien, dat in de simulaties nooit opgetreden is, namelijk een "fase-dip" van  $10^\circ$  bij ongeveer 7 MHz.

De "fase-dip" kan verklaard worden door een parasitaire capaciteit die optreedt bij de weerstanden die in de ACBA gebruikt worden. Deze weerstanden zijn erg breed ( $\pm 20\mu\text{m}$ ) en daardoor dus ook erg lang.

Hierdoor ontstaat een paracitaire capaciteit naar de epilaag waarvoor geldt:

$$C_{sp-epi} = \frac{C_{cbo} \cdot Area}{\sqrt[3]{1 + \frac{V_A}{V_D}}}$$

$C_{cbo}$  is de SP-Epi capaciteit bij een sperspanning van 0 V.

$Area = Floorarea + Wallarea$ , waarbij  $Floorarea$  de oppervlak van het SP-gebied is en  $Wallarea$  de omtrek van dit gebied vermenigvuldigd met 3.6.[7]

$V_A$  is de sperspanning die over de SP-Epi overgang staat

$V_D$  is de natuurlijke diffusiespanning van deze overgang

Ook de gebruikte capaciteiten hebben een parasitaire capaciteit naar de epilaag.

De gehele parasitaire capaciteit die bij de gebruikte capaciteiten optreedt kan gerepresenteerd worden door een capaciteit vanaf de SN-aansluiting naar aarde.[8] De parasitaire capaciteit bij de weerstand wordt in de simulaties gerepresenteerd door twee capaciteiten naar aarde (aan beide aansluitpunten een). Worden deze capaciteiten meegenomen in de simulaties, dan krijgen

we het resultaat dat te zien is in fig. 7.3.

Het blijkt dat nu de "fase-dip" ontstaat, die ook gemeten wordt (ongeveer even diep en optredend bij dezelfde frequentie). Uit deze figuur kan een unity-gain bandbreedte van 80 MHz bepaald worden met een fasemarge van  $-20^\circ$ .

Bij 5 MHz is de versterking ongeveer 22 dB.

Het blijkt dat simulaties en metingen nu goed overeenkomen, alleen zou volgens de simulaties een bandbreedte van 80 MHz gehaald moeten worden, terwijl maar 50 MHz gemeten wordt. Dit komt waarschijnlijk, omdat bij deze vrij hoge frequenties de modellen een afwijking vertonen.

De DC-versterking is erg moeilijk te meten, maar bij 10 kHz is nog een versterking van 76 dB aanwezig, zodat aan de eis voor de versterking ruimschoots voldaan is.

## 7.2 De ruis eigenschappen

Met het schema van fig. 7.1 is ook de effectieve ruisweerstand van de opamp gemeten (spanningsbron  $V_{in}$  wordt natuurlijk afgekoppeld).

Nu is weerstand  $R_1 = 10 \Omega$  en  $R_2 = 100 \Omega$ , zodat de ruis van deze weerstanden veel kleiner is dan de ruis van de opamp.

M.b.v. een ruismeter is nu de uitgangsruiis van deze schakeling bepaald.

In de meter is een filter aanwezig, zodanig dat geen ruiskomponenten boven de 20 kHz meegenomen worden.

Voor de uitgangsruiis spanning geldt dan:

$$\overline{v_u^2} = 4kTR_{eff}\Delta f$$

Gemeten werd:  $\overline{v_u^2} = 7 \cdot 10^{-13} \text{ V}^2$

Dit betekent dat  $R_{eff} = 2.2 \text{ k}\Omega$ .

Aangezien verwacht werd dat  $R_{eff} = 1 \text{ k}\Omega$  moest ook dit nader onderzocht worden.

Het blijkt dat deze afwijking verklaard kan worden doordat het ingangspaar van de opamp gedegenereerd werd met weerstanden  $R_{13}$  en  $R_{14}$  (beide van  $260 \Omega$ ), om de Miller-capaciteit kleiner te kunnen kiezen.

Hierdoor wordt de effectieve steilheid van het ingangspaar  $2.7 \text{ mA/V}$ .

Dit heeft tot gevolg dat de spanningsruis van  $T_3$ ,  $T_4$ ,  $T_{20}$  en  $T_{21}$  niet meer verwaarloosd mag worden, waardoor de effectieve ruisweerstand  $2.4 \text{ k}\Omega$  wordt (zie formule 4.8).

Doordat de effectieve ruisweerstand van de opamp  $2.2 \text{ k}\Omega$  geworden is, kan met formule 3.2 de uitgangsrui van de comparator bepaald worden:

$$\overline{v_u^2} = 4kT(R_{eff} + R_1)f_1 \frac{\pi}{2} \left(\frac{35}{2}\right)^2 = 1.6 \cdot 10^{-7} \text{ V}^2$$

De  $3\text{-}\sigma$ -waarde is dan  $1.2 \text{ mV}$ . Dit is slechts  $20 \%$  meer dan de eis voor de uitgangsrui van de comparator!

Er zijn een aantal mogelijkheden om de effectieve ruisweerstand van de opamp te verkleinen:

- meer IC-oppervlak besteden aan de Miller-capaciteit, zodat het ingangspaar niet meer gedegeneerd hoeft te worden, waardoor de spanningsruis van  $T_3$ ,  $T_4$ ,  $T_{20}$  en  $T_{21}$  verwaarloosd kunnen worden.
- alle instelstromen (behalve de instelstroom van de Miller-trap) met een factor 3 verkleinen. Dit heeft tot gevolg dat opnieuw het ingangspaar niet gedegeneerd moet worden, zodat de effectieve ruisweerstand alleen door het verschilpaar bepaald wordt.

Deze methode heeft als nadeel dat de  $f_t$  van de transistoren van de eerste trap lager wordt.

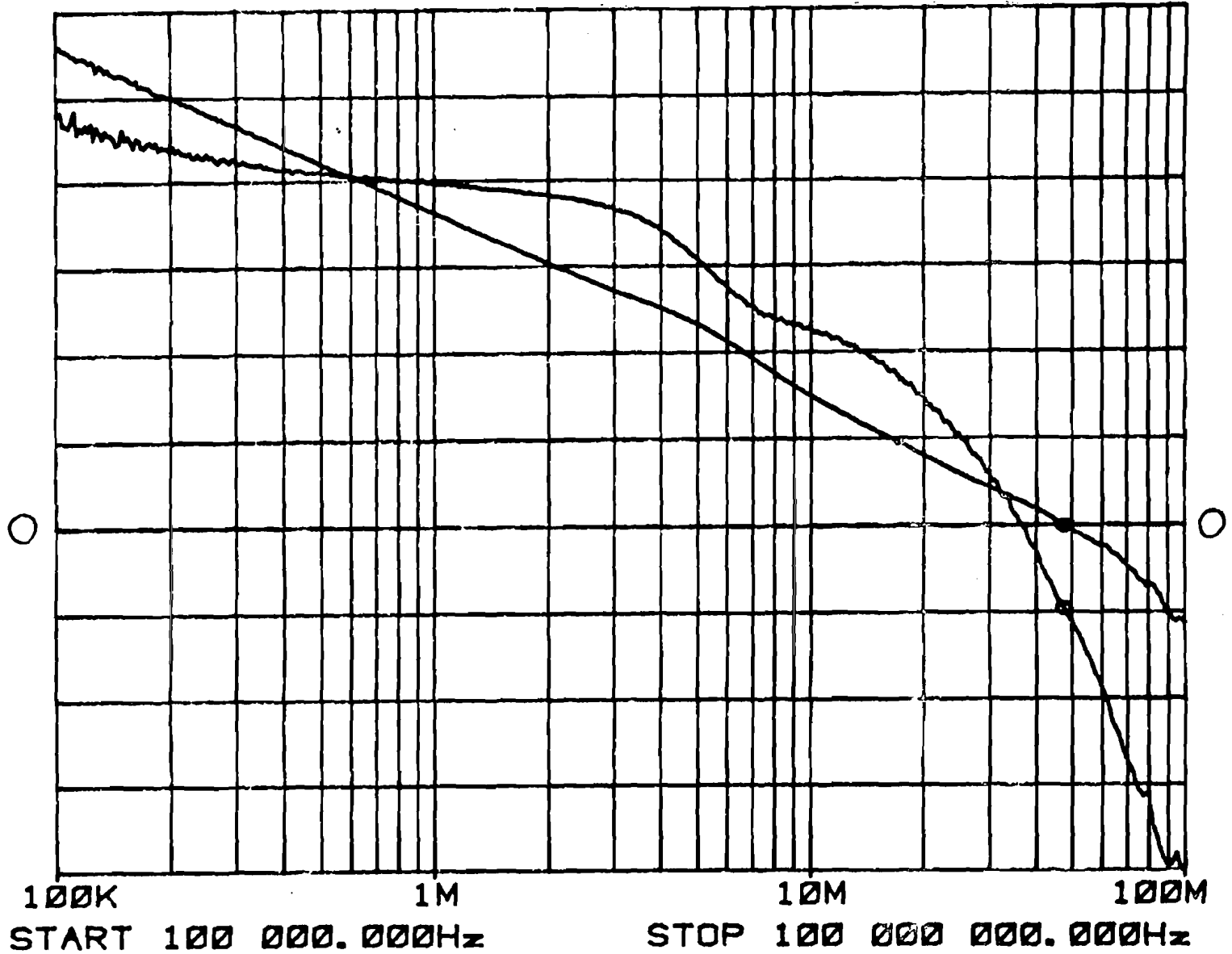
- Transistoren  $T_3$ ,  $T_4$ ,  $T_{20}$  en  $T_{21}$  met een grotere weerstand degenereren, waardoor de spanningsruis van deze transistoren zodanig verzwakt wordt dat de ruisweerstand van de opamp alleen door het ingangspaar bepaald wordt.

### 7.3 Slew rate

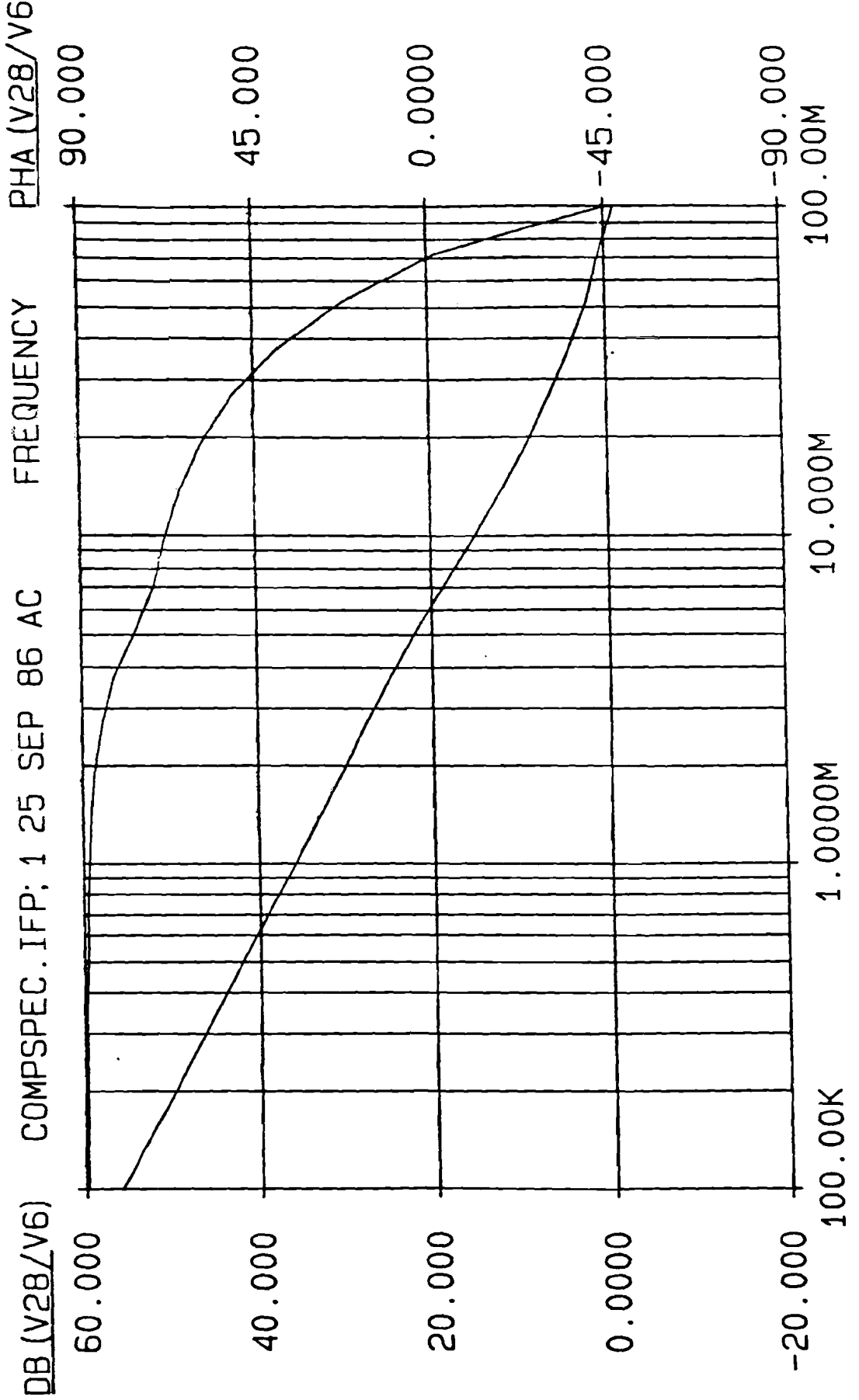
Ook de slew rate is met behulp van het meetschema van fig. 7.1 gemeten. Nu wordt een blokvormige ingangsspanning aan het circuit aangeboden. Uit de helling van de uitgangsspanning kan nu de slew rate bepaald worden. In  $50 \text{ nsec}$  daalt de uitgangsspanning  $4 \text{ V}$ . De slew rate is dan  $80 \text{ V}/\mu\text{sec}$ . Deze waarde komt overeen met de theoretisch bepaalde waarde voor de slew rate, zodat de settle-tijd niet bepaald wordt doordat de slew rate van de opamp beperkt is.

REF LEVEL /DIV  
0. 0deg 22. 500deg  
0. 000dB 10. 000dB

MARKER 47 734 001. 100Hz  
PHASE (UDF) -21. 404deg  
MARKER 47 734 001. 100Hz  
MAG (UDF) -0. 037dB



Figuur 7.2: Gemeten overdrachtskarakteristiek van de opamp.



Figuur 7.3: Gesimuleerde overdrachtskarakteristiek van de opamp als alle parasitaire capaciteiten meegenomen worden.

## Hoofdstuk 8

# Conclusies en aanbevelingen

Er is een schakeling ontworpen waarmee een comparator voor een 16 bits successieve approximatie ADC gerealiseerd kan worden.

Deze schakeling maakt gebruik van een opamp die m.b.v. een zogenaamde Master-chip (de ACBA) in IC-vorm gerealiseerd is.

Deze opamp voldoet aan de volgende specificaties:

- gain-bandwidth product van 60 MHz.  
Dit heeft tot gevolg dat de settle-tijd van de comparator beperkt kan blijven tot 300 nsec.
- DC-gain van meer dan 100 dB.  
Hierdoor wordt de uitgang van de in de ADC gebruikte DAC op een spanning gehouden die veel kleiner is dan 1 mV.
- fasemarge bij het terugkoppelpunt (5 MHz) van  $70^{\circ}$ .  
Het systeem zal stabiel zijn.
- een slew rate van  $80 \text{ V}/\mu\text{sec}$ , zodat de settle-tijd niet bepaald wordt door de slew rate
- een effectieve ruisweerstand van  $2 \text{ k}\Omega$ .  
Dit heeft tot gevolg dat de  $3\sigma$ -waarde van de uitgangsruijs van de comparator  $0.65 \text{ LSB}$  wordt.
- fase-dip bij 7 MHz.  
Deze fase-dip wordt veroorzaakt doordat de in de ACBA aanwezige weerstanden erg breed zijn, waardoor een grote parasitaire capaciteit naar de epi-laag ontstaat.



Verder blijkt dat de modellen van de transistoren het juiste gedrag voorstellen. Om betrouwbare simulatie-resultaten te krijgen moeten alle parasitaire capaciteiten die op de chip voorkomen (zoals bij weerstanden en condensatoren) meegenomen worden.

Voordat begonnen wordt aan het verbeteren van het ruisgedrag van de comparator (b.v. door de Miller-capaciteit te vergroten) moet nader onderzoek verricht worden naar het ruisgedrag van de S/H en de DAC, aangezien de ruis van deze componenten wel eens dominant zou kunnen zijn t.o.v. de ruis van de comparator.

# Referenties

- [1] W.J. van Gestel, H.G. de Haan, T.G. Martens, "Audio Engineering Handbook", 1986.
- [2] H.J. Schouwenaars, E.C. Dijkmans, B.M.J. Kup, E.J.M. van Tuyl, "A Monolithic Dual 16-Bit D/A Converter", Solid-State Circuits, Volume SC-21, No.3, p.424-430, juni 1986.
- [3] R.J. van de Plassche, H.J. Schouwenaars, "A Monolithic High-Speed Sample-and-Hold Amplifier for Digital Audio", Solid-State Circuits, Volume SC-18, No. 6, p. 723-729, december 1983.
- [4] F.M. Klaassen, "Halfgeleider Elektronica I", collegediktaat nr. 5516, Technische Hogeschool Eindhoven, 1984.
- [5] P.R. Gray, R.G. Meyer, "Analyses and Design of Analog Integrated Circuits", John Wiley and Sons, New York, 1977.
- [6] B.Y. Kamath, R.G. Meyer, P.R. Gray, "Relationship Between Frequency Response and Settling Time of Operational Amplifiers", Solid-State Circuits, Volume SC-9, No. 6, p. 347-353, december 1974.
- [7] E. Blitz, "Design Manual Bipolar IC's", volume 1, Philips Nijmegen, 1986.
- [8] R. van de Wal, "Analog Cell-Based Array", Philips Nijmegen, 1985.