

MASTER

Een fasemeter met digitale uitlezing voor 10 MHz

van Zanten, J.

Award date:
1975

[Link to publication](#)

Disclaimer

This document contains a student thesis (bachelor's or master's), as authored by a student at Eindhoven University of Technology. Student theses are made available in the TU/e repository upon obtaining the required degree. The grade received is not published on the document as presented in the repository. The required complexity or quality of research of student theses may vary by program, and the required minimum study period may vary in duration.

General rights

Copyright and moral rights for the publications made accessible in the public portal are retained by the authors and/or other copyright owners and it is a condition of accessing publications that users recognise and abide by the legal requirements associated with these rights.

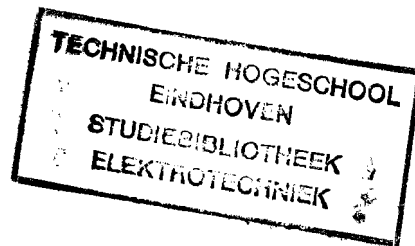
- Users may download and print one copy of any publication from the public portal for the purpose of private study or research.
- You may not further distribute the material or use it for any profit-making activity or commercial gain

K. BREUKERS

AFDELING DER ELEKTROTECHNIEK
TECHNISCHE HOGESCHOOL EINDHOVEN
EINDHOVEN
GROEP ELECTRONICA EEB

Een fasemeter met digitale
uitlezing voor 10 MHz

J. van Zanten



Verslag van een afstudeerwerk verricht
in opdracht van Prof. Dr. J. J. Zaalberg van Zelst
onder leiding van
Ir. K. Breukers en Ir. J. A. W. Faatz
augustus 1975

INHOUD

	Blz.
1. <u>Summary / Samenvatting</u>	1.
2. <u>Inleiding</u>	2
3. <u>De fasemeting</u>	
3.1. De digitale fasemeting	4
3.1.1. De fase-pulsvormer	10
3.1.2. De +/- indicatie	12
3.1.3. Frequentiedeler en schakeling voor reset en start puls p_{rs}	18
3.1.4. 100 pulsen p schakeling en clockpuls G1	18
3.1.5. Poort Z	24
3.1.6. Besturing van de teller	26
3.1.7. Fasedetector	37
3.1.8. De teller	40
3.1.9. Stand van de teller $ \phi_1 - \phi_2 \leq 0,003^\circ$	45
3.1.10. Geheugen 1 (G1)	48
3.1.11. Geheugen 2 (G2)	52
3.1.12. Clockpulsgenerator voor G 2 met LED-indicatie	52
3.1.13. De display	58
3.1.14. Mogelijkheid voor uitlezing van de halve fasehoek	58
3.2. De analoge fasemeting	64
4. <u>Componenten van de 10 MHz P.L.L.</u>	
4.1. F.D.1. met L.D.F. en VCXO	66
4.2. De referentiefrequenties	66
4.3. Bandfilter met limiter	66

Inhoud (vervolg)	Blz.
5. <u>Bouwbeschrijving</u>	
5.1. Inleiding	67
5.2. De printen van de digitale fasemeter	67
5.3. De aansluitingen van de display's	73
5.4. De print van de analoge fasemeter	73
5.5. De frontplaat	76
6. <u>Suggesties voor uitbreiding van de fasemeter</u>	
6.1. 1 x puls p meting	77
6.2. Nauwkeuriger metingen in de buurt van faseverschillen van 180°	78
7. Literatuurlijst	

1. Summary

In this report a circuit is described that measures the phase-difference between two 10 MHz signals.

For this circuit there has been used a Phase Locked Loop system to change the frequency of the two 10 MHz signals into 5 kHz with keeping one and the same phase-information.

At the frequency of 5 kHz the phase-measuring of "clean" T.T.L. signals with a duty cycle of 50 % happens with a resolving power and an accuracy of $0,1^{\circ}$.

The average phase-difference is taken when the signals at the input have phase-jitter. This is due to the integrating operation of the phasedetector.

There will be done a complete measurement 20 times every second. With a changeable frequency of 0,1 Hz to 10 Hz a reading is given to the displays.

1. Samenvatting

In dit verslag wordt de schakeling beschreven welke het faseverschil meet tussen twee signalen met een frequentie van 10 MHz.

In deze schakeling wordt gebruik gemaakt van een Phase Locked Loop om de frequentie van 10 MHz met behoud van fase-informatie om te zetten naar 5 kHz.

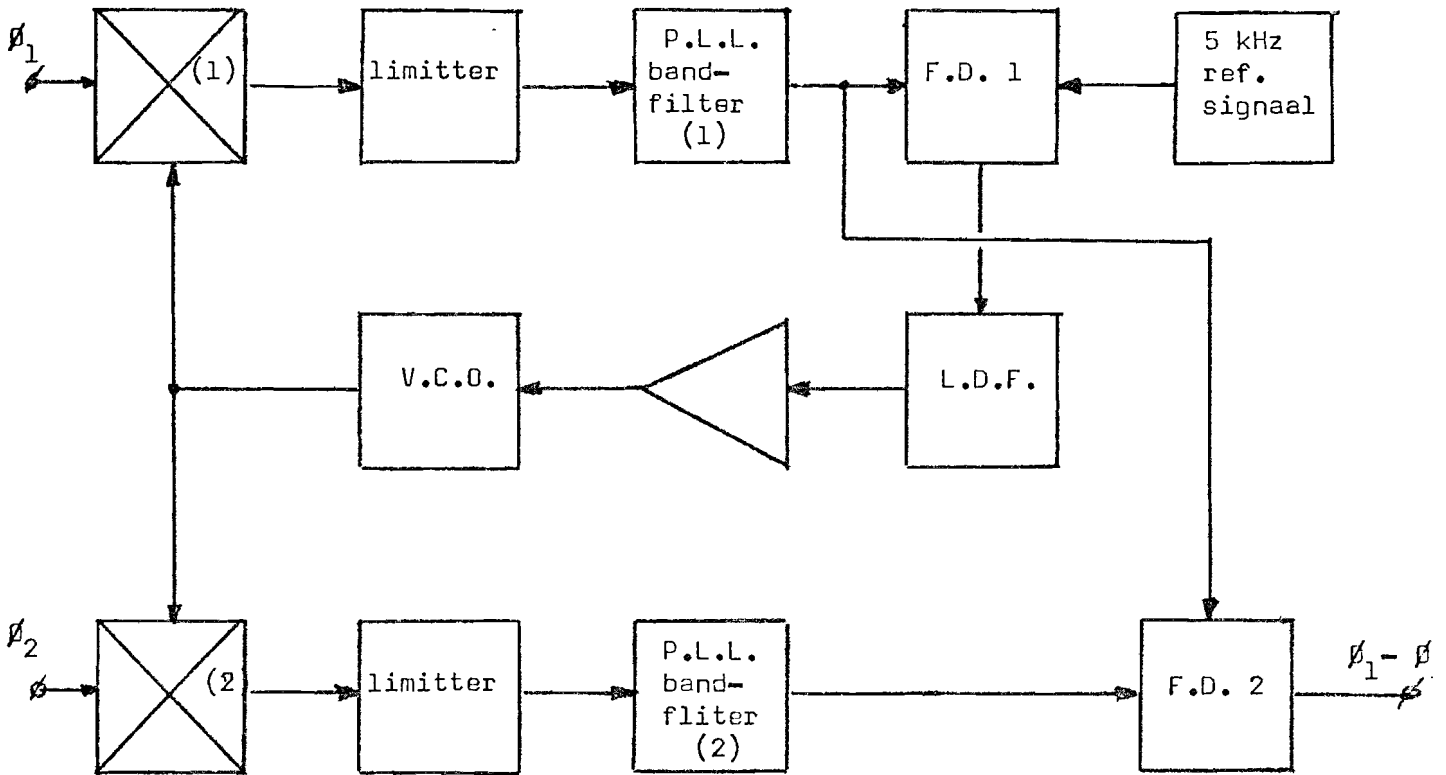
Voor deze frequentie geschiedt de fasemeting bij "schone" T.T.L. signalen met een duty cycle van 50 % met een oplossend vermogen en een nauwkeurigheid van $0,1^{\circ}$.

Mogelijke fase-jitter aan de ingang wordt door de integrerende werking van de fasemeter uitgemiddeld.

Er wordt 20 maal per seconde een complete meting verricht. Deze gegevens zijn tevens beschikbaar om met de computer te worden verwerkt. Verder wordt met een regelbare frequentie van 0,1 tot 10 Hz een uitlezing weergegeven via digitale display's.

2. Inleiding

Faseverschillen tussen twee signalen met hoge frequentie kunnen worden gemeten met een schakeling volgens figuur 2-1, waarin het principe van een Phase Locked Loop (PLL)-systeem is toegepast.



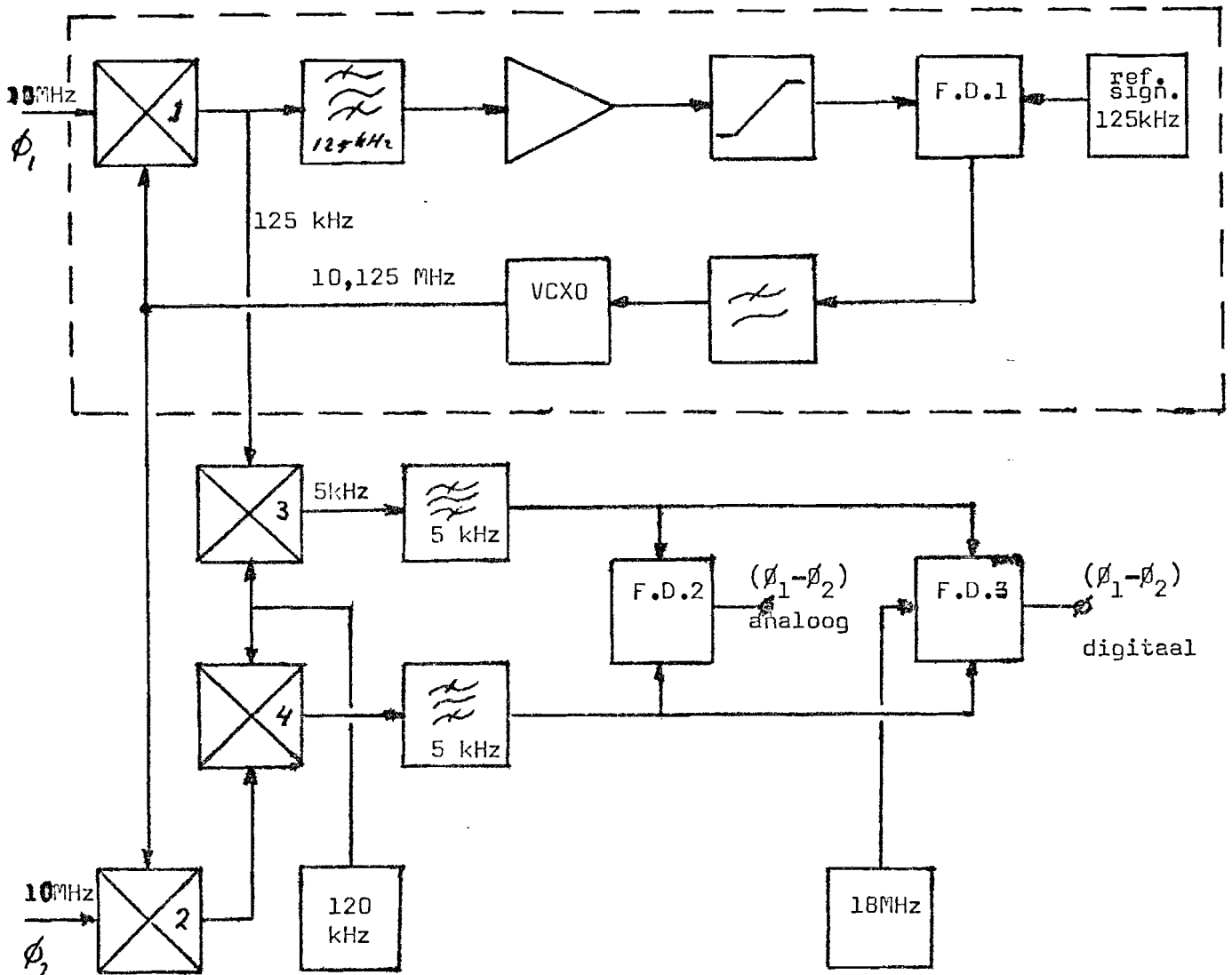
figuur 2-1

Zoals omschreven door M.M.J.engels [1] is de frequentie aangeboden aan de fasedetectoren 5 kHz.

Door J.B.A. van der Hoofden [2] is ten behoeve van de amplitudemeting reeds een PLL-systeem ontwikkeld. Deze PLL werkt met een middenfrequentie van 100kHz en bij een 9MHz ingangssignaal van - 10 dBm tot - 55 dBm. Het systeem werkt ook nog bij een slechte signaal-ruisverhouding. De fasemeting dient met dit systeem te worden gecombineerd.

Om praktische redenen is de frequentie van ingangssignaal 10 MHz en de middenfrequentie van het PLL-systeem 125 kHz gekozen.

We krijgen nu de volgende schakeling:



figuur 2-2

In figuur 2-2 komen de twee signalen met een frequentie van elk 10,0 MHz binnen in de mixers 1 en 2.

Het omlinjnde gedeelte bevat de P.L.L. zoals geconstrueerd door J.B.A. van der Hoofden [2], welke de 10,0 MHz naar 125 kHz (en 20,125 MHz) brengt. De signalen uit mixers 1 en 2 worden in mixer 3 respectievelijk 4 gemengd met 120 kHz en daarna gefilterd, zodat alleen de 5 kHz component doorkomt. Deze twee 5 kHz signalen (uit mixer 3 en 4) worden aangeboden aan de fase detectors 2 en 3 die het faseverschil meten en analoog respectievelijk digitaal uitlezen.

3. DE FASEMETING

3.1. De digitale fasemeting

De digitale fasemeter welke M.M.J.Engels ontworpen heeft, voerde na het startcommando (p_{rs}) één meting uit van het faseverschil tussen twee blokvormige T.T.L. signalen v_1 en v_2 . Het resultaat werd uitgelezen op een display.

De aangeboden T.T.L. signalen v_1 en v_2 bevatten echter fase-jitter. Door meerdere metingen achter elkaar te verrichten, kan deze fase-jitter uitgemiddeld worden.

De uitlezing wordt hierdoor juister.

Het systeem wat M.M.J.Engels heeft toegepast is niet geschikt voor uitmiddeling van faseverschillen $\delta\theta$ in de buurt van 0° . Dit zal met behulp van figuur 3-1, blz.5 worden toegelicht.

Wanneer de start en reset schakeling een puls p_{rs} genereert, wordt de teller gereset en zal op de eerste hierna volgende puls p_1 v_3 hoog worden. De eerste daarna komende puls p_2 zal v_3 weer laag maken.

Gedurende de tijd dat v_3 hoog is zal het 18 MHz- signaal aan de teller toegevoerd worden (v_4).

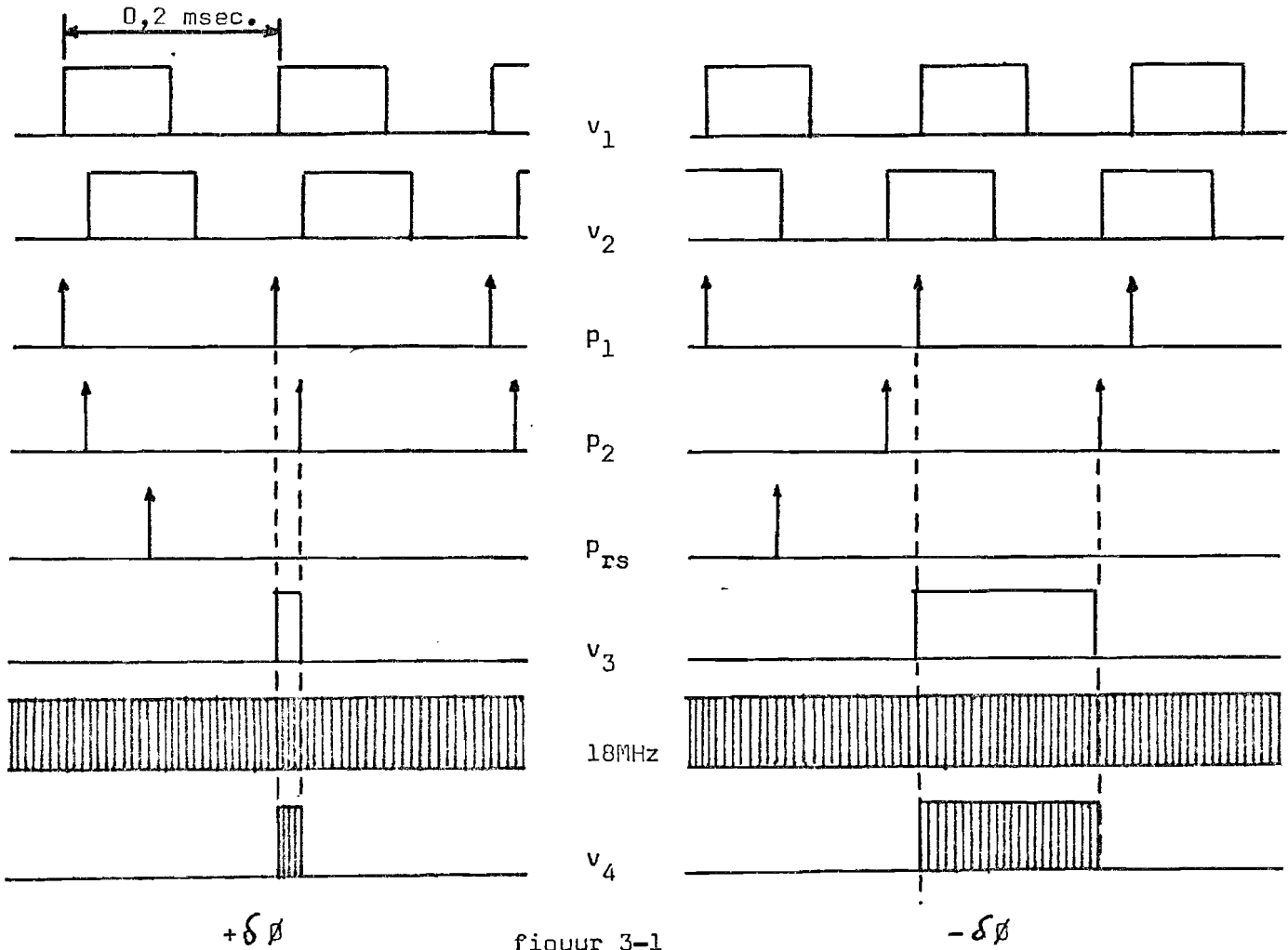
v_1 en v_2 hebben een frequentie van 5 kHz. Daar 18 MHz precies $3600 \times$ zo hoog is, is gemakkelijk in te zien dat de teller 0 tot 3600 pulsen van het 18 MHz-signaal te tellen krijgt, naarmate het faseverschil $\theta_1 - \theta_2$, 0 tot 360 graden is.

Stel nu dat door fase-jitter het faseverschil $\theta_1 - \theta_2$ varieert van $-0,1^\circ$ tot $+0,1^\circ$ en we gaan over deze twee metingen middelen:

bij $-0,1^\circ$ krijgen we 3599 pulsen

bij $+0,1^\circ$ krijgen we 1 puls

Het gemiddelde hiervan is $\frac{3599 + 1}{2} = 1800$ pulsen, wat overeenkomt met een faseverschil van $180,0$ graden.



figuur 3-1

Er is nu een systeem ontwikkeld wat bij positief faseverschil evenveel pulsen afgeeft als bij negatief faseverschil en dat deze pulsen bij het uitmiddelen over meerdere metingen bij elkaar optelt of van elkaar aftrekt al naar gelang het teken (+ of -) van het faseverschil.

Van de fasemeter wordt geeist: een oplossend vermogen van $0,1^\circ$ en minstens 10 x per seconde een complete meting met uitlezing, d.w.z. per meting is beschikbaar 100 msec. maximaal.

De aangeboden signalen hebben een frequentie van 5 kHz (0,2 msec.).

Om praktische redenen is gekozen voor een uitmiding over 100 metingen. De benodigde tijd is dan: $100 \times 0,2 \text{ msec.} = 20 \text{ msec.}$

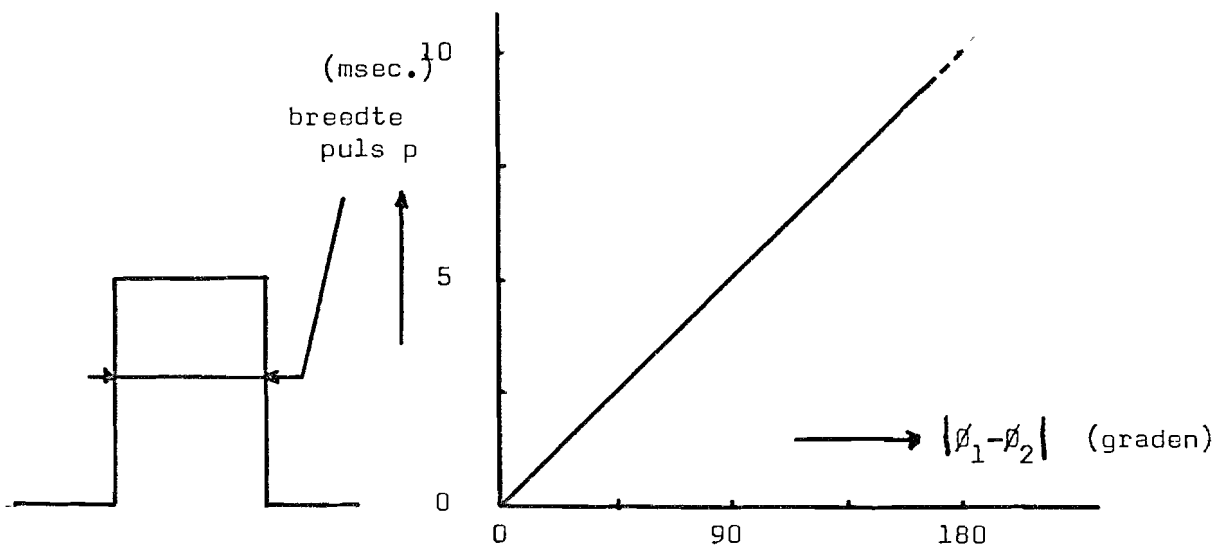
Per seconde worden nu 20 metingen uitgevoerd hetgeen neer komt op 50 msec. per meting. Met betrekking tot de fase-jitter zal de uitlezing $\sqrt{100} = 10 \times$ beter worden.

De metingen welke 20 x per sec. plaats vinden kunnen met de computer via een uitvoer (BCD) verwerkt worden.

Tevens is er een uitvoer naar de display waar het faseverschil uitgelezen kan worden. De herhalingsfrequentie van deze uitlezingen is instelbaar van 10 x per sec. tot 1 x per 10 sec.

Het blokschema van dit systeem wordt weergegeven door figuur 3-3 op bladzijde 7.

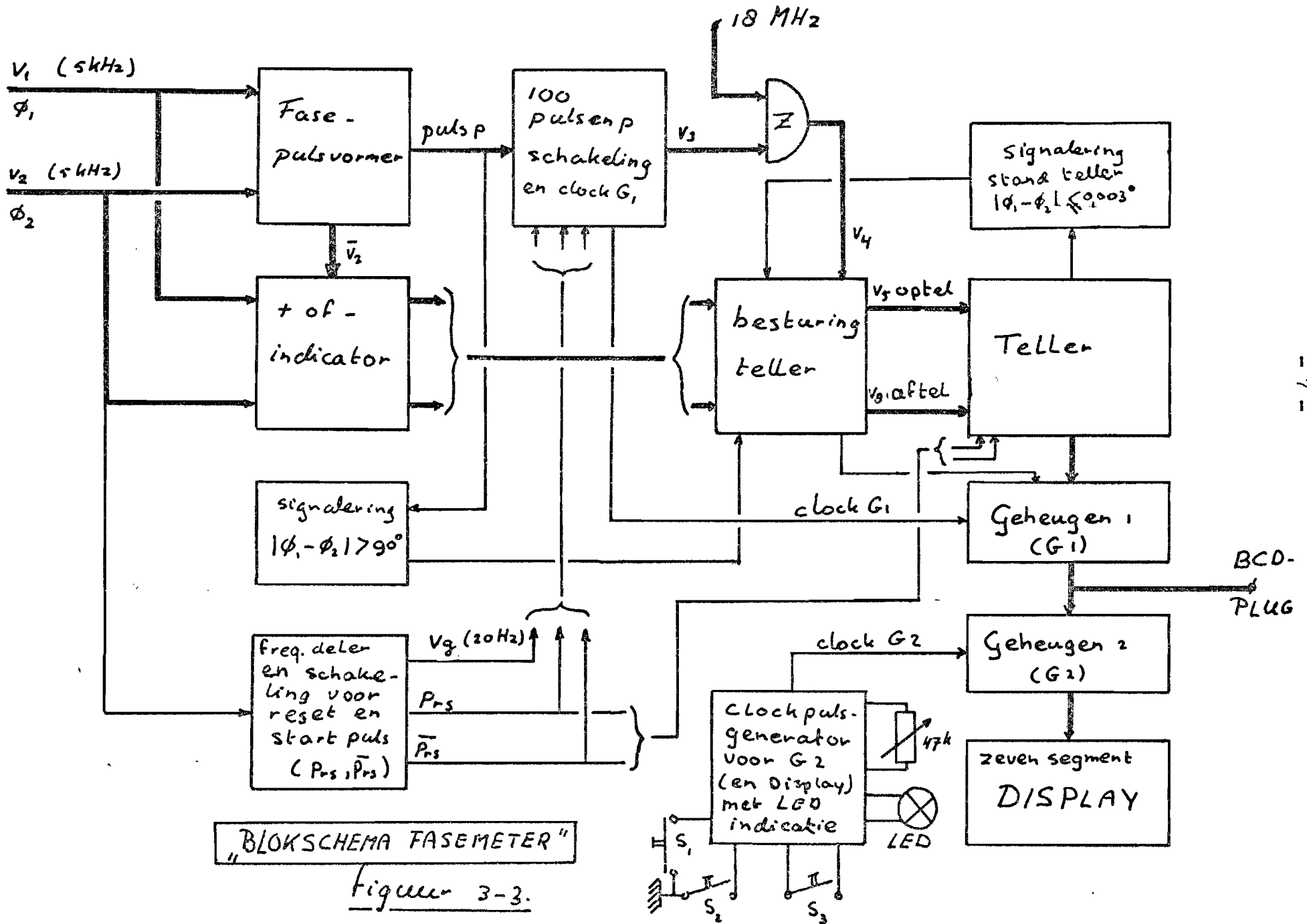
De werking hiervan kunnen we verklaren aan de hand van figuur 3-4, bladzijde 8. V_1 en v_2 worden toegevoerd aan de fasepulsvormer. De output van deze fasepulsvormer, puls p ($= v_1 \cdot \bar{v}_2$), heeft een pulsbreedte welke evenredig is met de absolute waarde van het faseverschil $|\phi_1 - \phi_2|$; zie figuur 3-2.



figuur 3-2

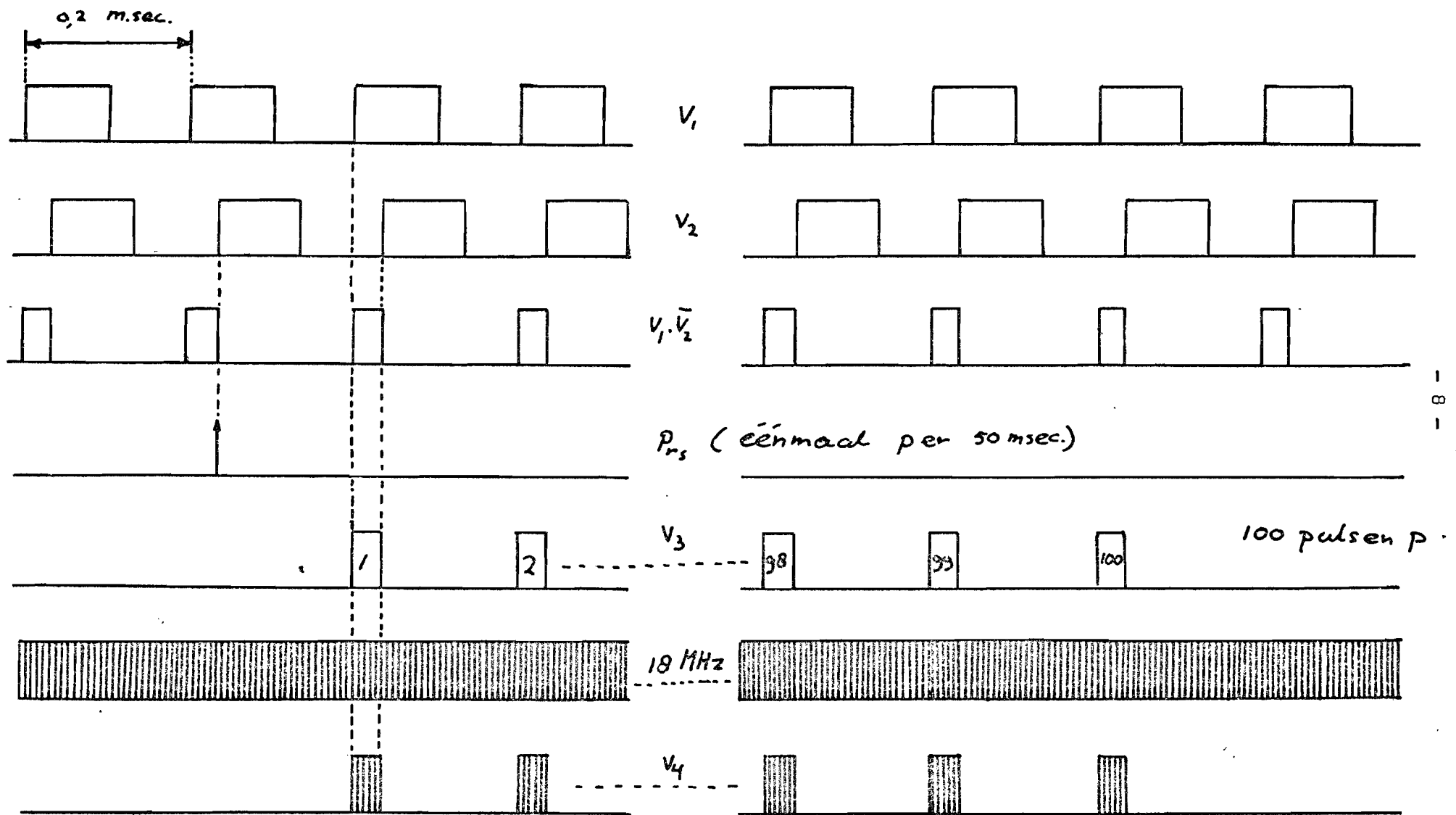
Na een reset-start puls (p_{rs}), worden 100 pulsen p (v_3) toegevoerd aan een poort. Op de andere ingang van deze poort staat een 18 MHz signaal en de output v_4 gaat via de besturing van de teller naar de teller. Deze laatste geeft een uitlezing van het faseverschil van $-180^\circ < (\phi_1 - \phi_2) < +180^\circ$.

Het teken (positief of negatief) van het faseverschil wordt bepaald door v_1 te vergelijken met v_2 en \bar{v}_2 . Dit gebeurt m.b.v. de +/- indicator die in 3.1.2. wordt behandeld.



"BLOKSCHEMA FASEMETER"

figuur 3-3.



figuur 3-4

Als v_1 voorijlt t.o.v. v_2 dan noemen we het faseverschil positief, ijlt v_1 na dan negatief.

Mocht tijdens het meten de fasehoek van $+\delta\phi$ naar $-\delta\phi$ gaan, dan zal de teller ook telpulsen aftrekken en indien nodig wordt het teken van de uitlezing gecorrigeerd.

Bij faseverschillen $(\phi_1 - \phi_2)$ in de buurt van 180° kan het gebeuren dat fase-jitter in de signalen v_1 en v_2 de uitmiddeling van meerdere metingen fout doet verlopen.

Aan de hand van het volgende voorbeeld wordt dit nader toegelicht:

$$\begin{aligned} 1^{\text{e}} \text{ meting} \quad \phi_1 - \phi_2 &= +180^\circ - \delta\psi \\ 2^{\text{e}} \text{ meting} \quad \phi_1 - \phi_2 &= +180^\circ + \delta\psi ; \text{ dit zal echter} \\ &\text{aangegeven worden als het faseverschil } -(180^\circ - \delta\psi) \end{aligned}$$

gemiddelde over deze twee metingen:

$$(\phi_1 - \phi_2)_{\text{gem.}} = \frac{180 - \delta\psi - (180 - \delta\psi)}{2} = 0^\circ$$

In het apparaat is dan ook een voorziening aangebracht om deze foutieve aflezing in de buurt van 180° te voorkomen. Deze bestaat uit het niet meedoen van het - teken van het faseverschil $-(180 - \delta\psi)$.

Bij fase-jitter zal nu in de buurt van 180° toch een afwijking van de werkelijke fasehoek optreden. Dit blijkt uit de volgende toelichting:

$$\begin{aligned} 1^{\text{e}} \text{ meting} \quad \phi_1 - \phi_2 &= +180^\circ - \delta\psi \\ 2^{\text{e}} \text{ meting} \quad \phi_1 - \phi_2 &= +180^\circ + \delta\psi = (180 - \delta\psi) \\ &\text{(nu zonder -)} \end{aligned}$$

gemiddelde over deze twee metingen:

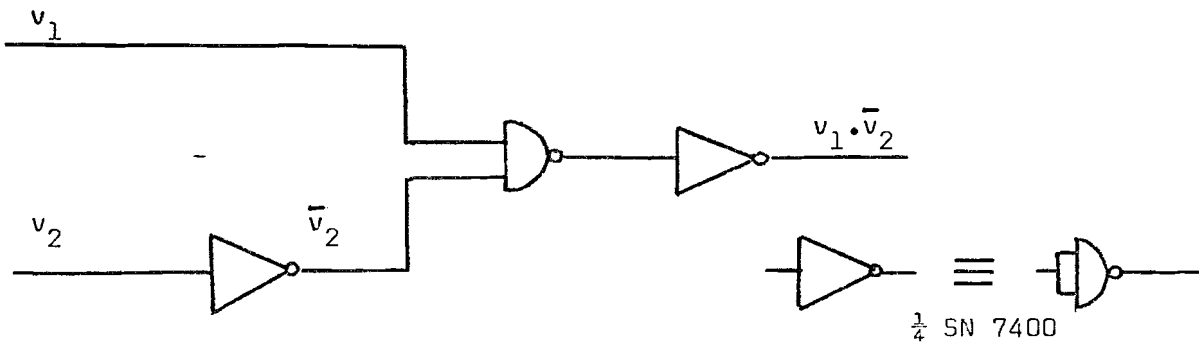
$$(\phi_1 - \phi_2)_{\text{gem.}} = \frac{180 - \delta\psi + (180 - \delta\psi)}{2} = 180^\circ - \delta\psi$$

We hadden voor het gemiddelde 180° mogen verwachten. Voor dit voorbeeld is de afwijking $\delta\psi$.

-Bij fase-jitter zal de aflezing in de buurt van 180° minder nauwkeurig zijn ! -

3.1.1. De fase-pulsvormer

Zoals vermeld in 3.1. maakt de fasepulsvormer van de signalen v_1 en v_2 een puls $v_1 \cdot \bar{v}_2$. Daar de signalen v_1 en v_2 het T.T.L.-niveau hebben, kan dit gebeuren met behulp van logische schakelingen. Zoals afgebeeld in figuur 3-5 gaat dit met één poort en twee inverters.



figuur 3-5

Om de faseverschillen zo goed mogelijk te kunnen meten is het noodzakelijk om te zorgen dat de signalen v_1 en \bar{v}_2 met eenzelfde of praktisch eenzelfde vertraging bij de poort aankomen. In onderstaande tabel wordt een tweetal T.T.L. circuits met elkaar vergeleken:

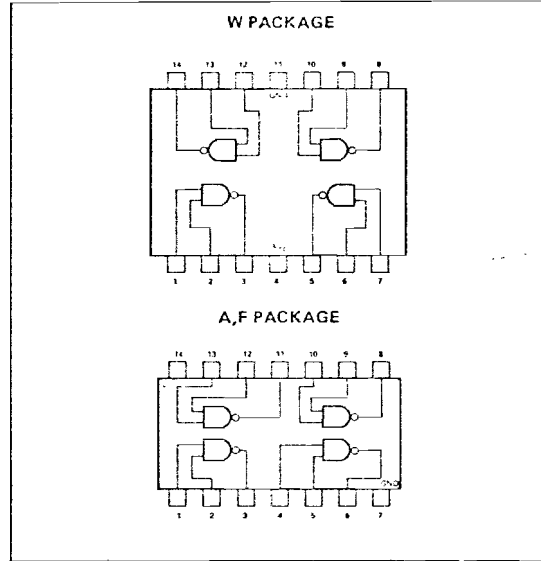
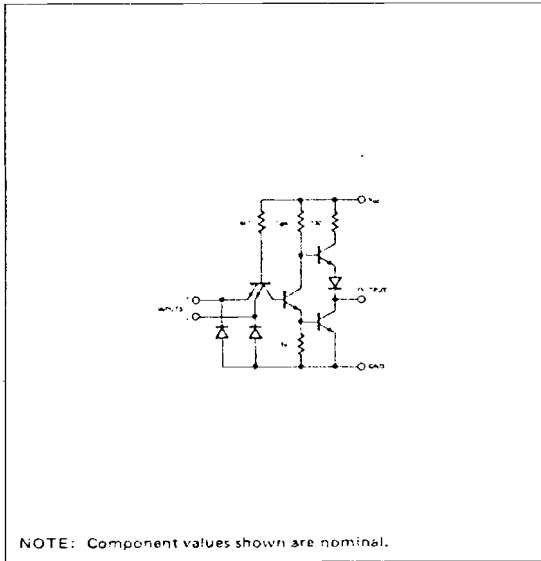
type	vertraging in nseconden			
	stijgende flank		dalende flank	
	normaal	ongunstigst	normaal	ongunstigst
SN 7400	11	22	7	15
SN 74S00	3	4,5	3	5

Uit de tabel blijkt dat het beste een "snelle" SN 74S00 kan worden genomen, maar ook dan wordt er een fasefout geïntroduceerd. We kunnen de grootte van deze fout berekenen. Zoals vermeldt in 3.1. wordt het signaal v_3 , dit zijn 100 pulsen $v_1 \cdot \bar{v}_2$, samen met 18 MHz toegevoerd aan een poort. De output van deze poort gaat naar de teller. In het ongunstigste geval wordt er in $v_1 \cdot \bar{v}_2$ een fout gemaakt van 5 nsec.. Daar de pulsbreedte van het 5 kHz-sig-naal 0,2 msec. is, betekent dit $\frac{5 \times 10^{-9}}{2 \times 10^{-4}} \times 360^\circ = 0,009^\circ$.

S5400-A,F,W • N7400-A,F

DIGITAL 54/74 TTL SERIES

(each gate)



RECOMMENDED OPERATING CONDITIONS

	MIN	NOM	MAX	UNIT
Supply Voltage V_{CC} : S5400 Circuits	4.5	5	5.5	V
N7400 Circuits	4.75	5	5.25	V
Normalized Fan-Out from each Output, N			10	
Operating Free-Air Temperature Range, T_A : S5400 Circuits	-55	25	125	$^{\circ}$ C
N7400 Circuits	0	25	70	$^{\circ}$ C

RECOMMENDED OPERATING CONDITIONS

(over recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS*	MIN	TYP**	MAX	UNIT	
$V_{in(1)}$	Logical 1 input voltage required at both input terminals to ensure logical 0 level at output	$V_{CC} = \text{MIN}$		2	V	
$V_{in(0)}$	Logical 0 input voltage required at either input terminal to ensure logical 1 level at output	$V_{CC} = \text{MIN}$		0.8	V	
$V_{out(1)}$	Logical 1 output voltage	$V_{CC} = \text{MIN}$, $I_{load} = -400\mu\text{A}$	$V_{in} = 0.8\text{V}$	2.4	3.3	V
$V_{out(0)}$	Logical 0 output voltage	$V_{CC} = \text{MIN}$, $I_{sink} = 16\text{mA}$	$V_{in} = 2\text{V}$	0.22	0.4	V
$I_{in(0)}$	Logical 0 level input current (each input)	$V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$		-1.6	mA	
$I_{in(1)}$	Logical 1 level input current (each input)	$V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$		40	μA	
I_{OS}	Short circuit output current†	$V_{CC} = \text{MAX}$		S5400 -20 N7400 -18	-55 -55 mA	

PARAMETER	TEST CONDITIONS*	MIN	TYP**	MAX	UNIT	
$I_{CC(0)}$	Logical 0 level supply current	$V_{CC} = \text{MAX}$, $V_{in} = 5\text{V}$		12	22	mA
$I_{CC(1)}$	Logical 1 level supply current	$V_{CC} = \text{MAX}$, $V_{in} = 0$		4	8	mA

$V_{CC} = 5\text{V}$, $T_A = 25^{\circ}\text{C}$, $N = 10$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
$t_{pd(0)}$	Propagation delay time to logical 0 level	$C_L = 15\text{pF}$, $R_L = 400\Omega$		7	15	ns
$t_{pd(1)}$	Propagation delay time to logical 1 level	$C_L = 15\text{pF}$, $R_L = 400\Omega$		11	22	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type

** All typical values are at $V_{CC} = 5\text{V}$, $T_A = 25^{\circ}\text{C}$

† Not more than one output should be shorted at a time.

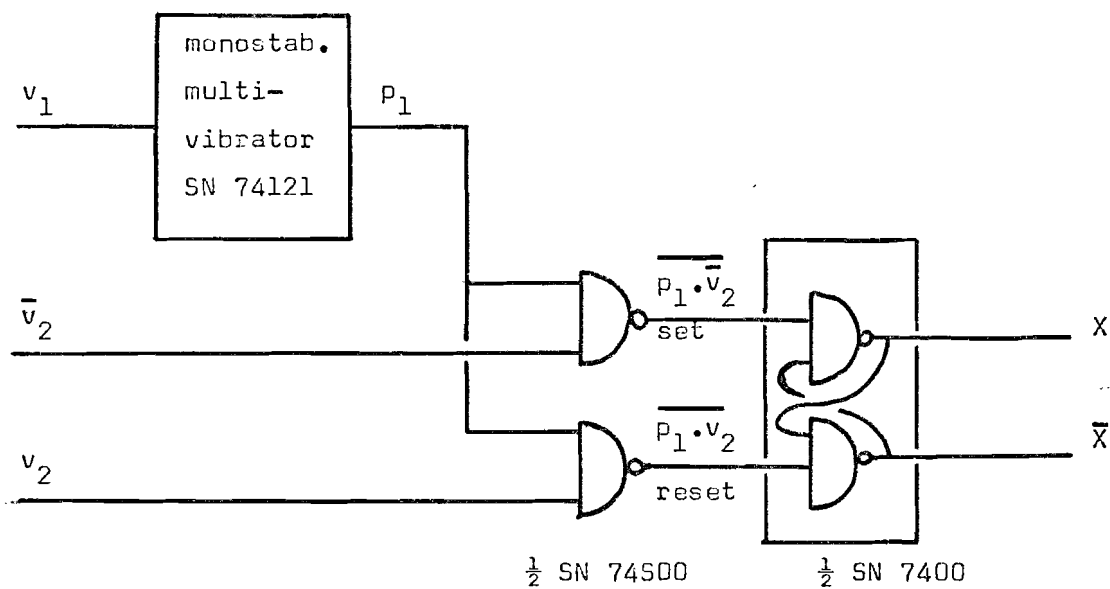
3.1.2. De +/- indicatie

Voor de +/- indicatie wordt gebruik gemaakt van een monostabiele multivibrator, de SN 74121, die op positieve flanken van v_1 een puls p_1 van minimaal 30 nsec. afgeeft (zie fig. 3-6 en fig. 3-7).

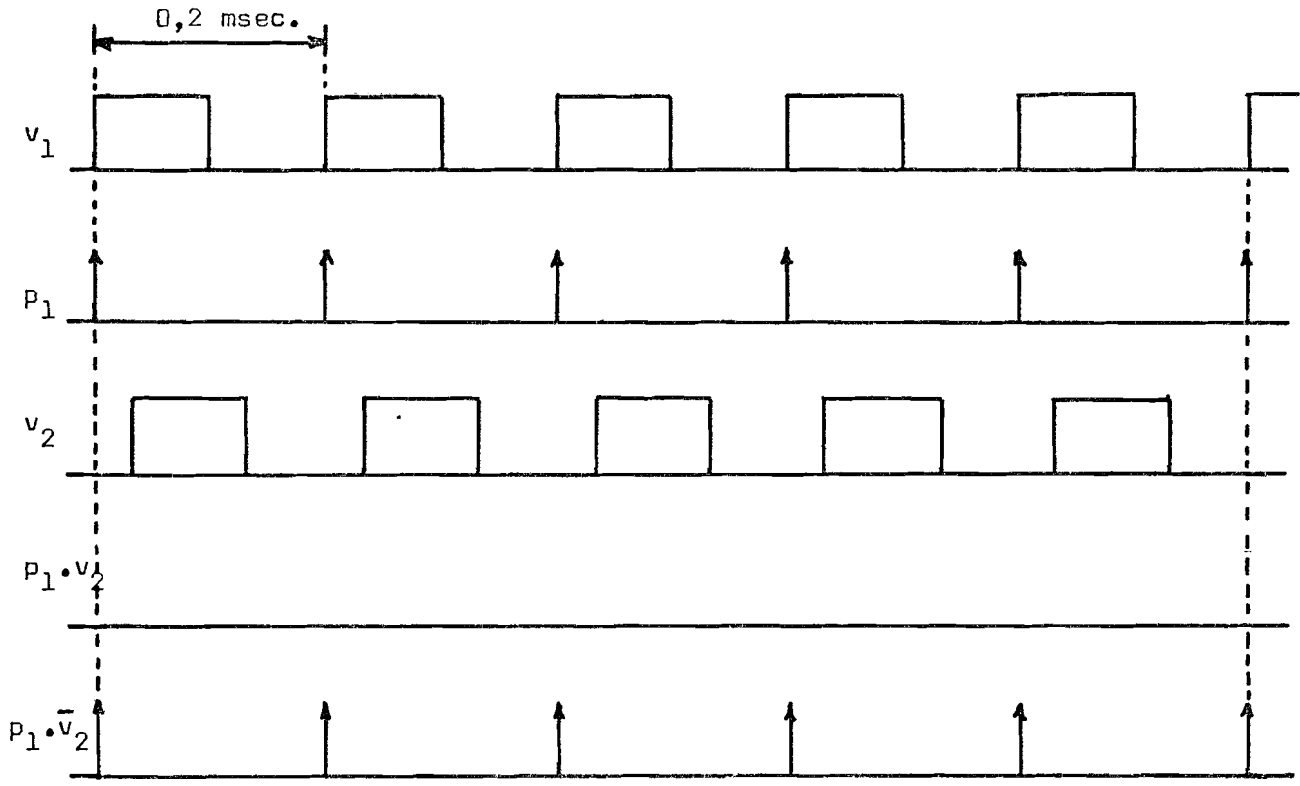
p_1 wordt samen met v_2 en samen met \bar{v}_2 toegevoerd aan een poort. Een output-puls $\overline{p_1 \cdot v_2}$ van de ene poort "set" de flip-flop en maakt X hoog.

Een output-puls $\overline{p_1 \cdot \bar{v}_2}$ van de andere poort "reset" de flip-flop en \bar{X} wordt hoog.

Indien X hoog is, noemen we het faseverschil tussen v_1 en v_2 positief, anders negatief.

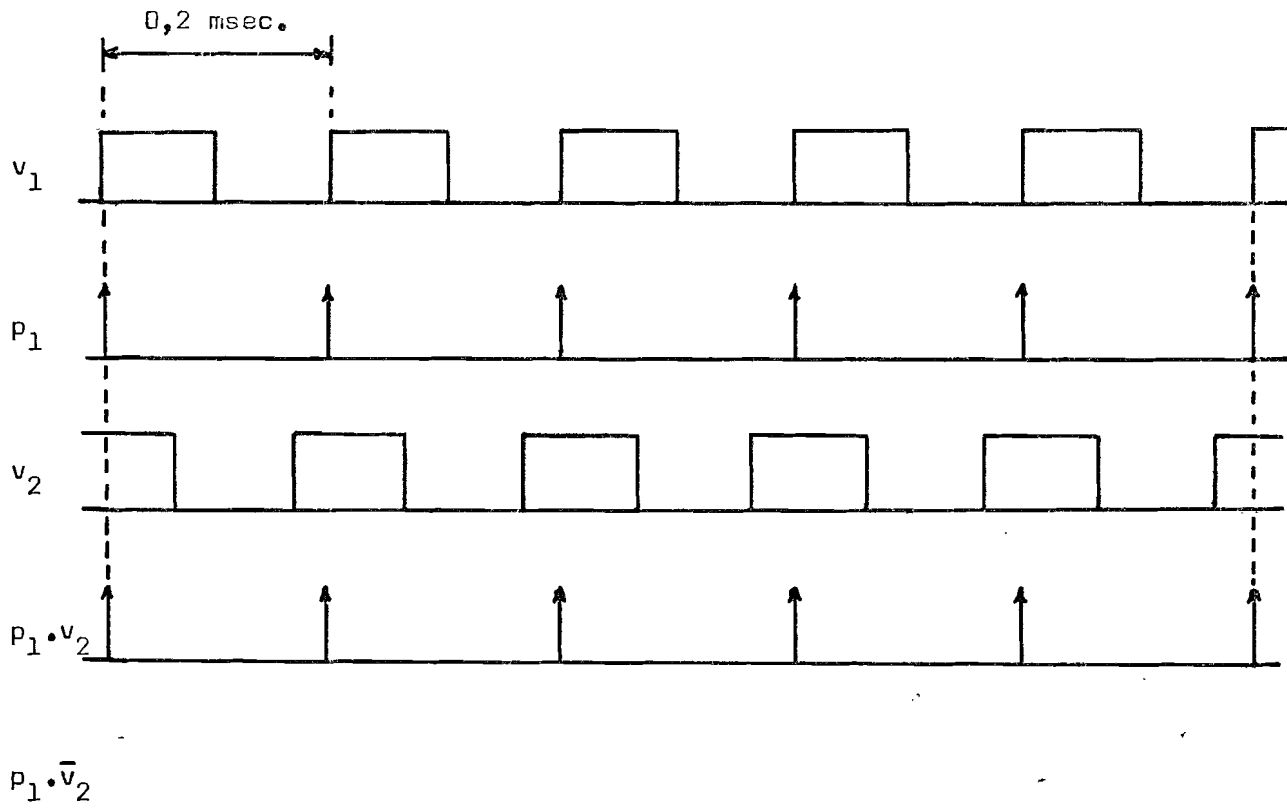


figuur 3-6



FASEVERSCHIL POSITIEF X hoog.

figuur 3-7 a



FASEVERSCHIL NEGATIEF X hoog.

figuur 3-7 b

Signatronics

N74121 S54121

N74121/S54121 A, F, W

DIGITAL 54/74 TTL SERIES

This monolithic TTL monostable multivibrator features d-c triggering from positive or gated negative-going inputs with inhibit facility. Both positive and negative-going output pulses are provided with full fan-out to 10 normalized loads.

Pulse triggering occurs at a particular voltage level and is not directly related to the transition time of the input pulse. Schmitt-trigger input circuitry for the B input allows jitter-free triggering from inputs with transition times as slow as 1 volt/second, providing the circuit with an excellent noise immunity of typically 1.2 volts. A high immunity to V_{CC} noise of typically 1.5 volts is also provided by internal latching circuitry.

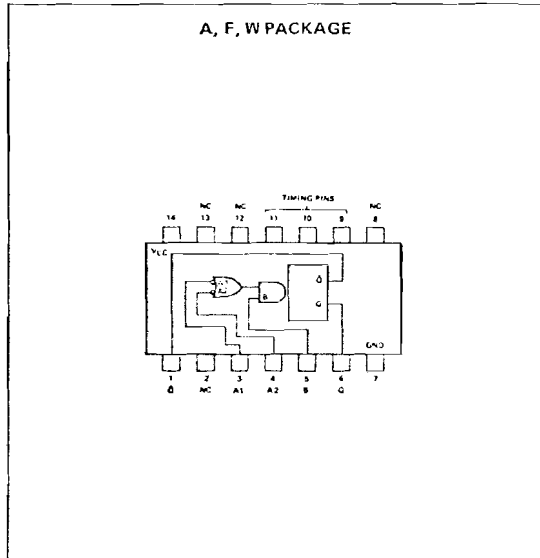
Once fired, the outputs are independent of further transitions on the inputs and are a function only of the timing components. Input pulses may be of any duration relative to the output pulse. Output pulse lengths may be varied from 40 nanoseconds to 40 seconds by choosing appropriate timing components. With no external timing components (i.e., pin (9) connected to pin (14), pins (10), (11) open) an output pulse of typically 30 nanoseconds is achieved which may be used as a dc triggered reset signal. Output rise and fall times are TTL compatible and independent of pulse length.

Pulse width is achieved through internal compensation and is virtually independent of V_{CC} and temperature. In most applications, pulse stability will only be limited by the accuracy of external timing components.

Jitter-free operation is maintained over the full temperature and V_{CC} range for more than six decades of timing capacitance (10 pF to 10 μ F) and more than one decade of timing resistance (2k Ω to 40k Ω). Throughout these ranges, pulse width is defined by the relationship $t_{pout} = C_T R_T \log_e 2$.

Circuit performance is achieved with a nominal power dissipation of 90 milliwatts at 5 volts (50% duty cycle) and a quiescent dissipation of typically 65 milliwatts.

Duty cycles as high as 90% are achieved when using $R_T = 40k\Omega$. Higher duty cycles are achievable if a certain amount of pulse-width jitter is allowed.



t_n INPUT			t_{n+1} INPUT			OUTPUT
A1	A2	B	A1	A2	B	
1	1	0	1	1	1	Inhibit
0	X	1	0	X	0	Inhibit
X	0	1	X	0	0	Inhibit
0	X	0	0	X	1	One Shot
X	0	0	X	0	1	One Shot
1	1	1	X	0	1	One Shot
1	1	1	0	X	1	One Shot
X	0	0	X	1	0	Inhibit
0	X	0	1	X	0	Inhibit
X	0	1	1	1	1	Inhibit
0	X	1	1	1	1	Inhibit
1	1	0	X	0	0	Inhibit
1	1	0	0	X	0	Inhibit

1 = $V_{in(1)} \geq 2V$ 0 = $V_{in(0)} \leq 0.8V$

- A1 and A2 are negative-edge-triggered logic inputs, and will trigger the one shot when either or both go to logical 0 with B at logical 1.
- B is a positive Schmitt-trigger input for slow edges or level detection, and will trigger the one shot when B goes to logical 1 with either A1 or A2 at logical 0. (See Truth Table)
- External timing capacitor may be connected between pin (10) (positive) and pin (11). With no external capacitance, an output pulse width of 30ns is obtained typically.
- To use the internal timing resistor (2k Ω nominal), connect pin (9) to pin (14).
- To obtain variable pulse width connect external variable resistance between pin (9) and pin (14). No external current limiting is needed.
- For accurate repeatable pulse widths connect an external resistor between pin (11) and pin (14) with pin (9) open-circuit.
- t_n = time before input transition.
- t_{n+1} = time after input transition.
- x indicates that either a logical 0 or 1, may be present.

SIGNETICS MONOSTABLE MULTIVIBRATOR ■ N74121, S54121

PARAMETER	MIN	NOM	MAX	UNIT
Supply Voltage V_{CC} :				V
N74121 Circuits	4.75	5	5.25	V
Normalized Fan-Out from each Output, N			10	
Input Pulse Rise/Fall Time: Schmitt Input (B):			1	V·s
Logic Inputs (A1, A2)			1	V· μ s
Input Pulse Width	50			ns
External Timing Resistance Between Pins (11) and (14) (Pin (9) open)	1.4			k Ω
External Timing Resistance: S54121			30	k Ω
N74121			40	k Ω
Timing Capacitance	0		1000	μ F
Output Pulse Width			40	s
Duty Cycle: $R_T = 2k\Omega$			67%	
$R_T = 30k\Omega$ (S54121) or			90%	
$R_T = 40k\Omega$ (N74121)				

(over recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS *	MIN	TYP **	MAX	UNIT	
V_{T+}	Positive-going threshold voltage at A input $V_{CC} = \text{MIN}$		1.4	2	V	
V_{T-}	Negative-going threshold voltage at A input $V_{CC} = \text{MIN}$	0.8	1.4		V	
V_{T+}	Positive-going threshold voltage at B input $V_{CC} = \text{MIN}$		1.55	2	V	
V_{T-}	Negative-going threshold voltage at B input $V_{CC} = \text{MIN}$	0.8	1.35		V	
$V_{out(0)}$	Logical 0 output voltage $V_{CC} = \text{MIN}$, $I_{\text{sink}} = 16\text{mA}$		0.22	0.4	V	
$V_{out(1)}$	Logical 1 output voltage $V_{CC} = \text{MIN}$, $I_{\text{load}} = -400\mu\text{A}$	2.4	3.3		V	
$I_{in(0)}$	Logical 0 level input current at A ₁ of A ₂ $V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$		-1	-1.6	mA	
$I_{in(0)}$	Logical 0 level input current at B $V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$		-2	-3.2	mA	
$I_{in(1)}$	Logical 1 level input current at A ₁ of A ₂ $V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$		2	40	μ A	
$I_{in(1)}$	Logical 1 level input current at A ₁ of A ₂ $V_{CC} = \text{MAX}$, $V_{in} = 5.5\text{V}$		0.05	1	mA	
$I_{in(1)}$	Logical 1 level input current at B $V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$		4	80	μ A	
$I_{in(1)}$	Logical 1 level input current at B $V_{CC} = \text{MAX}$, $V_{in} = 5.5\text{V}$		0.05	1	mA	
I_{OS}	Short circuit output current at Q or \bar{Q} $V_{CC} = \text{MAX}$	S54121 N74121	-20 -18	-25 -25	-55 -55	mA
I_{CC}	Power supply current in quiescent (unfired) state $V_{CC} = \text{MAX}$		13	25	mA	
I_{CC}	Power supply current in fired state $V_{CC} = \text{MAX}$		23	40	mA	

SIGNETICS MONOSTABLE MULTIVIBRATOR ■ N74121, S54121

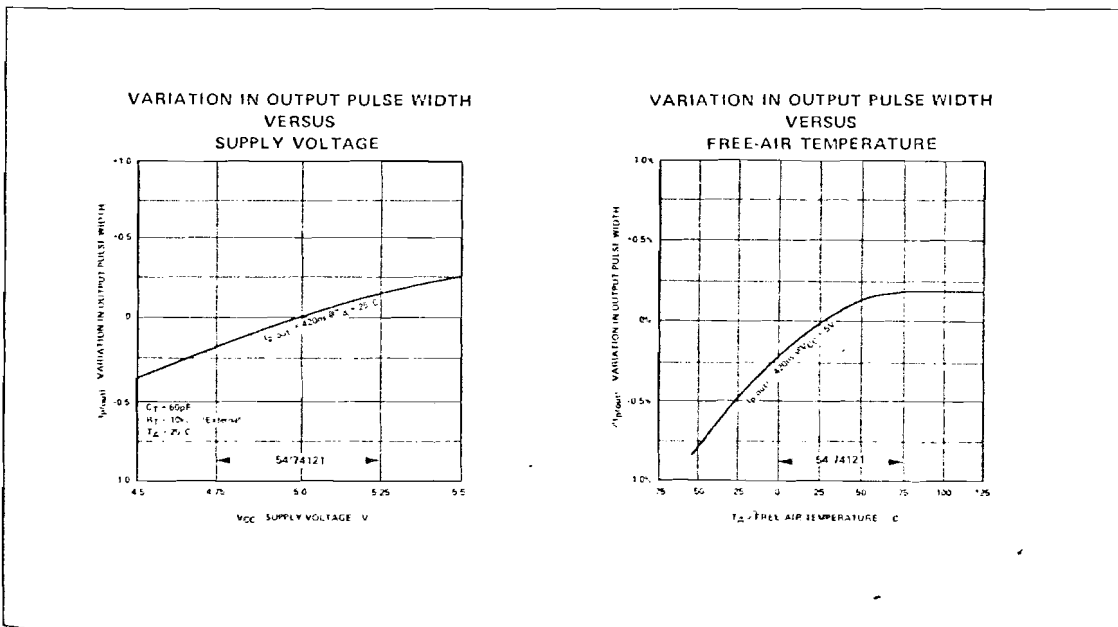
$V_{CC} = 5V, T_A = 25^\circ C$

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{pd1}	Propagation delay time to logical 1 level from B input to Q output	$C_L = 15pF,$	$C_T = 80pF$	15	35	55	ns
t_{pd1}	Propagation delay time to logical 1 level from A1/A2 inputs to Q output	$C_L = 15pF,$	$C_T = 80pF$	25	45	70	ns
t_{pd0}	Propagation delay time to logical 0 level from B input to \bar{Q} output	$C_L = 15pF,$	$C_T = 80pF$	20	40	65	ns
t_{pd0}	Propagation delay time to logical 0 level from A1/A2 inputs to \bar{Q} output	$C_L = 15pF,$	$C_T = 80pF$	30	50	80	ns
$t_{p(out)}$	Pulse width obtained using internal timing resistor	$C_L = 15pF,$ $R_T = \text{Open},$	$C_T = 80pF$ Pin ⑨ to V_{CC}	70	110	150	ns
$t_{p(out)}$	Pulse width obtained with zero timing capacitance	$C_L = 15pF,$ $R_T = \text{Open},$	$C_T = 0,$ Pin ⑨ to V_{CC}	20	30	50	ns
$t_{p(out)}$	Pulse width obtained using external timing resistor	$C_L = 15pF,$ $R_T = 10k\Omega$	$C_T = 100pF,$ Pin ⑨ Open	600	700	800	ns
$t_{p(out)}$	Pulse width obtained using external timing resistor	$C_L = 15pF,$ $R_T = 10k\Omega$	$C_T = 1\mu F,$ Pin ⑨ Open	6	7	8	ms
t_{hold}	Minimum duration of trigger pulse	$C_L = 15pF,$ $R_T = \text{Open},$	$C_T = 80pF,$ Pin ⑨ to V_{CC}		30	50	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable circuit type.

** All typical values are at $V_{CC} = 5V, T_A = 25^\circ C.$

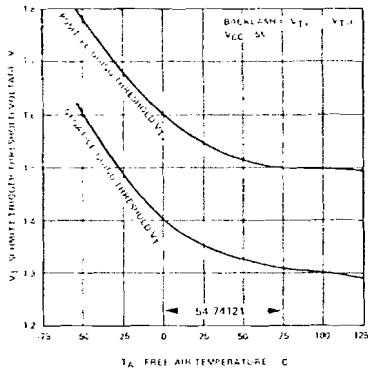
† Not more than one output should be shorted at a time.



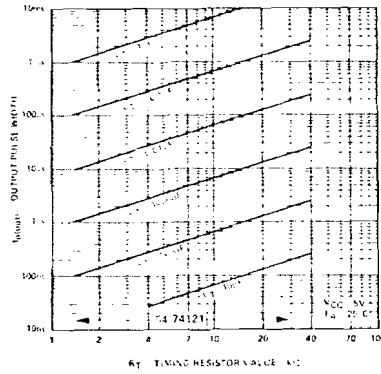
SIGNETICS MONOSTABLE MULTIVIBRATOR ■ N74121, S54121

(Cont'd)

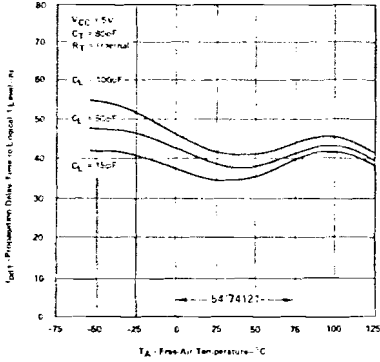
SCHMITT TRIGGER THRESHOLD VOLTAGE
VERSUS
FREE-AIR TEMPERATURE



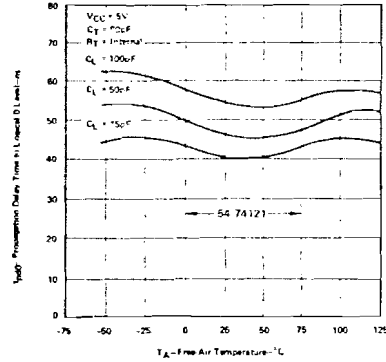
OUTPUT PULSE WIDTH
VERSUS
TIMING RESISTOR VALUE



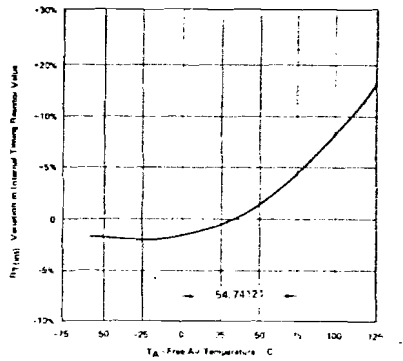
PROPAGATION DELAY TIME TO LOGICAL 1 LEVEL (B INPUT TO Q OUTPUT)
VERSUS
FREE-AIR TEMPERATURE



PROPAGATION DELAY TIME TO LOGICAL 0 LEVEL (B INPUT TO Q OUTPUT)
VERSUS
FREE-AIR TEMPERATURE



VARIATION IN INTERNAL TIMING RESISTOR VALUE
VERSUS
FREE-AIR TEMPERATURE

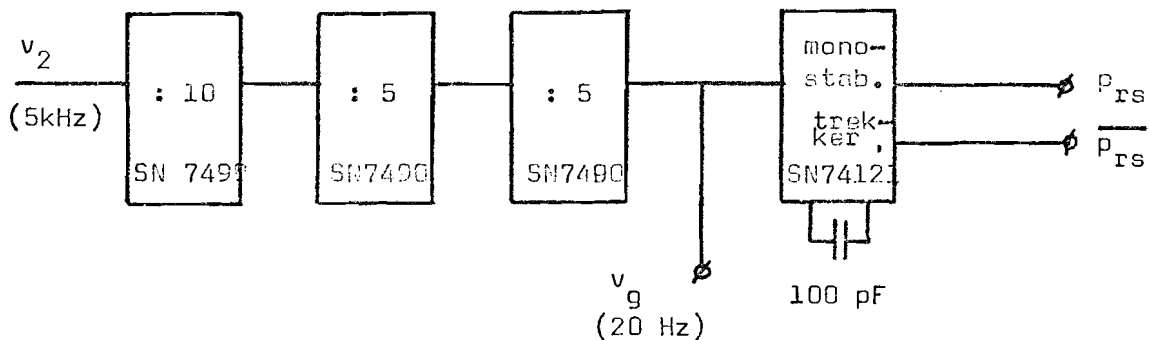


3.1.3. Frequentiedeler en schakeling voor reset en startpuls (p_{rs})

De frequentiedeler en schakeling voor p_{rs} wordt gestuurd door het ingangssignaal v_2 . Met behulp van enkele delers, type SN 7490, wordt de frequentie van v_2 gedeeld door 250, v_g .

De laatste deler stuurt vervolgens een monostabiele trekker, (SN 74121). In figuur 3-8 is aan de trekker een condensator van 100 pF aangebracht, deze condensator zorgt ervoor dat de puls p_{rs} en de puls $\overline{p_{rs}}$ een breedte hebben van 100 nsec.; zie hiervoor ook de bijlagen op blz. 13 en 14.

Elke $250 \times 0,2$ msec. treedt er nu een puls p_{rs} en puls $\overline{p_{rs}}$ op, anders gezegd de herhalingsfrequentie van p_{rs} en $\overline{p_{rs}}$ bedraagt 20 Hz.



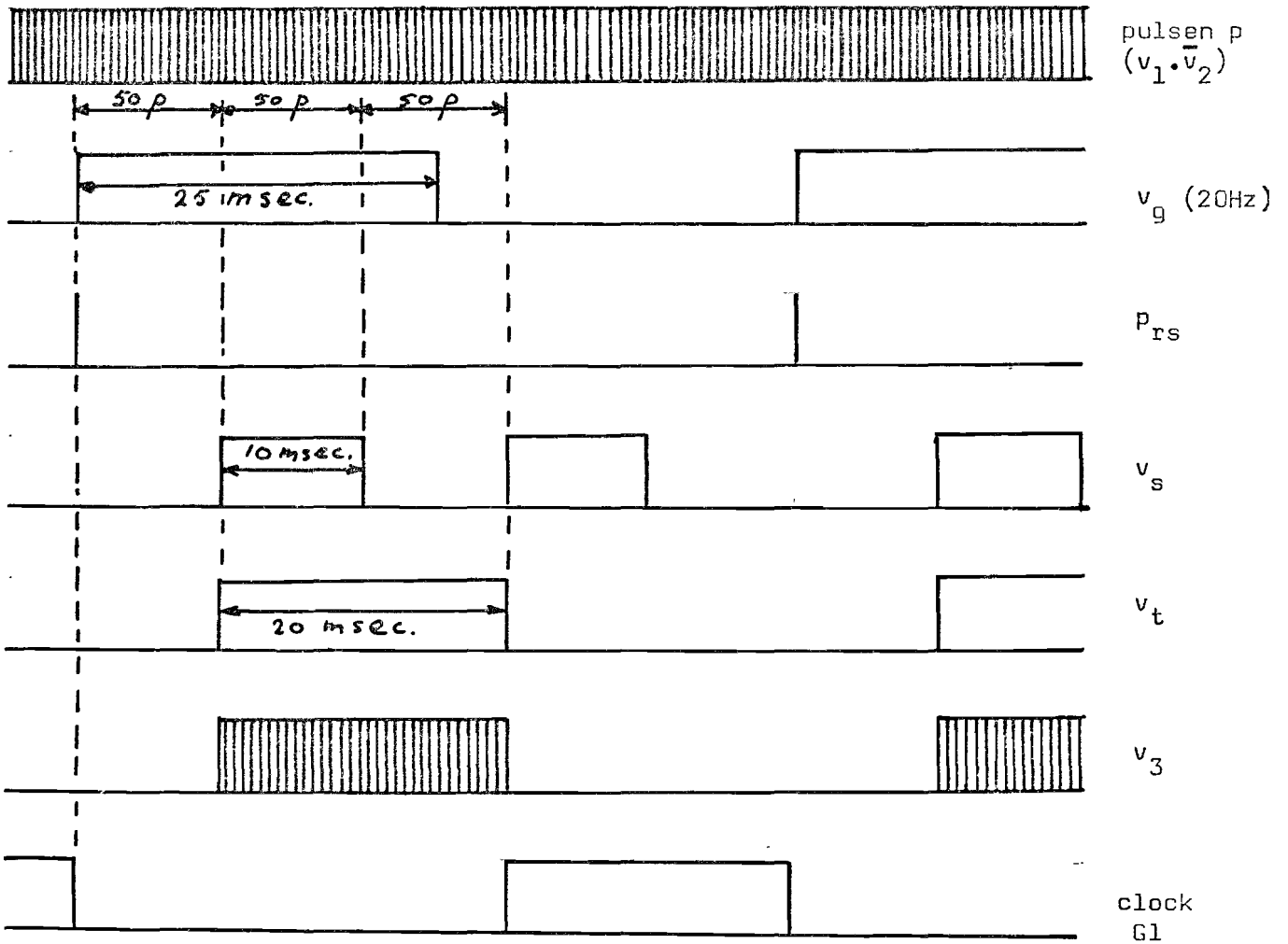
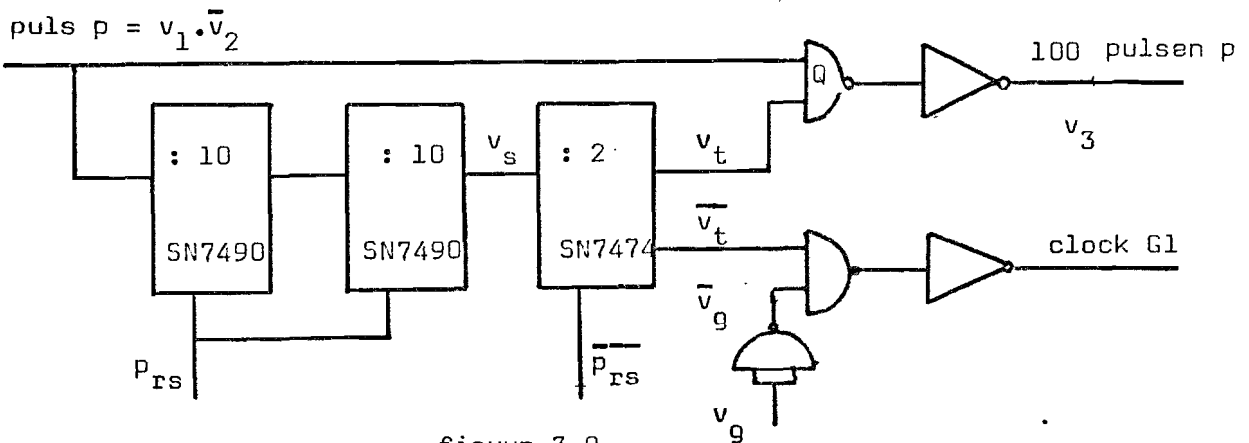
figuur 3-8

3.1.4. 100 pulsen p schakeling en clockpuls G1 (fig.3-9)

De doorlaat van 100 pulsen p door poort Q en de clockpuls voor geheugen 1 kunnen het beste bekeken worden aan de hand van de schakeling (fig. 3-9) en het tijddiagram (fig. 3-10), blz. 18.

In de schakeling is gebruik gemaakt van twee 10-delers, type SN 7490 en één tweedeler, type SN 7474.

Voor het resetten van de I.C.'s SN 7490 is een positieve puls (p_{rs}) nodig en voor het resetten van I.C. SN 7474 is een negatieve puls nodig ($\overline{p_{rs}}$), verdere gegevens van deze I.C.'s zijn te vinden op de bijlagen op blz. 16 en blz. 17.



Signetics

**S5474
N7474**

S5474-A,F,W • N7474-A,F

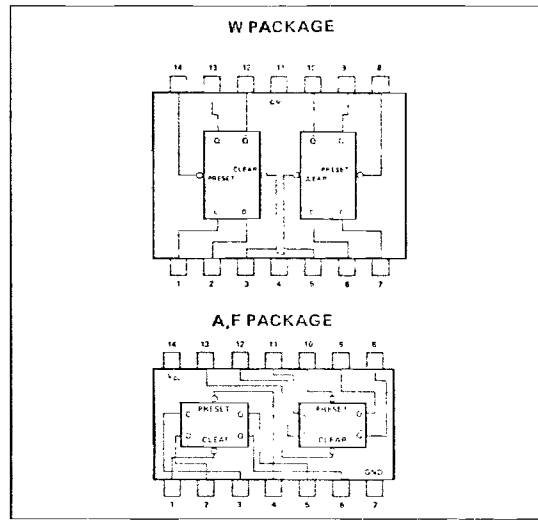
DIGITAL 54/74 TTL SERIES

The S5474/N7474 is a monolithic, dual, D-type, edge-triggered flip-flop featuring direct clear and preset inputs and complementary Q and \bar{Q} outputs. Input information is transferred to the Q output on the positive edge of the clock pulse.

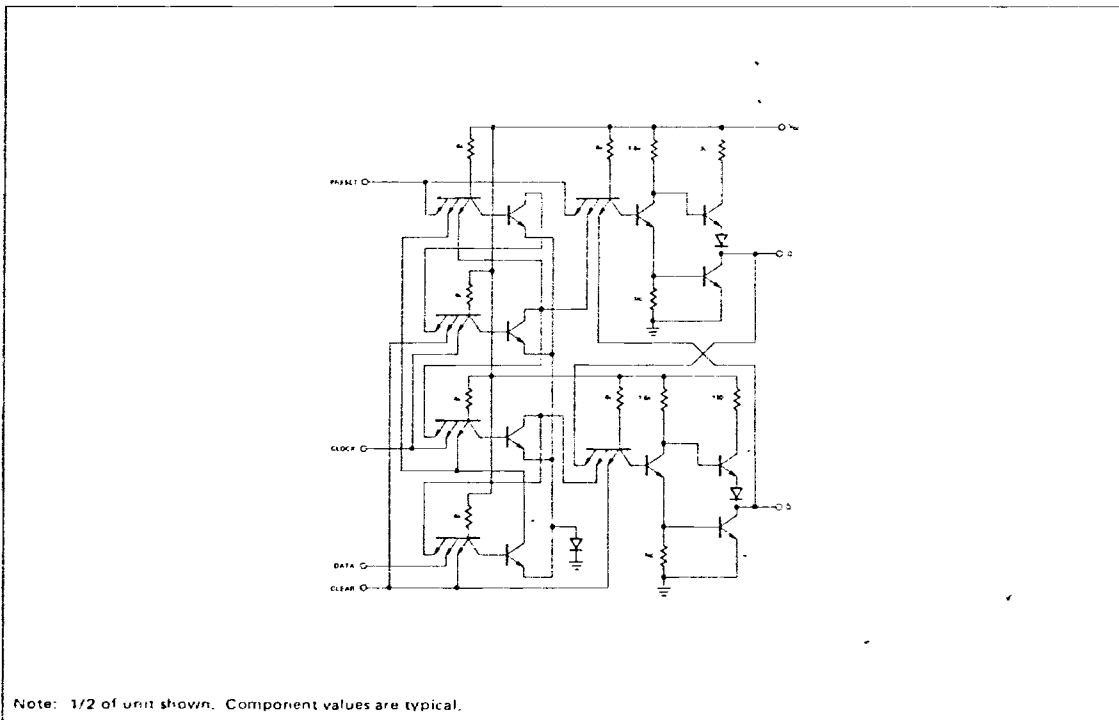
Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive going pulse. After the clock input threshold voltage has been passed, the data input (D) is locked out.

D_n	Q_{n+1}	\bar{Q}_{n+1}
1	1	0
0	0	1
Preset	Clear	Q
1	1	Q
1	0	0
0	1	1
0	0	t

t Both outputs in 1 state
n is time prior to clock
n+1 is time following clock



POSITIVE LOGIC Low input to preset sets Q to logical 1
Low input to clear sets Q to logical 0; Preset and clear are independent of clock



Note: 1/2 of unit shown. Component values are typical.

SIGNETICS DUAL D-TYPE EDGE-TRIGGERED FLIP-FLOP ■ S5474, N7474

PARAMETER	MIN	NOM	MAX	UNIT
Supply Voltage V_{CC} : S5474 Circuits	4.5	5	5.5	V
N7474 Circuits	4.75	5	5.25	V
Operating Free-Air Temperature Range, T_A : S5474 Circuits	-55	25	125	$^{\circ}$ C
N7474 Circuits	0	25	70	$^{\circ}$ C
Normalized Fan-Out from each Output, N			10	
Width of Clock Pulse, $t_{p(\text{clock})}$	30			ns
Width of Preset Pulse, $t_{p(\text{preset})}$	30			ns
Width of Clear Pulse, $t_{p(\text{clear})}$	30			ns

(over recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS*	MIN	TYP**	MAX	UNIT
$V_{in(1)}$	Input voltage required to ensure logical 1 at any input terminal $V_{CC} = \text{MIN}$	2			V
$V_{in(0)}$	Input voltage required to ensure logical 0 at any input terminal $V_{CC} = \text{MIN}$			0.8	V
$V_{out(1)}$	Logical 1 output voltage $V_{CC} = \text{MIN}$, $I_{\text{load}} = -400\mu\text{A}$	2.4	3.5		V
$V_{out(0)}$	Logical 0 output voltage $V_{CC} = \text{MIN}$, $I_{\text{sink}} = 16\text{mA}$		0.22	0.4	V
$I_{in(0)}$	Logical 0 level input current at preset or D $V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$			-1.6	mA
$I_{in(0)}$	Logical 0 level input current at clear or clock $V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$			-3.2	mA
$I_{in(1)}$	Logical 1 level input current at D $V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$ $V_{CC} = \text{MAX}$, $V_{in} = 5.5\text{V}$			40	μA
$I_{in(1)}$	Logical 1 level input current at preset or clock $V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$ $V_{CC} = \text{MAX}$, $V_{in} = 5.5\text{V}$			1	mA
$I_{in(1)}$	Logical 1 level input current at clear $V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$ $V_{CC} = \text{MAX}$, $V_{in} = 5.5\text{V}$			120	μA
I_{OS}	Short circuit output current† $V_{CC} = \text{MAX}$, $V_{in} = 0$	S5474 N7474	-20 -18	-57 -57	mA
I_{CC}	Supply current $V_{CC} = \text{MAX}$, $V_{in} = 5\text{V}$		17	30	mA

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

** All typical values are at $V_{CC} = 5\text{V}$, $T_A = 25^{\circ}\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{clock}	Maximum clock frequency $C_L = 15\text{pF}$, $R_L = 400\Omega$	15	25		MHz
t_{setup}	Minimum input setup time $C_L = 15\text{pF}$, $R_L = 400\Omega$		15	20	ns
t_{hold}	Minimum input hold time $C_L = 15\text{pF}$, $R_L = 400\Omega$		2	5	ns
t_{pd1}	Propagation delay time to logical 1 level from clear or preset to output $C_L = 15\text{pF}$, $R_L = 400\Omega$			25	ns
t_{pd0}	Propagation delay time to logical 0 level from clear or preset to output $C_L = 15\text{pF}$, $R_L = 400\Omega$			40	ns
t_{pd1}	Propagation delay time to logical 1 level from clock to output $C_L = 15\text{pF}$, $R_L = 400\Omega$	10	14	25	ns
t_{pd0}	Propagation delay time to logical 0 level from clock to output $C_L = 15\text{pF}$, $R_L = 400\Omega$	10	20	40	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

** All typical values are at $V_{CC} = 5\text{V}$, $T_A = 25^{\circ}\text{C}$

† Not more than one output should be shorted at a time.

SIMPLIFIED

**S5490
N7490**

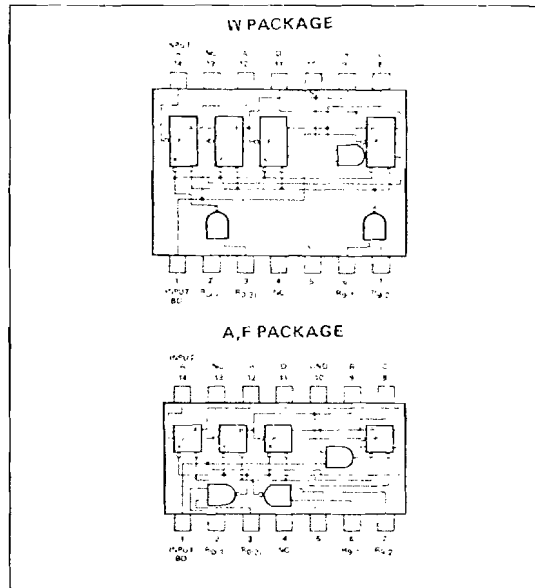
S5490-A,F,W • N7490-A,F

DIGITAL 54/74 TTL SERIES

The S5490 N7490 is a high-speed, monolithic decade counter consisting of four dual-rank, master-slave flip-flops internally interconnected to provide a divide-by-two counter and a divide-by-five counter. Gated direct reset lines are provided to inhibit count inputs and return all outputs to a logical "0" or to a binary coded decimal (BCD) count of 9. As the output from flip-flop A is not internally connected to the succeeding stages, the count may be separated in three independent count modes.

1. When used as a binary coded decimal decade counter, the BD input must be externally connected to the A output. The A input receives the incoming count, and a count sequence is obtained in accordance with the BCD count sequence truth table shown above. In addition to a conventional "0" reset, inputs are provided to reset a BCD 9 count for nine's complement decimal applications.
2. If a symmetrical divide-by-ten count is desired for frequency synthesizers or other applications requiring division of a binary count by a power of ten, the D output must be externally connected to the A input. The input count is then applied at the BD input and a divide-by-ten square wave is obtained at output A.
3. For operation as a divide-by-two counter and divide-by-five counter, no external interconnections are required. Flip-flop A is used as a binary element for the divide-by-two function. The BD input is used to obtain binary divide-by-five operation at the B, C, and D outputs. In this mode, the two counters operate independently; however, all four flip-flops are reset simultaneously.

The S490-7490 is completely compatible with Series 54 and Series 74 logic families. Average power dissipation is 160mW.



BCD COUNT SEQUENCE (See Note 1)

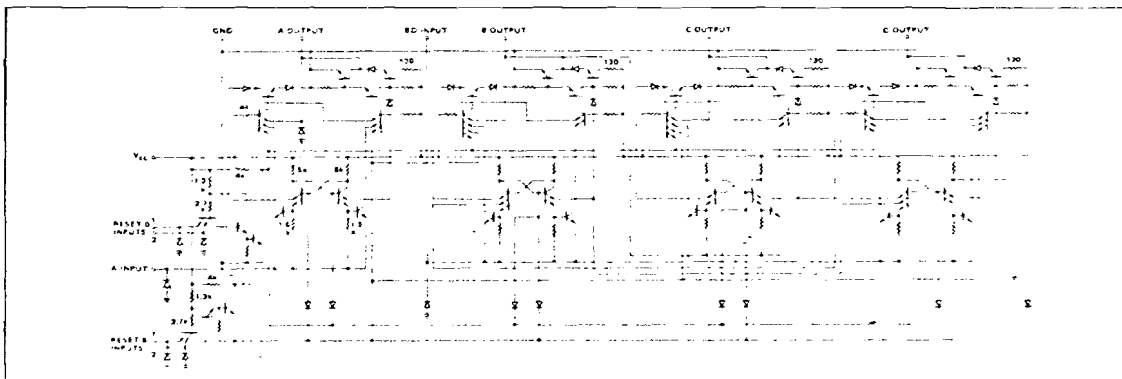
COUNT	OUTPUT			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

RESET/COUNT (See Note 2)

RESET INPUTS				OUTPUT			
R ₀ (1)	R ₀ (2)	R ₉ (1)	R ₉ (2)	D	C	B	A
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	0	COUNT		
0	X	0	X	0	COUNT		
0	X	X	0	0	COUNT		
X	0	0	X	0	COUNT		

NOTES:

1. Output A connected to input BD for BCD count.
2. X indicates that either a logical 1 or a logical 0 may be present.
3. Fanout from output A to input BD and to 10 additional Series 54/74 loads is permitted.



SIGNETICS DECADE COUNTER ■ S5490, N7490

PARAMETER	MIN	NOM	MAX	UNIT
Supply Voltage V_{CC} : S5490 Circuits	4.5	5	5.5	V
N7490 Circuits	4.75	5	5.25	V
Normalized Fan-Out from each Output, N			10	
Width of Input Count Pulse, $t_{p(in)}$	50			ns
Width of Reset Pulse, $t_{p(reset)}$	50			ns
Operating Free-Air Temperature Range, T_A : S5490 Circuits	-55	25	125	$^{\circ}$ C
N7490 Circuits	0	25	70	$^{\circ}$ C

(over recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS*	MIN	TYP**	MAX	UNIT
$V_{in(1)}$	Input voltage required to ensure logical 1 at any input terminal $V_{CC} = \text{MIN}$	2			V
$V_{in(0)}$	Input voltage required to ensure logical 0 at any input terminal $V_{CC} = \text{MIN}$			0.8	V
$V_{out(1)}$	Logical 1 output voltage $V_{CC} = \text{MIN}$, $I_{load} = -400\mu\text{A}$	2.4			V
$V_{out(0)}$	Logical 0 output voltage $V_{CC} = \text{MIN}$, $I_{sink} = 16\text{mA}$			0.4	V
$I_{in(1)}$	Logical 1 level input current at $R_0(1)$, $R_0(2)$, $R_9(1)$, or $R_9(2)$ $V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$ $V_{CC} = \text{MAX}$, $V_{in} = 5.5\text{V}$			40 1	μA mA
$I_{in(1)}$	Logical 1 level input current at input A $V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$ $V_{CC} = \text{MAX}$, $V_{in} = 5.5\text{V}$			80 1	μA mA
$I_{in(1)}$	Logical 1 level input current at input BD $V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$ $V_{CC} = \text{MAX}$, $V_{in} = 5.5\text{V}$			160 1	μA mA
$I_{in(0)}$	Logical 0 level input current at $R_0(1)$, $R_0(2)$, $R_9(1)$, or $R_9(2)$ $V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$ $V_{CC} = \text{MAX}$			-1.6	mA
$I_{in(0)}$	Logical 0 level input current at input A $V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$			-3.2	mA
$I_{in(0)}$	Logical 0 level input current at input BD $V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$			-6.4	mA
I_{OS}	Short circuit output current † $V_{CC} = \text{MAX}$, $V_{out} = 0\text{V}$	S5490 N7490		-20 -18	mA
I_{CC}	Supply current $V_{CC} = \text{MAX}$, $V_{in} = 4.5\text{V}$	S5490 N7490		32 32	mA
				46 53	mA

$V_{CC} = 5\text{V}$, $T_A = 25^{\circ}\text{C}$, $N = 10$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}	Maximum frequency of input count pulses $C_L = 15\text{pF}$, $R_L = 400\Omega$	10	18		MHz
t_{pd1}	Propagation delay time to logical 1 level from input count pulse to output C $C_L = 15\text{pF}$, $R_L = 400\Omega$		60	100	ns
t_{pd0}	Propagation delay time to logical 0 level from input count pulse to output C $C_L = 15\text{pF}$, $R_L = 400\Omega$		60	100	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable circuit type.

** All typical values are at $V_{CC} = 5\text{V}$, $T_A = 25^{\circ}\text{C}$.

† Not more than one output should be shorted at a time.

Na de reset en start puls p_{rs} (en $\overline{p_{rs}}$) staan de delers allen in de nulstand, de poort Q is gesloten. 50 pulsen p later wordt v_s hoog en daarmee wordt de tweedeler geset; doordat de tweedeler geset wordt, wordt v_t hoog en dan kunnen er pulsen p door poort Q heen komen, zie v_3 in het tijddiagram.

150 pulsen p later wordt v_t weer laag en sluit poort Q. Er is nu een trein van precies 100 pulsen p door poort Q gegaan.

Weer 100 pulsen later zou v_s wel weer hoog willen worden, maar op datzelfde ogenblik komt er een resetpuls, die alle delers van voren af aan laat beginnen.

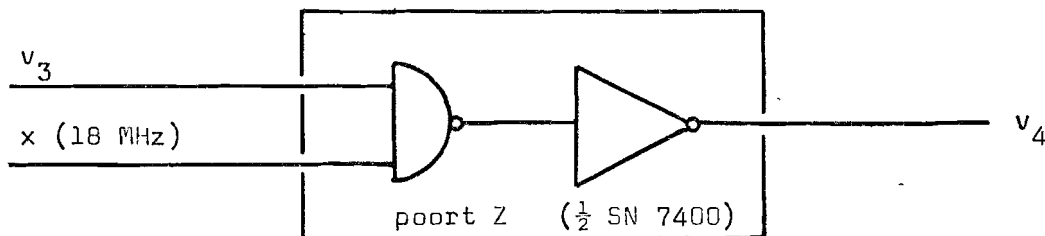
Deze schakeling heeft nog tot voordeel, dat pas enige tijd na de resetpuls de poort Q geopend wordt waardoor v_3 zeker geen hinder zal ondervinden van die resetpuls.

De clockpuls G 1 dient om informatie uit de teller in het geheugen 1 te zetten. Dit moet dan gebeuren nadat de teller klaar is met tellen en voordat de teller gereset wordt.

Mit het tijddiagram van fig. 3-10 is gemakkelijk te zien dat $\overline{v_g} \cdot \overline{v_t} = G1$ hieraan voldoet.

3.1.5. Poort Z

Poort Z heeft tot doel aan de teller een 18 MHz signaal toe te voeren zolang $v_3=1$ (zie fig. 3-2 en fig. 3-11). Daar het voor de besturing van de teller noodzakelijk is dat tussen twee complete metingen in v_4 laag is, is de poort Z gerealiseerd met twee NAND's, type SN 7400, waarvan de ene als poort is geschakeld en de andere als inverter.



figuur 3 - 11

De teller heeft volgens de bijlagen op blz. 41-44 ingangspulsen van 20 nsec. nodig (ongunstigste geval).

Het 18 MHz signaal levert pulsen af van 28 nsec.

De kans dat via de poort Z een puls korter dan 20 nsec. wordt afgegeven kan berekend worden aan de hand van de kansen van het doorkomen van een puls (korter dan 20 nsec.) bij de stijgende en bij de dalende flank van v_3 .

bij stijgende flank: $P_s =$ kans op puls korter dan 20 nsec. via poort Z
$$P_s = \frac{20}{56} \times 100 \% = 36 \%$$

bij dalende flank: $P_d =$ kans op puls korter dan 20 nsec. via poort Z
$$P_d = P_s = 36 \%$$

De kans op een puls korter dan 20 nsec.:

alleen bij stijgende flank:	$P_s \cdot \bar{P}_d = 23 \%$
alleen bij dalende flank:	$\bar{P}_s \cdot P_d = 23 \%$
bij zowel st. en da. flank:	$P_s \cdot P_d = 12 \%$
in het geheel niet	$\bar{P}_s \cdot \bar{P}_d = 40 \%$
	+ ----- 100 %

De totale kans, dat er een puls via poort Z doorkomt en die korter is als 20 nsec.:

$$P_{tot.} = P_s \cdot P_d + \bar{P}_s \cdot P_d + P_s \cdot \bar{P}_d = 59 \%$$

Dit betekent dat er in de meting (in het ongunstigste geval) een fout gemaakt kan worden van $0,059^0$.

Normaal heeft de teller ingangspulsen van 14 nsec. nodig, de kans

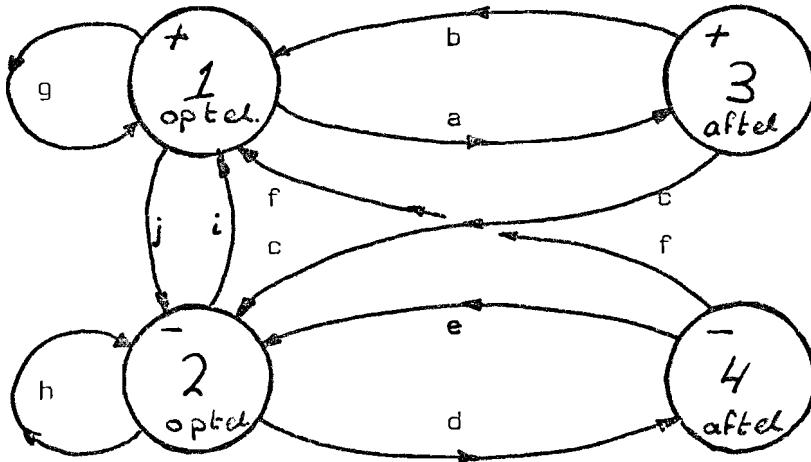
P_{tot} wordt dan: $P_{tot} = 44 \%$

De fout welke dan gemaakt wordt in de meting is $0,044^0$.

3.1.6. Besturing van de teller

We hebben al gezien in 3.1. dat er tijdens één meting bij fase-jitter voor de tellerbesturing een aantal situatie mogelijk zijn. Deze situaties zullen door het volgende toestandsdiagram beschreven worden, waarbij we de volgende grootheden als volgt definiëren:

- het momentane faseverschil ($\phi_1 - \phi_2$) : $\Delta\phi$
- het gemiddelde faseverschil ($\phi_1 - \phi_2$) over n metingen ($1 \leq n \leq 100$) : $\frac{1}{n} \sum_{i=1}^n \Delta\phi_i$
- uitlezing teller positief : +
- uitlezing teller negatief : -



figuur 3-12

We onderscheiden hierin 4 verschillende toestanden:

- toestand 1: $\frac{1}{n} \sum_{i=1}^n \Delta\phi_i$ positief en teller telt op
- toestand 2: $\frac{1}{n} \sum_{i=1}^n \Delta\phi_i$ negatief en teller telt op
- toestand 3: $\frac{1}{n} \sum_{i=1}^n \Delta\phi_i$ positief en teller telt af
- toestand 4: $\frac{1}{n} \sum_{i=1}^n \Delta\phi_i$ negatief en teller telt af

Vanuit alle toestanden is aangegeven langs welke manieren we in andere toestanden kunnen komen. Dit is aangegeven met letters, waarvan de verklaring hieronder volgt:

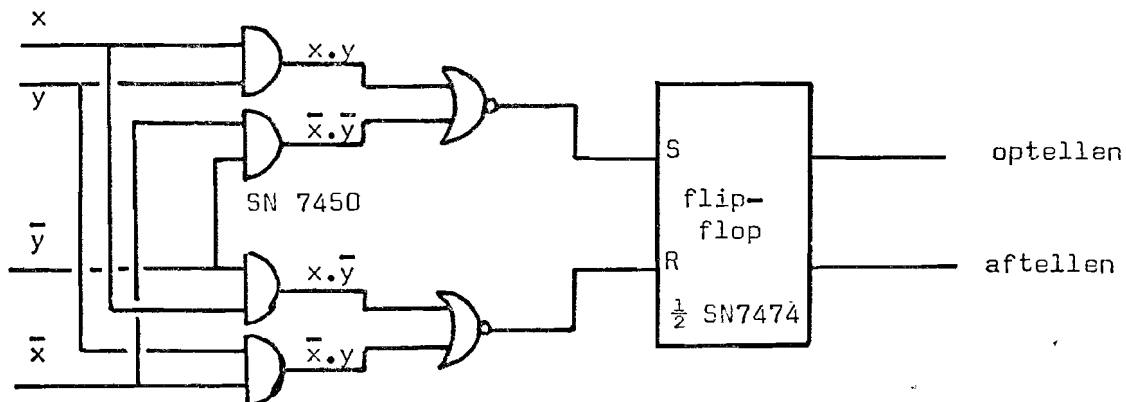
- a: toest. 1 naar toest. 3 : als $\Delta\phi$ negatief wordt
- b: toest. 3 naar toest. 1 : als $\Delta\phi$ positief wordt
- c: toest. 3 naar toest. 2 : als $\Delta\phi$ negatief is en de stand van de teller $\leq 0,003^0$,
of bij $\Delta\phi$ negatief en een puls p_{rs}

- d: toest. 2 naar toest. 4 : als $\Delta\phi$ positief wordt
 e: toest. 4 naar toest. 2 : als $\Delta\phi$ negatief wordt
 f: toest. 4 naar toest. 1 : als $\Delta\phi$ positief is en de stand van de teller $\leq 0,003^{\circ}$,
 of bij $\Delta\phi$ positief en een puls p_{rs}
 g: toest. 1 blijft als : bij eerste puls p $\Delta\phi$ positief en $|\Delta\phi| > 90^{\circ}$,
 of $\Delta\phi$ positief en een puls p_{rs}
 h: toestand 2 blijft als : bij eerste puls p $\Delta\phi$ negatief en $|\Delta\phi| < -90^{\circ}$,
 of $\Delta\phi$ negatief en een puls p_{rs}
 i: toest. 2 naar toest. 1 : als $\Delta\phi$ positief en een puls p_{rs}
 j: toest. 1 naar toest. 2 : als $\Delta\phi$ negatief en een puls p_{rs}

Door de dualiteit van toestand 1 - 3 en toestand 2 - 4 is voor de basisopzet van de besturing van de teller uitgegaan van een exclusive-or met een S - R flip flop; zie figuur 3 - 13.

- noem: $x = 1$ positieve ($\phi_1 - \phi_2$)
 $x = 0$ negatieve ($\phi_1 - \phi_2$)
 $y = 1$ plus teken
 $y = 0$ min teken

dan vinden we voor de set: $set = \overline{x \cdot y} + \overline{\overline{x} \cdot \overline{y}}$ (optellen)
 voor de reset : $reset = \overline{\overline{x} \cdot y} + \overline{x \cdot \overline{y}}$ (aftellen)



figuur 3-13

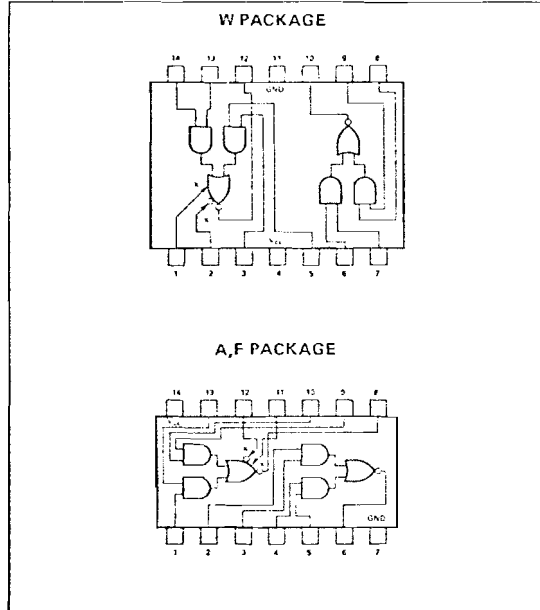
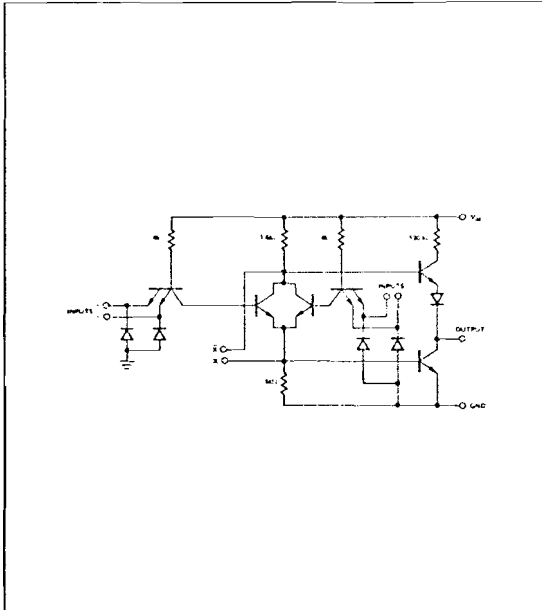
Signetics

S5450A,F,W • S5451-A,F,W • N7450-A,F • N7451-A,F

DIGITAL 54/74 TTL SERIES

S5450
S5451
N7450
N7451

(each gate)



NOTES-

1. Component values shown are nominal.
2. Both expander inputs are used simultaneously for expanding
3. If expander is not used leave X and \bar{X} pins open.
4. Make no external connection to X and \bar{X} pins of the S5451 and N7451.
5. A total of four expander gates can be connected to the expander inputs.

PARAMETER	MIN	NOM	MAX	UNIT
Supply Voltage V_{CC} : S5450, S5451 Circuits	4.5	5	5.5	V
N7450, N7451 Circuits	4.75	5	5.25	V
Normalized Fan-Out from Output, N			10	
Operating Free-Air Temperature Range, T_A : S5450, S5451 Circuits	-55	25	125	$^{\circ}C$
N7450, N7451 Circuits	0	25	70	$^{\circ}C$

(over recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS*	MIN	TYP**	MAX	UNIT
$V_{in(1)}$ Logical 1 input voltage required at both input terminals of either AND section to ensure logical 0 at output	$V_{CC} = \text{MIN}$	2			V
$V_{in(0)}$ Logical 0 input voltage required at one input terminal of each AND section to ensure logical 1 at output	$V_{CC} = \text{MIN}$			0.8	V
$V_{out(1)}$ Logical 1 output voltage	$V_{CC} = \text{MIN}$, $I_{load} = -400\mu A$, $V_{in} = 0.8V$,	2.4	3.3		V
$V_{out(0)}$ Logical 0 output voltage	$V_{CC} = \text{MIN}$, $I_{sink} = 16mA$, $V_{in} = 2V$,		0.22	0.4	V

SIGNETICS EXPANDABLE DUAL 2-WIDE 2-INPUT AND-OR-INVERT GATES ■ S5450/51, N7450/51

(Cont'd)

PARAMETER		TEST CONDITIONS*		MIN	TYP**	MAX	UNIT
$I_{in(0)}$	Logical 0 level input current (each input)	$V_{CC} = \text{MAX}$,	$V_{in} = 0.4\text{V}$			-1.6	mA
$I_{in(1)}$	Logical 1 level input current (each input)	$V_{CC} = \text{MAX}$,	$V_{in} = 2.4\text{V}$			40	μA
		$V_{CC} = \text{MAX}$,	$V_{in} = 5.5\text{V}$			1	mA
I_{OS}	Short circuit output current†	$V_{CC} = \text{MAX}$	S5450, S5451 N7450, N7451	-20		-55	mA
$I_{CC(0)}$	Logical 0 level supply current	$V_{CC} = \text{MAX}$,	$V_{in} = 5\text{V}$		7.4	14	mA
$I_{CC(1)}$	Logical 1 level supply current	$V_{CC} = \text{MAX}$,	$V_{in} = 0$		4	8	mA

ELECTRICAL CHARACTERISTICS (S5450 circuits) using expander inputs, $V_{CC} = 4.5\text{V}$, $T_A = -55^\circ\text{C}$

PARAMETER		TEST CONDITIONS		MIN	TYP**	MAX	UNIT
I_X	Expander current	$V_1 = 0.4\text{V}$,	$I_{\text{sink}} = 16\text{mA}$			2.9	mA
$V_{BE(O)}$	Base-emitter voltage of output transistor (O)	$I_{\text{sink}} = 16\text{mA}$, $R_1 = 0$	$I_1 = 0.41\text{mA}$,			1	V
$V_{out(1)}$	Logical 1 output voltage	$I_{\text{load}} = -400\mu\text{A}$, $I_2 = -0.15\text{mA}$	$I_1 = 0.15\text{mA}$,	2.4	3.3		V
$V_{out(0)}$	Logical 0 output voltage	$I_{\text{sink}} = 16\text{mA}$, $R_1 = 138\Omega$	$I_1 = 0.3\text{mA}$,		0.22	0.4	V

ELECTRICAL CHARACTERISTICS (N7450 circuits) using expander inputs, $V_{CC} = 4.75\text{V}$, $T_A = 0^\circ\text{C}$

PARAMETER		TEST CONDITIONS		MIN	TYP**	MAX	UNIT
I_X	Expander current	$V_1 = 0.4\text{V}$,	$I_{\text{sink}} = 16\text{mA}$			3.1	mA
$V_{BE(O)}$	Base-emitter voltage of output transistor (O)	$I_{\text{sink}} = 16\text{mA}$, $R_1 = 0$	$I_1 = 0.62\text{mA}$,			1	V
$V_{out(1)}$	Logical 1 output voltage	$I_{\text{load}} = -400\mu\text{A}$, $I_2 = -270\mu\text{A}$	$I_1 = 270\mu\text{A}$,	2.4	3.3		V
$V_{out(0)}$	Logical 0 output voltage	$I_{\text{sink}} = 16\text{mA}$, $R_1 = 130\Omega$	$I_1 = 0.43\text{mA}$,		0.22	0.4	V

PROPAGATION DELAY TIMES $V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$, $N = 10$

PARAMETER		TEST CONDITIONS*		MIN	TYP	MAX	UNIT
t_{pd0}	Propagation delay time to logical 0 level	$C_L = 15\text{pF}$,	$R_L = 400\Omega$		8	15	ns
t_{pd1}	Propagation delay time to logical 1 level	$C_L = 15\text{pF}$,	$R_L = 400\Omega$		13	22	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type. Expander inputs X and \bar{X} are open.

** All typical values are at $V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$.

† Not more than one output should be shorted at a time.

De functie's y en \bar{y} zijn de output van een flip-flop F_1 (zie figuur 3-14). De functie's x en \bar{x} worden bepaald door $p_1 \cdot \bar{v}_2$ respectievelijk door $\overline{p_1 \cdot v_2}$, zoals weergegeven is in 3.1.2. Tijdens de reset/start puls p_{rs} wordt bepaald of het faseverschil $\Delta \phi$ positief of negatief is en naar aanleiding hiervan wordt F_1 geset respectievelijk gereset.

Het kan nu gebeuren dat door fase-jitter in de buurt van faseverschillen van 0° het faseverschil i.p.v. positief negatief wordt of vice versa. In zulke gevallen moet de teller omschakelen van optellen naar aftellen. Door looptijdvertragingen van de gebruikte schakelingen kan het gebeuren dat er pulsen verkeerd geteld worden; dit is niet het geval bij verandering van positieve $\Delta \phi$ naar negatieve $\Delta \phi$, maar wel bij verandering van negatieve $\Delta \phi$ naar positieve $\Delta \phi$.

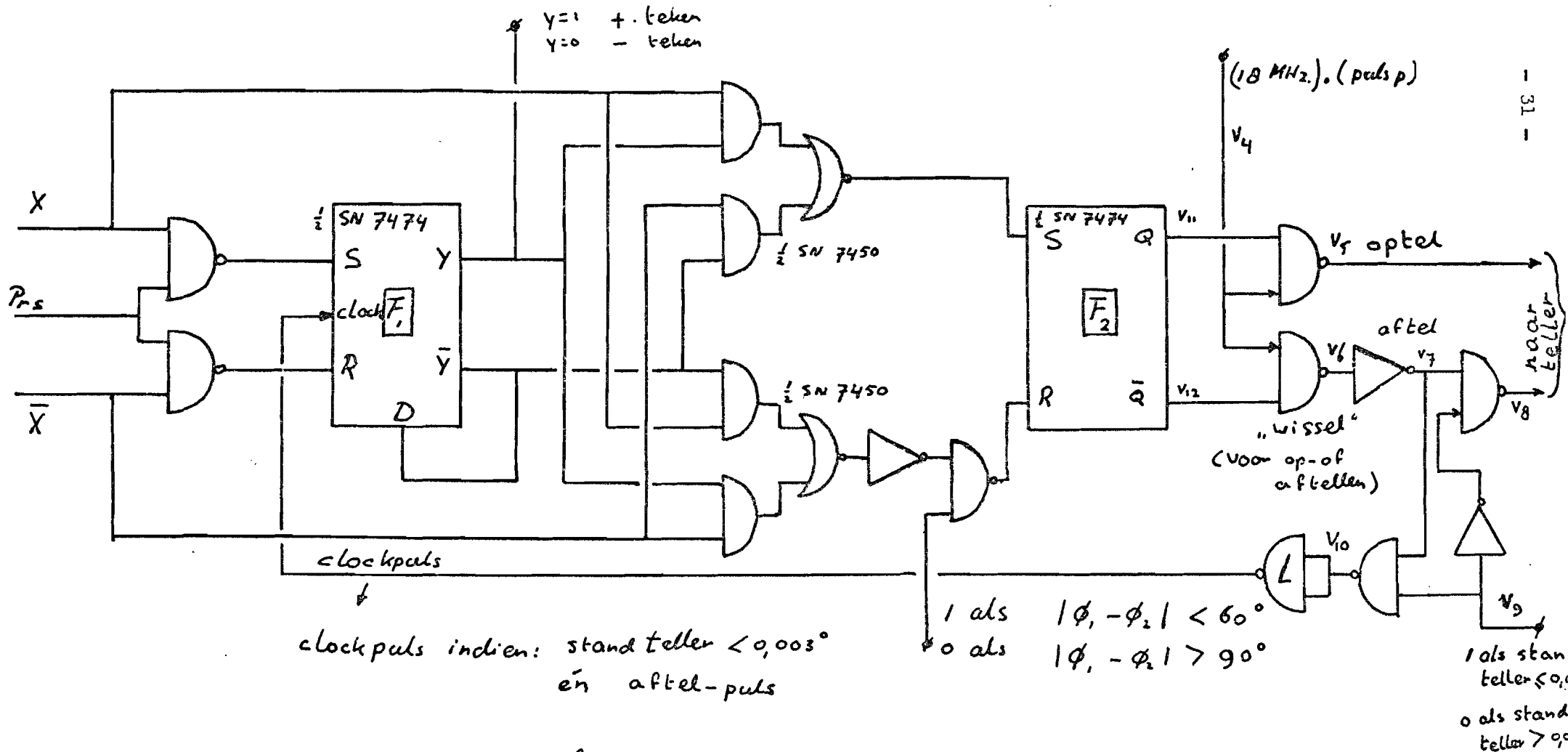
Het optreden van deze fout kunnen we het beste laten zien aan de hand van fig. 3-15, waar een tijddiagram is opgenomen van signalen welke terug te vinden zijn in het blokdiagram (fig. 3-3) en in figuur 3-14.

Bepalend voor het omgeschakeld zijn van optellen naar aftellen is het ogenblik, dat v_{12} van F_2 (zie fig. 3-14) hoog wordt. Het positief of negatief zijn van $\Delta \phi$ wordt bepaald op het ogenblik dat p_1 optreedt, dit is circa 35 nsec. na de stijgende flank van v_1 (zie voor looptijden SN 74121 blz. 14-17).

Het omklappen van de wissel gebeurt τ_i nsec. later. τ_i is opgebouwd uit de vertragingstijden van de + of - indicator (behalve die voor p_1) en de vertragingstijden van de componenten in de besturing van de teller.

De eerste puls van v_4 treedt in geval van positieve faseverschillen pas $\tau_1 = 50$ nsec na de stijgende flank van v_1 op, hetgeen echter altijd nog $\tau_2 = 41$ nsec. eerder is als het omklappen van de wissel, zodat er hier sprake is van foutieve telling van 2 pulsen omdat één puls in plaats van afgeteld nog wordt opgeteld (fout van $0,002^\circ$). In geval van negatieve faseverschillen komt de eerste puls ongeveer 100μ sec. later zodat de wissel reeds lange tijd omgezet is en er geen sprake van foutieve telling van pulsen is.

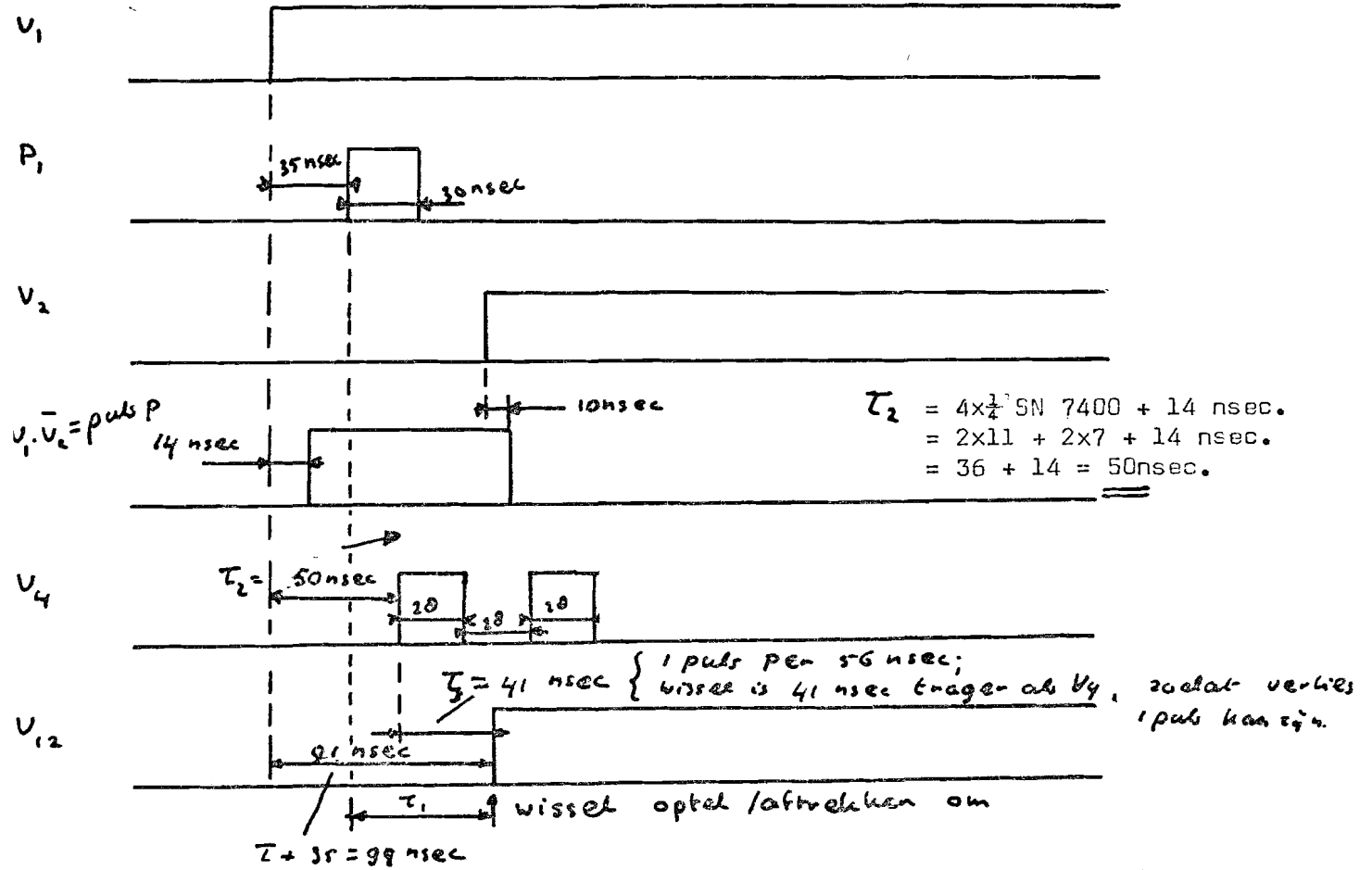
Besturing van de teller



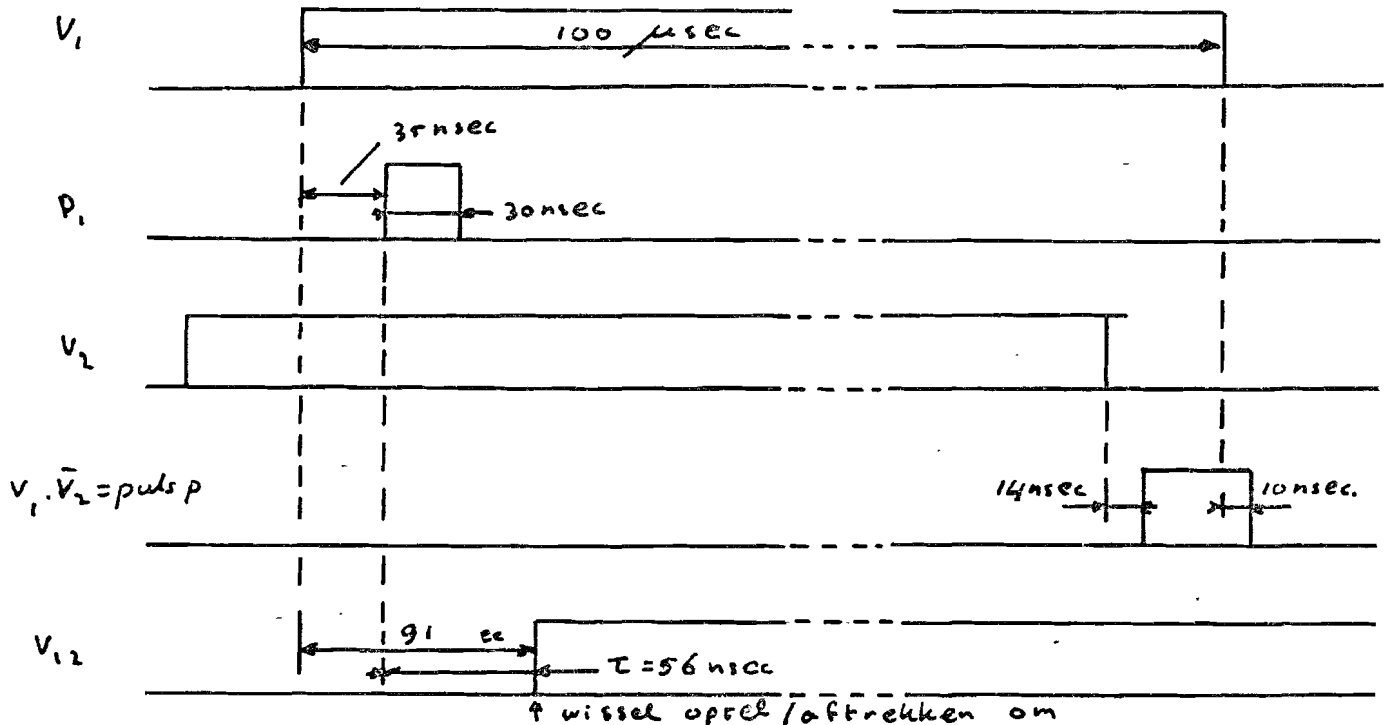
figuur 3-14

OMZETTEN VAN DE WISSEL VAN OPTELLEN ↔ AFTELLEN

negatieve $\Delta\phi$ wordt positieve $\Delta\phi$



positieve $\Delta\phi$ wordt negatieve $\Delta\phi$



- $T_1 =$ vertragingstijd van:
 - $\frac{1}{4}$ SN 74500 = 3 nsec.
 - $3 \cdot \frac{1}{4}$ SN 7400 = 29 nsec.
 - $\frac{1}{2}$ SN 7450 = 12 nsec.
 - $\frac{1}{2}$ SN 7474 = 12 nsec.
 - totaal $T_1 = 56 \text{ nsec.}$

Fig 3-15.

Zou de teller nu weer terug moeten schakelen naar optellen, dan is de kans op verlies van een puls bij verandering van negatieve $\Delta\phi$ naar positieve $\Delta\phi$ kleiner, omdat in dit geval de wissel F_2 sneller omgezet wordt. Dit komt doordat vóór de reset-input van F_2 er wel en vóór de set-input van F_2 er geen twee poorten staan. Deze twee poorten hebben samen een vertragingstijd van 20 nsec. waardoor τ nu wordt: $\tau = 41 - 20 = 21$ nsec. De kans op een puls verlies van een puls is nu $(21/56) \times 100\% = 37,5\%$. Bij verandering van positieve naar negatieve $\Delta\phi$ treedt geen verlies van pulsen op.

Mocht echter het faseverschil zodanig blijven, dat de teller steeds blijft aftellen, dan zal er een ogenblik komen waarop de stand $\frac{1}{n} \sum_{i=1}^n \Delta\phi_i = 0,000^0$ bereikt wordt. Een volgende puls geeft de teller dan een verboden stand van $99,999^0$. Om dit te voorkomen wordt v_9 bij $\frac{1}{n} \sum_{i=1}^n \Delta\phi_i = 0,003^0$ hoog en het aftellen gestopt. Door de traagheid in de blokkeringschakeling kan de tellerstand nog dalen tot $0,002^0$. Hierna wordt de wissel en het teken van $\frac{1}{n} \sum_{i=1}^n \Delta\phi_i$ omgezet zodat er nu opgeteld wordt met de aanduiding van het juiste teken van $\frac{1}{n} \sum_{i=1}^n \Delta\phi$. Door traagheden in de verschillende schakelingen zullen ook hier pulsen verloren gaan, hetgeen het beste aan de hand van fig. 3-14 en het tijddiagram van fig. 3-16 bekeken kan worden.

v_4 geeft aan dat er steeds pulsen aankomen bij de wissel; v_5 hoog betekent dat de opteling van de teller niet in gebruik is; v_6 pulsen geven aan dat de v_4 pulsen door de wissel naar de afteling van de teller willen; $v_7 = \bar{v}_6$; v_8 pulsen komen aan bij de afteling van de teller, v_8 hoog wil zeggen dat de afteling van de teller niet in gebruik is; v_9 is hoog als de tellerstand kleiner is dan $0,003^0$ of gelijk aan $0,003^0$, anders is v_9 laag; $v_{10} = \bar{v}_7 \cdot v_9$; v_{11} geeft aan hoe de wissel staat. We zien in het tijddiagram, dat circa 70 nsec. na de tellerstand = $0,003^0$ v_9 hoog wordt en dat weer 20 nsec. hierna de afteling van de teller gesloten wordt, terwijl de tellerstand ondertussen toch nog gedaald is tot $0,002^0$.

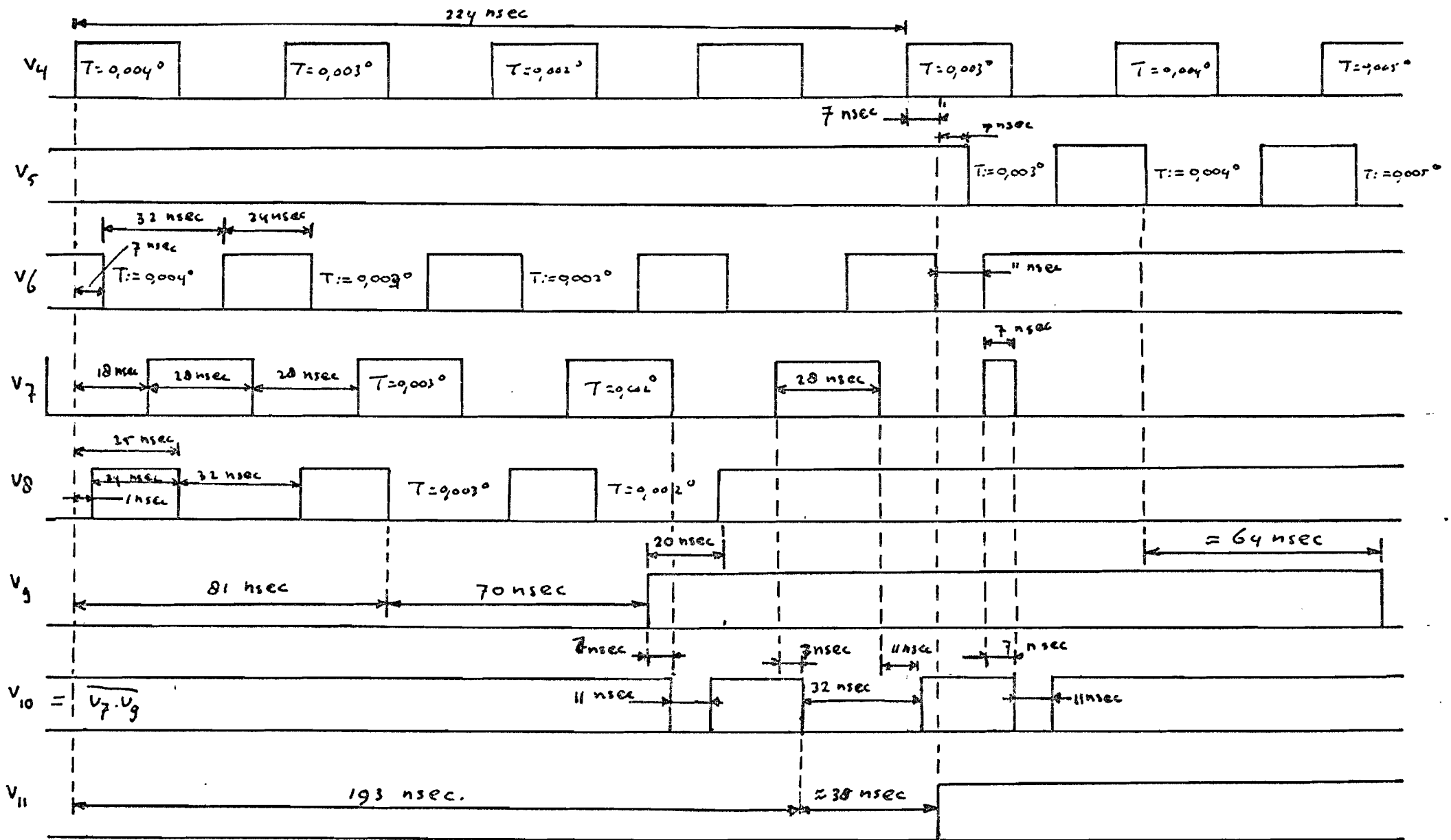


Fig. 3-16

v_{10} is het signaal dat de clock-input van de D-flip-flop F_1 stuurt. Bij iedere clockpuls dienen de niveau's Y en \bar{Y} te veranderen (0 - 1). Dit is gerealiseerd met de schak. van F_1 (fig. 3-14).

Deze D-flip-flop geeft de informatie op zijn D-input door op de wijze zoals in onderstaande waarheidstabel staat:

Waarheidstabel D-flip-flop clockpulsinput:

t_n	t_{n+1}	
D	Y	\bar{Y}
0	0	1
1	1	0

- N.B.: 1. t_n = het ogenblik voor de clockpuls
2. t_{n+1} = het ogenblik na de clockpuls

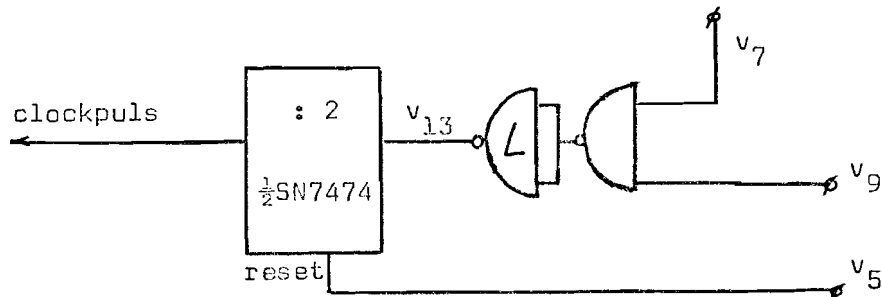
De maximale clock-frequentie is 25 MHz, wat neerkomt op een minimale puls van 20 nsec. We zien dan ook in figuur 3-16 dat de wissel pas gestuurd wordt door de puls van 32 nsec.

Circa 38 nsec. hierna is de wissel omgezet en zien we dat de pulsen van v_4 door gegeven worden aan v_5 , de optelingang van de teller.

Er is nu een fout gemaakt van $0,003^0$ te weten de laatste stand van de teller voordat de wissel omgezet werd was $0,002^0$, en de volgende verandering geeft $0,003^0$ maar het teken van de uitlezing is ook verandert. Dit betekent een verschil van $0,004^0$ en er is nog één puls verloren gegaan zodat we uitkomen op een fout van $0,003^0$.

In het ontwikkelde systeem traden geen moeilijkheden op met betrekking tot het omschakelen van de wissel, het kan evenwel zijn dat bij het nabouwen van de schakeling door andere looptijden van de I.C.'s de clockpuls meerdere malen optreedt en de wissel telkens omzet. De wissel zal dan een oscillatieverschijnsel gaan vertonen. Dit kan dan verholpen worden door tussen poort L en F_1 een tweedeler in te bouwen zoals aangegeven is in fig. 3-17.

De tweedeler in onderstaande figuur heeft alleen tot doel er voor te zorgen dat de wissel meer tijd tot z'n beschikking krijgt om omgezet te worden voordat er weer een clockpuls optreedt. v_5 wordt verbonden met de reset-input van de tweedeler. Zodra een optelpuls v_5 optreedt zal de tweedeler weer in z'n nulstand gezet worden



figuur 3-17

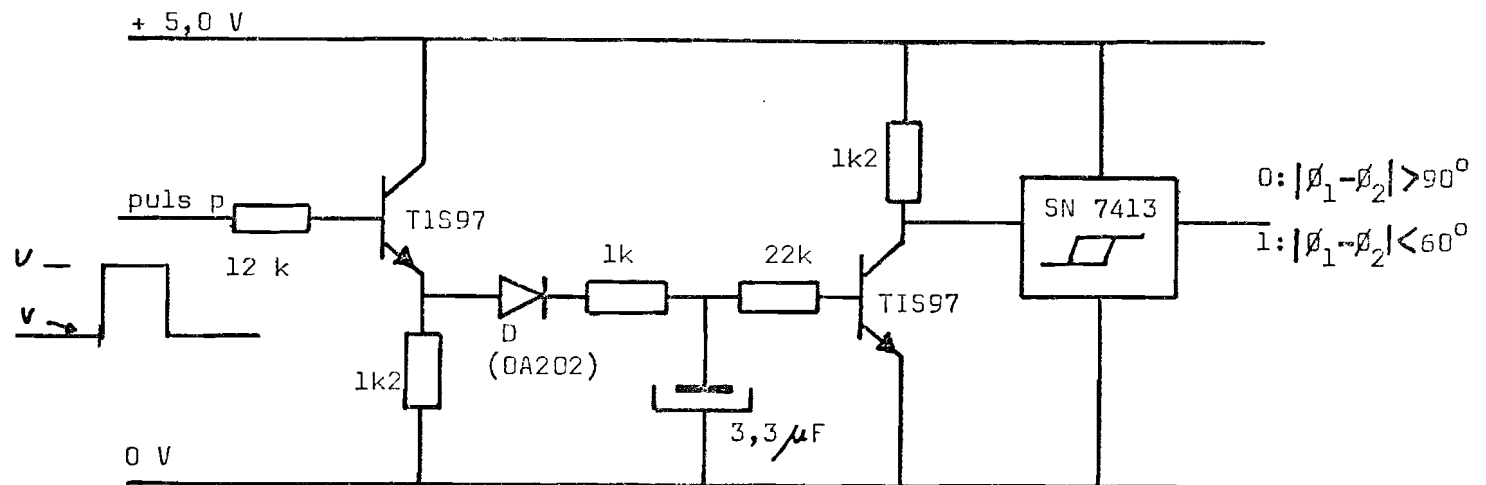
De blokkeringsschakeling voor de aftelingang van de teller (v_8) is opgenomen om - voor het geval dat tijdens het omschakelen van de wissel de fasehoek weer van teken zou veranderen - te voorkomen dat een of twee aftelpulsen toch doorkomen en de verboden tellerstand van $99,999^0$ doen optreden.

In 3.1. is al genoemd, dat er in het apparaat een voorziening is gebouwd die boven een bepaalde (absoluut gezien) faseverschil de wissel naar de aftelingang blokkeert.

Om praktische redenen is dit faseverschil $|\phi_1 - \phi_2| > 90^0$ gekozen. Het enige waarvoor nu gezorgd moet worden is dat de wissel niet omgezet wordt naar de aftelingang. Uit fig. 3-14 blijkt dat dit gerealiseerd is m.b.v. een inverter en een nandpoort voor de R-input van F_2 . Bij $|\phi_1 - \phi_2| > 90^0$ is de R-input geblokkeerd en dus ook de wissel naar de aftelingang van de teller. De blokkering wordt opgeheven als $|\phi_1 - \phi_2| < 60^0$. Voor het besturen van de nandpoort is een signaal nodig, dat aangeeft dat $|\phi_1 - \phi_2| \uparrow > 90^0$ of $|\phi_1 - \phi_2| \downarrow < 60^0$ is. De schakeling die dit signaal levert wordt in 3.1.7. behandeld.

3.1.7. Fasedetector

Het bepalen van $\varphi_1 - \varphi_2$ gebeurt m.b.v. het gelijkspanningsniveau van de gemiddelde waarde van puls p (zie fig. 3-18). Heeft dit niveau een bepaalde waarde bereikt, overeenkomend met een faseverschil van 90° dan wordt de output van de schmitt-trigger (SN7413) laag. Deze schmitt-trigger heeft een hysteresis-effect, daarom zal pas bij een faseverschil van circa 60° de output weer hoog worden. Indien er geen hysteresis-effect zou zijn opgenomen was er de kans aanwezig, dat in de buurt van de 90° door fasejitter van de signalen v_1 en v_2 de reset-ingang van F_2 (fig. 3-14) aan en uit zou gaan met het ritme van die fasejitter. Dit had storingen teweeg kunnen brengen in de schakeling.



figuur 3-18

Sigmatronics

**S5413
N7413**

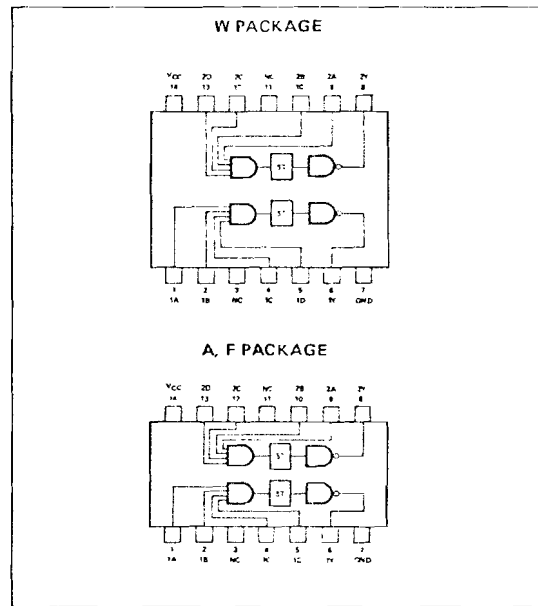
S5413-A,F,W • N7413-A,F

DIGITAL 54/74 TTL SERIES

The 5413 and 7413 dual Schmitt triggers consist of two identical Schmitt-trigger circuits in monolithic integrated circuit form. Logically, each circuit functions as a four input NAND gate, but because of the Schmitt action, the gate has different input threshold levels for positive and negative-going signals. The hysteresis, or backlash, which is the difference between the two threshold levels, is typically 800mV.

An important design feature is the built-in temperature compensation which ensures very high stability of the threshold levels and the hysteresis over a very wide temperature range. Typically, the hysteresis changes by 3% over the temperature range of -55°C to 125°C and the upper threshold changes by 1% over the same range. The 5413/7413 can be triggered from the slowest of input ramps and still give clean, jitter-free output signals. It can not be triggered from straight dc levels.

These circuits are fully compatible with most other TTL, DTL, or MSI circuits. The 5413 is characterized for operation over the full military temperature range of -55°C to 125°C; the 7413 is characterized for operation from 0°C to 70°C.



PARAMETER	5413			7413			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply Voltage V _{CC}	4.5	5	5.5	4.75	5	5.25	V
Fan-Out From Each Output, N			20			20	
			10			10	
Operating Free-Air Temperature Range, T _A	-55	0	125	0	25	70	C
Maximum Input Rise and Fall Times	No Restriction			No Restriction			

(over recommended operating free-air temperature range unless otherwise noted)

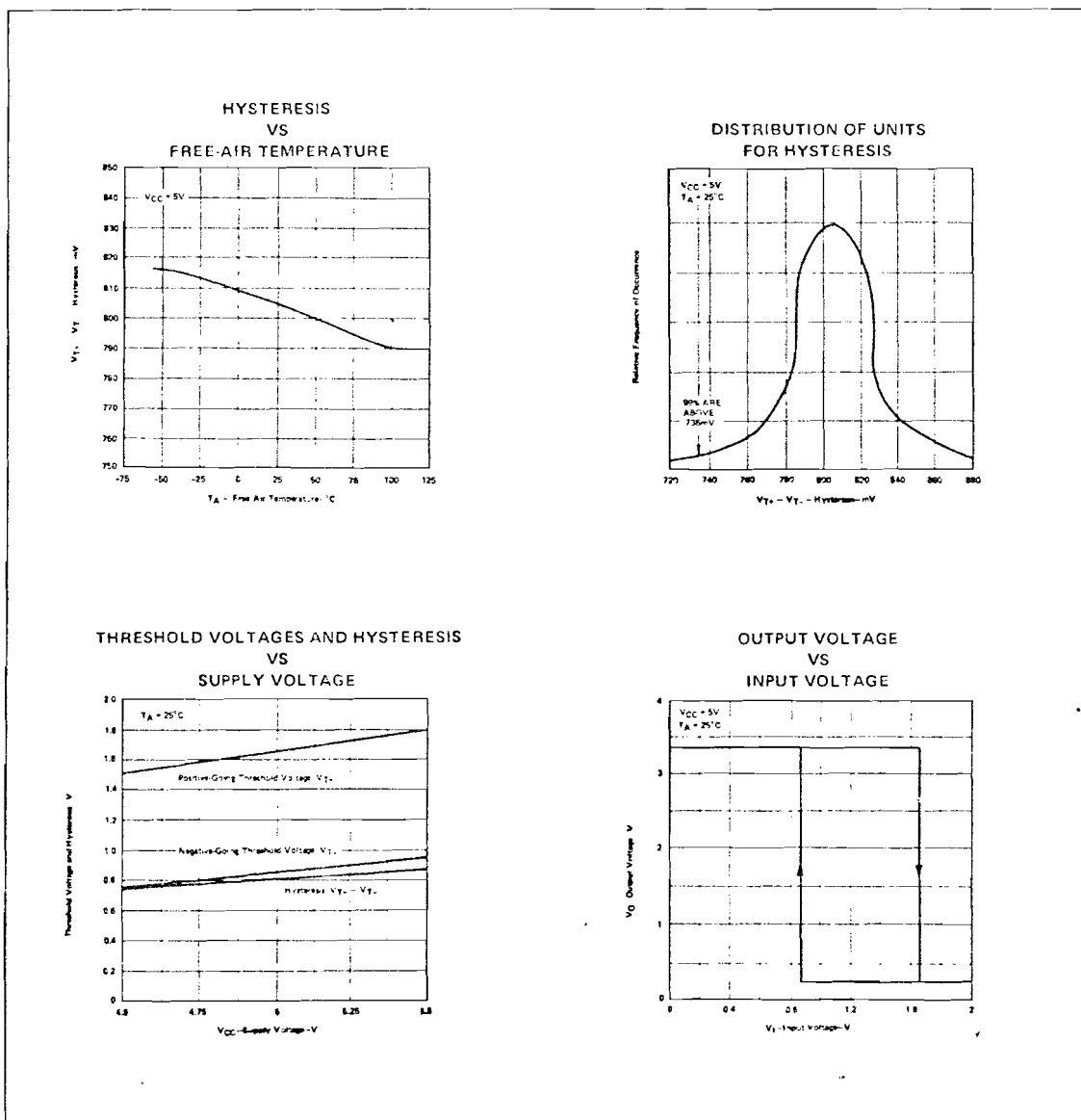
PARAMETER	TEST CONDITIONS*	MIN	TYP**	MAX	UNIT
V _{T+}	Positive-going threshold voltage	1.5	1.7	2	V
V _{T-}	Negative-going threshold voltage	0.6	0.9	1.1	V
V _{T+} - V _{T-}	Hysteresis	0.4	0.8		V
V _I	Input clamp voltage			-1.5	V
V _{OH}	High-level output voltage	2.4	3.3		V
V _{OL}	Low-level output voltage		0.22	0.4	V
I _{T+}	Input current at positive-going threshold		-0.65		mA
I _{T-}	Input current at negative-going threshold		-0.85		mA
I _I	Input current at maximum input voltage			1	mA
I _{IH}	High-level input current			40	μA
I _{IL}	Low-level input current			-1.6	mA
I _{OS}	Short-circuit output current†		-18	-55	mA
I _{CCH}	Supply current, high-level output		14	23	mA
I _{CCL}	Supply current, low-level output		20	32	mA

SIGNETICS DUAL NAND SCHMITT TRIGGER ■ S5413, N7413

V_{CC} = 5V, T_A = 25 °C, N = 10

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	Propagation delay time, low-to-high level output C _L = 15pF, R _L = 400Ω		18	27	ns
t _{PHL}	Propagation delay time, high-to-low level output C _L = 15pF, R _L = 400Ω		15	22	ns

- * For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type
- ** All typical values are at V_{CC} = 5V, T_A = 25 °C
- † Not more than one output should be shorted at a time

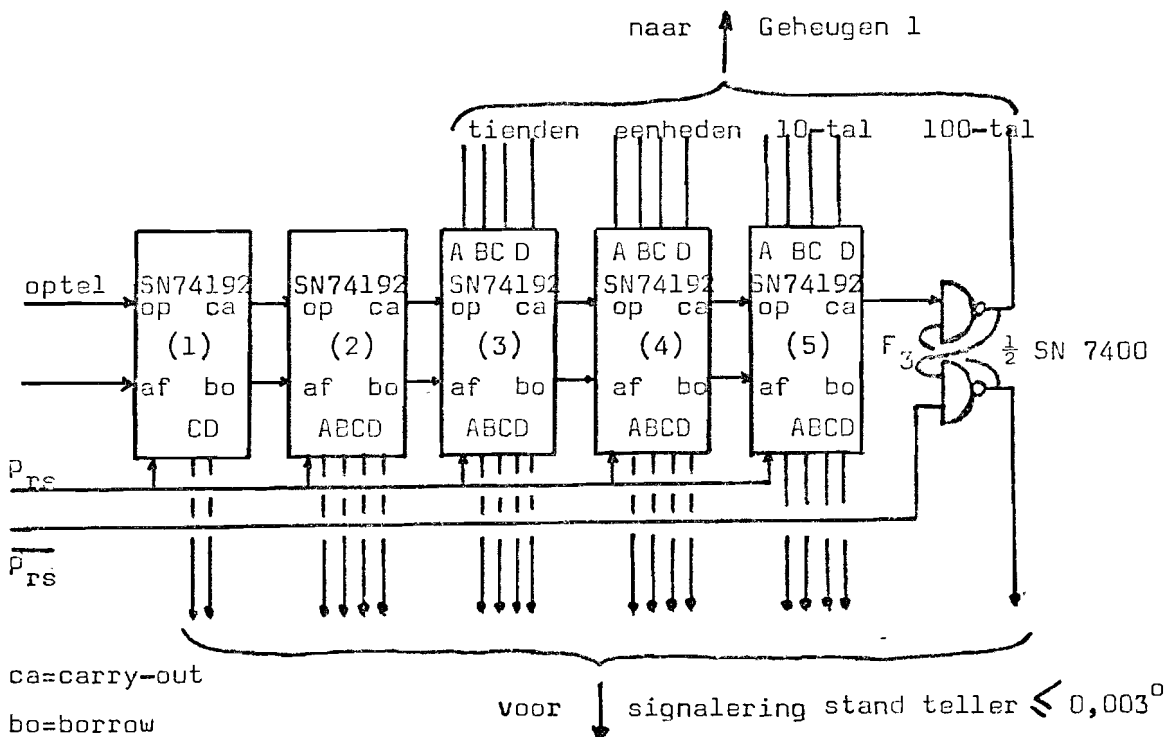


3.1.8. De teller

De teller bestaat uit een vijftal in cascade geschakelde I.C.'s type SN 74192 gevolgd door een S-R flip-flop F_3 (zie fig 3-19). Het I.C. SN 74192 is geschikt voor cascadeschakelingen, omdat het voorzien is van een optel- en aftel-input en tevens van een carry-out en borrow output. De maximale telfrequentie van dit I.C. bedraagt 32 MHz, hetgeen overeenkomt met pulsen van 14 nsec., de gegarandeerde telfrequentie bedraagt 25 MHz wat overeenkomt met pulsen van 20 nse. Voor de verdere gegevens zie de bijlagen op blz.41 - 44.

Daar voor de uitlezing van -180° tot $+180^\circ$ voor de honderdtallen alleen de éénhonderd nodig is, is hiervoor i.p.v. een heel tel-I.C. een gewone S-R flip-flop voldoende.

Deze flip-flop behoeft niet gereset te worden door aftel-pulsen, want voor $|\beta_1 - \beta_2| \gg 90^\circ$ wordt alleen gebruik gemaakt van de optel-input van de teller en voor $|\beta_1 - \beta_2| \ll 90^\circ$ wordt F_3 niet eens geset. Wel wordt F_3 , voordat een complete meting wordt uitgevoerd, gereset door $\overline{p_{rs}}$ net zoals de tel-I.C.'s door p_{rs} (zie 3.1.2.)



figuur 3-19

Signetics

**S54192
N74192**

S54192-B,F,W • N74192-B,F

DIGITAL 54/74 TTL SERIES

This is a synchronous reversible (up/down) counter having a complexity of 55 equivalent gates. The S54192 and N74192 are BCD counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincidentally with each other when so instructed by the steering logic. This mode of operation eliminates the output counting spikes which are normally associated with asynchronous (ripple-clock) counters.

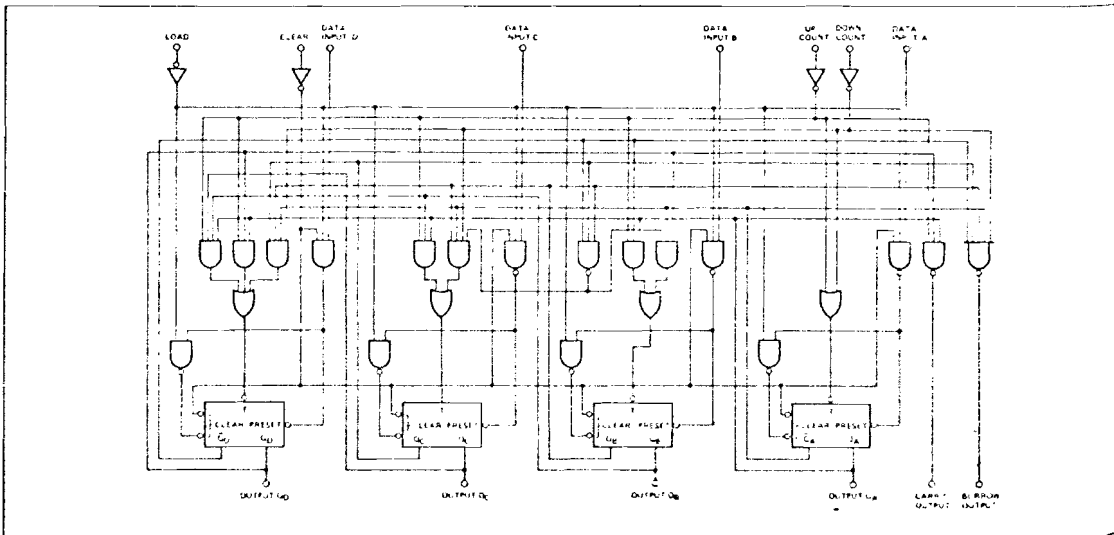
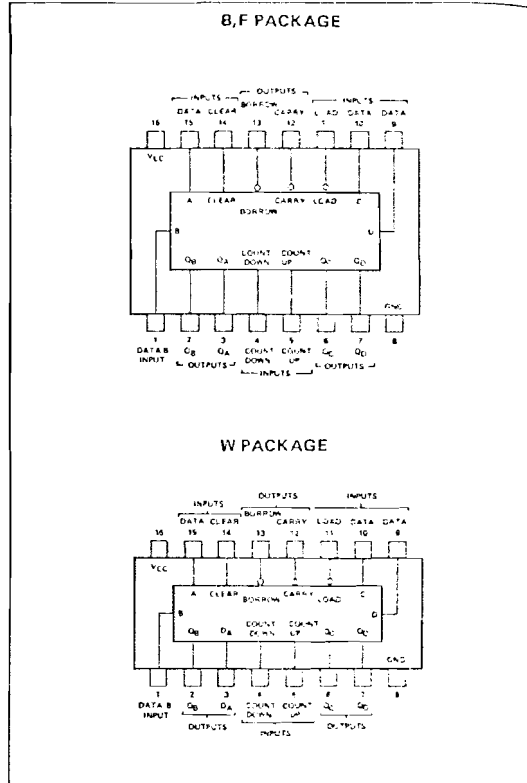
The outputs of the master-slave flip-flops are triggered by a low-to-high-level transition of either count (clock) input. The direction of counting is determined by which count input is pulsed while the other count input is high.

These counters are fully programmable, that is, the outputs may be present to any state by entering the desired data at the data inputs while the load input is low. The output will change to agree with the data inputs independently of the count pulses. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset inputs.

A clear input has been provided which forces all outputs to the low level when a high level is applied. The clear function is independent of the count and load inputs. An input buffer has been placed on the clear, count, and load inputs to lower the drive requirements to one normalized Series 54/74 load. This is important when the output of the driving circuitry is somewhat limited.

These counters were designed to be cascaded without the need for external circuitry. Both borrow and carry outputs are available to cascade both the up-and down-counting functions. The borrow output produces a pulse equal in width to the count-down input when the counter underflows. Similarly, the carry output produces a pulse equal in width to the count-up input when an overflow condition exists. The counters can then be easily cascaded by feeding the borrow and carry outputs to the count-down and count-up inputs respectively of the succeeding counter.

Power dissipation is typically 325 milliwatts for either the decade or binary version. Maximum input count frequency is typically 32 megahertz and is guaranteed to be 25MHz minimum.

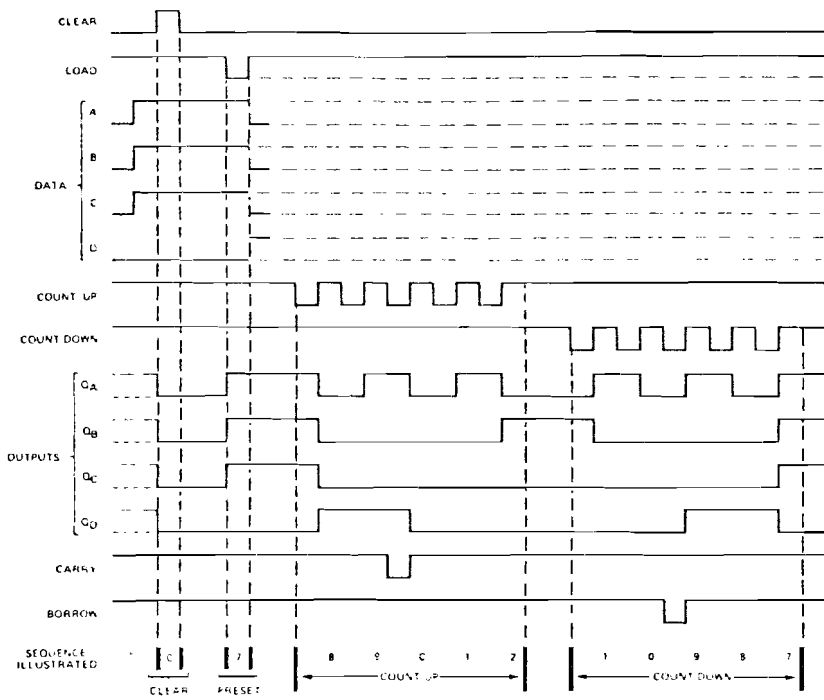


SIGNETICS SYNCHRONOUS DECADE UP/DOWN COUNTER WITH PRESET INPUTS ■ S54/N74192

(typical clear, load, and count sequences)

Illustrated below is the following sequence.

1. Clear outputs to zero*
2. Load (preset) to BCD seven.
3. Count up to eight, nine, carry, zero, one, and two.
4. Count down to one, zero, borrow, nine, eight, and seven.

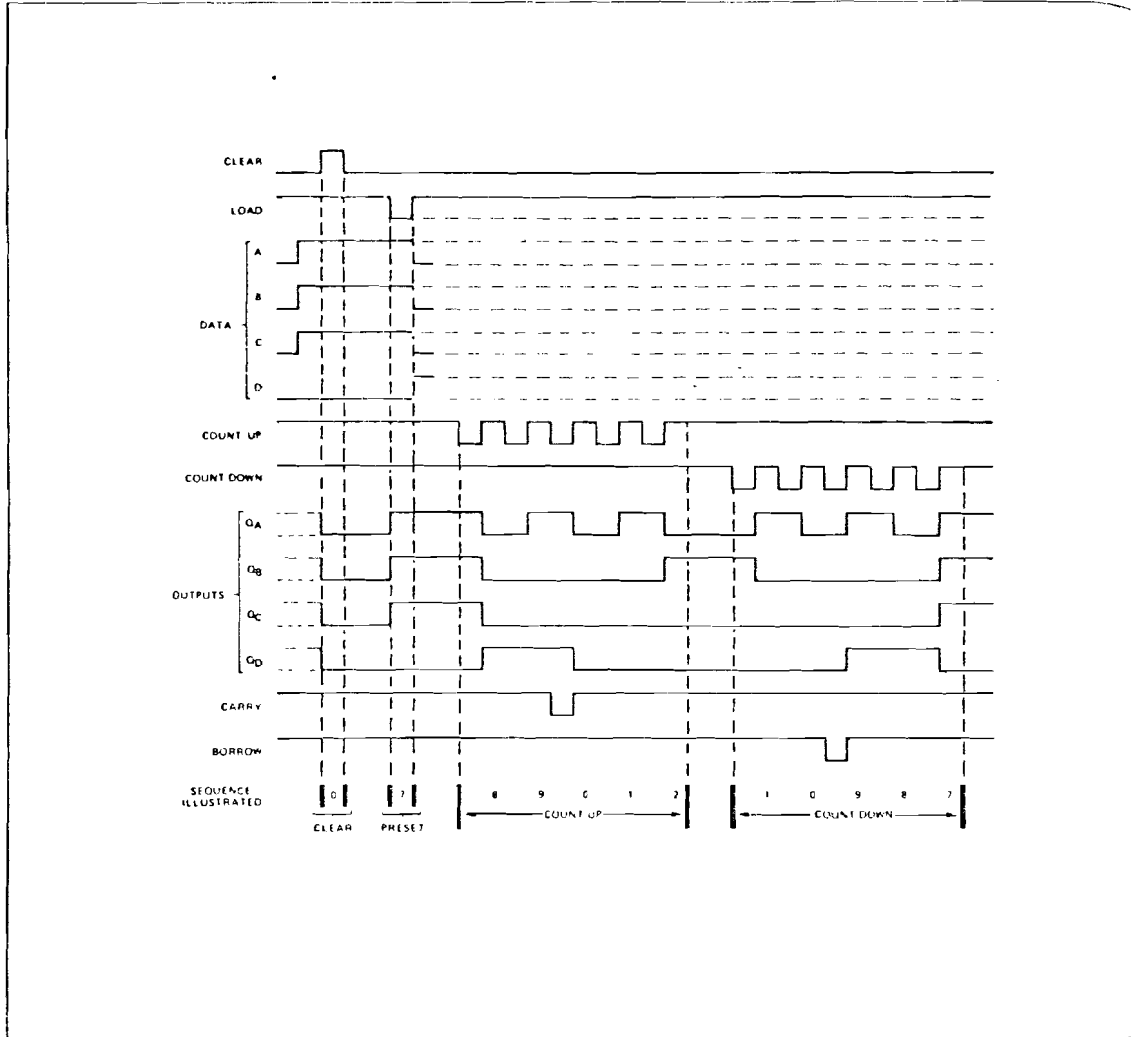


NOTES

- A. Clear overrides load, data, and count inputs.
- B. When counting up, count down input must be high, when counting down, count up input must be high.

SIGNETICS SYNCHRONOUS DECADE UP/DOWN COUNTER WITH PRESET INPUTS ■ S54/N74192

typical clear, load and count sequences



NOTES:

- A. Clear overrides load, data, and count inputs.
- B. When counting up, count-down input must be high, when counting down, count-up input must be high.

PARAMETER	SN54192			SN74192			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-400			-400	μ A
Low-level output current, I_{OL}			16			16	mA
Count frequency, f_{count}	0		25	0		25	MHz
Width of any input pulse, t_{wq}	20			20			ns
Data setup time, t_{setup}	20			20			ns
Data hold time, t_{hold}	0			0			ns
Operating free air temperature, T_A	-55		125	0		70	C

SIGNETICS SYNCHRONOUS DECADE UP/DOWN COUNTER WITH PRESET INPUTS ■ S54/N74192

$V_{CC} = 5V, T_A = 25^\circ C$

PARAMETER*	FROM .INPUT	TO OUTPUT	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}				25	32		MHz
t_{PLH}	Count-up	Carry	CL = 15pF, RL = 400Ω, See Figures 1 and 2	17	17	26	ns
t_{PHL}						16	24
t_{PLH}	Count-down	Borrow			16	24	
t_{PHL}						16	24
t_{PLH}	Either Count	Q			25	38	
t_{PHL}						31	47
t_{PLH}	Load	Q			27	40	
t_{PHL}						29	40
t_{PHL}	Clear	Q			22	35	
t_{PHL}							

* f_{max} maximum clock frequency
 t_{PLH} propagation delay time, low to high-level output
 t_{PHL} propagation delay time, high to low level output

(unless otherwise noted)

PARAMETER	TEST CONDITIONS*	SN54192			SN74192			UNIT
		MIN	TYP**	MAX	MIN	TYP**	MAX	
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage			0.8			0.8	V
V_I	Input clamp voltage	$V_{CC} = MIN, I_I = -12mA$		-1.5			-1.5	V
V_{OH}	High-level output voltage	$V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = -400\mu A$	2.4	3.4	2.4	3.4		V
V_{OL}	Low-level output voltage	$V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 16mA$		0.2	0.4	0.2	0.4	V
I_I	Input current at maximum input voltage	$V_{CC} = MAX, V_I = 5.5V$		1			1	mA
I_{IH}	High-level input current	$V_{CC} = MAX, V_I = 2.4V$		40			40	μA
I_{IL}	Low-level input current	$V_{CC} = MAX, V_I = 0.4V$		-1.6			-1.6	mA
I_{OS}	Short-circuit output current†	$V_{CC} = MAX$	-20	-65	-18	-65		mA
I_{CC}	Supply current	$V_{CC} = MAX, \text{ See Note 2}$		65	89	65	102	mA

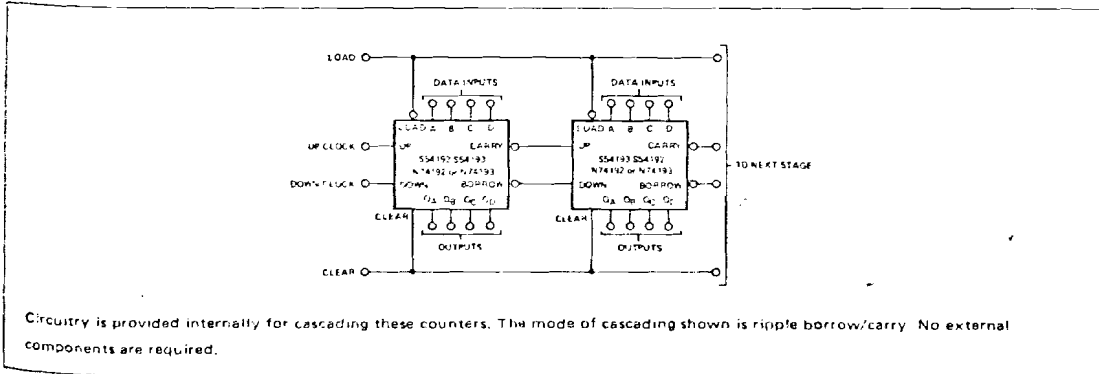
*For conditions shown as MIN. or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.

**All typical values are at $V_{CC} = 5V, T_A = 25^\circ C$.

†Not more than one output should be shorted at a time.

NOTE 2:

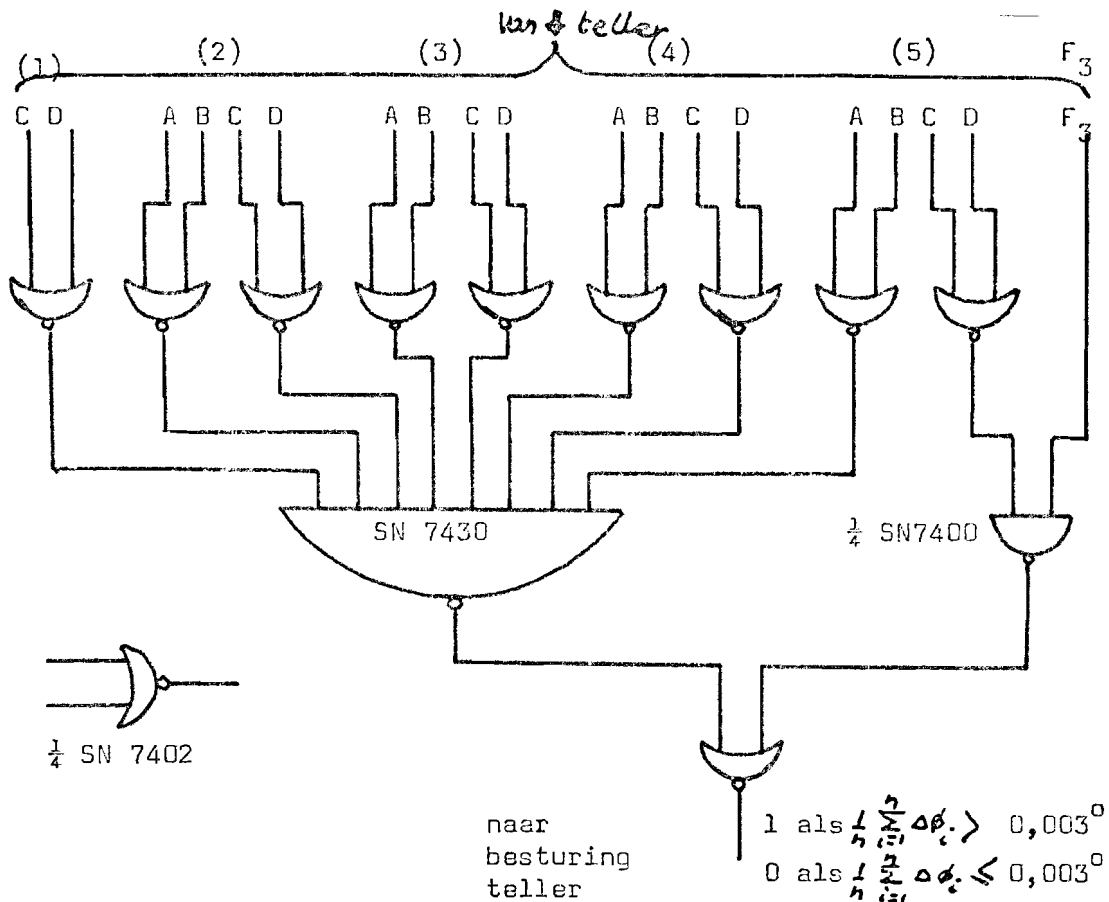
I_{CC} is measured with all outputs open, clear and load inputs grounded, and all other inputs at 4.5V.



Circuitry is provided internally for cascading these counters. The mode of cascading shown is ripple borrow/carry. No external components are required.

3.1.9. Stand van de teller $|Q_1 - Q_2| \leq 0,003^0$

De schakeling voor de signalering van de stand van de teller $0,003^0$ is opgebouwd uit een schakeling van poorten (NOR, type SN 7402; NAND, type SN 7400 en type SN 7430) die de output (Q_A, Q_B, Q_C, Q_D) van elke teller en de output van F_3 bekijken, zie figuur 3-20.



figuur 3-20

Wanneer de teller in een van de standen $0,000^0$; $0,001^0$; $0,002^0$ of $0,003^0$ staat, het maakt niet uit in welke, dan zijn de output's van tel-I.C.'s 2, 3, 4 en 5 en de output's C en D van tel-I.C. 1 allemaal 0 (nul) en is de output van F_3 1. Alleen in deze situaties is de output van de schakeling van fig. 3-20 1, voor alle andere faseverschillen $|Q_1 - Q_2|$ is deze output 0.

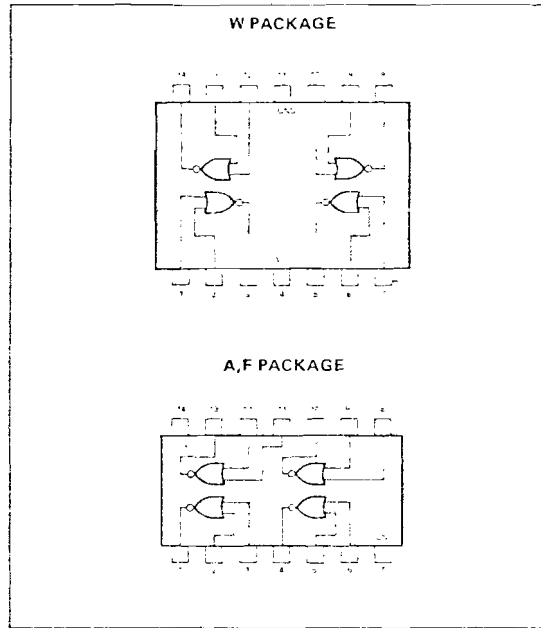
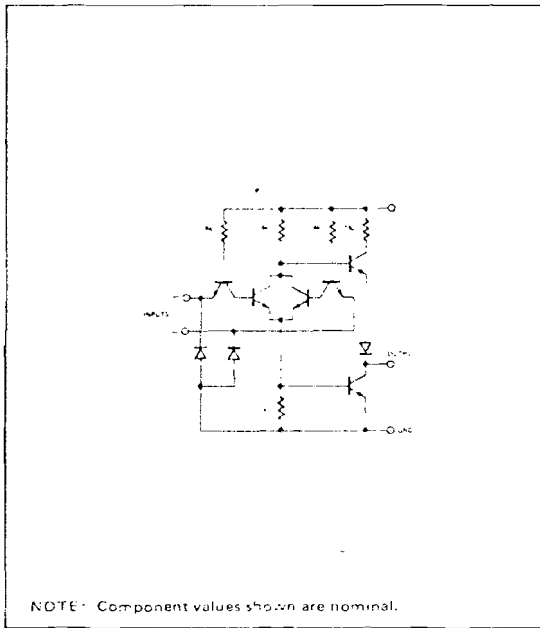
Signetics

S5402 N7402

S5402-A,F,W • N7402-A,F

DIGITAL 54/74 TTL SERIES

(each gate)



PARAMETER		MIN	NOM	MAX	UNIT
Supply Voltage V_{CC}	S5402 Circuits	4.5	5	5.5	V
	N7402 Circuits	4.75	5	5.25	V
Normalized Fan-Out from each Output, N				10	
Operating Free-Air Temperature Range, T_A	S5402 Circuits	-55	25	125	C
	N7402 Circuits	0	25	70	C

(over recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS*		MIN	TYP**	MAX	UNIT
$V_{in(1)}$	Logical 1 input voltage required at either input terminal to ensure logical 0 level at output	$V_{CC} = \text{MIN}$	2			V
$V_{in(0)}$	Logical 0 input voltage required at both input terminals to ensure logical 1 level at output	$V_{CC} = \text{MIN}$			0.8	V
$V_{out(1)}$	Logical 1 output voltage	$V_{CC} = \text{MIN}$, $I_{load} = -400\mu\text{A}$	2.4	3.3		V
$V_{out(0)}$	Logical 0 output voltage	$V_{CC} = \text{MIN}$, $I_{sink} = 16\text{mA}$		0.22	0.4	V
$I_{in(0)}$	Logical 0 level input current (each input)	$V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$			-1.6	mA
$I_{in(1)}$	Logical 1 level input current (each input)	$V_{CC} = \text{MAX}$, $V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$, $V_{in} = 5.5\text{V}$			40 1	μA mA
I_{OS}	Short circuit output Current†	$V_{CC} = \text{MAX}$	S5402 N7402	-20 -18	-55 -55	mA

PARAMETER	TEST CONDITIONS*		MIN	TYP	MAX	UNIT
$I_{CC(0)}$	Logical 0 level supply current	$V_{CC} = \text{MAX}$, $V_{in} = 5\text{V}$		14	27	mA
$I_{CC(1)}$	Logical 1 level supply current	$V_{CC} = \text{MAX}$, $V_{in} = 0$		8	16	mA

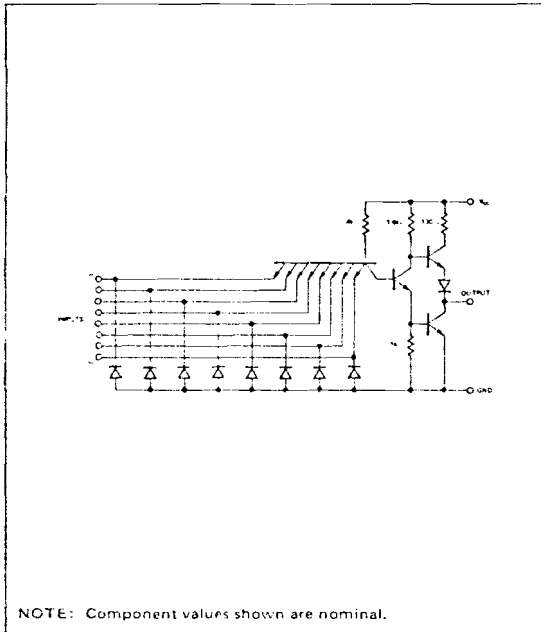
$V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$, $N = 10$

PARAMETER	TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{pd0}	Propagation delay time to logical 0 level	$C_L = 15\text{pF}$, $R_L = 400\Omega$		8	15	ns
t_{pd1}	Propagation delay time to logical 1 level	$C_L = 15\text{pF}$, $R_L = 400\Omega$		12	22	ns

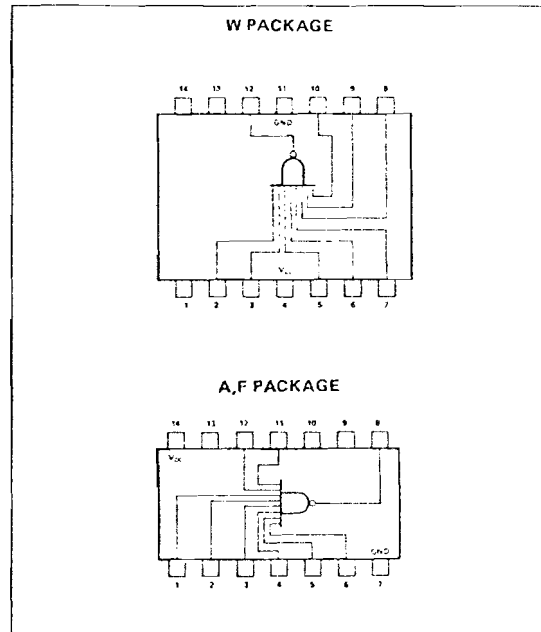
* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

** All typical values are at $V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$

† Not more than one output should be shorted at a time.



NOTE: Component values shown are nominal.



PARAMETER	MIN	NOM	MAX	UNIT
Supply Voltage V_{CC} : S5430 Circuits	4.5	5	5.5	V
N7430 Circuits	4.75	5	5.25	V
Normalized Fan-Out from Output, N			10	
Operating Free-Air Temperature Range, T_A : S5430 Circuits	-55	25	125	$^{\circ}C$
N7430 Circuits	0	25	70	$^{\circ}C$

(over recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS *	MIN	TYP **	MAX	UNIT
$V_{in(1)}$	Logical 1 input voltage required at all input terminals to ensure logical 0 level at output	$V_{CC} = \text{MIN}$	2		V
$V_{in(0)}$	Logical 0 input voltage required at any input terminal to ensure logical 1 level at output	$V_{CC} = \text{MIN}$		0.8	V
$V_{out(1)}$	Logical 1 output voltage	$V_{CC} = \text{MIN}$, $I_{load} = -400\mu A$	2.4	3.3	V
$V_{out(0)}$	Logical 0 output voltage	$V_{CC} = \text{MIN}$, $I_{sink} = 16\text{mA}$	0.22	0.4	V
$I_{in(0)}$	Logical 0 level input current (each input)	$V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$		-1.6	mA
$I_{in(1)}$	Logical 1 level input current (each input)	$V_{CC} = \text{MAX}$, $V_{CC} = \text{MAX}$, $V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$, $V_{in} = 5.5\text{V}$		40 1	μA mA
I_{OS}	Short circuit output current †	S5430 N7430	-20 -18	-55 -55	mA

ELT 5430 (Cont'd)

PARAMETER	TEST CONDITIONS *	MIN	TYP **	MAX	UNIT
$I_{CC(0)}$	Logical 0 level supply current	$V_{CC} = \text{MAX}$, $V_{in} = 5\text{V}$	3	6	mA
$I_{CC(1)}$	Logical 1 level supply current	$V_{CC} = \text{MAX}$, $V_{in} = 0$	1	-2	mA

$V_{CC} = 5\text{V}$, $T_A = 25^{\circ}C$, $N = 10$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{pd0}	Propagation delay time to logical 0 level	$C_L = 15\text{pF}$, $R_L = 400\Omega$	8	15	ns
t_{pd1}	Propagation delay time to logical 1 level	$C_L = 15\text{pF}$, $R_L = 400\Omega$	13	22	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

** All typical values are at $V_{CC} = 5\text{V}$, $T_A = 25^{\circ}C$.

† Not more than one output should be shorted at a time.

3.1.10. Geheugen 1 (G1)

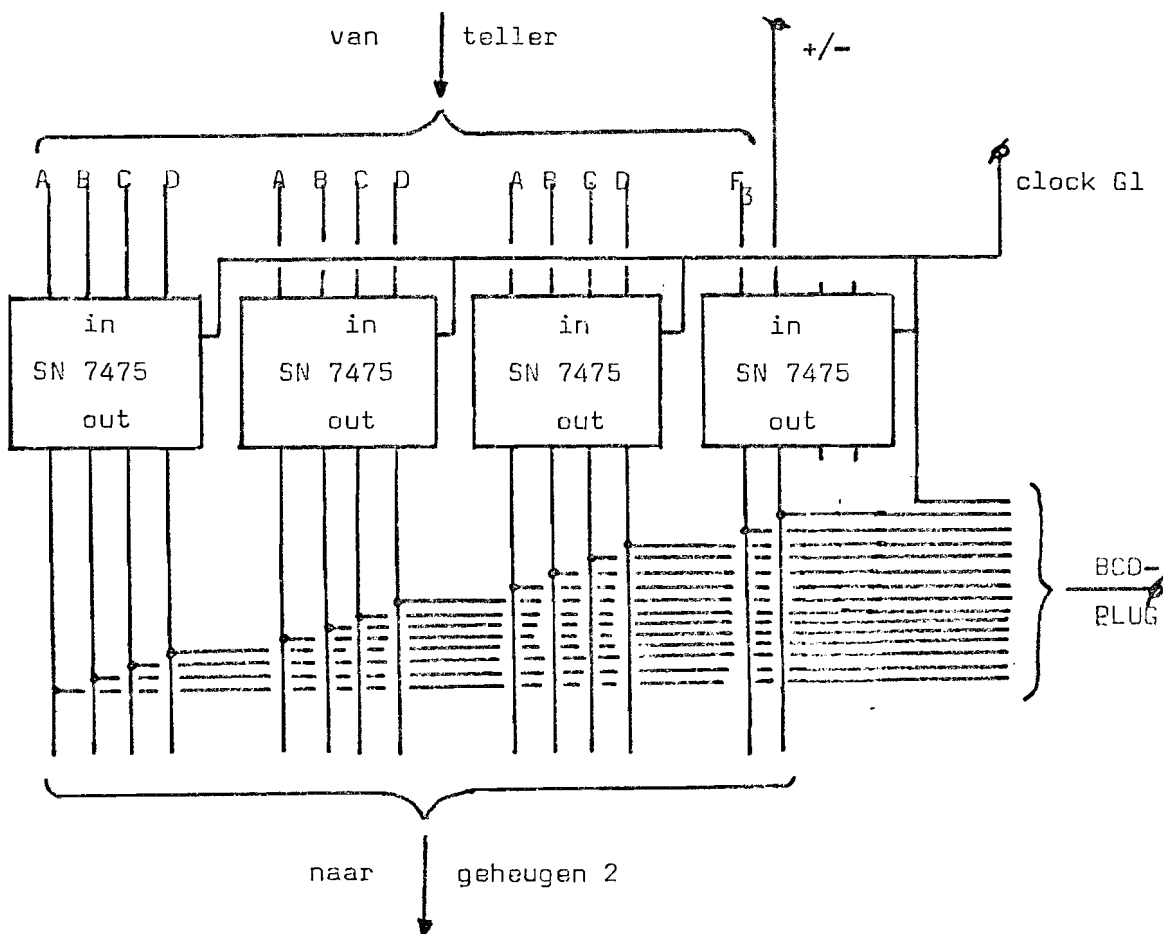
Het gebruik van een geheugen is noodzakelijk, omdat anders ook alle tussenliggende standen van de teller op de uitvoer en op de display optreden

Telkens als er nu een complete meting verricht is, wordt de stand van de teller-I.C.'s 3, 4 en 5 en de stand van F_3 in geheugen 1 ingelezen op commando van clock G1 (zie 3.1.4.).

Voor de geheugens is gebruik gemaakt van het I.C. SN 7475, gegevens hierover zijn te vinden op de bijlagen blz. 49-51 .

De output van het geheugen gaat naar geheugen 2 en gaat naar een BCD plug, welke laatste een aansluiting op een computer mogelijk maakt. Dit is gedaan om alle metingen (20 maal per sec.) te kunnen registreren. Om aan te geven wanneer er weer een registratie plaats moet vinden kan waarschijnlijk (afhankelijk van type computer) het beste gebruik gemaakt worden van het signaal clock G1.

De schakeling van geheugen 1 is hieronder afgebeeld.



figuur 3-21

Signetics

**S5475
N7475**

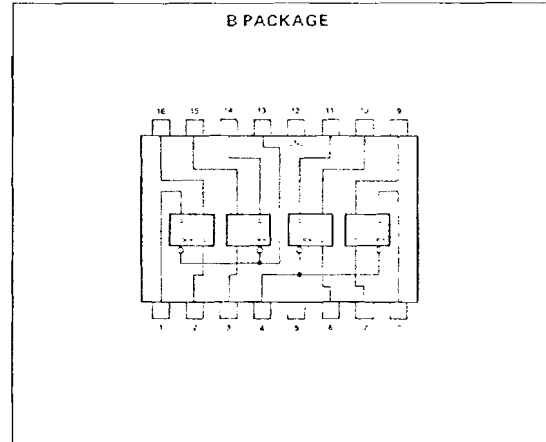
S5475-B • N7475-B

DIGITAL 54/74 TTL SERIES

The S5475B/N7475B is a monolithic, quadruple, bistable latch with complementary Q and \bar{Q} outputs. Information present at a data (D) input is transferred to the Q output when the clock is high, and the Q output will follow the data input as long as the clock remains high. When the clock goes low, the information (that was present at the data input at the time the transition occurred) is retained at the Q output until the clock is permitted to go high.

This latch is ideally suited for use as temporary storage for binary information between processing units and input/output or indicator units.

PIN CONFIGURATIONS



LOGIC

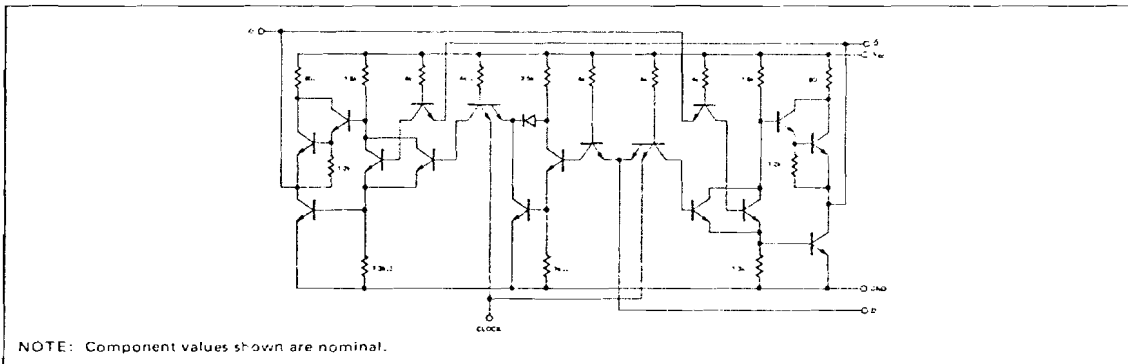
(Each Latch)

t_n	t_{n+1}		
D	Q	\bar{Q}	
1	1	0	
0	0	1	

NOTES:

1. t_n = bit time before clock pulse.
2. t_{n+1} = bit time after clock pulse.
3. These voltages are with respect to network ground terminal.

(each latch)



PARAMETER	MIN	NOM	MAX	UNIT
Supply Voltage V_{CC} (See Note 3):				
S5475 Circuits	4.5	5	5.5	V
N7475 Circuits	4.75	5	5.25	V
Normalized Fan-Out from Outputs			10	
Operating Free-Air Temperature Range, T_A :				$^{\circ}C$
S5475 Circuits	-55	25	125	
N7475 Circuits	0	25	70	

(lower recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS*	MIN	TYP**	MAX	UNIT
$V_{in}(1)$	Input voltage required to ensure logical 1 level at any input terminal	$V_{CC} = \text{MIN}$	2		V
$V_{in}(0)$	Input voltage required to ensure logical 0 level at any input terminal	$V_{CC} = \text{MIN}$		0.8	V
$V_{out}(1)$	Logical 1 output voltage	$V_{CC} = \text{MIN}$, $I_{load} = -400\mu A$	2.4		V
$V_{out}(0)$	Logical 0 output voltage	$V_{CC} = \text{MIN}$, $I_{sink} = 16mA$		0.4	V

SIGNETICS QUADRUPLE BISTABLE LATCH ■ S5475, N7475

(Cont'd)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$I_{in(0)}$	Logical 0 level input current at D $V_{CC} = \text{MAX}, V_{in} = 0.4V$			-3.2	mA
$I_{in(0)}$	Logical 0 level input current at clock $V_{CC} = \text{MAX},$			-6.4	mA
$I_{in(1)}$	Logical 1 level input current at D $V_{CC} = \text{MAX}, V_{in} = 2.4V$			80	μA
$I_{in(1)}$	Logical 1 level input current at clock $V_{CC} = \text{MAX}, V_{in} = 5.5V$			1	mA
$I_{in(1)}$	Logical 1 level input current at clock $V_{CC} = \text{MAX}, V_{in} = 2.4V$			160	μA
I_{OS}	Short circuit output current† $V_{CC} = \text{MAX}, V_{out} = 0$	-20		-75	mA
I_{CC}	Supply current $V_{CC} = \text{MAX},$ S5475 N7475	-18	32	46	mA
			32	53	mA

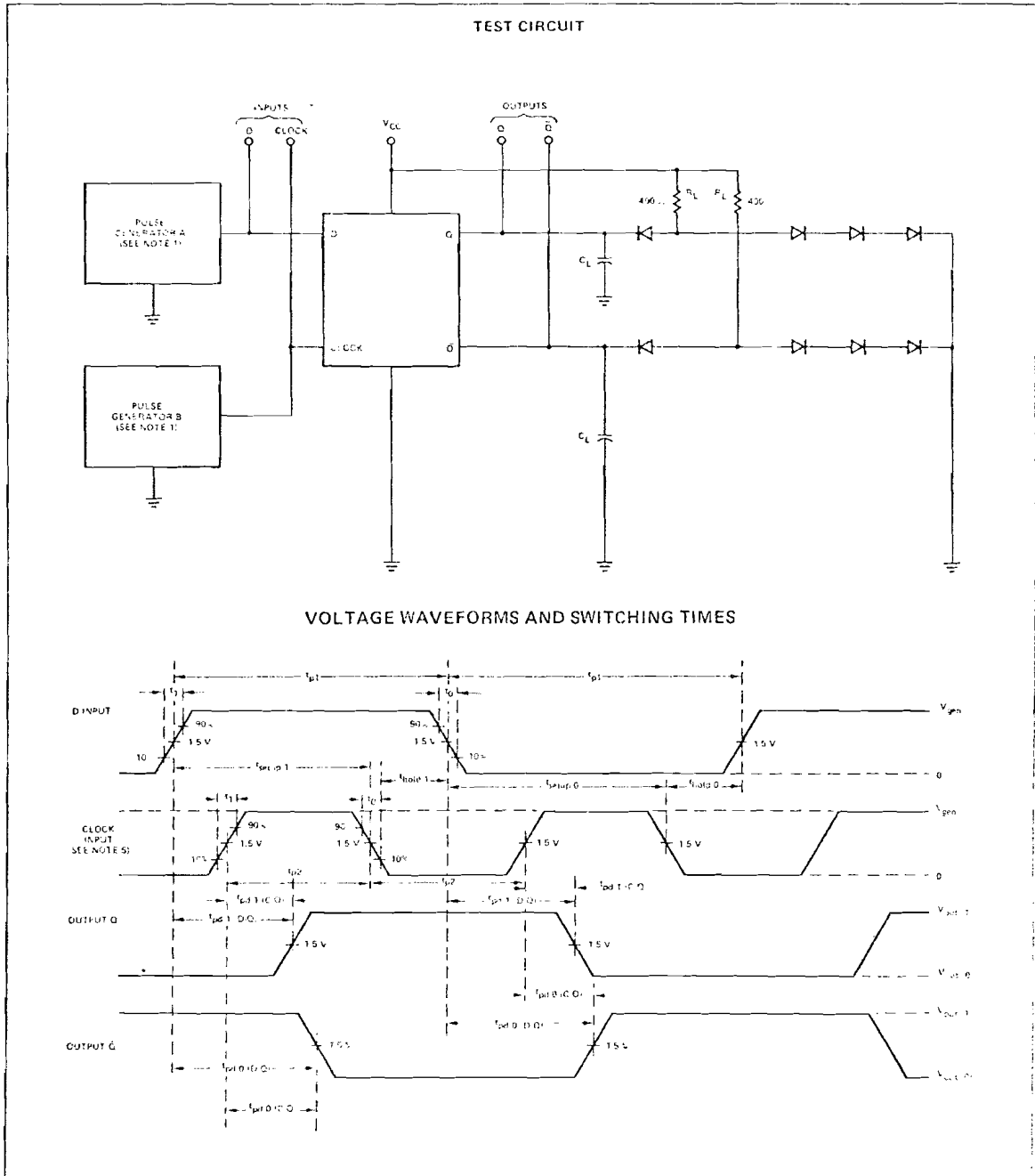
$V_{CC} = 5V, T_A = 25^\circ C, N = 10$

PARAMETER	TEST CONDITIONS NOTE A	MIN	TYP	MAX	UNIT
t_{setup1}	Minimum logical 1 level input setup time at D input $C_L = 15pF, R_L = 400\Omega$		7	20	ns
t_{setup0}	Minimum logical 0 level input setup time at D input $C_L = 15pF, R_L = 400\Omega$		14	20	ns
t_{hold1}	Maximum logical 1 level input hold time required at D input $C_L = 15pF, R_L = 400\Omega$	0	15 ^c		ns
t_{hold0}	Maximum logical 0 level input hold time required at D input $C_L = 15pF, R_L = 400\Omega$	0	6 ^c		ns
$t_{pd1(D-Q)}$	Propagation delay time to logical 1 level from D input to Q output $C_L = 15pF, R_L = 400\Omega$		16	30	ns
$t_{pd0(D-Q)}$	Propagation delay time to logical 0 level from D input to Q output $C_L = 15pF, R_L = 400\Omega$		14	25	ns
$t_{pd1(D-\bar{Q})}$	Propagation delay time to logical 1 level from D input to \bar{Q} output $C_L = 15pF, R_L = 400\Omega$		24	40	ns
$t_{pd0(D-\bar{Q})}$	Propagation delay time to logical 0 level from D input to \bar{Q} output $C_L = 15pF, R_L = 400\Omega$		7	15	ns
$t_{pd1(C-Q)}$	Propagation delay time to logical 1 level from clock input to Q output $C_L = 15pF, R_L = 400\Omega$		16	30	ns
$t_{pd0(C-Q)}$	Propagation delay time to logical 0 level from clock input to Q output $C_L = 15pF, R_L = 400\Omega$		7	15	ns
$t_{pd1(C-\bar{Q})}$	Propagation delay time to logical 1 level from clock input to \bar{Q} output $C_L = 15pF, R_L = 400\Omega$		16	30	ns
$t_{pd0(C-\bar{Q})}$	Propagation delay time to logical 0 level from clock input to \bar{Q} output $C_L = 15pF, R_L = 400\Omega$		7	15	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
 ** All typical values are at $V_{CC} = 5V, T_A = 25^\circ C$
 † Not more than one output should be shorted at a time.
 ‡ These typical times indicate that period occurring prior to the fall of clock pulse (t_G) below 1.5V when data at the D input will still be recognized and stored.

Note A AC Test circuit, voltage waveforms and switching times are given on page 2-76

SIGNETICS QUADRUPLE BISTABLE LATCH ■ S5475, N7475



- NOTES:
1. The pulse generators have the following characteristics: $V_{gen} = 3\text{ V}$, $t_1 = t_0 = 10\text{ ns}$, and $Z_{out} = 50\ \Omega$. For pulse generator A, $t_{p1} = 1\ \mu\text{s}$ and $PRR = 500\text{ kHz}$. For pulse generator B, $t_{p2} = 500\text{ ns}$ and $PRR = 1\text{ MHz}$. Positions of D input and clock input pulses are varied with respect to each other to verify setup and hold times.
 2. Each latch is tested separately.
 3. C_L includes probe and jig capacitance.
 4. All diodes are 1N3004.
 5. When measuring $t_{pd}(D \rightarrow Q)$ and $t_{pd}(CLOCK \rightarrow Q)$ for $t_{pd}(D \rightarrow Q)$ and $t_{pd}(CLOCK \rightarrow Q)$ for the S5475 (N7475), clock input must be held at logical 1.

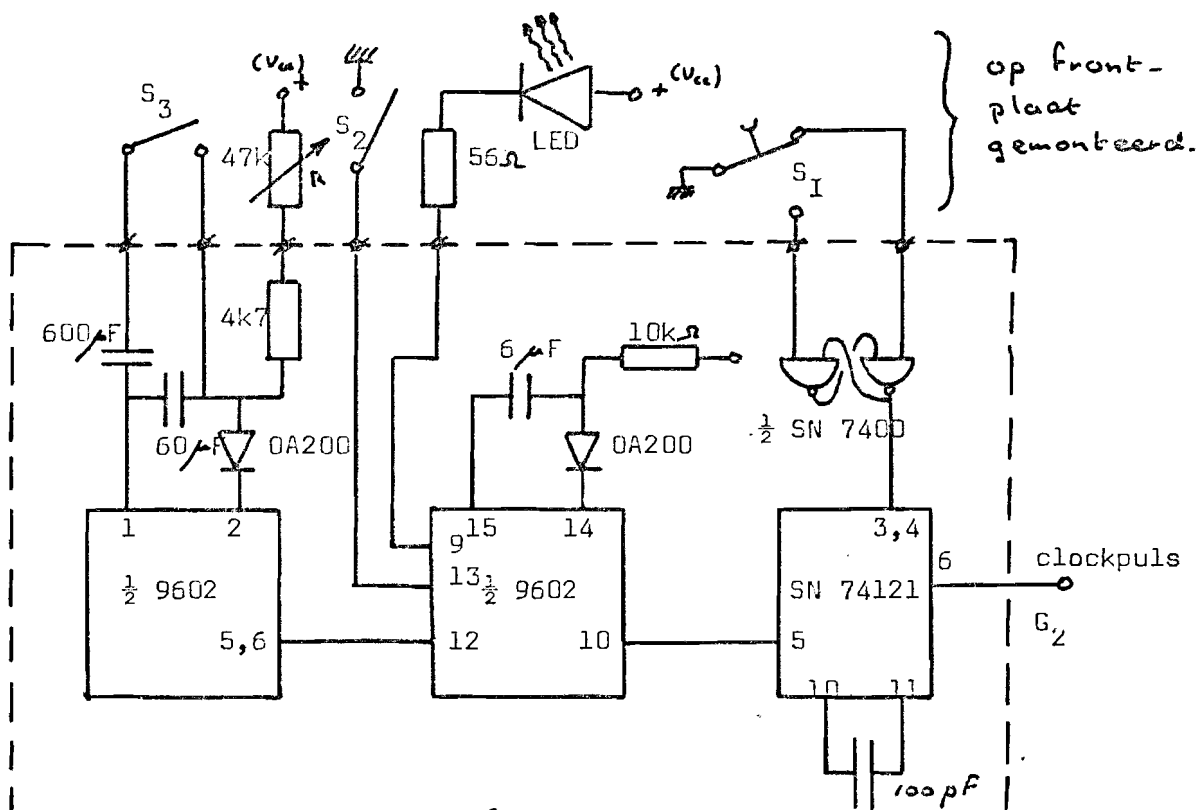
[†]Complementary Q or \bar{Q} outputs are on the S5475 (N7475) only.

3.1.11. Geheugen 2 (G2)

Geheugen 2 is net zo uitgevoerd als geheugen 1, zij het dat er hier geen uitvoer is naar een plug, doch alleen een uitvoer naar de display. Geheugen 2 wordt bestuurd door een clockpulsgenerator (3.1.12), die een puls afgeeft met regelbare herhalingsstijd. Dit betekent, dat geheugen 2 regelmatig het resultaat van de teller uit geheugen 1 overneemt en uitleest op de display.

3.1.12. Clockpuls-generator voor G2 met LED-indicatie

De clockpulsgenerator, waarvan het schema door fig. 3-22 wordt weergegeven, geeft pulsen af met een maximale frequentie van 10 Hz en een minimale frequentie van 0,1 Hz. Met elke puls wordt ook een LED gestuurd die op de frontplaat van het apparaat is gemonteerd. De clockpuls kan bovendien nog gegeven worden met een drukknop.



figuur 3-22

FAIRCHILD

S9602
N9602

PACKAGE TYPES B-F-W
DIGITAL 54/74 TTL SERIES

The Monostable 9602 Dual Retriggerable, Resettable Monostable Multivibrator provides an output pulse whose width and accuracy is a function of external timing components. The 9602 has excellent immunity to noise on VCC and ground lines. The 9602 uses TTL inputs and outputs for high speed and high fanout capability and is compatible with all members of the Fairchild TTL family.

- WIDE TO INFINITE OUTPUT WIDTH RANGE
- RETRIGGERABLE 0 TO 100% DUTY CYCLE
- TTL INPUT GATING—LEADING OR TRAILING EDGE TRIGGERING
- COMPLEMENTARY TTL OUTPUTS
- OPTIONAL RETRIGGER LOCK-OUT CAPABILITY
- PULSE WIDTH COMPENSATED FOR VCC AND TEMPERATURE VARIATIONS
- RESETTABLE

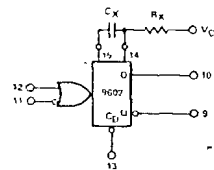
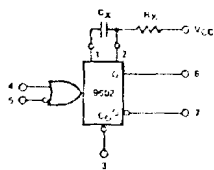
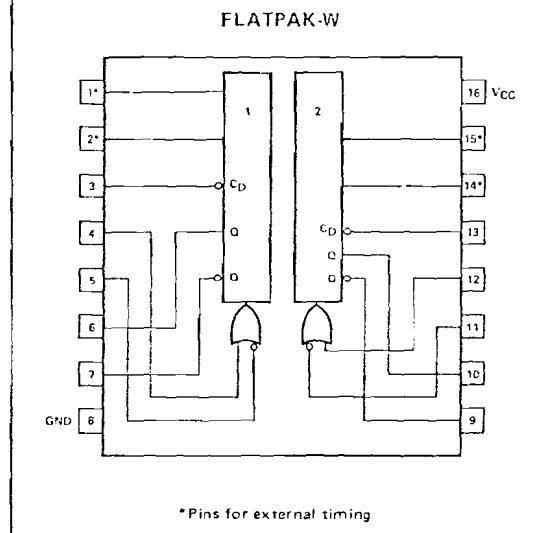
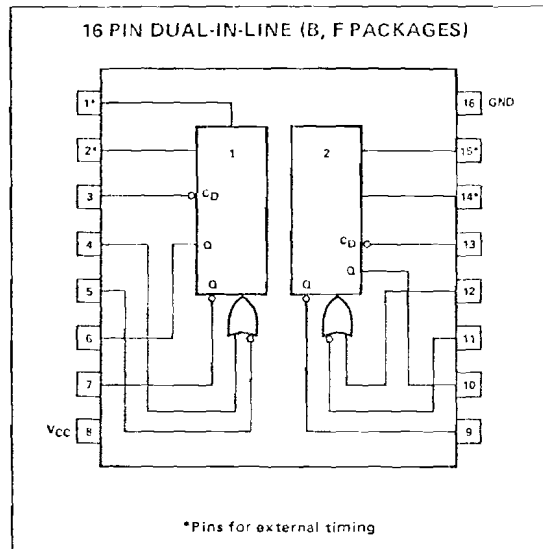
Absolute Maximum Ratings (above which the device life may be impaired)

Storage Temperature	-65°C to +150°C
Operating Temperature (Ambient) Under Bias	-55°C to +125°C
Input Pin Potential to Ground (See Note 1)	-0.5 V to +8.0 V
Output Voltage (dc) (See Note 2)	-0.5 V to +5.5 V
Output Current (See Note 2)	-30 mA to +15.0 mA
Voltage Applied to Output When Output is HIGH	-0.5 V to +VCC value
Current Into Output When Output is LOW	50 mA

The maximum VCC value of 8.0 volts is not the primary factor in determining the maximum VCC which may be applied to a number of interconnected devices. The voltage at a HIGH output is approximately 1 VBE below the VCC voltage, so the primary limit on the VCC is that the voltage at any input may not go above 5.5 V unless the current is limited. This effectively limits the system VCC to approximately 7.0 volts.

Because of the input clamp diodes, excess current can be drawn from the inputs if the dc input voltage is more negative than -0.5 V. The diode is designed to clamp off large negative ac signals associated with fast fall times and long lines. This maximum rating is intended only to limit the steady state input voltage and current.

(Top View)



SIGNETICS DUAL RETRIGGERABLE RESETTABLE MONOSTABLE MULTIVIBRATOR ■ S/N9602

The 9602 dual resettable, retriggerable monostable multivibrator has two inputs per function, one active LOW and one active HIGH. This allows leading edge or trailing edge triggering. The TTL inputs make triggering independent of input transition times. When input conditions for triggering are met, a new cycle starts and the external capacitor is rapidly discharged and then allowed to charge. An input cycle time shorter than the output cycle time will retrigger the 9602 and result in a continuous true output. The output pulse may be terminated at any time by connecting the reset pin to a logic level LOW. Active pullups are provided on the outputs for good drive capability into capacitive loads. Retriggering may be inhibited by tying Q output to an active level LOW input or the Q output to the active level HIGH input.

- An external resistor (R_X) and external capacitor (C_X) are required as shown in the Logic Diagram.
- The value of R_X may vary from 5.0 k Ω to 50 k Ω for 0 to 75°C operation. The value of R_X may vary from 5.0 k Ω to 25 k Ω for -55 to +125°C operation.
- The value of C_X may vary from 0 to any necessary value available. If, however, the capacitor has leakages approaching 3.0 μ A or if stray capacitance from either terminal to ground is more than 50 pF, the timing equations may not represent the pulse width obtained.
- The output pulse with (t) is defined as follows:

$$t = 0.31 R_X C_X \left(1 + \frac{1}{R_X} \right)$$

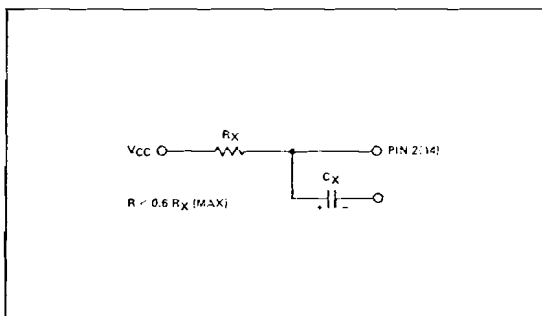
Where

R_X is in k Ω , C_X is in pF

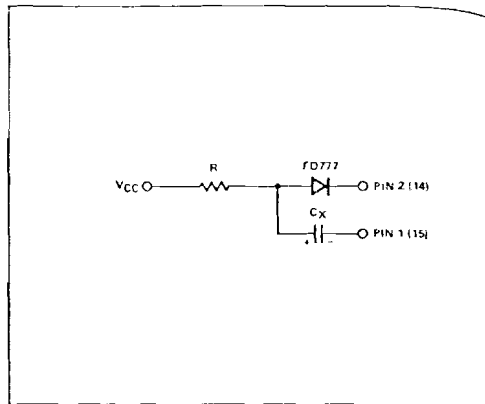
t is in ns

for $C_X < 10^3$ pF, see Fig. 14

- If electrolytic type capacitors are to be used, the following three configurations are recommended:

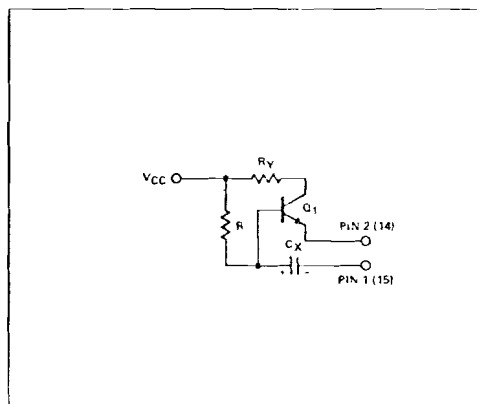


1. Use with low leakage capacitors. The normal RC configuration can be used predictably only if the forward capacitor leakage at 5.0 volts is less than 3 μ A, and the inverse capacitor leakage at 1.0 volt is less than 5 μ A over the operational temperature range.



2. Use with high inverse leakage current electrolytic capacitors: The diode in this configuration prevents high inverse leakage currents through the capacitor by preventing an inverse voltage across the capacitor. The use of this configuration is not recommended with retriggerable operation.

$$t \approx 0.3 RC_X$$



3. Use to obtain extended pulse widths: This configuration can be used to obtain extended pulse widths, because of the larger timing constant allowed by beta multiplication. Electrolytics with high inverse leakage currents can be used.

$R < R_X (0.7) (h_{FE} Q_1)$ or $< 2.5 M\Omega$ whichever is the lesser

$R_X (\text{min}) < R_Y < R_X (\text{max})$ ($5 \leq R_Y \leq 10 k\Omega$ is recommended)

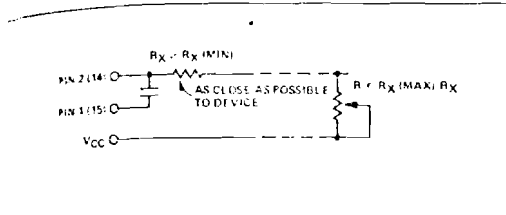
Q_1 : NPN silicon transistor with h_{FE} requirements of above equations, such as 2N5962 or 2N5962

$$t \approx 0.3 RC_X$$

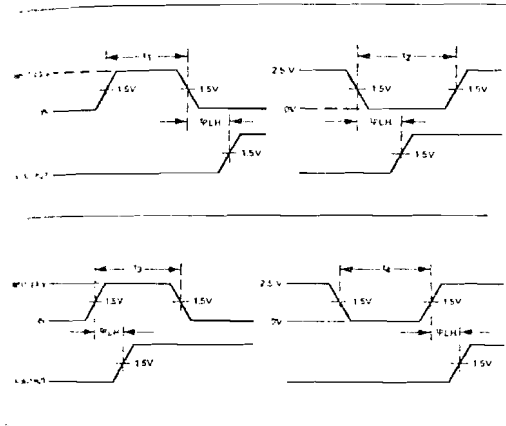
This configuration is not recommended with retriggerable operation.

SINETICS DUAL RETRIGGERABLE RESETTABLE MONOSTABLE MULTIVIBRATOR ■ S/N9602

- To obtain variable pulse width by remote trimming, the following circuit is recommended:

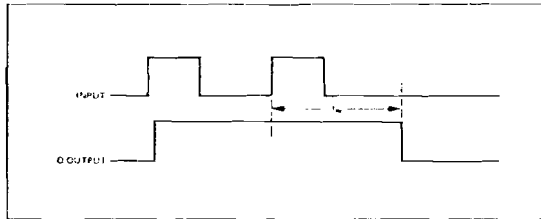


- Under any operating condition, C_X and R_X (min) must be kept as close to the circuit as possible to minimize stray capacitance and reduce noise pickup.
- Input Trigger Pulse Rules. See Triggering Truth Table, following pages.



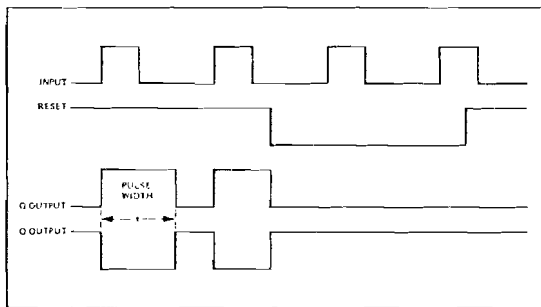
- The retriggerable pulse width is calculated as shown below:

$$t_w = t + t_{PLH} = 0.31 R_X C_X \left(1 + \frac{1}{R_X}\right) + t_{PLH}$$



The retrigger pulse width is equal to the pulse width (t) plus a delay time. For pulse widths greater than 500 ns, t_w can be approximated as t . Retriggering will not occur if the retrigger pulse comes within $\approx 0.3 C_X$ ns after the initial trigger pulse. (i.e., during the discharge cycle)

- Reset Operation—An overriding active LOW level is provided on each oneshot. By applying a LOW to the reset, any timing cycle can be terminated or any new cycle inhibited until the LOW reset input is removed. Trigger inputs will not produce spikes in the output when the reset is held LOW.



- V_{CC} and Ground wiring should conform to good high frequency standards so that switching transients on V_{CC} and Ground leads do not cause interaction between one-shots. Use of a 0.01 to 0.1 μF bypass capacitor between V_{CC} and Ground located near the 9602 is recommended.

TABLE 1—ELECTRONIC CHARACTERISTICS (TA = -55°C to 125°C, VCC = 5 V ± 10%)

SYMBOL	PARAMETER	LIMITS						UNITS	CONDITIONS (NOTE 1)
		-55°C		+25°C		+125°C			
		MIN	MAX	MIN	TYP	MAX	MIN		
V_{OH}	Output HIGH Voltage	2.4		2.4	3.3		2.4	Volts	$V_{CC} = 4.5V, I_{OH} = -0.96 mA$ (Note 2)
V_{OL}	Output LOW Voltage	0.4		0.2	0.4		0.4	Volts	$V_{CC} = 4.5V, I_{OL} = 9.92 mA$ (Note 2) $V_{CC} = 5.5V, I_{OL} = 12.8 mA$
V_{IH}	Input HIGH Voltage	2.0		1.7			1.5	Volts	Guaranteed Input HIGH Threshold Voltage
V_{IL}	Input LOW Voltage	0.85			0.90		0.85	Volts	Guaranteed Input LOW Threshold Voltage
I_{IL}	Input LOW Current	-1.6		-1.1	-1.6		-1.6	mA	$V_{CC} = 5.5V, V_{IN} = 0.4V$
I_{IH}	Input HIGH Current		-1.24		-0.97	-1.24		mA	$V_{CC} = 4.5V, V_{IN} = 0.4V$
I_{OH}	Output HIGH Current			10	60		60	μA	$V_{CC} = 5.5V, V_{IN} = 4.5V$

SIGNETICS DUAL RETRIGGERABLE RESETTABLE MONOSTABLE MULTIVIBRATOR ■ S/N9602

(Cont'd)

I _{SC}	Short Circuit Current			-25			mA	V _{CC} = 5.5V, V _{OUT} = 1.0V (Note 2)
I _{PD}	Quiescent Power Supply Drain	45	39	45	45		mA	V _{CC} = 5.0V
t _{PLH}	Negative Trigger Input to True Output		25	35			ns	V _{CC} = 5.0V R _X = 5.0 kΩ C _X = 0, C _L = 15pF
t _{PHL}	Negative Trigger Input to Complement Output		29	43			ns	V _{CC} = 5.0V R _X = 5.0 kΩ C _X = 0, C _L = 15pF
t _(min)	Minimum True Output Pulse Width		72	90			ns	V _{CC} = 5.0V R _X = 5.0 kΩ
	Minimum Complement Output Pulse Width		78	100			ns	C _X = 0, C _L = 15pF
t	Pulse Width		3.08	3.42	3.76		μs	V _{CC} = 5.0V, R _X = 10 kΩ, C _X = 1000pF
C _{STRAY}	Maximum Allowable Wiring Cap (Pins 2 and 14)	50		50		50	pF	Pins 2 and 15 to Ground
R _X	Timing Resistor	5.0	25	5.0	25	5.0	25	kΩ

T_A = 0°C to 75°C, V_{CC} = 5 V ±5%.

SYMBOL	PARAMETER	LIMITS						UNITS	CONDITIONS (NOTE 1)
		0°C		+25°C		+75°C			
		MIN	MAX	MIN	TYP	MAX	MIN		
V _{OH}	Output HIGH Voltage	2.4		2.4	3.4		2.4	Volts	V _{CC} = 4.75 V, I _{OH} = -0.93mA (Note 2)
V _{OL}	Output LOW Voltage	0.45		0.2	0.45		0.45	Volts	V _{CC} = 4.75V, I _{OL} = 11.3mA (Note 2) V _{CC} = 5.25V, I _{OL} = 12.8mA
V _{IH}	Input HIGH Voltage	1.9		1.8			1.65	Volts	Guaranteed Input HIGH Threshold Voltage
V _{IL}	Input LOW Voltage	0.85		0.85			0.85	Volts	Guaranteed Input LOW Threshold Voltage
I _{IL}	Input LOW Current	-1.6		-10	-1.6		-1.6	mA	V _{CC} = 5.25V, V _{IN} = 0.45V
		-1.41			-1.41		-1.41	mA	V _{CC} = 4.75V, V _{IN} = 0.45V
I _{IH}	Input HIGH Current			10	60		60	μA	V _{CC} = 5.25V, V _{IN} = 4.5V
I _{SC}	Short Circuit Current				-35			mA	V _{CC} = 5.25V, V _{OUT} = 1.0V (Note 2)
I _{PD}	Quiescent Power Supply Drain	52		39	50		52	mA	V _{CC} = 5.0V, Ground Pins 1 and 2
t _{PLH}	Negative Trigger Input to True Output			25	40			ns	V _{CC} = 5.0V R _X = 5.0 kΩ C _X = 0, C _L = 15pF
t _{PHL}	Negative Trigger Input to Complement Output			29	48			ns	V _{CC} = 5.0V R _X = 5.0 kΩ C _X = 0, C _L = 15pF
t _(min)	Minimum True Output Pulse Width			72	100			ns	V _{CC} = 5.0V R _X = 5.0 kΩ
	Minimum Complement Output Pulse Width			78	110			ns	C _X = 0, C _L = 15pF

SIGNETICS DUAL RETRIGGERABLE RESETTABLE MONOSTABLE MULTIVIBRATOR ■ S/N9602

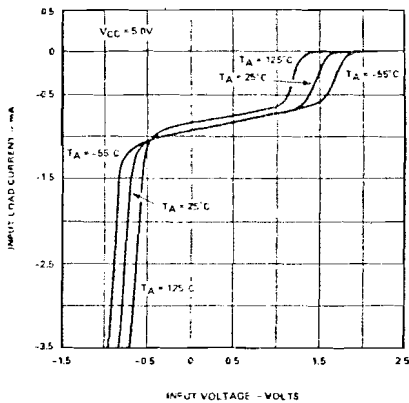
(Cont'd)

	Pulse Width		3.08	3.42	3.76		μ s	$V_{CC} = 5.0V, R_X = 10 k\Omega,$ $C_X = 1000pF$
STRAY	Maximum Allowable Wiring Cap, (Pins 2 and 14)	50		50		50	pF	Pins 2 and 14 to Ground
R _T	Timing Resistor	5.0	50	5.0	50	5.0	50	k Ω

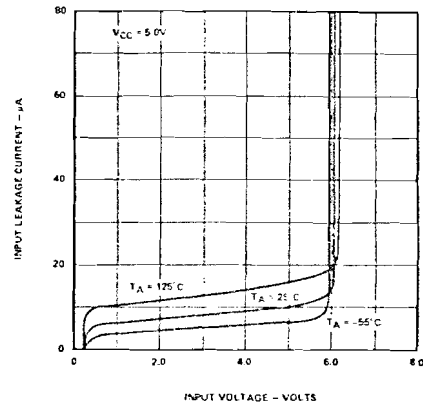
NOTES
 1. Unless otherwise noted, 10 k Ω resistor placed between Pin 2 (14) and V_{CC} , for all tests. (R_X)
 2. Ground Pin 1 (15) for V_{OL} on Pin 7 (9), or for V_{OH} on Pin 6 (10), or for I_{SC} on Pin 6 (10), also, apply momentary ground to Pin 4 (12).
 3. Open Pin 1 (15) for V_{OL} on Pin 6 (10), or for V_{OH} on Pin 7 (9), or for I_{SC} on Pin 7 (9).

CHARACTERISTICS

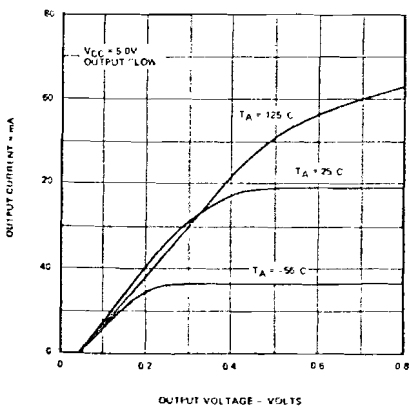
INPUT LOAD CURRENT VERSUS INPUT VOLTAGE



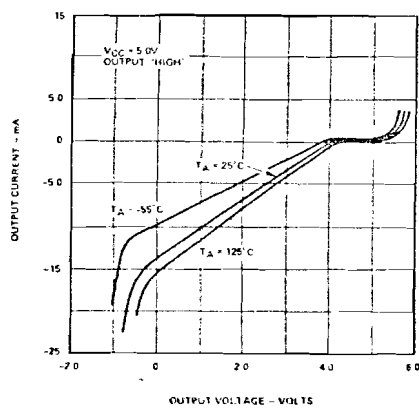
INPUT LEAKAGE CURRENT VERSUS INPUT VOLTAGE



OUTPUT CURRENT VERSUS OUTPUT VOLTAGE (LOW STATE)



OUTPUT CURRENT VERSUS OUTPUT VOLTAGE (HIGH STATE)



De generator is opgebouwd uit twee monostabiele trekkers, type SN 9602 (zie blz.53-57), waarvan één als generator geschakeld is en een monostabiele trekker type SN 74121 (zie blz.14-17). Met behulp van weerstand R, die gemonteerd is als potentiometer op de frontplaat, kan de frequentie geregeld worden óf tussen 0,1 en 1 Hz óf tussen 1 en 10 Hz. Het bereik (0,1-1 Hz of 1-10Hz) wordt gekozen m.b.v. schakelaar S_3 .

De condensator van 100 pF aan de trekker SN 74121 dient om de clockpuls een lengte te geven van tenminste 100 nsec. Met schakelaar S_2 kan de generator stopgezet worden.

Door het indrukken van schakelaar S_1 geeft de pulsgever één clockpuls af. De flip-flop achter S_1 is nodig om geen last te hebben van het dendereffect van de contacten van S_1 .

3.1.13. De display

Voor de uitlezing is gebruik gemaakt van HP 5082-7300 displays. Deze zijn van een (1-2-4-8) BCD 7segment decoder voorzien. Voor het aangeven van + of - en van de 1 van de honderdtallen is gebruik gemaakt van het HP 5082-7304 display. Voor technische gegevens van de displays zie de bijlagen blz.59 - 63 .

3.1.14. Mogelijkheid voor uitlezing van de halve hoek

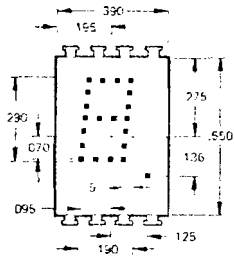
Voor speciale doeleinden is in de teller een voorziening getroffen om de af te lezen fasehoek door 2 te delen, dit is niet aangegeven in het blokdiagram van fig. 3-3.

In plaats van de 18 MHz (zie fig. 3-3) wordt dan 9 MHz aan de poort Z toegevoerd, verder verandert er niets aan de schakeling. Het omschakelen wordt gedaan door schakelaar S_4 over te halen, deze is gemonteerd op de frontplaat.

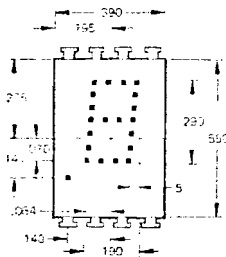
De wijze waarop de 9 MHz i.p.v. 18 MHz wordt toegevoerd is afgebeeld in fig. 3-23.

Package Dimensions

FRONT VIEW



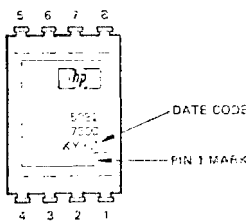
5082-7300



5082-7302

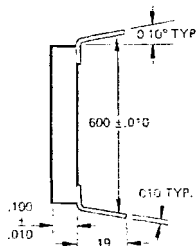
FUNCTION	PIN	
	5082-7300 Right hand decimal point	5082-7302 Left hand decimal point
Input 1	8	8
Input 2	1	1
Input 4	2	2
Input 8	3	3
V _{CC}	7	7
V _E	5	5
Decimal point	4	4
Ground	6	6

REAR VIEW



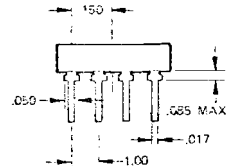
5082-7300/7302

SIDE VIEW



5082-7300/7302

END VIEW



5082-7300/7302

Absolute Maximum Ratings

DESCRIPTION	SYMBOL	MIN	MAX	UNIT
Storage temperature, ambient	T _S	-55	+100	°C
Operating temperature, case	T _C	-20	+85	°C
V _{CC} Pin potential to ground pin	V _{CC}	-0.5	+7.0	V
Voltage applied to input logic pins (BCD, decimal point)	V _I	-0.5	+5.5	V
Voltage applied to latch enable	V _E	-0.5	+5.5	V

Recommended Operating Conditions

DESCRIPTION	SYMBOL	MIN	NOM	MAX	UNIT
Supply voltage	V _{CC}	4.5	5.0	5.5	V
Logic voltage "0" state	V _{I(0)}	0		0.8	V
Logic voltage "1" state	V _{I(1)}	2.0		5.25	V
Latch enable voltage-data being entered	V _{E(0)}	0		0.8	V
Latch enable voltage-data not being entered	V _{E(1)}	2.0		5.25	V

Electrical/Optical Characteristics ($T_C = -20^{\circ}C$ to $+85^{\circ}C$, unless otherwise specified)

DESCRIPTION	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Supply current	I_{CC}	$V_{CC} = 5.5 V$, "5" and DP luminated		75*	180	mA
Power dissipation	P_T	$V_{CC} = 5.5 V$, "5" and DP luminated		380*	990	mW
Luminance	B	$V_{CC} = 5.0 V$ $T_C = 25^{\circ}C$	80	150	250	fL
Time data must be presented to logic input prior to enable rising	$t_{set\ p}$	$V_{CC} = 5.0 V$ $V_{E(i)} = 0.4 V$ $V_{-(i)} = 0.4 V$ $V_{E(i)} = 2.0 V$ $V_{-(i)} = 2.0 V$ $T_C = 25^{\circ}C$		30	50	ns
Time data must be held after enable rises	t_{hold}	$V_{CC} = 5.0 V$ $V_{E(i)} = 0.4 V$ $V_{-(i)} = 0.4 V$ $V_{E(i)} = 2.0 V$ $V_{-(i)} = 2.0 V$ $T_C = 25^{\circ}C$		30	50	ns
Logic current "0" state	$I_{i(0)}$	$V_{CC} = 5.5 V$ $V_{in} = 0.4 V$			-1.6	mA
Logic current "1" state	$I_{i(1)}$	$V_{CC} = 5.5 V$ $V_{in} = 2.0 V$			+ 250	μA
Latch enable current "0" state	$I_{E(0)}$	$V_{CC} = 5.5 V$ $V_{E(i)} = 0.4 V$			-1.6	mA
Latch enable current "1" state	$I_{E(1)}$	$V_{CC} = 5.5 V$ $V_{E(i)} = 2.0 V$			+ 250	μA
Peak wavelength	λ peak			655		nm
Spectral halfwidth	$\Delta\lambda_{1/2}$			30		nm
Weight				.8	1.0	gm

* $V_{CC} = 5.0 V$ with statistical average number of LED's lit.

CHARACTER		INPUTS				CHARACTER		INPUTS			
		X8	X4	X2	X1			X8	X4	X2	X1
0		L	L	L	L	9		H	L	L	H
1		L	L	L	H	Test		H	L	H	L
2		L	L	H	L	Blank		H	L	H	H
3		L	L	H	H	Blank		H	H	L	L
4		L	H	L	L	Minus		H	H	L	H
5		L	H	L	H	Blank		H	H	H	L
6		L	H	H	L	Blank		H	H	H	H
7		L	H	H	H	Decimal Point On				DP _i = L	
8		H	L	L	L	Decimal Point Off				DP _i = H	

X_i	E	Q_i^n	Q_i^{n+1}	$Q_i^{n+1} = X_i \bar{E} + Q_i^n E$	Q_i^{n+1} = Internal latch output for bit i at time n
L	L	---	L	Where:	
H	L	---	H	X = Data input for bit i and decimal point	Q_i^{n+1} = Internal latch output for bit i at time n + 1
---	H	L	L	E = Enable input	
---	H	H	H		

Figure 1. Truth and timing tables for 5082-7300/7302 solid state displays.

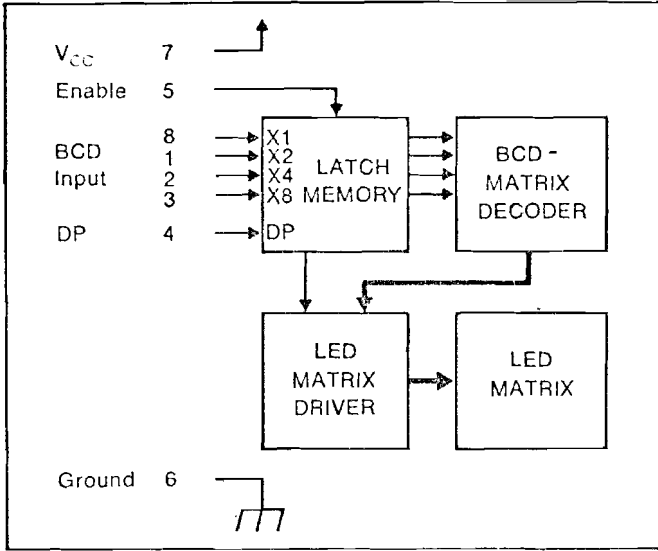


Figure 2. Block diagram of 5082-7300/7302 logic.

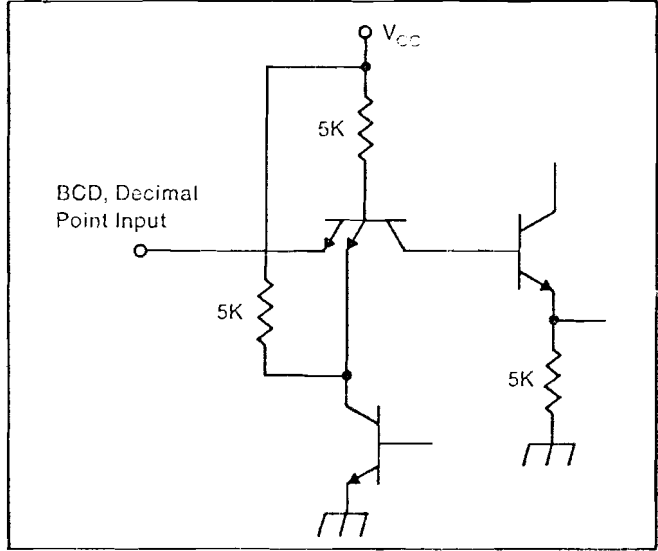


Figure 3. Equivalent circuit of 5082-7300/7302 as seen from BCD, decimal point, and enable inputs.

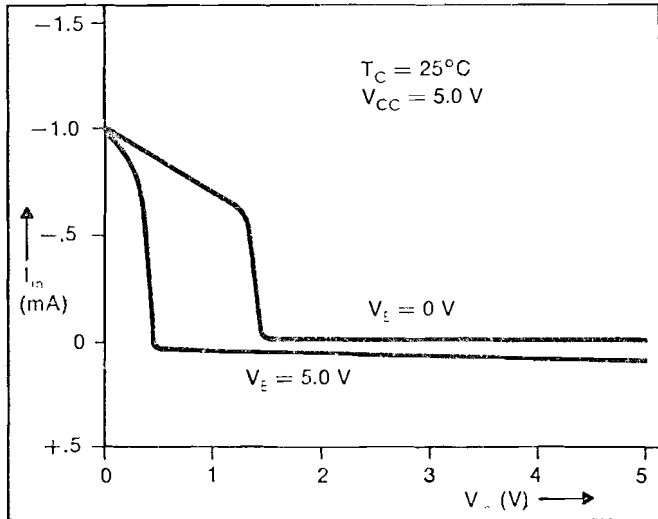


Figure 4. Typical BCD and decimal point input current versus voltage 5082-7300/7302.

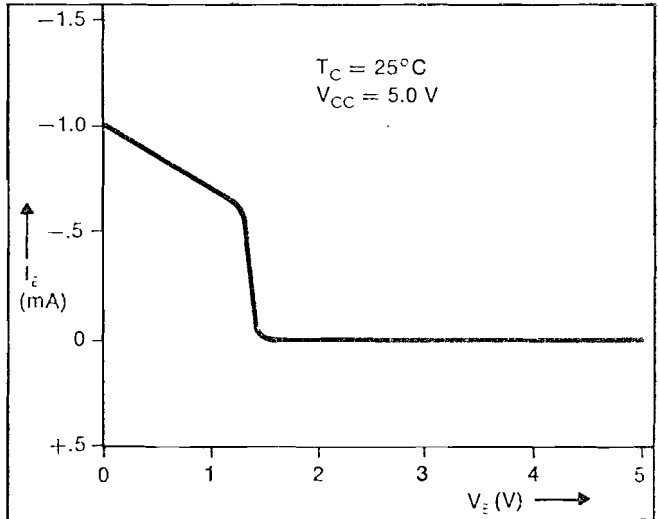


Figure 5. Typical enable current versus voltage, 5082-7300/7302.

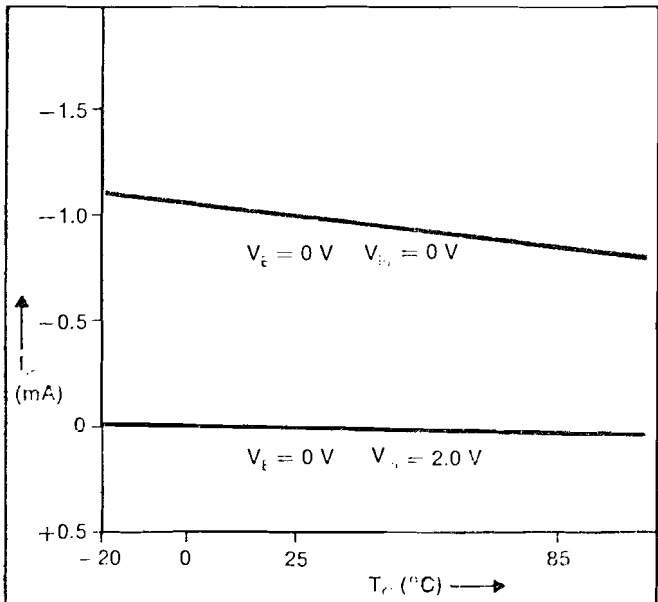


Figure 6. Typical BCD and decimal point input current versus case temperature, 5082-7300/7302.

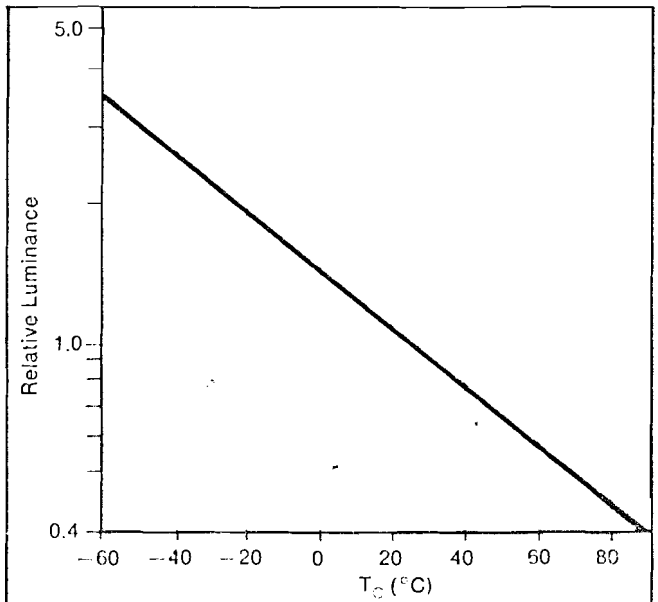


Figure 7. Typical emitting surface luminance as a function of case temperature.

Operating Considerations

MECHANICAL/THERMAL MOUNTING

The 5082-7300 series displays are designed to be plugged into DIP connectors or soldered into a PC board. Units can be end stacked with .100" center-to-center spacing between pins of adjacent units.

The displays are designed to be operated with a maximum case temperature of 85 C, as measured at the metallized back plane. Heat conduction through socketed or printed circuit soldered leads is typically adequate to maintain the case temperature to within 15 C of ambient. Thus, in typical configurations, the devices can be operated without external heat sinking up to an ambient of 60 C. If additional heat sinking is required, a conductive metal strap running behind the end stacked display units is recommended. This can be implemented with sheet metal or clad on the PC board. A thermally conductive compound should be used between the display and the heat sinking material.

Display contrast can be improved by placing a long wave pass band filter between the display devices and the viewer. Plexiglas #2423 material is suitable for this application.

ELECTRICAL

The 5082-7300 series displays are hybrid microcircuits consisting of a MSI decoder/driver IC and an array of GaAsP light emitting diodes. The MSI chip provides 5 bits of latch memory for storage of the BCD and decimal point data, a BCD-to-4 x 7 decoder, and LED drivers.

Displays will follow changes on the logic inputs

as long as the enable line is held low. In this mode the device is operated as a real time display. When the enable line rises, the latches retain the current inputs, and the display is no longer affected by changes on the logic input lines. The outputs of the latches are accessible only to the BCD to 4 x 7 decoder.

The decimal point status information is processed by a latch in the same manner as the BCD inputs. The decimal point convention is negative logic — decimal point voltage low corresponds to the decimal point illuminated. The decimal point latch and the BCD latches are controlled by the same enable line.

Displays can be addressed with 4 line BCD character information in one of two ways.

Bit Parallel, Character Parallel Input Data.

To address each display with character information in parallel, all memory enable input lines should be connected to ground. In this mode the device will display as a real time function the BCD and decimal point inputs.

Bit Parallel, Character Serial Input Data.

The on-board latches can be used to store data presented in a character serial format, as shown in Figure 9. Selective activation of the display enable lines steers the data into the appropriate latches. Each display input is equivalent to 1 U.L., so that a standard 54/74 TTL output will provide enough drive for 10 display modules in parallel. A 1/N active low decoder can be used to generate the enable line signals.

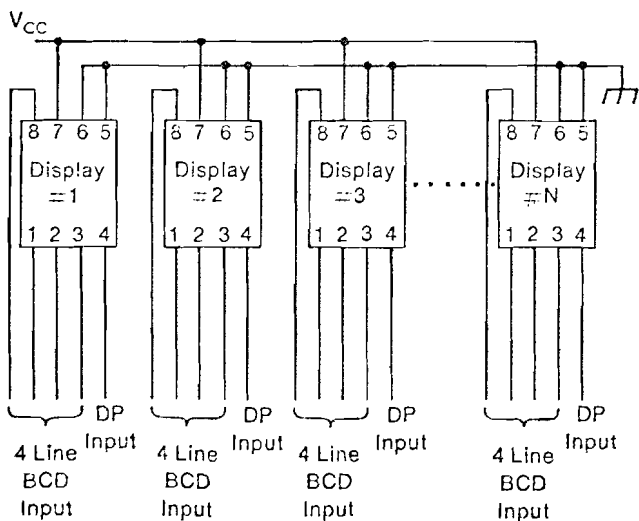


Figure 8. Addressing scheme for bit parallel, character parallel input data.

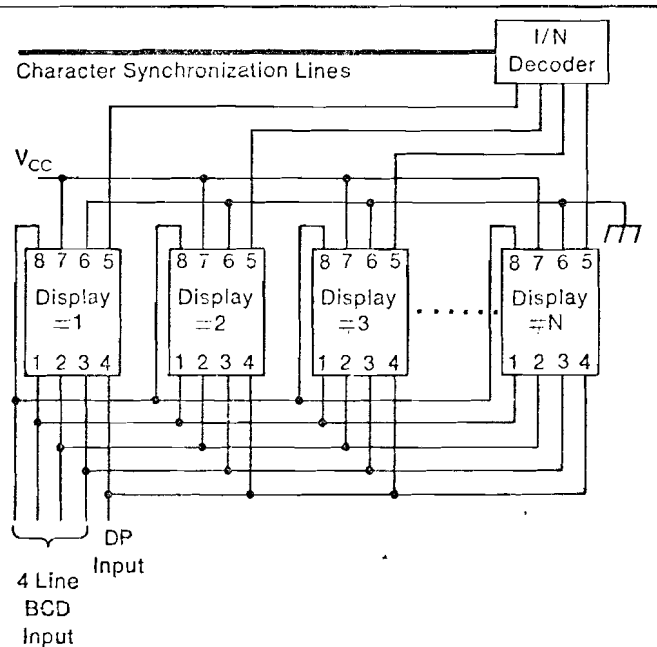
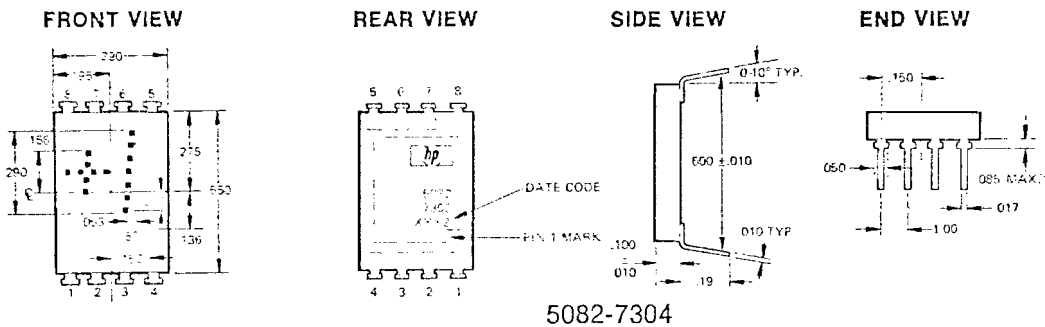


Figure 9. Addressing scheme for bit parallel, character serial input data.

Solid State Plus/Minus/One Sign

For display applications requiring \pm or 1 designation, the 5082-7304 plus/minus/one sign is available. This display module comes in the same package as the 5082-7300 series numeric indicator and is completely compatible with it.

Package Dimensions



FUNCTION	PIN
Plus	1
Number one	2
Number one	3
DP	4
Open	5
Open	6
V _{CC}	7
Minus/Plus	8

CHARACTER	PIN			
	1	2,3	4	8
+	I	X	X	I
-	0	X	X	I
1	X	I	X	X
Decimal point	X	X	I	X
Blank	0	0	0	0

X: Don't care states
 0: Line switching transistor in Fig. 11 cutoff.
 I: Line switching transistor in Fig. 11 saturated.

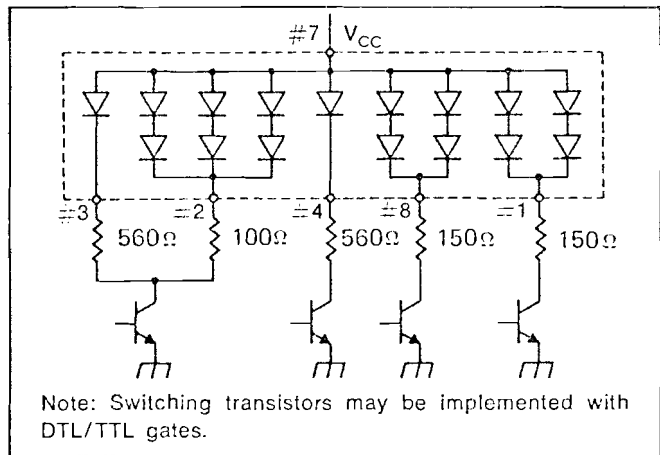


Figure 10. Truth table for 5082-7304 solid state Plus/Minus/One sign.

Figure 11. Typical driving circuit for 5082-7304 Plus/Minus/One display.

Absolute Maximum Ratings

DESCRIPTION	SYMBOL	MIN	MAX	UNIT
Storage temperature, ambient	T _S	-55	+100	°C
Operating temperature, case	T _C	-20	+85	°C
Forward current, each LED	I _F		10	mA
Reverse voltage, each LED	V _R		4	V

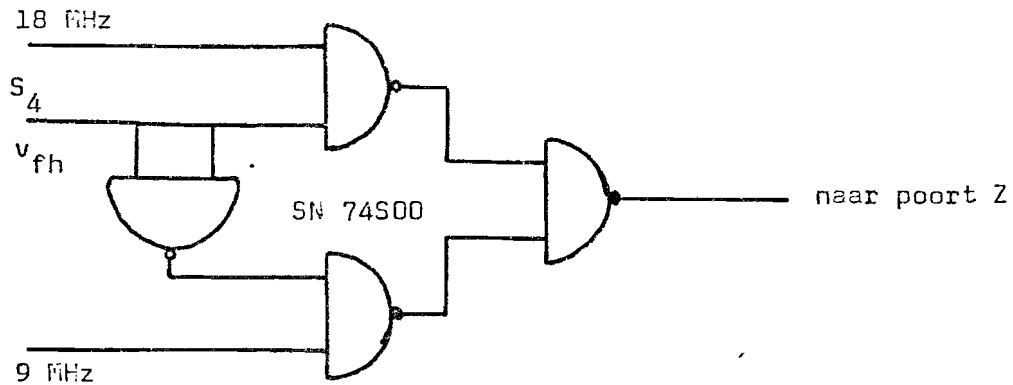
Recommended Operating Conditions

DESCRIPTION	SYMBOL	MIN	NOM	MAX	UNIT
LED supply voltage	V _{CC}	4.5	5.0	5.5	V
Forward current, each LED	I _F		5.0	10	mA

Note: LED current must be externally limited. Refer to Figure 11 for recommended resistor values.

Electrical/Optical Characteristics (T_C = -20°C to +85°C, unless otherwise specified)

DESCRIPTION	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNIT
LED forward voltage	V _F	I _F = 10 mA		1.6	2.0	V
Power dissipation	P _T	I _F = 10 mA all diodes lit		250	320	mW
Luminance, average over light emitting surface	B	I _F = 6 mA T _C = 25°C	100	150	250	fL
Peak wavelength	λ _{peak}			655		nm
Spectral halfwidth	Δλ _{1/2}			30		nm
Weight				.8	1.0	gm

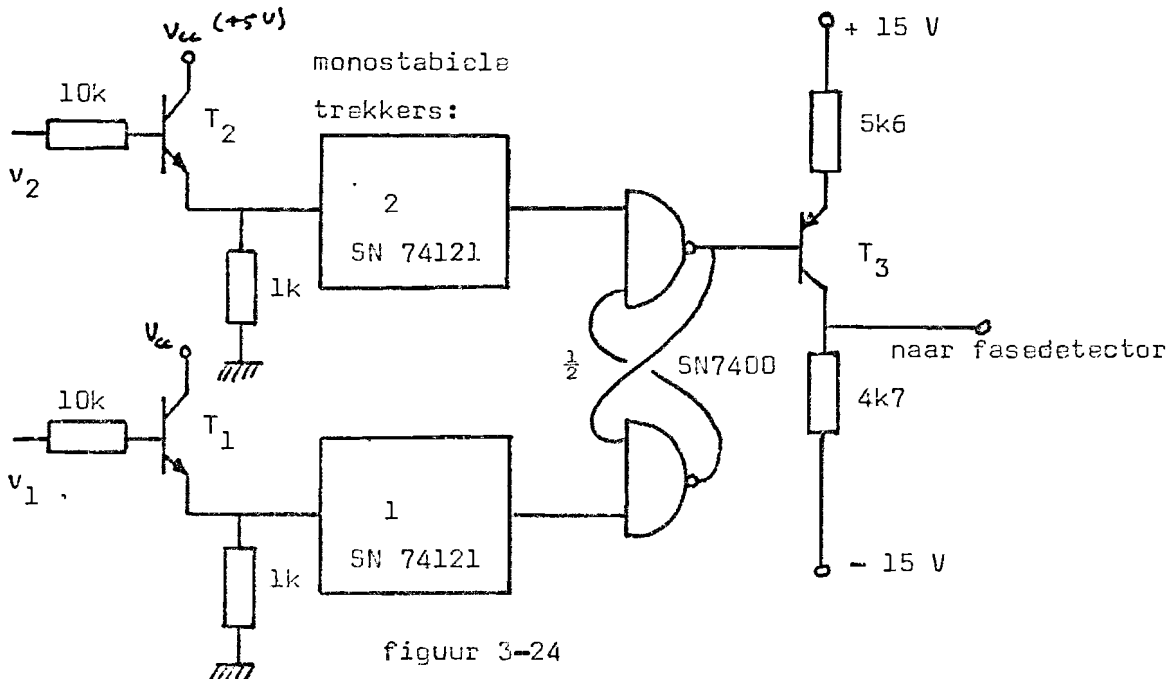


$v_{fh} = 1$ uitlezing $\Delta\phi$
 $v_{fh} = 0$ uitlezing $\frac{\Delta\phi}{2}$

figuur 3-23

3.2. De analoge fasemeting

Voor de analoge fasemeting maken we gebruik van een schakeling van een fasedetector met een laag doorlaat filter, welke schakeling beschreven wordt in een verslag van J.D.P. van de Crommenacker [3]. De fasedetector wordt gestuurd door de schakeling van figuur 3-24.



figuur 3-24

De analoge fase-meetschakeling bestaat uit 2 monostabiele trekkers, type SN 74121 (zie blz. 14-17), gevolgd door een S-R flip-flop, type $\frac{1}{2}$ SN 7400 als pulsformer. De transistoren zijn geschakeld als emittervolgers en dienen om de bandfilters niet te zwaar te belasten (zie figuur 3-3).

De transistor T_3 heeft tot doel het D.C.-niveau van de S-R flip-flop aan te passen aan de fasedetector.

Trekker 1 geeft een puls af op positieve flanken van v_1 .

Trekker 2 geeft een puls af op positieve flanken van v_2 .

De breedte van de output puls zal nu nul zijn bij $(\theta_1 - \theta_2) = -180^\circ$ en 200μ sec. bij $(\theta_1 - \theta_2) = +180^\circ$.

Achter de fasedetector wordt nog een operationele versterker geschakeld om een lage uitgangsimpedantie te verkrijgen.

De totale schakeling wordt gegeven in fig. 5-7.

4. COMPONENTEN VAN DE 10 MHz P.L.L.

4.1. F.D.1. met L.D.F. en VCXO.

Hiervoor wordt een schakeling gebruikt welke ontworpen werd door J.B.A. van der Hoofden [2], zoals reeds vermeld werd in de inleiding. Deze schakeling wordt echter omgebouwd naar een andere middenfrequentie van 125 kHz. Dit wordt uitgevoerd door P.G.E. Wielders [4], die tevens de mixers 3 en 4 (fig. 2-2) zal aanbrengen.

4.2. Referentiefrequenties

De benodigde 18 MHz/ 9 MHz voor de fasemeter werden betrokken uit een oscillator die ook de 5 kHz referentie leverde aan het ontwerp van M.M.J. Engels [1], zoals te zien is in fig. 2-1. In het nieuwe ontwerp is deze referentie van 5 kHz niet meer nodig, doch wel een referentie van 125 kHz en 120 kHz (zie figuur 2-2).

4.3. Bandfilter met limiter

Het reeds aanwezige bandfilter van A.J. Mulder [5] heeft een centrale frequentie van 20 kHz, dit is aangepast en geconstrueerd door M.M.J. Engels voor 5 kHz. Dit bandfilter wordt voorafgegaan door een limiter zoals aangegeven door A.J. Mulder. Alhoewel het fase-meetsysteem dat nu geconstrueerd is wel een integrerende werking heeft, in tegenstelling tot het apparaat geconstrueerd door M.M.J. Engels, dient het uitgangssignaal van het bandfilter zo goed mogelijk (fase)jittervrij zijn. Hiertoë worden verschillende typen bandfilters door P.G.E. Wielders getest.

5. BOUWBESCHRIJVING

5.1. Inleiding

De gehele schakeling is uitgevoerd op 4 printen, te weten twee printen (EEB 210775 en EEB 220775) voor de digitale fasemeter en één print (EEB 270674) voor de analoge fasemeter en één print (EEB 250474) voor de aansluiting van de display's.

De display's zitten gemonteerd op de frontplaat, waar ook de diverse schakelaars, LED en uitvoer van analoge fasemeter zijn aangebracht (zie 5.5).

De printen van de digitale fasemeter worden besproken in 5.2., de aansluiting van de display's met weerstanden in 5.3., de print van de analoge fasemeter in 5.4. en tenslotte de frontplaat in 5.5.

5.2. De printen voor de digitale fasemeter

De complete schakeling van de digitale fasemeter is ondergebracht op twee printen op een wijze zoals is afgebeeld in fig. 5-1.

De print-lay-out's zijn afgebeeld in fig. 5-2 en fig. 5-3.

De I.C.'s uit fig.5-2 en fig.5-3 zijn genummerd, deze nummering komt overeen met de nummers uit fig. 5-1.

De aansluiting van de printen verloopt via pluggen waarvan de pinnen genummerd zijn. In de lay-out van de printen zijn de aansluitingen op overeenkomstige wijze genummerd. Welke aansluitingen met de nummers overeenkomen staat op blz. 71 en 72.

De voedingsspanningen zijn in figuur 5-1 weggelaten behalve voor de schakeling die $|\theta_1 - \theta_2| \geq 90^\circ$ signaleert, hierbij staat 0 V en + 5 V geschreven. De voedingsspanning voor de rest van de componenten op deze twee printen bedraagt ook 0V en + 5V.

De aansluitgegevens van de I.C.'s zijn terug te vinden in de diverse bijlagen.

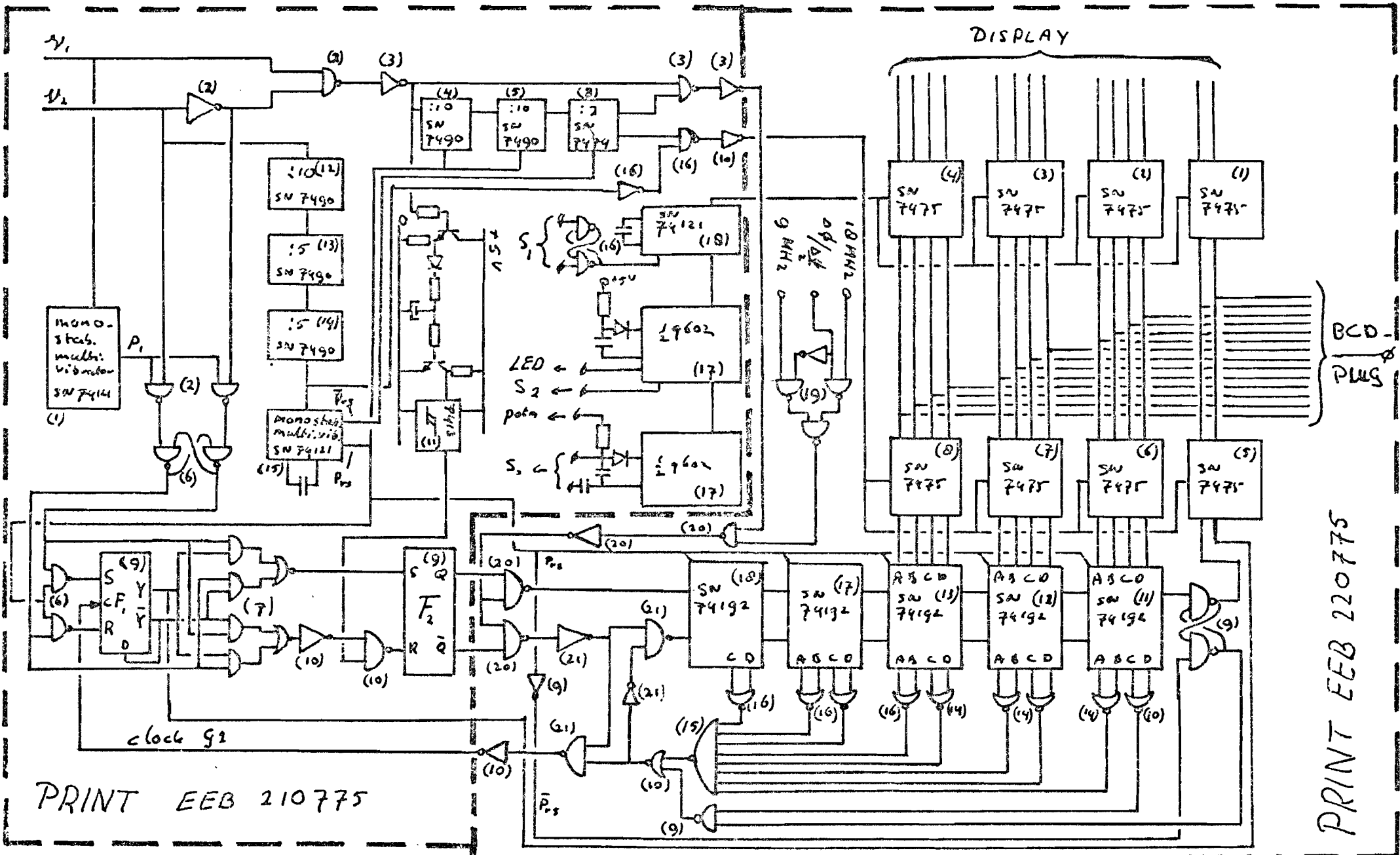
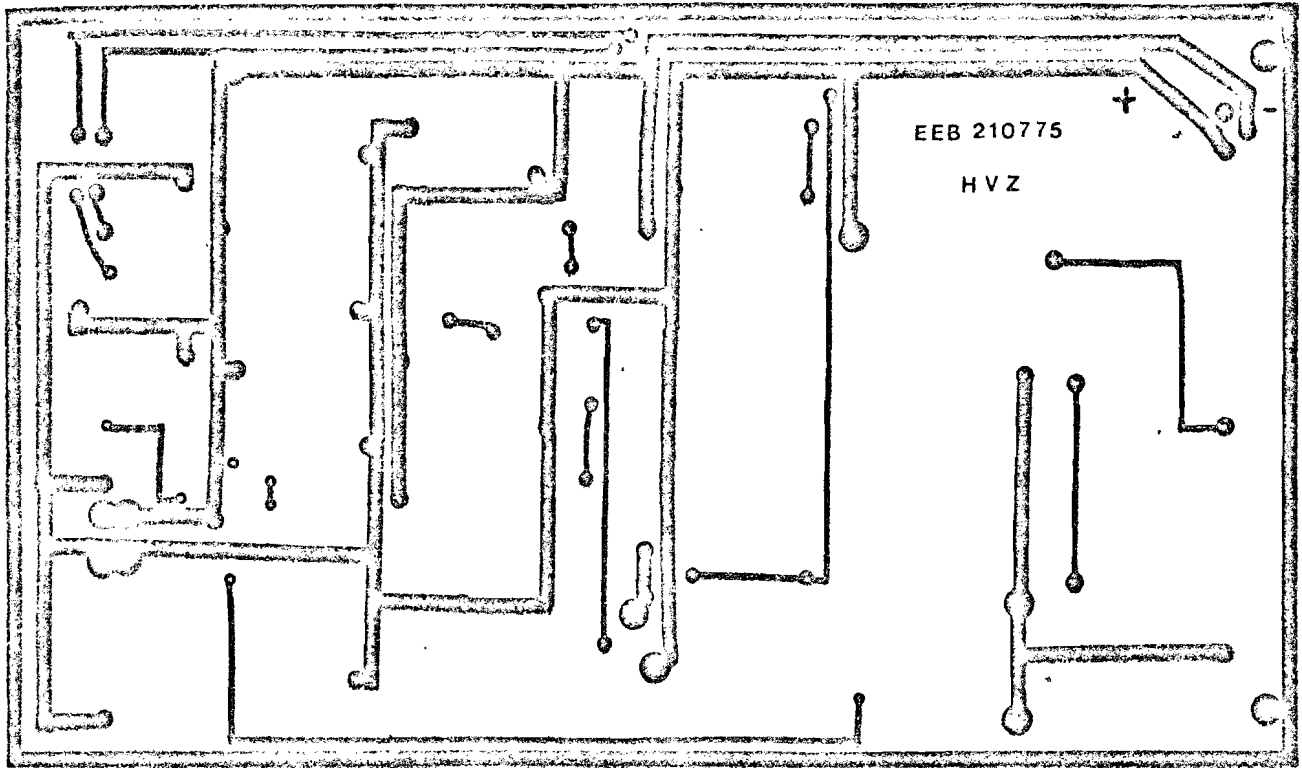


Fig. 5-1

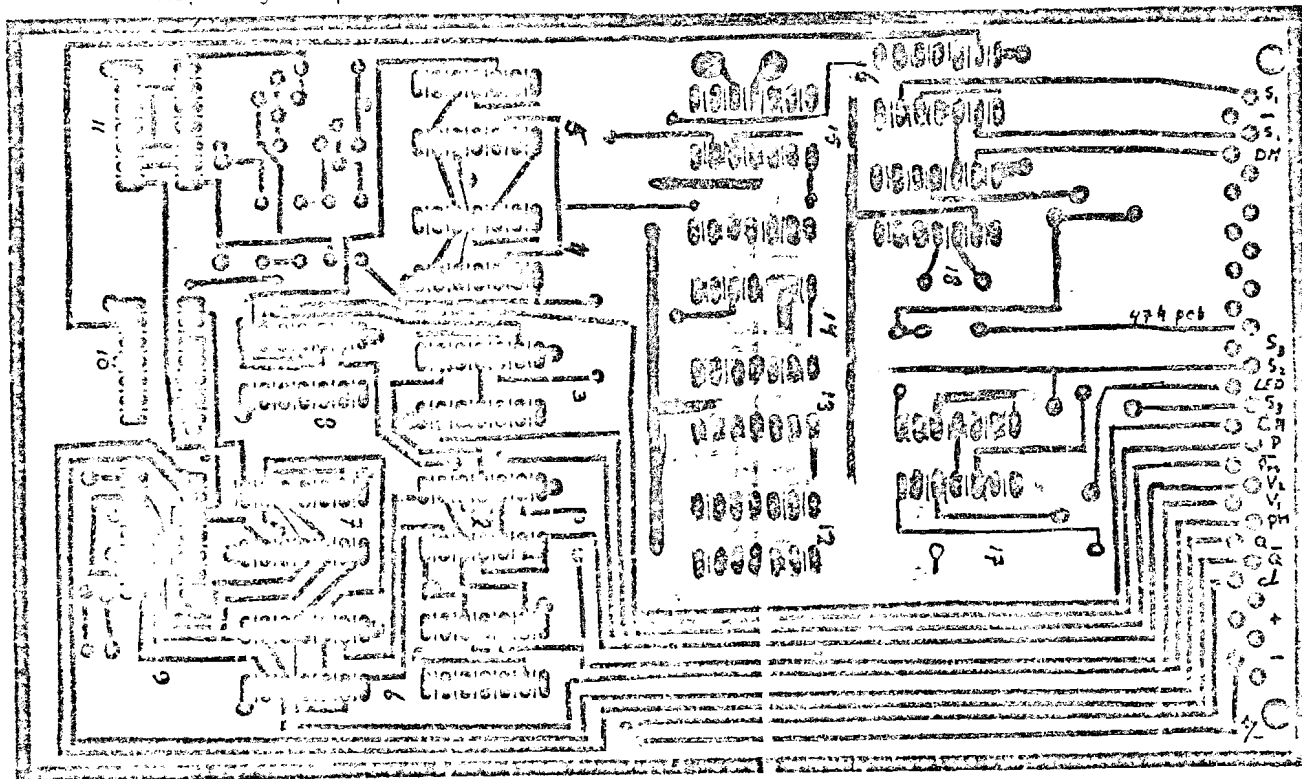


"Componentzijde" print

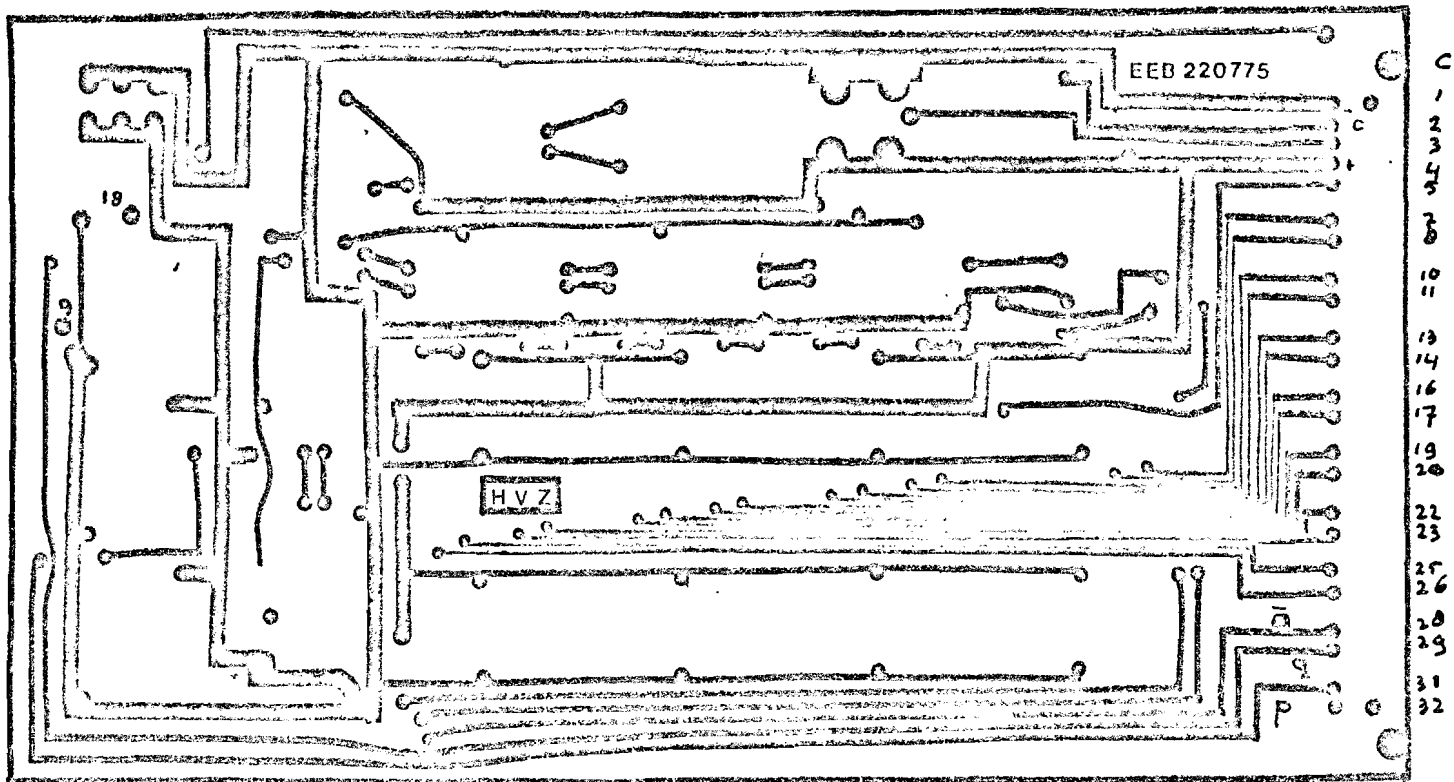
figuur 5-2

lay-out print EEB 210775

"Koperzijde" print



- 31
- 30
- 29
- 28
- 27
- 26
- 25
- 24
- 23
- 22
- 21
- 20
- 19
- 18
- 17
- 16
- 15
- 14
- 13
- 12
- 11
- 10
- 9
- 8
- 7
- 6
- 5
- 4
- 3
- 2
- 1

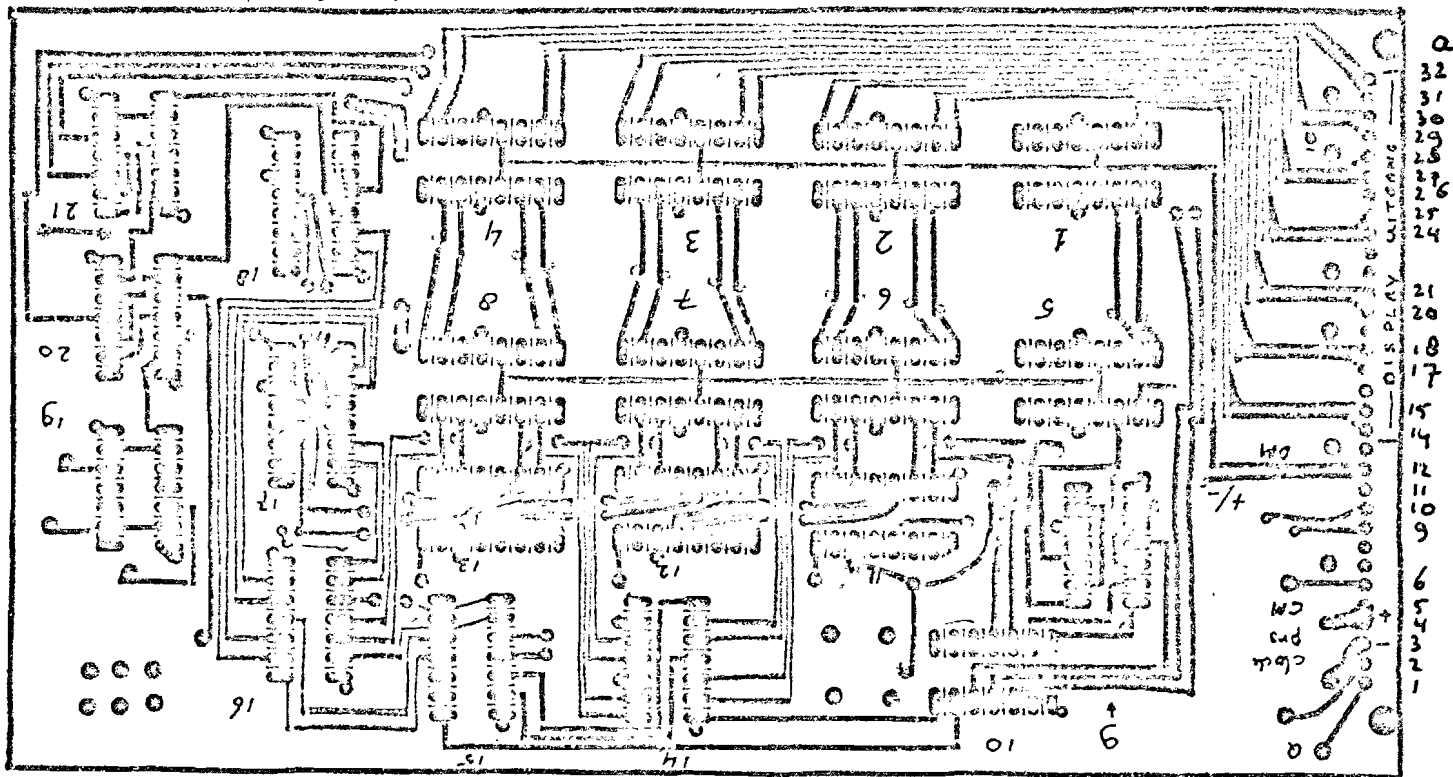


"Componentzijde" print

figuur 5-3

lay-out print EEB 220775

"Koperzijde" print



Print EEB 210775.

Poort Z

Op deze print zit gemonteerd: fase-pulsvormer
+/- indicatie
freq. deler en schak. voor p_{rs}
100 pulsen p poort en G1
besturing van de teller
clockpuls-generator G2
Fasedetector

De aansluitingen van de aansluitplug zijn:

- 1 0 volt (aarde)
- 2 positieve of negatieve $\Sigma \Delta \emptyset$
- 3 zie 1
- 4 + 5,0 Volt
- 5
- 6 clock F_1
- 7 \bar{Q} van F_2 (wissel aftel)
- 8 Q van F_2 (wissel optel)
- 9 p_{rs}
- 10 v_1
- 11 v_2
- 12 $\overline{p_{rs}}$
- 13 pulsen p
- 14 clockpuls G1
- 15 S_3
- 16 $56\Omega + LED$
- 17 S_2
- 18 S_3
- 19 47k potentiometer
- 20 t/m 27 niet aangesloten
- 28 clockpuls G2
- 29 S_1
- 30 0 Volt (aarde)
- 31 S_1

Print EEB 220775.

Op deze print zit gemonteerd: teller
registratie stand teller $T \leq 0,003^0$
geheugen 1
geheugen 2
halve hoek schakeling

De aansluitingen van de aansluitplug zijn:

a-rij:		c-rij	
1	Q van F_2	1	0 Volt (aarde)
2	18 MHz ²	2	clock F_1
3	0 Volt (aarde)	3	P_{rs}
4	+ 5,0 Volt	4	+ 5,0 Volt
5	zie 4	5	clockpuls geheugen 1
6	9 MHz	6	
7		7	comp.: +/-
8		8	comp.: 1-uitgang (honderdtal)
9		9	
10		10	comp.: B-uitgang tientallen
11	positieve of negatieve $\Sigma \Delta \emptyset$	11	comp.: A-uitgang tientallen
12	clockpuls G2	12	
13		13	comp.: C-uitgang tientallen
14	display: +/-	14	comp.: D-uitgang tientallen
15	display: 1-uitgang(hondertal)	15	
16		16	comp.: B-uitgang eenheden
17	display: B-uitgang tientallen	17	comp.: A-uitgang eenheden
18	display: A-uitgang tientallen	18	
19		19	comp.: C-uitgang eenheden
20	display: C-uitgang tientallen	20	comp.: D-uitgang eenheden
21	display: D-uitgang tientallen	21	
22		22	comp.: B-uitgang tienden
23		23	comp.: A-uitgang tienden
24	display: B-uitgang eenheden	24	
25	display: A-uitgang eenheden	25	comp.: C-uitgang tienden
26		26	comp.: D-uitgang tienden
27	display: C-uitgang eenheden	27	
28	display: D-uitgang eenheden	28	\bar{Q} van F_2
29	display: B-uitgang tienden	29	halve hoek schakeling
30	display: A-uitgang tienden	30	
31	display: C-uitgang tienden	31	pulsen p
32	display: D-uitgang tienden	32	

Op de print zijn de 18 MHz en 9 MHz via een afgeschermd kabel van aansluitplug naar de andere kant doorverbonden; om de afgeschermd kabel zit bij elk een ringkern, om te zorgen dat de T.T.L. hoogfrequente signalen inderdaad via deze kabels gaan zodat de kans op storingen geringer wordt.

5.3. Aansluiting van de display's

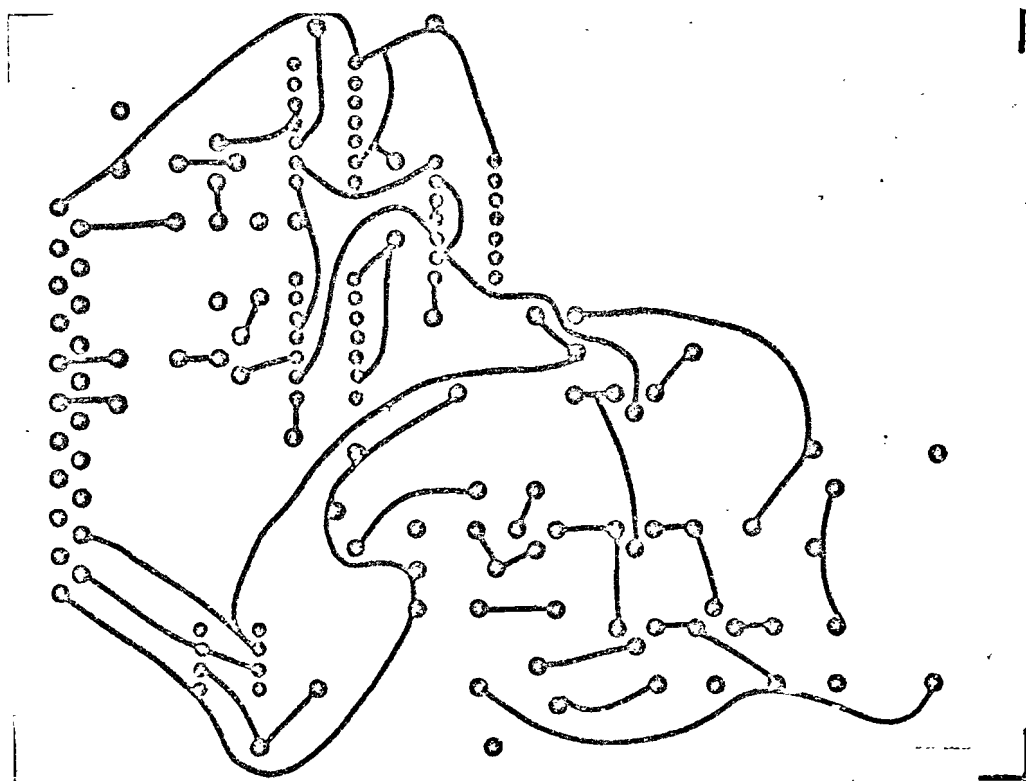
Figuur 5-5 (blz. 73) geeft het schema. De gebruikte weerstanden zijn zo gedimensioneerd dat de helderheid van de gebruikte sybolen gelijk is. Het minteken brandt altijd, indien de fasehoek positief is wordt de verticale streep ontstoken.

De schakeling is ondergebracht op print EEB 250474 waarvan figuur 5-6 de lay-out geeft; deze print zit gemonteerd tegen de achterzijde van de frontplaat aan.

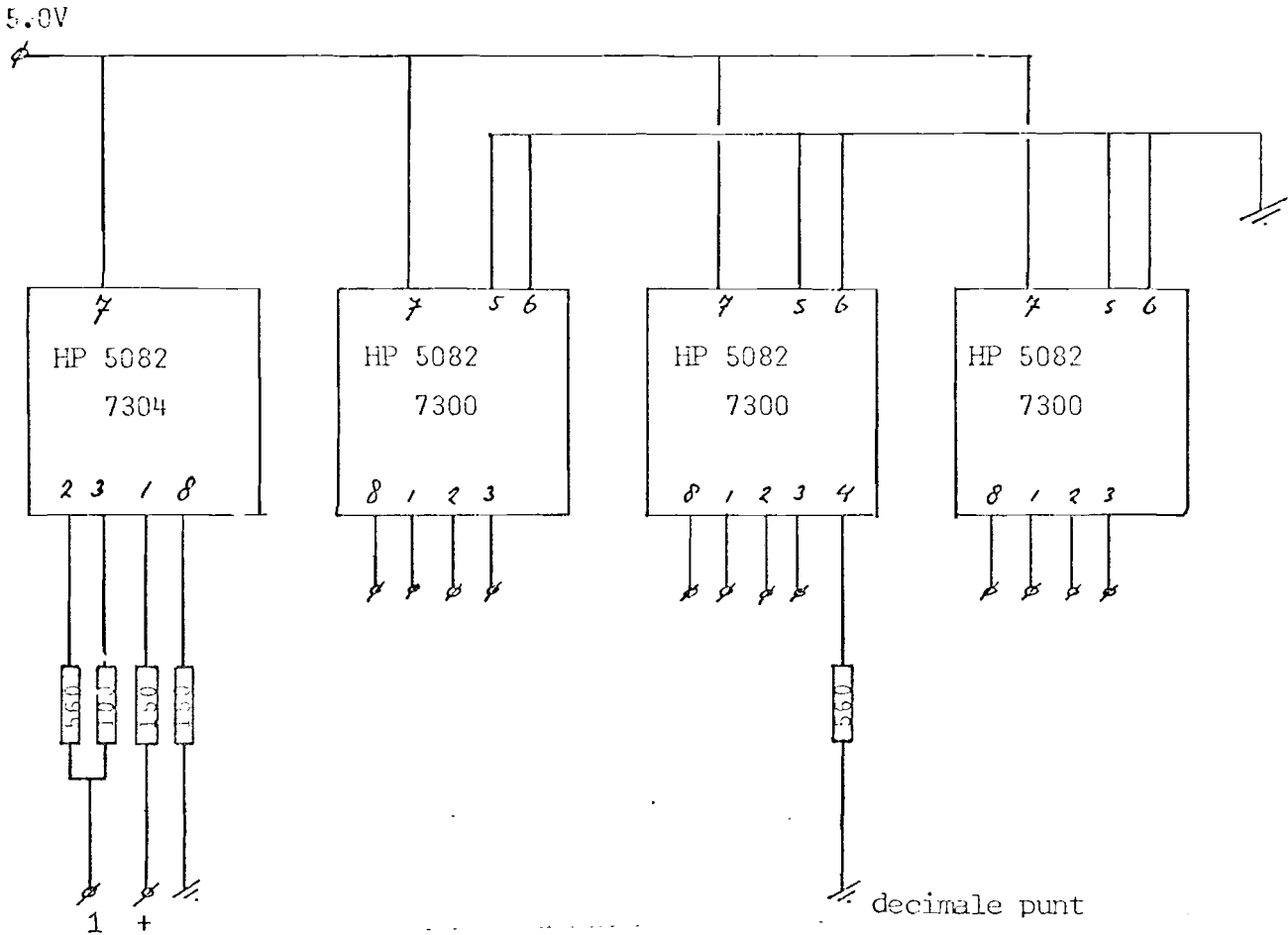
5.4. De print van de analoge fasemeter

De schakeling wordt gegeven in figuur 5-7. De schakeling is ondergebracht op print EEB 270674. Het afregelen geschiedt als volgt:

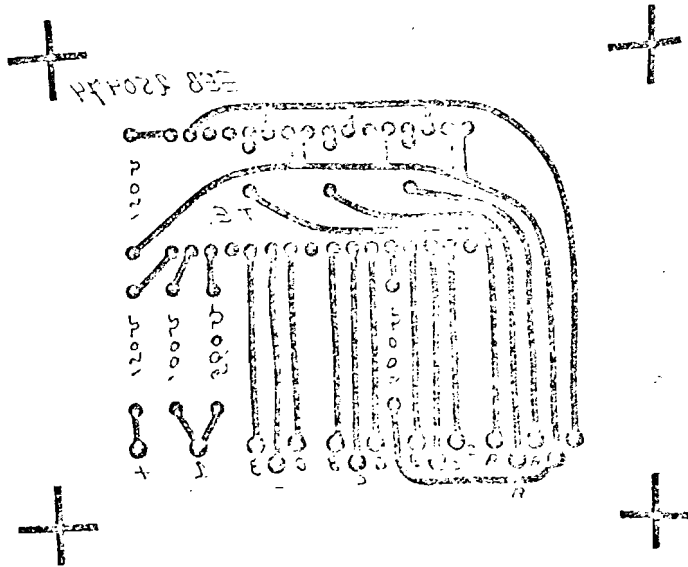
- Stel m.b.v. p_3 de spanning op de basis van T_6 in op $-6V$.
- Aard de basis van T_1 en regel de uitgangsspanning m.b.v. p_2 af op $-1,8V$.
- Aard de basis van T_2 en regel de uitgangsspanning m.b.v. p_1 af op $+1,8V$.



figuur 5-4: "Koperzijde" analoge fasemeter.



figuur 5-5



figuur 5-6

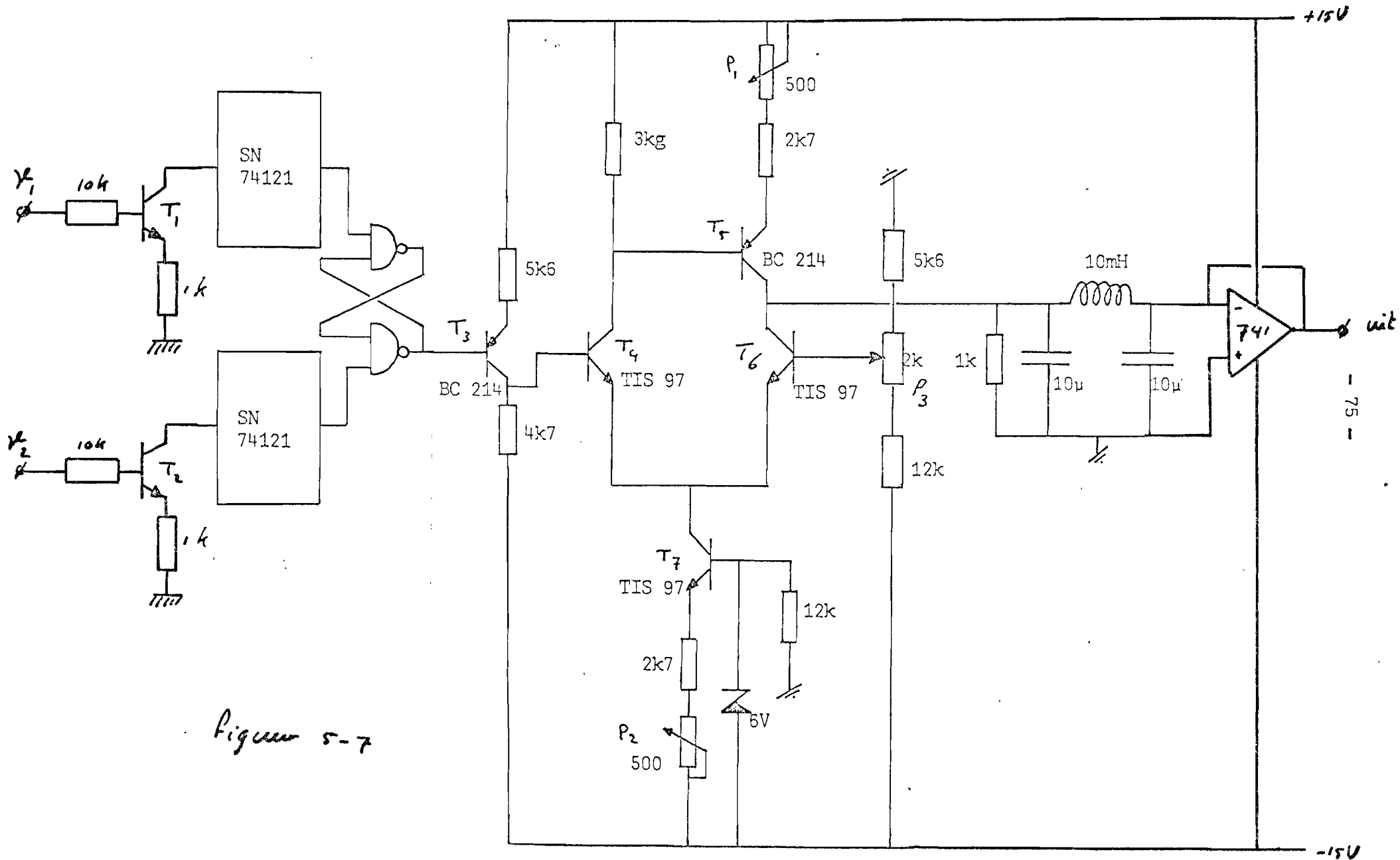


Figure 5-7

5.5. De frontplaat

Op de frontplaat zijn uitgevoerd: display's

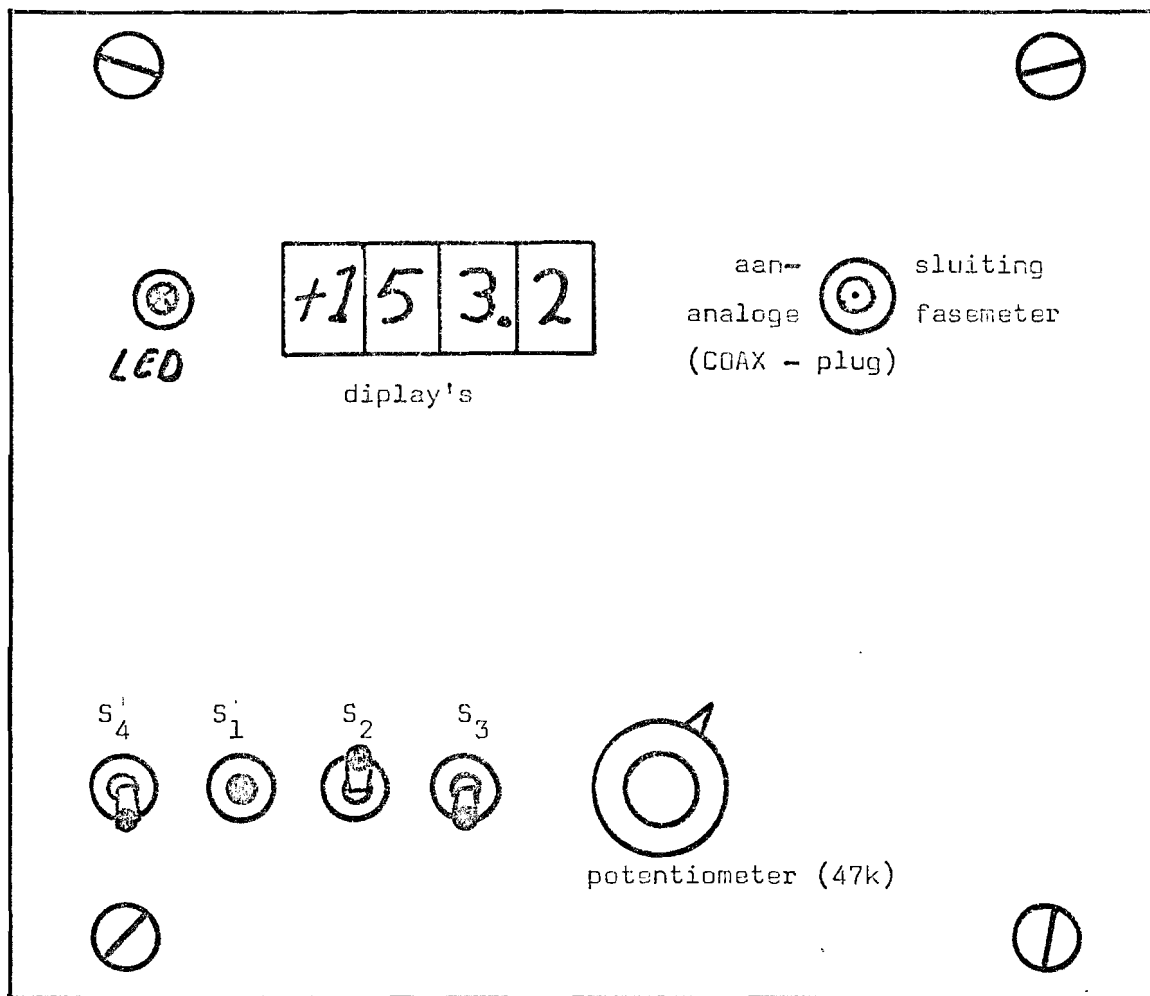
LED- clockpuls G2 indicatie

schakelaers: S_1 ; S_2 ; S_3 ; S_4 ($\Delta\phi$, $\Delta\phi:2$)

potentiometer 47k

BCD-plug (output analoge fasemeter)

De frontplaat is weergegeven in fig. 5-8.



figuur 5-8

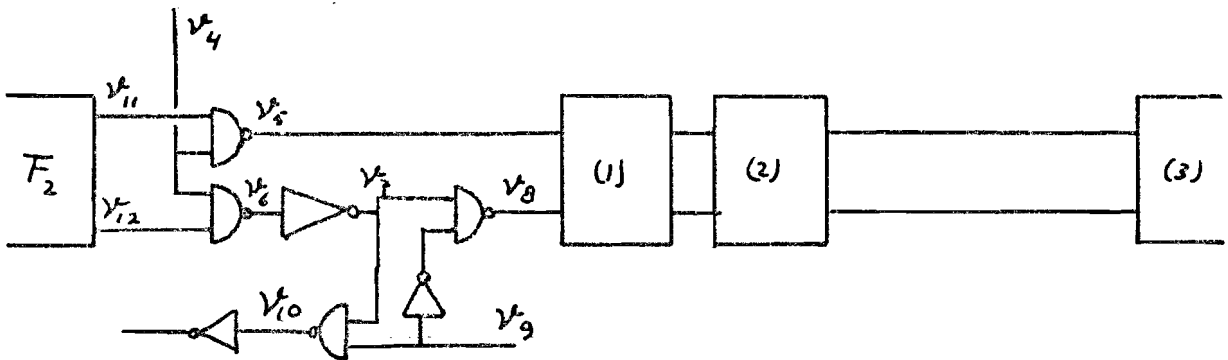
6. Suggesties voor uitbreiding digitale fasemeter

6.1. 1 x puls p meting

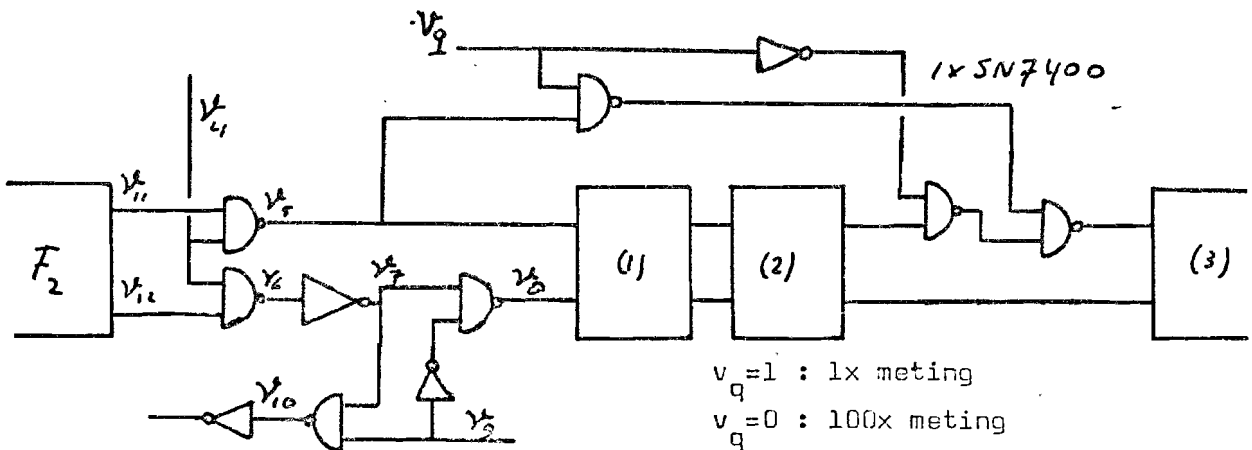
1 x puls p meting wil zeggen dat het apparaat z'n integrerend karakter verliest en telkens 1x het faseverschil ($\theta_1 - \theta_2$) meet en uitleest.

Hiertoe moeten twee tellers (1 en 2 van fig. 3-19) buiten spel gezet worden en moet de pulstrein van 100 pulsen p ingekort worden tot één puls p, zie fig. 3-9.

Een en ander kan gerealiseerd worden m.b.v. de schakelingen van fig. 6-1 en fig. 6-2.

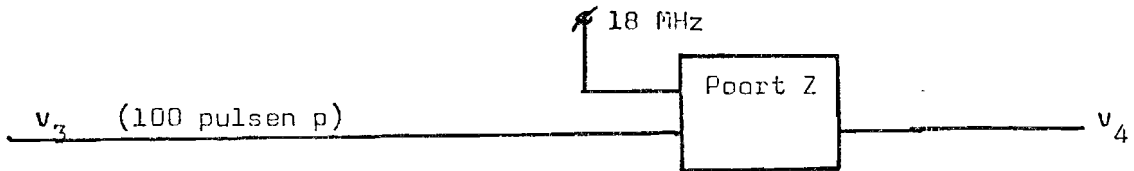


figuur 6-1 a "oude" situatie

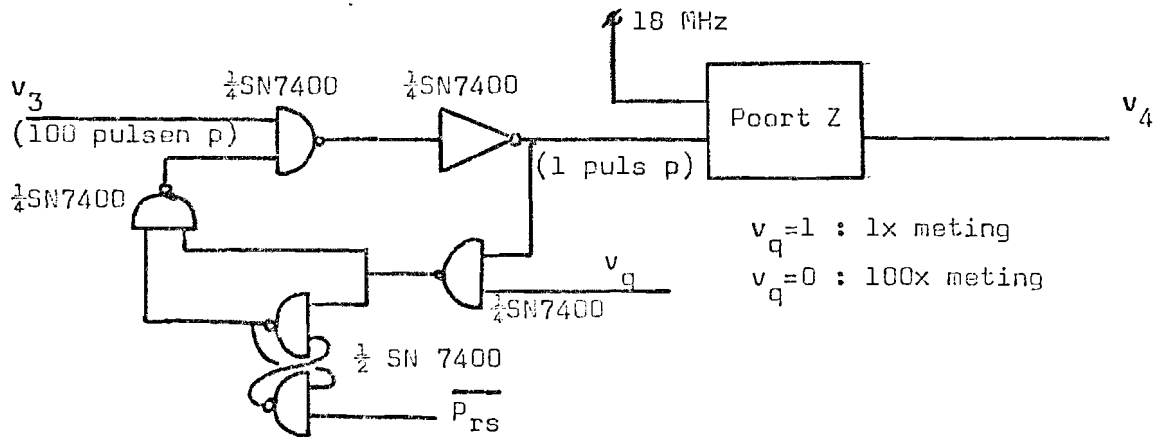


$v_q = 1$: 1x meting
 $v_q = 0$: 100x meting

figuur 6-1 b "nieuwe" situatie



figuur 6-2 a "oude situatie"



figuur 6-2 b "nieuwe situatie"

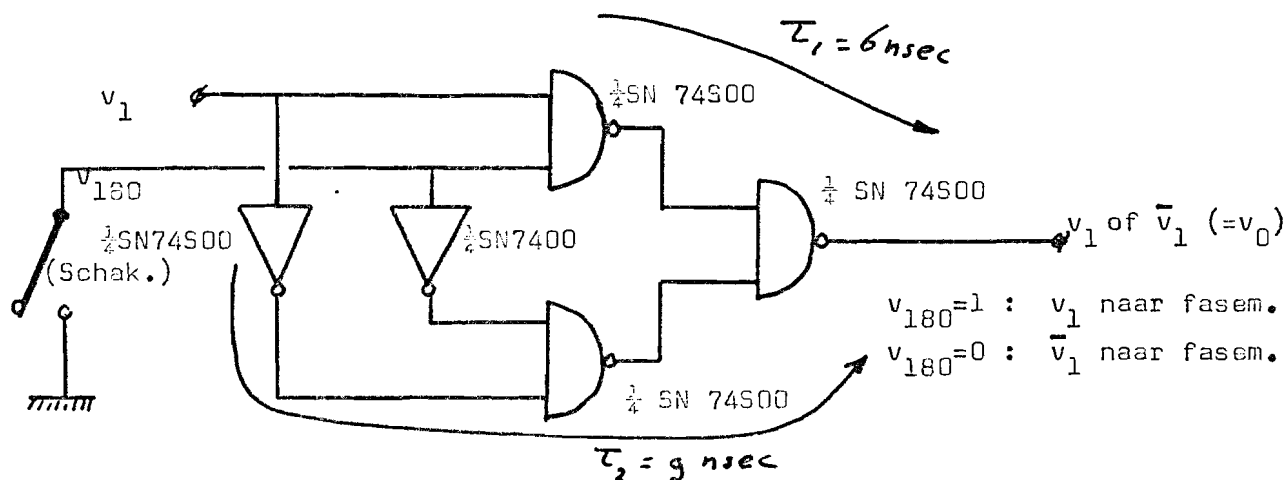
N.B.: bij fig. 6-1 b valt het misschien op dat er alleen voor de optel ingang van de teller een wijziging optreedt, maar dat komt omdat in geval van 1x meting er alleen gebruik gemaakt wordt van de optel ingang.

6.2. Nauwkeurige metingen in de buurt van faseverschillen van 180°

Nauwkeurige metingen in de buurt van faseverschillen van 180° kunnen gedaan worden door door aan de fasemeter i.p.v. v_1 , \bar{v}_1 toe te voeren. Hiertoe kan de schakeling van figuur 6-3 gebruikt worden.

v_1 wordt nu aangesloten zoals is aangegeven, en v_1 of \bar{v}_1 , naar keuze, wordt nu toegevoerd aan de fasemeter.

Met behulp van v_{180} is d.m.v. een enkelvoudige schakelaar te kiezen of er gemeten moet worden met v_1 of met \bar{v}_1 .



figuur 6-3

We moeten nu nog nagaan hoeveel tijd er verloren gaat (looptijd) voordat v_0 bij de nand aankomt waar ook \bar{v}_2 aankomt (zie fig.3-5).

We onderscheiden nu twee gevallen:

- v_1 vertragingstijd: $2 \times \frac{1}{4}$ SN 74S00 $\tau_1 = 6 \text{ nsec.}$
- \bar{v}_1 vertragingstijd: $3 \times \frac{1}{4}$ SN 74S00 $\tau_2 = 9 \text{ nsec.}$

En ook de vertragingstijd van v_2 tot de nand moet in beschouwing worden genomen:

- v_2 vertragingstijd: $1 \times \frac{1}{4}$ SN 74S00 $\tau_3 = 3 \text{ nsec.}$

De fout die nu gemaakt wordt bij het meten is nu voor de twee standen verschillend:

- $v_{180} = 1$: $\frac{(\tau_1 - \tau_3) \cdot 10^{-9}}{200 \cdot 10^{-6}} \times 360^\circ = 0,005^\circ$
- $v_{180} = 0$: $\frac{(\tau_2 - \tau_3) \cdot 10^{-9}}{200 \cdot 10^{-6}} \times 360^\circ = 0,011^\circ$

NB:1) We hadden natuurlijk ook i.p.v. \bar{v}_1 te maken \bar{v}_2 kunnen maken, maar dan waren de meetfouten groter geweest.

2) De uitlezing geeft nu 180° fasevershoven waarden aan.

LITERATUUR

- [1] N.M.J. Engels, afstudeerverslag EEB, 1974, Technische Hogeschool Eindhoven.
- [2] J.B.A. van der Hoofden, afstudeerverslag EEB, 1975, Technische Hogeschool Eindhoven.
- [3] J.D.P. van den Crommenacker, afstudeerverslag H.T.S. Eindhoven, Technische Hogeschool Eindhoven.
- [4] P.G.E. Wielders, afstudeerverslag EEB, nog te publiceren, Technische Hogeschool Eindhoven.
- [5] A.J. Mulder, afstudeerverslag EEB, 1972, Technische Hogeschool Eindhoven.