

## Analisis Prestasi Penuai Tenaga Mikro Frekuensi Radio Berkuasa Rendah Menggunakan Antena MEMS Bagi Rangkaian Sensor Tanpa Wayar

(Performance Analysis of Low Power Radio Frequency Micro Energy Harvester using MEMS Antenna for Wireless Sensor Networks)

Jahariah Sampe<sup>a\*</sup>, Noor Hidayah Mohd Yunus<sup>b</sup>, Jumril Yunas<sup>a</sup> & Ahmad G. Ismail<sup>a</sup>

<sup>a</sup>Institute of Microengineering and Nanoelectronics-Universiti Kebangsaan Malaysia (IMEN-UKM), 43600 Bangi, Selangor, Malaysia

<sup>b</sup>Communication Technology Section, Universiti Kuala Lumpur-British Malaysian Institute (UniKL-BMI), Batu 8, Jalan Sungai Pusu, 53100 Gombak, Selangor, Malaysia

\*Corresponding author: jahariah@ukm.edu.my

Received 31 January 2022, Received in revised form 22 June 2022

Accepted 27 July 2022, Available online 30 January 2023

### ABSTRAK

*Kebelakangan ini, terdapat kecenderungan minat yang semakin meningkat dari para penyelidik menggunakan tenaga ambien bagi menghidupkan peralatan elektronik menggunakan pelbagai teknik penuaian tenaga. Penuaian tenaga mikro adalah teknik yang berpotensi untuk menukar tenaga ambien dari persekitaran kepada tenaga elektrik. Rangkaian sensor tanpa wayar memerlukan sumber tenaga elektrik yang berterusan untuk mengaktifkannya dan sumber tenaga ambien frekuensi radio (RF) yang sentiasa wujud dip persekitaran sangat sesuai digunakan. Oleh itu, penuai tenaga mikro RF yang direkacipta dan dibangunkan terdiri dari litar padanan galangan, pendarab voltan dan litar pengatur tidak memerlukan sumber tenaga luar untuk mengaktifkannya. Litar penuai tenaga mikro RF ini dibina dan disimulasi menggunakan perisian PSPICE dengan menyambungkan perintang beban 1 MΩ. Pada kuasa masukan -20 dBm atau 10 μW yang ditangkap oleh antena MEMS, nilai voltan dan arus keluaran yang dihasilkan dalam litar penuai tenaga ini masing-masing adalah 2.36 V dan 1.7 mA. Manakala, peratusan kecekapan maksimum bagi keseluruhan litar penuai tenaga mikro RF ini adalah 55.7%. Nilai kuasa keluaran yang dihasilkan iaitu 40.12 mW adalah lebih tinggi berbanding nilai kuasa masukan iaitu 10 μW. Penuai tenaga mikro RF ini mampu untuk mengaktifkan rangkaian sensor tanpa wayar dengan keperluan arus masukan minimum 1 mA. Susunatur litar bersepadu menggunakan teknologi CMOS 180 nm bagi litar pendarab telah berjaya dibangunkan dengan saiz yang sangat kecil iaitu 22.48 x 56.96 μm<sup>2</sup> sebagai pembuktian litar boleh difabrikasi sebagai cip litar bersepadu.*

*Kata kunci: penuai tenaga mikro; RF; berkuasa rendah; prestasi*

### ABSTRACT

*Recently, there has been a growing tendency of interest from researchers to use ambient energy to power electronic equipment using various energy harvesting techniques. Micro energy harvesting is a potential technique to convert ambient energy from the environment to electrical energy. The wireless sensor network requires a constant source of electrical energy to activate it and the radio frequency (RF) ambient energy source that always exists in the environment is very suitable for use. Therefore, the designed and developed RF micro energy harvester consisting of an impedance matching circuit, a voltage multiplier and a rectifier circuit does not require an external energy source to activate it. This RF micro energy harvester circuit is constructed and simulated using PSPICE software by connecting a 1 MΩ load resistor. At an input power of -20 dBm or 10 μW captured by the MEMS antenna, the values of the output voltage and current produced in this energy harvester circuit are 2.36 V and 1.7 mA, respectively. Meanwhile, the maximum efficiency percentage of the entire RF micro energy harvester circuit is 55.7%. The output power value of 40.12 mW is higher than the input power value of 10 μW. This RF micro energy harvester is capable of activating a wireless sensor network with a minimum input current requirement of 1 mA. An integrated circuit layout using 180 nm CMOS technology for a multiplier circuit has been successfully developed with a very small size of 22.48 x 56.96 μm<sup>2</sup> as proof that the circuit can be fabricated as an integrated circuit chip.*

*Keywords: Micro energy harvester; RF; low power; performance*

## PENGENALAN

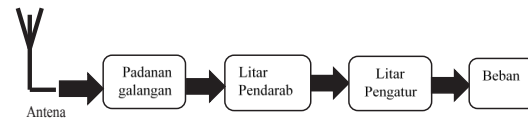
Dalam beberapa tahun kebelakangan ini, teknologi seperti penjana hidro-elektrik, panel solar dan turbin angin telah berkembang menjadi penyumbang kepada keperluan tenaga dunia dalam penuaian tenaga berskala makro bagi membekalkan kuasa dari kilowatt sehingga megawatt ke sistem grid pengagihan tenaga (Grazier 2010). Namun, berbeza pula konsep penuaian tenaga berskala mikro, di mana penuaian tenaga adalah bersumberkan tenaga yang berjulat dari mikrowatt ke miliwatt. Ini bertujuan untuk menghapuskan penggunaan bateri elektrokimia sebagai sumber kuasa bagi menghidupkan peranti elektronik berkuasa rendah (Mohamad et al. 2017). Sejak kebelakangan ini, terdapat kecenderungan minat yang semakin meningkat dari para penyelidik menggunakan tenaga ambien bagi menghidupkan peralatan elektronik menggunakan pelbagai teknik penuaian tenaga mikro. Penuaian tenaga mikro adalah teknik yang berpotensi untuk menukar tenaga ambien dari persekitaran kepada tenaga elektrik (Sung et al. 2019). Ia secara tidak langsung dapat memberikan pendedahan kepada konsep inovasi teknologi hijau kerana sumber penuaian kuasa adalah bersumberkan tenaga yang dikitar semula dari persekitaran bagi menghasilkan suatu bentuk tenaga elektrik yang berguna. Namun, penuaian kuasa adalah dalam jumlah yang kecil dan hanya dapat menghidupkan peranti elektronik berkuasa rendah (Paulo & Gaspar 2010; Kim et al. 2019). Melalui inovasi menggunakan tenaga yang dituai ini, ia dapat meningkatkan kecekapan dan membangunkan teknologi baru seperti peranti pengenalanpastian radio frekuensi (RFID), peranti bioperubahan boleh-pakai, peranti pemantauan pertanian, pelbagaian-perkara-internet (IoT) dan sebagainya (Maniam et al. 2022; Ishak et al. 2022). Pendekatan teknologi ini adalah satu cadangan penyelesaian untuk mengatasi masalah penggunaan bateri yang mengandungi logam berat toksik serta menghapuskan kos penyelenggaraan bateri (Mohamad et al. 2017). Walaupun bateri memakan masa beratus tahun untuk mengurai dan membebaskan toksik di akhir jangka hayat, namun jika tidak dirawat dengan betul, ia secara serius boleh membahayakan kesihatan awam dan alam sekitar (Boaventura et al. 2013).

Dalam konteks operasi ini, frekuensi radio (RF) merujuk kepada gelombang elektromagnetik pada julat frekuensi dari 3 kHz hingga 300 GHz. Penuaian tenaga mikro RF menukarkan gelombang elektromagnetik kepada voltan DC iaitu RF/DC menggunakan rektena (Guo & She 2017; Shen et al. 2018). Secara umum, elemen-elemen blok rajah sistem penuaian tenaga mikro RF ditunjukkan dalam Rajah 1 (Yunus et al. 2020). Tenaga boleh ditangkap oleh antenna secara tanpa wayar yang disambungkan bersama litar penerus melalui penapisan litar rangkaian padanan galangan 50  $\Omega$  yang lazim digunakan. Litar penerus menukarkan tenaga yang diterima kepada voltan DC. Rintangan beban ( $R_L$ ) pada terminal keluaran diletakkan bagi mengukur voltan keluaran DC. Secara asasnya, kecekapan penukaran RF/DC sistem penuaian tenaga dinisbahkan oleh kuasa

keluaran ( $P_{keluaran}$ ) di atas kuasa masukan ( $P_{masukan}$ ), di mana kecekapan penukaran ( $\eta$ ) bagi keseluruhan sistem adalah nisbah kuasa keluaran DC di penghujung sistem kepada kuasa masukan AC yang ditangkap oleh rektena seperti yang diberikan oleh Persamaan (1) (Mehler 2003).

$$\eta = \frac{P_{keluaran}}{P_{masukan}} = \left( \frac{V_{DC}^2}{R_L} \right) \frac{1}{P_{kAberkesan}} \quad (1)$$

Di dalam proses menghasilkan sebuah sistem penuai tenaga mikro isyarat Frekuensi Radio (RF) ini, pelbagai kajian literasi dan kaedah kerja yang tepat perlu dikaji dan ditentukan. Ini bagi memastikan reka bentuk sistem yang dicadangkan dapat menghasilkan keputusan optima untuk aplikasi nod sensor tanpa wayar (Ren et al. 2018). Sistem penuai tenaga mikro RF yang dicadangkan bagi kajian ini adalah seperti yang ditunjukkan dalam Rajah 1.



RAJAH 1. Blok sistem penuai tenaga mikro RF yang dicadangkan

## KAEDAH UJIKAJI

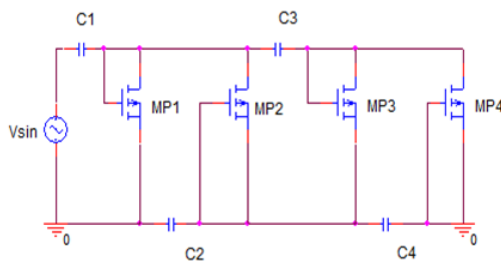
Proses mereka bentuk model, menguji dan menganalisa keseluruhan sistem penuai tenaga mikro RF ini adalah dengan menggunakan perisian PSpice. Reka bentuk sistem ini bermula dari bahagian masukan iaitu litar rangkaian padanan galangan sehingga ke bahagian keluaran iaitu nod rintangan beban ( $R_L$ ). Bagi rujukan aras ukuran dalam kajian ini, kuasa masukan RF yang ditangkap oleh antenna penerima dianggap -20 dBm atau 10  $\mu$ W ditingkatkan kepada nilai kuasa yang lebih tinggi oleh antenna iaitu -14.559 dBm atau 35  $\mu$ W. Kenaikan kuasa ini adalah bergantung kepada parameter gandaan antenna iaitu 5.379 dB yang diperoleh melalui hasil pengukuran antenna (Yunus et al. 2019). Setiap elemen litar yang disambung dalam sistem penuai tenaga adalah direka bentuk untuk dapat beroperasi pada frekuensi 5 GHz, di mana ia bersamaan dengan saluran frekuensi yang dihasilkan dari antenna penerima (Wahab et al. 2018). Manakala, rintangan beban adalah dianggap sebagai rintangan yang disambungkan kepada litar.

## LITAR PENDARAB VOLTAN

Litar pendarab voltan yang direka bentuk dalam kajian ini adalah sebagai alternatif bagi menggabungkan kedua-dua fungsi litar penerus dan litar penggalak voltan (Albrni et al. 2021). Penggabungan kedua-dua litar ini membolehkan litar pendarab voltan ini dapat berfungsi sebagai penukar masukan AC kepada voltan DC dan pada masa yang sama, nilai amplitud voltan DC tersebut dapat didarabkan. Lazimnya, dalam kajian sedia ada, kedua-dua litar ini

disambungkan secara berasingan. Penyambungan secara berasingan ini adalah rumit, di mana ia memerlukan lebih banyak komponen bagi setiap konfigurasi litar serta kurang efektif kerana terjadinya kehilangan berparasit kesan daripada penyambungan wayar bagi komponen tersebut (Sampe et al. 2017).

Lazimnya, dalam sistem penuaian tenaga, komponen diod Schottky digunakan dalam litar pendarab kerana kelebihan sifat komponen dengan voltan ambang ( $V_{th}$ ) yang rendah iaitu 200 mV hingga 300 mV. Selain itu, pensuisan diod Schottky adalah pantas kerana kesan kejatuhan voltan yang rendah. Walau bagaimanapun, dalam kajian ini, komponen diod Schottky telah digantikan dengan transistor MOSFET kerana memenuhi kesesuaian spesifikasi implimentasi dalam teknologi CMOS. Namun, MOSFET mempunyai kekangan voltan ambang dan kebocoran arus pincang balikan yang tinggi. Oleh itu sebagai penyelesaiannya, penyambungan diod berhubung MOSFET diaplikasikan. Ini dilakukan dengan membuat pengubahsuaian penyambungan pin get dan pin saluran bagi MOSFET kepada nod yang sama. Maka, sifat kelebihan fungsi yang ada pada komponen diod Schottky masih dapat diadaptasikan dalam komponen MOSFET. Dalam kajian ini, sambungan pin bagi komponen MOSFET jenis p iaitu PMOS bagi litar pendarab dicadangkan. Contoh litar pendarab tersebut yang dibina dalam dua peringkat ditunjukkan dalam Rajah 2. Dua komponen PMOS dan dua kapasitor digunakan dalam setiap peringkat litar pendarab ini. Nisbah lebar dan panjang ( $L/W$ ) bagi PMOS ini ditetapkan masing-masing pada 180 nm dan 37.5  $\mu\text{m}$ . Setiap komponen yang dipilih ini adalah berdasarkan kesesuaian operasi frekuensi 5 GHz dan rintangan beban (RL) iaitu 1  $\text{M}\Omega$ .



RAJAH 2. Litar pendarab voltan dua peringkat

Sambungan litar pendarab yang digunakan adalah merujuk kepada konfigurasi asas litar pendarab *Cockroft Walton*. Konfigurasi seperti ini dipilih kerana ia dapat menghasilkan voltan keluaran yang lebih tinggi berbanding voltan masukan kepada litar. Dalam separuh pusingan positif voltan masukan ( $V_{masukan}$ ) yang pertama, MOSFET MP1 dan MP3 dalam keadaan hidup, manakala, MOSFET MP2 dan MP4 tidak hidup. Kapasitor C1 dan C3 dicaskan melalui voltan masukan menjadikan jumlah voltan masukan dalam magnitud pendaraban dua iaitu  $2V_{masukan}$ . Seterusnya, dalam separuh pusingan negatif, MOSFET MP1 dan MP3 tidak hidup, manakala MOSFET MP2 dan MP4 dalam keadaan

hidup. Maka, kapasitor C2 dan C4 dicaskan, manakala C1 dan C3 menyimpan cas kerana tidak dapat untuk dinyahcas. Maka, pada akhir satu pusingan, voltan yang melalui empat kapasitor ini adalah  $4V_{masukan}$ . Dapat dijangka pada nod akhir litar ini, voltan keluaran ( $V_{keluaran}$ ) DC adalah dikira melalui Persamaan (2) (Nilsson & Riedel, 2020).

$$V_{keluaran} = 4V_c - 4V_{th} \quad (2)$$

Dimana  $V_{th}$  adalah voltan ambang dan  $V_c$  adalah voltan kapasitor.

Nilai voltan ambang ( $V_{th}$ ) bagi MOSFET perlu mempunyai nilai lebih rendah berbanding voltan masukan bagi tujuan mendapatkan hasil voltan keluaran yang lebih tinggi. Namun secara praktikalnya, bagi tujuan penuaian tenaga, kemasukan voltan adalah sangat rendah. Cabaran bagi merekabentuk litar pendarab ini adalah nilai  $V_{th}$  bagi MOSFET adalah lebih tinggi berbanding  $V_{masukan}$  yang diterima dari litar resonan LC bagi litar padanan galangan. Kajian ini mencadangkan bagi mengimbangi nilai voltan masukan dan voltan kapasitor ( $V_c$ ) yang bersambungan dengan MOSFET. Ini kerana pada masa yang sama, nilai  $V_c$  ini dapat memberi kesan pada nilai voltan keluaran. Oleh itu, persamaan asas bagi kapasitor,  $C = \frac{Q_c}{V}$  dipertimbangkan.  $Q_c$  adalah cas yang disimpan dalam unit columbs pada voltan (V) yang dikaitkan dalam kapasitor iaitu . Nilai kapasitor perlu dipilih bersesuaian seperti merujuk kepada asas hubungan arus dan voltan bagi kapasitor seperti dalam Persamaan (3). Arus ( $i_c$ ) adalah arus kapasitor, di mana, ia berkaitan dengan voltan (V) masukan melalui kapasitor.

$$dv = \frac{1}{C} i_c(t) dt \quad (3)$$

Seterusnya, pengamiran Persamaan (3) antara masa  $t_0$  dan  $t$  menjadikan voltan  $v(t_0)$  dan  $v(t)$  seperti Persamaan (4).

$$v(t) = \frac{1}{C} \int_{t_0}^t i_c(t') dt' + v(t_0) \quad (4)$$

Maka, Persamaan (4) dimudahkan tanpa had pengamiran menjadikan kepada Persamaan (5).

$$v(t) = \frac{1}{C} \int i_c dt + k \quad (5)$$

Melalui Persamaan (5), semakin rendah nilai  $C$ , maka semakin tinggi nilai  $v(t)$  yang dihasilkan. Oleh itu, dalam kajian ini, nilai kapasitor yang rendah dipilih, maka nilai  $v(t)$  atau mewakili voltan kapasitor ( $V_c$ ) yang dikehendaki dapat ditingkatkan. Nilai kapasitor ini juga dapat mempengaruhi kelajuan respon fana bagi litar. Maka, MOSFET tersebut dapat dihidupkan apabila nilai voltan masukan bagi kapasitor melebihi nilai voltan ambang bagi MOSFET. Selain itu, faktor jumlah bilangan peringkat bagi litar pendarab juga dapat meningkatkan nilai voltan keluaran ( $V_{keluaran}$ ). Ini dapat dihubungkan melalui Persamaan (6).

$$V_{keluaran} = \frac{nV_o}{nR_o + R_L} = V_o \frac{1}{\frac{R_o}{R_L} + \frac{1}{n}} \quad (6)$$

Di mana,  $n$  adalah bilangan peringkat,  $V_o$  adalah voltan litar terbuka,  $R_o$  dan  $R_L$  masing-masing adalah rintangan dalaman dan rintangan beban. Bagi kajian ini, enam peringkat litar pendarab disusun secara siri bagi mendapatkan hasil nilai optima yang dikehendaki. Nilai voltan keluaran meningkat berkadar secara langsung dengan peningkatan bilangan peringkat litar pendarab bermula dari peringkat pertama sehingga ke peringkat ke enam. Namun, pada peringkat ke tujuh, nilai voltan keluaran mula menurun. Ini disebabkan pada peringkat ketujuh sehingga pada peringkat seterusnya, operasi litar adalah tidak optimal serta dipengaruhi oleh kesan berparasit, pertambahan rintangan dan arus kebocoran pincang balikan yang terdapat pada setiap komponen yang disambungkan.

Analisa prestasi voltan keluaran dapat dinilai melalui parameter peratusan kecekapan penukaran kuasa ( $\eta$ ) bagi sistem keseluruhan. Sifat bagi setiap komponen MOSFET dan rintangan bebab ( $R_L$ ) yang bersambung pada nod litar penuai tenaga ini juga dapat memberi kesan kepada peratusan kecekapan. Ini dapat dilihat melalui formula dalam Persamaan (7).

$$\eta(\%) = \frac{V_{keluaran}^2}{R_L P_{masuk} + P_{kerugian}} \times 100\% \quad (7)$$

Di mana,

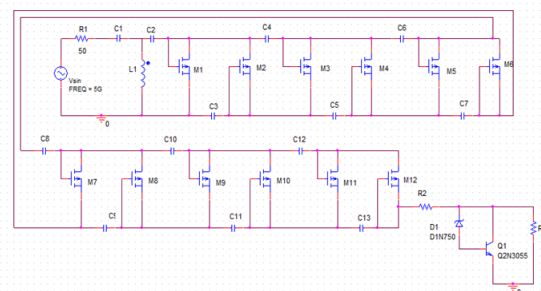
$P_{kerugian}$  adalah kerugian kuasa yang terdiri daripada  $P_{FWD}$  iaitu kuasa yang diperlukan bagi menghidupkan MOSFET dan  $P_{REV}$  iaitu kehilangan kuasa yang disebabkan kebocoran arus terbalik. Lazimnya, bagi kuasa masukan yang kecil iaitu kurang dari 0 dBm, nilai kecekapan yang dihasilkan adalah kecil iaitu kurang daripada 10%. Maka, kajian ini mengaplikasikan teknik penyambungan diod berhubung MOSFET bagi mengurangkan  $P_{kerugian}$ . Bagi penyambungan ini, nilai  $P_{REV}$  adalah terlalu kecil kerana nilai voltan ambang yang tinggi. Maka, faktor  $P_{kerugian}$  bagi MOSFET lebih banyak dipengaruhi oleh  $P_{FWD}$  kerana voltan ambangnya yang tinggi. Oleh itu, kajian ini mencadangkan bagi mengurangkan jumlah  $P_{kerugian}$  iaitu dengan mengurangkan voltan ambang MOSFET bagi keadaan MOSFET yang dihidupkan. Sebaliknya, dalam keadaan pincang balikan bagi MOSFET, voltan ambang MOSFET perlu ditingkatkan. Maka, kehilangan kuasa di dalam setiap komponen yang terlibat dapat dikurangkan dan secara tidak langsung parameter peratusan  $\eta$  dapat ditingkatkan. Dalam kajian ini, ia dilaksanakan dengan menyambungkan komponen kapasitor dengan nilai kapasitan yang rendah bagi mengimbangi kedua-dua nilai voltan ambang dan nilai voltan masukan kepada MOSFET. Jadual 1 menunjukkan nilai-nilai malar yang digunakan dalam pengiraan model litar pendarab.

JADUAL 1. Parameter masukan litar pendarab

Parameter	Nilai
Kapasitor (C1, C2, C3, C4)	0.1 pF
Rintangan beban	1 MΩ
Frekuensi operasi	5 GHz

LITAR PENUAI TENAGA MIKRO RF

Rajah 3 menunjukkan litar skematik bagi sistem penuaian tenaga mikro RF yang dicadangkan. Padanan galangan iaitu 50 Ω digunakan bagi padanan antara antenna penerima dan litar penuai. Bagi kajian ini, kuasa masukan RF minima iaitu -20 dBm atau bersamaan 32 mV yang ditangkap dari antenna penerima dijadikan sebagai aras rujukan. Walaubagaimanapun, variasi kuasa masukan iaitu di dalam julat -30 dBm ke 10 dBm turut dipersembahkan bagi penilaian ke atas prestasi litar. Operasi frekuensi antenna penerima dan litar penuai ditetapkan pada 5 GHz. Seterusnya, kuasa masukan digandakan oleh antenna penerima melalui parameter gandaan antenna yang dihasilkan. Maka, menjadikan kuasa keluaran ini kepada -14.599 dBm atau bersamaan 58.89 mV AC dalam bentuk gelombang sinusoidal (Yunus et al. 2019). Voltan AC sebanyak 58.89 mV ini menjadi voltan masukan untuk dibekalkan kepada litar salunan padanan galangan. Rangkaian salunan ini terdiri daripada komponen pasif iaitu induktor dan kapasitor (LC), di mana ia mampu meningkatkan amplitud masukan voltan AC yang rendah bagi menghidupkan komponen aktif iaitu MOSFET dalam penyambungan litar pendarab. Litar pendarab menukarkan isyarat masukan AC kepada DC serta dalam pada masa yang sama voltan DC ini didarabkan. Bagi penstabilan amplitud voltan DC yang dihasilkan daripada litar pendarab ini, litar pengatur yang terdiri daripada komponen diod Zener dan transistor NPN disambungkan. Litar pengatur ini juga membantu mengelakkan berlakunya litar pintas akibat kemasukan isyarat RF pada amplitud yang tidak tetap, di mana ia berfungsi dengan menghadkan amplitud voltan yang bersesuaian dengan rintangan beban ( $R_L$ ) maksima 1 MΩ yang disambungkan. Bacaan keputusan keluaran direkod bagi menganalisa perbandingan kuasa keluaran dan peratusan kecekapan yang dihasilkan.



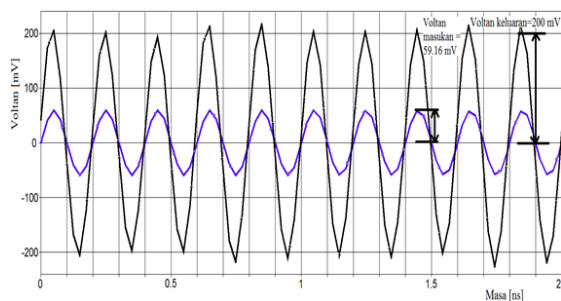
RAJAH 3. Litar skematik sistem penuaian tenaga RF

KEPUTUSAN DAN PERBINCANGAN

HASIL SIMULASI DAN IMPLEMENTASI SUSUNATUR LITAR

Sistem penuaian tenaga mikro RF yang lengkap disimulasi menggunakan perisian PSpice. Sebagai rujukan operasi, litar penuaian tenaga ini disimulasi bersama kuasa masukan minimum yang ditangkap atau diterima daripada antenna MEMS (Yunus et. al. 2019) iaitu -20 dBm atau 10  $\mu$ W dengan padanan galangan 50  $\Omega$ . Variasi kemasukan kuasa kepada litar turut dipersembahkan bagi penilaian prestasi litar penuai. Kuasa masukan yang dinilai adalah di dalam julat dari -30 dBm hingga 10 dBm atau dari 1  $\mu$ W hingga 10 mW.

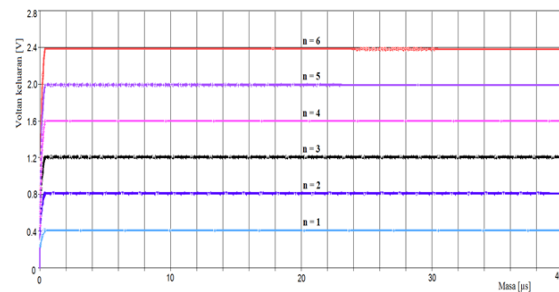
Analisis tindak balas sementara di dalam perisian PSpice digunakan untuk mendapatkan hasil keputusan simulasi keluaran bagi litar padanan galangan terhadap masa. Hasil simulasi pada Rajah 4 menunjukkan nilai masukan kepada sistem iaitu -14.559 dBm atau 59.16 mV ditingkatkan kepada amplitud 200 mV pada nod keluaran litar padanan galangan. Peningkatan amplitud voltan keluaran adalah sebanyak lebih tiga kali ganda berbanding nilai kuasa masukannya. Hasil keluaran tersebut menunjukkan litar ini berpadanan dengan nilai parameter LC yang sesuai digunakan iaitu masing-masing pada nilai 0.225  $\mu$ H dan 0.012 pF. Kenaikan amplitud voltan masukan ini adalah disebabkan oleh aliran arus yang melalui litar padanan galangan ketika ini adalah maksimum.



RAJAH 4. Voltan keluaran dan voltan masukan litar padanan galangan

Kesan Bilangan Peringkat Litar Pendarab

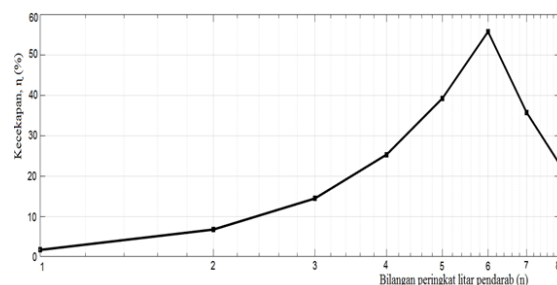
Bilangan peringkat litar pendarab perlu diberi penekanan bagi menghasilkan voltan keluaran yang optimal. Konfigurasi litar pendarab yang disusun secara sesiri dapat meningkatkan nilai voltan keluaran. Voltan keluaran juga dapat ditingkatkan dengan pertambahan bilangan peringkat litar pendarab. Rajah 5 menunjukkan plot voltan keluaran pada setiap bilangan peringkat (n) bagi litar pendarab terhadap jangka masa yang ditetapkan. Nilai kuasa masukan kepada sistem adalah -20 dBm. Dapat diperhatikan, voltan keluaran menjadi malar pada permulaan masa pada 0.3  $\mu$ s dan berterusan malar sehingga masa infiniti.



RAJAH 5. Voltan keluaran terhadap masa setiap bilangan peringkat litar pendarab

Pada fasa ini, bacaan voltan dan arus keluaran adalah stabil. Ini adalah kerana setiap komponen kapasitor yang bersambung pada setiap peringkat litar pendarab menjalankan fungsi pengecasan dan penyahcasan secara terkawal bagi setiap gelombang pusingan positif dan negatif terhadap kuasa masukan kepadanya.

Pada peringkat ke enam litar pendarab (n = 6), hasil keputusan voltan keluaran adalah paling optimal iaitu 2.36 V. Namun, pada bilangan peringkat litar pendarab melebihi enam (n > 6), voltan keluaran yang dihasilkan menunjukkan penurunan nilai yang agak ketara. Pada peringkat ini, pendaraban voltan keluaran tidak lagi berlaku pada nod rintangan beban dan kehilangan kuasa keluaran yang sangat tinggi berlaku akibat kesan berparasit dari setiap komponen kapasitor yang bersambung pada setiap peringkat. Ini menyebabkan komponen kapasitor tidak dapat menjalankan fungsi pengecasan dan penyahcasan. Nilai voltan masukan dan kemasukan arus yang wujud pada peringkat ini tidak dapat mengimbangi atau memenuhi kapasiti bagi menghidupkan komponen MOSFET yang bersambung dengan kapasitor. Maka, pertambahan bilangan peringkat litar pendarab dapat memberi kesan kepada rintangan litar, di mana kesan tersebut diperolehi melalui penilaian parameter peratusan kecekapan sistem.

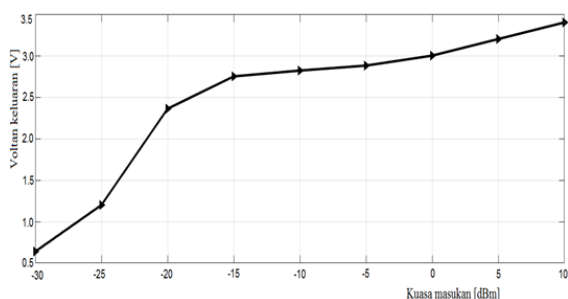


RAJAH 6. Kecekapan terhadap bilangan peringkat litar pendarab

Rajah 6 menunjukkan plot peratusan kecekapan terhadap kesan penambahan bilangan peringkat litar pendarab bagi kuasa masukan kepada sistem iaitu -20 dBm. Rajah menunjukkan peratusan kecekapan optimal adalah 55.7% pada bilangan peringkat litar pendarab pada n = 6. Pada peringkat ketujuh litar pendarab, peratusan kecekapan menurun. Pada peringkat n > 6 ini, terjadinya penurunan

faktor Q dalam litar, di mana parameter kecekapan menurun akibat kesan daripada nilai kapasitan berparasit yang semakin meningkat dalam litar.

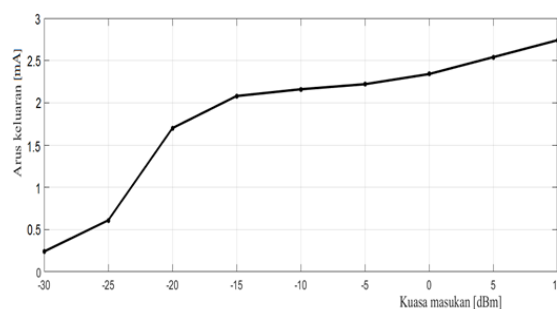
Rajah 7 menunjukkan hasil voltan keluaran terhadap variasi kuasa masukan minimum -30 dBm hingga maksimum 10 dBm pada frekuensi 5 GHz dan rintangan beban 1 M $\Omega$ . Melalui plot melengkung yang diperoleh, nilai voltan keluaran meningkat dengan peningkatan nilai kuasa masukan bermula daripada julat kuasa masukan minimum hingga maksimum. Namun, plot lengkung ini menghampiri kenaikan voltan keluaran yang malar pada julat kuasa masukan dari -15 dBm ke 0 dBm. Terdapat perbezaan hasil voltan keluaran yang ketara iaitu sebanyak 49.15% antara kemasukan kuasa pada -25 dBm dan -20 dBm. Ini adalah permulaan bagi titik peralihan kepada tahap penghasilan nilai voltan keluaran yang optimal iaitu 2.36 V pada kuasa masukan kepada sistem iaitu -20 dBm dengan peratusan kecekapan yang tinggi. Hasil voltan keluaran iaitu 1.69 V pada kuasa masukan -23 dBm menunjukkan nilai voltan menghampiri nilai optimum yang dapat dihasilkan bagi menghidupkan aplikasi nod sensor, di mana minimum voltan bekalan yang diperlukan bagi aplikasi ini adalah 1.67 V. Voltan keluaran yang dihasilkan pada julat kuasa masukan dari -15 dBm hingga 10 dBm menunjukkan hasil voltan keluaran yang tidak mempunyai perbezaan nilai yang ketara. Perbezaan hasil voltan keluaran pada setiap julat kuasa masukan tersebut adalah pada purata 3.82%. Ini disebabkan berlakunya keadaan yang kurang optimal serta kurang berkesan bagi menyokong operasi litar kesan daripada kemasukan kuasa yang berjulat tinggi.



RAJAH 7. Voltan keluaran terhadap variasi kuasa masukan

Rajah 8 menunjukkan plot hasil keputusan arus keluaran terhadap variasi kuasa masukan kepada sistem. Melalui rajah, nilai arus keluaran meningkat dengan peningkatan nilai kuasa masukan bermula daripada julat kuasa masukan minimum hingga maksimum. Pada julat kuasa masukan dari -30 dBm hingga 10 dBm, hasil arus keluaran adalah dalam julat 0.24 mA hingga 2.74 mA. Pada kuasa masukan dari -25 dBm ke -20 dBm, nilai arus keluaran meningkat secara drastik iaitu dari 0.61 mA hingga 1.7 mA. Ini adalah permulaan bagi titik peralihan

kepada tahap penghasilan nilai arus keluaran yang optimal iaitu 1.7 mA. Plot yang diperoleh menunjukkan corak plot melengkung yang sama dengan plot hasil keputusan voltan keluaran. Ini menunjukkan nilai hasil kuasa keluaran yang dihasilkan oleh sistem penuai tenaga ini adalah stabil serta dapat menghasilkan peratusan kecekapan yang tinggi. Pada keadaan operasi litar yang optimal dari kuasa masukan iaitu -20 dBm, peratusan kecekapan adalah 55.7%. Operasi litar ini mengambil kira keadaan rintangan beban iaitu 1 M $\Omega$  yang disambungkan pada nod keluaran litar.



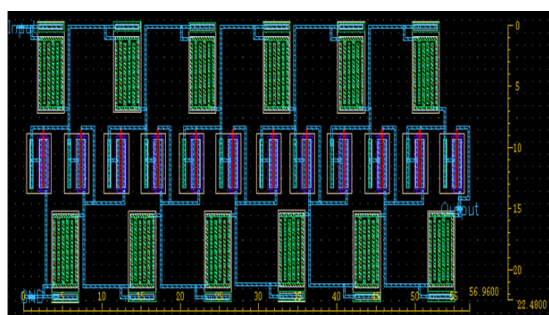
RAJAH 8. Arus keluaran terhadap variasi kuasa masukan

Jadual 2 menunjukkan perbandingan bagi prestasi yang dihasilkan antara sistem penuaian tenaga RF kajian ini dan beberapa kajian terdahulu. Secara asasnya, perbandingan ini merangkumi skop yang menggunakan teknologi CMOS dalam operasi frekuensi jalur sempit dengan kuasa masukan pada < 0 dBm. Melalui perbandingan, kajian ini mempunyai peratusan kecekapan dan voltan keluaran yang tinggi berbanding kajian yang lain pada kuasa masukan yang rendah. Kajian oleh (Kim & Kwon 2019) menunjukkan peratusan kecekapan yang lebih tinggi berbanding kajian ini. Namun dapat diperhatikan, kuasa masukan kepada sistem adalah lebih tinggi berbanding kajian ini. Ini menunjukkan sistem reka bentuk tersebut adalah kurang sensitif pada operasi frekuensi 900 MHz. Tambahan pula, voltan keluaran iaitu 1 V adalah rendah, di mana nilai voltan keluaran tersebut tidak mencukupi bagi menghidupkan rangkaian sensor tanpa wayar.

Susun atur litar pendarab yang lengkap direka bentuk menggunakan perisian Cadence Virtuoso dengan teknologi 180 nm Siltera pdk. Komponen kapasitor dan PMOS transistor yang boleh didapati dalam pdk digunakan dalam reka bentuk litar pendarab ini. Susunatur yang lengkap ditunjukkan dalam Rajah 9. Jumlah keluasan saiz, susunatur ini adalah 22.48 x 56.96  $\mu\text{m}^2$ . Pemeriksaan ujian *Design Rules Check* (DRC) dan *Layout Versus Schematic* (LVS) bagi susun atur litar pendarab telah berjaya dilepasi sebagai pembuktian piawai spesifikasi telah dipenuhi untuk difabrikasi sebagai cip litar bersepadu.

JADUAL 2. Perbandingan hasil keluaran sistem penuaian tenaga RF dengan kajian terdahulu

Penyelidik (Tahun)	Frekuensi (Hz)	Rintangan Beban ( $\Omega$ )	Voltan Keluaran (V)	Kuasa Masukan (dBm)	Teknologi	Kecekapan, $\eta$ (%)
Sampe, J. et al. (2017)	915 M	1 M	1.5	-19	CMOS 130 nm	18.3
Sung, G. M. et al. (2019)	915 M	1 M	1.5	-6	1P6M CMOS 180 nm	40.56
Kim, H. & Kwon (2019)	900 M	100 k	1.0	-17	CMOS 180 nm	75.2
Kajian ini	5 G	1 M	2.36	-20	CMOS 180 nm	55.7



RAJAH 9. Susunatur litar pendarab

## KESIMPULAN

Rangkaian padanan galangan melalui litar saluran LC telah direka dengan padanan galangan antenna  $50 \Omega$ . Maka, kuasa keluaran daripada antenna dapat dibekalkan berpadanan masukan kepada sistem penuaian tenaga RF. Sistem pengaktifan litar tidak memerlukan sumber tenaga luar seperti penjana kuasa atau bateri untuk menyokong operasi bagi setiap elemen yang disambungkan. Pada kuasa masukan  $-20$  dBm atau  $10 \mu\text{W}$  yang ditangkap oleh antenna, nilai voltan dan arus keluaran yang dihasilkan dalam litar penuai tenaga ini masing-masing adalah  $2.36$  V dan  $1.7$  mA. Manakala, keputusan peratusan kecekapan yang maksimum bagi keseluruhan litar penuai tenaga mikro RF adalah  $55.7\%$ . Nilai kuasa keluaran yang dihasilkan iaitu  $40.12$  mW adalah lebih tinggi berbanding nilai kuasa masukan iaitu  $10 \mu\text{W}$ . Litar penuai tenaga mikro RF ini mampu untuk mengaktifkan nod sensor dengan keperluan arus masukan minimum  $1$  mA. Susunatur litar bersepadu menggunakan teknologi CMOS  $180$  nm bagi litar pendarab telah berjaya diimplementasikan dengan saiz yang sangat kecil iaitu  $22.48 \times 56.96 \mu\text{m}^2$ . Pemeriksaan ujian DRC dan LVS bagi susunatur litar pendarab telah berjaya dilepasi sebagai pembuktian piawaian spesifikasi telah dipenuhi untuk difabrikasi sebagai cip litar bersepadu.

## PENGHARGAAN

Kajian ini telah mendapat sumbangan dari Kementerian Pendidikan Malaysia di bawah geran (FRGS/1/2018/TK04/UKM/02/1).

## PENGISYTIHARAN KEPENTINGAN BERSAING

Tiada.

## RUJUKAN

- Albri, M. A., Fasehuddin, M., Sampe, J. & Ali, S. H. M. 2021. Novel VDBA based universal filter topologies with minimum passive components, *Journal of Engg. Research* 9(3B): 110-130.
- Boaventura, A. J. S., Member, S., Carvalho, N. B. & Member, S. 2013. A Batteryless RFID remote control system. *IEEE Transactions on Microwave Theory and Techniques* 61(7): 2727-2736.
- Guo, S. & Shi, Y. 2017. Energy efficiency maximization in mobile wireless energy harvesting sensor networks. *IEEE Transactions on Mobile Computing* 17(7): 1524-1537.
- Grazier, M. 2010. ULP meets energy harvesting: White Paper Texas Instruments.
- Ishak, S. N., Sampe, J., Yusoff, Z. & Fasehuddin, M. 2022. All digital phase locked loop (ADPLL) topologies for RFID System Application: A Review, *J. Teknol. Eng* 84(1) :219-230.
- Kim, S., Tentzeris, M. M. & Georgiadis, A. 2019. Hybrid printed energy harvesting technology for self-sustainable autonomous sensor application. *Sensors* 19(3): 728.
- Kim, H. & Kwon, I. 2019. Design of high-efficiency CMOS rectifier with low reverse leakage for RF energy harvesting. *Electronics Letters*.
- Liu, X. & Ansari, N. 2019. Toward Green IoT: Energy solutions and key challenges. *IEEE Communications Magazine* 57(March): 104-110.
- Maniam, G., Sampe, J., Jaafar, R. & Ibrahim, M. F. 2022, Smart monitoring system for chronic kidney disease patients based on Fuzzy Logic and IoT. *International Journal of Advanced Computer Science and Applications* 13(2): 324-333.
- Mehler, M.J. 2003. *Propagation of Radio Waves*. 2<sup>nd</sup> edition. L. Barclay, Ed.: Institution of Electrical Engineers.
- Mohamad, T.N.T, Sampe, J. & Berhanuddin, D. D. 2017. Architecture of micro energy harvesting using hybrid input of RF, thermal and vibration for semi-active RFID tag, *Engineering Journal* 21 (2):183-197.
- Nilsson, J. W. & Riedel, S. A. 2020. *Electric Circuits*. Pearson Education Limited.
- Paulo, J. & Gaspar, P. D. 2010. Review and future trend of energy harvesting methods for Portable Medical Devices II.
- Ren, J., Hu, J., Zhang, D., Guo, H., Zhang, Y. & Shen, X. S. 2018. Imminent communication technologies for smart communities RF energy harvesting and transfer in Cognitive Radio Sensor Networks: Opportunities and Challenges. *IEEE Communications Magazine* 56(January): 104-110.

- Sampe, J., Zulkifli, F.F., Semsudin, N.A.A. & Majlis, B.Y. 2017. Litar penuai tenaga hibrid mikro untuk aplikasi bioperubatan. *Jurnal Kejuruteraan* 29(1): 41-48.
- Shen, S., Member, S., Chiu, C., Member, S. & Murch, R. D. 2018. Multiport pixel rectenna for ambient RF energy harvesting. *IEEE Transactions on Antennas and Propagation* 66(2): 644–656.
- Sung, G. M., Chung, C. K., Lai, Y. J. & Syu, J. Y. 2019. Small-area radiofrequency-energy-harvesting integrated circuits for powering Wireless Sensor Networks. *Sensors* 19(8): 1754.
- Waterhouse, R. 2013. Microstrip patch antennas: a designer's guide. Springer Science & Business Media. DOI: doi.org/10.2528/PIERB13111105.
- Xu, P., Flandre, D. & Bol, D. 2018. Design of a 2.45-GHz RF energy harvester for SWIPT IoT smart sensors. In 2018 IEEE Asian Solid-State Circuits Conference (A-SSCC) IEEE: 107–110.
- Wahab, A. S. A. & Kamal, N. 2018. Pembahagi frekuensi berkuasa rendah menggunakan teknik pincang badan ke depan, *Jurnal Kejuruteraan* 30(1) 2018: 103-109.
- Yunus, N.H. M, Yunas, J, Pawi, A., Rhazali, Z. A. & Sampe, J. 2019. Investigation of micromachined antenna substrates operating at 5 Ghz for RF energy harvesting applications, *Micromachines* 10(2019): 146.
- Yunus, N.H. M., Sampe, J., Yunas, J. & Pawi, A. and Rhazali, Z. A. 2020. MEMS based antenna of energy harvester for wireless sensor node. *Microsystem Technologies* 26(9): 2785-2792.