

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
CIÊNCIA E TECNOLOGIA DA COMPUTAÇÃO

Caracterização de Amplificador de
Transcondutância Diferencial de
Diferenças Baseada em Inversores CMOS

Otávio Soares Silva

Abril de 2023

Itajubá

Trabalho de dissertação de mestrado submetida ao Programa de Pós-Graduação em Ciência e Tecnologia Da Computação como parte dos requisitos para obtenção do Título de Mestre em Ciências em Engenharia da Computação.

Área de Concentração: Sistemas de Computação

Orientador: Dr. Rodrigo Aparecido da Silva Braga

Coorientador: Dr. Paulo Marcos Pinto

Abril de 2023

Itajubá

Otávio Soares Silva

Caracterização de Amplificador de Transcondutância Diferencial de Diferenças Baseada em Inversores CMOS

Trabalho de qualificação submetido ao Programa de Pós-Graduação em Engenharia Elétrica como parte dos requisitos para obtenção do Título de Mestre em Ciências em da Computação.

Área de concentração: Sistemas de Computação.

Banca Examinadora:

Prof. Dr. Rodrigo Aparecido da Silva Braga

Dr. Paulo Marcos Pinto

Prof. Dr. Dalton Martini Colombo

Prof. Dr. Sandro Carvalho Izidoro

Itajubá, Abril de 2023

À minha amada esposa Ingrid, que tem sido meu sistema de apoio inabalável ao longo desta jornada acadêmica, seu incentivo e paciência foram a base do meu sucesso.

Aos meus estimados orientadores Rodrigo e Paulo, sua orientação, sabedoria e experiência foram fundamentais para moldar a direção e a qualidade desta dissertação. Seu feedback inestimável, críticas e sugestões ponderadas me desafiaram a ir além dos meus limites.

Aos meus queridos amigos, que me incentivaram durante o longo e árduo processo de conclusão do mestrado, seu apoio e palavras de encorajamento têm sido uma fonte constante de motivação e inspiração.

*A cada um de vocês, dedico esta dissertação com profundo apreço e gratidão.
Obrigado por fazer parte dessa jornada comigo.*

Agradecimentos

Gostaria de expressar minha sincera gratidão ao Conselho Nacional de Desenvolvimento Científico e Tecnológico e a FAPEMIG, por seu apoio fundamental em tornar nossos esforços de pesquisa e desenvolvimento possíveis. É com seu generoso financiamento que pudemos publicar nosso recente artigo.

Além disso, gostaria de estender meus agradecimentos à MOSIS pela fabricação do chip e à UNFEI por fornecer o curso e a infraestrutura necessários que nos permitiram conduzir nossa pesquisa com facilidade e eficiência.

São os esforços combinados de organizações como a sua que possibilitam que pesquisadores e cientistas explorem e descubram novas ideias e tecnologias. Estamos honrados por ter tido a oportunidade de trabalhar com organizações tão excepcionais e esperamos futuras colaborações.

Meus mais sinceros agradecimentos.

*"Remembering that you are going to die is the best way I know to avoid the trap
of thinking you have something to lose"*
Steve Jobs

Resumo

Esta dissertação apresenta a arquitetura de amplificador de transcondutância diferencial de diferenças (FDDTA) baseada em inversores CMOS. Projetado em um processo CMOS de 130 nm, opera em inversão fraca quando alimentado com 0,25 V. Além disso, o FDDTA não requer circuito de calibração externa suplementar, como fontes de corrente ou tensão de polarização, uma vez que depende da técnica de layout distribuído que casa intrinsecamente aos inversores CMOS. Para fins analíticos, realizamos uma investigação detalhada que descreve todos os conceitos e todo o funcionamento da arquitetura do FDDTA.

Palavras-chave: Amplificador de transcondutância diferencial de diferenças, inversores CMOS, configuração de buffer diferencial, região de inversão fraca, circuitos de baixa potência.

Abstract

This dissertation presents the Differential Transconductance Differences Amplifier (FDDTA) architecture based on CMOS inverters. Designed on a 130 nm CMOS process, it operates in weak inversion when supplied with 0.25 V. Furthermore, FDDTA does not require supplemental external calibration circuitry such as bias current or voltage sources as it relies on the distributed layout technique that intrinsically matches CMOS inverters. For analytical purposes, we performed a detailed investigation that describes all the concepts and the entire functioning of the FDDTA architecture.

Keywords: Fully differential difference transconductance amplifier, CMOS inverters, differential buffer configuration, weak inversion region, low-power circuits.

Lista de ilustrações

Figura 1 – Desenho esquemático original Nauta OTA [1].	19
Figura 2 – Carga negativa na saída do circuito integrador.	21
Figura 3 – Estrutura do transistor matricial halo-implantado	23
Figura 4 – Célula básica do inversor CMOS: esquema e símbolo.	24
Figura 5 – Esquemático baseado em Nauta OTA.	26
Figura 6 – Caso de Aplicação Fundamental	26
Figura 7 – Símbolo de amplificador de diferença totalmente diferencial pro- posto.	27
Figura 8 – O esquema de amplificador de diferença totalmente diferencial proposto.	28
Figura 9 – O modelo AC de pequenos sinais do FDDTA.	30
Figura 10 – Micrografia de circuito sobreposta com o layout.	31
Figura 11 – <i>Slew Rate</i>	32
Figura 12 – <i>Slew Rate</i> com Zoom.	33
Figura 13 – Resposta ao degrau para o FDDTA.	34
Figura 14 – Transcondutância diferencial de saída simulada para FDDTA.	35
Figura 15 – Ganho em Malha Aberta.	36
Figura 16 – Simulação Monte Carlo de Ganho em Malha Aberta.	36
Figura 17 – CMRR - Relação de Rejeição em Modo Comum (<i>Common Mode Rejection Ratio</i>).	37
Figura 18 – PSRR - Relação de Rejeição da Fonte de Alimentação (<i>Power supply rejection ratio</i>).	38
Figura 19 – Simulação de Monte Carlo para CMRR.	38
Figura 20 – Simulação de Monte Carlo para PSRR.	39
Figura 21 – Variação de Tensão AC em Buffer Medido	41
Figura 22 – Resposta de Frequência Medida	42
Figura 23 – Distorção Harmônica Medida	42

Lista de tabelas

Tabela 1 – Parâmetros para transistores pMOS e nMOS dentro do layout distribuído.	32
Tabela 2 – <i>Corners</i> de Processo.	39
Tabela 3 – <i>Corners</i> de Temperatura.	40
Tabela 4 – <i>Corners</i> de Tensão	40
Tabela 5 – Comparação de desempenho entre o FDDTA proposto e outras arquiteturas FDDTAs.	43

Lista de abreviaturas e siglas

AC	<i>Alternating current</i> ou corrente alternada
CMOS	<i>Complementary metal-oxide-semiconductor</i>
DC	<i>Direct current</i> ou corrente contínua
DDA	<i>Differential-Difference Amplifier</i> ou Amplificador de Diferencial de Diferenças
FDDTA	<i>Fully Differential Difference Transconductance Amplifier</i> ou Amplificador de Transcondutância Diferencial de Diferenças
GBW	<i>Gain-bandwidth</i>
HD	<i>Harmonic distortion</i> ou Distorção harmônica
MOSFET	<i>Metal-oxide-semiconductor field-effect transistor</i> ou Transistor de efeito de campo de semicondutor de óxido de metal
nMOS	Transistor CMOS de canal n
OTA	<i>Operational transconductance amplifier</i>
pMOS	Transistor CMOS de canal p
PVT	<i>Process voltage and temperature</i>
THD	<i>Total harmonic distortion</i> ou Distorção Harmônica Total
VHF	<i>Very High Frequency</i>

Sumário

1	INTRODUÇÃO	14
1.1	Considerações Gerais	14
1.2	Justificativa	15
1.3	Objetivos	16
1.4	Estrutura do Trabalho	18
2	REFERENCIAL TEÓRICO	19
2.1	O Amplificador Nauta OTA Original	19
2.1.1	Calibração do Nauta OTA original	21
2.1.2	Transistor matricial halo-implantado	22
2.2	Operação em Inversão Fraca	23
2.2.1	Inversor CMOS	23
2.2.2	Transcondutância do Inversor CMOS	24
2.2.3	Modelo de Pequenos Sinais	25
2.3	O FDDTA Conceitual	25
3	O FDDTA	27
3.1	Esquemático	27
3.2	Transcondutância	29
3.3	Modelo de Pequenos Sinais	29
4	RESULTADOS E DISCUSSÃO	31
4.1	Resultados Simulados	32
4.2	Resultados Medidos	40
5	CONCLUSÃO	44
	REFERÊNCIAS	45

APÊNDICES	48
APÊNDICE A – ARTIGO PUBLICADO	49

1 Introdução

1.1 Considerações Gerais

A amplitude da maioria dos sinais elétricos de transdutores e sensores é muito baixa para ativar diretamente os sistemas eletrônicos. O sinal gerado por um microfone, por exemplo, fica em torno de 10 mV , e o sistema de captação tem uma resistência de saída de cerca de $50\text{ k}\Omega$ [2]. Um sinal dessa magnitude não é suficiente para produzir efeitos sonoros, aplicando um sinal diretamente a um alto-falante não funcionará. Desta forma, faz-se necessário amplificar o sinal do microfone antes que ele chegue ao elemento de saída e vale ressaltar que esses estágios não devem distorcer o sinal original[3].

A eletrônica é essencial porque pode mediar sinais elétricos; mais notavelmente, amplificar sinais fracos, de modo a possibilitar o processamento e a transmissão de informações de longa distância sejam possíveis. Os elementos eletrônicos com a capacidade de amplificar sinais são classificados como amplificador operacional, este, que pode ser dividido em consoante a natureza dos sinais de entrada e de saída. Um amplificador operacional pode ser de tensão (entrada em tensão e saída em tensão), de corrente (entrada em corrente e saída em corrente), de transimpedância (entrada em corrente e saída em tensão) ou de transcondutância (entrada em tensão e saída em corrente)[4].

Os amplificadores de tensão são caracterizados essencialmente por uma fonte controlada por tensão, a impedância de entrada deverá ser alta e a impedância de saída baixa. A malha de realimentação deve amostrar o sinal de saída de forma que este esteja em série com a tensão de entrada, desta forma será possível garantir maior estabilização de ganho pois a ligação em série possibilita um aumento da impedância [4].

Já nos amplificadores de corrente a topologia de realimentação deverá ser paralelo-série já que o sinal de entrada é uma corrente e a saída de interesse é uma corrente, por isso a malha de realimentação deve amostrar uma corrente[4].

Esta topologia não só estabiliza o ganho de corrente como resulta numa menor impedância de entrada (por causa da mistura em paralelo) e uma alta impedância de saída (por causa da amostragem série).

Amplificadores de transimpedância são caracterizados por possuir sinal de entrada como corrente e sinal de saída tensão. Possui baixa impedância de entrada e baixa impedância de saída, portanto deve ser empregado em uma topologia de realimentação série-paralelo[4].

Nos amplificadores de transcondutância, o sinal de entrada é uma tensão e o sinal de saída é uma corrente, sua topologia de realimentação deverá ser série-série e tem como característica estabilização ganho, como também resulta uma maior impedância de entrada e uma maior impedância de saída.

O ganho do amplificador corresponde à razão entre a amplitude do sinal à saída e a amplitude do sinal aplicado à entrada [4]. Como referido, é comum expressar os ganhos em decibel (dB). Também é necessário ter em conta o valor das resistências de entrada e de saída, resistência de entrada R_{in} é determinada com a carga R_L ligada e a resistência de saída R_{out} é obtida com a resistência de carga desligada e a fonte equivalente de Thévenin V_g da entrada substituída por um curto-circuito conforme (1.1) :

$$R_{in} = \frac{v_{in}}{i_{in}} \quad (1.1a)$$

e

$$R_{out} = \frac{v_{out}}{i_{out}} \quad (1.1b)$$

1.2 Justificativa

Duas grandezas de grande importância, em determinados tipos de amplificadores e alguns circuitos realimentados, são a transcondutância e a transimpedância. A transcondutância corresponde à razão entre a corrente de saída e a tensão de entrada (1.2) (unidade SI, siemens S), já a transimpedância define-se como a razão entre a tensão de saída e a corrente de entrada já apresentada anteriormente (1.1b) (unidade SI ohm, símbolo Ω).

$$G_m = \frac{i_{out}}{v_{in}} \quad (1.2)$$

À medida que os processos CMOS continuam a se desenvolver, a demanda por redução de energia e menor tensão de alimentação se torna mais aparente; em alguns casos, essas reduções podem fornecer dispositivos menores, como chips implantáveis, telefones celulares, sensores eletrônicos IoT, dispositivos médicos portáteis, etc.

Além disso, como a maioria desses equipamentos é composta de blocos analógicos e digitais, que são incorporados pelo transistor MOS, diminuir o tamanho do transistor também reduz a tensão de alimentação. Essa redução se deve principalmente à região de operação do transistor [5], assim, permitindo que os dispositivos móveis se tornem mais independentes das fontes de recarga por mais tempo e permitindo um uso mais eficaz e seguro da bateria.

A redução da fonte de alimentação pode ajudar a diminuir o consumo de energia, em contra partida, pode ocorrer a degradação da faixa dinâmica (DR) [3]. Uma boa alternativa é utilizar blocos eletrônicos para tratar os sinais diferenciais a fim de mitigar a perda em DR. O processamento de sinal diferencial é superior em termos de faixa dinâmica e rejeição de fonte de alimentação quando comparado com processos de terminação única, dessa forma, os sinais diferenciais minimizam ruídos e distúrbios de modo comum [6].

1.3 Objetivos

Em trabalhos anteriores abordou-se a topologia do Nauta OTA [1] adaptado para operar em ultrabaixa potência e baixa tensão de deslocamento usando matrizes de transistores implantados em halo [7].

O bloco de construção analógico amplamente empregado para lidar com sinais diferenciais é o amplificador de tensão diferencial cuja saída é proporcional à diferença entre duas entradas de tensão. Os amplificadores operacionais de transcondutância (OTAs) também são capazes de manipular sinais diferenciais, porém, eles emitem um sinal de corrente diferencial. Entre as possíveis aplicações dos

OTAs destacam-se os filtros G_m -C, dos quais se destacam aplicações biomédicas cuja faixa de frequência varia abaixo de 100 Hz [8].

Outra classe de amplificadores diferenciais é o amplificador diferencial de diferenças (DDA). Proposto por Säckinger e Guggenbuhl [9], o DDA é uma extensão do conceito de amplificador operacional. Diferente da ideia do op-amp, o DDA compara dois sinais diferenciais e sua versão totalmente diferencial requer um circuito de controle de modo comum semelhante aos amplificadores *single-ended*.

A disponibilidade de várias entradas torna este amplificador atraente para muitas aplicações, como filtros onde Mincey et al.[10] apresentou uma aplicação de filtro G_m -C empregando DDA de baixa potência, ele também pode ser utilizado como amplificadores de transcondutância utilizando um circuito de realimentação de modo comum adequado para estrutura MOS analógica totalmente balanceada exibida pelo trabalho de Czarnul, Takagi e Fujii[11].

Na mesma linha de pesquisa, Du e Odame[2] propuseram um pré-amplificador de microfone de consumo de energia autoadaptável.

Embora os circuitos DDA tenham sido muito estudados no passado, em 1987, Sackinger e Guggenbuhl[9] publicaram um artigo sobre um DDA implementado em uma tecnologia CMOS *double-poly* com duas entradas diferenciais e em 1994, Huang e Ismail[12] apresentaram um amplificador DDA utilizando o efeito de corpo para melhorar a linearidade. Em 2001 uma ampla faixa de entrada de baixa potência foi apresentada no trabalho de Alzaher e Ismail[13], no entanto, pouca atenção tem sido dedicada ao nível arquitetônico hoje em dia.

Com o objetivo de trabalhar ao nível da arquitetura do sistema e obter redução de ruído e baixo consumo de energia, que se traduz em alimentação de baixa tensão, projetou-se um amplificador de transcondutância diferencial de diferenças (FDDTA) com o objetivo de reduzir o ruído e o consumo de energia ao nível da arquitetura do sistema. Esta técnica de amplificação se traduz em redução de alimentação de tensão. Com base neste trabalho, foi desenvolvido um FDDTA que foi utilizado em um filtro passa-baixa Butterworth de quinta ordem [14]. Como complemento a esta pesquisa, este trabalho realiza uma caracterização completa do FDDTA utilizado em [14].

O FDDTA foi projetado em um processo CMOS de 130 nm e opera eficientemente em inversão fraca quando alimentado com 0,25 V. O FDDTA não requer um circuito de calibração externo como uma corrente de cauda ou fonte de tensão de polarização, pois é baseado na técnica de layout distribuído, que corresponde inerentemente aos inversores CMOS casados. Além disso, construiu-se uma configuração de buffer completamente diferencial para fins de validação.

1.4 Estrutura do Trabalho

O restante deste manuscrito está organizado da seguinte forma: A Seção II elucida a teoria de fundo. A Seção III fornece a topologia e os conceitos propostos do FDDTA. As medições são apresentadas na Seção IV. E, finalmente, a Seção V conclui nossas contribuições.

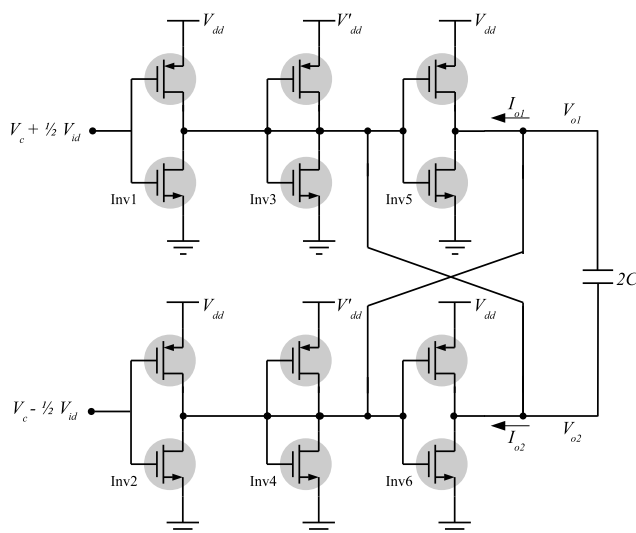
2 Referencial Teórico

Neste capítulo será introduzido o circuito do Nauta OTA[1], uma breve explicação sobre inversão fraca e também será apresentado a modelagem matemática do inversor CMOS bem como o conceito da topologia do FDDTA.

2.1 O Amplificador Nauta OTA Original

Em 1992 Nauta[1] propôs um circuito amplificador operacional de transcondutância totalmente diferencial baseado em tecnologia CMOS projetada para construção de filtros $Gm - C$ em frequências altas (VHF) apresentado, em seu esquemático original, na Figura 1. Esta topologia conhecida como Nauta OTA é construída unicamente por inversores CMOS, tornou-se muito popular para operação em altas frequências, devido à inexistência de nós internos e a capacidade de calibração e aumento de ganho pela técnica de aprimoramento de condutância negativa o que possibilita fabricação em tecnologias otimizadas para circuitos digitais [7].

Figura 1 – Desenho esquemático original Nauta OTA [1].



Observando o comportamento do Nauta-OTA em inversão forte é possível identificar que o elemento de transcondutância possui linearidade na conversão tensão-corrente quando os transistores p MOS e n MOS estão casados [7]. Partindo do inversor Inv1 na Figura 1, tem-se que a corrente de saída I_{out} é dada por:

$$I_{out} = I_{dn} - I_{dp} = a(V_{in} - V_{tn})^2 + bV_{in} + c, \quad (2.1)$$

em que, sendo

$$\begin{aligned} a &= \frac{(\beta_n - \beta_p)}{2}, & \beta_n &= \frac{\mu_n C_{ox} W_n}{L_n}, \\ b &= \beta_p (V_{dd} - V_{in} + V_{tp}), & \beta_p &= \frac{\mu_p C_{ox} W_p}{L_p}. \\ c &= \frac{\beta_p (V_{in}^2 - (V_{dd} + V_{tp})^2)}{2}, \end{aligned} \quad (2.2)$$

Dessa forma quando $\beta_n \neq \beta_p$, $a \neq 0$ e a conversão tensão-corrente torna-se não linear. Porém, em uma estrutura casada, a relação $\beta_n = \beta_p$ pode ser utilizada para anular o termo a em (2.1). Uma corrente de saída nula pode ser obtida para o inversor Inv1 quando tensão de entrada $V_{in} = V_c$, sendo

$$V_c = \frac{V_{dd} - V_{tn} + V_{tp}}{1 + \sqrt{\beta_n/\beta_p}} + V_{tn}, \quad (2.3)$$

onde, para uma estrutura casada, $\beta_n = \beta_p$ e $V_{tn} = -V_{tp}$, tem-se que $V_c = 1/2V_{dd}$.

Na Figura 1, os inversores Inv1 e Inv2 operam como elementos de transcondutância. Aplicando-se uma tensão diferencial de entrada V_{id} e uma tensão de modo comum $V_c = V_{dd}/2$ tem-se a corrente diferencial de saída, I_{od} , conforme

$$I_{od} = I_{o1} - I_{o2} = V_{id} (V_{dd} - V_{tn} + V_{tp}) \sqrt{\beta_n \beta_p} = V_{id} g_{md}, \quad (2.4)$$

portanto,

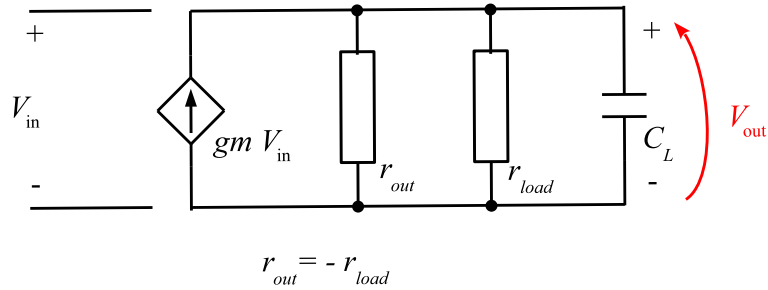
$$g_{md} = (V_{dd} - V_{tn} + V_{tp}) \sqrt{\beta_n \beta_p} \quad (2.5)$$

onde a transcondutância diferencial, g_{md} , é dada por $(V_{DD} - V_{tn} + V_{tp}) \sqrt{\beta_n \beta_p}$. Logo, por meio de (2.1) e (2.3) observa-se que a transcondutância g_{md} é dependente da tensão de alimentação V_{DD} e parâmetros de processo [1].

2.1.1 Calibração do Nauta OTA original

O aumento do ganho DC do Nauta OTA é baseado no princípio ilustrado no integrador da Figura 2. Nesta, a fonte de corrente controlada por tensão, $g_m V_{in}$, em conjunto com a resistência de saída r_{out} ilustra o modelo de pequenos sinais de um transistor MOS atuando como transcondutor, sendo o ganho do circuito dado por $g_m \times r_{out}$. Inserindo como carga deste transcondutor, para sinais diferenciais, uma resistência negativa r_{load} , faz-se com que o ganho se torne g_m vezes a combinação paralela de r_{out} e r_{load} . Se $r_{out} = -r_{load}$ o ganho teórico tende ao infinito.

Figura 2 – Carga negativa na saída do circuito integrador.



Aplicando-se este princípio no Nauta OTA, tem-se que, para sinais diferenciais, as resistências $1/(g_{m4} - g_{m5})$ e $1/(g_{m3} - g_{m6})$ podem se tornar negativas fazendo-se $g_{m5} > g_{m4}$, $g_{m6} > g_{m3}$, $g_{m5} = g_{m6}$ e $g_{m3} = g_{m4}$ [7]. Ou seja, pode-se variar as transcondutâncias dos inversores Inv3 e Inv4 por meio das dimensões W e L, ou variando-se tensão de alimentação V'_{dd} , mostrada na Figura 1, como forma de calibração da impedância de saída e transcondutância do Nauta OTA.

Afirma-se em [1] que, o ganho máximo do circuito sofre uma degradação devido ao descasamento. Assumindo-se que as transcondutâncias g_{m5} e g_{m6} possuem o mesmo descasamento, igual a δg_m , o ganho DC do circuito Gm-C, para sinais diferenciais, é dado por

$$A_o = \frac{g_{md}}{\delta g_m}, \quad (2.6)$$

logo, o ganho DC é inversamente proporcional ao erro relativo à transcondutância ($\delta g_m/g_m$) devido ao descasamento na estrutura. Desta forma, técnicas de layout

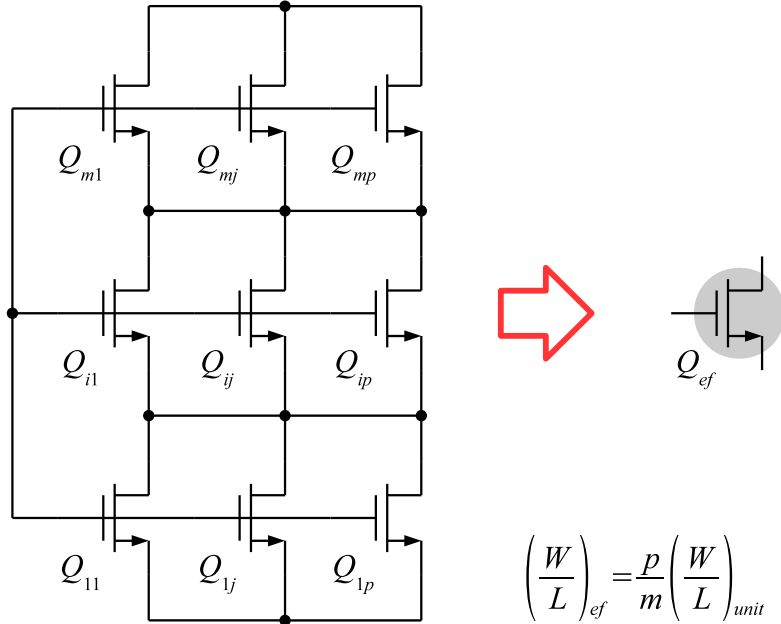
e circuitos adicionais para compensação deste descasamento podem ser utilizados para melhorar o desempenho do Nauta OTA.

2.1.2 Transistor matricial halo-implantado

A estrutura mostrada na Figura 3, baseada em [15], foi utilizada em [16, 17, 18] com o propósito do aumento da impedância de saída em circuitos analógicos utilizando transistores halo-implantados. No lugar de um único transistor halo-implantado de canal longo, é utilizado um *array* de transistores halo-implantados unitários. O uso desta estrutura elimina a variação da tensão de *threshold* para transistores de canal longo, de forma que a tensão de *threshold* é configurada para o valor de um único transistor halo-implantado. Desta forma, a impedância de saída pode ser configurada independentemente pela manipulação do tamanho da matriz, sem a preocupação com a variação da tensão de *threshold* [16, 17, 18].

De fato, a impedância do transistor matricial halo-implantado será m vezes maior que o transistor unitário para o caso em que todos os transistores não estão saturados. Na região de saturação, a impedância de saída será menor que este valor, mas ainda muito maior do que a atingida por um único transistor [15]. Este arranjo não necessita de nenhuma modificação no processo ou violação de regras de projeto.

Figura 3 – Estrutura do transistor matricial halo-implantado n MOS construído com $m \times p$ transistores n MOS halo-implantados unitários (a esquerda) e o sua dimensão efetiva (a direita).



2.2 Operação em Inversão Fraca

A corrente de dreno I_{DS} de um transistor MOS de canal longo operando em inversão fraca é baseada na corrente de difusão do canal de acordo com

$$I_{DS} = I_{D0} \left(\frac{W}{L} \right) \exp \left(q \frac{V_{GS}}{nkT} \right) \left[1 - \exp \left(-q \frac{V_{DS}}{kT} \right) \right], \quad (2.7)$$

onde I_{D0} (parâmetros físicos e de processo) é a corrente mínima de dreno e n o fator de inclinação na inversão fraca. Todos os outros símbolos têm seus significados usuais. Além disso, o transistor estará saturado quando $(V_{DS} \geq 3kT/q)$ [5], o que se traduz em menor tensão de alimentação.

2.2.1 Inversor CMOS

A operação de inversão fraca é uma maneira eficaz de reduzir o consumo de energia, algo que o Ferreira e Sonkusale[16] diz se adequar bem à especificação do

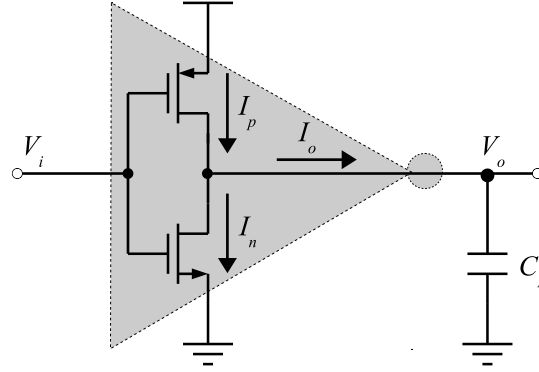


Figura 4 – Célula básica do inversor CMOS: esquema e símbolo.

projeto, já que o FDDTA proposto contém vários blocos inversores. Consequentemente, é essencial estudar o funcionamento do inversor CMOS em inversão fraca antes de expandir essas ideias para todo o circuito.

2.2.2 Transcondutância do Inversor CMOS

O circuito da Fig. 4 ilustra o esquema de uma célula básica de um inversor CMOS. Considerando todos os transistores saturados em inversão fraca ($V_{DS} \geq 3kT/q$) e aplicando (2.7), pode-se obter I_p e I_n [7]

$$I_p = I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_i}{nkT} \right) \quad (2.8a)$$

e

$$I_n = I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_i}{nkT} \right) . \quad (2.8b)$$

Assumindo $V_i = V_o$, ambos os transistores pMOS e nMOS conduzirão a mesma corrente de curto-circuito, I_{SC} . Esta corrente carregará o inversor para operar em sua tensão limite, V_{SP} [1]. Como um único inversor funciona como um amplificador quando polarizado em torno do ponto $V_i = V_o$ [6], pode-se calcular I_{SC} para $V_{SP} = V_{DD}/2$, de acordo com

$$I_{SC} \triangleq I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{sp}}{nkT} \right) = I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{sp}}{nkT} \right) . \quad (2.9)$$

Observe que pode-se estabelecer a tensão limite escolhendo geometrias de transistor apropriadas e também projetar a corrente I_{SC} [7]. Além disso, da Fig. 4, a corrente de saída é calculada como $I_o = I_p - I_n$, e invocando (2.9), tem-se

$$I_o = 2I_{SC} \sinh \left(q \frac{V_{sp} - V_{in}}{nkT} \right). \quad (2.10)$$

Conseqüentemente, a diferenciação de I_o deve então fornecer a transcondutância efetiva do inversor CMOS no ponto de polarização $V_i = V_{sp}$, de acordo com

$$\left. \frac{\partial I_o}{\partial V_i} \right|_{V_i=V_{sp}} = -2q \frac{I_{SC}}{nkT} = -(g_{m_p} + g_{m_n}), \quad (2.11)$$

onde g_{m_p} e g_{m_n} são as transcondutâncias dos transistores pMOS e nMOS respectivamente. Neste ponto, definimos $G_m \triangleq g_{m_n} + g_{m_p}$ e G_o é a soma $g_{o_p} + g_{o_n}$ para simplificar outras equações. Em outras palavras, eles também não dependem de parâmetros de polarização nem de geometria, uma vez que são funções de parâmetros físicos [5, 7].

2.2.3 Modelo de Pequenos Sinais

O modelo de pequenos sinais AC do inversor CMOS tem a seguinte função de transferência

$$\frac{v_o(s)}{v_i(s)} = -\frac{g_{m_p} + g_{m_n}}{sC_L + g_{o_p} + g_{o_n}} = \frac{-G_m}{(sC_L + G_o)}, \quad (2.12)$$

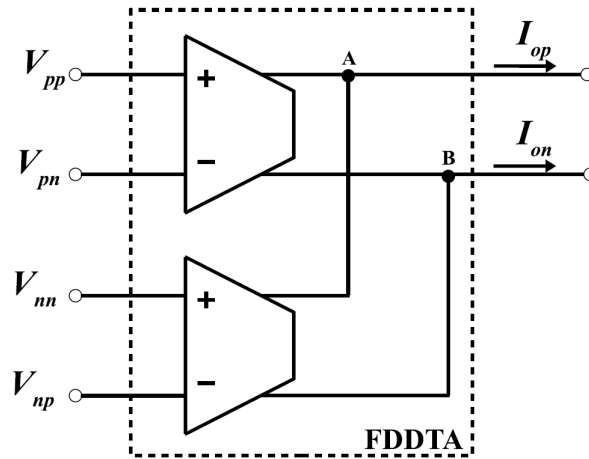
onde sC_L incorpora as capacitâncias parasitas inerentes ao circuito e a carga capacitiva, além disso, g_{o_p} e g_{o_n} são as condutâncias de saída dos transistores pMOS e nMOS respectivamente.

2.3 O FDDTA Conceitual

A partir do Nauta OTA, foi proposto por Pinto et al.[14] uma topologia para um amplificador de transcondutância diferencial de diferenças que consiste

de dois transdutores totalmente diferenciais com as saídas em curto circuito como mostrado na figura 5

Figura 5 – Esquemático baseado em Nauta OTA.



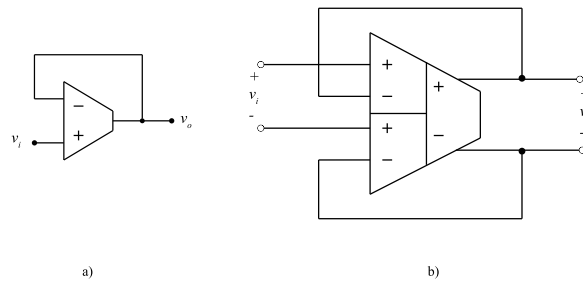
Operando na faixa linear, a saída é

$$I_{od} = I_{op} - I_{on} = G_m[(V_{pp} - V_{pn}) - (V_{np} - V_{nn})] , \quad (2.13)$$

onde G_m indica a pequena transcondutância do sinal do FDDTA.

A Figura 6 ilustra a configuração do buffer FDDTA comparando-a com uma configuração de buffer OTA single-ended, portanto, mostrando que ambos seguem o mesmo princípio de feedback.

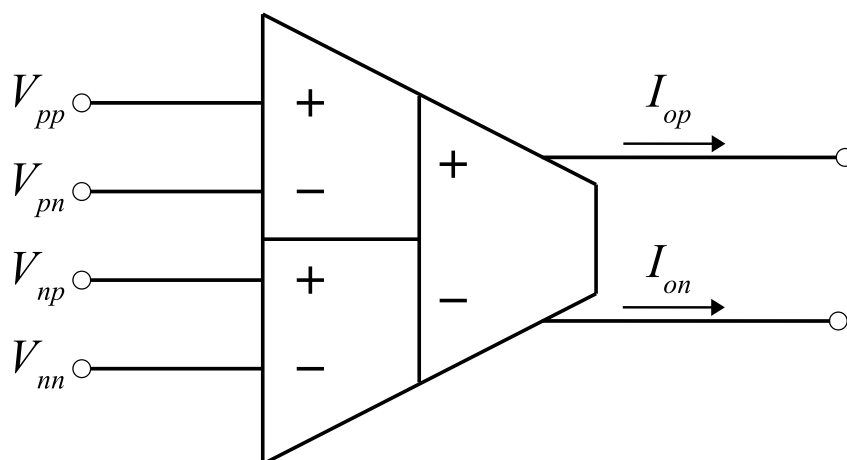
Figura 6 – Um caso de aplicação fundamental: a) Configuração de buffer OTA (single-ended). b) Configuração de buffer FDDTA (totalmente diferencial).



3 O FDDTA

Nesta subseção, será descrito a modelagem de todo o circuito FDDTA representado pelo símbolo na Figura 7 com base nos conceitos anteriores. Além disso, abrange o design geral e o modelo inerente de AC de pequeno sinal.

Figura 7 – Símbolo de amplificador de diferença totalmente diferencial proposto.

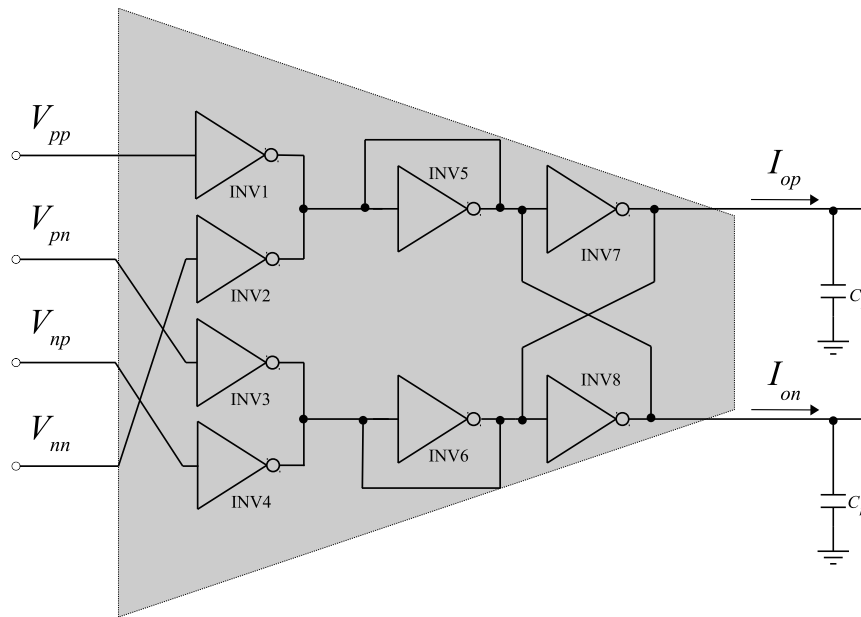


3.1 Esquemático

Conforme ilustrado na Figura 8, o FDDTA proposto é composto por oito inversores CMOS. Quando os transistores pMOS e nMOS são intrinsecamente casados, uma conversão CMOS V-I mais linear é alcançada [7], reduzindo assim os efeitos de distorção.

O estágio de entrada é caracterizado pelos inversores INV1-INV4. Todos os outros, INV5-INV8, são responsáveis por controlar as saídas I_{op} e I_{on} . Os inversores interligados, INV7 e INV8, injetam correntes nas impedâncias representadas pelos inversores autoconectados, INV5 e INV6, respectivamente. Este esquema proposto foi baseado no trabalho anterior desenvolvido por [1], empregado para filtros analógicos integrados em frequências muito altas, baseados em integradores $G_m - C$.

Figura 8 – O esquema de amplificador de diferença totalmente diferencial proposto.



Além disso, essa arquitetura não requer circuito de calibração externo auxiliar, como fontes de corrente de cauda ou tensão de polarização.

3.2 Transcondutância

Levando em conta o circuito mostrado na Fig. 8, onde dois sinais diferenciais (V_{id1} , V_{id2}) são aplicados às entradas FDDTA, pode-se escrever

$$V_{pp} = V_{SP} + \frac{V_{id1}}{2} \quad , \quad V_{pn} = V_{SP} - \frac{V_{id1}}{2}; \quad (3.1a)$$

e

$$V_{np} = V_{SP} + \frac{V_{id2}}{2} \quad , \quad V_{nn} = V_{SP} - \frac{V_{id2}}{2}. \quad (3.1b)$$

Considerando que todos os transistores são semelhantes, pode-se obter a corrente de saída diferencial, $I_{od} = I_{op} - I_{on}$, invocando (2.10). Também em relação ao ponto de comutação, $V_{SP} = V_{DD}/2$, para todos os inversores CMOS [1], obtém-se

$$I_{od} = 4I_{SC} \left[\sinh \left(q \frac{V_{id1}}{2nkT} \right) - \sinh \left(q \frac{V_{id2}}{2nkT} \right) \right]. \quad (3.2)$$

Expandir (3.2) em série de Taylor, em torno de V_{SP} , leva a

$$I_{od} = 2q \frac{I_{SC}}{nkT} (V_{id1} - V_{id2}) = G_m [(V_{pp} - V_{pn}) - (V_{np} - V_{nn})], \quad (3.3)$$

conforme exigido por (2.13) para ser um FDDTA.

3.3 Modelo de Pequenos Sinais

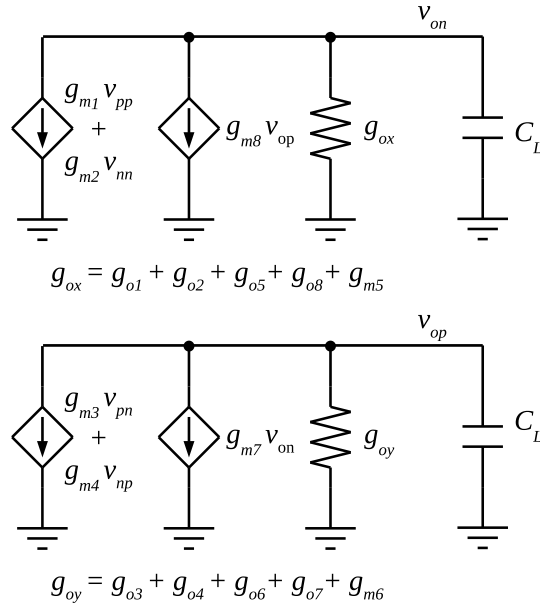
Fica estabelecido que $g_{m_i} = g_{m_{p_i}} + g_{m_{n_i}}$ e $g_{o_i} = g_{o_{p_i}} + g_{o_{n_i}}$; levando ao modelo de pequenos sinais representado na Fig. 9, cujas tensões de saída (v_{o_p}) e (v_{o_n}) são

$$v_{o_n}(s) = - \frac{g_{m_1} v_{pp}(s) + g_{m_2} v_{nn}(s) + g_{m_8} v_{o_p}(s)}{sC_L + (g_{o_1} + g_{o_2} + g_{o_5} + g_{o_8} + g_{m_5})} \quad (3.4a)$$

e

$$v_{o_p}(s) = - \frac{g_{m_3} v_{pn}(s) + g_{m_4} v_{np}(s) + g_{m_7} v_{o_n}(s)}{sC_L + (g_{o_3} + g_{o_4} + g_{o_6} + g_{o_7} + g_{m_6})}. \quad (3.4b)$$

Figura 9 – O modelo AC de pequenos sinais do FDDTA.



Manipulando (3.4) e considerando os mesmos g_m e g_o para todos os transistores, resulta em um sinal de saída diferencial de acordo com

$$\frac{[v_{op}(s) - v_{on}(s)]}{[v_{pp}(s) - v_{pn}(s)] - [v_{np}(s) - v_{nn}(s)]} = \frac{G_m}{sC_L + 4g_o}, \quad (3.5)$$

4 Resultados e Discussão

Como o projeto geral segue o trabalho anterior desenvolvido em [7], usou-se um *array* (8 x 8) similar de transistores unitários implantados em halo para mitigar a redução na impedância de saída em um transistor único que é inerente aos implantes de halo. Além disso, uma discussão mais detalhada sobre uma matriz de transistores unitários implantados em halo pode ser encontrada em [7, 15, 16].

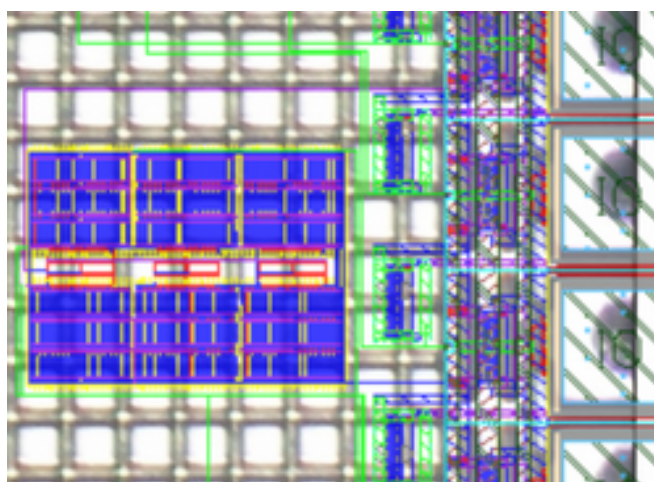
Todos os transistores de unidade pMOS e nMOS dentro do layout distribuído têm sua proporção (W/L) igual a ($2.0\text{-}\mu\text{m}/2.0\text{-}\mu\text{m}$) e ($0.4\text{-}\mu\text{m}/0.6\text{-}\mu\text{m}$), permitindo tensões de limiar de 230 mV e 190 mV, respectivamente.

Além disso, realizou-se uma associação paralela de seis p-MOS e três nMOS para manter uma operação de inversão fraca, correspondendo o limite do inversor CMOS a $V_{DD}/2$ para uma fonte de alimentação de 0,25 V e obtendo uma redução geral do deslocamento aleatório.

A célula inversora CMOS básica tem uma tensão limite (V_{TH}) de 125 mV e uma corrente de curto-circuito de 35 nA (I_{SC}), conforme discutido na Seção 2.2.1 e ilustrado na Fig. 4.

A representação do layout descrito pode ser observado na Figura 10

Figura 10 – Micrografia de circuito sobreposta com o layout.



4.1 Resultados Simulados

O FDDTA proposto foi simulado no simulador Spectre com modelos BSIM e implementado no processo CMOS GF 130-nm. A Tabela 1 contém os valores extraídos através de simulação computacional para transistores pMOS e nMOS dentro do layout distribuído.

Tabela 1 – Parâmetros para transistores pMOS e nMOS dentro do layout distribuído.

Parâmetro	Valor
g_{op}	$9.46\text{-n}\Omega^{-1}$
g_{on}	$9.45\text{-n}\Omega^{-1}$
n	1.26

As Figuras 11 e 12, exibem os resultados da resposta da taxa de variação, simulada para uma entrada diferencial de 0,5 mV dentro de uma configuração de buffer usando três diferentes capacitâncias de carga C_L de 15pF, 30pF e 60pF em cada saída, como pode ser observado na figura 11, o atraso da saída fica abaixo de 10%, portanto, pode-se concluir que o circuito fornece uma resposta rápida aos sinais AC.

Figura 11 – *Slew Rate*.

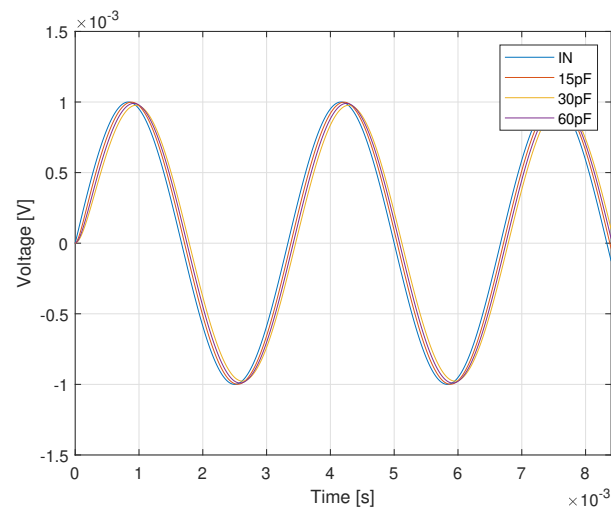
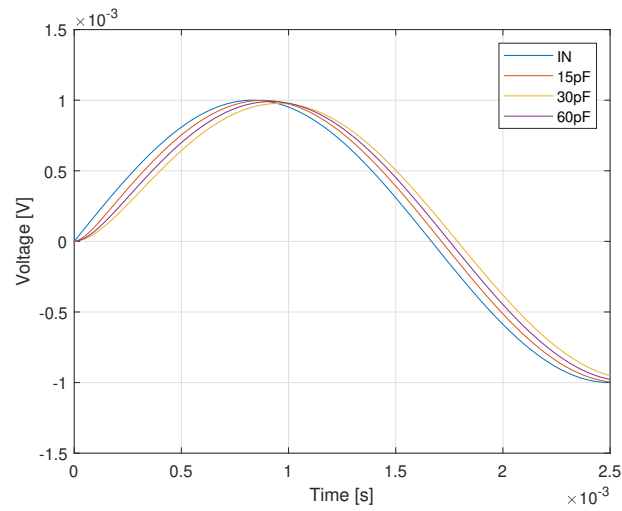
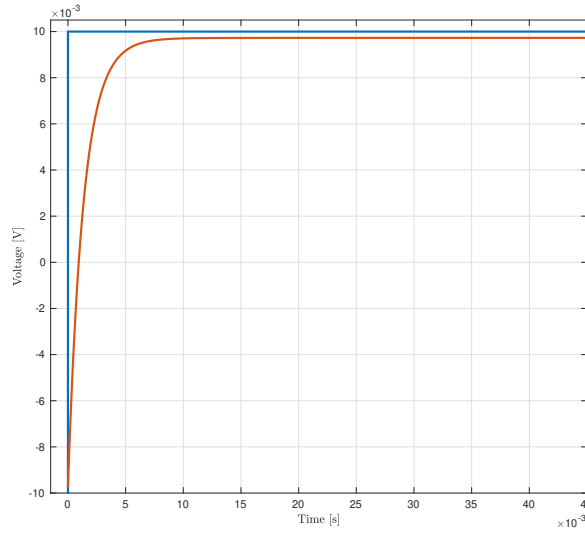


Figura 12 – Slew Rate com Zoom.



A Figura 13 apresenta a simulação da resposta ao degrau do FDDTA aplicando um pulso diferencial V_{in} de 10 mV_{pk} , com uma carga de saída C_L de 15 pF , em ambas saídas e avaliando a resposta do FDDTA. Pode-se observar o comportamento de resposta de um circuito de primeira ordem, conforme representado na Equação (3.5), com uma constante de tempo $\tau = (C_L + C_p)/(4G_o)$ e um tempo de subida igual a $T_{rise}(90\%) = 4.57 \text{ ms}$.

Figura 13 – Resposta ao degrau para o FDDTA.



A Figura 14 apresenta a simulação da transcondutância diferencial do FDDTA variando V_{id1} e V_{id2} de -125 mV para 125 mV ($V_{id}/2$) e avaliando a corrente de saída $\partial I_{od}/\partial V_{id}$ quando $V_{id1} = V_{id2} = 0$.

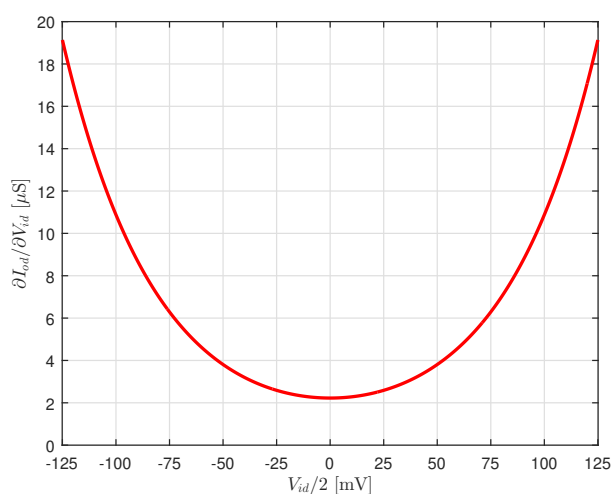
Utilizando (3.2), e usando as definições apresentadas in [7] é possível obter

$$\frac{\partial I_{od}}{\partial V_{id}} = q \frac{I_{SC}}{kT} \left[\frac{1}{n_p} \cosh \left(q \frac{V_{id}}{2n_p kT} \right) + \frac{1}{n_n} \cosh \left(q \frac{V_{id}}{2n_n kT} \right) \right]. \quad (4.1a)$$

e transcondutância de FDDTA, G_m^{FDDTA} , quando $V_{id1} = 0$ e $V_{id2} = 0$, é definido por

$$G_m^{FDDTA} = q \frac{2I_{SC}}{nkT} = \frac{70n}{1.26 \times 25.9m} = 2.22 \mu S, \quad (4.1b)$$

que ficou muito próximo do valor simulado de $2,26 \mu S$, conforme Figura 14.

Figura 14 – Transcondutância diferencial $\partial I_{od}/\partial V_{id}$.

A Figura 15 mostra a magnitude de malha aberta e as características de fase do FDDTA com uma capacitância de carga de 30pF em cada saída. O circuito proposto oferece ganho em torno de 28 dB, com frequência de corte em torno de 480 Hz, o ganho A_0 é altamente sensível ao descasamento dos transistores conforme expresso em 2.12 e também na Figura 16, pode-se ver os resultados de uma simulação de Monte Carlo com 1.000 amostras que seguiram uma distribuição normal e μ de 27,78 dB e que, além disso, mostra que a técnica *layout/schematic* distribuído casa intrinsecamente aos inversores CMOS.

Figura 15 – Ganho em Malha Aberta.

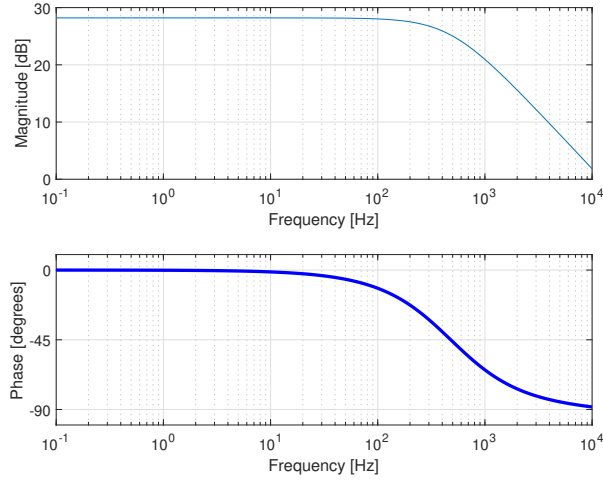
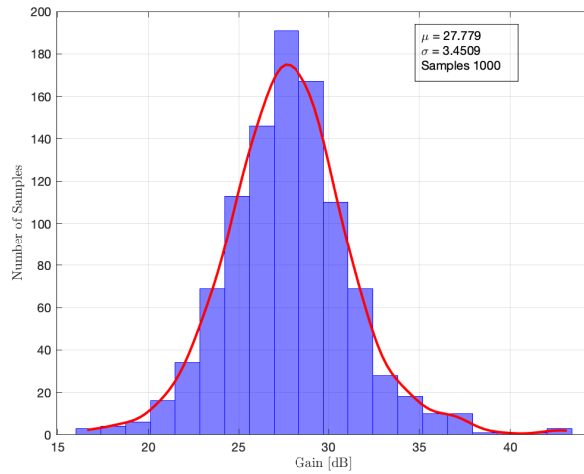


Figura 16 – Simulação Monte Carlo de Ganho em Malha Aberta.



Observando (3.5), obtém-se o ganho analítico de malha aberta e comparamos o resultado com a Figura 15

$$A_o^{\text{FDDTA}} = \frac{[v_{op}(s) - v_{on}(s)]}{[v_{pp}(s) - v_{pn}(s)] - [v_{np}(s) - v_{nn}(s)]} = \frac{1}{4} \frac{g_{m_p} + g_{m_n}}{g_{o_p} + g_{o_n}} \quad (4.2a)$$

$$A_o^{\text{FDDTA}} = \frac{1}{4} \frac{g_{m_p} + g_{m_n}}{g_{o_p} + g_{o_n}} = \frac{1}{4} \text{frac}2, 26\mu9, 46n + 9, 45n = 29, 80, \quad (4.2b)$$

isso pode ser expresso em decibéis como 29,4 dB, muito próximo do valor simulado de 28,2 dB.

O CMRR e o PSRR em baixas frequências foram 54,98 dB e 37,52 dB, respectivamente, mostrados nas Figuras 17 e 18, seguidos de suas respectivas simulações de Monte Carlo (Figuras 19 e 20), também mostram que o circuito estava tolerante aos erros de processo de fabricação, fornecido pela técnica de *layout/schematic* distribuído. O THD simulado foi de 1,09% com espectro de saída de resolução de 0,5 Hz para um nível de modo comum de 125 mV, com uma onda senoidal diferencial de 175 mV_{pp}@100-Hz. Para esta configuração a faixa dinâmica foi de 40,52 dB.

Figura 17 – CMRR - Relação de Rejeição em Modo Comum (*Common Mode Rejection Ratio*).

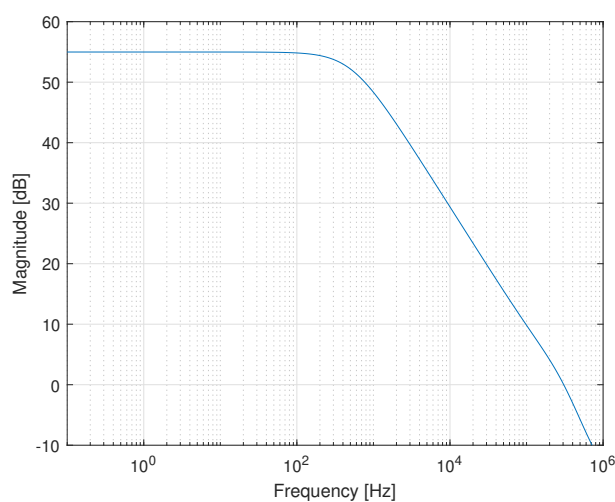


Figura 18 – PSRR - Relação de Rejeição da Fonte de Alimentação (*Power supply rejection ratio*).

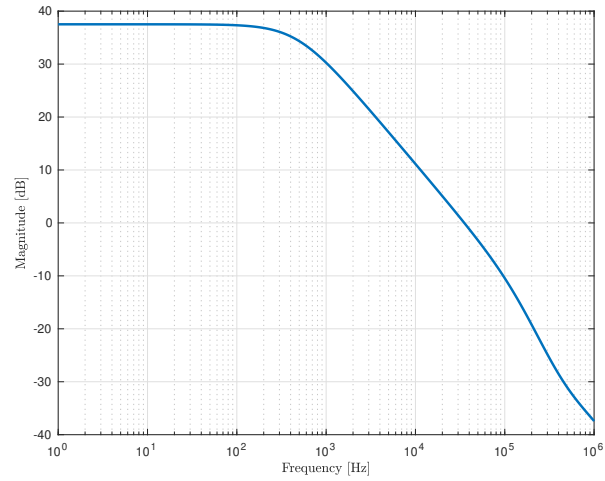


Figura 19 – Simulação de Monte Carlo para CMRR.

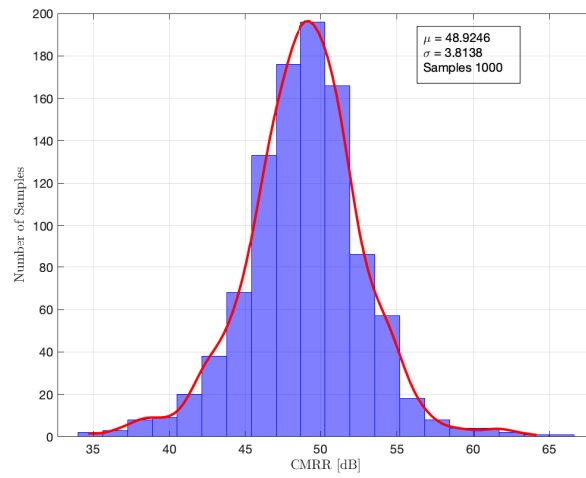
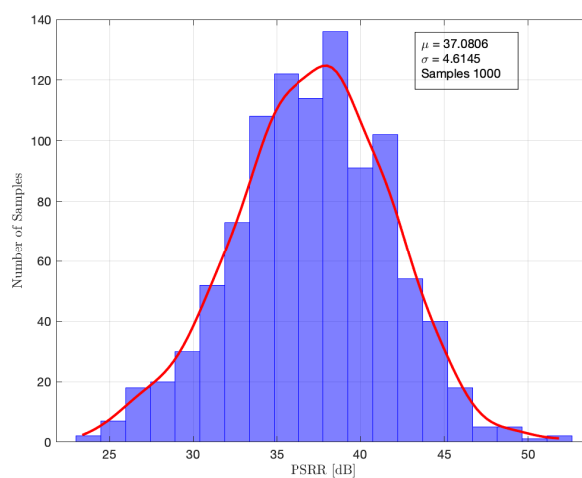


Figura 20 – Simulação de Monte Carlo para PSRR.



Nas tabelas 2, 3, 4, são mostrados respectivamente os cantos PVT do circuito proposto, os cantos do transistor MOS eram *slow-slow* (SS), *slow-fast* (SF), *fast-slow* (FS) e *fast-fast* (FF), os cantos de tensão eram $\pm 10\%$ e os *corners* de temperatura eram -20°C e 100°C . Portanto, pode-se concluir que o circuito proposto tem um potencial aceitável para integração *on-chip*.

Tabela 2 – *Corners* de Processo.

	SS	SF	TT	FS	FF
Ganho (dB)	22.11	24.89	28.20	27.08	29.31
GBW (Hz)	308.40	401.19	479.75	298.57	515.62
CMRR (dB)	51.97	56.12	54.98	53.43	58.07
PSRR (dB)	34.85	21.97	37.52	42.22	38.09

Tabela 3 – *Corners* de Temperatura.

	SS			TT			FF		
Temp	-20	27	100	-20	27	100	-20	27	100
Ganho (dB)	29.43	29.33	28.34	19.33	28.20	25.34	26.15	27.31	25.99
GBW (Hz)	479.19	480.15	481.20	451.19	479.75	471.20	430.28	464.42	480.00
CMRR (dB)	54.20	55.01	56.96	51.28	54.98	58.36	55.28	52.57	58.36
PSRR (dB)	35.96	34.85	27.27	39.24	37.52	26.52	41.23	38.09	24.21

Tabela 4 – *Corners* de Tensão

VDD (mV)	225	250	275
Ganho (dB)	27.45	28.20	31.36
GBW (Hz)	469.32	479.75	480.98
CMRR (dB)	53.01	54.98	55.30
PSRR (dB)	28.98	37.52	38.35

4.2 Resultados Medidos

Realizamos as medições em uma configuração *buffer* totalmente diferencial do FDDTA proposto, esta configuração permite analisar a compatibilidade entre a oscilação de entrada e saída, conforme Fig. 6-b.

A configuração de medição inclui um Semiconductor Analyzer B1500A e um Dynamic Signal Analyzer DSA35670A, ambos operando em temperatura ambiente (27°C). Além disso, a capacitância de carga é de 30 pF para cada pino de saída.

A Figura 21 mostra a saída medida e os sinais de entrada, para uma onda senoidal diferencial de 100 Hz com uma amplitude de 175 mV pico a pico, aplicada às entradas FDDTA. Mostra que a saída diferencial do FDDTA responde ao sinal de entrada diferencial com alguma redução na faixa de saída.

Além disso, a Fig. 22 mostra o gráfico de Bode medido para a configuração de buffer FDDTA proposta com uma frequência de corte de 3,2 kHz, portanto, destacando o comportamento do sistema de primeira ordem da configuração de buffer totalmente diferencial.

Mediu-se a distorção harmônica, representada na Fig. 23, usando o DSA35670A Dynamic Signal Analyzer. Por exemplo, aplicou-se às entradas FDDTA um nível de modo comum de 125 mV com uma onda senoidal diferencial de 175 mV_{pp}@100-Hz enquanto o DSA35670A foi configurado com uma frequência de amostra de 100kHz que resulta em uma resolução FFT de 0,5 Hz. Para este cenário é esperado um HD₃ de 1% e um HD₂ com uma amplitude pequena e controlada, levando a um THD \approx HD₃, exatamente como mostrado na Fig. 23. Em resumo, todas essas medições endossam que o FDDTA proposto é totalmente funcional de acordo com os modelos desenvolvidos.

Figura 21 – Configuração buffer totalmente diferencial: sinais de entrada e saída medidos, para uma onda senoidal diferencial de 100 Hz com uma amplitude de 175 mV pico a pico, aplicada às entradas FDDTA.

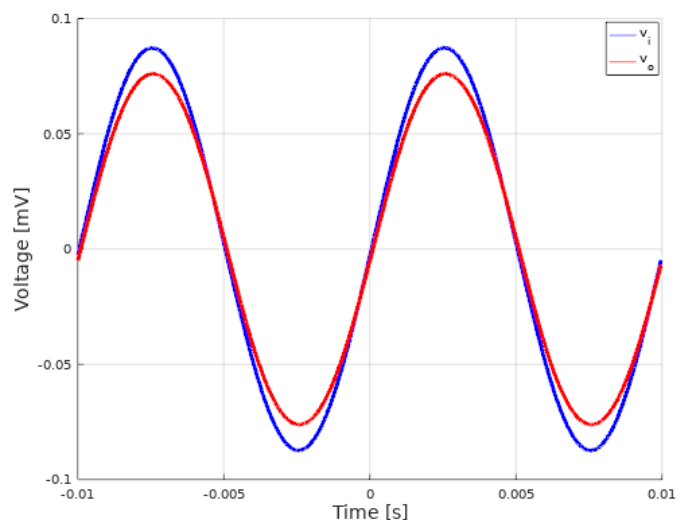


Figura 22 – Configuração buffer totalmente diferencial: resposta de frequência medida com uma frequência de corte de 3,2 kHz.

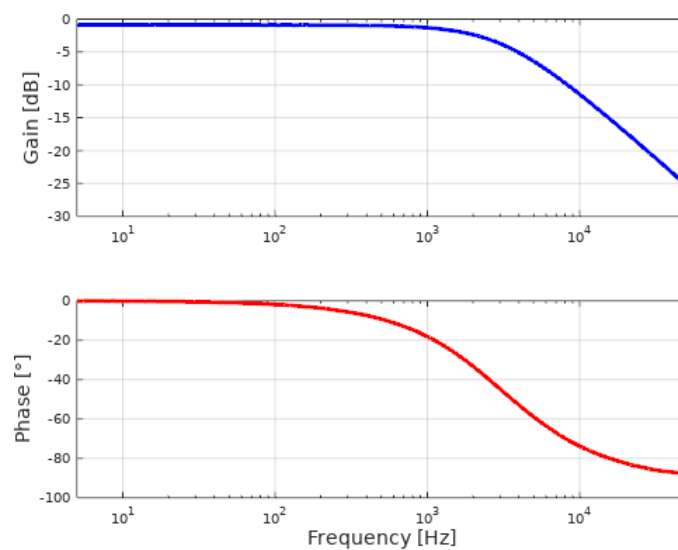


Figura 23 – Configuração buffer totalmente diferencial: distorção harmônica medida. Espectro de saída de resolução de 0,5 Hz para um nível de modo comum de 125 mV com uma onda senoidal diferencial de 175 mV_{pp}@100-Hz, levando a um THD \approx HD₃.

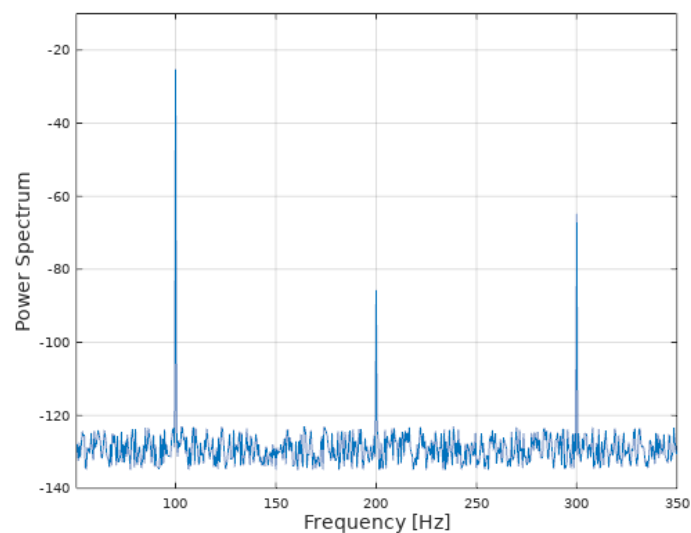


Tabela 5 – Comparação de desempenho entre o FDDTA proposto e outras arquiteturas FDDTAs.

Parâmetros	FDDTA proposto	IEEE Access 2022 [19]	Sensors 2022 [20]	IEEE TCAS I 2018 [21]	IEEE 2015 [22]	IEEE 2015 [23]
Tecnologia	0,13 μm	0,18 μm	0,18 μm	0,18 μm	0,18 μm	0,5 μm
Tensão de alimentação	0,25 V	0,5 V	1,2 V ($\pm 0,6$ V)	0,3 V	$\pm 0,4$ V	± 2 V
Ganho	28,20 dB	93 dB	-	60 dB	1-20 dB	-
Transcondutância	2,26 μS	10,7 nS	66 μS	67,7 nS	-	24 μS to 468 μS
-3 dB bandwidth	480 Hz	<1 Hz	6,4 MHz	<10 Hz	23 MHz	1 GHz
Condutância de saída	18,91 nS	-	-	-	111 nS	-
Consumo de energia	75,30 nW	205,5 nW	6 μW	22 nW	20 μW	1,66 mW
CMRR	54,98 dB	67,19 dB	-	82 dB	-	-
PSRR	37,52 dB	81,52 dB	-	57 dB	-	-
GBW	479,75 Hz	18,02 kHz	-	1,85 kHz	-	-
DR	40,52 dB	49,7 dB	63,59 dB	57 dB	-	-

5 Conclusão

Esta dissertação apresenta uma arquitetura de amplificador de transcondutância diferencial de diferenças totalmente diferencial baseada em inversores CMOS. Este projeto emprega uma matriz de transistores MOS implantados em halo para reduzir os efeitos negativos dos implantes de halo na impedância de saída e combinar melhor com os inversores CMOS.

O circuito foi implementado em um processo CMOS de 130 nm e opera em inversão fraca para uma fonte de alimentação de 0,25 V, portanto, cumprindo especificações adequadas para aplicações de baixa frequência.

Os resultados da medição de acordo com a teoria desenvolvida endossam que a arquitetura proposta baseada em inversores CMOS, de fato, poupa circuitos de calibração externos suplementares, mantendo o desempenho.

Referências

- 1 NAUTA, B. A CMOS transconductance-C filter technique for very high frequencies. IEEE Journal of Solid-State Circuits, IEEE, v. 27, n. 2, p. 142–153, 1992.
- 2 DU, D.; ODAME, K. M. A bandwidth-adaptive preamplifier. IEEE journal of solid-state circuits, IEEE, v. 48, n. 9, p. 2142–2153, 2013.
- 3 DUQUE-CARRILLO, J. F.; TORELLI, G.; PEREZ-ALOE, R.; VALVERDE, J. M.; MALOBERTI, F. A class of fully-differential basic building blocks based on unity-gain difference feedback. In: IEEE. Circuits and Systems, 1995. ISCAS'95., 1995 IEEE International Symposium on. [S.l.], 1995. v. 3, p. 2245–2248.
- 4 HOROWITZ, P.; HILL, W.; ROBINSON, I. The art of electronics. [S.l.]: Cambridge university press Cambridge, 1989. v. 2.
- 5 TSIVIDIS, Y.; MCANDREW, C. Operation and modeling of the MOS transistor. [S.l.]: Oxford Univ. Press, 2011.
- 6 ALLEN, P. E.; HOLBERG, D. R. CMOS Analog Circuit Design. [S.l.]: Oxford University Press, 2002.
- 7 BRAGA, R. A.; FERREIRA, L. H. C.; COLLETTA, G. D.; DUTRA, O. O. Calibration-less nauta OTA operating at 0.25-v power supply in a 130-nm digital CMOS process. In: IEEE. Circuits & Systems (LASCAS), 2017 IEEE 8th Latin American Symposium on. [S.l.], 2017. p. 1–4.
- 8 COTRIM, E. D. C.; FERREIRA, L. H. C. An ultra-low-power CMOS symmetrical OTA for low-frequency Gm-C applications. Analog Integrated Circuits and Signal Processing, Springer, v. 71, n. 2, p. 275–282, 2012.
- 9 SACKINGER, E.; GUGGENBUHL, W. A versatile building block: the CMOS differential difference amplifier. IEEE Journal of Solid-State Circuits, IEEE, v. 22, n. 2, p. 287–294, 1987.
- 10 MINCEY, J. S.; BRISENO-VIDRIOS, C.; SILVA-MARTINEZ, J.; RODENBECK, C. T. Low-power Gm-C filter employing current-reuse differential difference amplifiers. IEEE Transactions on Circuits and Systems II: Express Briefs, IEEE, v. 64, n. 6, p. 635–639, 2017.

- 11 CZARNUL, Z.; TAKAGI, S.; FUJII, N. Common-mode feedback circuit with differential-difference amplifier. IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, IEEE, v. 41, n. 3, p. 243–246, 1994.
- 12 HUANG, S.-C.; ISMAIL, M. Design of a CMOS differential difference amplifier and its applications in A/D and D/A converters. In: IEEE. Circuits and Systems, 1994. APCCAS'94., 1994 IEEE Asia-Pacific Conference on. [S.l.], 1994. p. 478–483.
- 13 ALZAKER, H.; ISMAIL, M. A CMOS fully balanced differential difference amplifier and its applications. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, IEEE, v. 48, n. 6, p. 614–620, 2001.
- 14 PINTO, P. M.; FERREIRA, L. H.; COLLETTA, G. D.; BRAGA, R. A. A 0.25-v fifth-order butterworth low-pass filter based on fully differential difference transconductance amplifier architecture. Microelectronics Journal, v. 92, p. 104606, 2019. ISSN 0026-2692. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0026269219304811>>.
- 15 GALUP-MONTORO, C.; SCHNEIDER, M. C.; LOSS, I. J. Series-parallel association of FET's for high gain and high frequency applications. IEEE Journal of Solid-State Circuits, IEEE, v. 29, n. 9, p. 1094–1101, 1994.
- 16 FERREIRA, L. H. C.; SONKUSALE, S. R. A 60-dB gain OTA operating at 0.25-V power supply in 130-nm digital CMOS process. IEEE Transactions on Circuits and Systems I: Regular Papers, IEEE, v. 61, n. 6, p. 1609–1617, 2014.
- 17 COLLETTA, G. D.; FERREIRA, L. H.; PIMENTA, T. C. A 0.25-V 22-nS symmetrical bulk-driven OTA for low-frequency gm-C applications in 130-nm digital CMOS process. Analog Integrated Circuits and Signal Processing, Springer, v. 81, n. 2, p. 377–383, 2014.
- 18 DUTRA, O. O.; FERREIRA, L. H.; PIMENTA, T. C. Implementation of an ultra-low-power dynamic translinear loop at 0.25-v with halo-implanted 130-nm MOSFETs. Analog Integrated Circuits and Signal Processing, Springer, v. 83, n. 3, p. 311–316, 2015.
- 19 KHATEB, F.; KUMNGERN, M.; KULEJ, T.; BIOLEK, D. 0.5 v differential difference transconductance amplifier and its application in voltage-mode universal filter. IEEE Access, IEEE, v. 10, p. 43209–43220, 2022.
- 20 KUMNGERN, M.; SUKSAIBUL, P.; KHATEB, F.; KULEJ, T. 1.2 v differential difference transconductance amplifier and its application in mixed-mode universal filter. Sensors, MDPI, v. 22, n. 9, p. 3535, 2022.


- 21 KHATEB, F.; KULEJ, T. Design and implementation of a 0.3-v differential difference amplifier. IEEE Transactions on Circuits and Systems I: Regular Papers, IEEE, v. 66, n. 2, p. 513–523, 2018.
- 22 KUMNGERN, M.; KHATEB, F. Fully differential difference transconductance amplifier using fg-mos transistors. In: IEEE. 2015 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS). [S.l.], 2015. p. 337–341.
- 23 KUMNGERN, M. Cmos differential difference voltage follower transconductance amplifier. In: IEEE. 2015 IEEE International Circuits and Systems Symposium (ICSyS). [S.l.], 2015. p. 133–136.

Apêndices

APÊNDICE A – Artigo Publicado

Article

A Fully Differential Difference Transconductance Amplifier Topology Based on CMOS Inverters

Otávio Soares Silva ^{1,*}, Rodrigo Aparecido da Silva Braga ^{1,*} , Paulo Marcos Pinto ²,
Luís Henrique de Carvalho Ferreira ² and Gustavo Della Colletta ²

¹ Institute of Science and Technology, Federal University of Itajuba, Itabira 35903-087, MG, Brazil

² Institute of Systems Engineering and Information Technology, Federal University of Itajuba, Itajuba 37500-903, MG, Brazil

* Correspondence: otavioaressilva@unifei.edu.br (O.S.S.); rodrigobraga@unifei.edu.br (R.A.d.S.B.)

Abstract: This manuscript presents a fully differential difference transconductance amplifier (FDDTA) architecture based on CMOS inverters. Designed in a 130-nm CMOS process it operates in weak inversion when supplied with 0.25 V. In addition, the FDDTA requires no supplementary external calibration circuit, like tail current or bias voltage sources, since it relies on the distributed layout technique that intrinsically matches the CMOS inverters. For analytical purposes, we carried out a detailed investigation that describes all the concepts and the whole operation of the FDDTA architecture. Furthermore, a comparison between the modeling equations and measured data assures high performance.

Keywords: fully differential difference transconductance amplifier; CMOS inverters; differential buffer configuration; weak inversion region; low-power circuits



Citation: Silva, O.S.; Braga, R.A.d.S.; Pinto, P.M.; Ferreira, L.H.d.C.; Colletta, G.D. A Fully Differential Difference Transconductance Amplifier Topology Based on CMOS Inverters. *Electronics* **2023**, *12*, 963. <https://doi.org/10.3390/electronics12040963>

Academic Editors: Gerard Ghibaudo and Francis Balestra

Received: 19 December 2022

Revised: 7 February 2023

Accepted: 8 February 2023

Published: 15 February 2023



Copyright: © 2023 by the authors. Licensee MDPI, Basel, Switzerland. This article is an open access article distributed under the terms and conditions of the Creative Commons Attribution (CC BY) license (<https://creativecommons.org/licenses/by/4.0/>).

1. Introduction

As CMOS processes continue to develop, the demand for power reduction and lower supply voltage becomes more apparent. In some instances, such reductions may provide smaller devices like implantable chips, mobile phones, IoT electronic sensors, portable medical devices, etc.

Furthermore, since a majority of this equipment is made up of analog and digital blocks [1], which are embedded by the MOS transistor, shrinking the transistor's size also lowers supply voltage. This reduction is mainly due to the transistor's operating region [2], and, therefore, enables mobile devices to become more independent from recharging sources for a longer time and allows for more effective and safe use of the battery.

Power supply reduction can help to lower energy consumption according to recent literature [3–6], but analog block degradation of dynamic range (DR) occurs [7]. A good alternative is to use electronic blocks that alter differential signals to mitigate the loss in DR. Differential signal processing is superior, in terms of dynamic range and power supply rejection, when compared with single-ended processes, and differential signals can, thereby, eliminate common-mode noises and disturbances [8].

In our previous work, we studied the topology of Nauta OTA [9] adapted to operate in ultra-low power and low displacement voltage, using arrays of halo-implanted transistors [10]. Based on this work, we developed an FDDTA that was used in a fifth-order Butterworth low-pass filter [11]. As a complement to this research, this paper carries out a complete characterization of the FDDTA used in [11].

The analog building block widely employed to handle differential signals is the differential voltage amplifier, the output of which is proportional to the difference between two voltage inputs. Operational transconductance amplifiers (OTAs) usually consist of three stages: a common mode rejection stage, that rejects input variations; a gain stage, that amplifies the signal; and a driver stage, that provides output resistive load [12]. They

are also capable of manipulating differential signals. However, they output a differential current signal.

Among the possible applications of OTAs include Gm-C filters, in which biomedical applications, having frequency ranges which vary below 100 Hz, can be highlighted [13]. In a similar application area, the fully differential DIGOTA [14] is a biomedical application, which combines a Muller C-element with a tri-state buffer to allow FD operation.

Another class of differential amplifiers is the differential difference amplifier (DDA). Proposed by Säckinger and Guggenbuhl [15], the DDA is an extension of the operational amplifier concept. Differing from the op-amp idea, the DDA compares two differential signals, and its fully-differential version requires a common-mode control circuit, similar to single-ended amplifiers.

The availability of multiple inputs makes this amp attractive for many applications, such as the following: filters, for example, ref. [16] presented a G_m -C filter application employing low-power DDA; transconductance amplifiers, utilizing a common-mode feedback circuit suitable for fully balanced analog MOS structures, as displayed in the work by [17]; self-adaptive power consumption microphone preamplifiers, as proposed in [18]. DDA circuits have been highly studied in the past. In 1987, ref. [15] published a paper concerning a DDA implemented in a double-poly CMOS technology, featuring two differential inputs. In 1994, ref. [19] presented a DDA amplifier utilizing the body effect to improve linearity. In 2001, a low-power wide input range was presented in the work of [20]. Despite all this research, nowadays, little attention is dedicated to the architectural level.

Herein, we designed a fully differential difference transconductance amplifier (FDDTA) to reduce noise and power consumption at the system architectural level. This amplification technique translates into voltage supply reduction.

The FDDTA was designed in a 130 nm CMOS and operated efficiently in weak inversion when supplied with 0.25 V. The FDDTA did not require an external calibration circuit, like a tail current or bias voltage source, since it was based on the distributed layout technique, which inherently matched the CMOS inverters. Furthermore, we constructed a completely-differential buffer configuration for validation purposes.

The remainder of this manuscript is organized as follows. Section 2 elucidates the background theory. Section 3 provides the proposed FDDTA topology and concepts. The measurements are presented in Section 4. Finally, Section 5 concludes our contributions.

2. Materials and Methods

2.1. The Conceptual FDDTA

The FDDTA, illustrated in Figure 1, is a six-terminal device that comprises two differential voltage input ports, $(V_{pp} - V_{pn})$ and $(V_{np} - V_{nn})$, and a differential output stage $(I_{op} - I_{on})$. Operating in the linear range, the output is:

$$I_{od} = I_{op} - I_{on} = G_m[(V_{pp} - V_{pn}) - (V_{np} - V_{nn})], \quad (1)$$

where G_m states the small signal transconductance of the FDDTA.

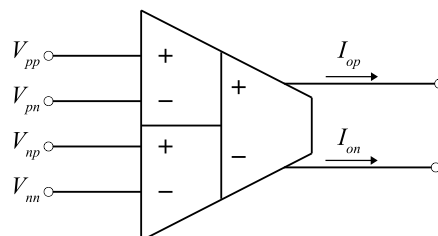


Figure 1. The FDDTA symbol, comprised of two differential voltage input ports and a differential output stage.

Figure 2 illustrates the FDDTA buffer configuration, comparing it to a single-ended OTA buffer configuration, and, thereby, showing that both follow the same feedback principle.

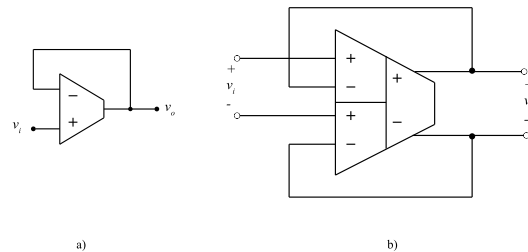


Figure 2. A fundamental application case: (a) OTA buffer configuration (single-ended). (b) FDDTA buffer configuration (fully-differential).

2.2. Weak Inversion Operation

The drain current I_{DS} of a long channel MOS transistor operating in weak inversion is based on the channel diffusion current according to:

$$I_{DS} = I_{D0} \left(\frac{W}{L} \right) \exp \left(q \frac{V_{GS}}{nkT} \right) \left[1 - \exp \left(-q \frac{V_{DS}}{kT} \right) \right], \quad (2)$$

where I_{D0} (physical and process parameters) is the minimum drain current and n the slope factor in weak inversion. All the other symbols have their usual meanings. In addition, the transistor is saturated when $(V_{DS} \geq 3kT/q)$ [2], which translates into lower supply voltage.

2.3. CMOS Inverter

The weak inversion operation is an effective way to reduce power consumption, something that, given [21], suits our design specifications well, since the proposed FDDTA contains a number of inverter blocks. Consequently, it was essential to study the CMOS inverter functioning in weak inversion prior to expanding these ideas to the entire circuit.

2.3.1. Transconductance of the CMOS Inverter

The circuit of Figure 3 illustrates the schematic of a CMOS inverter's basic cell. Considering all transistors saturated in weak inversion ($V_{DS} \geq 3kT/q$), and applying (2), we obtain I_p and I_n [10]

$$I_p = I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_i}{nkT} \right) \quad (3a)$$

and

$$I_n = I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_i}{nkT} \right). \quad (3b)$$

Assuming $V_i = V_o$, both pMOS and nMOS transistors conduct the same short circuit current, I_{SC} . This current charges the inverter up to operate at its threshold voltage, V_{SP} [9]. Since a single inverter works as an amplifier when biased around the point $V_i = V_o$ [8], we calculate I_{SC} for $V_{SP} = V_{DD}/2$, according to:

$$I_{SC} \triangleq I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{TH}}{nkT} \right) = I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{TH}}{nkT} \right). \quad (4)$$

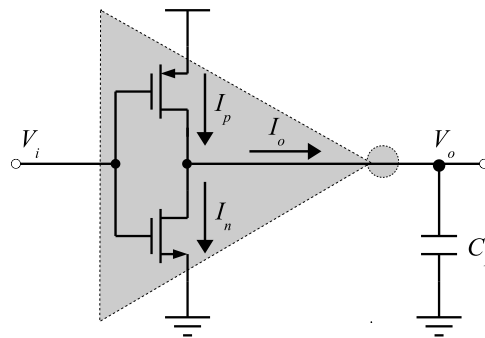


Figure 3. CMOS inverter basic cell: schematic and symbols.

Note that we can establish the threshold voltage by choosing appropriate transistor geometries and also design the I_{SC} current [10]. In addition, from Figure 3, the output current is calculated as $I_o = I_p - I_n$, and by invoking (4), we have:

$$I_o = 2I_{SC} \sinh\left(q \frac{V_{TH} - V_{in}}{nkT}\right). \tag{5}$$

Consequently, differentiating I_o should then give the effective transconductance of the CMOS inverter at the bias point $V_i = V_{TH}$, according to:

$$\left. \frac{\partial I_o}{\partial V_i} \right|_{V_i=V_{TH}} = -2q \frac{I_{SC}}{nkT} = -(g_{m_p} + g_{m_n}), \tag{6}$$

where g_{m_p} and g_{m_n} are the transconductances of the pMOS and nMOS transistors, respectively. At this point, we define $G_m \triangleq g_{m_n} + g_{m_p}$ and G_o is the sum $g_{o_p} + g_{o_n}$ to simplify further equations. In other words, they neither depend on biasing nor geometry parameters, since they are functions of physical parameters [2,10].

2.3.2. Small-Signal AC Model

The small-signal AC equivalent circuit model of the CMOS inverter has the following transfer function:

$$\frac{v_o(s)}{v_i(s)} = -\frac{g_{m_p} + g_{m_n}}{sC_L + g_{o_p} + g_{o_n}} = \frac{-G_m}{(sC_L + G_o)}, \tag{7}$$

where sC_L incorporates the parasitic capacitances inherent to the circuit and the capacitive load. In addition, g_{o_p} and g_{o_n} are the output conductances of the pMOS and nMOS transistors, respectively.

3. Results

As illustrated in Figure 4, the proposed FDDTA was comprised of eight CMOS inverters. When both pMOS and nMOS transistors were intrinsically matched, a more linear CMOS V-I conversion was achieved [10], thus reducing distortion effects.

The input stage is characterized by inverters INV1-INV4. All others, INV5 to INV8, are responsible for controlling I_{op} and I_{on} outputs. The cross-connected inverters, INV7 and INV8, inject currents in the impedances represented by the self-connected inverters, INV5 and INV6, respectively. This proposed schematic was based on previous work developed by [9], employed for integrated analog filters at very high frequencies, based on transconductance-C integrators. This architecture requires no auxiliary external calibration circuit, such as tail current or bias voltage, sources.

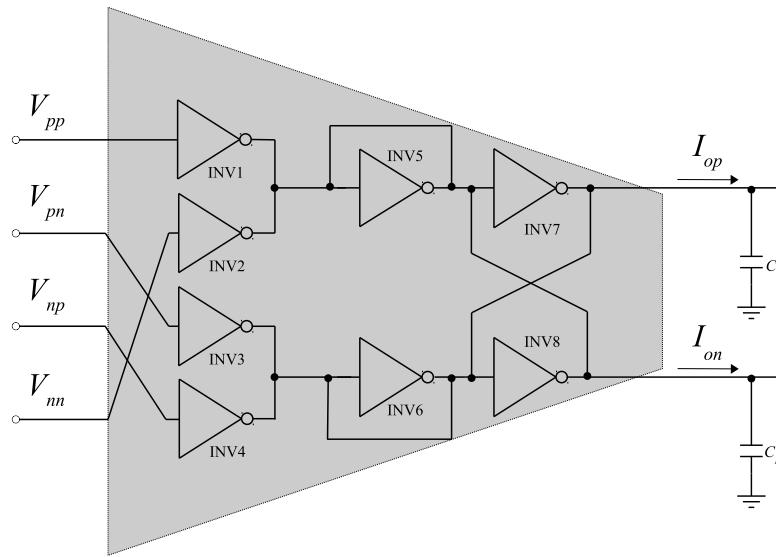


Figure 4. The proposed fully-differential difference amplifier schematic.

3.1. The FDDTA

In this subsection, we describe the modeling of the entire FDDTA circuit based on the previous concepts. In addition, we cover the overall design and the small-signal AC inherent model.

3.1.1. Transconductance of the FDDTA

Taking into account the circuit shown in Figure 4, where two differential signals (V_{id1} , V_{id2}) are applied to the FDDTA inputs, we can write:

$$V_{pp} = V_{SP} + \frac{V_{id1}}{2}, \quad V_{pn} = V_{SP} - \frac{V_{id1}}{2}; \tag{8a}$$

and

$$V_{np} = V_{SP} + \frac{V_{id2}}{2}, \quad V_{nn} = V_{SP} - \frac{V_{id2}}{2}. \tag{8b}$$

Regarding the fact that all transistors are similar, we obtain the differential output current, $I_{od} = I_{op} - I_{on}$, by invoking (5). Regarding the switching point, $V_{SP} = V_{DD}/2$, for all CMOS inverters [9], we obtain:

$$I_{od} = 4I_{SC} \left[\sinh\left(q \frac{V_{id1}}{2nkT}\right) - \sinh\left(q \frac{V_{id2}}{2nkT}\right) \right]. \tag{9}$$

Expanding (9) into Taylor series, around V_{SP} , leads to:

$$I_{od} = 2q \frac{I_{SC}}{nkT} (V_{id1} - V_{id2}) = G_m [(V_{pp} - V_{pn}) - (V_{np} - V_{nn})], \tag{10}$$

as required by (1) to be a FDDTA.

3.1.2. Small-Signal AC Model

We establish that $g_{m_i} = g_{m_{p_i}} + g_{m_{n_i}}$ and $g_{o_i} = g_{o_{p_i}} + g_{o_{n_i}}$; leading to the small-signal model depicted in Figure 5, having output voltages (v_{o_p}) and (v_{o_n}):

$$v_{o_n}(s) = - \frac{g_{m_1} v_{pp}(s) + g_{m_2} v_{nn}(s) + g_{m_8} v_{o_p}(s)}{sC_L + (g_{o_1} + g_{o_2} + g_{o_5} + g_{o_8} + g_{m_5})} \tag{11a}$$

and

$$v_{op}(s) = -\frac{g_{m3}v_{pn}(s) + g_{m4}v_{np}(s) + g_{m7}v_{on}(s)}{sC_L + (g_{o3} + g_{o4} + g_{o6} + g_{o7} + g_{m6})}. \tag{11b}$$

Manipulating (11a) and (11b), and regarding the same g_m and g_o for all transistors, results in a differential output signal according to:

$$\frac{[v_{op}(s) - v_{on}(s)]}{[v_{pp}(s) - v_{pn}(s)] - [v_{np}(s) - v_{nn}(s)]} = \frac{G_m}{sC_L + 4G_o}, \tag{12}$$

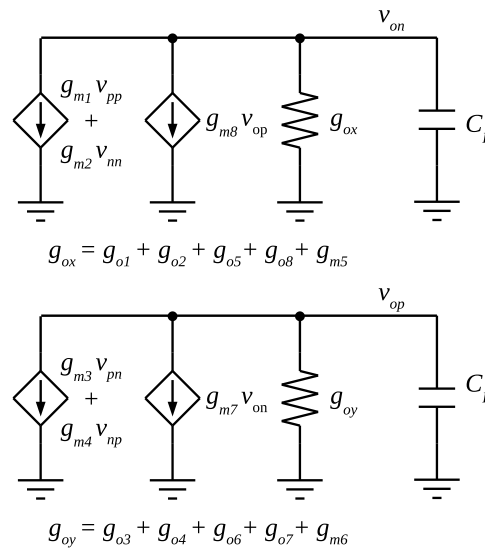


Figure 5. The small-signal AC model of the FDDTA.

4. Discussion

Since the overall design follows prior work developed in [10] we used a similar (8 × 8) array of unity halo-implanted transistors to mitigate the reduction in output impedance in a single transistor, which was inherent to the halo-implants. Furthermore, a more detailed discussion about an array of unity halo-implanted transistors can be found in [10,21,22].

All unity pMOS and nMOS transistors inside the distributed layout had their aspect ratio (W/L) equal to (2.0-μm/2.0-μm) and (0.4-μm/0.6-μm), enabling threshold voltages of 230-mV and 190-mV, respectively.

In addition, we performed a parallel association of six p-MOS and three nMOS to maintain a weak inversion operation, matching the CMOS inverter threshold to $V_{DD}/2$ for a 0.25-V power supply, and accomplishing an overall reduction of the random offset.

The basic CMOS inverter cell had a threshold voltage (V_{TH}) of 125-mV and a 35-nA short circuit current (I_{SC}), as discussed in Section 2.3, and illustrated in Figure 3.

4.1. Simulated Results

The proposed FDDTA was simulated in the Spectre simulator with BSIM models and implemented in the GF 130-nm CMOS process. Table 1 contains the values extracted through computer simulation for pMOS and nMOS transistors inside the distributed layout.

Table 1. Parameter for pMOS and nMOS transistors inside the distributed layout.

Parameter	Value
g_{o_p}	$9.46\text{-n}\Omega^{-1}$
g_{o_n}	$9.45\text{-n}\Omega^{-1}$
n	1.26

The Figures 6 and 7, display the results of slew-rate response, simulated for a 0.5-mV differential input within a buffer configuration, using three different load capacitances C_L of 15 pF, 30 pF and 60 pF on each output. As can be observed in the figure, the delay of the output stayed under 10% and, hence, it could be concluded that the circuit provided a fast response to AC signals.

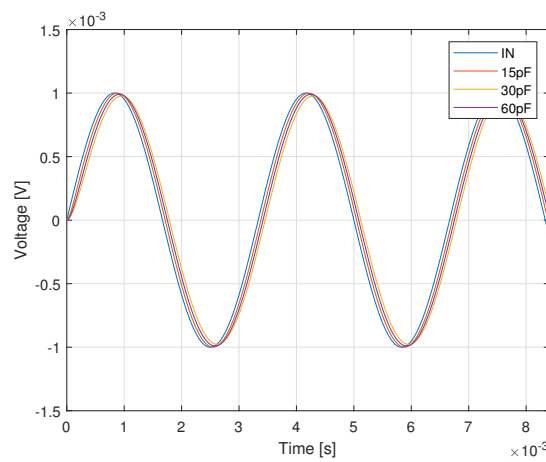


Figure 6. Slew rate.

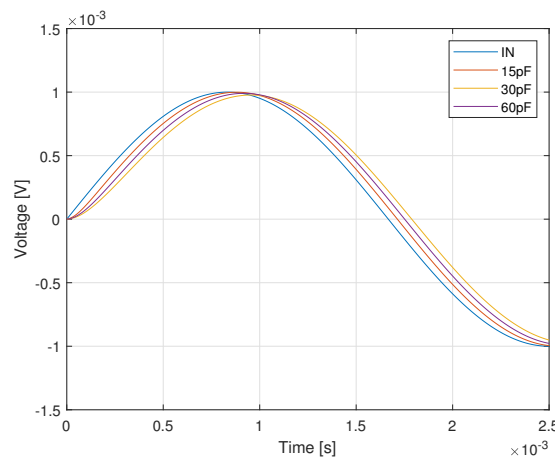


Figure 7. Slew rate with zoom.

Figure 8 presents the simulation of the FDDTA step response by applying a differential pulse V_{in} of 10 mV_{pk} , with an output load C_L of 15 pF, in both outputs, and evaluating the FDDTA response. We could observe the response behavior of a first-order circuit, as depicted in Equation (12), with a time constant $\tau = (C_L + C_p)/(4G_o)$ and a rise time equal to $T_{rise}(90\%) = 4.57\text{ ms}$.

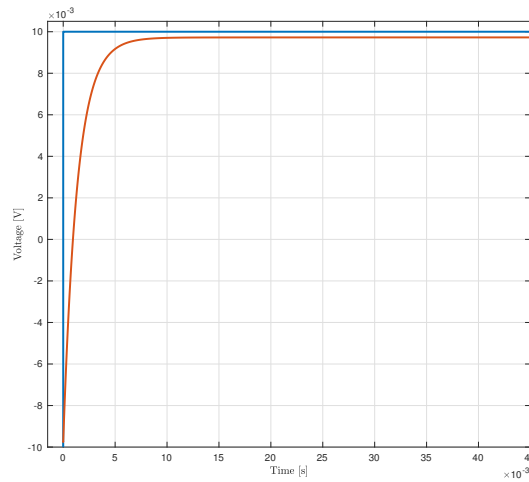


Figure 8. Step response for the FDDTA.

Figure 9 presents the simulation of the differential transconductance of the FDDTA structure by sweeping the V_{id1} and V_{id2} from -125 mV to 125 mV ($V_{id}/2$) and evaluating the output current $\partial I_{od}/\partial V_{id}$ when $V_{id1} = V_{id2} = 0$.

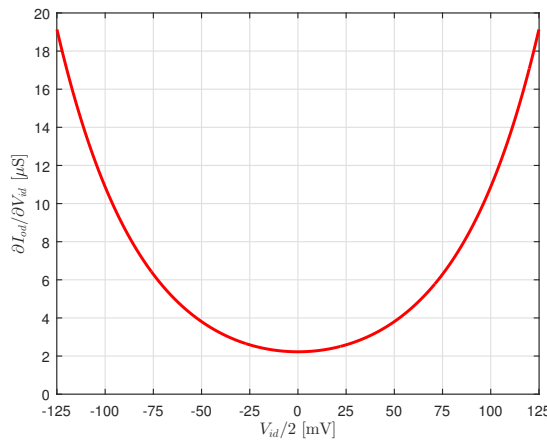


Figure 9. Differential transconductance $\partial I_{od}/\partial V_{id}$.

By invoking (9), and using the definitions presented in [10] we can obtain

$$\frac{\partial I_{od}}{\partial V_{id}} = q \frac{I_{SC}}{kT} \left[\frac{1}{n_p} \cosh\left(q \frac{V_{id}}{2n_p kT}\right) + \frac{1}{n_n} \cosh\left(q \frac{V_{id}}{2n_n kT}\right) \right]. \tag{13a}$$

and transconductance of FDDTA, G_m^{FDDTA} , when $V_{id1} = 0$ and $V_{id2} = 0$, is defined by

$$G_m^{FDDTA} = q \frac{2I_{SC}}{nkT} = \frac{70n}{1.26 \times 25.9m} = 2.22\mu S, \tag{13b}$$

which was very close to the simulated value of $2.26 \mu S$, as shown in Figure 9.

Figure 10 shows the open-loop magnitude and phase characteristics of the FDDTA with a load capacitance of 30 pF in each output. The proposed circuit offered a gain magnitude around 28 dB, with a cut-off frequency of around 480 Hz, and the gain A_0 was highly sensitive to the transistors' mismatch. As expressed in (7), and also in Figure 11,

we can see the results of a Monte Carlo simulation with 1000 samples that followed a normal distribution and μ of 27.78 dB and which, moreover, shows that the distributed layout/schematic technique intrinsically matches the CMOS inverters, maintaining the circuit under accurate control.

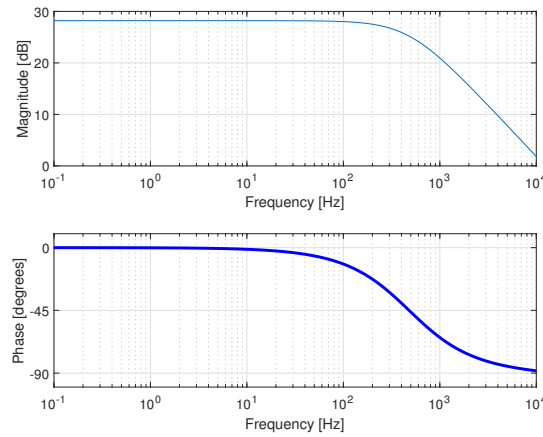


Figure 10. Open loop gain and phase.

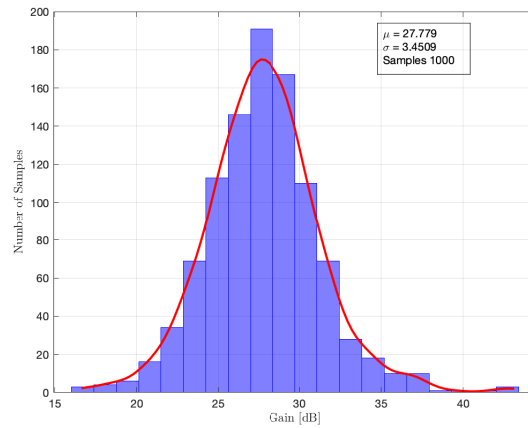


Figure 11. Monte Carlo simulation of open loop gain.

Taking (12), we obtain the analytical open loop gain, and compare the result with Figure 10

$$A_o^{FDDTA} = \frac{[v_{op}(s) - v_{on}(s)]}{[v_{pp}(s) - v_{pn}(s)] - [v_{np}(s) - v_{nm}(s)]} = \frac{1}{4} \frac{g_{m_p} + g_{m_n}}{g_{o_p} + g_{o_n}} \quad (14a)$$

$$A_o^{FDDTA} = \frac{1}{4} \frac{g_{m_p} + g_{m_n}}{g_{o_p} + g_{o_n}} = \frac{1}{4} \frac{2.26\mu}{9.46n + 9.45n} = 29.80, \quad (14b)$$

this can be expressed in decibels as 29.4 dB, which was very close to the simulated value of 28.2 dB.

The CMRR and PSRR at low frequencies were 54.98 dB and 37.52 dB, respectively, shown in Figures 12 and 13, followed by their respective Monte Carlo simulations (Figures 14 and 15), also show the circuit was under accurate control, provided by the distributed layout/schematic technique. The simulated THD was 1.09% with 0.5-Hz resolution output spectrum for a common mode level of 125-mV, with a differential sinusoidal wave of 175-mV_{pp}@100-Hz. For this configuration the dynamic range was 40.52 dB.

In Tables 2–4 the PVT corners of the proposed circuit are, respectively, shown. The MOS transistor corners were slow–slow (SS), slow–fast (SF), fast–slow (FS) and fast–fast (FF), the voltage corners were $\pm 10\%$ and the temperature corners were $-20\text{ }^{\circ}\text{C}$ and $100\text{ }^{\circ}\text{C}$. Therefore, we could conclude that the proposed circuit had acceptable on-chip integration.

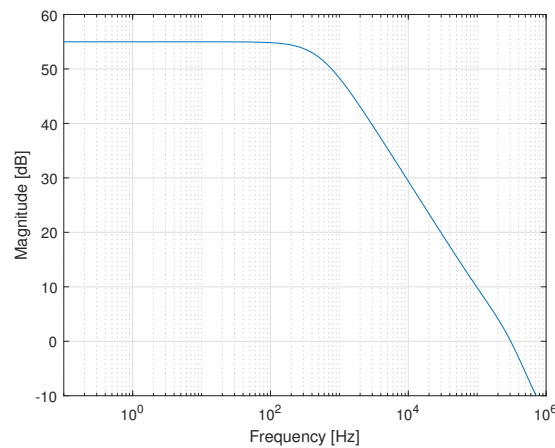


Figure 12. CMRR.

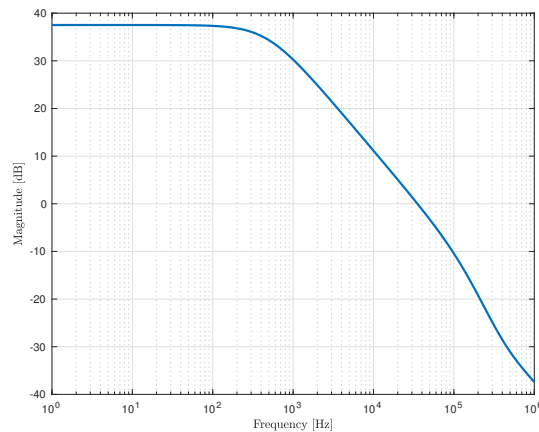


Figure 13. PSRR.

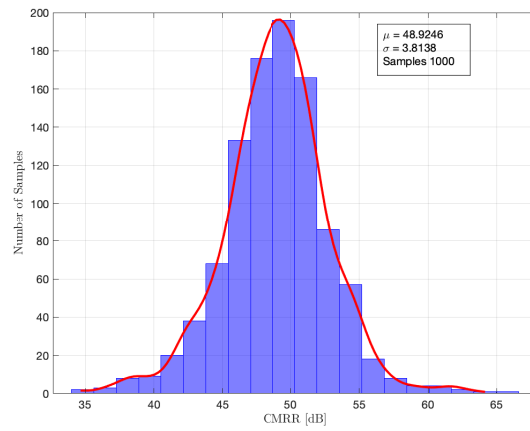


Figure 14. Monte Carlo simulation of CMRR.

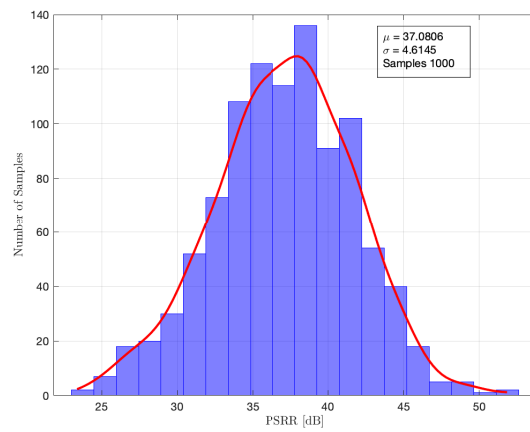


Figure 15. Monte Carlo simulation of PSRR.

Table 2. Process Corners.

	SS	SF	TT	FS	FF
Gain (dB)	22.11	24.89	28.20	27.08	29.31
GBW (Hz)	308.40	401.19	479.75	298.57	515.62
CMRR (dB)	51.97	56.12	54.98	53.43	58.07
PSRR (dB)	34.85	21.97	37.52	42.22	38.09

Table 3. Temp. Corners.

	SS			TT			FF		
Temp	−20	27	100	−20	27	100	−20	27	100
Gain (dB)	29.43	29.33	28.34	19.33	28.20	25.34	26.15	27.31	25.99
GBW (Hz)	479.19	480.15	481.20	451.19	479.75	471.20	430.28	464.42	480.00
CMRR (dB)	54.20	55.01	56.96	51.28	54.98	58.36	55.28	52.57	58.36
PSRR (dB)	35.96	34.85	27.27	39.24	37.52	26.52	41.23	38.09	24.21

Table 4. Voltage Corners.

VDD (mV)	225	250	275
Gain (dB)	27.45	28.20	31.36
GBW (Hz)	469.32	479.75	480.98
CMRR (dB)	53.01	54.98	55.30
PSRR (dB)	28.98	37.52	38.35

4.2. Measured Results

We performed the measurements in a fully differential buffer configuration of the proposed FDDTA. This configuration enabled us to analyze the compatibility between input and output swing, according to Figure 2.

The measurement setup included a Semiconductor Analyzer B1500A and a Dynamic Signal Analyzer DSA35670A, both operating at room temperature (27 °C). In addition, the load capacitance was 30-pF to each output pin. Figure 16 shows the micrograph of the test chip.

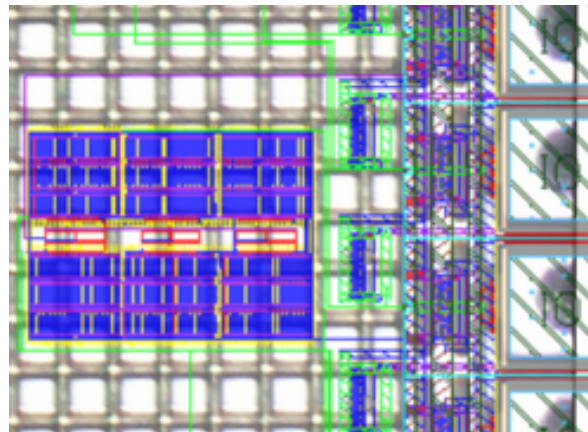
**Figure 16.** Circuit micrograph overlaid with the layout.

Figure 17 shows the measured output, and the input signals, for a differential sinusoidal wave of 100-Hz with an amplitude of 175-mV peak-to-peak, applied to the FDDTA inputs. It shows that the FDDTA differential output replied to the differential input signal with some reduction in the output range.

Furthermore, Figure 18 shows the measured Bode plot for the proposed FDDTA buffer configuration with a cut-off frequency of 3.2-kHz, and, therefore, highlights the first-order system behavior of the fully-differential buffer configuration.

We measured the harmonic distortion, depicted in Figure 19, using the DSA35670A Dynamic Signal Analyzer. For instance, we applied, to the FDDTA inputs, a common mode level of 125-mV with a differential sinusoidal wave of 175-mV_{pp}@100-Hz, while the DSA35670A was set up with a 100-kHz sample frequency that resulted in a 0.5-Hz FFT resolution. For this scenario, we expected a 1% HD₃ and a HD₂ with a small and controlled amplitude, leading to a THD ≈ HD₃, exactly as depicted in Figure 19. In summary, all those measurements led us to endorse the proposed FDDTA as being fully functional in accordance with the developed models.

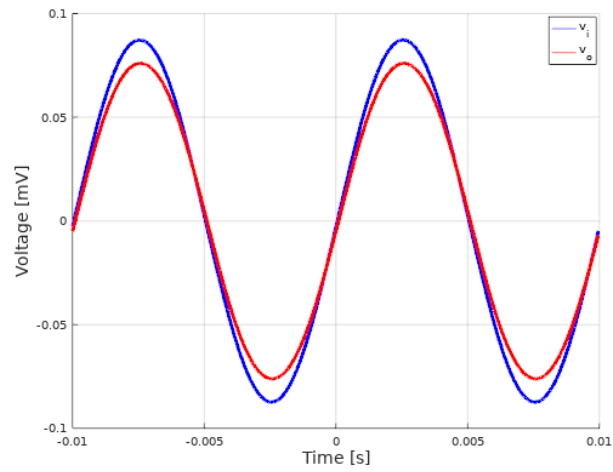


Figure 17. Fully-differential buffer configuration: measured input and output signals, for a differential sinusoidal wave of 100-Hz with an amplitude of 175-mV peak-to-peak, applied to the FDDTA inputs.

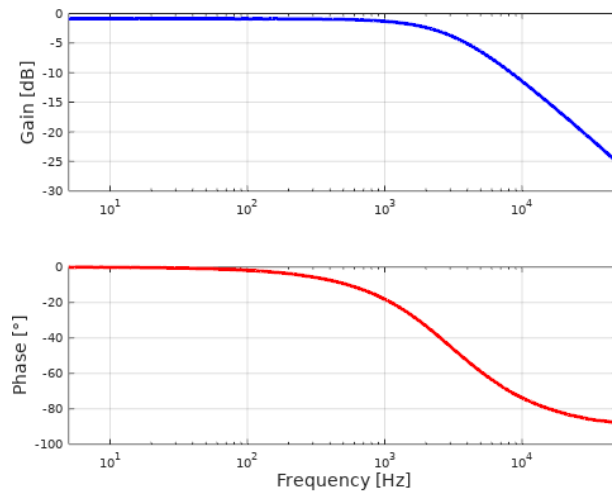


Figure 18. Fully-differential buffer configuration: measured frequency response with a cut-off frequency of 3.2-kHz.

Table 5 shows a performance comparison between this work and other low-voltage and low-power FDDTAs, where our proposed architecture featured the smallest supply voltage of 0.25V and the linearity of the proposed circuit was consistent with the other works.

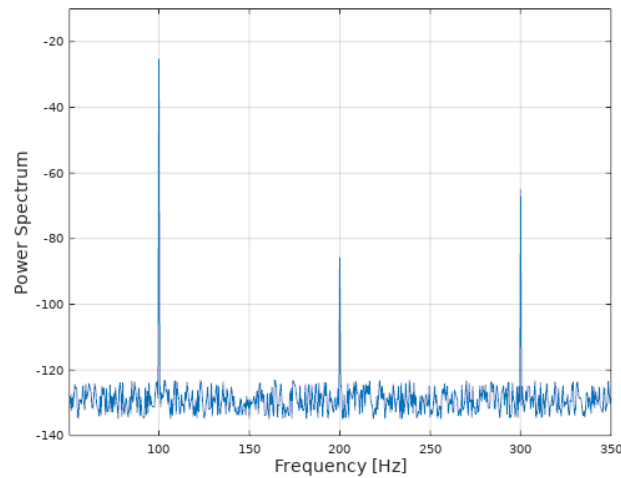


Figure 19. Fully-differential buffer configuration: measured harmonic distortion. The 0.5-Hz resolution output spectrum for a common mode level of 125-mV with a differential sinusoidal wave of 175-mV_{pp}@100-Hz, leading to a THD \approx HD₃.

Table 5. Performance comparison between proposed FDDTA and other low-voltage low-pass FDDTAs architectures.

Parameters	This Work	IEEE Access 2022 [23]	Sensors 2022 [24]	IEEE TCAS I 2018 [25]	IEEE 2015 [26]	IEEE 2015 [27]
Technology	0.13 μ m	0.18 μ m	0.18 μ m	0.18 μ m	0.18 μ m	0.5 μ m
Supply voltage	0.25 V	0.5 V	1.2 V (\pm 0.6 V)	0.3 V	\pm 0.4 V	\pm 2 V
Gain	28.20 dB	93 dB	-	60 dB	1–20 dB	-
Transconductance	2.26 μ S	10.7 nS	66 μ S	67.7 nS	-	24 μ S to 468 μ S
–3 dB bandwidth	480 Hz	<1 Hz	6.4 MHz	<10 Hz	23 MHz	1 GHz
Output conductance	18.91 nS	-	-	-	111 nS	-
Power consumption	75.30 nW	205.5 nW	6 μ W	22 nW	20 μ W	1.66 mW
CMRR	54.98 dB	67.19 dB	-	82 dB	-	-
PSRR	37.52 dB	81.52 dB	-	57 dB	-	-
GBW	479.75 Hz	18.02 kHz	-	1.85 kHz	-	-
DR	40.52 dB	49.7 dB	63.59 dB	57 dB	-	-

5. Conclusions

This paper introduced a fully-differential difference transconductance amplifier architecture, based on CMOS inverters. This design employed an array of halo-implanted MOS transistors to reduce the negative effects of halo implants on output impedance and better match the CMOS inverters.

The circuit was implemented in a 130-nm CMOS process and operated in weak inversion for a 0.25-V power supply; thereby accomplishing specifications suitable for low-frequency applications.

The measurement results, in accordance with the developed theory, endorsed our proposed architecture, based on CMOS inverters. In fact, it spared supplementary external calibration circuits, while keeping performance.

Author Contributions: Conceptualization, O.S.S. and R.A.d.S.B.; methodology, R.A.d.S.B., P.M.P., L.H.d.C.F. and G.D.C.; measurement support, P.M.P.; investigation, O.S.S., P.M.P. and R.A.d.S.B.; data curation, O.S.S. and P.M.P.; writing—original draft preparation, O.S.S., P.M.P. and R.A.d.S.B.; writing—review and editing, L.H.d.C.F. and G.D.C.; funding acquisition, R.A.d.S.B. All authors have read and agreed to the published version of the manuscript.

Funding: This work was supported, in part, by the Brazilian National Council for Scientific and Technological Development (PQ 303090/2018-9 and GD 140929/2017-7) and FAPEMIG. The authors

would like to thank MOSIS for the chip fabrication. The APC was funded by Federal University Itajuba and Institute of Science and Technology—ICT Unifei Itabira.

Data Availability Statement: Not applicable.

Conflicts of Interest: The authors declare no conflict of interest.

References

1. Bae, W. CMOS Inverter as Analog Circuit: An Overview. *J. Low Power Electron. Appl.* **2019**, *9*, 26. [[CrossRef](#)]
2. Tsvividis, Y.; McAndrew, C. *Operation and Modeling of the MOS Transistor*; Oxford University Press: Oxford, UK, 2011.
3. Crovetto, P.S. A Digital-Based Virtual Voltage Reference. *IEEE Trans. Circuits Syst. I Regul. Pap.* **2015**, *62*, 1315–1324. [[CrossRef](#)]
4. Ballo, A.; Pennisi, S.; Scotti, G. 0.5 V CMOS Inverter-Based Transconductance Amplifier with Quiescent Current Control. *J. Low Power Electron. Appl.* **2021**, *11*, 37. [[CrossRef](#)]
5. Grasso, A.D.; Pennisi, S.; Scotti, G.; Trifiletti, A. 0.9-V Class-AB Miller OTA in 0.35- μm CMOS With Threshold-Lowered Non-Tailed Differential Pair. *IEEE Trans. Circuits Syst. I Regul. Pap.* **2017**, *64*, 1740–1747. [[CrossRef](#)]
6. Ballo, A.; Grasso, A.D.; Pennisi, S. Active load with cross-coupled bulk for high-gain high-CMRR nanometer CMOS differential stages. *Int. J. Circuit Theory Appl.* **2019**, *47*, 1700–1704. [[CrossRef](#)]
7. Duque-Carrillo, J.F.; Torelli, G.; Perez-Aloe, R.; Valverde, J.M.; Maloberti, F. A class of fully-differential basic building blocks based on unity-gain difference feedback. In Proceedings of the ISCAS'95—International Symposium on Circuits and Systems, Seattle, WA, USA, 30 April–3 May 1995; Volume 3, pp. 2245–2248.
8. Allen, P.E.; Holberg, D.R. *CMOS Analog Circuit Design*; Oxford University Press: Oxford, UK, 2002.
9. Nauta, B. A CMOS transconductance-C filter technique for very high frequencies. *IEEE J.-Solid-State Circuits* **1992**, *27*, 142–153. [[CrossRef](#)]
10. Braga, R.A.; Ferreira, L.H.C.; Colletta, G.D.; Dutra, O.O. Calibration-less Nauta OTA operating at 0.25-V power supply in a 130-nm digital CMOS process. In Proceedings of the 2017 IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS), Bariloche, Argentina, 20–23 February 2017; pp. 1–4.
11. Pinto, P.M.; Ferreira, L.H.; Colletta, G.D.; Braga, R.A. A 0.25-V fifth-order Butterworth low-pass filter based on fully differential difference transconductance amplifier architecture. *Microelectron. J.* **2019**, *92*, 104606. [[CrossRef](#)]
12. Palani, R.; Harjani, R. *Inverter-Based Circuit Design Techniques for Low Supply Voltages*; Analog Circuits and Signal Processing; Springer: Cham, Switzerland, 2017; pp. 1–126.
13. Cotrim, E.D.C.; de Carvalho Ferreira, L.H. An ultra-low-power CMOS symmetrical OTA for low-frequency Gm-C applications. *Analog. Integr. Circuits Signal Process.* **2012**, *71*, 275–282. [[CrossRef](#)]
14. Toledo, P.; Crovetto, P.S.; Klimach, H.D.; Musolino, F.; Bampi, S. Low-Voltage, Low-Area, nW-Power CMOS Digital-Based Biosignal Amplifier. *IEEE Access* **2022**, *10*, 44106–44115. [[CrossRef](#)]
15. Sackinger, E.; Guggenbuhl, W. A versatile building block: The CMOS differential difference amplifier. *IEEE J.-Solid-State Circuits* **1987**, *22*, 287–294. [[CrossRef](#)]
16. Mincey, J.S.; Briseno-Vidrios, C.; Silva-Martinez, J.; Rodenbeck, C.T. Low-Power Gm-C Filter Employing Current-Reuse Differential Difference Amplifiers. *IEEE Trans. Circuits Syst. II Express Briefs* **2017**, *64*, 635–639.
17. Czarnul, Z.; Takagi, S.; Fujii, N. Common-mode feedback circuit with differential-difference amplifier. *IEEE Trans. Circuits Syst. I Fundam. Theory Appl.* **1994**, *41*, 243–246. [[CrossRef](#)]
18. Du, D.; Odame, K.M. A bandwidth-adaptive preamplifier. *IEEE J.-Solid-State Circuits* **2013**, *48*, 2142–2153.
19. Huang, S.C.; Ismail, M. Design of a CMOS Differential Difference Amplifier and its Applications in A/D and D/A Converters. In Proceedings of the APCCAS'94—1994 Asia Pacific Conference on Circuits and Systems, Taipei, Taiwan, 5–8 December 1994; pp. 478–483.
20. Alzahr, H.; Ismail, M. A CMOS fully balanced differential difference amplifier and its applications. *IEEE Trans. Circuits Syst. II Analog. Digit. Signal Process.* **2001**, *48*, 614–620. [[CrossRef](#)]
21. Ferreira, L.H.C.; Sonkusale, S.R. A 60-dB gain OTA operating at 0.25-V power supply in 130-nm digital CMOS process. *IEEE Trans. Circuits Syst. I Regul. Pap.* **2014**, *61*, 1609–1617. [[CrossRef](#)]
22. Galup-Montoro, C.; Schneider, M.C.; Loss, I.J. Series-parallel association of FET's for high gain and high frequency applications. *IEEE J.-Solid-State Circuits* **1994**, *29*, 1094–1101. [[CrossRef](#)]
23. Khateb, F.; Kumngern, M.; Kulej, T.; Biolek, D. 0.5 V differential difference transconductance amplifier and its application in voltage-mode universal filter. *IEEE Access* **2022**, *10*, 43209–43220. [[CrossRef](#)]
24. Kumngern, M.; Suksaibul, P.; Khateb, F.; Kulej, T. 1.2 V differential difference transconductance amplifier and its application in mixed-mode universal filter. *Sensors* **2022**, *22*, 3535. [[CrossRef](#)] [[PubMed](#)]
25. Khateb, F.; Kulej, T. Design and implementation of a 0.3-V differential difference amplifier. *IEEE Trans. Circuits Syst. I Regul. Pap.* **2018**, *66*, 513–523. [[CrossRef](#)]

26. Kumngern, M.; Khateb, F. Fully differential difference transconductance amplifier using FG-MOS transistors. In Proceedings of the 2015 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), Nusa Dua Bali, Indonesia, 9–12 November 2015; pp. 337–341.
27. Kumngern, M. CMOS differential difference voltage follower transconductance amplifier. In Proceedings of the 2015 IEEE International Circuits and Systems Symposium (ICSyS), Langkawi, Malaysia, 2–4 September 2015; pp. 133–136.

Disclaimer/Publisher's Note: The statements, opinions and data contained in all publications are solely those of the individual author(s) and contributor(s) and not of MDPI and/or the editor(s). MDPI and/or the editor(s) disclaim responsibility for any injury to people or property resulting from any ideas, methods, instructions or products referred to in the content.