

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
"КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ІМ. ІГОРЯ СІКОРСЬКОГО"
Факультет електроніки
Кафедра електронної інженерії

"На правах рукопису"

«До захисту допущено»

УДК _____

Завідувач кафедри

_____ В.І. Тимофєєв

“ ___ ” _____ 20__ р.

Магістерська дисертація

зі спеціальності 153 мікро- та наносистемна техніка

на тему «Енергоефективний інтегральний подільник частоти»

Виконав: студент б курсу, групи ДМ-11мн

Балута Тетяна Олексіївна

(прізвище, ім'я, по батькові)

Т. Балута
(підпис)

Науковий керівник доц. каф. ЕІ, доц., к.т.н. Вунтесмері Ю.В.

(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Ю. Вунтесмері
(підпис)

Консультант _____

(назва розділу)

_____ (вчені ступінь та звання, прізвище, ініціали)

_____ (підпис)

Рецензент проф. каф. ЕПС, проф., д.т.н., Мельник І.В.

(посада, вчене звання, науковий ступінь, прізвище та ініціали)

І. Мельник
(підпис)

Засвідчую, що у цій магістерській дисертації немає запозичень з праць інших авторів без відповідних посилань.

Студент Т. Балута
(підпис)

Київ - 2023 року

**Національний технічний університет України
“Київський політехнічний інститут ім. Ігоря Сікорського”**

Факультет електроніки
Кафедра електронної інженерії
Рівень вищої освіти – другий (магістерський) за
освітньо-науковою програмою
Спеціальність 153 мікро- та наносистемна техніка

ЗАТВЕРДЖУЮ

Завідувач кафедри

_____ В.І. Тимофєєв
“ ___ ” _____ 20__ р.

**З А В Д А Н Н Я
НА МАГІСТЕРСЬКУ ДИСЕРТАЦІЮ СТУДЕНТУ**

_____ Балута Тетяна Олексіївна _____

(прізвище, ім'я, по батькові)

1. Тема дисертації _____ Енергоефективний інтегральний подільник частоти _____

Науковий керівник _____ доц. каф. ЕІ, доц., к.т.н. Ю.В. Вунтесмері _____,

(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

затверджені наказом по університету від “23” 03 2023 року № 1310-с _____

2. Строк подання студентом дисертації _____ 19.05.2023 _____

3. Об'єкт дослідження Енергоефективний інтегральний подільник частоти _____

4. Предмет дослідження _____

_____ Параметри енергоефективного інтегрального подільника частоти в різних умовах на частоті 20 ГГц з мінімальним споживанням струму _____

5. Перелік питань, які потрібно розробити _____

Напруга живлення _____ 0,8 В _____

Споживання струму _____ < 6 мА _____

Середній час наростання сигналу _____ < 200 пс _____

Частота вхідного сигналу _____ 20 ГГц _____

Частота вихідного сигналу _____ 10 МГц _____

6. Перелік графічного (ілюстративного) матеріалу 39 ілюстрацій в тексті6 таблиць в текстіПрезентація до захисту на 22 слайдів**7. Орієнтовний перелік публікацій**Опублікувати статтю по результатах роботи**8. Консультанти розділів дисертації**

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв

9. Дата видачі завдання12.02.23**КАЛЕНДАРНИЙ ПЛАН**

№ з/п	Назва етапів виконання магістерської дисертації	Строк виконання етапів роботи	Примітка
1	Отримання технічного завдання	12.02.23	
2	Ознайомлення з теоретичними відомостями до теми	14.03.23	
3	Розробка перших частин схеми	28.03.23	
4	Розрахунок необхідних параметрів	01.04.23	
5	Розробка другої частини схеми	04.04.23	
6	Проведення аналізу роботи схеми	16.04.23	
7	Розробка топологічного креслення	29.04.23	
8	Перевірка результату розробки	01.05.23	
9	Оформлення роботи	07.05.23	

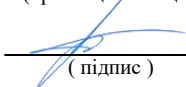
Студент


(підпис)

Балуґа Т.О.

(прізвище та ініціали)

Науковий керівник роботи


(підпис)

Вунтесмері Ю.В.

(прізвище та ініціали)

РЕФЕРАТ

Дипломна робота складається з 8 розділів включаючи вступ та висновки, має 39 ілюстрацій, 6 таблиць, 33 джерел. Загальний обсяг роботи сягає 69 сторінки.

ПОДІЛЬНИК ЧАСТОТИ, КМОН-ТЕХНОЛОГІЯ, CADENSE, РОЗРОБКА МІКРОСХЕМИ.

Дана робота сфокусована на розробці інтегрального подільника частоти на технології The 22FDX® © GlobalFoundries. В роботі використано три конфігурації подільників частоти для різних частот в діапазоні від 20 ГГц до 10 МГц. Також ця робота містить активний балун для генерації диференційного сигналу та два підсилювачі сигналу.

Розробка компаратора була виконана у середовищі Cadence, з використанням наявних функцій та інструментів, які дозволяють підібрати оптимальні компоненти та характеристики пристрою, в повній мірі проаналізувати роботу розробленого пристрою з урахуванням виробничих особливостей, фізичних явищ та технологічних обмежень.

Метою даної роботи були мінімальний розмір схем, оптимізація споживання струму при збереженні якісних характеристик роботи схеми.

Було проведено аналіз роботи схем, швидкодія, якість вихідного сигналу, споживання струму та чутливість до частоти та амплітуди вхідного сигналу. Кожний параметр був проаналізований в кутовому аналізі, а також після розробки топологічного креслення з урахуванням ємносних та резистивних паразитних компонентів.

Топологічні креслення було виконано з урахуванням паразитних явищ (руйнація металів під дією струму, паразитних компонентів між провідниками тощо). Кожна топологія подільника була перевірена на відповідність DRC та LVS з врахуванням технологічних вимог.

Загальне споживання електричного струму пристроєм 6-10 мА з урахуванням активного балуна, який споживає 2-4 мА.

Було використано 257 польових транзисторів різних конфігурацій, 30 конденсаторів та 14 резисторів.

Загальний розмір розробленого блоку на чіпі 510 на 360 мкм.

ABSTRACT

Master work consists of 8 sections including introduction and conclusions, has 39 illustrations, 6 tables, 33 sources. Does the total amount of work reach 69 pages.

FREQUENCY DIVIDER, CMOS TECHNOLOGY, CADENCE, ANALOG DESIGN

The primary objective of this work is to develop an integral frequency divider based on The 22FDX® © GlobalFoundries technology. This work contains CML, TSPC and CMOS circuits for high, medium and low frequencies, respectively in the range of 20 GHz to 10 MHz. Also, this work contains an active balun for generating a differential signal and two buffers.

The aim was to develop CML frequency divider, that could function on high frequencies in the 40 GHz to 5 GHz range with minimal current consumption and minimal loss of signal power.

When conducting research on existing blocks that meet the necessary conditions, the CML design was chosen. Some parts of the existing technology were modified to achieve satisfactory results, such as the control and limiting current source.

Usually, CML uses a current source to regulate power consumption. In the case of the developed device, the same current consumption (subject to the same other operating parameters) was at a gate width of 3 μm without a current source, or at 4 μm with a current source. So it was decided to use the so-called pseudo CML without a current source with smaller transistor sizes.

When analyzing the developed divider, a graph of sensitivity under different conditions was constructed. From the obtained results, it can be concluded that in case of an extraction simulation with parasitic capacitors and supports, the

sensitivity curve narrows, but due to the selected dimensions at the operating frequencies in a specific task, the sensitivity curve retains the best values.

When conducting studies of existing blocks that meet the necessary conditions, the TSPC design was chosen. The choice of the particular design was intended to preserve the differential signal from past blocks, maintain amplitude and power, while preventing an increase in current consumption and block size in the topology drawing.

This design has a minimum size because it does not contain inductive or capacitive elements, but at the same time it satisfactorily performs the task of a frequency divider in the required range from 5 GHz to 625 MHz.

The TSPC unit was designed with negative feedback. The 22FDX® technology allowed adding all transistors with the same type of substrate, which reduces the number of parasitic components during production.

During the analysis of the developed divider, satisfactory results of output differential signals, low current consumption (no more than 200 μA), power conservation and speed of operation were obtained.

The choice of CMOS design as the last part of the developed device was intended to simplify the frequency divider. At low frequencies, there is no need for powerful transistors, protection against electromagnetic noise, etc. That is, it is necessary to simplify the device as much as possible while maintaining speed, signal quality and current consumption.

When conducting research on existing units that meet the necessary conditions, a primitive design of several inverters and amplifiers was chosen. During the development of this unit, it was discovered that the speed of the amplifiers and inverters does not allow to implement the correct operation of the common divider. It was decided to add capacitors on the divider links to compensate the disturbance in delay and tuning times.

During the analysis of the developed divider, the quality of rectangular signals, the influence of noise, parasitic capacitances and resistances on them were

checked. The results satisfy the initial conditions, and the current consumption decreases uniformly with a decrease in the frequency of the input signal.

The main task of developing an inductive broadband energy-efficient active balun was to create a high-quality differential signal over a wide frequency range for further use in a frequency divider. Summarizing the results of the work, it can be stated that this problem has been solved to a sufficient extent, and the developed active balun can be successfully used in larger projects.

One of the main advantages of the developed active balun is its size, which constitutes only $48\ \mu\text{m}$ by $34\ \mu\text{m}$. That allows it to be built into compact devices. In addition to this the device has high speed and low phase imbalance error, which is less than 2 degrees.

The inductance of the active balun also allows to reduce signal loss and ensure the stability of the device, and a wide range of operating frequencies (from 2 GHz to 60 GHz) makes it a universal tool for use in various wireless communication systems.

As a disadvantage of the scheme an amplitude imbalance can be identified, so that an amplifier must be used after the active balun, although most frequently amplifiers are placed at the input of any circuits.

However, it can be stressed out that the developed inductive broadband energy-efficient active balun is a very promising solution for use in many high-performance technologies where a high-quality differential signal over a wide frequency range is required.

Two signal amplifiers were developed in this work. The high-frequency amplifier is non-inverting. Series composition of the resistor and the capacitor was added to reduce noise and feedback. Transistors were selected for microwave frequencies with powerful shielding characteristics.

The low-frequency amplifier is designed according to a similar principle as the high-frequency one, but smaller in size and without capacitors and resistors, since only two inverters are enough to amplify low-frequency signals. The dimensions of the transistors of the second inverter are larger, thus the signal is

amplified. This simplification of the structure allows to significantly reduce the current consumption and the area of the device on the chip.

The development of the comparator was carried out in the Cadence environment, using the available functions and tools that allow you to choose the optimal components and characteristics of the device, to fully analyze the operation of the developed device, taking into account production features, physical phenomena and technological limitations.

The aim of this work was to minimize the size of circuits, optimize current consumption while maintaining the quality characteristics of the circuit.

An analysis of the operation of the circuits, speed, quality of the output signal, current consumption and sensitivity to the frequency and amplitude of the input signal was carried out. Each parameter was analyzed in an angular analysis, as well as after developing a topological drawing taking into account capacitive and resistive parasitic components.

Topological drawings were made taking into account parasitic phenomena (destruction of metals due to the action of current, parasitic components between conductors, etc.). Each splitter topology has been tested for compliance with DRC and LVC, taking into account technological requirements.

The total current consumption of the device is 6-10 mA, taking into account the active balun, which consumes 2-4 mA.

257 field-effect transistors of various configurations, 30 capacitors and 14 resistors were used.

The total size of the developed block on the chip is 510 by 360 μm .

With the help of the TU Braunschweig CMOS Design Institute and GlobalFoundries, an integrated chip was manufactured to conduct experimental measurements of the developed device in real conditions.

ЗМІСТ

СКОРОЧЕННЯ ТА УМОВНІ ПОЗНАКИ.....	9
ВСТУП.....	10
1 ПОСТАНОВКА ПРОБЛЕМИ	13
2 ПРОТОТИПИ ТА АНАЛОГИ.....	15
3 СТРУКТУРНИЙ ПРОЄКТ	18
4 ПРОЄКТУВАННЯ ТА АНАЛІЗ ЛАНОК ПОДІЛЬНИКА ЧАСТОТИ	20
4.1 CML блок.....	20
4.1.1 Принцип роботи.....	20
4.1.2 Розробка.....	22
4.1.3 Топологія.....	24
4.1.4 Аналіз роботи.....	26
4.1.5 Висновки	31
4.2 TSPC блок.....	32
4.2.1 Принцип роботи.....	32
4.2.2 Розробка.....	35
4.2.3 Топологія.....	36
4.2.4 Аналіз роботи.....	36
4.2.5 Висновки	39
4.3 CMOS блок	39
4.3.1 Принцип роботи.....	39
4.3.2 Розробка.....	40
4.3.3 Топологія.....	42
4.3.4 Аналіз роботи.....	42
4.3.5 Висновки	44
4.4 Додаткові блоки	45
4.4.1 Підсилювачі сигналу	45
4.4.2 Активний балун	46
4.4.3 Висновки	50
5 МОДЕЛЮВАННЯ ТА ДОСЛІДЖЕННЯ СХЕМИ	52
6 ЗАГАЛЬНА ТОПОЛОГІЯ ПОДІЛЬНИКА ЧАСТОТИ.....	54
ВИСНОВКИ.....	56
ПЕРЕЛІК ДЖЕРЕЛ ПОСИЛАННЯ.....	58
ДОДАТОК А.....	61

СКОРОЧЕННЯ ТА УМОВНІ ПОЗНАКИ

Cadence – середовище для розробки та аналізу інтегральних схем, оптимізації, фізичної верифікації, топологічного креслення, аналізу паразитних та зовнішніх факторів;

CML (Current-Mode-Logic) – логічна схема, керована струмом;

CMOS (Complementary metal–oxide–semiconductor) – КМОН (Компліментарна метал – оксид – напівпровідник) – технологія використання польових транзисторів для логічних функцій;

Corners – кутовий аналіз, який використовує варіації параметрів виробництва схеми на пластині, у межах яких схема повинна працювати;

DRC (Design Rule Check) – перевірка відповідності топології заданим технологічним вимогам;

Dummy – додаткові області при розробці топології компонентів для зменшення вірогідності впливу недоліків виробництва на характеристики компонентів;

LVC (Layout VS Schematic Check) – перевірка відповідності топології та схеми;

Matlab - пакет прикладних програм для числового аналізу, а також мова програмування, що використовується в даному пакеті;

Monte Carlo -один з видів моделювання, який дозволяє нам перевірити варіації процесу та невідповідність між пристроями в одному чіпі чи пластині;

PVT (process, voltage, and temperature) – моделювання чіпу в різних corners для роботи при будь-яких сценаріях зміну процесу, напруги та температури;

TSPC (True Single Phase Clock Logic) – логічна схема;

ВСТУП

В даній дипломній роботі метою завдання було розробити енергоефективний аналоговий подільник частоти в широкому діапазоні частот зі збереженням мінімального можливого розміру чіпу та з високою оцінкою параметрів роботи в порівнянні з актуальними на даний час існуючими розробками.

Сучасні технологічні додатки вимагають, щоб нанорозмірні транзистори працювали в умовах великих електричних полів із підвищеною щільністю потужності. В результаті посилення електричних полів механізми деградації пристрою, такі як генерація пасток або решітка взаємодії, прискорюються. Таким чином, надійність транзисторів значно падає, що призводить до скорочення терміну служби високопродуктивних схем. Якщо термін служби стане меншим за гарантований час використання продукту, компанії, які розробляють продукт, можуть зіткнутися зі значним зростанням загальних витрат. Це призвело до змін у методології проектування, орієнтованої на високу продуктивність, додавши, таким чином, новий вимір. Підходи до проектування для забезпечення надійності спрямовані на розробку схем, які не тільки задовольняють амбітні технічні характеристики, але й забезпечують надійну роботу схем після очікуваного часу використання. З появою транзисторів менше 100 нм до компромісу між проектною продуктивністю та надійністю також додаються варіації процесу, що ускладнює виробництво продуктів, які можна одночасно кваліфікувати щодо продуктивності, надійності та обмежень мінливості. Для боротьби з цими зростаючими проблемами були запропоновані нові методології проектування як для аналогових, так і для цифрових схем. Метою цих методологій є встановлення балансу між надійністю проекту та продуктивністю, одночасно зберігаючи загальну вартість проектування нижче максимальної межі. [1]

Гордон Мур передбачив у своїй статті 1965 року, що кількість компонентів на чіп продовжуватиме збільшуватися в два рази щороку. Цілями році методологію масштабування для металооксидно-напівпровідникових польових транзисторів (MOSFET), які забезпечать покращення дотримання закону Мура є зниження вартості компонента та зменшити енергоспоживання кожного компонента. У 1975 році Мур оновив свій попередній прогноз, прогнозуючи, що компоненти на чіп будуть збільшуватися в два рази кожен раз у два роки, і що це буде результатом поєднання розміру компонента масштабування та збільшення площі стружки. Ще в 1965 році промисловість виробляла чіпи з мінімальними розміром приблизно 50 мм, які містили близько 50 компонентів. Найпопулярніші сучасні чіпи мають мінімальний розмір елемента приблизно 10 нм і містять кілька мільярдів транзисторів. [2]

Роберт Деннард і його колеги описали в 1974 площі транзистора, продуктивності та зниження потужності. Методологія вимагає масштабування довжини затвора транзистора, ширини затвора, товщини оксиду затвора та живлення напруги все за тим самим масштабним коефіцієнтом, а збільшення легування каналу за зворотним значенням масштабного коефіцієнту. Результатом будуть транзистори з меншою площею, вищим провідним струмом. рента (вища продуктивність) і менша паразитна ємність (менша активна потужність). Цей метод для масштабування MOSFET транзисторів зазвичай називають «класичним» або «традиційним» масштабуванням і він дуже успішно використовувався промисловістю аж до 130-нм покоління на початку 2000-х років.

Протягом останніх 20 років розробляються нові покоління технологічних процесів за два роки, і кожне покоління масштабувало мінімальний розмір функції приблизно у 0,7 рази, що забезпечує покращення масштабу площі приблизно в 0,5 рази[2]

Таким чином, кожен два роки подвоюється щільність транзисторів. Але новітнє покоління технологій (такі як 14 нм і 10 нм) розвиваються довше, ніж

звичайні дворічні каденції, внаслідок збільшення складності процесу та збільшення кількості фотомаскувальних кроків.

В даній роботі використовується 22 нм технологія © GlobalFoundries Inc. 2022. The 22FDX® технологія пропонує широкий спектр доступних функцій КМОН пристроїв для використання в стандартних умовах експлуатації.

Масштабування транзисторів, і зокрема масштабування MOSFET, служить нашій галузі добре протягом більше 50 років, надаючи нові покоління технологій інтегральних схем, в яких одночасно забезпечується покращена щільність, вища продуктивність, зниження енергоспоживання та менша вартість транзистора. Часом були потрібні більш революційні технологічні зміни, такі як перехід від біполярних транзисторів до MOSFET, тощо. Нещодавно шляхом впровадження високоякісних металевих затворів було зроблено FinFET транзистори. Масштабування транзистора MOSFET буде продовжуватись для майбутніх поколінь CMOS. [2]

1 ПОСТАНОВКА ПРОБЛЕМИ

У роботі поставлена задача розробити подільник частоти для подальшого використання в чіпах медичного призначення з характеристиками Табл. 1.1

Таблиця 1.1 – Основні загальні параметри подільника частоти

Параметр	Умова	Примітки
Вхідна частота	20 ГГц	
Вихідна частота	10 МГц	
Споживання струму	< 6 мА	Загальне споживання струму схемою при симуляції corners
Середній час зростання сигналу	< 200 пс	Значення середнє серед окремих подільників
Середній час падіння сигналу	< 200 пс	Значення середнє серед окремих подільників
Максимальне споживання струму	< 3 мА	Значення максимальне серед окремих подільників
Мінімальне споживання струму	< 30 мкА	Значення мінімальне серед окремих подільників

Також було поставлено задачу додати активний балун на вході схеми для генерації диференційного сигналу.

Подільники частоти є основним блоком у багатьох системах. Такі схеми широко використовуються у високошвидкісних системах зв'язку і вважаються одним із найскладніших блоків проектувати як в дротових, так і в бездротових

трансиверах [3]. Подільники частоти були предметом дослідження протягом десятиліть, і було опубліковано ряд робіт. Були досліджені різні підходи до явищ блокування ін'єкції і кілька нових подільовачів частоти, які пропонують вищі частоти та ширші діапазони блокування.

У [4] описано, як введення зовнішнього сигналу в осцилятор впливає на миттєву амплітуду і миттєву частоту, якщо частота автоколивань близька до частоти інжекції. Використовуючи припущення про те що постійні часу в контурі генератора малі порівняно з довжиною одного циклу ударів, отримано диференціальне рівняння, яке дає визначити фазу між вихідною напругою генератора та введеним сигналом як функції часу.

У [5] показано, що синхронізація із зовнішнім сигналом може відбуватися, коли частота інжекційного сигналу знаходиться в межах певного діапазону частот, який називається «діапазон блокування», який містить частоту автоколивань. Осцилятор замкнений, коли різниця фаз θ між замикаючим сигналом і осцилятором постійна, так що миттєва частота різниця, $d\theta / dt$, дорівнює нулю.

У [6] представлена схема, де якщо амплітуда і частота I_{inj} обрані правильно вона коливається на ω_{inj} , а не на ω_0 і відбувається блокування інжекції.

У [7] описано дві основні категорії подільовачів: Перша категорія включає ті, які повністю працюють на основі блокування інжекції, такі як LC-ланки і кільцевий осцилятор подільовача частоти. До другої категорії відносяться розділові схеми на основі D-тригерів (DFF), реалізовані логікою поточного режиму (CML) з негативним зворотним зв'язком. В останній категорії, незважаючи на наявність нелінійностей, ширший діапазон синхронізації частоти, який зазвичай є бажаним результатом.

У цій роботі три різні схеми подільовачів призначені для досягнення більшої швидкості роботи та мінімального енергоспоживання.

2 ПРОТОТИПИ ТА АНАЛОГИ

На Рис.2.1 порівнюються 5 топологій поділювача, які зазвичай використовуються: поділювач частоти з інжекційною синхронізацією (ILFD), поділювач поточного режиму (CML), поділювач Міллера, поділювач TSPC та поділювач CMOS. ILFD працює подібно до генератора з інжекційною синхронізацією, в якому частота вхідного сигналу є кратною частоті вільного ходу генератора. Регенеративний поділювач частоти, також відомий як поділювач Міллера, змішує вхідний сигнал із сигналом зворотного зв'язку від змішувача. [8]

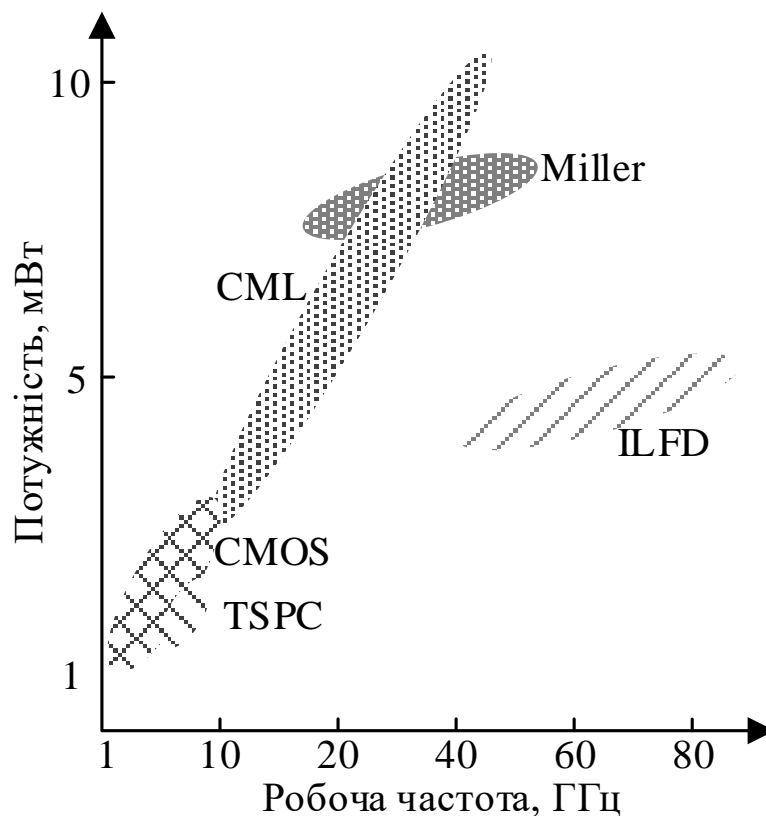


Рисунок 2.1 – Графік порівняння різних існуючих структур поділювачів частоти [9]

Інжекційне блокування є особливим типом вимушених коливань у нелінійних осциляторах. Припустимо, що сигнал із частотою ω подається в осцилятор, який має частоту автоколивань ω_0 . Коли ω сильно відрізняється

від ω_0 , спостерігаються «биття» двох частот. Коли ω наближається до ω_0 , частота биття $\omega - \omega_0$ зменшується. Коли ω потрапляє в діапазон частот, дуже близький до ω_0 , биття раптово зникає, і осцилятор починає коливатися на ω замість ω_0 . Діапазон частот, у якому відбувається блокування впорскування, називається діапазоном блокування. Інжекційне блокування також відбувається, коли ω близьке до гармоніки або субгармоніки ω_0 , тобто $n * \omega_0$ або $1/n * \omega_0$. Вони називаються гармонійним (або супергармонійним) і субгармонічним інжекційним блокуванням відповідно.

В якості подільвача частоти може бути використаний гармонічний синхронізований генератор, а саме подільвач частоти з синхронізованим інжекцією (ILFD) [10, 11, 12, 13]. ILFD має властиву перевагу як у швидкості, так і в розсіюванні потужності порівняно з цифровим подільвачем. По суті, це осцилятор на субгармонійній частоті вхідного сигналу, що ефективно знижує вимоги до швидкості для технології процесу в n разів. У резонансному контурі лише частка накопиченої енергії розсіюється в кожному циклі, що визначається добротністю Q резонатора. Це означає, що ILFD може споживати значно менше електроенергії, ніж цифровий подільвач. Недоліками ILFD є обмежена дальність замикання та коефіцієнти ділення.

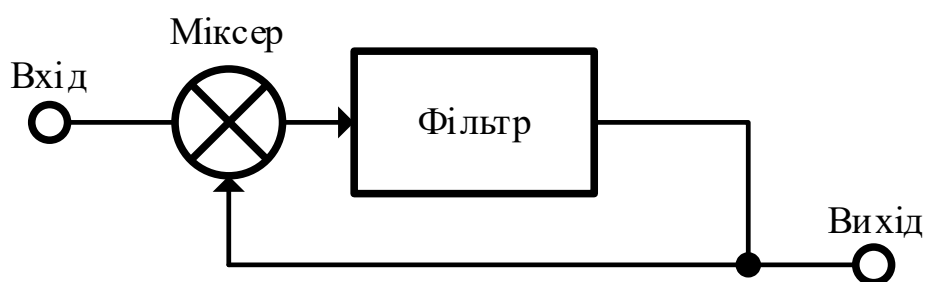


Рисунок 2.2 – Блок схема подільвача частоти Міллера

Звичайний подільвач частоти Міллера показаний на Рис. 2.2. Вхідний сигнал змішується з вихідним сигналом для створення вихідного сигналу. Коли цикл заблокований, частота вихідного сигналу подільвача становить половину частоти вхідного сигналу. Хоча петля може бути зафіксована на гармонійних компонентах виходу змішувача для отримання інших

коефіцієнтів поділу, слабкі гармоніки високого порядку призводять до вузького діапазону замикання або несправності замикання. Інжекційний поділювач частоти Міллера (ILMFD) вставляє поділювач частоти з інжекційною синхронізацією (ILFD) у контурі зворотного зв'язку між петльовим фільтром і вихідним вузлом. Коли цикл заблоковано, вихідна частота ω_{out} дорівнює $(1/3) \omega_{in}$. Вихідний сигнал подається назад до мікшера для змішування з вхідним сигналом. Дві частоти сигналу - значення, створені мікшером, становлять $(2/3) \omega_{in}$ і $(4/3) \omega_{in}$. Небажаний сигнал зображення, $(4/3) \omega_{in}$ буде відфільтровано смуговим фільтром і бажаний сигнал, $(2/3) \omega_{in}$, подається в інжекційно блокований поділювач коефіцієнт ділення якого дорівнює двом. Тому частота виходу сигнал від поділювача з блокуванням прямої інжекції зафіксовано на $(1/3) \omega_{in}$. Оскільки змішувач міліметрового діапазону зазвичай має широку робочу частоту діапазону, діапазон блокування ILMFD в основному обмежений ILFD. На відміну від інших методів поділювача з блокуванням гармонічної інжекції, ILFD блокується основною частотною складовою змішувача вихідний сигнал. Порівняно сильний сигнал блокування ILFD призводить до широкого діапазону блокування [14].

Поділювач CML — це статичний поділювач на основі тригера. Це кращий вибір для вхідних частот у діапазоні від 2 ГГц до 20 ГГц у 22-нм CMOS-технології як компроміс між площею та енергоспоживанням. У цій конструкції високошвидкісний поділювач поділювач CML використовується як перший та другий каскад ділення на 2, що працює на частоті 20 та 10 ГГц, щоб мінімізувати площу мікросхеми та з'єднання. Поділювач CMOS дуже чутливий до коливань PVT і може працювати на частоті до 10 ГГц у 22-нм технології CMOS.

3 СТРУКТУРНИЙ ПРОЄКТ

Загальна структура розробленого пристрою являє собою 17 блоків, з яких 10 поділювачів частоти різної будови, 6 підсилювачів амплітуди та активний балун, який генерує вхідний диференційний сигнал.

Блок схему поділювача частоти зображено на Рис. 3.1. Першим блоком є активний балун, який генерує диференційний вхідний сигнал. Детальніше про балун на сторінці 47.

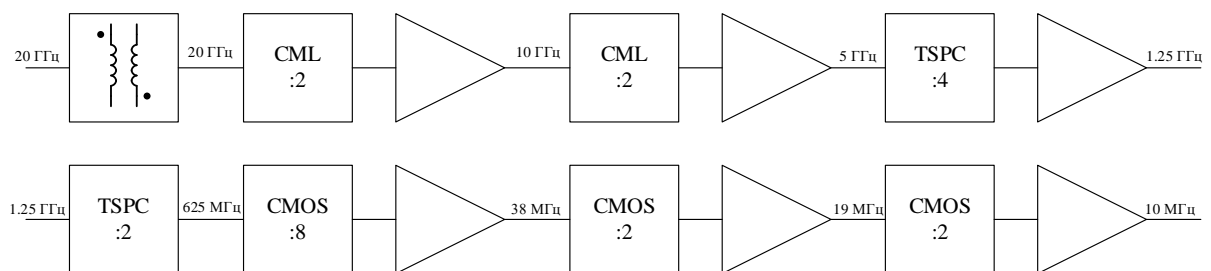


Рисунок 3.1 – Блок схема розробленого поділювача частоти

Початково завданням було поділювач з 20 ГГц до 10 МГц, але ділення відбувається відносно степеню двійки, а найближче значення це:

$$20 \text{ ГГц} \div 2^{11} = 9.76 \text{ МГц}$$

Технічними характеристиками пристрою є

Таблиця 3.1 – Основні загальні параметри поділювача частоти

Параметр	Значення	Умова	Примітки
Споживання струму	3.958 – 5.976 мА	< 6 мА	Загальне споживання струму схемою при симуляції corners
Середній час зростання сигналу	111.44 пс	< 200 пс	Значення середнє серед окремих поділювачів

Таблиця 3.1 – Основні загальні параметри поділювача частоти

Середній час падіння сигналу	110.5 пс	< 200 пс	Значення середнє серед окремих поділювачів
Максимальне споживання струму	2.293 мА	< 3 мА	Значення максимальнє серед окремих поділювачів
Мінімальне споживання струму	21.77 мкА	< 30 мкА	Значення мінімальнє серед окремих поділювачів

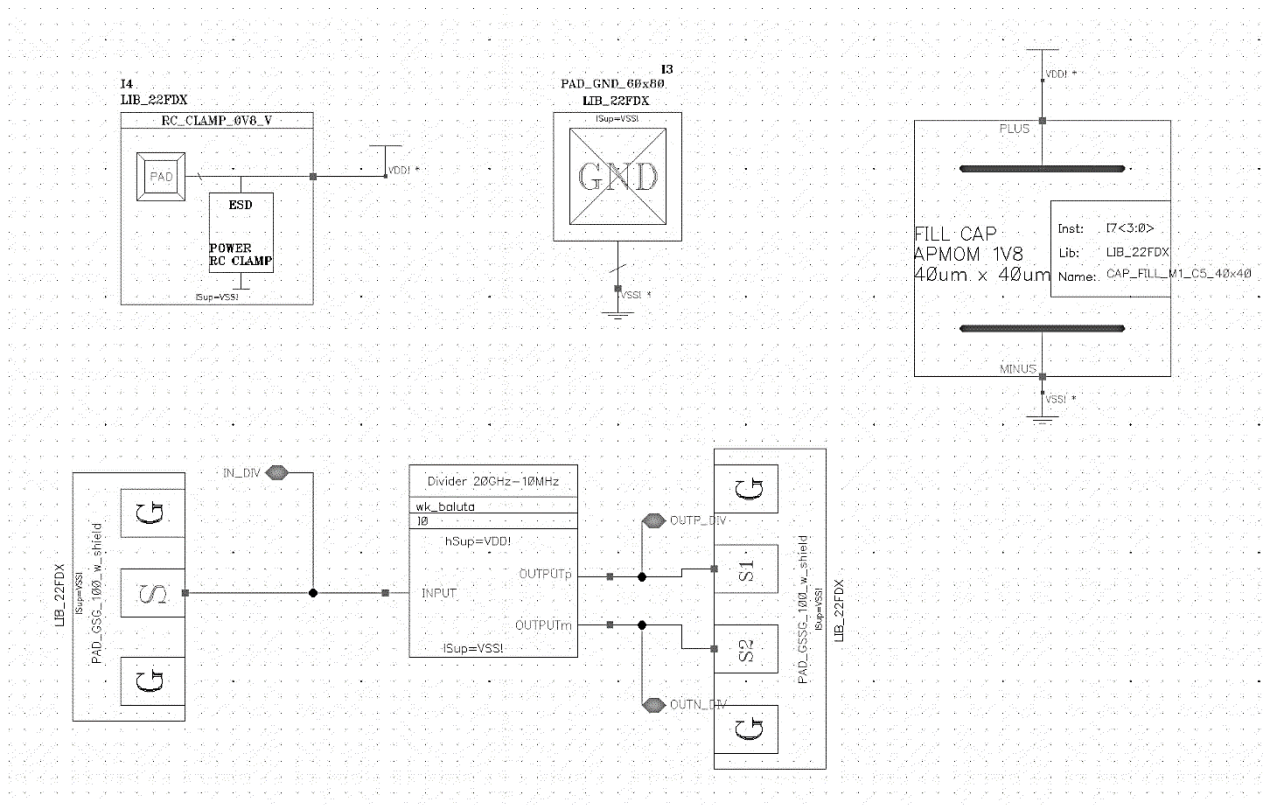


Рисунок 3.2 – Загальна структура чіпу

На Рис. 3.2 відображено використання площадок підключення чіпу для вимірювань та захисні конденсатор. Топологія розглянута в розділі 6.

4 ПРОЄКТУВАННЯ ТА АНАЛІЗ ЛАНОК ПОДІЛЬНИКА ЧАСТОТИ

4.1 CML блок

4.1.1 Принцип роботи

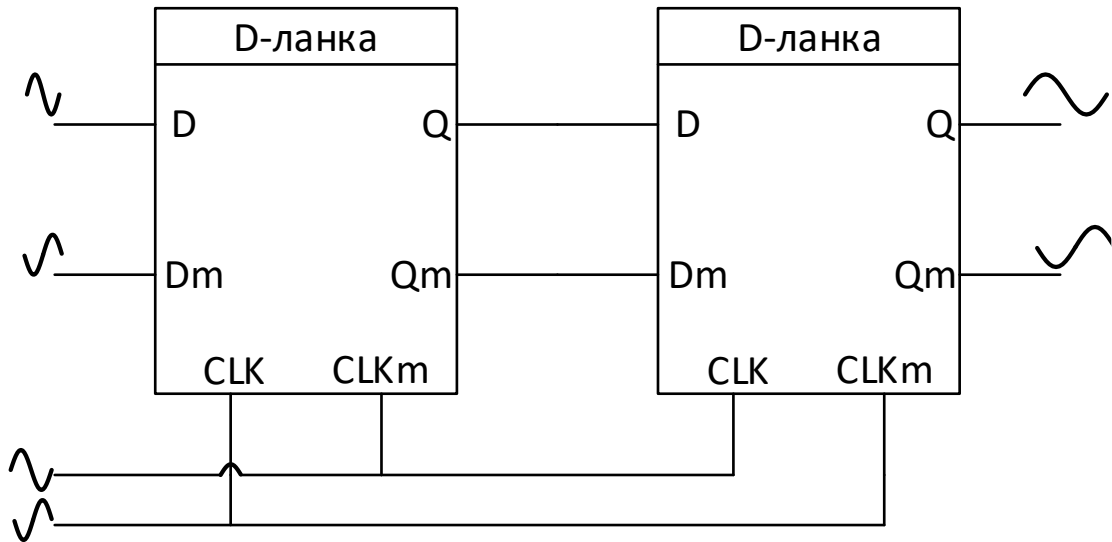


Рисунок 4.1 – Блок схема одного CML подільника частоти

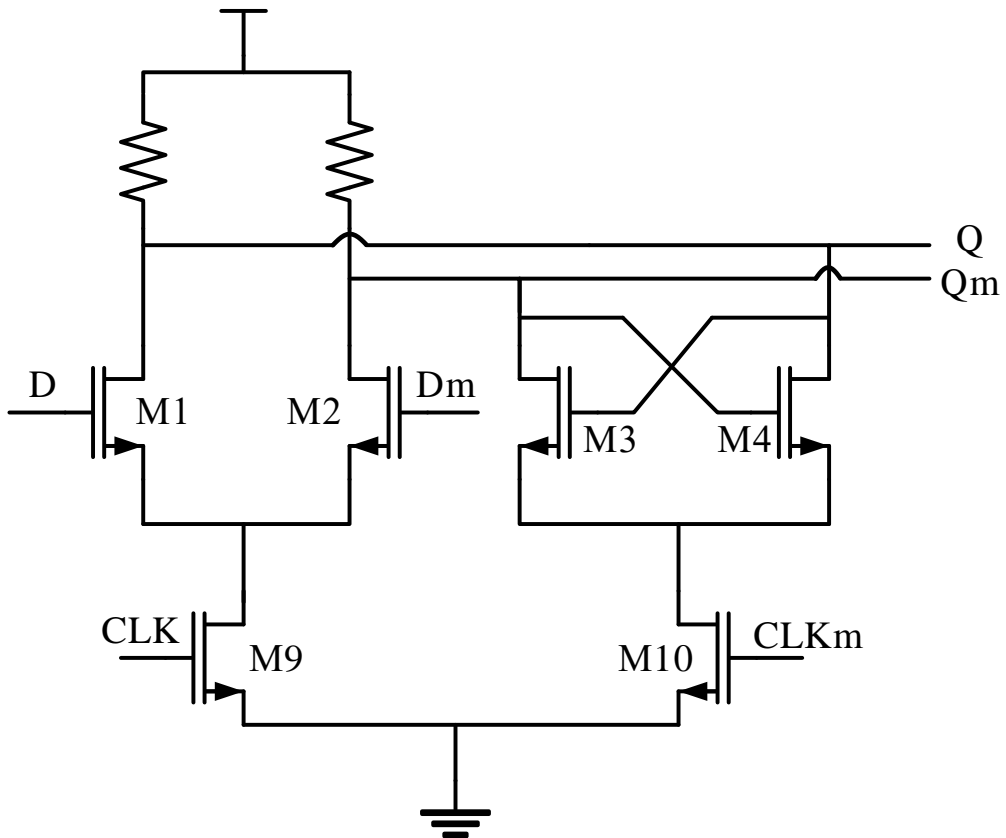


Рисунок 4.2 – Схема однієї D-ланки подільника

Принцип роботи блоку будується на перемиканні транзисторів в диференційних парах за допомогою сигналу КЛОК. При умові високого сигналу вмикається транзистор M9 і вхідна диференційна пара M1 та M2 лінійно підсилює вхідний сигнал. При низькому рівні сигналу вмикається M10 та регенеративна пара M3 та M4 фіксує вхідний сигнал зі зворотнім позитивним зв'язком.

Так як пара M1 та M2 має підсилення, розмір транзисторів збільшений.

В залежності від специфіки задачі кожний блок може використовувати різні компоненти та конструкції як навантаження резистивне та ємнісне.

Розглянемо більш детально окремо одну ланку пристрою. А саме окремо диференційну пару.

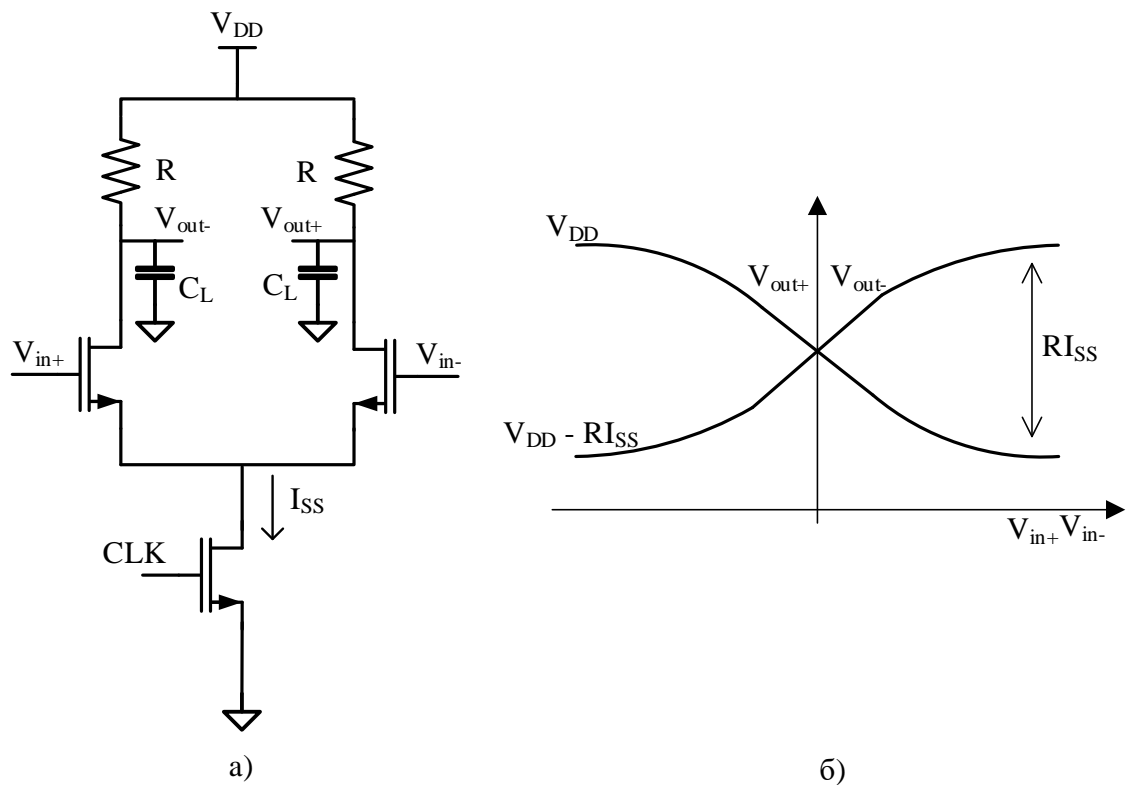


Рисунок 4.3 – а) Схематичне зображення диференційної пари CML; б)

Характеристика роботи спрощеної моделі CML

Щоб отримати коливання напруги як зображено на 0, необхідно визначити точні значення високої та низької вихідної напруги. Коли вхідна напруга V_{in+} стає високою, кінцевий струм I_{SS} проходить через транзистор M1,

і в результаті V_{out-} падає до $V_{dd} - I_{SS}R$. Так само V_{out+} досягає V_{dd} . Ці напруги відповідають низькому та високому виходу відповідно. Характеристики постійного струму однієї пари CML із резистивним навантаженням показано на 0(б). Оскільки високі та низькі вихідні напруги є $V_{High} = V_{dd}$ і $V_{Low} = V_{dd} - I_{SS}R$ відповідно, вихідна напруга коливання дорівнює $V_{swing} = V_{High} - V_{Low} = I_{SS}R$ [15]. Умова досягнення повного перемикання струму визначається:

$$V_{swing} \geq (V_{GS} - V_t)_{Id=I_{SS}} = \sqrt{\frac{2I_{SS}}{\mu_n C_{ox} \frac{W}{L}}} = V_{min} \quad (4.1)$$

де V_{min} - мінімальна диференціальна напруга, необхідна для повного вимкнення одного транзистора. Розділивши обидві частини (4.1) на V_{min} , ми отримаємо $(V_{swing} / V_{min}) > 1$ як умову для повної комутації струму [16].

Типовий обраний V_{swing} дорівнює $0,3 \times V_{dd}$, щоб гарантувати, що 1) він достатньо великий, щоб забезпечити достатній добуток підсилення на смугу пропускання, і 2) він достатньо малий, щоб запобігти переходу транзисторів у тріод [17].

Резистивне навантаження надає перевагу однакового часу зростання на спадання вихідного сигналу $\tau = R \times C_L$.

Ємність навантаження C_L є сумою паразитних ємностей затвор-витік буфера $C_{gs,b2}$ другого фіксатора, паразитна затвор-витік ємність $C_{gs,c1}$ перехресного транзистора для першої засувки, підкладка стоку буфера паразитна ємність $C_{ds,b1}$ для першої засувки та паразитна ємність сток-підкладка $C_{ds,c1}$ перехресного зв'язку для першої засувки, де $C_{gs} = \gamma C_{ox} WL$.

4.1.2 Розробка

Головними задачами при розробці блоку була оптимізація усіх можливих параметрів, особливо розміри та споживання струму.

Як транзистори в даній схемі були вибрані моделі які розроблені для високочастотних сигналів. Головною перевагою таких транзисторів є додаткові dummy елементи та захисні кільця навколо кожного транзистора, що захищає їх від паразитних явищ, які є великою загрозою при високих частотах.

Таким самим чином було обрано резистори. В технології є декілька варіантів резисторів для різних умов.

Назва резистора	Питомий опір	Допустиме відхилення
opndsoi	180 Ом/нм ²	15-20%
opnrc	460 Ом/нм ²	15%
nrc	26 Ом/нм ²	20%

Рисунок 4.4 – Перелік доступних в використаній технології резисторів та їх параметри

Було проведено аналізи трьох оптимальних резисторів (n SOI diff, n+ poly, n+ poly silicided) при однаковому номіналі та обрала той, при якому споживання струму найменше, але розмір найбільший, але він оптимальний для транзисторів в цій схемі. (Табл. 4.2)

Таблиця 4.2 – Порівняльна таблиця параметрів резисторів

Назва резистора	Частота сигналу	Максимальне споживання струму
opndsoi	20 GHz	2.889 мА
opnrc	20 GHz	3.302 мА
nrc	20 GHz	3.244 мА

Зазвичай в CML використовують джерело струму для регулювання споживання потужності. У випадку розробленого пристрою однакове споживання струму (при умові однакових інших параметрів роботи) було при ширині затвору 3 мкм без джерела струму, або при 4 мкм та джерелі струму. Тож було прийняте рішення використати так званий псевдо CML без джерела струму з меншими розмірами транзисторів.

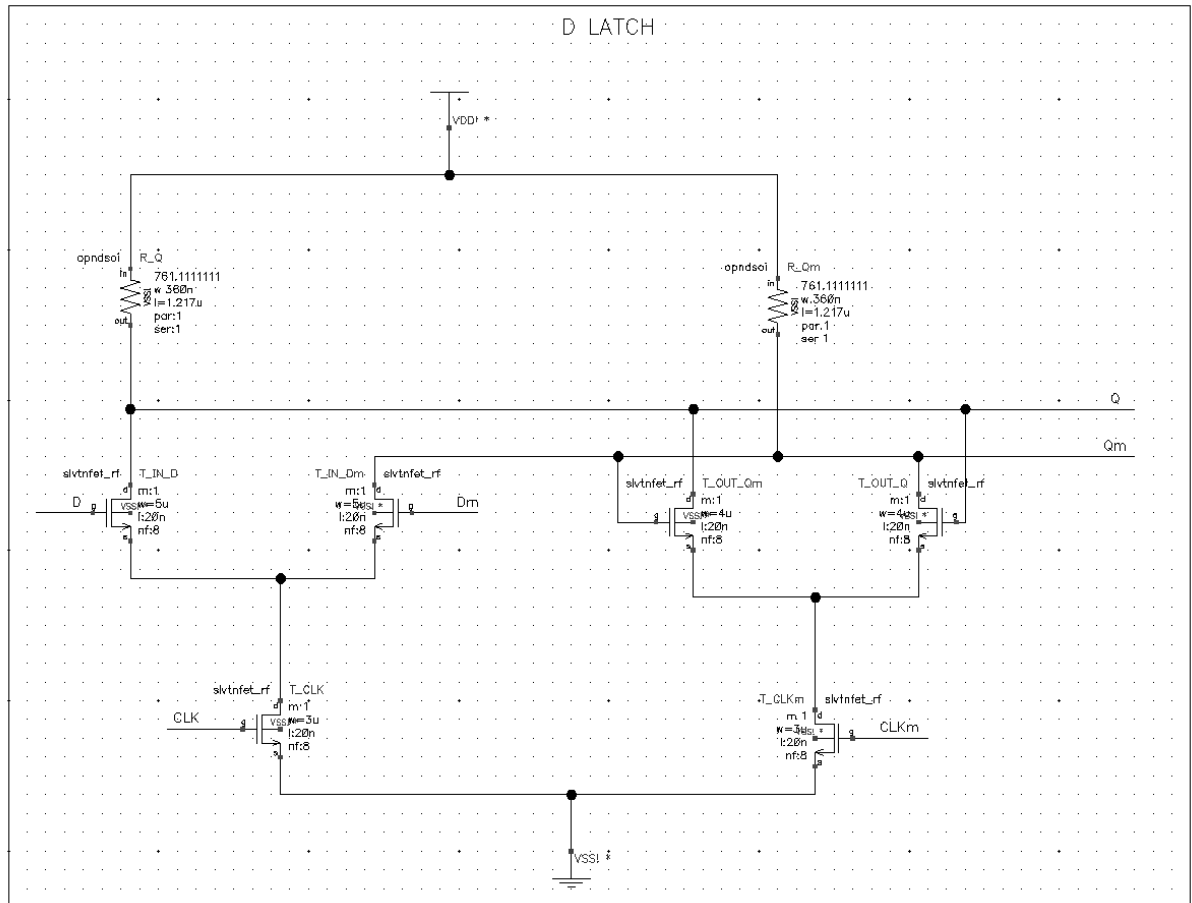


Рисунок 4.5 – Схема розробленої ланки для подільвача з розмірами КОМПОНЕНТІВ

4.1.3 Топологія

При розробці топологічного креслення високочастотних схем дуже важливо розміщувати елементи суворо симетрично. Як видно з Рис. 4.6

симетрія максимально збережена. Також було дотримано правило металізації: один метал горизонтально, інший вертикально. Це вважається хорошим тоном в розробці топології. Ширина та відстань було вибрано відповідно до можливого струму у вузлі та частоти сигнали. Вони розраховуються за формулами згідно технології. Це попереджає руйнування металів від впливу струму.

З часом під дією струму металеві з'єднання на топології мають вірогідність розриву. Доведено, що існує залежність товщини лінії та сили струму з часом розриву. При розробці мікросхеми розраховується згідно до сили струму необхідна товщина лінії для забезпечення роботи чіпа на 10 років.

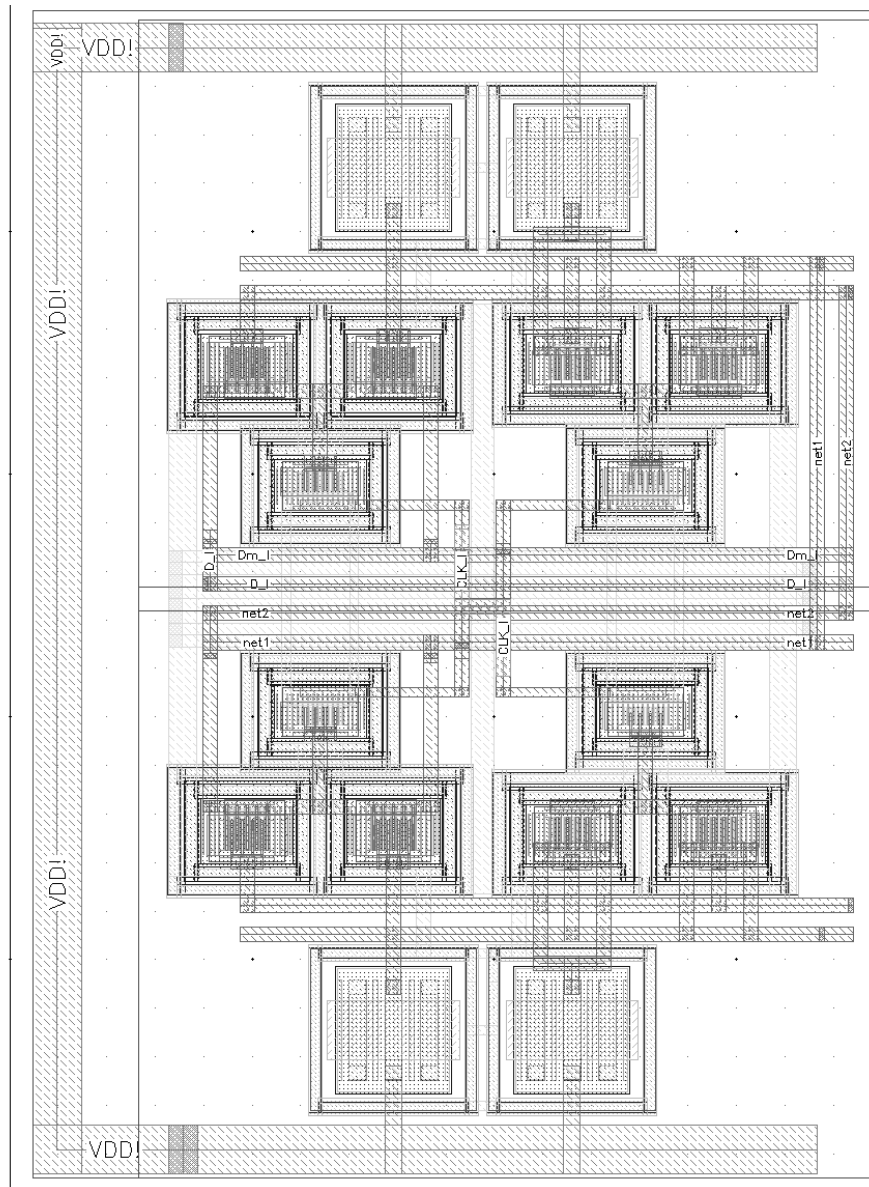


Рисунок 4.6 – Зображення топологічного креслення подільовача частоти CML

4.1.4 Аналіз роботи

В Таблиці 4.3 продемонстровано параметри роботи цього блоку поділювача.

Таблиця 4.3 – Параметри СМЛ поділювача

Частота вхідного сигналу	10 ГГц	20 ГГц
Частота вихідного сигналу	5 ГГц	10 ГГц
Максимальний час зростання вихідного сигналу	3.128 пс	4.165 пс
Амплітуда вхідного сигналу	400 мВ	400 мВ
Амплітуда вихідного сигналу	401 мВ	411 мВ
Споживання струму	1.657 мА	2.525 мА

Також дуже ілюстративним параметром поділювача є коефіцієнт ділення та чутливість пристрою. Поділювач тактового сигналу можна точно охарактеризувати його кривою чутливості, яка визначає мінімальну амплітуду тактового сигналу на заданій частоті для роботи поділювача.

Для його розрахунку було використано Matlab. В середовищі Cadence спочатку проводиться аналіз зі змінними частотою та амплітудою і в кожному значенні розраховується коефіцієнт ділення. Потім за допомогою коду будується графік чутливості поділювача (Рис. 4.7)

```

SS=csvread("divider_SS.csv",0,0);
div = 2;
b = zeros(0);
y = zeros(0);
k = 1;
m = 1;

for i = 1:size(SS,1)
    for j = 1:size(SS,2)
        if SS(i,j) >= 1.99 && SS(i,j) <= 2.001
            b(1,k) = SS(i,1);
            y(m,1) = SS(1,j);
            k = k+1;
            m = m+1;
            break;
        end
        a = SS(i,j);
        j = j + 1;
    end
    i = i + 1;
end

plot(b,y.*1000,'k-.')
xlabel('Freq, Hz')
ylabel('Ampl, mV')
title('Sensitivity of divider')
grid on;
grid minor;
hold on;

```

Рисунок 4.7 – Зображення використаного коду Matlab для побудови графіку чутливості

Для оптимальної роботи поділювача нижній рівень графіку повинен бути на робочих частотах, які в нашому випадку 20 ГГц та 10 ГГц. На рис. 4.8

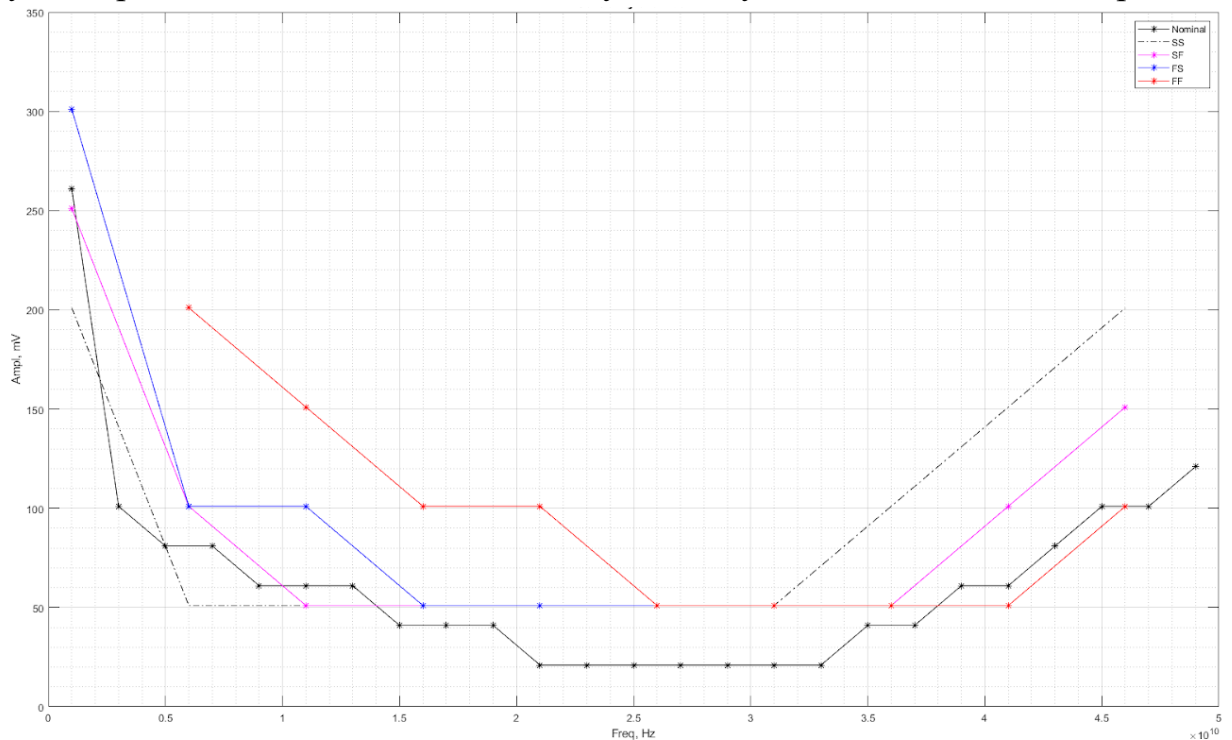


Рисунок 4.8 – Чутливість поділювача частоти в різних умовах. По абсцисі частота в ГГц, по ординаті амплітуда сигналу в мВ

представлена чутливість при моделюванні схеми в різних corners. А на рис. 4.9 представлена чутливість в порівнянні моделі схеми та після екстракції топології. Як і очікувалось, чутливість стала вужчою приблизно у два рази, але нижній рівень графіку розташований саме в робочих частотах.

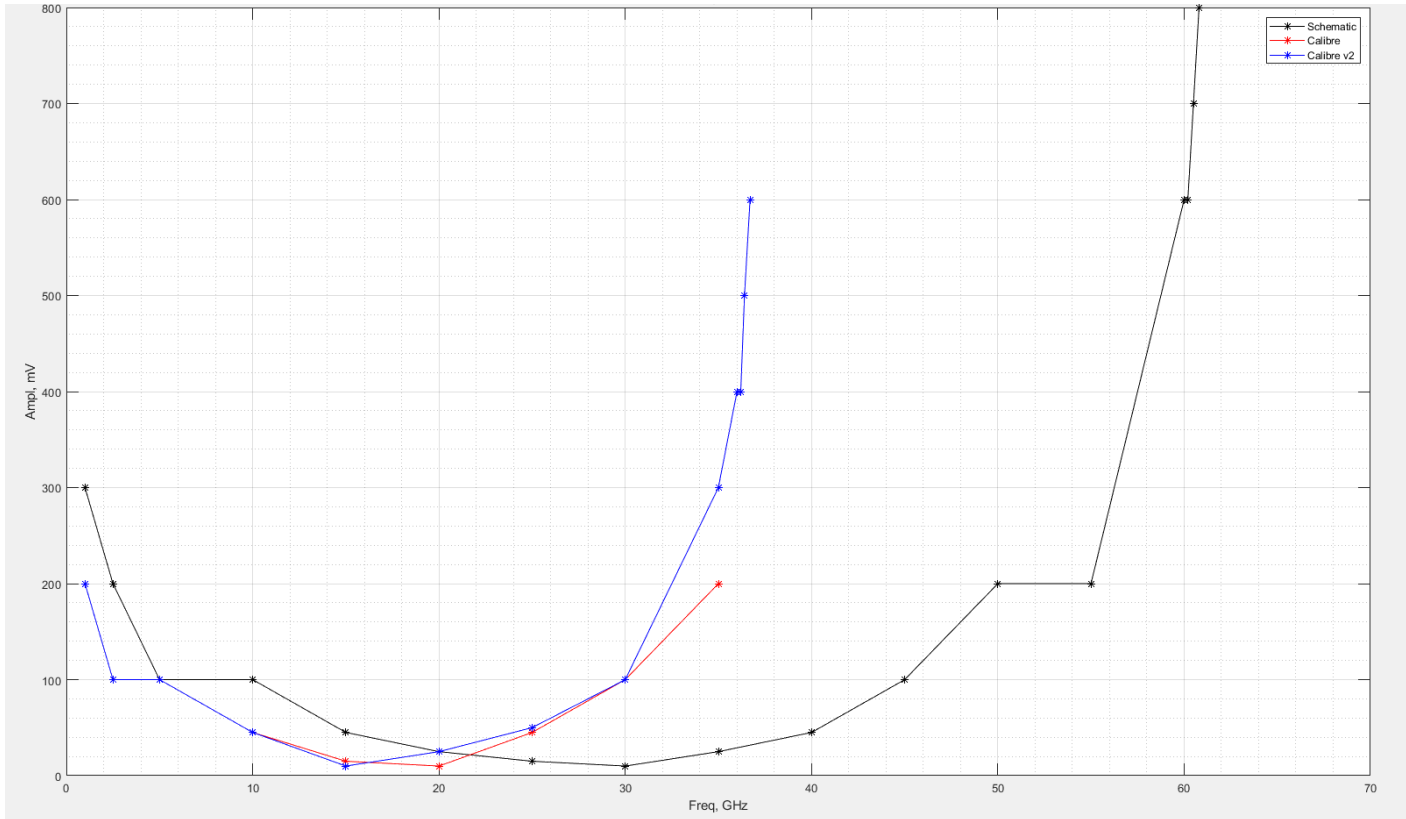


Рисунок 4.9 – Чутливість подільювача частоти при симуляції топологічного креслення та схеми. По абсцисі частота в ГГц, по ординаті амплітуда сигналу в мВ

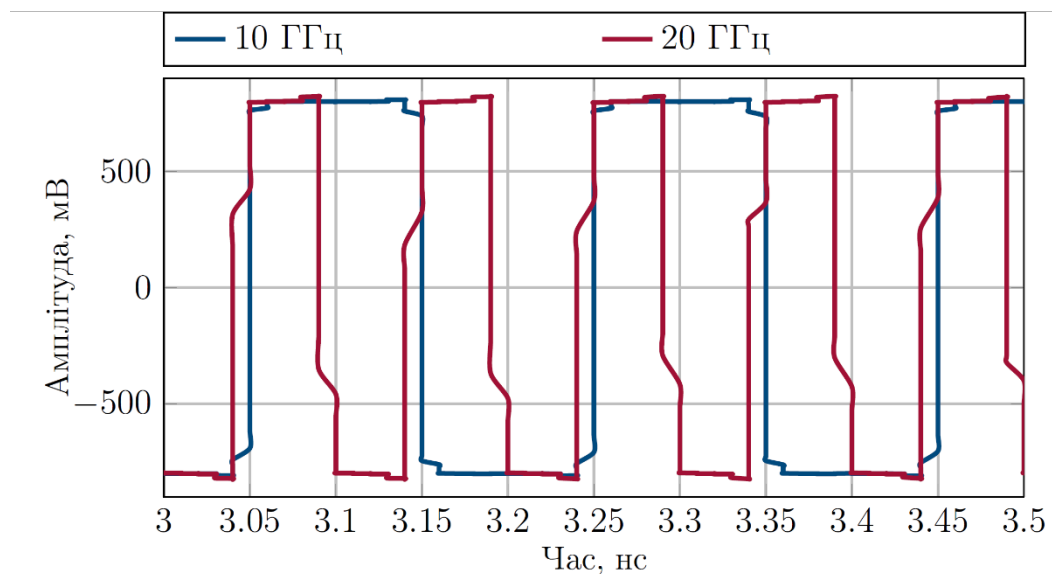


Рисунок 4.10 – Графік вихідного сигналу подільювача на частотах 10 ГГц та 20 ГГц

Коли ми переходимо до нижчих вузлів, один чіп має мільярди транзисторів, і неможливо, щоб усі ці транзистори мали однакові характеристики. Коливання параметрів процесу виробництва транзистора називають зміною процесу. Ділянка в центрі та по периметру матриці зазнає різноманітних змін у процесі виробництва. Це відбувається тому, що шари, які будуть виготовлені, не можуть бути рівномірно розподілені по матриці.

Є багато важливих аспектів, які можуть змінити спосіб роботи процесу. Ці коливання впливатимуть на такі характеристики, як порогова напруга, яка залежить від ряду факторів, включаючи напругу джерело-тіло, домішки в імплантаті, довжину каналу, товщину оксиду, температуру та концентрацію легуючих речовин. Напруга на оксиді, викликана зарядом виснаженого шару, дорівнює загальній сумі напруги плоскої смуги, подвоєного об'ємного потенціалу, і цих напруг. Варіації процесу значною мірою залежать від технологій, хоча вони більш поширені з технологіями з нижчими вузлами через велику кількість транзисторів на мікросхему. Відмінності у виробничих параметрах, включаючи температуру, тиск і концентрацію легуючих домішок, є причиною змін процесу виробництва транзисторів. У результаті кожен транзистор у пристрої має певну довжину. Це призводить до різноманітних затримок розповсюдження скрізь на чіпі, оскільки менший транзистор є швидшим і має меншу затримку розповсюдження.[18]

Приклад проведення таких аналізів для CML поділювача представлено на рис. 4.11 та рис. 4.12.

Test	Name	Yield	Min	Target	Max	Mean	Std Dev	Cpk	Errors
Yield Estimate: 0 %(0 passed/200 pts) Confidence Level: <not set> Filter: <not set>									
- TRAN_DC									
+	Division_Ratio(summary)	100% (200/200)	1.999		2	2	101.1u	32.3	0
+	Out_freq(summary)	100% (200/200)	9.987G		10.22G	10.04G	43.86M		0
+	OUTc_freq(summary)	100% (200/200)	10G		10G	10G	505.7K		0
+	Q2_freq(summary)	100% (200/200)	9.99995 GHz		9.99998 GHz	9.99996 GHz	6.68089 KHz	4.99e+4	0
+	CLK_freq(summary)	100% (200/200)	20G		20G	20G	5.05		0
+	OUT_RT_max(summary)	100% (200/200)	3.675 ps		4.564 ps	4.101 ps	178.2 fs	179	0
+	OUTm_RT_max(summary)	100% (200/200)	3.664 ps		4.613 ps	4.098 ps	182.8 fs	175	0
+	OUT_RT_ave(summary)	100% (200/200)	3.568 ps		4.378 ps	3.956 ps	154.6 fs	207	0
+	OUTm_RT_ave(summary)	100% (200/200)	3.554 ps		4.379 ps	3.954 ps	159.6 fs	201	0
+	T_Sim(summary)	100% (200/200)	10 ns		10 ns	10 ns	0 s		0
+	OUT_c_D_ave(summary)	100% (200/200)	48.8245 %		50.9943 %	49.9922 %	367.789 m%		0
+	OUT_freq_min(summary)	100% (200/200)	8.512G		10G	9.551G	486.5M		0
+	Set_time_handmade(summary)	69% (138/200)	35.96p		163.7p	81.28p	31.23p		62
+	Set_time_handmade_2(summary)	51% (102/200)	36.01p		149.7p	87.73p	46.34p		98
+	OUT_freq_max(summary)	100% (200/200)	10.02G		119.5G	27.42G	21.7G		0
+	OUT_freq_settling_time(summary)	54.5% (109/200)	1.962		101	8.847	19.03		91
+	OUT_c_p2p(summary)	100% (200/200)	824 mV		833.6 mV	828.7 mV	1.879 mV	8.64	0
+	OUTm_c_p2p(summary)	100% (200/200)	823.3 mV		833.2 mV	828.7 mV	1.884 mV	8.61	0
+	I_VDD_tot_rms(summary)	100% (200/200)	1.955m		2.533m	2.23m	103.6u		0

Рисунок 4.11 – Аналіз PVT Monte Carlo для частоти 20 ГГц поділювача

Test	Name	Yield	Min	Target	Max	Mean	Std Dev	Cpk	Errors
Yield Estimate: 0 %(0 passed/200 pts) Confidence Level: <not set> Filter: <not set>									
- TRAN_DC									
+	Division_Ratio(summary)	100% (200/200)	1.999		2	2	114.5u	28.5	0
+	Out_freq(summary)	100% (200/200)	4.993G		5.128G	5.06G	41.63M		0
+	OUTc_freq(summary)	100% (200/200)	5G		5.001G	5.001G	286.3K		0
+	Q2_freq(summary)	0% (0/200)	4.99997 GHz		5.00001 GHz	4.99999 GHz	6.09786 KHz	-2.19e+5	0
+	CLK_freq(summary)	100% (200/200)	10G		10G	10G	8.523		0
+	OUT_RT_max(summary)	100% (200/200)	3.995 ps		5.025 ps	4.481 ps	213 fs	149	0
+	OUTm_RT_max(summary)	100% (200/200)	3.999 ps		5.059 ps	4.478 ps	221.3 fs	144	0
+	OUT_RT_ave(summary)	100% (200/200)	3.843 ps		4.796 ps	4.288 ps	188.2 fs	169	0
+	OUTm_RT_ave(summary)	100% (200/200)	3.827 ps		4.803 ps	4.285 ps	194.8 fs	164	0
+	T_Sim(summary)	100% (200/200)	10 ns		10 ns	10 ns	0 s		0
+	OUT_c_D_ave(summary)	100% (200/200)	48.326 %		51.4958 %	50.0037 %	594.097 m%		0
+	OUT_freq_min(summary)	100% (200/200)	4.532G		5G	4.878G	133.4M		0
+	Set_time_handmade(summary)	79% (158/200)	56.89p		181.8p	127.3p	54.06p		42
+	Set_time_handmade_2(summary)	51% (102/200)	56.92p		245.8p	115.3p	72.73p		98
+	OUT_freq_max(summary)	100% (200/200)	5.005G		162.1G	19.5G	16.68G		0
+	OUT_freq_settling_time(summary)	52% (104/200)	1.965		50.78	4.328	6.663		96
+	OUT_c_p2p(summary)	100% (200/200)	822.6 mV		831.6 mV	826.9 mV	1.811 mV	8.63	0
+	OUTm_c_p2p(summary)	100% (200/200)	822.1 mV		831.5 mV	826.9 mV	1.776 mV	8.8	0
+	I_VDD_tot_rms(summary)	100% (200/200)	1.713m		2.282m	1.995m	100u		0

Рисунок 4.12 – Аналіз PVT Monte Carlo для частоти 10 ГГц поділювача

Наступна важлива частина відповіді на питання про те, що таке PVT - це напруга. При нормальній роботі напруга живлення конструкції може відхилятися від встановленого ідеального значення. Для обчислень продуктивності на логічному рівні часто використовується зміна порогових напруг, але прямий лінійний коефіцієнт масштабування також є важливим фактором. Струм насичення елемента залежить від джерела живлення. На затримку елемента впливає струм насичення. У цьому підході на затримку поширення клітинки впливає джерело живлення. Затримка розповсюдження змінюється в напівпровіднику, оскільки джерело живлення не є безперервним у всьому пристрої. Ненульовий опір в кабелях живлення є причиною падіння

напруги. Швидша клітина має меншу затримку поширення через більшу напругу. Для широкого діапазону напруг падіння є експоненціальним. Додатковим фактором падіння напруги є самоіндуктивність лінії живлення.

Щоб конструкція працювала нормально, перепадів температур не уникнути. У більшості випадків коливання температури розглядаються як ефект лінійного масштабування, оскільки це впливає на продуктивність. Однак деякі субмікронні кремнієві процеси вимагають нелінійних обчислень. Внутрішня температура мікросхеми може змінюватися під час її роботи. Це призводить до розсіювання потужності в МОП-транзисторах. Перемикання, коротке замикання та споживання електроенергії є основними причинами споживання електроенергії. Перемикання є фактором, який найбільше впливає на споживання енергії. Порогова напруга транзистора залежить від температури, і ці порогові напруги будуть падати при вищих температурах. Більший струм і краща продуктивність затримки є результатом нижчої порогової напруги. Джерело живлення, порогова напруга, навантаження та вхідний нахил комірки відіграють важливу роль у цьому ефекті. Ефект рухливості часто переважає в зіткненні двох ефектів.[18]

4.1.5 Висновки

Метою розробки першого поділювача частоти було розробити високочастотний поділювач, який буде мати змогу обробляти частоти в діапазоні 40 ГГц до 5 ГГц з мінімальним споживанням струму та мінімальною втратою потужності сигналу.

При проведенні досліджень існуючих блоків, які відповідають необхідним умовам, було обрано конструкцію CML. Для досягнення задовільних результатів було змінено деякі частини існуючої технології – наприклад керуюче та обмежуюче джерело струму.

При аналізі розробленого поділювача було побудовано графік чутливості при різних умовах. З отриманих результатів можна зробити

висновок що при симуляції екстракції з паразитними ємностями та резисторами крива чутливості звужується, але завдяки підібраним розмірам на робочих частотах в конкретній задачі крива чутливості зберігає найкращі значення.

4.2 TSPC блок

4.2.1 Принцип роботи

Схема подільовача на 2 TSPC показана на Рис.4.13 і повторюється нижче зручність. Вважайте, що ця схема розділена на три етапи, перший з яких складається з транзистори MP1, MP4 і MN1, другий складається з MP2, MN2 і MN3 і третя складається з MP3, MN4 і MN5. MP5 та MN6 складає інвертор для генерації однієї складової диференціального сигналу. Вихід цього подільовача повинен керувати обома входами наступного ступеня та інвертором у власному першому ступені, обидва представляються як ємнісні навантаження. Крім цих ємнісних навантажень існують і інші ємності, які слід розглядати як ємність з'єднання та паразитні ємності вихідних транзисторів.[18]

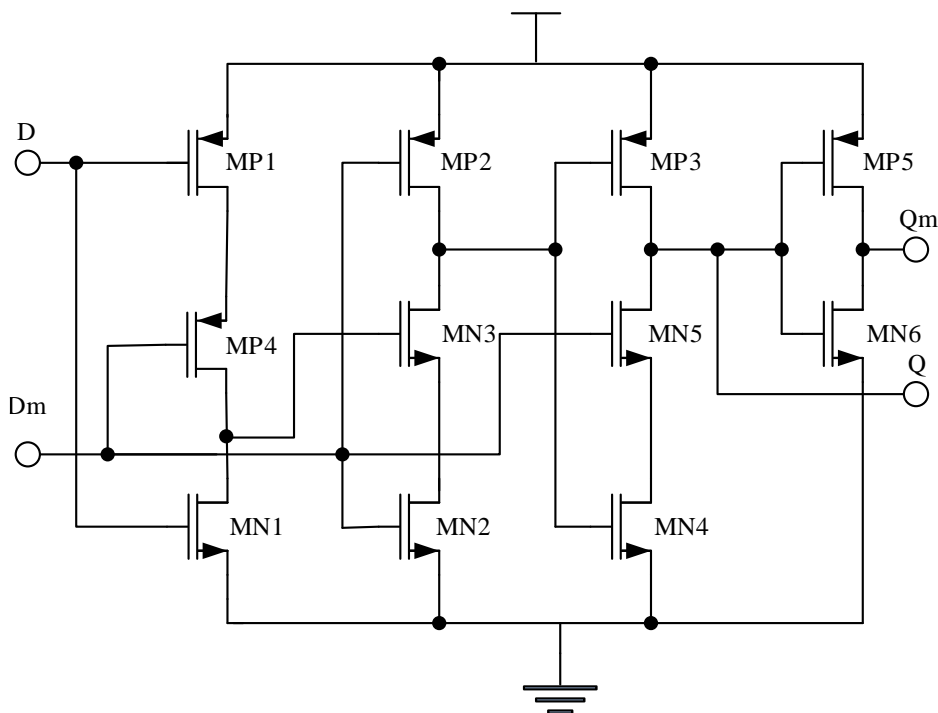


Рисунок 4.13 – Схема подільовача TSPC

Одна з переваг TSPC схеми є її простота. Схема складається всього з дев'яти транзисторів. В деяких випадках там, де потрібен інвертований вихід, інвертор додають, він складається лише з двох транзисторів. Схема вимагає вхідного сигналу великої амплітуди, а це збільшує чутливість до нахилу фронтів сигналу. Таким чином, необхідно додати підсилювач сигналу на вході, що і було зроблено. Швидкість схеми велика та залежить від напруги живлення. Схема буде повільною, якщо використовується джерело низької напруги. Щоб працювати на вищій частоті, потрібні більші розміри транзисторів, тобто збільшити gm і таким чином зробити його швидшим.[18]

Однак збільшення розміру теж збільшує навантаження для попередніх схем, тому слід розглянути компроміс під час проектування. Крім того, використання більшого розміру транзисторів збільшить заряд виток та розподіл заряду на вихідних вузлах і, таким чином, вплине на мінімум робочої частоти схеми.[18]

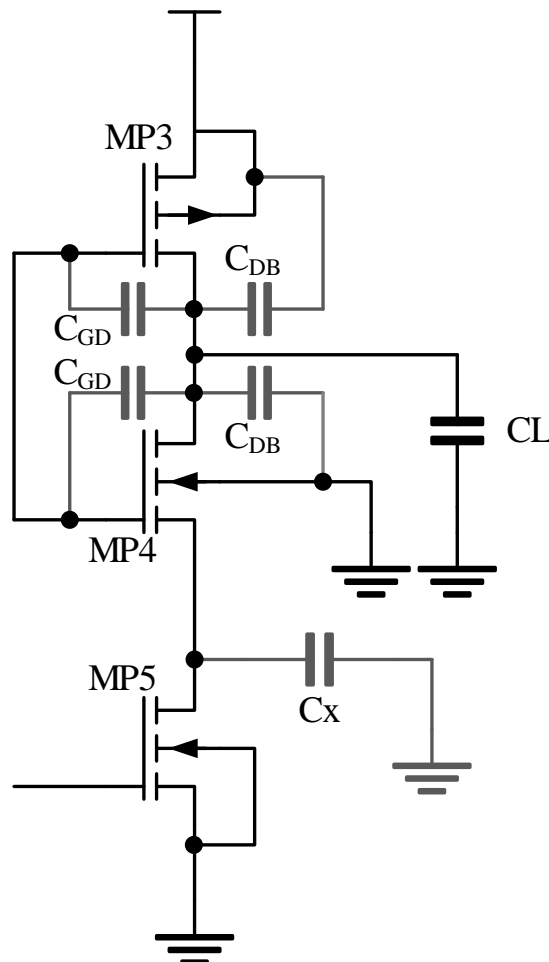


Рисунок 4.14 – Третій етап подільовача з паразитними ємностями

Для початку проєктування для схеми передбачається робоча частота f_{out} . З цього виходить приблизний час перемикання, як

$$\tau_{sw} = \frac{1}{f_{out}} \quad (4.2)$$

Час перемикання складається з часу наростання τ_{LH} і часу спаду τ_{HL} ,

$$\tau_{sw} = \tau_{LH} + \tau_{HL} \quad (4.3)$$

і τ також можна записати як

$$\tau = R \times C \quad (4.4)$$

Розглянемо третій каскад схеми ділення на 2, що складається з транзисторів MP3, MN4 і MN5, як показано на рис.4.14. На малюнку також показані різні ємності, яку необхідно враховувати при проєктуванні цього етапу. Сума паразитних ємностей пов'язаних з вихідними транзисторами MP3 і MN4 позначається як C_0 . Рівняння для C_0 , CL , C_x

$$C_0 = C_{GD_{MP3}} + C_{DB_{MP3}} + C_{GD_{MN4}} + C_{DB_{MN4}} \quad (4.5)$$

де C_{GD} — ємність затвор-сток, а C_{DB} — ємність вихід-сток.

$$CL = C_{L1} + C_{L2} + C_{int} \quad (4.6)$$

де CL представляє загальну ємність навантаження, C_{L1} є вхідною ємністю, що дивиться на наступний етап, який задано як

$$C_{L1} = C_{ox}WL \quad (4.7)$$

(тут W і L позначають відповідно ширину і довжину затвора транзистора на наступному етапі, $C_{ox}(= \varepsilon_{ox}/t_{ox})$ є ємністю оксиду затвора,) C_{L2} є ємність, що дивиться на інвертор на першому етапі цієї самої схеми (див. Рис. 4.14)

$$C_{L2} = (C_{ox}WL)_{MP4} + (C_{ox}WL)_{MN1} \quad (4.8)$$

і C_{int} — ємність міжз'єднань (паразитна ємність, пов'язана з металевий шар, що утворює з'єднання, і підкладка).

$$C_x = C_{GS_{MN4}} + C_{SB_{MN4}} + C_{GD_{MN5}} + C_{DB_{MN5}} \quad (4.9)$$

Де C_{GS} — ємність затвор-витік, а C_{SB} — ємність джерело-маса. У наведеній нижче таблиці показано формули для розрахунку C_{GS} і C_{GD} , коли транзистор працює в різних регіонах.[18]

4.2.2 Розробка

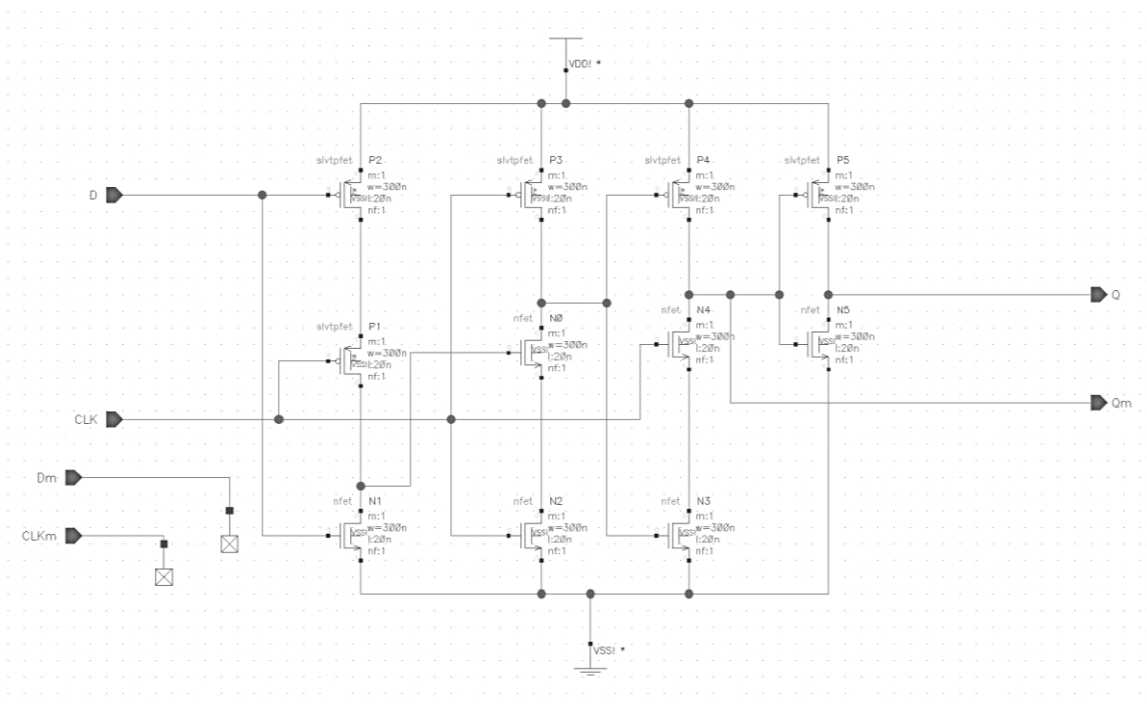


Рисунок 4.15 – Розроблена схема подільвача частоти з розмірами компонентів

Блок TSPC був розроблений з від'ємним зворотнім зв'язком. Використана технологія 22FDX® дозволила додати усі транзистори з одним типом підкладки, що зменшує кількість паразитних компонентів при виробництві. Також вибраний тип транзисторів дозволив задати однакову ширину каналу.

I_VSS_CML2_rms	1.842m	I_VSS_CML2_rms	1.842m
I_VSS_TSPC1_rms	293.2u	I_VSS_TSPC1_rms	41.41u
I_VSS_TSPC2_rms	167.6u	I_VSS_TSPC2_rms	28.04u
I_VSS_TSPC3_rms	121.2u	I_VSS_TSPC3_rms	25.51u
I_VSS_CMOS1_rms	125.5u	I_VSS_CMOS1_rms	125.1u
I_VSS_CMOS2_rms	83.27u	I_VSS_CMOS2_rms	83.33u
I_VSS_CMOS3_rms	59u	I_VSS_CMOS3_rms	58.98u
		I_VSS_CMOS4_rms	41.73u
		I_VSS_CMOS5_rms	31.7u

Рисунок 4.16 – Порівняння споживання струму в мкА при двох різних моделях транзисторів (зліва високочастотна модель, справа – низькочастотна)

Спочатку було використано високочастотні транзистори, але було прийнято рішення о недоцільності на робочих частотах даного блоку. Тим самим зменшено розмір схеми і зменшено споживання струму на 200 мкА.

Було розглянуто також ETSPC [17] як варіант конфігурації цього блоку, але він не виконував необхідних умов роботи.

4.2.3 Топологія

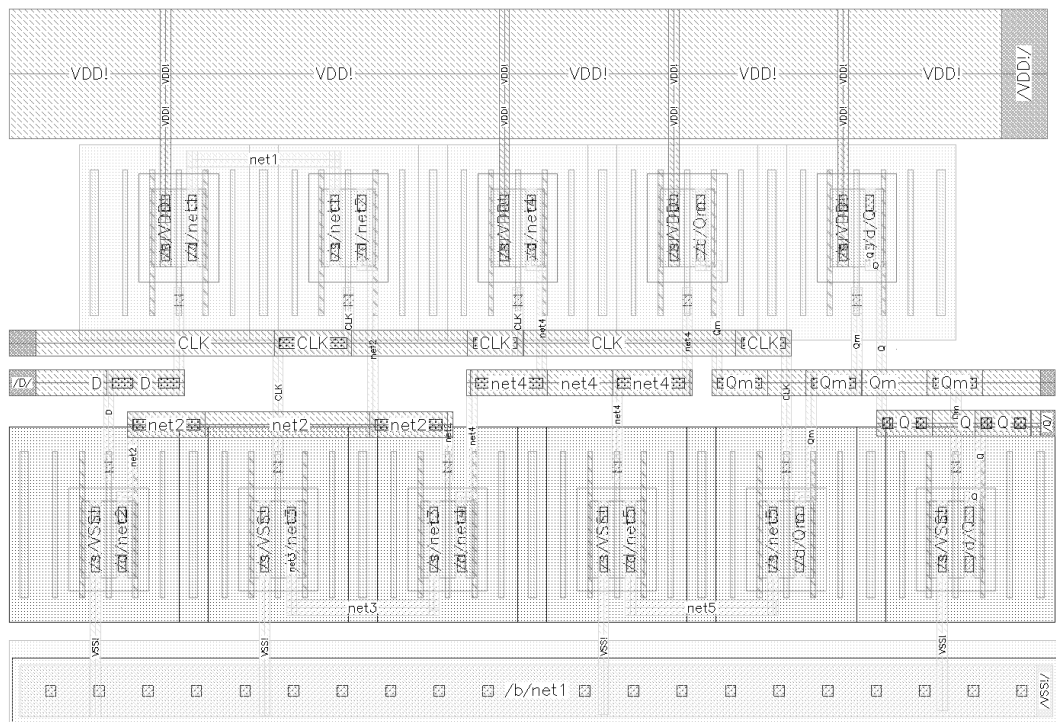


Рисунок 4.17 – Топологічне креслення TSPC блоку

Топологія розроблена згідно з правилами розміщення шарів та компонентів, максимально збережено простору. Цей блок є найменшим по розміру з усіх представлених в даній роботі (4.048 на 2.575 мкм), що доводить оптимальність використання TSPC в діапазоні робочих частот.

4.2.4 Аналіз роботи

Таблиця 4.4 – Параметри TSPC подільовача частоти

Частота вхідного сигналу	5 ГГц	2.5 ГГц	1.25 ГГц

Таблиця 4.4 – Параметри TSPC поділювача частоти

Частота вихідного сигналу	2.5 ГГц	1.25 ГГц	625 МГц
Час зростання сигналу	4.889 пс	4.892 пс	4.84 пс
Час падіння сигналу	5.85 пс	5.82 пс	5.85 пс
Споживання струму	101.2 мкА	71.51 мкА	50.59 мкА
Амплітуда вхідного сигналу	400 мВ	400 мВ	400 мВ
Амплітуда вихідного сигналу	416.35 мВ	415 мВ	516.2 мВ

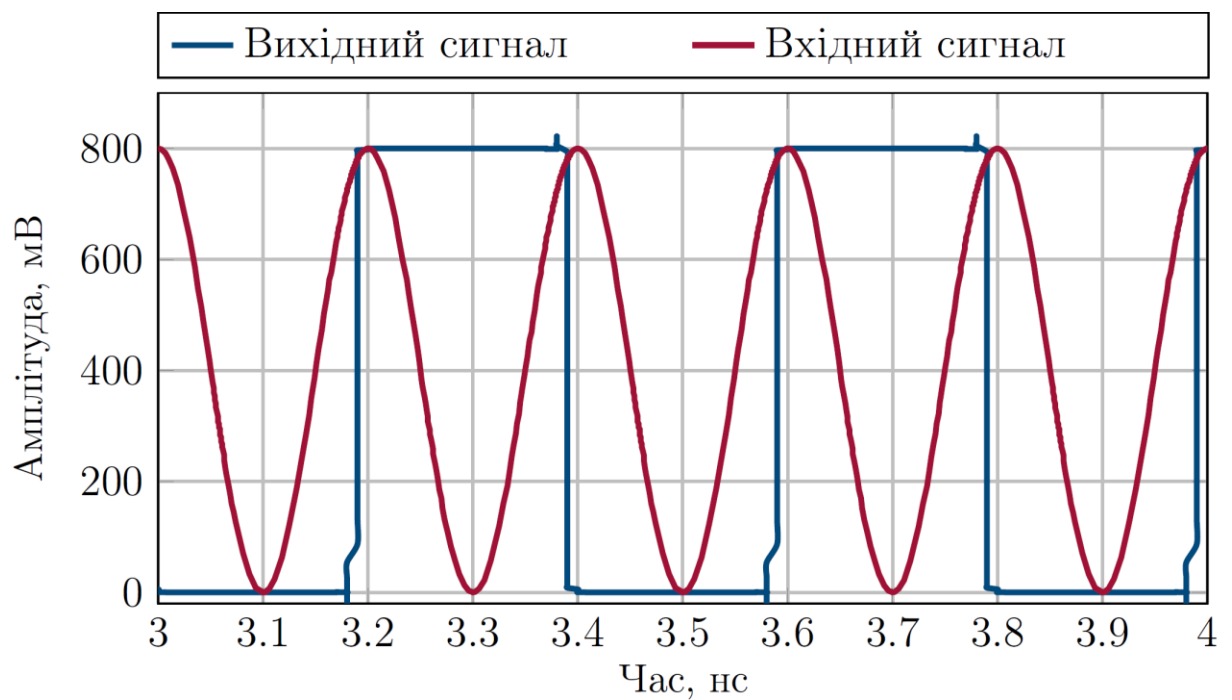


Рисунок 4.18 – Графік вхідного та вихідного сигналу поділювача на частоті 5 ГГц

Параметри розробленого поділювача відповідають технічним вимогам та дають змогу заявляти що TSPC поділювач частоти є конкурентоспроможним між іншими подібними розробками.

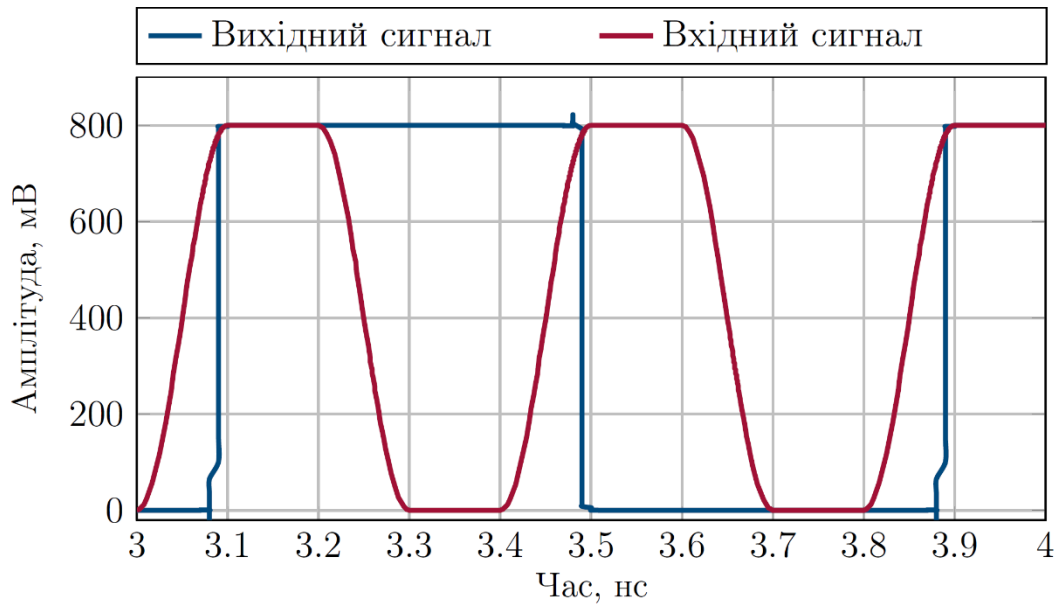


Рисунок 4.19 – Графік вхідного та вихідного сигналу поділювача на частоті 2,5 ГГц

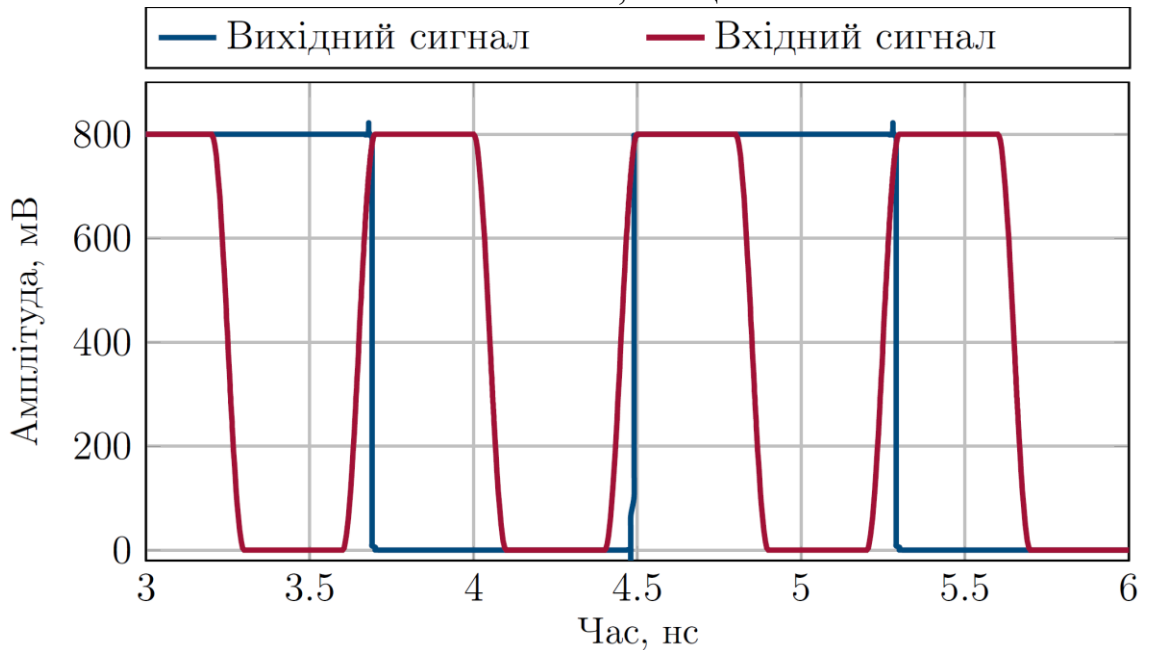


Рисунок 4.20 – Графік вхідного та вихідного сигналу поділювача на частоті 1,25 ГГц

4.2.5 Висновки

Метою розробки TSPC поділювача було зберегти диференційний сигнал з минулих блоків, зберегти амплітуду та потужність, при цьому запобігти збільшенню споживання струму та розміру блоку в топологічному кресленні.

При проведенні досліджень існуючих блоків, які відповідають необхідним умовам, було обрано конструкцію TSPC. Така конструкція має мінімальний розмір, тому що в ній відсутні індуктивні чи ємнісні елементи, але при цьому вона задовільно виконує задачу поділювача частоти на необхідному діапазоні від 5 ГГц до 625 МГц.

При аналізі розробленого поділювача було отримано задовільні результати вихідних диференційних сигналів, низьке споживання струму (не більше 200 мкА), збереження потужності та швидкодії.

4.3 CMOS блок

4.3.1 Принцип роботи

Для низьких частот було вибрано структуру КМОН. Це дозволяє значно зменшити шуми в порівнянні з CML та споживання струму. Структура КМОН поділювача складається з 4 підсилювачів та 4 інверторів. Перехресне з'єднання між ланками використано для квадратичної генерації.

Розглянемо окремо інвертуючий підсилювач методом малосигнальної моделі для аналізу залежностей параметрів компонентів, наприклад ширина та довжина транзистора, та підсилювальних характеристик.

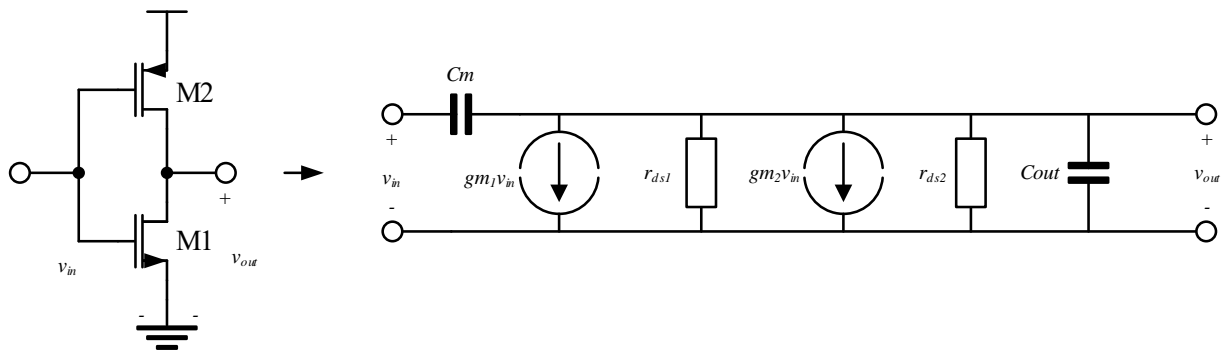


Рисунок 4.21 – Малосигнальна модель для розрахунку параметрів схеми

З рис. 4.21 за допомогою законів Ома та Кіргхофа отримано такі залежності:

$$\frac{v_{out}}{v_{in}} = \frac{-(g_{m1} + g_{m2})}{g_{ds1} + g_{ds2}} = -\sqrt{2/I_D} \left[\frac{\sqrt{K_N(W_1/L_1)} + \sqrt{K_P(W_2/L_2)}}{\lambda_1 + \lambda_2} \right] \quad (4.10)$$

За допомогою попередніх розрахунків були підібрані коректні та найоптимальніші розміри компонентів схеми.

4.3.2 Розробка

При розробці даного блоку було виявлено, що швидкість підсилювачів та інверторів не дозволяє реалізувати коректну роботу загального поділювача. Було прийнято рішення додати конденсатори на ланках поділювача для компенсації порушення часу затримки та налаштування.

Подільвач було реалізовано з від’ємним зворотнім зв’язком.

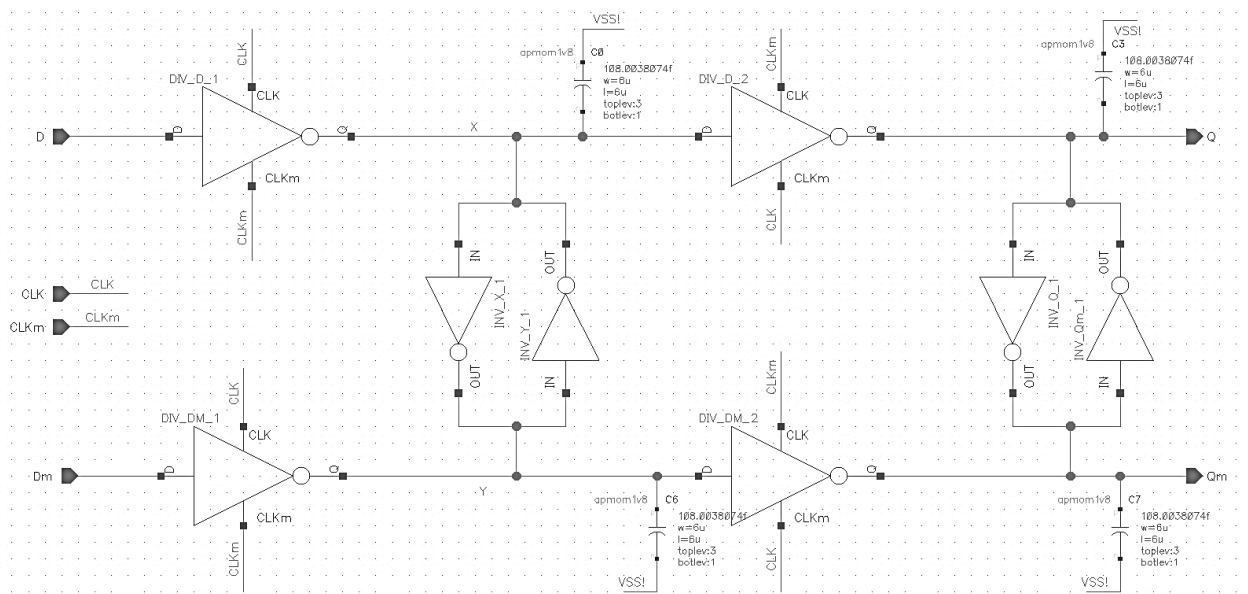


Рисунок 4.22 – Схематичне зображення розробленого подільвача частоти на основі КМОН

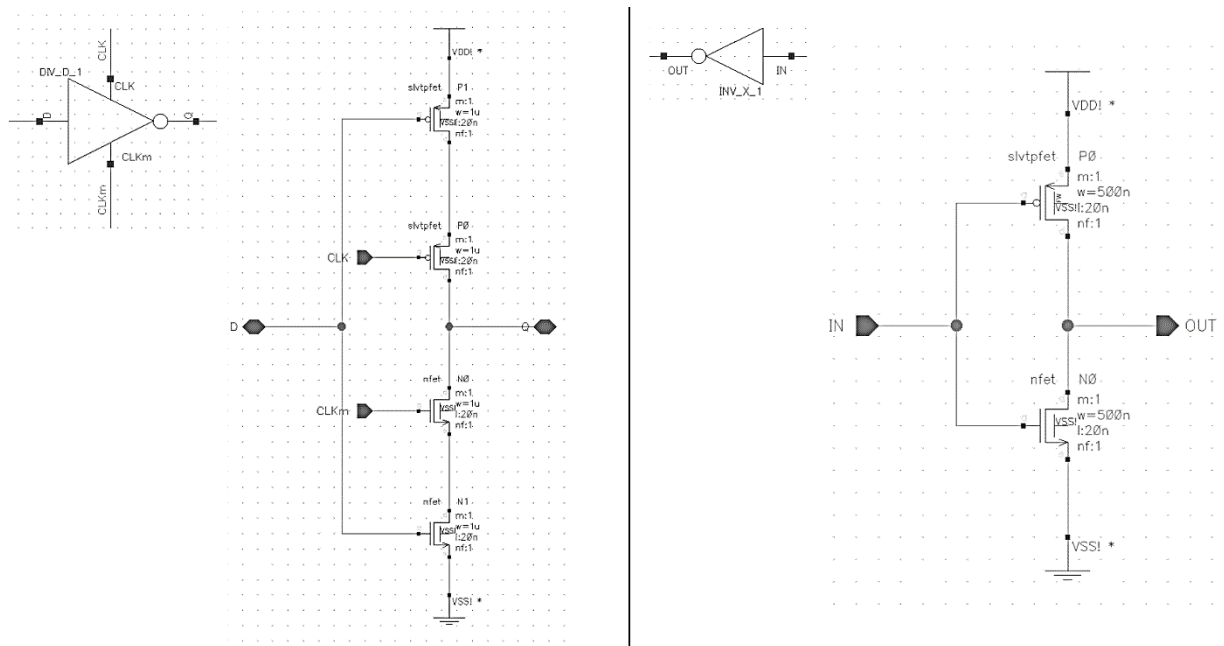


Рисунок 4.23 – Схема розроблених блоків з розмірами компонентів

4.3.3 Топологія

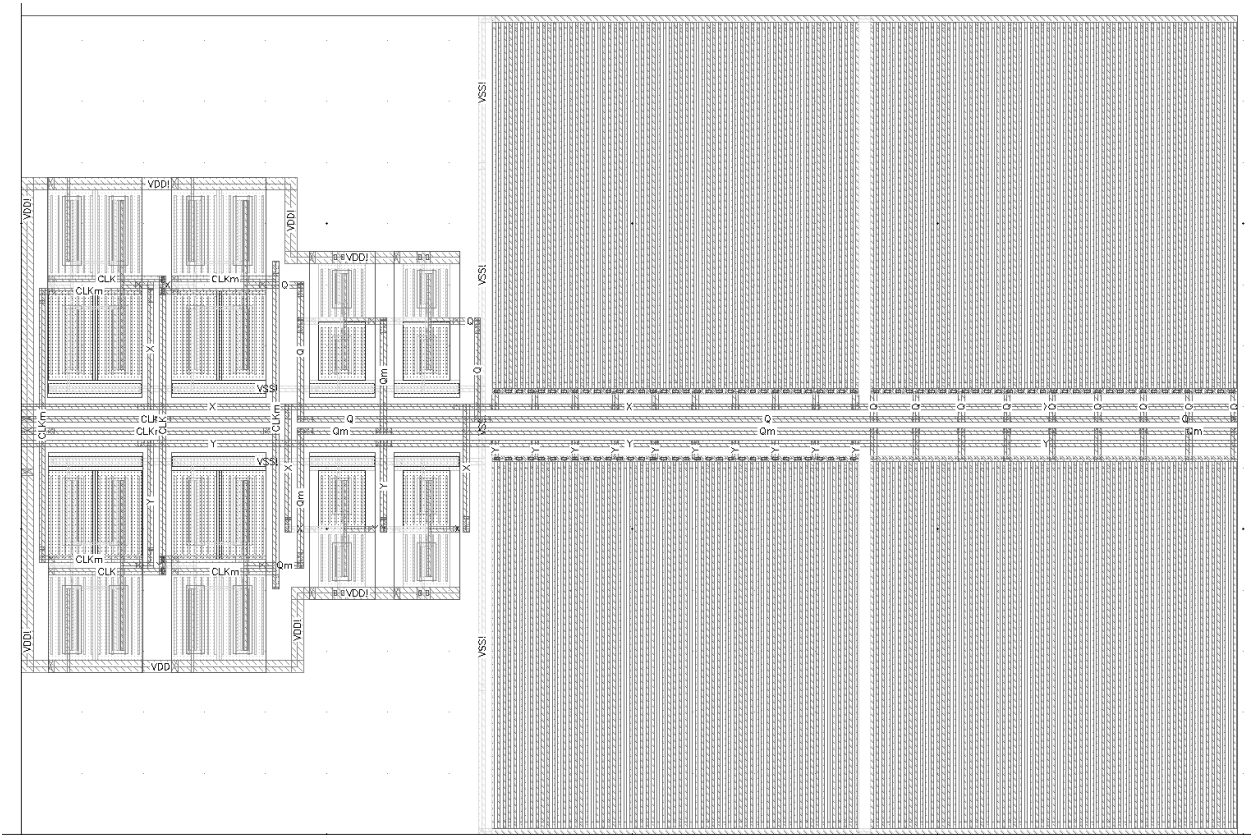


Рисунок 4.24 – Топологічне креслення одного подільвача частоти на КМОН технології

Основну площу розробленого блоку займають захисні та коректуючі конденсатори. Так як самі транзистори мають відносно маленькі розміри, розмір усього блоку сягає лише 13.4 на 19.9 мкм, що лише на 10 мкм більше за найменший блок в цій роботі.

4.3.4 Аналіз роботи

Аналіз подільвача КМОН проводився аналогічно до попередніх блоків. Характеристики схеми подані в Табл. 4.5

Таблиця 4.5 – Параметри КМОН подільвача частоти

Частота вхідного сигналу	625 МГц	312 МГц	156 МГц	78 МГц	39 МГц	19 МГц
Частота вихідного сигналу	312 МГц	156 МГц	78 МГц	39 МГц	19 МГц	9.7 МГц
Час зростання сигналу	11.71 пс	12.6 пс	13.82 пс	15.71 пс	16.48 пс	17.11 пс
Час падіння сигналу	11.73 пс	12.62 пс	13.85 пс	15.2 пс	16.5 пс	17.05 пс
Споживання струму	276.9 мкА	231.1 мкА	156.6 мкА	126.2 мкА	106.4 мкА	92.48 мкА
Амплітуда вхідного сигналу	400 мВ	400 мВ	400 мВ	400 мВ	400 мВ	400 мВ
Амплітуда вихідного сигналу	396 мВ	401 мВ	402.1 мВ	398 мВ	397 мВ	410 мВ

Параметри схеми є задовільними відносно аналогічних розроблених пристроїв для даних частот сигналу.

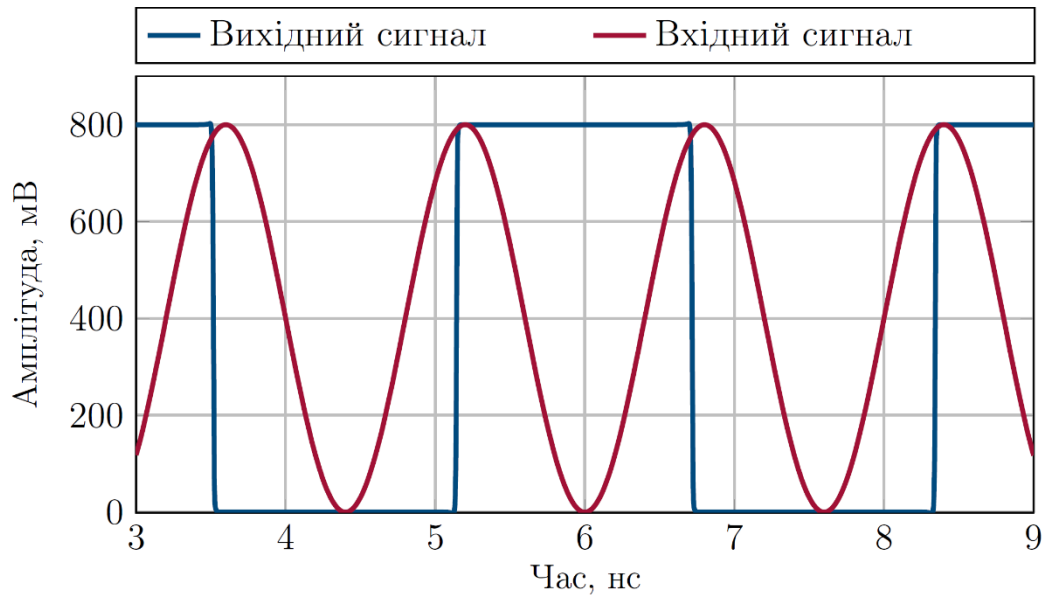


Рисунок 4.25 – Графік вхідного та вихідного сигналу подільвача на частоті 625 МГц

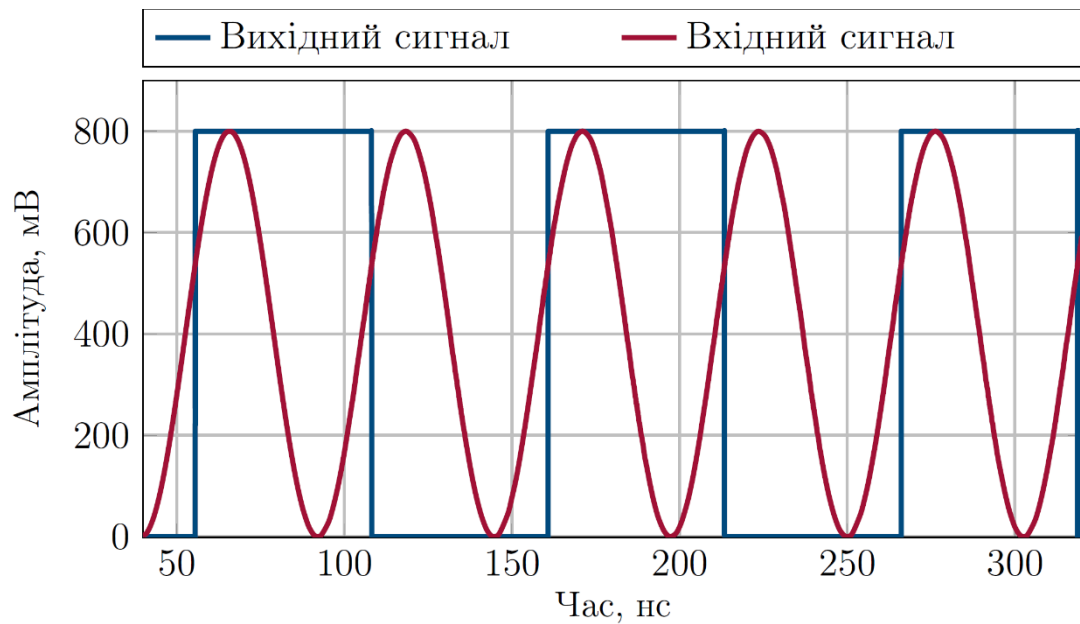


Рисунок 4.26 – Графік вхідного та вихідного сигналу подільвача на частоті 19 МГц

4.3.5 Висновки

Метою розробки останніх конструкцій було спрощення подільвача частоти. На низьких частотах немає необхідності в потужних транзисторах, захисті від електромагнітних шумів тощо. Тобто необхідно максимально

спростити пристрій зі збереженням швидкодії, якості сигналу та споживання струму.

При проведенні досліджень існуючих блоків, які відповідають необхідним умовам, було обрано примітивну конструкцію з декількох інверторів та підсилювачів. При розробці було виявлено що найпростіші транзистори з найменшими розмірами перемикають режим своєї роботи швидше ніж необхідно для низьких частот мегагерцевого діапазону, тому було необхідно додати конденсатори для рівноважної роботи.

При аналізі розробленого поділювача було перевірено якість прямокутних сигналів, вплив шумів, паразитних ємностей та опорів на них. Результати задовольняють першопочаткові умови, а споживання струму рівномірно зменшується зі зменшенням частоти вхідного сигналу.

4.4 Додаткові блоки

4.4.1 Підсилювачі сигналу

4.4.1.1 Високочастотний підсилювач

В роботі було розроблено два підсилювачі сигналу. Високочастотний підсилювач неінвертуючий. Було додано послідовне з'єднання конденсатору та резистору для зменшення шумів та зворотнього зв'язку. Транзистори були вибрані для мікрохвильових частот з потужним захисними характеристиками.

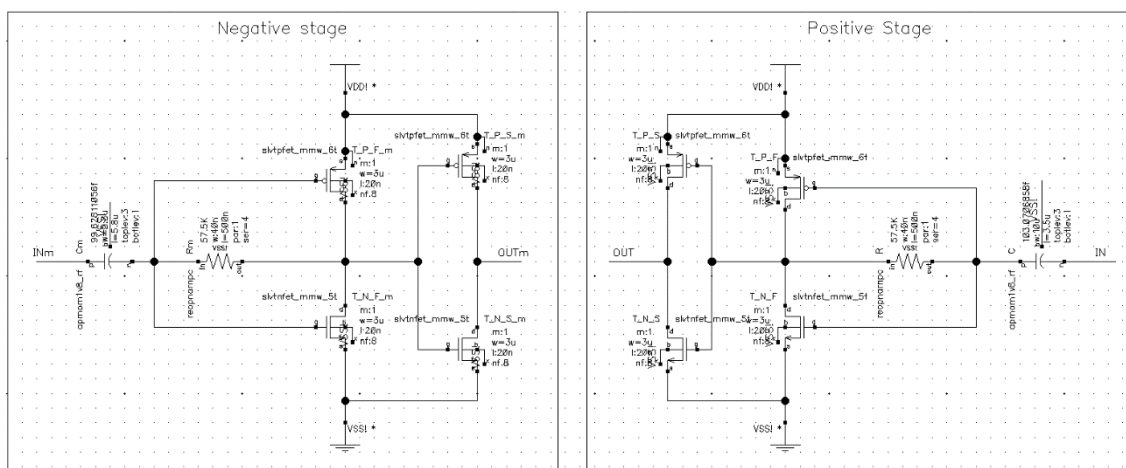


Рисунок 4.27 – Схема розробленого високочастотного підсилювача

Також при розробці топологічного креслення було збережено симетрію та правила розташування компонентів при високих частотах сигналу.

4.4.1.2 Низькочастотний підсилювач

Низькочастотний підсилювач розроблений за схожим принципом, як і високочастотний, але менших розмірів та без конденсаторів та резисторів, так як для підсилення низькочастотних сигналів достатньо лише два інвертори. Розміри транзисторів другого інвертора більші, таким чином підсилюється сигнал. Таке спрощення структури дозволяє значно зменшити споживання струму і площу пристрою на чіпі.

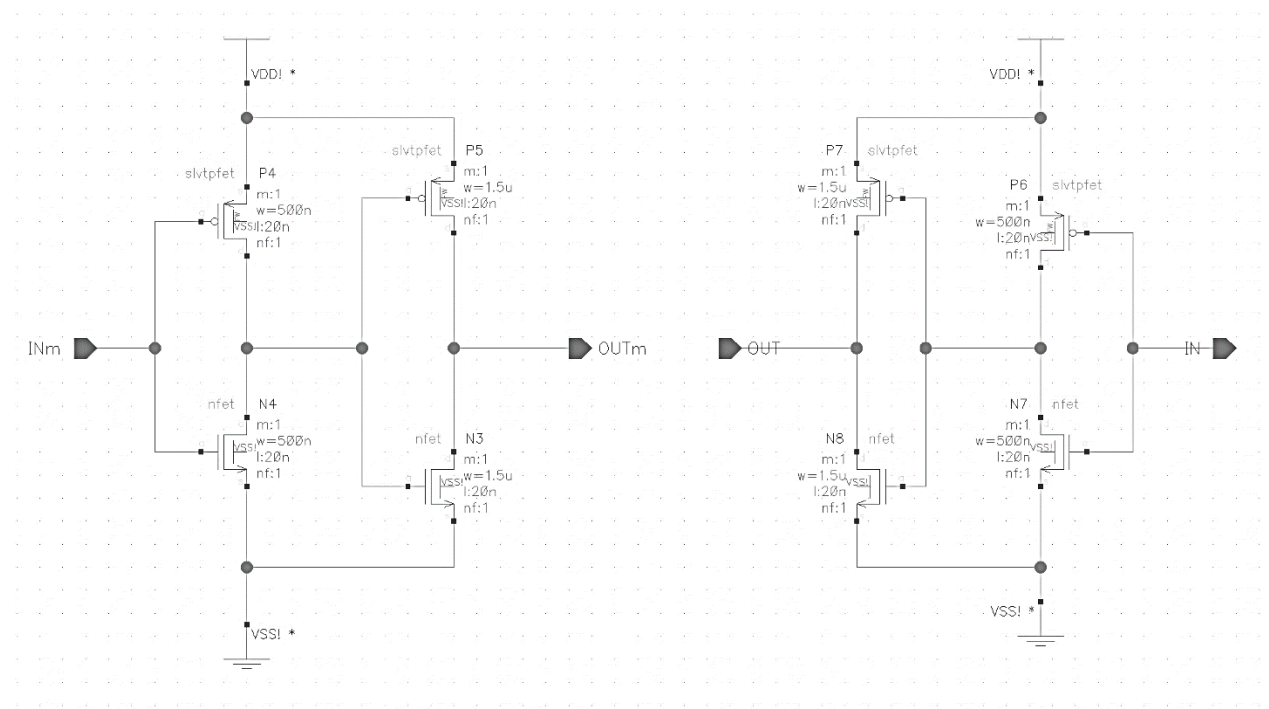


Рисунок 4.28 – Схема розробленого низькочастотного підсилювача

4.4.2 Активний балун

Розроблений пристрій планується вимірювати в лабораторії і так як він потребує вхідного диференційного сигналу 20 ГГц, було прийнято рішення

розробити активний балун на вході подільвача, щоб мати змогу генерувати диференційний сигнал на чіпі. Передача диференційного сигналу на чіп є складним завданням і більш оптимально перетворювати сигнал вбудованим балуном.

Даний балун може працювати в діапазоні частот від 2 ГГц до 60 ГГц з напругою живлення 0.8 В та споживати до 3 мА струму. Особливість цього активного балуна полягає у тому, що він не має індуктивних компонентів, що знижує його розміри та втрати сигналу. Щодо характеристик вихідного

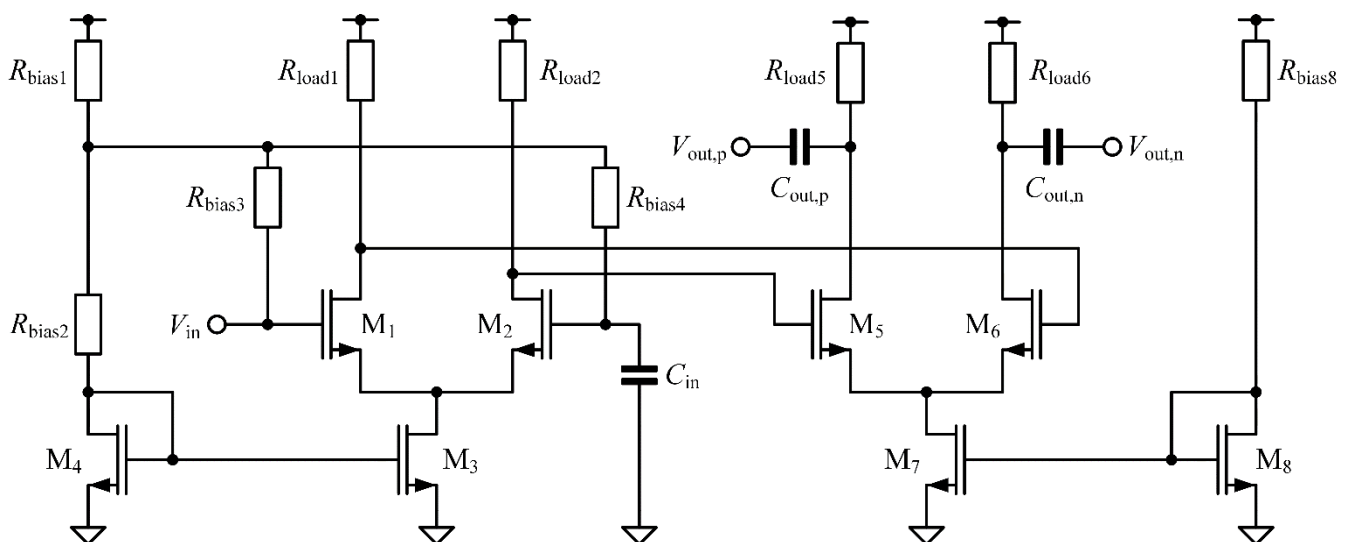


Рисунок 4.29 – Схема розробленого активного балуна

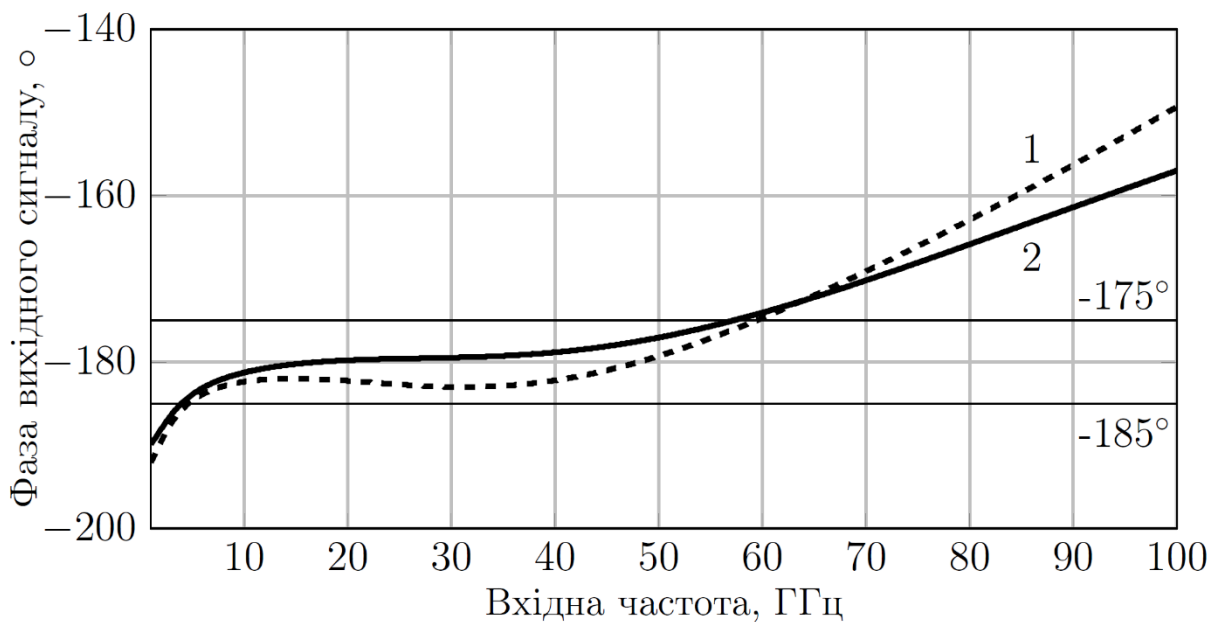


Рисунок 4.30 – Графік зсуву фази двох диференціальних виходів з паразитними явищами (1) та без (2).

сигналу, то на робочому діапазоні частот амплітуда його коливається від 450 мВ до 200 мВ. Посилення сигналу на діапазоні від 1 ГГц до 60 ГГц варіюється від -10 дБ до 4 дБ, розмір схеми на чіпі лише 48 мкм на 34 мкм.

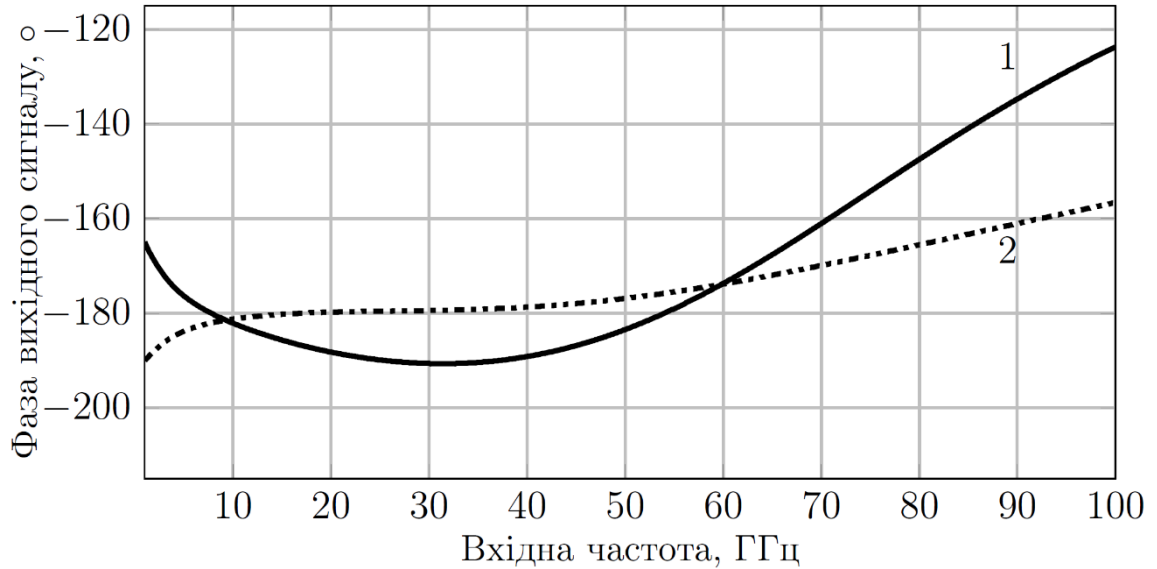


Рисунок 4.31 – Графік різниці фаз між сигналами першого та другого каскаду активного балуна

Схема являє собою дві класичних диференційні пари з струмовими дзеркалами та опорними захистами. Балун був побудований без індуктивних елементів, що суттєво зменшило розмір схеми на чіпі та зменшило споживання

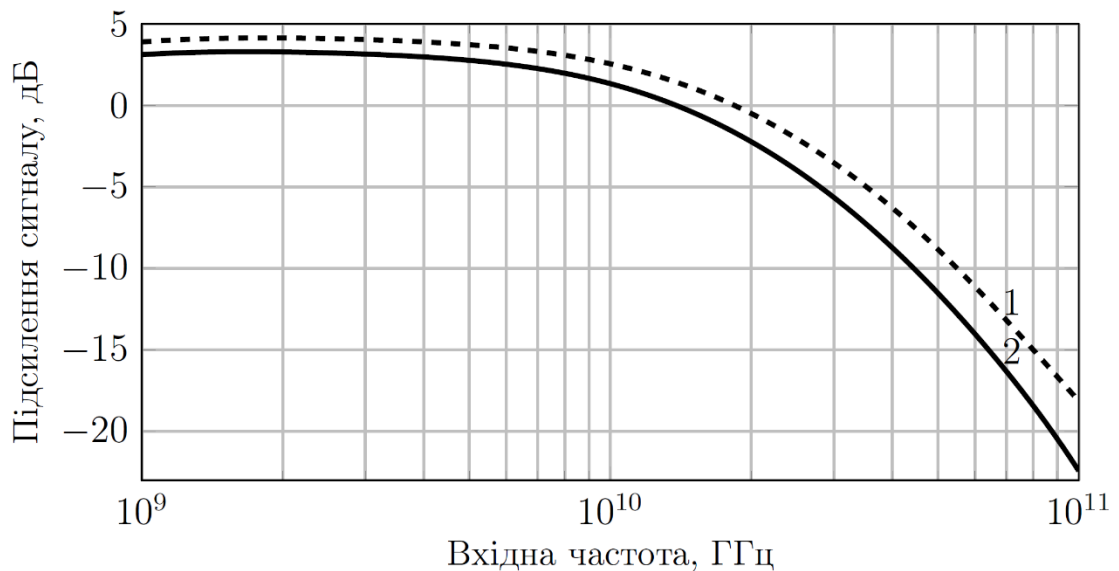


Рисунок 4.32 – Графік вихідного підсилення сигналу двох диференціальних виходів з паразитними явищами(2) та без (1).

струму. На Рис. 4.29 представлено схематичну діаграму розробленого активного балуна. Швидкодія схеми залежить від багатьох факторів, включаючи тип транзисторів. В данній схемі використано польові транзистори замість біполярних. Однією з причин цього є те, що пікове значення f_t польових транзисторів є нижчим, ніж у біполярних, що забезпечує більшу швидкодію схеми.

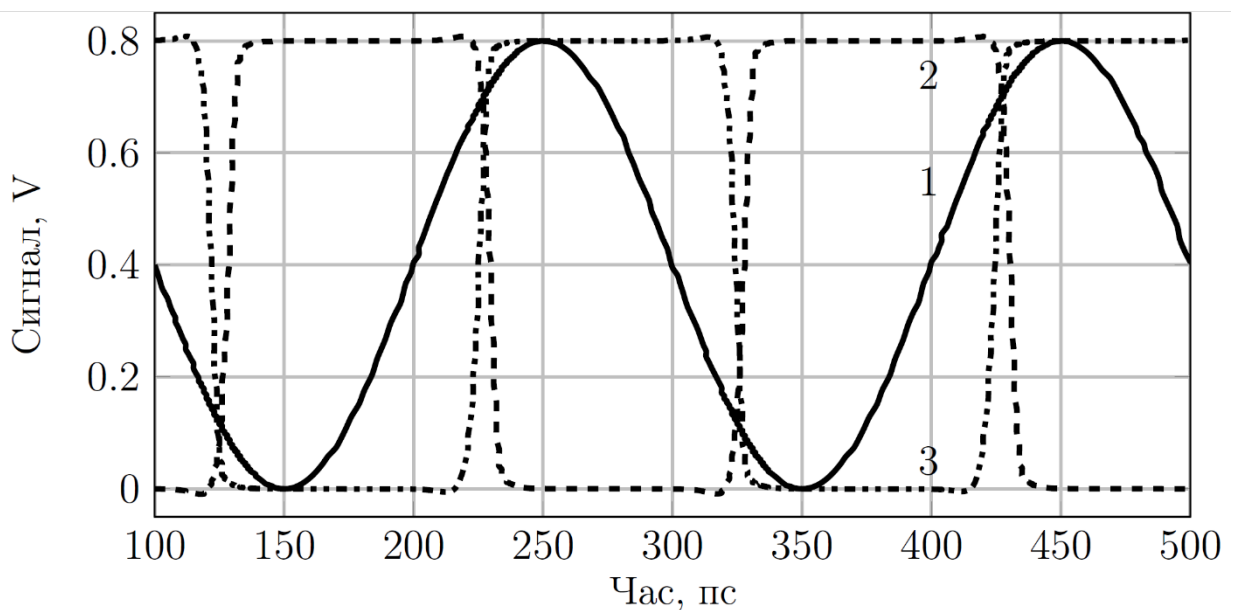


Рисунок 4.33 – Вихідний сигнал відносно вхідного на частоті 5 ГГц при вхідній амплітуді 400 мВ. 1 - вхідний сигнал; 2 - $V_{out,p}$; 3 - $V_{out,m}$)

Однією з ключових складових схеми, яка забезпечує швидкодію схеми, є диференціальна пара транзисторів M1 та M2, яка реалізує функцію балуна. Ємність C_{in} в 1.2 пФ створює АС заземлення, що дозволяє забезпечити більш стабільну роботу схеми. Однак, незважаючи на всі переваги диференціальної пари транзисторів, існує дисбаланс, який може знизити продуктивність схеми. Цей дисбаланс частково коректується наступним каскадом схеми.

На Рис. 4.31 продемонстровано диференціальні фази сигналів після першого та другого каскаду схеми. З них видно, що різниця фаз після другого каскаду суттєво наближається до 180° . Розміри диференціальних пар з кожним каскадом зменшується, так як другий каскад виконує корекційну роль,

а зменшений розмір дозволяє зменшити споживання схеми. Розміри резисторів були розраховані за формулу (4.11). Вони залежать від необхідної амплітуди вихідного сигналу V_{out} та струму I , який проходить крізь диференційну пару.

$$V_{out} = V_{dd} - I \times R_{load} \quad (4.11)$$

Для визначення актуальності розробленого активного балуна було проведено дослідження параметрів відносно схожих за умовами сучасних схем. Результати зображені у Табл. 4.6

Таблиця 4.6 – Порівняльна таблиця актуальності активного балуна

Параметри	Ця схема	[23]	[24]	[25]
Технологія	КМОН	КМОН	КМОН	SiGe
Розмір техн. (нм)	22	90	65	130
Підсилення напруги (дБ)	4.1	11.0	7.0	3.6
Пропускна здатність (ГГц)	60	50	70	70
Дисбаланс ампл. (дБ)	1.5	1.0	1.0	0.2
Дисбаланс фаз (град.)	5	5	10	5
Потужність (мВт)	2.37	97	19	144
Розмір (мм ²)	0.0016	0.46	0.64	0.42

4.4.3 Висновки

Отже, головна задача розробки безіндуктивного широкополосного енергоефективного активного балуна полягала у створенні високоякісного

диференційного сигналу на широкому діапазоні частот для подальшого використання в поділювачі частот. Підсумовуючи результати роботи, можна стверджувати, що ця задача була вирішена в достатній мірі, і розроблений активний балун можна успішно використовувати в більших проєктах.

Однією з основних переваг розробленого активного балуна є його розмір - всього 48 мкм на 34 мкм, що дозволяє вбудовувати його в компактні пристрої. Крім того, пристрій має високу швидкодію і низьку похибку фазового дисбалансу, що становить менше 2 градусів.

Окрім того, безіндуктивність активного балуна дозволяє знизити втрати сигналу та забезпечити стабільність роботи пристрою, а широкий діапазон робочих частот (від 2 ГГц до 60 ГГц) робить його універсальним інструментом для використання в різноманітних бездротових системах зв'язку.

Недоліком схеми можна назвати амплітудний дисбаланс, тож після активного балуна необхідно використовувати підсилювач, хоча частіше за все підсилювачі ставлять на вході будь-яких схем.

Отже, можна стверджувати, що розроблений безіндуктивний широкополосний енергоефективний активний балун є дуже перспективним рішенням для використання в багатьох високопродуктивних технологіях, де потрібен якісний диференційний сигнал на широкому діапазоні частот.

5 МОДЕЛЮВАННЯ ТА ДОСЛІДЖЕННЯ СХЕМИ

На Рис. 5.1 приведено таблицю результатів симуляції загальної роботи усіх блоків. Умови для аналізу вибрані наближено, головним результатом даної симуляції є задовільні значення вихідних частот сигналів (***_freq), загальне споживання струму (I_VDD_tot_rms) та значення часу зростання (***_RT_max) та падіння (***_FT_max) сигналу для кожного блоку.

Можна зробити висновок що при відносно не великому споживанню струму розроблений поділювач частоти задовільно виконує завдання. Також кожний розроблений блок має деякий діапазон робочих частот, тож при необхідності даний пристрій можна використовувати не лише для частоти 20 ГГц вхідного сигналу, але й інших в робочому діапазоні.

Test	Output	Nominal	Spec	Weight	Pass/Fail	Min	Max	SS	SF	FS	FF
Filter	Filter	Filter	Filter	Filter	Filter	Filter	Filter	Filter	Filter	Filter	Filter
TRAN	T_Sim	1u				1u	1u	1u	1u	1u	1u
TRAN	CML1_freq	10G	range 9.8G 10.2G		pass	10G	10G	10G	10G	10G	10G
TRAN	CML2_freq	5G	range 4.8G 5.2G		pass	5G	5G	5G	5G	5G	5G
TRAN	TSPC1_freq	2.5G	range 2.4G 2.6G		pass	2.5G	2.5G	2.5G	2.5G	2.5G	2.5G
TRAN	TSPC2_freq	1.25G	range 1.24G 1.26G		pass	1.25G	1.25G	1.25G	1.25G	1.25G	1.25G
TRAN	TSPC3_freq	625M	range 624M 626M		pass	625M	625M	625M	625M	625M	625M
TRAN	CMOS1_freq	312.5M	range 311M 313M		pass	312.5M	312.5M	312.5M	312.5M	312.5M	312.5M
TRAN	CMOS2_freq	156.3M	range 155M 157M		pass	156.3M	156.3M	156.3M	156.3M	156.3M	156.3M
TRAN	CMOS3_freq	78.13M	range 77M 79M		pass	78.13M	78.13M	78.13M	78.13M	78.13M	78.13M
TRAN	CMOS4_freq	39.06M	range 38M 40M		pass	39.06M	39.06M	39.06M	39.06M	39.06M	39.06M
TRAN	CMOS5_freq	19.53M	range 18M 20M		pass	19.53M	19.53M	19.53M	19.53M	19.53M	19.53M
TRAN	CMOS6_freq	9.766M	range 9M 11M		pass	9.766M	9.766M	9.766M	9.766M	9.766M	9.766M
TRAN	I_VDD_tot_rms	4.663m				3.83m	5.767m	3.83m	4.47m	4.85m	5.767m
TRAN	I_VSS_CML1_rms	1.807m				1.407m	2.293m	1.407m	1.681m	1.926m	2.293m
TRAN	I_VSS_CML2_rms	1.842m				1.489m	2.323m	1.489m	1.765m	1.914m	2.323m
TRAN	I_VSS_TSPC1_rms	41.41u				36.92u	45.74u	36.92u	39.81u	42.73u	45.74u
TRAN	I_VSS_TSPC2_rms	28.04u				24.75u	31.36u	24.75u	27.19u	28.65u	31.36u
TRAN	I_VSS_TSPC3_rms	25.51u				22.72u	28.23u	22.72u	24.43u	26.45u	28.23u
TRAN	I_VSS_CMOS1_rms	125.1u				121u	126.7u	121u	124.2u	126.7u	125u
TRAN	I_VSS_CMOS2_rms	83.34u				80.62u	83.51u	80.62u	83.11u	83.51u	83.22u
TRAN	I_VSS_CMOS3_rms	58.98u				56.92u	59.12u	56.92u	58.79u	59.12u	58.95u
TRAN	I_VSS_CMOS4_rms	41.73u				40.4u	41.82u	40.4u	41.59u	41.82u	41.71u
TRAN	I_VSS_CMOS5_rms	31.39u				30.26u	31.51u	30.26u	31.15u	31.51u	31.31u
TRAN	I_VSS_CMOS6_rms	21.97u				21.77u	22.84u	21.77u	21.81u	22.84u	21.95u
TRAN	/10GHz										
TRAN	/5GHz										
TRAN	/2_5GHz										
TRAN	/1_25GHz										
TRAN	/625M										
TRAN	/312M										
TRAN	/156M										
TRAN	CMOS3_RT_max	117.5p	< 100p		fail	83.27p	168.7p	168.7p	114.7p	127.5p	83.27p
TRAN	CMOS4_RT_max	14.22p	< 100p		pass	11.16p	18.47p	18.47p	12.61p	14.54p	11.16p
TRAN	CMOS5_RT_max	116.3p	< 100p		fail	82.33p	167.2p	167.2p	113.4p	126.8p	82.33p
TRAN	CMOS6_RT_max	11.39p	< 100p		pass	9.137p	14.8p	14.8p	10.42p	11.42p	9.137p
TRAN	CML1_FT_max	4.333p	< 100p		pass	3.139p	6.484p	6.484p	4.507p	4.226p	3.139p
TRAN	CML2_FT_max	4.427p	< 100p		pass	2.944p	6.115p	6.115p	4.639p	4.302p	2.944p
TRAN	TSPC1_FT_max	8.448p	< 100p		pass	6.897p	10.66p	10.66p	8.146p	9.164p	6.897p
TRAN	TSPC2_FT_max	5.312p	< 100p		pass	4.455p	6.573p	6.573p	5.125p	5.579p	4.455p
TRAN	TSPC3_FT_max	16.08p	< 100p		pass	13.22p	20.21p	20.21p	16.27p	16.78p	13.22p
TRAN	CMOS1_FT_max	117.7p	< 100p		fail	83.36p	169p	169p	114.6p	128.7p	83.36p
TRAN	CMOS2_FT_max	117.4p	< 100p		fail	83.26p	168.6p	168.6p	114.7p	127.4p	83.26p
TRAN	CMOS3_FT_max	117.5p	< 100p		fail	83.27p	168.7p	168.7p	114.7p	127.5p	83.27p
TRAN	CMOS4_FT_max	14.22p	< 100p		pass	11.16p	18.47p	18.47p	12.61p	14.54p	11.16p
TRAN	CMOS5_FT_max	116.3p	< 100p		fail	82.33p	167.2p	167.2p	113.4p	126.8p	82.33p
TRAN	CMOS6_FT_max	11.39p	< 100p		pass	9.137p	14.8p	14.8p	10.42p	11.42p	9.137p

Рисунок 5.1 – Зображення проведених аналізів в середовищі Cadence

Таблиця 5.1 – Основні загальні параметри подільвача частоти

Параметр	Значення	Умова	Примітки
Споживання струму	3.958 – 5.976 мА	< 6 мА	Загальне споживання струму схемою при симуляції corners
Середній час зростання сигналу	111.44 пс	< 200 пс	Значення середне серед окремих подільвачів
Середній час падіння сигналу	110.5 пс	< 200 пс	Значення середне серед окремих подільвачів
Максимальне споживання струму	2.293 мА	< 3 мА	Значення максимальне серед окремих подільвачів
Мінімальне споживання струму	21.77 мкА	< 30 мкА	Значення мінімальне серед окремих подільвачів

6 ЗАГАЛЬНА ТОПОЛОГІЯ ПОДІЛЬНИКА ЧАСТОТИ

При розробці загальної топології всі блоки були розміщені компактно, послідовно в горизонтальній площині. Навколо подільника було розміщено сітку металів яка з'єднує заземлення та живлення та розподіляє по площині чипу задля зменшення опору провідника. Для зменшення впливу навколишніх факторів та шумів було додано конденсатори на площину чипу.

Загальна топологія блоку зображена на Рис.6.1. Розмір сягає 510 на 360 МКМ.

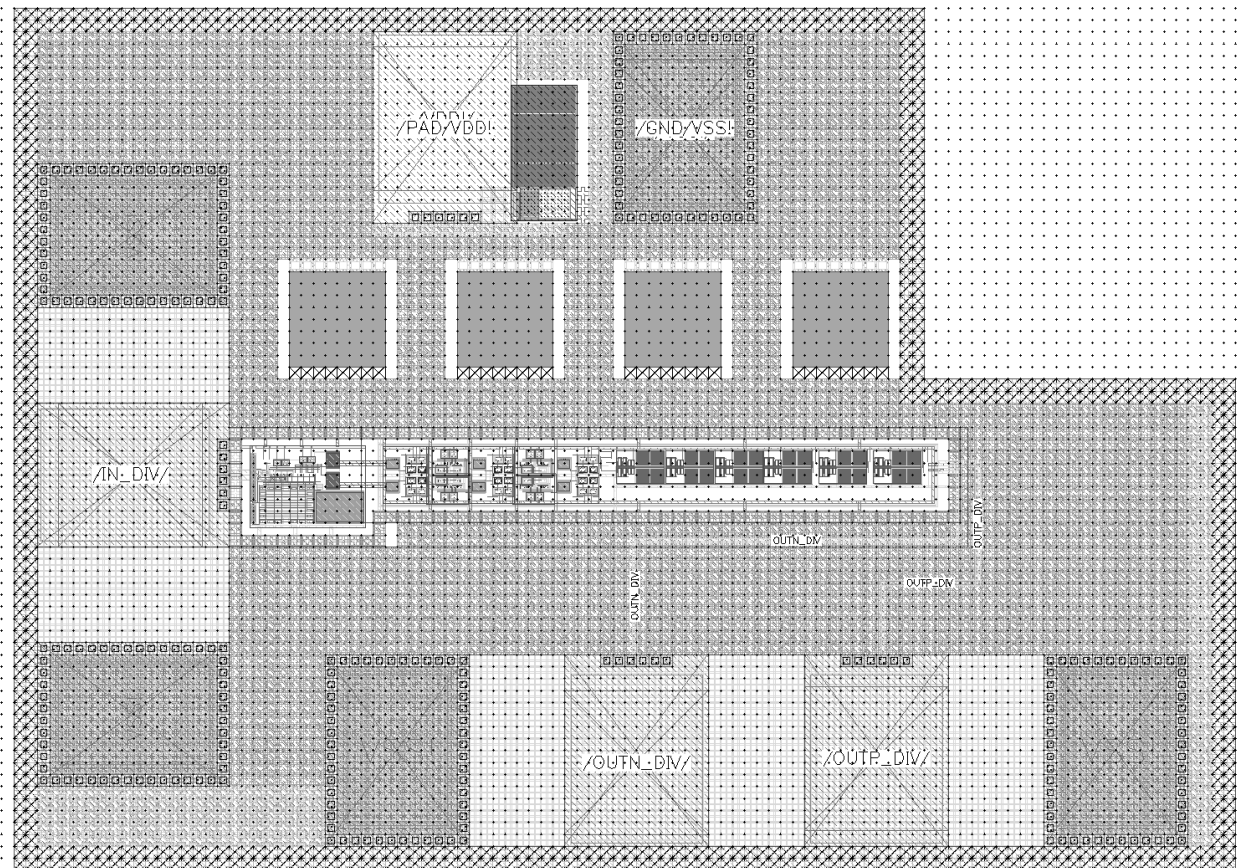


Рисунок 6.1 – Топологічне креслення усього розробленого пристрою

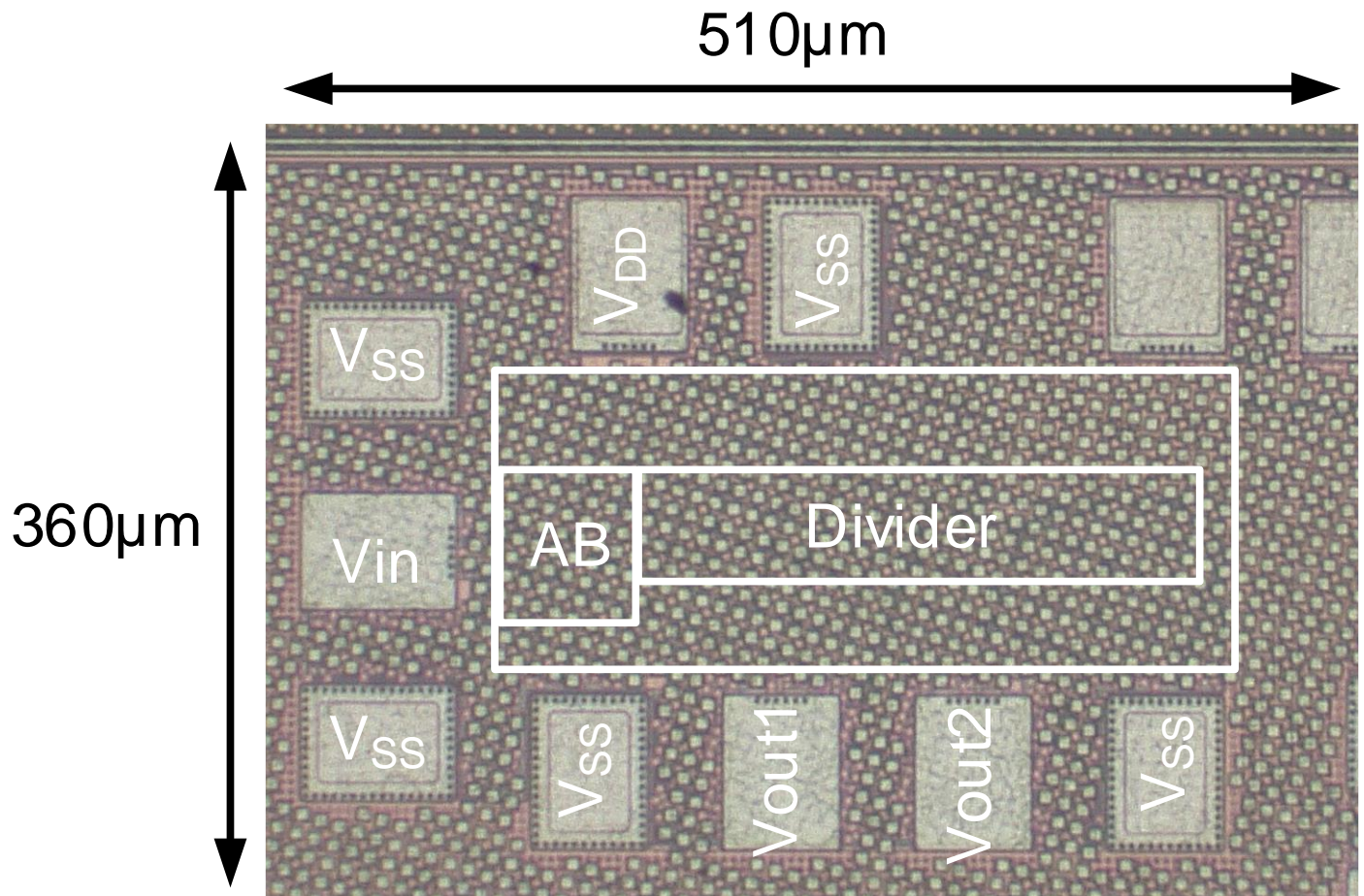


Рисунок 6.2 – Виготовлена схема під мікроскопом

ВИСНОВКИ

У роботі були розглянуті проблеми проектування енергоефективних аналогових інтегральних схем які призначені для ділення частоти на різних робочих діапазонах.

Були проаналізовані рішення щодо конструкції розробки, умов роботи, актуальності обраних конструкцій та відповідності завданню.

Запропонована конструкція енергоефективного подільника частоти у діапазоні з 20 ГГц до 10 МГц. Цей подільник був розроблений для подальшого використання в чіпі з медичним напрямком використання. З огляду на подальший напрямок розробки технічні характеристики було обрані відповідно до умов використання в медичних пристроях. Тобто низьке споживання струму, температурні діапазони роботи, малий розмір схеми тощо.

Було проведено аналітичний аналіз доступних схем подільників частоти для необхідних діапазонів і з огляду на пріоритетні умови обрано оптимальні конфігурації схем: CML для високих частот 20ГГц -10 ГГц, TSPC для діапазону середніх частот 5 ГГц-1,25ГГц та CMOS для низьких частот 625 МГц – 10 МГц. Для кожного блоку подільника було проведено оптимізацію схеми та аналіз роботи.

Було проведено аналіз роботи схем, швидкодія, якість вихідного сигналу, споживання струму та чутливість до частоти та амплітуди вхідного сигналу. Кожний параметр був проаналізований в кутовому аналізі, а також після розробки топологічного креслення з урахуванням ємносних та резистивних паразитних компонентів.

Топологічні креслення було виконано з урахуванням паразитних явищ (руйнація металів від дією струму, паразитних компонентів між провідниками тощо). Кожна топологія подільника була перевірена на відповідність DRC та LVC з врахуванням технологічних вимог.

Загальне споживання електричного струму пристроєм 6-10 мА з урахуванням активного балуна, який споживає 2-4 мА.

Було використано 257 польових транзисторів різних конфігурацій, 30 конденсаторів та 14 резисторів.

Загальний розмір розробленого блоку на чіпі 510 на 360 мкм.

За допомогою інституту TU Braunschweig CMOS Design Institute та GlobalFoundries було виготовлено інтегральний чіп для проведення експериментальних вимірювань розробленого пристрою в реальних умовах.

ПЕРЕЛІК ДЖЕРЕЛ ПОСИЛАННЯ

1. Review: Analog design methodologies for reliability in nanoscale CMOS circuits [Текст] / E. Afacan, M. Berke Yelten and G. Dündar / 2017, с. 1-4 / SMACD.2017.7981608.
2. CMOS Scaling Trends and Beyond [Текст] / Mark T. Bohr, Ian A. Young / 2017/ 10с.
3. Nonlinearities in Frequency Dividers [Текст] / X. Gui, and M. M. Green, “ (ECCTD), pp. 532-535, Aug. 2011
4. A study of locking phenomena in oscillators [Текст] / R. Adler, pp. 1380–1385, Oct. 1973
5. Injection locking of oscillators [Текст] / L. J. Paciorek, pp. 1723–1727, Nov. 1965
6. A study of Injection locking and pulling in oscillators [Текст] / B. Razavi, pp. 1415–1424, Sept. 2004.
7. Analysis of Nonlinearities in Injection-Locked Frequency Dividers [Текст] / X. Gui, Z. Chen, and M. M. Green, pp. 945-953, Mar. 2015
8. Millimeter-Wave Digitally Intensive Frequency Generation in CMOS [Текст] / Wanghua Wu, Robert Bogdan Staszewski, John R. Long, , Academic Press, 2016, Pages 3-180, ISBN 9780128022078
9. Review: Analog design methodologies for reliability in nanoscale CMOS circuits [Текст] / E. Afacan, M. Berke Yelten and G. Dündar / 2017, с. 1-4 / SMACD.2017.7981608.
10. A Study of Locking Phenomena in Oscillators [Текст] / R. Adler, pp. 351-357, June 1946
11. Superharmonic Injection-Locked Frequency Dividers [Текст] / H. Rategh and T. H. Lee pp 813-821, June, 1999.

- 12.A 19GHz, 0.5mW, 0.35um CMOS Frequency Divider with Shunt-Peaking Locking-Range Enhancement [Текст] / H. Wu and A. Hajimiri, pp.412-413, Feb., 2001.
13. Divide-by-Odd-Number Injection-Locked Frequency Dividers [Текст] / Hui Wu. October, 2019.
- 14.A 15-Gb/s PMCW Radar PRBS-Generator for MIMO and JCAS Applications [Текст] / Florian Probst, Andre Engelmann / 2022 / 3
- 15.Analysis and Design of High-Speed CMOS Frequency Dividers [Текст] / Molainezhad, F. / 2015 / 87 c.
- 16.EECS 270C / UCI / Prof. M. M. Green / 2013
- 17.Design Of A CMOS VCO And Frequency Divider For 5 Ghz Applications [Текст] / Prithvi Shylendra / May 2006 / 96 c.
- 18.Design and Analysis of Ultra Low Power True Single Phase Clock CMOS 2/3 Prescaler. Circuits and Systems [Текст] / I Krishna, Manthena, Do, Manh / 2010. /TCSI.2009.2016183.
- 19.TSPC Logic [Текст] / Behzad Razavi / 2016 / 4 c.
- 20.Dynamics Of High-Frequency Cmos Dividers [Текст] / Ullas Singh, Michael Green / 2002 / 4 c.
- 21.25 GHz static frequency divider and 25 Gb/s multiplexer in 0.12µm CMOS [Текст] / H. Knapp, H. D. Wohlmuth, M. Wurzer, and M. Rest / 2002. 302-468 c.
- 22.DC-50GHz wideband phase- compensated 90nm-CMOS active balun design [Текст] / K. Wu, K. Lai, R. Hu, and C. Chang / Dec. 2015, 1–3.c.
- 23.A CMOS Distributed Amplifier With Distributed Active Input Balun Using GBW and Linearity Enhancing Techniques [Текст] / A. Jahanian and P. Heydari/ c. 1331–1341 / 2012.
- 24.Active Single-Ended to Differential Converter (Balun) for DC up to 70 GHz in 130 nm SiGe [Текст] / P. Stärke, V. Rieß, C. Carta, and F. Ellinger / 2019 /c. 1–4.

25. An Area Efficient Low-Power mmWave PRBS Generator in FDSOI [Текст] / Florian Probst, Andre Engelmann, Vadim Issakov / 2022 / 3 c.
26. Low-Voltage Flip Flop Frequency Divider Up to 92 GHz in 130 nm BiCMOS Technology [Текст] / Vadim Issakov, Saverio Trotta / 2017 / ISBN: 978-1-5090-5862-4
27. Analog Design for CMOS VLSI Systems [Текст] / Franco Maloberti . – 386 c.
28. A 16-to-18GHz 0.18m Epi-CMOS Divide-by-3 Injection-Locked Frequency Divider [Текст] / H. Wu and L. Zhang, 5-9 Feb. 2006 p:602 – 603
29. A Unified Model for Injection-Locked Frequency Dividers [Текст] / S. Verma, H. R. Rategh and T. H. Lee pp1015-1027, June, 2003.
30. Injection-locked frequency dividers based on ring oscillators with optimum injection for wide lock range [Текст] / A. Mirzaei, M. E. Heidari, R. Bagheri, S. Chehrazi, and A. A. Abidi, pp. 174–175, Jun. 2006
31. Maximum frequency of operation of CMOS Static Frequency Dividers: Theory and Design techniques [Текст] / K. Sengupta, and H. Hashemi pp. 584-587, Dec. 2006.
32. Design of Ultrahigh-Speed Low-Voltage CMOS CML Buffers and Latches [Текст] / P. Heydari and R. Mohanavelu pp. 208-211, May 2003
33. 25 GHz static frequency divider and 25 Gb/s multiplexer in 0.12 μ m CMOS [Текст] / H. Knapp, H. D. Wohlmuth, M. Wurzer, and M. Rest, pp. 302-468, Feb. 2002

ДОДАТОК А

Netlist розробленого подільника частоти

```

// Cell name: Active_Balun
// View name: schematic
subckt Active_Balun IN OUTm2 OUTp2 inh_hSup inh_lSup
  R6 (net6 net2 inh_lSup) opndressoi w=360n l=695n r=500.1111111 s=1 \
    pbar=(1)*(1) rsx=0 ncr=1
  R3 (inh_hSup net6 inh_lSup) opndressoi w=360n l=18.495u r=9.400111111K \
    s=1 pbar=(1)*(1) rsx=0 ncr=1
  R8 (inh_hSup net4 inh_lSup) opndressoi w=360n l=400n r=352.6111111 s=1 \
    pbar=(1)*(1) rsx=0 ncr=1
  R4 (net6 net8 inh_lSup) opndressoi w=360n l=6.895u r=3.600111111K s=1 \
    pbar=(1)*(1) rsx=0 ncr=1
  R9 (inh_hSup net4 inh_lSup) opndressoi w=360n l=400n r=352.6111111 s=1 \
    pbar=(1)*(1) rsx=0 ncr=1
  R10 (IN net6 inh_lSup) opndressoi w=360n l=695n r=500.1111111 s=1 \
    pbar=(1)*(1) rsx=0 ncr=1
  R12 (inh_hSup net12 inh_lSup) opndressoi_rf w=360n l=495n \
    r=400.1111111 s=1 pbar=(1)*(1) rsx=0 ncr=1
  R11 (inh_hSup net11 inh_lSup) opndressoi_rf w=360n l=495n \
    r=400.1111111 s=1 pbar=(1)*(1) rsx=0 ncr=1
  R0 (inh_hSup OUTm1 inh_lSup) opndressoi_rf w=360n l=495n r=400.1111111 \
    s=1 pbar=(1)*(1) rsx=0 ncr=1
  R_Qm (inh_hSup OUTp1 inh_lSup) opndressoi_rf w=360n l=495n \
    r=400.1111111 s=1 pbar=(1)*(1) rsx=0 ncr=1
  C3 (net2 inh_lSup inh_lSup) apmomlv8_rf w=12u l=20u botlev=3 toplev=6 \
    par=(1) m=1 shield=1 prefill=0
  C6 (net11 OUTp2 inh_lSup) apmomlv8_rf w=5.5u l=5.5u botlev=3 toplev=5 \
    par=(1) m=1 shield=1 prefill=0
  C5 (net12 OUTm2 inh_lSup) apmomlv8_rf w=5.5u l=5.5u botlev=3 toplev=5 \
    par=(1) m=1 shield=1 prefill=0
  N6 (net4 net4 inh_lSup inh_lSup) slvtnfet w=1u l=24n as=60f ad=40f \
    ps=1.98u pd=1.32u nf=4 par=(1) par_nf=(1) * (4) m=1 plorient=0 \
    acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
    lle_pcpc=80n tie_orient=0 swrfmhc_local=0 analog=0
  N8 (net7 net8 inh_lSup net4) slvtnfet_rf w=3u l=32n m=16 as=157.5f \
    ad=126f ps=4.59u pd=3.672u nf=8 nrep=1 par=(16) par_nf=(16) * (1)
plorient=0 \
  acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
  lle_pcpc=84n lle_sa=216n lle_sb=216n lle_rxrxa=116n lle_rrxrb=116n \
  lle_rrxrn=200n lle_rrxrs=150n lle_pcrxn=150n lle_pcrxs=75n \
  w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 swrpmhc_local=-1
  N7 (net12 OUTp1 net7 net4) slvtnfet_rf w=5u l=20n m=2 as=262.5f \
    ad=210f ps=7.09u pd=5.672u nf=8 nrep=1 par=(2) par_nf=(2) * (1) plorient=0
\
  acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
  lle_pcpc=84n lle_sa=198n lle_sb=198n lle_rxrxa=104n lle_rrxrb=104n \

```

```

lle_rrxn=200n lle_rrxs=150n lle_pcrxn=150n lle_pcrxs=75n \
w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 swrpmhc_local=-1
N5 (net11 OUTm1 net7 net4) slvtnfet_rf w=5u l=20n m=2 as=262.5f \
ad=210f ps=7.09u pd=5.672u nf=8 nrep=1 par=(2) par_nf=(2) * (1) plorient=0
\
acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
lle_pcpc=84n lle_sa=198n lle_sb=198n lle_rrx=104n lle_rrxb=104n \
lle_rrxn=200n lle_rrxs=150n lle_pcrxn=150n lle_pcrxs=75n \
w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 swrpmhc_local=-1
T_IN (OUTp1 IN net5 net4) slvtnfet_rf w=10u l=20n m=2 as=525f ad=420f \
ps=13.34u pd=10.672u nf=8 nrep=1 par=(2) par_nf=(2) * (1) plorient=0 \
acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
lle_pcpc=84n lle_sa=198n lle_sb=198n lle_rrx=104n lle_rrxb=104n \
lle_rrxn=200n lle_rrxs=150n lle_pcrxn=150n lle_pcrxs=75n \
w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 swrpmhc_local=-1
CM2 (net8 net8 inh_lSup net4) slvtnfet_rf w=3u l=32n m=1 as=157.5f \
ad=126f ps=4.59u pd=3.672u nf=8 nrep=1 par=(1) par_nf=(1) * (1) plorient=0
\
acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
lle_pcpc=84n lle_sa=216n lle_sb=216n lle_rrx=116n lle_rrxb=116n \
lle_rrxn=200n lle_rrxs=150n lle_pcrxn=150n lle_pcrxs=75n \
w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 swrpmhc_local=-1
CM1 (net5 net8 inh_lSup net4) slvtnfet_rf w=3u l=32n m=12 as=157.5f \
ad=126f ps=4.59u pd=3.672u nf=8 nrep=1 par=(12) par_nf=(12) * (1)
plorient=0 \
acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
lle_pcpc=84n lle_sa=216n lle_sb=216n lle_rrx=116n lle_rrxb=116n \
lle_rrxn=200n lle_rrxs=150n lle_pcrxn=150n lle_pcrxs=75n \
w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 swrpmhc_local=-1
N9 (inh_lSup inh_lSup inh_lSup inh_lSup) slvtnfet_rf w=3u l=32n m=20 \
as=157.5f ad=126f ps=4.59u pd=3.672u nf=8 nrep=1 par=(20) par_nf=(20) *
(1) \
plorient=0 acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 \
p_wa=0 ulp=0 lle_pcpc=84n lle_sa=216n lle_sb=216n lle_rrx=116n \
lle_rrxb=116n lle_rrxn=200n lle_rrxs=150n lle_pcrxn=150n \
lle_pcrxs=75n w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 \
swrpmhc_local=-1
T_INm (OUTm1 net2 net5 net4) slvtnfet_rf w=10u l=20n m=2 as=525f \
ad=420f ps=13.34u pd=10.672u nf=8 nrep=1 par=(2) par_nf=(2) * (1)
plorient=0 \
acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
lle_pcpc=84n lle_sa=198n lle_sb=198n lle_rrx=104n lle_rrxb=104n \
lle_rrxn=200n lle_rrxs=150n lle_pcrxn=150n lle_pcrxs=75n \
w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 swrpmhc_local=-1
ends Active_Balun
// End of subcircuit definition.
// Library name: wk_baluta
// Cell name: D_latch

```



```

// View name: schematic
subckt D_latch Q Qm CLK CLKm D Dm inh_hSup inh_lSup
  T_IN_Dm (Qm Dm net3 inh_lSup) slvtnfet_rf w=5u l=20n m=1 as=262.5f \
    ad=210f ps=7.09u pd=5.672u nf=8 nrep=1 par=(1) par_nf=(1) * (1) plorient=0
\
  acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
  lle_pcpc=84n lle_sa=198n lle_sb=198n lle_rxrxa=104n lle_rrxrb=104n \
  lle_rrxrn=200n lle_rrxrs=150n lle_pcrxn=150n lle_pcrxs=75n \
  w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 swrpmhc_local=-1
  T_IN_D (Q D net3 inh_lSup) slvtnfet_rf w=5u l=20n m=1 as=262.5f \
    ad=210f ps=7.09u pd=5.672u nf=8 nrep=1 par=(1) par_nf=(1) * (1) plorient=0
\
  acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
  lle_pcpc=84n lle_sa=198n lle_sb=198n lle_rxrxa=104n lle_rrxrb=104n \
  lle_rrxrn=200n lle_rrxrs=150n lle_pcrxn=150n lle_pcrxs=75n \
  w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 swrpmhc_local=-1
  T_OUT_Q (Qm Q net2 inh_lSup) slvtnfet_rf w=4u l=20n m=1 as=210f \
    ad=168f ps=5.84u pd=4.672u nf=8 nrep=1 par=(1) par_nf=(1) * (1) plorient=0
\
  acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
  lle_pcpc=84n lle_sa=198n lle_sb=198n lle_rxrxa=104n lle_rrxrb=104n \
  lle_rrxrn=200n lle_rrxrs=150n lle_pcrxn=150n lle_pcrxs=75n \
  w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 swrpmhc_local=-1
  T_OUT_Qm (Q Qm net2 inh_lSup) slvtnfet_rf w=4u l=20n m=1 as=210f \
    ad=168f ps=5.84u pd=4.672u nf=8 nrep=1 par=(1) par_nf=(1) * (1) plorient=0
\
  acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
  lle_pcpc=84n lle_sa=198n lle_sb=198n lle_rxrxa=104n lle_rrxrb=104n \
  lle_rrxrn=200n lle_rrxrs=150n lle_pcrxn=150n lle_pcrxs=75n \
  w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 swrpmhc_local=-1
  T_CLK (net3 CLK inh_lSup inh_lSup) slvtnfet_rf w=3u l=20n m=1 \
    as=157.5f ad=126f ps=4.59u pd=3.672u nf=8 nrep=1 par=(1) par_nf=(1) * (1)
\
  plorient=0 acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 \
  p_wa=0 ulp=0 lle_pcpc=84n lle_sa=198n lle_sb=198n lle_rxrxa=104n \
  lle_rrxrb=104n lle_rrxrn=200n lle_rrxrs=150n lle_pcrxn=150n \
  lle_pcrxs=75n w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 \
  swrpmhc_local=-1
  T_CLKm (net2 CLKm inh_lSup inh_lSup) slvtnfet_rf w=3u l=20n m=1 \
    as=157.5f ad=126f ps=4.59u pd=3.672u nf=8 nrep=1 par=(1) par_nf=(1) * (1)
\
  plorient=0 acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 \
  p_wa=0 ulp=0 lle_pcpc=84n lle_sa=198n lle_sb=198n lle_rxrxa=104n \
  lle_rrxrb=104n lle_rrxrn=200n lle_rrxrs=150n lle_pcrxn=150n \
  lle_pcrxs=75n w_tie_v=2 w_tie_h=2 dist_nrep=-1 swrfmhc_local=-1 \
  swrpmhc_local=-1
  R_Q (inh_hSup Qm inh_lSup) opndressoi_rf w=360n l=1.217u r=761.1111111 \
    s=1 pbar=(1)*(1) rsx=0 ncr=1

```

```

R_Qm (inh_hSup Q inh_lSup) opndressoi_rf w=360n l=1.217u r=761.1111111 \
    s=1 pbar=(1)*(1) rsx=0 ncr=1
ends D_latch
// End of subcircuit definition.

// Library name: wk_baluta
// Cell name: Divider_CML
// View name: schematic
subckt Divider_CML CLK_1 CLKm_1 D_1 Dm_1 Q_1 Qm_1 inh_hSup inh_lSup
    Second_latch (Q_1 Qm_1 CLKm_1 CLK_1 net2 net1 inh_hSup inh_lSup) \
        D_latch
    First_stage (net2 net1 CLK_1 CLKm_1 D_1 Dm_1 inh_hSup inh_lSup) \
        D_latch
ends Divider_CML
// End of subcircuit definition.

// Library name: wk_baluta
// Cell name: Divider_TSPC
// View name: schematic
subckt Divider_TSPC CLK D Q Qm inh_hSup inh_lSup
    T_P_F_2 (I1 CLK net1 inh_lSup) slvtpfet w=300n l=20n as=25.2f ad=25.2f \
        ps=768n pd=768n nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
        acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
        lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
    T_P_F_1 (net1 D inh_hSup inh_lSup) slvtpfet w=300n l=20n as=25.2f \
        ad=25.2f ps=768n pd=768n nf=1 par=(1) par_nf=(1) * (1) m=1 \
        plorient=0 acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 \
        p_wa=0 ulp=0 lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
    T_P_S (I2 CLK inh_hSup inh_lSup) slvtpfet w=300n l=20n as=25.2f \
        ad=25.2f ps=768n pd=768n nf=1 par=(1) par_nf=(1) * (1) m=1 \
        plorient=0 acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 \
        p_wa=0 ulp=0 lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
    T_P_T (Qm I2 inh_hSup inh_lSup) slvtpfet w=300n l=20n as=25.2f \
        ad=25.2f ps=768n pd=768n nf=1 par=(1) par_nf=(1) * (1) m=1 \
        plorient=0 acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 \
        p_wa=0 ulp=0 lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
    T_P_L (Q Qm inh_hSup inh_lSup) slvtpfet w=300n l=20n as=25.2f ad=25.2f \
        ps=768n pd=768n nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
        acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
        lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
    T_N_T_2 (net5 I2 inh_lSup inh_lSup) nfet w=300n l=20n as=25.2f \
        ad=25.2f ps=768n pd=768n nf=1 par=(1) par_nf=(1) * (1) m=1 \
        plorient=0 acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 \
        p_wa=0 ulp=0 lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
    T_N_T_1 (Qm CLK net5 inh_lSup) nfet w=300n l=20n as=25.2f ad=25.2f \
        ps=768n pd=768n nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
        acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
        lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0

```

```

T_N_L (Q Qm inh_lSup inh_lSup) nfet w=300n l=20n as=25.2f ad=25.2f \
    ps=768n pd=768n nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
    acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
    lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
T_N_F (I1 D inh_lSup inh_lSup) nfet w=300n l=20n as=25.2f ad=25.2f \
    ps=768n pd=768n nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
    acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
    lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
T_N_S_2 (net3 CLK inh_lSup inh_lSup) nfet w=300n l=20n as=25.2f \
    ad=25.2f ps=768n pd=768n nf=1 par=(1) par_nf=(1) * (1) m=1 \
    plorient=0 acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 \
    p_wa=0 ulp=0 lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
T_N_S_1 (I2 I1 net3 inh_lSup) nfet w=300n l=20n as=25.2f ad=25.2f \
    ps=768n pd=768n nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
    acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
    lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
ends Divider_TSPC
// End of subcircuit definition.

// Library name: wk_baluta
// Cell name: CMOS_latch
// View name: schematic
subckt CMOS_latch CLK CLKm D Q inh_hSup inh_lSup
    T_N_D (net2 D inh_lSup inh_lSup) nfet w=1u l=20n as=84f ad=84f \
        ps=2.168u pd=2.168u nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
        acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
        lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
    T_N_CLKm (Q CLKm net2 inh_lSup) nfet w=1u l=20n as=84f ad=84f \
        ps=2.168u pd=2.168u nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
        acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
        lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
    T_P_CLK (Q CLK net1 inh_lSup) slvtpfet w=1u l=20n as=84f ad=84f \
        ps=2.168u pd=2.168u nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
        acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
        lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
    T_P_D (net1 D inh_hSup inh_lSup) slvtpfet w=1u l=20n as=84f ad=84f \
        ps=2.168u pd=2.168u nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
        acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
        lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
ends CMOS_latch
// End of subcircuit definition.

// Library name: wk_baluta
// Cell name: Invertor_CMOS
// View name: schematic
subckt Invertor_CMOS IN OUT inh_hSup inh_lSup
    N0 (OUT IN inh_lSup inh_lSup) nfet w=500n l=20n as=42f ad=42f \
        ps=1.168u pd=1.168u nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \

```

```

        acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
        lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
P0 (OUT IN inh_hSup inh_lSup) slvtpfet w=500n l=20n as=42f ad=42f \
    ps=1.168u pd=1.168u nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
    acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
    lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
ends Invertor_CMOS
// End of subcircuit definition.

// Library name: wk_baluta
// Cell name: Divider_CMOS
// View name: schematic
subckt Divider_CMOS CLK CLKm D Dm Q Qm inh_hSup inh_lSup
    DIV_D_1 (CLK CLKm D X inh_hSup inh_lSup) CMOS_latch
    DIV_DM_1 (CLK CLKm Dm Y inh_hSup inh_lSup) CMOS_latch
    DIV_D_2 (CLKm CLK X Q inh_hSup inh_lSup) CMOS_latch
    DIV_DM_2 (CLKm CLK Y Qm inh_hSup inh_lSup) CMOS_latch
    I24 (Qm Q inh_hSup inh_lSup) Invertor_CMOS
    I21 (Y X inh_hSup inh_lSup) Invertor_CMOS
    I23 (Q Qm inh_hSup inh_lSup) Invertor_CMOS
    I22 (X Y inh_hSup inh_lSup) Invertor_CMOS
    C7 (Qm inh_lSup) apmomlv8 w=6u l=6u botlev=1 toplev=3 drawFill=0 \
        par=(1) m=1
    C6 (Y inh_lSup) apmomlv8 w=6u l=6u botlev=1 toplev=3 drawFill=0 \
        par=(1) m=1
    C3 (inh_lSup Q) apmomlv8 w=6u l=6u botlev=1 toplev=3 drawFill=0 \
        par=(1) m=1
    C0 (inh_lSup X) apmomlv8 w=6u l=6u botlev=1 toplev=3 drawFill=0 \
        par=(1) m=1
ends Divider_CMOS
// End of subcircuit definition.

// Library name: wk_baluta
// Cell name: Buffer
// View name: schematic
subckt Buffer IN INm OUT OUTm inh_hSup inh_lSup
    T_N_F (net4 IN inh_lSup inh_lSup) nfet w=500n l=20n as=42f ad=42f \
        ps=1.168u pd=1.168u nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
        acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
        lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
    T_N_F_m (net2 INm inh_lSup inh_lSup) nfet w=500n l=20n as=42f ad=42f \
        ps=1.168u pd=1.168u nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
        acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
        lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
    T_N_S (OUT net4 inh_lSup inh_lSup) nfet w=1.5u l=20n as=94.5f ad=63f \
        ps=2.754u pd=1.836u nf=4 par=(1) par_nf=(1) * (4) m=1 plorient=0 \
        acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
        lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0

```

```

T_N_S_m (OUTm net2 inh_lSup inh_lSup) nfet w=1.5u l=20n as=94.5f \
    ad=63f ps=2.754u pd=1.836u nf=4 par=(1) par_nf=(1) * (4) m=1 \
    plorient=0 acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 \
    p_wa=0 ulp=0 lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
T_P_F (net4 IN inh_hSup inh_lSup) slvtpfet w=500n l=20n as=42f ad=42f \
    ps=1.168u pd=1.168u nf=1 par=(1) par_nf=(1) * (1) m=1 plorient=0 \
    acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 \
    lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
T_P_F_m (net2 INm inh_hSup inh_lSup) slvtpfet w=500n l=20n as=42f \
    ad=42f ps=1.168u pd=1.168u nf=1 par=(1) par_nf=(1) * (1) m=1 \
    plorient=0 acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 \
    p_wa=0 ulp=0 lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
T_P_S (OUT net4 inh_hSup inh_lSup) slvtpfet w=1.5u l=20n as=94.5f \
    ad=63f ps=2.754u pd=1.836u nf=4 par=(1) par_nf=(1) * (4) m=1 \
    plorient=0 acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 \
    p_wa=0 ulp=0 lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
T_P_S_m (OUTm net2 inh_hSup inh_lSup) slvtpfet w=1.5u l=20n as=94.5f \
    ad=63f ps=2.754u pd=1.836u nf=4 par=(1) par_nf=(1) * (4) m=1 \
    plorient=0 acv_opt=-1 ptwell=0 ngcon=1 nscon=1 ndcon=1 p_la=0 \
    p_wa=0 ulp=0 lle_pcpc=84n tie_orient=0 swrfmhc_local=0 analog=0
ends Buffer
// End of subcircuit definition.

// Library name: wk_baluta
// Cell name: Buffer_CML
// View name: schematic
subckt Buffer_CML IN INm OUT OUTm inh_hSup inh_lSup
    T_N_F (net3 net4 inh_lSup inh_lSup inh_lSup) slvtnfet_mmw_5t w=3u \
        l=20n m=1 as=157.5f ad=126f ps=4.59u pd=3.672u nf=8 par=(1) \
        par_nf=(1) * (1) plorient=0 acv_opt=-1 ptwell=0 ngcon=2 nscon=1 \
        ndcon=1 p_la=0 p_wa=0 ulp=0 lle_pcpc=84n lle_sa=198n lle_sb=198n \
        lle_rxrxa=104n lle_rrxrb=104n lle_rrxrn=210n lle_rrxrs=210n \
        lle_pcrxn=160n lle_pcrxs=160n w_tie_v=2 w_tie_h=2 \
        pre_layout_rf_beol_local=3 swrfmhc_local=-1 swrpmhc_local=-1 \
        nrep=1 dist_nrep=-1
    T_N_F_m (net2 net1 inh_lSup inh_lSup inh_lSup) slvtnfet_mmw_5t w=3u \
        l=20n m=1 as=157.5f ad=126f ps=4.59u pd=3.672u nf=8 par=(1) \
        par_nf=(1) * (1) plorient=0 acv_opt=-1 ptwell=0 ngcon=2 nscon=1 \
        ndcon=1 p_la=0 p_wa=0 ulp=0 lle_pcpc=84n lle_sa=198n lle_sb=198n \
        lle_rxrxa=104n lle_rrxrb=104n lle_rrxrn=210n lle_rrxrs=210n \
        lle_pcrxn=160n lle_pcrxs=160n w_tie_v=2 w_tie_h=2 \
        pre_layout_rf_beol_local=3 swrfmhc_local=-1 swrpmhc_local=-1 \
        nrep=1 dist_nrep=-1
    T_N_S (OUT net3 inh_lSup inh_lSup inh_lSup) slvtnfet_mmw_5t w=3u l=20n \
        m=1 as=157.5f ad=126f ps=4.59u pd=3.672u nf=8 par=(1) par_nf=(1) * (1) \
        plorient=0 acv_opt=-1 ptwell=0 ngcon=2 nscon=1 ndcon=1 p_la=0 \
        p_wa=0 ulp=0 lle_pcpc=84n lle_sa=198n lle_sb=198n lle_rxrxa=104n \
        lle_rrxrb=104n lle_rrxrn=210n lle_rrxrs=210n lle_pcrxn=160n \

```

```

lle_pcrxs=160n w_tie_v=2 w_tie_h=2 pre_layout_rf_beol_local=3 \
swrfmhc_local=-1 swpshmhc_local=-1 nrep=1 dist_nrep=-1
T_N_S_m (OUTm net2 inh_lSup inh_lSup inh_lSup) slvtnfet_mmw_5t w=3u \
l=20n m=1 as=157.5f ad=126f ps=4.59u pd=3.672u nf=8 par=(1) \
par_nf=(1) * (1) plorient=0 acv_opt=-1 ptwell=0 ngcon=2 nscon=1 \
ndcon=1 p_la=0 p_wa=0 ulp=0 lle_pcpc=84n lle_sa=198n lle_sb=198n \
lle_rxrxa=104n lle_rrxrb=104n lle_rrxrn=210n lle_rrxrs=210n \
lle_pcrxn=160n lle_pcrxs=160n w_tie_v=2 w_tie_h=2 \
pre_layout_rf_beol_local=3 swrfmhc_local=-1 swpshmhc_local=-1 \
nrep=1 dist_nrep=-1
Cm (INm net1 inh_lSup) apmomlv8_rf w=3.5u l=5u botlev=3 toplev=7 \
par=(1) m=1 shield=1 prefill=0
C (net4 IN inh_lSup) apmomlv8_rf w=3.5u l=5u botlev=3 toplev=7 par=(1) \
m=1 shield=1 prefill=0
Rm (net1 net2 inh_lSup) reopnarnpcres_rf w=40n l=2.8u r=57.5K s=1 \
pbar=(1)*(1) rsx=0 ncr=2 bp=3
R (net3 net4 inh_lSup) reopnarnpcres_rf w=40n l=2.8u r=57.5K s=1 \
pbar=(1)*(1) rsx=0 ncr=2 bp=3
T_P_S (OUT net3 inh_hSup inh_lSup inh_hSup inh_lSup) slvtpfet_mmw_6t \
w=3u l=20n m=1 as=157.5f ad=126f ps=4.59u pd=3.672u nf=8 par=(1) \
par_nf=(1) * (1) plorient=0 acv_opt=-1 ptwell=1 ngcon=2 nscon=1 \
ndcon=1 p_la=0 p_wa=0 ulp=0 lle_pcpc=84n lle_sa=198n lle_sb=198n \
lle_rxrxa=104n lle_rrxrb=104n lle_rrxrn=210n lle_rrxrs=210n \
lle_pcrxn=160n lle_pcrxs=160n w_tie_v=2 w_tie_h=2 \
pre_layout_rf_beol_local=3 swrfmhc_local=-1 swpshmhc_local=-1 \
nrep=1 dist_nrep=-1 sw_dnwell=0
T_P_S_m (OUTm net2 inh_hSup inh_lSup inh_hSup inh_lSup) \
slvtpfet_mmw_6t w=3u l=20n m=1 as=157.5f ad=126f ps=4.59u \
pd=3.672u nf=8 par=(1) par_nf=(1) * (1) plorient=0 acv_opt=-1 \
ptwell=1 ngcon=2 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 lle_pcpc=84n \
lle_sa=198n lle_sb=198n lle_rxrxa=104n lle_rrxrb=104n \
lle_rrxrn=210n lle_rrxrs=210n lle_pcrxn=160n lle_pcrxs=160n \
w_tie_v=2 w_tie_h=2 pre_layout_rf_beol_local=3 swrfmhc_local=-1 \
swpshmhc_local=-1 nrep=1 dist_nrep=-1 sw_dnwell=0
T_P_F_m (net2 net1 inh_hSup inh_lSup inh_hSup inh_lSup) \
slvtpfet_mmw_6t w=3u l=20n m=1 as=157.5f ad=126f ps=4.59u \
pd=3.672u nf=8 par=(1) par_nf=(1) * (1) plorient=0 acv_opt=-1 \
ptwell=1 ngcon=2 nscon=1 ndcon=1 p_la=0 p_wa=0 ulp=0 lle_pcpc=84n \
lle_sa=198n lle_sb=198n lle_rxrxa=104n lle_rrxrb=104n \
lle_rrxrn=210n lle_rrxrs=210n lle_pcrxn=160n lle_pcrxs=160n \
w_tie_v=2 w_tie_h=2 pre_layout_rf_beol_local=3 swrfmhc_local=-1 \
swpshmhc_local=-1 nrep=1 dist_nrep=-1 sw_dnwell=0
T_P_F (net3 net4 inh_hSup inh_lSup inh_hSup inh_lSup) slvtpfet_mmw_6t \
w=3u l=20n m=1 as=157.5f ad=126f ps=4.59u pd=3.672u nf=8 par=(1) \
par_nf=(1) * (1) plorient=0 acv_opt=-1 ptwell=1 ngcon=2 nscon=1 \
ndcon=1 p_la=0 p_wa=0 ulp=0 lle_pcpc=84n lle_sa=198n lle_sb=198n \
lle_rxrxa=104n lle_rrxrb=104n lle_rrxrn=210n lle_rrxrs=210n \
lle_pcrxn=160n lle_pcrxs=160n w_tie_v=2 w_tie_h=2 \

```

```

        pre_layout_rf_beol_local=3 swrfmhc_local=-1 swrpmhc_local=-1 \
        nrep=1 dist_nrep=-1 sw_dnwell=0
ends Buffer_CML
// End of subcircuit definition.

// Library name: wk_baluta
// Cell name: Divivder_TOP
// View name: schematic
subckt Divivder_TOP CLK CLKm OUT_10M OUT_10Mm inh_hSup inh_lSup
    CML2 (\10G \10Gm net10 net9 net9 net10 inh_hSup inh_lSup) Divider_CML
    CML1 (net3 net4 net6 net5 net5 net6 inh_hSup inh_lSup) Divider_CML
    TSPC3 (1_25G \625Mm \625M \625Mm inh_hSup inh_lSup) Divider_TSPC
    TSPC2 (2_5G net1 net31 net1 inh_hSup inh_lSup) Divider_TSPC
    TSPC1 (\5G 2_5Gm 2_5G 2_5Gm inh_hSup inh_lSup) Divider_TSPC
    CMOS6 (\19M \19Mm net73 net74 net74 net73 inh_hSup inh_lSup) \
        Divider_CMOS
    CMOS5 (\39M \39Mm net63 net64 net64 net63 inh_hSup inh_lSup) \
        Divider_CMOS
    CMOS4 (\78M \78Mm net53 net54 net54 net53 inh_hSup inh_lSup) \
        Divider_CMOS
    CMOS3 (\156M \156Mm \78Mm \78M \78M \78Mm inh_hSup inh_lSup) \
        Divider_CMOS
    CMOS2 (\312M \312Mm \156Mm \156M \156M \156Mm inh_hSup inh_lSup) \
        Divider_CMOS
    CMOS1 (\625M \625Mm \312Mm \312M \312M \312Mm inh_hSup inh_lSup) \
        Divider_CMOS
    B_CMOS_3 (net74 net73 OUT_10M OUT_10Mm inh_hSup inh_lSup) Buffer
    B_CMOS_2 (net64 net63 \19M \19Mm inh_hSup inh_lSup) Buffer
    B_CMOS_1 (net54 net53 \39M \39Mm inh_hSup inh_lSup) Buffer
    B_TSPC (net31 net1 1_25G 1_25Gm inh_hSup inh_lSup) Buffer
    B_CML_3 (net9 net10 \5G \5Gm inh_hSup inh_lSup) Buffer_CML
    B_CML_2 (net5 net6 \10G \10Gm inh_hSup inh_lSup) Buffer_CML
    B_CML_1 (CLK CLKm net3 net4 inh_hSup inh_lSup) Buffer_CML
ends Divivder_TOP
// End of subcircuit definition.

```