

UNIVERSITÉ DE SHERBROOKE  
Faculté de génie  
Département de Génie Électrique et de Génie Informatique  
Spécialité : Génie Électrique

UNIVERSITÉ DE PARIS-SACLAY  
École doctorale : ELECTRICAL, OPTICAL, BIO-PHYSICS AND  
ENGINEERING (EOBE)  
Spécialité: spécialité Électronique et Optoélectronique, Nano- et  
Microtechnologies

Thèse de doctorat en cotutelle

Conception et fabrication d'un transistor de puissance  
à architecture verticale de type *normally-off* à base  
d'un réseau de nanofils de GaN

Thèse présentée et soutenue à Sherbrooke, le 25 avril 2023 par :

**Mohammed BENJELLOUN**

Membres du Jury :

Pr. Hassan Maher	Directeur
Pr. Jean-Christophe Harmand	Co-directeur
Pr. Ali Soltani	Encadrant
Pr. Denis Morris	Encadrant
Pr. Noëlle Gogneau	Encadrante
Pr. Andreas Ruediger	Évaluateur
Pr. Bassem Salem	Évaluateur
Pr. Frédéric Aniel	Évaluateur
Pr. Dominique Drouin	Rapporteur



# RÉSUMÉ

Du fait de ses propriétés physiques remarquables, le nitrure de gallium (GaN) est un matériau très attrayant pour la fabrication de composants pour l'électronique de puissance en commutation et à haute température. En outre, les transistors HEMT à base de GaN sont les dispositifs les plus utilisés pour ces applications, dû à leur densité de courant élevée et leur faible résistance à l'état passant. Cependant, en raison de la conduction latérale dans ces structures et à l'absence d'un substrat accordé en paramètre de maille, le mode *normally-off* constitue toujours un défi. Les contraintes à ce développement sont principalement liées aux courants de fuite au niveau de la grille, de la couche tampon, ou à l'interface avec le substrat, ainsi que la dégradation des propriétés de transport causée par les effets d'auto-échauffement. C'est pourquoi, nous proposons une nouvelle approche d'un transistor MOSFET de puissance à conduction verticale basée sur une structure à nanofils à base de GaN. Ce concept permet non seulement une dissipation thermique optimale mais aussi une commande parfaite du canal conducteur via une grille enrobante et isolée. L'objectif étant de les réaliser sur substrat de silicium afin d'assurer un bas coût, reproductible, fiable et capable de fonctionner dans des environnements hostiles. Pour relever ces défis, une simulation numérique d'un transistor vertical à base d'un nanofil de GaN est réalisée au moyen de l'outil *TCAD-Sentaurus* afin d'optimiser les paramètres géométriques et physiques du dispositif afin d'obtenir un mode *normally-off*, stable à fort champ. Pour cela, la structure a été optimisée en prenant en compte certains états de surface, de manière à minimiser les courants de fuite à l'état bloquant et la résistance à l'état passant  $R_{ON}$ , de façon à maximiser la tension de claquage.

Deux approches différentes peuvent être mises en œuvre pour élaborer ces nanostructures. La première est l'approche descendante (*top-down*), faisant appel à la gravure de la surface de l'homo-structure, permet de contrôler à la fois le diamètre, la longueur (hauteur) et la densité des nanofils. Cette approche est particulièrement adaptée pour révéler les plans réticulaires verticaux par voie chimique et donc minimiser les états électroniques de surface du MOSFET. La seconde approche dite ascendante (*bottom-up*) correspond à réaliser une croissance épitaxiale compliant de nanofils de GaN au travers un masque de nano/micro-trous dans un diélectrique, sur un substrat de silicium. La technique de croissance utilisée dans cette étude est l'épitaxie par jets moléculaires (MBE) assistée par plasma, laquelle assure dans cette configuration une croissance de nanofils exempt de dislocations traversantes. Ces procédés laissent entrevoir une amélioration drastique des performances électroniques de ces composants. Les différentes étapes de la microfabrication du transistor par l'approche descendante ont été développées (dépôt de l'oxyde de grille, des couches de séparation, de la métallisation de grille et des contacts de source/drain, etc.)

Mots Clefs: Nanofils, GaN, conduction verticale, tension de claquage, *normally-off*, TCAD-Sentaurus, résistance à l'état passant ( $R_{ON}$ ), état de surface, tension seuil.

# ABSTRACT

Due to its outstanding physical properties, gallium nitride (GaN) is an attractive material to lead the industry of power devices and high temperature switching. Furthermore, GaN-based HEMTs are the most widely used devices for these applications due to their high current density and low on-state resistance. However, because of the lateral conduction in these structures as well as the absence of lattice-matched substrate, the normally-off mode is still difficult to achieve. The obstacles to this development are mainly related to the leakage currents at the gate, the buffer layer, or at the interface with the substrate, as well as the degradation of the transport properties caused by self-heating effects. Therefore, we propose a new vertical conduction power MOSFET approach based on a GaN-based nanowire structure. This concept allows optimal thermal dissipation and perfect control of the conductive channel via a surrounding and isolated gate (GAA). The objective is to realize them on silicon substrate ensuring a low cost, reproducible, reliable, and able to operate in hostile environments. To meet these challenges, a numerical simulation of a vertical power transistor based on a single GaN nanowire is performed using the TCAD-Sentaurus simulator in order to optimize the geometrical and physical parameters of the device, to achieve a stable normally-off mode at high electric field. For this purpose, the structure has been optimized by considering surface states so as to minimize the leakage currents in the off-state and the on-state resistance ( $R_{ON}$ ), then to maximize the breakdown voltage.

Two technical approaches are used to elaborate these nanostructures. The first one is the top-down approach, which involved the etching of the homo-structure surface, allowing to control the diameter, the length (height) and the density of the nanowires. This approach is particularly suitable to reveal the vertical reticular planes by chemical process and thus minimizing the electronic surface states of the MOSFET.

The second approach, called bottom-up, involves a compliant epitaxial growth of GaN nanowires through a mask of nano/micro-holes in a dielectric on a Si substrate. The technique used in this study is plasma-assisted molecular beam epitaxy (MBE), which ensures the growth of threading dislocation free nanowires. These processes promise a drastic improvement of the electronic performances of these components. The different steps of the microfabrication of the transistor by the top-down approach have been developed (deposition of gate oxide, separation layers, gate metallization and source/drain contacts, etc.).

Keywords: Nanowire, GaN, vertical conduction, breakdown voltage, Normally-off, TCAD-Sentaurus, On-state resistance ( $R_{ON}$ ), surface traps, threshold voltage ( $V_{th}$ ).



# REMERCIEMENTS

La réalisation de ce travail de thèse en cotutelle a été possible grâce à l'aide de plusieurs personnes à qui j'aimerais témoigner toute ma gratitude. J'aimerais tout d'abord offrir mes plus sincères remerciements à mes deux directeurs de recherche, Pr. Hassan Maher de l'Université de Sherbrooke et Pr. Jean-Christophe Harmand de l'Université Paris-Saclay, pour m'avoir offert l'opportunité de réaliser cette thèse. Merci pour votre patience, votre disponibilité et surtout vos conseils qui ont contribué à l'aboutissement de ces travaux et pour cette expérience de vie très enrichissante.

Le suivi de qualité dispensé par mes trois co-encadrants de thèse a également su nourrir mes réflexions et a représenté une profonde satisfaction intellectuelle. Merci donc au Pr. Noëlle Gogneau pour ses conseils, son aide et son soutien quotidien à mes activités de recherche tout au long de mon séjour en France. Je tiens à remercier également Pr. Denis Morris pour la pertinence de sa contribution qui m'a permis d'approfondir mes connaissances scientifiques. Un remerciement particulier au Pr. Ali Soltani pour toutes les discussions scientifiques très enrichissantes que nous avons eues tout au long de ces années ainsi que pour son aide lors de la correction de ce manuscrit. Sans lui, cette thèse n'aurait jamais vu le jour.

Je tiens à adresser mes plus chaleureux remerciements à tout le personnel de la salle blanche du C2N et de la plateforme 3IT.nano. Vous avez su créer un environnement de recherche agréable. Merci pour votre soutien et vos formations qui m'ont permis d'avoir une autonomie au travail, de parfaire ma méthodologie et mon savoir-être. Pr. Abdelatif Jaouad, René Labrecque, Marie-Josée Gour, Étienne Paradis, Pierre Langlois, Caroline Roy, Jonathan Vermette, Étienne Grondin, Guillaume Bertrand, Daniel Blackburn, Stéphane Morin, Chantal Simard, Samuel René De Cotret, Laurent Travers, David Bouville, Christophe Dupuis, Alan Durnez, et tous ceux et celles que j'ai oubliés.

Je ne peux pas laisser passer cette occasion sans remercier les nombreux amis et collègues exceptionnels que j'ai côtoyés au cours de mes études. Mes profonds remerciements s'adressent naturellement à Abdelouadoud El Mesoudy, Soundoss Maher, El-mehdi Mojab, Mohamed El-Gahouchi, Faissal El Hamidi, Hassane Ouazzani Chahdi, Abderrahim El Amrani, Gwen Rolland, Raphaël Dawant, Oleh Fesiienko, Bilal Hassan, Ataallah Youcef Bioud, Mohamed Najah, Nedal Al Taradeh, Zahraa Zaidan, Tanbir Sodhi, Arup Kunti, Martina Morassi, Federico Panciera, Anton Pishchagin, Gilles Patriarche. Grâce à vous, cette thèse restera toujours un souvenir précieux gravé dans ma mémoire.

Enfin, je tiens à remercier les membres du jury d'avoir pris le temps d'examiner ce manuscrit et pour leurs efforts dans l'évaluation de ce travail.



# TABLE DES MATIÈRES

RÉSUMÉ .....	3
ABSTRACT .....	4
REMERCIEMENTS .....	6
TABLE DES MATIÈRES .....	8
LISTE DES FIGURES .....	12
LISTE DES TABLEAUX.....	19
ACRONYMES .....	20
<b>CHAPITRE I : INTRODUCTION GÉNÉRALE .....</b>	<b>22</b>
I.1    CONTEXTE GÉNÉRAL .....	23
I.1.1 <i>Structure cristalline du GaN</i> .....	24
I.1.2 <i>Champ de claquage du GaN</i> .....	26
I.1.3 <i>Propriété thermique du GaN</i> .....	26
I.1.4 <i>Polarisations : spontanée et piézoélectrique</i> .....	26
I.1.5 <i>Le dopage du GaN</i> .....	28
I.1.6 <i>Substrats utilisés pour la croissance du GaN</i> .....	28
I.2    CONTEXTE DU PROJET ET PROBLÉMATIQUE .....	30
I.2.1 <i>Transistor HEMT</i> .....	30
I.2.2 <i>Transistor vertical</i> .....	32
I.2.3 <i>Approches: descendante et ascendante (Top-down et Bottom-up)</i> .....	33
I.2.4 <i>Sensibilité du nanofil aux états de surface</i> .....	34
I.3    OBJECTIFS DE LA THÈSE .....	35
<b>CHAPITRE II : ÉTAT DE L'ART DES TRANSISTORS À BASE DE GAN QUASI-1D .....</b>	<b>38</b>
II.1    INTRODUCTION.....	38
II.2    DE LA STRUCTURE LATÉRALE À LA STRUCTURE VERTICALE.....	38
II.3    NOUVELLES STRUCTURES : ARCHITECTURE À NANOFIL .....	42
II.3.1 <i>Les transistors FETs à conduction latérale à base de nanofils</i> .....	43
II.3.2 <i>Les transistors FETs verticaux à base de nanofils de GaN</i> .....	45
II.4    CONCLUSION .....	51
<b>CHAPITRE III : ..... SIMULATION D'UN TRANSISTOR À BASE DE NANOFILS DE GAN</b>	



III.1	INTRODUCTION.....	53
III.2	DESCRIPTION DE L'OUTIL DE SIMULATION.....	54
III.2.1	<i>Logiciel de simulation SENTAURUS</i> .....	54
III.2.2	<i>Présentation de la structure initiale</i> .....	55
III.2.3	<i>Optimisation du maillage</i> .....	56
III.3	MODÈLE PHYSIQUE ET PARAMÈTRES UTILISÉS.....	57
III.3.1	<i>Les équations fondamentales</i> .....	57
III.3.2	<i>Mécanismes de transport</i> .....	58
III.3.3	<i>Modélisation des autres mécanismes physiques</i> .....	59
III.4	ÉTUDE DE LA RÉGION DU CANAL.....	60
III.4.1	<i>Impact du diamètre de la zone de canal</i> .....	60
III.4.2	<i>Impact du niveau de dopage du canal</i> .....	65
III.5	ÉTUDE D'UNE ZONE DE DÉRIVE EN VOLUME.....	69
III.5.1	<i>Impact de l'épaisseur de la zone de dérivation</i> .....	70
III.5.2	<i>Impact du niveau de dopage de la zone de dérivation</i> .....	72
III.6	ÉTUDE DE LA ZONE DE DÉRIVE EN NANOFIL.....	73
III.6.1	<i>Impact de la longueur de la zone de dérivation quasi-1D</i> .....	74
III.7	CONCLUSION.....	79

**CHAPITRE IV :.....DÉVELOPPEMENT D'UN PROCÉDÉ DE MICROFABRICATION D'UN TRANSISTOR VERTICAL À BASE DE NANOFILS DE GAN.....82**

IV.1	INTRODUCTION.....	82
IV.2	NETTOYAGE ET PRÉ-CONDITIONNEMENT DE L'ÉCHANTILLON.....	85
IV.2.1	<i>Découpe du wafer</i> .....	85
IV.2.2	<i>Nettoyage des plaques</i> .....	85
IV.2.3	<i>Définition de la région active du transistor</i> .....	85
IV.3	ÉLABORATION DES NFS DE GAN PAR APPROCHE DESCENDANTE.....	87
IV.3.1	<i>Choix du masque de gravure</i> .....	87
IV.3.2	<i>Écriture électronique</i> .....	90
IV.3.3	<i>Résultats de la gravure de nanofils de GaN</i> .....	95
IV.4	PROCÉDÉ DE DÉPOSITION DE CONTACT DE DRAIN.....	99
IV.5	DÉPÔT DE L'OXYDE DE GRILLE.....	102
IV.5.1	<i>Dépôt de Al<sub>2</sub>O<sub>3</sub> par la technique ALD</i> .....	102
IV.5.2	<i>Gravure de l'isolant de grille Al<sub>2</sub>O<sub>3</sub></i> .....	104
IV.6	PREMIÈRE COUCHE DE SÉPARATION.....	104
IV.6.1	<i>Le choix de matériau de remplissage</i> .....	105
IV.6.2	<i>Recuit de SoG</i> .....	107

IV.6.3	Gravure de SoG .....	107
IV.7	MÉTALLISATION DE GRILLE.....	110
IV.7.1	Dépôt du métal de grille.....	111
IV.7.2	Gravure du TiN au sommet des NFs .....	112
IV.7.3	Définition des plots de grille.....	113
IV.8	COUCHE D'ISOLATION/REPLISSAGE ET MÉTALLISATION DE LA SOURCE.....	115
IV.9	CONCLUSION.....	119

## CHAPITRE V : CROISSANCE DES NANOFILS DE GAN PAR ÉPITAXIE PAR JETS

### MOLÉCULAIRES 121

V.1	INTRODUCTION.....	121
V.2	ÉPITAXIE PAR JETS MOLÉCULAIRES .....	122
V.2.1	Principe et fonctionnement de la technique EJM.....	122
V.2.2	Caractérisation RHEED .....	124
V.2.3	Description des composants du bâti .....	125
V.2.4	Cinétique de croissance par la technique EJM.....	127
V.2.5	Les différents modes de croissance cristalline.....	128
V.2.6	État de l'art de la croissance des nanofils de GaN.....	130
V.2.7	Mécanisme de croissance auto-assemblée des nanofils GaN.....	133
V.3	PROTOCOLE DE CROISSANCE SUIVI.....	137
V.3.1	Nettoyage et pré-conditionnement de la surface du Si(111) .....	137
V.3.2	Dégazage de la surface du Si(111) .....	138
V.3.3	Calibration du pyromètre .....	138
V.3.4	Croissance de la couche de nucléation d'AlN .....	139
V.4	CROISSANCE AUTO-ASSEMBLÉE DES NANOFILS GAN SUR Si(111).....	140
V.4.1	Diagramme de croissance.....	140
V.4.2	Méthode de croissance en deux phases (two steps approach) .....	144
V.5	EFFET DE DOPAGE TYPE N SUR LES NANOFILS DE GAN .....	146
V.6	VERS UNE CROISSANCE LOCALISÉE DES NANOFILS GAN SUR Si(111).....	150
V.7	CONCLUSION.....	153

## CHAPITRE VI :..... CONCLUSION ET PERSPECTIVES

### 156

VI.1	CONCLUSION GÉNÉRALE .....	156
VI.2	PERSPECTIVES .....	159

## ANNEXE .....

161

## RÉFÉRENCES .....

162



# LISTE DES FIGURES

Figure 1 : Structure cristalline du GaN : a) Zinc-Blende. b) hexagonal (Wurtzite). c) Diagramme de bande de la structure hexagonale. d) Première zone de Brillouin de la structure hexagonale. [6].....	25
Figure 2 : Sens de polarisation spontanée et répartition des charges surfaciques selon la terminaison de couche de GaN [6].....	27
Figure 3 : Orientation cristalline de la maille du GaN sur : a) substrat de saphir. b) substrat de Si (111). [6]. ....	29
Figure 4 : a) Structure d'un HEMT conventionnel. b-g) Différentes techniques pour avoir un mode normally-off pour un transistor HEMT.....	31
Figure 5 : Bandes de conduction et de valence d'un nanofil sous l'effet des états de surface et de son diamètre. ....	34
Figure 6 : Architectures proposées dans le cadre de cette thèse. ....	36
Figure 7 : a) Structure VHEFT fabriquée par M.Okada et al. [18]. b) Structure MOS-VFET fabriquée par T.Oka et al. [21]. c) Structure de CAVET fabriquée par Hui Nie et al [19]. d) Structure d'un CAVET à canal incliné [20]. ....	40
Figure 8 : Structure simulée par W. Li et al.[22] b) - Structure Fin Power FET fabriquée par M.Sun et al [23]. ....	41
Figure 9 : Image MEB avec la structure optimisée par le groupe de M. Sun et al. [24], [25].....	42
Figure 10 : Schéma 3D et caractérisation électriques de la structure de Huang et al.[28]. ....	43
Figure 11 : Schéma avec une image MEB et caractérisations électriques de la structure de Blanchard et al [30]. ....	44
Figure 12 : Schéma avec une image MEB et caractérisation électrique de la structure de Gačević et al. [31]. ....	45
Figure 13 : Procédé de définition des nanofils par Jo et al. [32].....	46
Figure 14 : Procédé de fabrication de la structure par Jo et al.[32]: (a) les nanofils de GaN. (b) dépôt de Al <sub>2</sub> O <sub>3</sub> /TiN/SiO <sub>2</sub> . (c) étalement de la résine (PR). (d) Gravure sèche de	

PR/ SiO <sub>2</sub> //TiN/Al <sub>2</sub> O <sub>3</sub> . (e) Gravure humide de TiN. (f) dépôt de SiO <sub>2</sub> et étalement de PR.	
(g) Gravure sèche de PR/SiO <sub>2</sub> . (h) formation du contact ohmique.....	46
Figure 15 : Vue 3D des différentes couches déposées avec une image MEB de la structure de Jo et al.[32]......	47
Figure 16 : Forme conique obtenue après gravure sèche, (b) nanofils de GaN obtenus après gravure humide. Référence : Yu et al. [33]. .....	48
Figure 17 : Schéma 3D de la structure à base des nanofils verticaux. (b) La structure épitaxiale avec les différentes couches déposées. (c) une image prise par MEB d'une coupe transversale de la structure de Yu et al. [33]......	48
Figure 18 : Schéma des différentes étapes du procédé de fabrication avec une image prise par MEB d'une coupe transversale de la structure de Son et al. [36]. .....	50
Figure 19 : Schéma de la structure épitaxiale avec les couches déposées par Hu et al. [37] et une image MEB des nanofils après la gravure humide.....	51
Figure 20 : Enchaînement de fonctionnalités disponibles via la simulation avec le logiciel Sentaurus.....	54
Figure 21 : Schéma de la structure de départ dessinée par l'outil SDE.....	55
Figure 22 : Illustration d'un maillage type généré par l'outil SNMESH. ....	57
Figure 23 : Forme des diagrammes de bandes le long d'une découpe verticale passant par le centre du nanofil pour différents diamètres et tensions de drain: a) - $V_{ds} = 0$ V ; b) - $V_{ds} = 20$ V.....	61
Figure 24 : Diagrammes de bande de conduction le long d'une coupe horizontale passant par le centre de la zone du canal, pour différentes tensions de grille et différents diamètres du canal : a) $D = 200$ nm ; b) $D = 400$ nm ; c) $D = 600$ nm. ....	62
Figure 25 : Densité de courant passant dans la structure pour différents diamètres à $V_{gs} = 0$ V et $V_{ds} = 20$ V. ....	63
Figure 26 : Caractéristiques de transfert du transistor simulé pour différents diamètres de nanofil. a) en échelle linéaire. a) en échelle $\log_{10}$ . ....	64
Figure 27 : Tension de seuil extraite à $I_{ds} = 10$ mA/cm <sup>2</sup> en fonction du diamètre du nanofil, avec et sans les états de surface. ....	65
Figure 28 : Diagrammes de bande le long d'une coupe verticale passant par le centre du nanofil pour différents niveaux de dopage du canal, en fixant le diamètre à 200 nm : a) - $V_{ds}$	

= 0 V ; b) - $V_{ds} = 20$ V. ....	66
Figure 29 : Densité de courant passant dans la structure pour différents dopages du canal pour un diamètre de 200 nm à $V_{gs} = 0$ V et $V_{ds} = 20$ V. ....	67
Figure 30 : Valeurs de la tension de seuil extraite à $I_{ds} = 10$ mA/cm <sup>2</sup> (a) et du diamètre critique correspondant à $V_{th}=0$ V (b), tracées en fonction du niveau de dopage du canal, et ce pour différents diamètres de nanofil avec et sans états de surface. ....	68
Figure 31 : Cartographie du champ électrique à $V_{gs} = 0$ V en fonction de la tension drain-source $V_{ds}$ en fixant le diamètre à 200 nm et la longueur de la zone de dérivation à 2 $\mu$ m. ...	70
Figure 32 : a) – Courant de fuite pour une longueur de zone de dérivation de 2 $\mu$ m. b) - Tension de claquage $V_{BR}$ extraite en fonction de l'épaisseur de la zone de dérivation. ....	71
Figure 33 : a) Caractéristiques $I_{ds}$ - $V_{ds}$ pour $D = 100$ nm, 200 nm et 300 nm et pour différentes épaisseurs de la zone de dérivation. b) L'extraction de la résistance à l'état passant en fonction de l'épaisseur de la zone de dérivation, pour différents diamètres de nanofil. ....	72
Figure 34 : Évolution de la tension de claquage $V_{BR}$ et de la résistance à l'état passant $R_{ON}$ en fonction du niveau de dopage de la zone de dérivation, et ce pour différents diamètres de nanofils. ....	73
Figure 35 : Schéma de la structure de référence avec une zone de dérivation quasi-1D. ..	74
Figure 36 : Évolution de la tension de claquage $V_{BR}$ et de la résistance à l'état passant $R_{ON}$ en fonction de la longueur de la zone de dérivation pour plusieurs diamètres de NF, avec et sans états de surface. ....	74
Figure 37 : Caractéristiques $I_{ds}$ - $V_{ds}$ en fonction du niveau de dopage de la zone de dérivation, avec et sans états de surface et pour des diamètres de nanofil de 100 nm et 200 nm. ....	76
Figure 38 : Cartographie de la température à $V_{gs} = 5$ V en fonction de la tension drain-source $V_{ds}$ , en fixant le diamètre à 200 nm et la longueur de la zone de dérivation à 1 $\mu$ m. ..	76
Figure 39 : Évolution de la résistance à l'état passant $R_{ON}$ en fonction du niveau de dopage de la zone de dérivation, pour une longueur $L_{Dérive} = 1$ $\mu$ m (a) et $L_{Dérive} = 2$ $\mu$ m (b). ..	77
Figure 40 : Niveau de dopage minimal pour $R_{ON}$ minimum en fonction du diamètre du nanofil, et ce pour deux longueurs différentes de la zone de dérivation. ....	78
Figure 41 : Évolution de la tension de claquage en fonction de dopage de la zone de dérivation pour une longueur $L_{Dérive} = 1$ $\mu$ m et $L_{Dérive} = 2$ $\mu$ m. ....	79
Figure 42 : Illustration des étapes grandes technologiques de l'approche top-down pour	

l'Architecture I.....	83
Figure 43 : Illustration des étapes grandes technologiques de l'approche top-down pour l'Architecture II .....	83
Figure 44 : Représentation schématique de l'étape d'implantation ionique. ....	86
Figure 45 : a) - Schéma d'une machine de gravure ICP-RIE (Source d'image : DOI: 10.1088/1361-6463/aab8b7). b) - Photographie des systèmes de gravure plasma STS utilisés dans le cadre de cette thèse.....	88
Figure 46 : Procédé de gravure sèche des NFs de GaN : a) En utilisant un masque métallique. b) En utilisant un masque diélectrique.....	90
Figure 47 : a) - Schéma d'une microscopie électronique à balayage (Source d'image : Wikipédia) b) - Photographie de la machine Raith150Two utilisée dans le cadre de cette thèse. ....	92
Figure 48 : a) - Image optique des motifs utilisés pour la caractérisation des tests de dose après développement et soulèvement. b) - Images MEB des réseaux de motifs métalliques en fonction de la dose appliquée en fixant leurs diamètres initiaux dans le GDS à 100 nm et 200 nm. ....	93
Figure 49 : Images MEB de réseaux de motifs de résine MaN-2405 en fonction de la dose appliquée en fixant leurs diamètres initiaux dans le GDS à 200 nm, 300 nm et 400 nm, ainsi pour des motifs de taille point.....	94
Figure 50: a) - Procédé de gravure humide des NFs de GaN. b) - Photo du banc de gravure humide utilisé.....	95
Figure 51 : Images MEB de l'évolution de la gravure humide en fonction du temps avec un masque métallique. ....	96
Figure 52: Images MEB des NFs de GaN avec un masque métallique pour différentes densités et diamètres. ....	97
Figure 53 : Images MEB des NFs de GaN avec un masque diélectrique pour différentes densités et diamètres. ....	98
Figure 54 : a) Mesures I-V de CTL; b) Image MEB de la CTLM; c) Évolution de la Résistance Totale en fonction de la distance inter-électrodes d. ....	99
Figure 55 : Étapes de dépôt du métal de drain. ....	100
Figure 56 : Visualisation par microscope optique après développement de la résine avec	

des coins pointus (a) et avec des coins arrondis (b); c) Mesure au profilomètre de la résine entre les points A à B contenant la zone du contact de drain et du réseau de NFs. .... 101

Figure 57 : a) Image optique des pads de drain avec le réseau de NFs après soulèvement. b) Mesure au profilomètre entre les points A à B; c-d) Images MEB des réseaux de NFs avec le contact de drain, avant et après plasma O<sub>2</sub>. .... 102

Figure 58 : a) Représentation schématique d'un cycle ALD [50]. b) Photographie de la machine ALD utilisée. .... 103

Figure 59 : Taux de gravure de l'Al<sub>2</sub>O<sub>3</sub> en fonction de la puissance P<sub>p</sub> pour différentes pressions de la chambre. .... 104

Figure 60 : Étapes de fabrication pour remplir les NFs avec le SoG. .... 105

Figure 61 : a) Courbes d'étalement de la SOG en fonction de la vitesse de rotation. b) Épaisseur totale de la couche de SoG en fonction nombre d'étalement à une vitesse de 4000 rpm. .... 106

Figure 62 : a) Mesures au profilomètre de trois réseaux de NFs en présence des pads de drain après chaque étalement. b) Image au microscope optique de la région mesurée. . 106

Figure 63 : Courbes d'étalonnage du taux de gravure du SoG en fonction de la puissance P<sub>p</sub> pour différentes pressions de la chambre. .... 108

Figure 64 : a) Tableau des étapes suivi pour graver le SoG. b) Mesure profilomètre après chaque étape. .... 109

Figure 65 : Visualisation d'un réseau de NFs après remplissage au SoG et après recuit & gravure. .... 109

Figure 66 : Images MEB après l'étalement de la couche corrective et après sa gravure. .... 110

Figure 67 : Schéma et images MEB des NFs de 1.2 µm de hauteur avec 20 nm d'oxyde de grille Al<sub>2</sub>O<sub>3</sub>. .... 111

Figure 68 : Schéma et images MEB après le dépôt de 100 nm de TiN et 15 nm d'Al<sub>2</sub>O<sub>3</sub>. .... 111

Figure 69 : Schéma et images MEB après la gravure de SoG jusqu'à atteindre le sommet des NFs. .... 112

Figure 70 : Schéma et images MEB après la gravure de SoG jusqu'à atteindre 300 nm de profondeur. .... 112



Figure 71 : Schéma et images MEB après la gravure de l'Al <sub>2</sub> O <sub>3</sub> aux sommets de NFs. .....	113
Figure 72 : Schéma et images MEB après la gravure du TiN et du SoG.....	113
Figure 73 : Étapes de définition de plots de grille. ....	114
Figure 74 : Images de microscopie optique et MEB des pads de grille et d'un réseau de NFs.....	115
Figure 75 : Image topographique AFM et SEM des sommets des NFs après la gravure de la SoG.....	116
Figure 76 : Étapes de remplissage avec la SoG, mise à niveau en surface, et ouverture du plot de grille. ....	116
Figure 77 : Images optiques d'un réseau de NFs après l'ouverture de pads de grille	117
Figure 78 : Étapes de dépôt des plots d'épaissement de la source et de grille. ....	117
Figure 79 : Images optiques après le dépôt des plots d'épaissement de la source et de grille. ....	118
Figure 80 : Caractéristiques électriques d'un transistor à base d'un réseau de NFs de 300 nm de diamètre : a) I <sub>ds</sub> -V <sub>gs</sub> à V <sub>ds</sub> = 20 V. b) I <sub>ds</sub> -V <sub>ds</sub> pour différentes V <sub>gs</sub> .....	118
Figure 81: Schéma descriptif d'un bâti MBE (Source : <a href="https://wikipedia.com">https://wikipedia.com</a> ). ....	122
Figure 82 : Image d'une cellule de Knudsen (source : <a href="https://scientaomicron.com/">https://scientaomicron.com/</a> ).	123
Figure 83 : Schéma de fonctionnement d'un système de diffraction d'électrons de haute énergie en incidence rasante dit (RHEED). ....	125
Figure 84 : Image et schématisation du bâti utilisé dans le cadre de cette thèse. ....	126
Figure 85 : Schéma descriptif des différents processus de surface durant la croissance par EJM. ....	128
Figure 86 : Schématisation des trois modes de croissance : (a) bidimensionnelle (mode de Frank-Van der Merwe) ; (b) tridimensionnelle (mode Volmer-Weber); (c) intermédiaire (mode de Stranski-Krastanow). ....	130
Figure 87 : a) Image MEB après l'exposition de substrat au flux d'Al. b) Image MEB et scan AFM après l'exposition de substrat au flux d'Al suivie par l'exposition au flux d'azote [67]. ....	132
Figure 88 : Diagramme de croissance des nanofils de GaN auto-assemblés établi par Fernández-Garrido et al.[6].....	133

Figure 89 : Mécanisme de croissance spontanée d'un nanofil de GaN sur Si (111) /AlN. .....	134
Figure 90 : Image d'un diagramme de RHEED acquis avant et après la nucléation. L'image a été prise de la thèse de [80]). .....	135
Figure 91 : a) Image TEM décrivant les étapes de nucléation d'un germe de GaN réalisé PA-MBE sur substrat Si [82]. b) Image HRTEM de l'interface entre un nanofil de GaN et le substrat Si (111) réalisé par PA-MBE sans couche AlN [87]......	136
Figure 92 : Évolution de la reconstruction (7x7) de la surface de silicium (111) : a) Apparition pour des températures inférieures à 830°C. b) Disparition de la reconstruction pour des température supérieures à 830°C. ....	139
Figure 93 : Figure de pôle enregistrée en utilisant la réflexion de Bragg des plans (10– 11) du GaN inclinée de 62° par rapport à la direction [0001].[92]......	141
Figure 94 : Images MEB vue de dessous de nanofils de GaN épitaxiés sur Si(111) pour différentes températures de substrat et rapports V/III.....	142
Figure 95 : Images MEB cross-section pour différente température de substrat avec le même rapport III/V. ....	143
Figure 96 : Diagramme de croissance établie pour notre bâti durant cette étude. ....	144
Figure 97 : Images MEB aux centres des différents échantillons épitaxiés selon l'approche en deux phases. ....	145
Figure 98 : Images MEB des échantillons B6 et C1 avec les statistiques de la longueur et du diamètre de nanofils.....	147
Figure 99 : Images MEB des échantillons B2 NID, C2, C3 et C4 avec les statistiques de la longueur et du diamètre de nanofils. Les caractéristiques de l'échantillon de référence B6 (nanofils de GaN non dopés) sont représentées ici pour comparaison. ....	149
Figure 100 : a) longueurs et épaisseurs moyennes. b) densité et diamètre des nanofils de chaque échantillon. ....	150
Figure 101 : a) Image MEB en vue transverse. b) images MEB tiltées à 45 °. c) image MEB en vue du dessus des nanofils de GaN. d) Statistiques de la longueur et du diamètre de nanofils de l'échantillon épitaxie pendant 5h et 15 min. ....	151
Figure 102 : a-c) Images MEB pour différents pitches. b) Les courbes de test de dose réalisés.....	153

# LISTE DES TABLEAUX

Tableau 1 : Caractéristiques des substrats pour l'hétéroépitaxie du GaN. [8], [11]. ..	29
Tableau 2 : Tests de gravure effectués. ....	89
Tableau 3: Caractéristiques électriques des deux types de plaques disponibles.....	99
Tableau 4 : Conditions de croissance des deux phases avec les densités surfaciques de nanofils de GaN et l'épaisseur de la couche 2D. ....	145
Tableau 5 : Conditions de croissance des échantillons dopés avec Si pour un rapport V/III = 1.36. ....	148

# ACRONYMES

Acronyme	Définition
<i>NFs (NWs)</i>	Nanofils ( <i>Nanowires</i> )
<i>GaN</i>	Nitrure de gallium ( <i>Gallium nitride</i> )
<i>Si</i>	Silicium ( <i>Silicon</i> )
<i>GaAs</i>	Arséniure de gallium ( <i>Gallium arsenide</i> )
<i>SiC</i>	Carbure de silicium ( <i>Silicon carbide</i> )
<i>SiO<sub>x</sub></i>	Oxyde de silicium ( <i>Silicon oxide</i> )
<i>Al<sub>2</sub>O<sub>3</sub></i>	Alumine ( <i>Aluminium oxide</i> )
<i>AlN</i>	Nitrure d'aluminium ( <i>Aluminum nitride</i> )
<i>FET</i>	Transistor à effet de champ ( <i>Field-effect transistor</i> )
<i>MOS</i>	Métal-oxyde-semiconducteur ( <i>Metal-oxide-semiconductor</i> )
<i>HEMT</i>	Transistor à haute mobilité électronique
<i>2DEG</i>	Gaz d'électrons bidimensionnel
<i>GAA</i>	Grille enrobante ( <i>Gate-All-Around</i> )
<i>ALD</i>	<i>Atomic Layer Deposition</i>
<i>ICP</i>	<i>Inductively coupled plasma</i>
<i>RIE</i>	<i>Reactive-ion etching</i>
<i>PECVD</i>	<i>Plasma Enhanced Chemical Vapor Deposition</i>
<i>MOCVD</i>	<i>Metal Organic Chemical Vapor Deposition</i>
<i>MBE</i>	Épitaxie par jet moléculaire ( <i>Molecular Beam Epitaxy</i> )
<i>AFM</i>	Microscope à force atomique ( <i>Atomic force microscopy</i> )
<i>EBL</i>	Lithographie à faisceau d'électrons ( <i>Electron-beam lithography</i> )
<i>MEB (SEM)</i>	Microscopie électronique à balayage ( <i>Scanning electron microscope</i> )
<i>RTA</i>	Recuit thermique rapide ( <i>Rapid Thermal Annealing</i> )
<i>RHEED</i>	<i>Reflection high energy electron diffraction</i>
<i>MIBK</i>	Méthylisobutylcétone
<i>PMMA</i>	Polyméthacrylate de méthyle
<i>SoG</i>	<i>Spin-on-Glass</i>
<i>NID</i>	Non intentionnellement dopé ( <i>Unintentionally doped</i> )
<i>IPA</i>	Isopropanol
<i>TMAH</i>	<i>Tetramethylammonium hydroxide</i>
<i>R<sub>ON</sub></i>	Résistance à l'état passante ( <i>ON-state resistance</i> )
<i>V<sub>th</sub></i>	Tension de seuil ( <i>Threshold voltage</i> )
<i>V<sub>BR</sub></i>	Tension de claquage ( <i>Breakdown voltage</i> )
<i>V<sub>gs</sub></i>	Tension grille-source
<i>V<sub>ds</sub></i>	Tension drain-source
<i>I<sub>off</sub></i>	Courant résiduel à l'état bloqué ( <i>Off-state current</i> )



# Chapitre I : INTRODUCTION GÉNÉRALE

Cette thèse de doctorat s'inscrit dans le cadre d'une cotutelle internationale entre l'Université de Sherbrooke au Canada et l'Université Paris-Saclay en France. Plus spécifiquement, la simulation ainsi que le développement du procédé de fabrication selon l'approche descendante, sont effectuées à l'Institut Interdisciplinaire d'Innovation Technologique (3IT) à Sherbrooke, tandis que la croissance et la caractérisation de nanofils de GaN selon l'approche ascendante, sont réalisées au Centre de Nanosciences et de Nanotechnologies (C2N) à Paris.

Le transistor est la brique fondamentale avec laquelle sont fabriqués les circuits électroniques. Il existe plusieurs types de transistors gouvernés par le déplacement de charges électrostatiques, dont les principaux sont les transistors bipolaires et les transistors à effet de champ, lesquels peuvent répondre aux besoins de l'électronique numérique et analogique comme les microprocesseurs, les capteurs, etc. Ceux-ci peuvent aussi répondre aux applications de puissance, soit pour supporter des tensions élevées, soit pour laisser passer une grande quantité de charges électriques, ou les deux à la fois. Le semiconducteur le plus utilisé pour la fabrication des dispositifs électroniques est le Silicium en raison de l'abondance de cet élément dans la nature. Cependant, ses propriétés physiques ne lui permettent pas de répondre aux besoins de l'électronique de puissance grand public d'aujourd'hui et de demain.

Le nitrure de gallium (GaN) est un matériau qui a atteint une maturité technologique adaptée pour la fabrication de dispositifs de puissance, capable de résister à des températures et des environnements extrêmes. Il permet ainsi de répondre aux enjeux du marché de puissance RF ou en commutation. En effet, la demande majeure vise notamment le secteur des voitures électriques, des stations de télécommunications, des panneaux solaires, des adaptateurs de charges électriques, etc.

Ce premier chapitre donne une vision d'ensemble des techniques existantes pour la fabrication des composants de puissance à base de GaN, depuis le matériau jusqu'au

système. Ensuite, nous allons présenter les approches proposées dans le cadre de ce travail afin de concevoir, optimiser et fabriquer un transistor de puissance vertical à base d'un réseau de nanofils (NFs) de GaN.

Le chapitre II résume l'état de l'art des transistors à conduction quasi-1D afin de mettre en relation cette contribution avec celles de la littérature. Le chapitre III présente l'optimisation de la structure du dispositif au moyen de la simulation en utilisant le logiciel TCAD *Sentaurus*. Le chapitre IV est consacré à l'élaboration des nanofils selon l'approche descendante (*Top-Down*) ainsi qu'au développement et l'optimisation des différentes étapes du procédé de fabrication des transistors de puissance verticaux. Le chapitre V concerne l'élaboration des nanofils de GaN selon l'approche ascendante (*Bottom-Up*) au moyen de la technique de croissance par jets moléculaires.

## I.1 Contexte général

Le principe de fonctionnement du transistor à effet du champ à grille isolée (MOSFET : *Metal Oxide Semiconductor Field-Effect Transistor* en anglais) a été proposé pour la première fois dans les années 1920 par J. E. Lilienfeld [1][2]. En 1959, des chercheurs de la compagnie Bell ont utilisé ce principe pour réaliser le premier transistor MOSFET [3]. Quelques années plus tard, les circuits intégrés à base de silicium ont vu le jour. Dans un MOSFET standard, le courant électrique circule dans un canal de conduction latéral, entre deux électrodes conductrices appelées drain et source. Ce courant  $I_{ds}$  peut être contrôlé en appliquant un potentiel électrique au niveau d'une électrode appelée grille. Cela permet la commutation de l'état passant à l'état bloqué et vice-versa en modulant la valeur de la tension appliquée notée  $V_{gs}$ . Lorsque le canal conducteur contient déjà des électrons, il est normalement conducteur sans nécessité l'application d'une tension sur la grille : c'est le mode communément appelé (*normally-on*). A l'inverse, si le canal conducteur est vide d'électrons dans son état au repos, c'est-à-dire sans application d'une tension de commande, le transistor est dans un état bloqué et est normalement fermé (*normally-off*). Pour des applications de puissance, ce type de transistor *normally-off* est particulièrement apprécié pour des raisons de sécurité au niveau circuit.

Pour les applications de puissance à base de silicium, une architecture verticale a été

introduite sous le nom d'UMOS ou VMOS, pour laquelle l'électrode de drain est récupérée par la face arrière du substrat, ce qui donne une zone de dérive permettant d'augmenter la tension de claquage du transistor. Cependant, le champ de claquage du silicium représente le point faible de cette technologie. Donc, la technologie silicium présente un rapport coût/performance inégalé pour des tensions appliquées en deçà de 200 V. Pour atteindre des champs de claquage plus élevé, le développement de dispositifs de puissance s'est orienté vers des semiconducteurs à large bande interdite comme le Carbure de Silicium (SiC) et le Nitrure de Gallium (GaN). Il est maintenant reconnu que la technologie MOSFET à base de SiC présente un rapport coût/performance inégalé pour des applications haute puissance au-delà de 800 V. La technologie GaN présente quant à elle un rapport coût/performance prometteur et complémentaire aux technologies citées.

Le GaN est un semiconducteur appartenant à la famille des matériaux III-V, formé de l'élément Gallium et de l'élément Azote de la troisième et de la cinquième colonne du tableau périodique de Mendeleïev respectivement. Ce matériau possède des propriétés électroniques, thermiques, mécaniques exceptionnelles, ainsi qu'une grande stabilité chimique et résistance aux rayonnements ionisants. De ce fait, la technologie GaN présente actuellement une maturité technologique reconnue pour la fabrication de dispositifs électroniques de puissance, capables de résister à des températures et des environnements extrêmes. Son rapport coût/performance dans la gamme de tension 100 V – 650 V [4] le présente comme le meilleur candidat pour satisfaire à la demande de circuits de puissance intégrés combinant à la fois des transistors *normally-on* et *normally-off*. Le marché actuel le plus en croissance pour ces dispositifs est celui des véhicules électriques. La section suivante décrit les propriétés physiques du GaN, ainsi que les substrats utilisés pour la croissance de ce matériau.

### **I.1.1 Structure cristalline du GaN**

Le GaN est connu pour ses deux structures cristallines: la structure cubique (Zinc-blende) et la structure hexagonale (Wurtzite), cette dernière étant la plus stable thermodynamiquement [5]. La cellule élémentaire de cette structure est constituée d'un sous-réseau hexagonal contenant des atomes de Gallium (Ga) imbriqué avec un second sous



réseau d'atomes d'azote (N) comme le montre la Figure 1. Les paramètres de maille de cette structure sont  $a = 3.189 \text{ \AA}$  et  $c = 5.186 \text{ \AA}$ , à température ambiante [6].

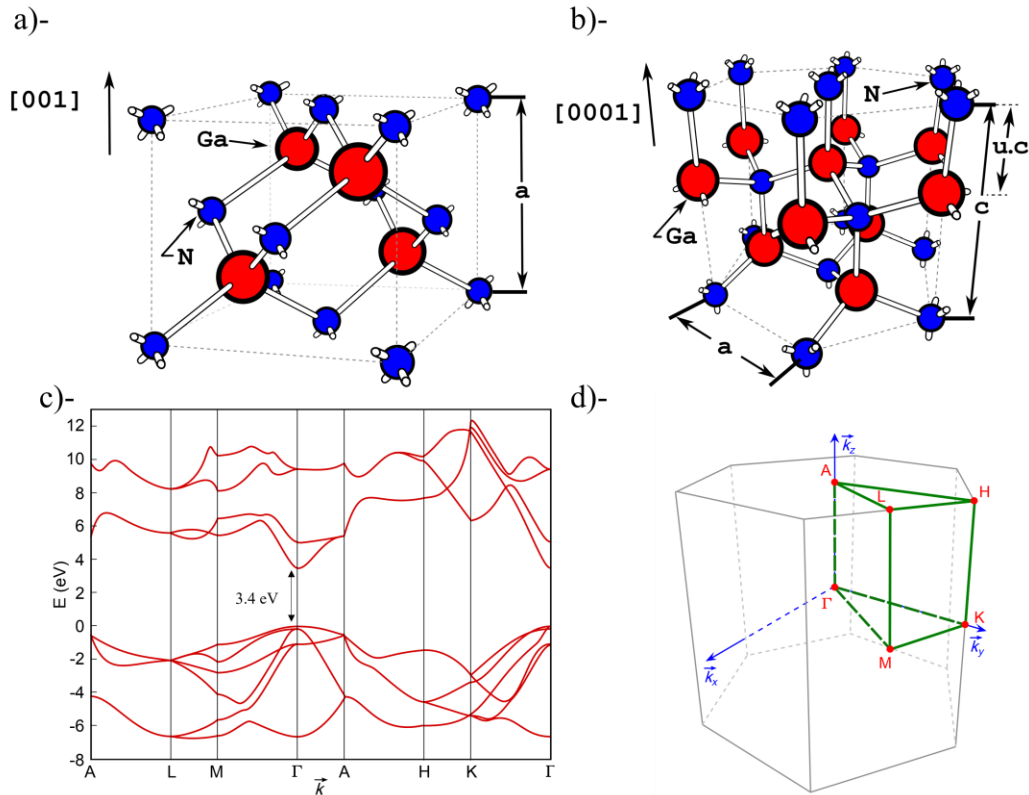


Figure 1 : Structure cristalline du GaN : a) Zinc-Blende. b) hexagonal (Wurtzite). c) Diagramme de bande de la structure hexagonale. d) Première zone de Brillouin de la structure hexagonale. [6].

Le diagramme de bande de la structure wurtzite de GaN présente un gap direct de 3.39 eV à 300 K. Son évolution en fonction de la température suit la relation décrite par Varshni [7]:

$$E_g = E_g(0) - \alpha \times \frac{T^2}{T+\beta} \quad (\text{Équation I-1})$$

Avec  $E_g(0) = 3.47 \text{ eV}$ , la largeur de la bande interdite à 0 K,  $\alpha = 0.707 \text{ meV/K}$  et  $\beta = 600 \text{ K}$ . Il est constaté que le gap diminue avec la température.

La conductivité intrinsèque des porteurs dans un semiconducteur est proportionnelle à la température et le gap selon la relation :

$$\sigma_i \propto e^{-\frac{E_g}{2kT}} \quad (\text{Équation I-2})$$

Plus la valeur du gap est élevée, plus la variation de la conductivité électrique est faible avec la température. L'insensibilité de ces matériaux constitue un excellent choix pour des

applications à haute température.

### **I.1.2 Champ de claquage du GaN**

Pour les applications de puissance, les dispositifs doivent supporter des tensions élevées, ce qui nécessite l'utilisation de matériaux ayant un champ de claquage important. Ce dernier est proportionnel à la largeur de la bande interdite selon la relation :

$$E_C \propto E_g^{3/2} \quad (\text{Équation I-3})$$

Cela explique pourquoi le GaN, avec un champ de claquage de 3.3 MV/cm est 10 fois supérieur à celui du Si, ce qui en fait l'un des meilleurs candidats pour la fabrication de transistors de puissance.

### **I.1.3 Propriété thermique du GaN**

La conductivité thermique traduit la capacité d'un matériau à dissiper la chaleur, cette propriété est fondamentale pour les applications en électronique de puissance, dont la chaleur non évacuée provoque une augmentation de la température du composant, ce qui entraîne une dégradation des performances. La conductivité thermique d'une couche mince de GaN est de l'ordre de  $1.3 \text{ Wcm}^{-1}\text{K}^{-1}$ . Cette valeur est comparable à celle du Si, toutefois, elle est trois fois supérieure à celle du saphir ou de GaAs [8]. Notons que la conductivité thermique du GaN en volume (3D) peut atteindre  $3.3 \text{ Wcm}^{-1}\text{K}^{-1}$  [9], ce qui s'approche de la valeur connue pour le SiC.

### **I.1.4 Polarisation : spontanée et piézoélectrique**

Considérant une demi-maille du GaN constituée de quatre atomes d'azote et d'un atome de gallium. La différence entre les électronégativités de ces deux atomes, implique un nuage électronique proche de l'élément à faible électronégativité qu'est l'azote. En effet, chaque liaison Ga-N présente un moment dipolaire, ce qui engendre une force de polarisation dirigée vers l'atome de gallium. La somme vectorielle des polarisations des quatre liaisons Ga-N est non nulle, ce qui implique une polarisation totale parallèle à l'axe c pour chaque

maille. Par conséquent, une polarisation totale du cristal est obtenue en sommant l'ensemble des polarisations de chaque demi-maille. Elle prend l'appellation de polarisation spontanée. La structure Wurtzite du GaN étant non centro-symétrique, les directions [0001] et [000-1] ne sont pas équivalentes. Il en résulte que la séquence des couches d'atomes de gallium et d'azote est inversée le long du cristal. Par conséquent, une couche de GaN ayant une terminaison Ga sur sa facette supérieure (orientation [0001] appelée polarité Ga), a un vecteur de polarisation spontanée dirigé vers le bas. Ce vecteur est dirigé vers le haut pour une couche à terminaison N (orientation [0001] appelée polarité N). La Figure 2 illustre la répartition des charges surfaciques induite par la polarisation spontanée selon le type d'atomes de la facette supérieure.

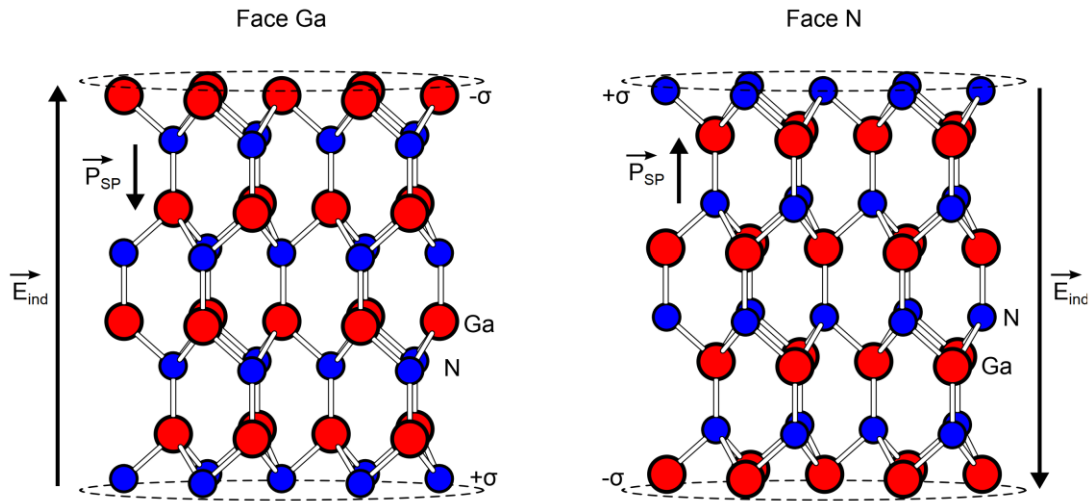


Figure 2 : Sens de polarisation spontanée et répartition des charges surfaciques selon la terminaison de couche de GaN [6].

La polarisation piézoélectrique apparaît lorsque la demi-maille de GaN subit une déformation liée à des contraintes mécaniques. Cette dernière est provoquée par la juxtaposition de GaN avec une autre couche ayant un paramètre de maille désaccordé comme le AlGa<sub>N</sub>. Si elle subit une contrainte en compression, le sens du vecteur de polarisation piézoélectrique est opposé à celui de la polarisation spontanée. Si elle subit une contrainte en tension, le vecteur de polarisation piézoélectrique a le même sens de celui de la polarisation spontanée. En sommant l'ensemble des polarisations de chaque demi-maille, nous en déduisons une polarisation piézoélectrique totale. La somme vectorielle des deux polarisations donne lieu à une polarisation totale induisant une densité de charge à la surface

de la couche de GaN.

### **I.1.5 Le dopage du GaN**

Le GaN présente un dopage non intentionnel (nid) de type donneur (type  $n$ ), avec une concentration de porteurs de charge qui varie de  $10^{14} \text{ cm}^{-3}$  à  $10^{16} \text{ cm}^{-3}$ , selon la technique de croissance et le taux d'oxygène et autres contaminations existants dans la chambre. Le dopage intentionnel de type  $n$  du GaN peut être facilement réalisé en introduisant les impuretés de silicium, qui se placent préférentiellement en site substitutionnel du gallium avec une faible énergie d'ionisation de l'ordre de 27 meV [10]. Cela permet d'atteindre des concentrations de dopage élevées allant jusqu'à quelques  $10^{19} \text{ cm}^{-3}$ , contrairement au dopage  $p$  qui est plus difficile à réaliser. Jusqu'à présent, le magnésium est l'impureté la plus réactive capable de doper le GaN de type  $p$  avec une incorporation allant jusqu'à  $5 \times 10^{18} \text{ cm}^{-3}$ . En outre, les éléments Fe et Zn peuvent être utilisés comme dopants de type accepteur et sont couramment utilisés pour compenser le dopage non intentionnel de GaN et rendre la couche plus résistive.

### **I.1.6 Substrats utilisés pour la croissance du GaN**

Les performances des composants électroniques dépendent fortement de la qualité cristalline du matériau. Le choix du substrat est donc primordial quant aux défauts structuraux générés lors de la croissance du GaN. Idéalement, un substrat de GaN serait le plus adéquat, mais, son coût élevé limite drastiquement son utilisation. Pour y remédier, la croissance de couches de GaN s'est donc développée sur substrat bas-coût comme le saphir ou le silicium. Ce type de croissance dite hétéro-épitaxiale, engendre des contraintes mécaniques provoquant des défauts structuraux de type dislocations et autres. Afin de minimiser leurs impacts, plusieurs critères doivent être pris en considération : le désaccord en paramètre de maille, la conductivité et le coefficient de dilatation thermique, la technique de croissance (température et impuretés résiduels). Les substrats de saphir, de silicium et de carbure de silicium sont actuellement les substrats les plus utilisés pour la croissance du GaN wurtzite.

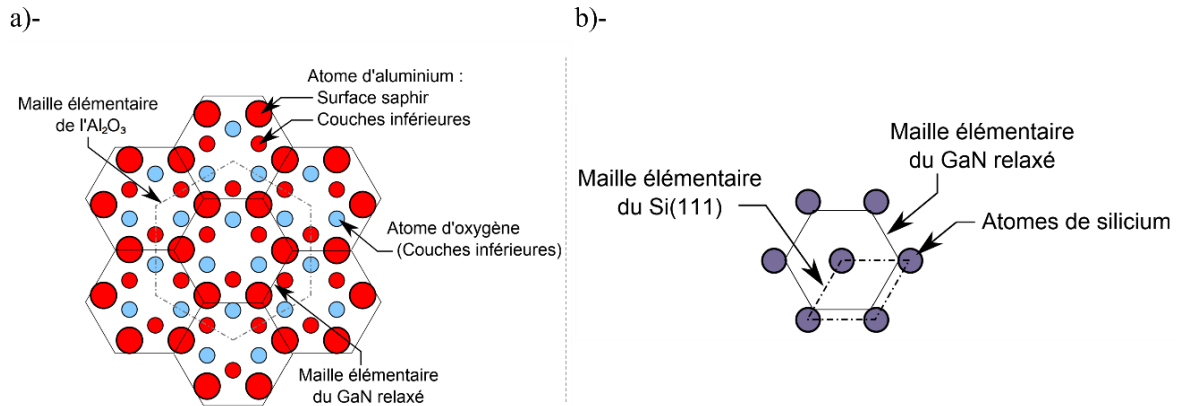


Figure 3 : Orientation cristalline de la maille du GaN sur : a) substrat de saphir. b) substrat de Si (111). [6].

Le substrat de saphir ( $\text{Al}_2\text{O}_3$ ) est le plus utilisé pour faire croître du GaN, notamment à cause de son faible coût. Il possède un coefficient de dilatation thermique proche de celui du GaN, un désaccord de maille de l'ordre de 14%, et une faible conductivité thermique. Cette dernière caractéristique limite fortement son utilisation pour les applications de puissance.

Le Si est le substrat le plus utilisé dans l'industrie de la microélectronique. Le GaN est généralement cru sur substrat de Si (111) jusqu'à 12" de diamètre. La conductivité thermique du Si permet de synthétiser des composants de puissance comme le HEMT. Cependant, le désaccord de maille d'environ 17% entre le Si et le GaN se traduit par l'apparition de nombreux défauts structuraux.

Le substrat de SiC présente deux avantages majeurs : sa conductivité thermique (en comparaison avec Si et  $\text{Al}_2\text{O}_3$ ) et un désaccord de maille d'environ 3%, ce qui assure une meilleure qualité cristallographique des couches de GaN épitaxiées sur ce substrat. Cependant, la technique de fabrication du SiC monocristallin reste coûteuse et ne permet pas la synthèse de substrat de grande taille. Ces dernières constituent des inconvénients majeurs pour la production de masse de dispositifs électroniques de moyenne puissance. Le Tableau 1 présente une comparaison entre les substrats utilisés pour la croissance du GaN en termes de propriétés physiques via à vis de leurs prix sur le marché.

Tableau 1 : Caractéristiques des substrats pour l'hétéroépitaxie du GaN. [8], [11].

	<b>Saphir</b>	<b>6H-SiC</b>	<b>Si (111)</b>	<b>GaN</b>
<b>Paramètre de maille (Å) à 300 K</b>	a = 4.758 c = 12.991	a = 3.080 c = 15.12	5.431	a = 3.1876 c = 5.1846
<b>Désaccord de maille avec le GaN (%)</b>	16 Compression	3.5 Compression	-16.9 Tension	0
<b>Coefficient de dilatation thermique (10<sup>-6</sup> K<sup>-1</sup>)</b>	7.5	4.2	2.59	5.59
<b>Conductivité thermique (W.K<sup>-1</sup>.cm<sup>-1</sup>)</b>	0.5	3.0-3.8	1-1.5	1.3-3.3
<b>Désaccord du coefficient de dilatation thermique (%)</b>	-25	33	1.5	0
<b>Coût</b>	\$	\$\$\$	\$	\$\$\$\$

## I.2 Contexte du projet et problématique

### I.2.1 Transistor HEMT

En 1991, le groupe de Khan et al.[12] découvre l'existence d'un gaz d'électrons bidimensionnels (2DEG) à l'interface AlGa<sub>N</sub>/Ga<sub>N</sub> avec une haute valeur de mobilité électronique. Par la suite, le même groupe [13] a démontré que le 2DEG peut servir de canal de conduction pour fabriquer un transistor à haute mobilité électronique (HEMT: *High Electron Mobility Transistor* en anglais). Le contact de grille de ce dispositif agit comme un contact redresseur où la tension de grille contrôle la densité de porteurs dans le canal de conduction à deux dimensions (2D). Ce transistor a montré des performances exceptionnelles notamment pour les applications de puissance en hyperfréquences. Notons que ces résultats seront expliqués théoriquement par la présence des champs de polarisations spontanées et piézoélectriques internes à la couche barrière AlGa<sub>N</sub> sur Ga<sub>N</sub> [14].

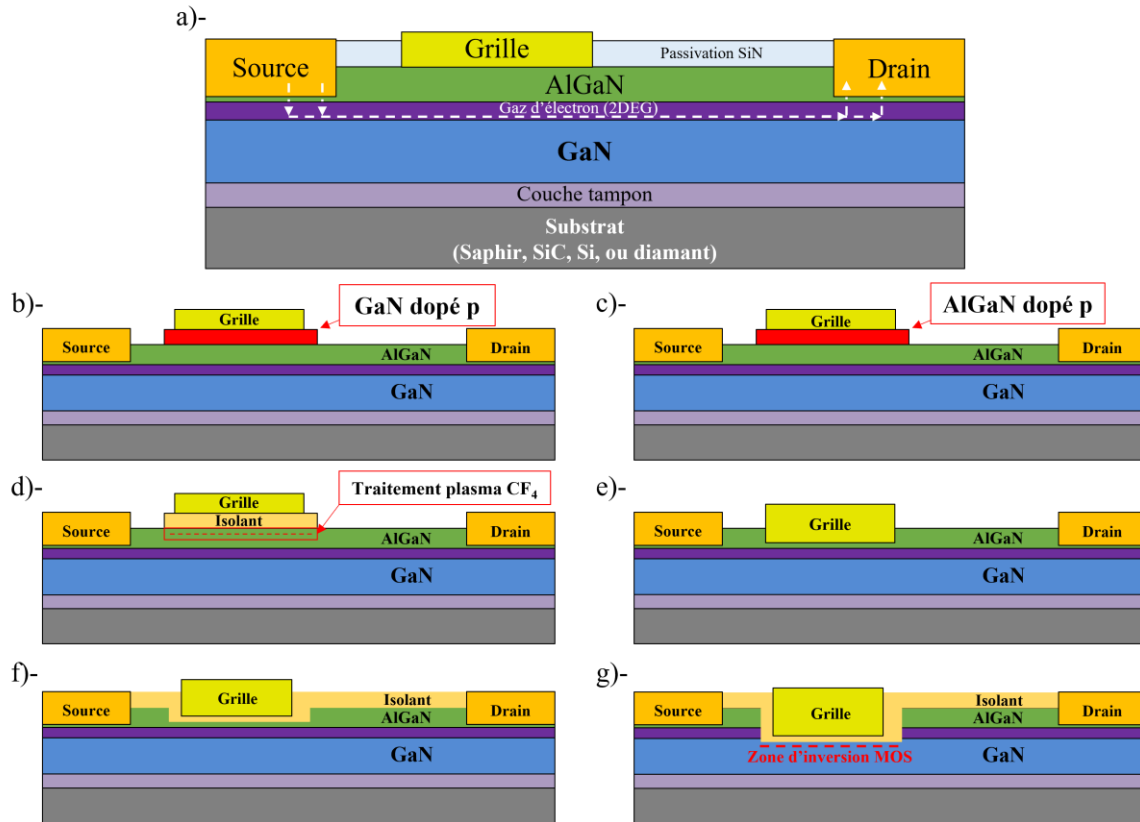


Figure 4 : a) Structure d'un HEMT conventionnel. b-g) Différentes techniques pour avoir un mode normally-off pour un transistor HEMT.

Quand la tension de grille est nulle  $V_{gs} = 0$  V, le canal est peuplé en électrons, il est donc ouvert ou normalement conducteur. Appliquer une tension de grille  $V_{gs}$  négative revient à dépeupler en électrons le puits à 2D et bloquer le passage des électrons. Ce qui veut dire qu'un transistor HEMT conventionnel (Figure 4-a) est *normally-on*. Pour des applications visant le mode *normally-off*, plusieurs travaux ont été rapportés dans la littérature [15], visant à réaliser des HEMTs de type *normally-off* grâce à différents procédés innovants, tels qu'illustrés dans la Figure 4 b-g. Par exemple, l'introduction des dopants de type *p* dans une couche de GaN ou d'AlGaN en dessous de la grille (Figure 4-b-c), permet de tirer le diagramme des bandes vers le haut, ce qui pousse le puits au-dessus du niveau de Fermi. Par ailleurs, l'idée d'implanter des ions fluor par plasma  $CF_4$  à l'aide d'une couche intermédiaire de SiN a été appliquée pour introduire des charges négatives dans la couche barrière AlGaN (Figure 4-d). Ces charges vont décaler le diagramme de bande pour désertir le canal. D'autres techniques ont été utilisées pour avoir un mode *normally-off* comme la

gravure de la couche AlGaN pour rapprocher la zone de déplétion générée par la barrière vers le canal (Figure 4-e-f-g).

Cependant, la conduction latérale du courant, dans un puits d'électrons étroit proche de la surface, engendre d'autres problèmes comme :

- La concentration du champ électrique en sortie de la grille coté drain génère des courants de fuite de grille élevés.
- D'autres types de courants de fuite via les pièges (surfactive, canal, back-barrier et buffer).
- Un auto-échauffement important, au niveau du canal, lors de la commutation, ce qui entraîne une dégradation des propriétés de transport ainsi que l'activation et la génération de pièges dans l'hétérostructure.
- Le claquage entre le contact de drain et le substrat de silicium.
- Les transistors ayant un mode *normally-off* présentent des tensions de seuil faiblement positives et plus ou moins variables avec la température.

L'ensemble de ces problèmes se traduit par une dégradation des performances et un claquage prématuré des HEMTs.

## **I.2.2 Transistor vertical**

La conduction latérale du courant constitue donc une faille majeure dans les structures de type HEMT. Afin d'y remédier, une nouvelle architecture à conduction verticale du courant émerge comme solution alternative à cette technologie planaire. Elle permet une meilleure distribution du champ électrique, plus homogène dans le volume du GaN.

La structure verticale offre également une dissipation thermique du dispositif dans le même sens que le flux de porteurs, directement côté drain. Cette approche permet de mieux appréhender toutes les applications de puissance sans nécessité d'un canal 2DEG. L'état de l'art des dispositifs à conduction verticale est discuté plus en détail dans le deuxième chapitre.

Afin d'obtenir un mode de fonctionnement *normally-off* en minimisant les courants de fuite, la structure à nanofil (NF) apparaît comme la forme géométrique la plus adaptée pour obtenir une commande parfaite du canal conducteur d'un transistor MOSFET. En effet, ces



Nano-objets présentent plusieurs avantages :

- Le procédé technologique peut se faire selon deux approches (descendante et ascendante), sur des homostructures (GaN à dopages variables) sur substrats étrangers, permettant la miniaturisation du transistor et la suppression des dislocations traversantes.
- Ils peuvent être traités chimiquement pour révéler les plans réticulaires  $m$ , ce qui permet une réduction des états de surface et donc des courants de fuites.
- Les effets d'auto-échauffement sont réduits étant donné les densités de courant mis en jeu par nanofil.
- La région du canal est complètement entourée par une grille de commande isolée (GAA : *Gate-All-Around*) pour un meilleur contrôle électrostatique du courant.

### **I.2.3 Approches: descendante et ascendante (Top-down et Bottom-up)**

L'approche descendante (*Top-Down*) consiste à former des nanofils à partir d'une couche 2D de GaN en passant par des étapes de lithographie, masquage et gravure sèche. Aussi, les performances du transistor et son coût de fabrication dépendent essentiellement du choix du substrat sur lequel les nanofils de GaN sont fabriqués. En effet, après croissance pleine plaque d'une couche de GaN et lors du refroidissement, le désaccord de maille et la différence de coefficient de dilatation thermique avec le support hôte, engendrent des contraintes mécanique et thermique, lesquelles favorisent la génération de dislocations dans la couche de GaN épitaxiée. Les performances du dispositif peuvent donc être dégradées principalement à cause de ces dislocations traversantes pouvant se propager au travers du canal conducteur. Ces défauts peuvent être minimisés par un meilleur contrôle des conditions de croissance ou de gravure et plus encore, selon l'approche utilisée pour former les nanofils de GaN. Dans le cadre de l'approche descendante, une gravure humide supplémentaire peut être appliquée pour réduire la rugosité des surfaces latérales des nanofils jusqu'à révéler les plans réticulaires  $m$ . Afin de réduire la probabilité de tomber sur une dislocation traversante dans la région des nanofils, il est nécessaire de réduire leurs diamètres (par lithographie électronique) et/ou utiliser des substrats à très faible densité de dislocations (substrat GaN).

La seconde approche, dite approche ascendante (*Bottom-Up*), consiste à faire croître les nanofils directement par voie épitaxiale soit par croissance auto-assemblée, soit la croissance au travers d'un masque diélectrique nano-structuré, lequel est déposé préalablement à la surface du substrat. La relaxation des contraintes mécanique/thermique s'effectue via les facettes latérales du nanofil, ce qui permet la croissance de matériau monocristallin exempt de dislocations/défauts structuraux. De ce fait, la qualité cristalline de nanofils de GaN épitaxiés est meilleure que celle obtenue par approche descendante à partir d'une couche planaire. Ceci représente une approche originale par rapport à l'état de l'art pour élaborer des nanofils exploitables pour la fabrication d'une nouvelle génération de transistors de puissance ayant un meilleur rapport performances/coût.

### 1.2.4 Sensibilité du nanofil aux états de surface

Vu la basse dimensionnalité de ces objets, les nanofils sont des structures particulièrement sensibles aux états de surface lesquels influent directement sur leur diagramme de bande.

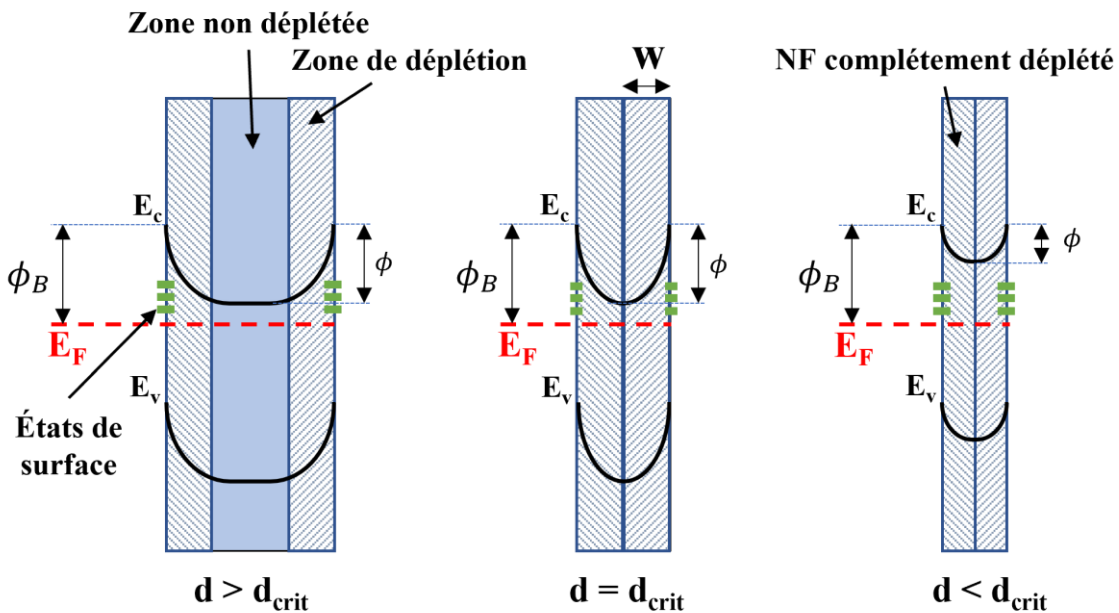


Figure 5 : Bandes de conduction et de valence d'un nanofil sous l'effet des états de surface et de son diamètre.

La Figure 5 illustre l'influence des états de surface de type accepteur sur le diagramme des bandes d'un semiconducteur dopé  $n$ . De l'alignement du niveau de Fermi résulte un

potentiel  $\phi_B$  induisant une courbure des bandes depuis les surfaces latérales du nanofil. Cela génère une zone de charge d'espace. Son épaisseur  $W$  dépend essentiellement du dopage du semiconducteur, de la hauteur de barrière, de la permittivité diélectrique du semiconducteur, ainsi que de la densité des états de surface actifs. Le groupe de Richter et al. [16] a pu démontrer que pour un nanofil de GaN dopé de type  $n$  à  $6.2 \times 10^{17} \text{ cm}^{-3}$ , le diamètre critique est de 49 nm. Par conséquent, il existe un diamètre critique  $d_c = 2 \times W$  en deçà duquel le nanofil est totalement déserté [17]. Ce qui bloque le passage du courant dans le transistor et augmente drastiquement la résistance à l'état passant  $R_{ON}$ .

### I.3 Objectifs de la thèse

Au regard des avantages apportés par les nanofils, nous nous sommes questionnés quant à une architecture innovante à base de nanofils de GaN permettant de réaliser un commutateur de puissance *normally-off* à conduction verticale, ayant des performances électriques améliorées, fiable, bas coût et capable de fonctionner sous environnement hostile (haute température, stress électrique) pour des applications en électronique de puissance RF et pour l'électronique de puissance en commutation.

Afin de répondre à ces contraintes, plusieurs objectifs s'imposent :

- Conception du dispositif en faisant la simulation d'un transistor à base d'un nanofil unique de GaN. Durant cette étude, les paramètres géométriques et physiques (Diamètre du nanofil, longueur/épaisseur de chaque région/couche, dopage, états de surface...) sont analysés afin d'optimiser les caractéristiques électriques du dispositif. Le but étant de trouver une combinaison de paramètres permettant d'obtenir une tension seuil positive requise pour opérer en mode *normally-off*, de minimiser les courants de fuite à l'état bloquant, de minimiser la résistance à l'état passant  $R_{ON}$ , et de maximiser la tension de claquage  $V_{BR}$ .
- Élaboration de nanofils de GaN en suivant les deux approches, descendante et ascendante, afin de pouvoir comparer leurs avantages et inconvénients. Il est important d'adapter la densité de nanofils, leur diamètre et longueurs avec les résultats de la simulation pour que les transistors soient exploitables sur le plan applicatif. Pour cela, nous comparerons les caractéristiques morphologiques des

nanofils fabriqués par les deux approches.

- Développement d'un procédé de fabrication robuste, reproductible et adéquat, adapté aux paramètres optimaux tirés des résultats de simulation. Dans un premier temps, nous proposons de développer en salle blanche une technologie de fabrication 3D sur les nanofils obtenus par gravure. Ce procédé doit également être compatible avec les nanofils réalisés par l'approche ascendante pour des raisons de temps et de coût. Pour se faire, nous proposons deux architectures différentes comme montré sur la Figure 6.

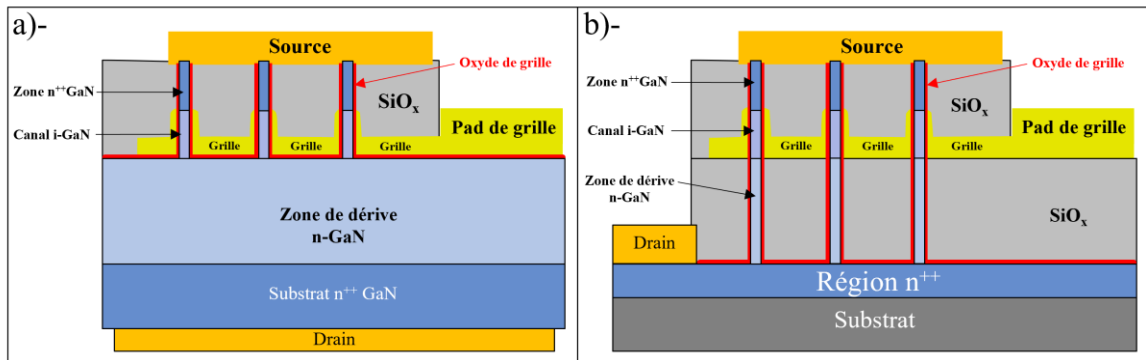


Figure 6 : Architectures proposées dans le cadre de cette thèse.

Dans le cas de la première architecture (Figure 6-a), la zone de dérivation est choisie comme une couche planaire épaisse afin d'augmenter la tension de claquage. Cette architecture est essentiellement adaptée au cas d'un substrat de GaN dont le contact de drain peut être récupéré en face arrière. Dans le cas de la seconde architecture (Figure 6-b), la zone de dérivation est incluse dans le nanofil. Cette architecture est mieux adaptée quand un substrat étranger est utilisé, lequel impose la reprise du contact de drain en face avant, côté nanofils.



# Chapitre II : ÉTAT DE L'ART DES TRANSISTORS À BASE DE GAN QUASI-1D

## II.1 Introduction

Ce chapitre présente une synthèse bibliographique des transistors à base GaN autre que le HEMT et en particulier les différents concepts et optimisations proposées pour concevoir ces dispositifs. Pour cela, différentes architectures verticales sont introduites afin de mieux appréhender l'impact de la conduction volumique sur les paramètres fondamentaux du transistor. Les difficultés liées à l'efficacité de la commande verticale de ces dispositifs, ont conduit la communauté à développer des nouvelles structures à conduction quasi-1D dont la plus connue est le nanofil. Finalement, un aperçu de l'état de l'art sur la fabrication d'un transistor vertical à base d'un réseau de nanofils, est présenté en précisant les caractéristiques électriques publiées.

## II.2 De la structure latérale à la structure verticale

Différentes structures de transistor vertical VHFET (*Vertical Heterojunction Field-Effect Transistor*) sur GaN ont été développées comme le montre la Figure 7. Tout d'abord, la structure du VHFET fabriqué par M. Okada et *al.* [18] et apparu en 2010 (Figure 7-a). C'est la première architecture verticale à base de HEMT AlGa<sub>N</sub>/Ga<sub>N</sub>, avec un contact de drain face arrière. Dans cette configuration, le gaz d'électrons à 2 dimensions est situé au niveau de l'hétérojonction AlGa<sub>N</sub>/Ga<sub>N</sub>, sur un plan non-réticulaire à symétrie conique. La couche barrière aux électrons p-Ga<sub>N</sub> participe à la déplétion du canal en électrons à la jonction AlGa<sub>N</sub>/p-Ga<sub>N</sub>. Ce canal d'électrons est totalement déplété lorsque la tension de grille est inférieure à la tension seuil du dispositif. La jonction *pn* (entre le p-Ga<sub>N</sub> et la région de dérive (n-Ga<sub>N</sub>)) en mode bloqué, est polarisée en inverse, ainsi aucun courant ne traverse cette jonction. Lors de l'application d'une tension de grille suffisamment élevée, le courant passe de la source vers le drain, via la conduction dans le canal 2D en pente, puis

verticalement à travers la couche de dérivation n<sup>-</sup>-GaN. Ce dispositif s'avère être de type *normally-on* (ou *quasi-normally-off* dégradé) et présente au mieux une tension de claquage de 672 V et une résistance à l'état passant  $R_{ON}$  de 7.6 m $\Omega$ .cm<sup>2</sup>. Le principal avantage de cette structure reste la conduction verticale des électrons de façon à pouvoir appliquer des tensions de drain élevées et de réduire les effets d'auto-échauffement. Cependant, ce dispositif nécessite une conduction latérale, laquelle s'accompagne des mêmes problèmes sous-jacents aux transistors HEMTs.

Une optimisation de la structure précédente a été proposée sous la dénomination CAVET (*Current Aperture Vertical Electron Transistor*), dont le principe repose également sur la conduction latérale d'une structure HEMT à 2DEG utilisé comme source (Figure 7-b). En 2015, Hui Nie et *al.*[19] présente la conception et la fabrication de la première version de ce transistor sur un substrat de GaN. La récupération du contact de drain est faite face arrière du dispositif assurant une conduction verticale et un confinement du champ électrique en volume capable d'augmenter la tension de claquage. Cependant, cette structure nécessite deux caissons p-GaN agissant comme couches bloquantes CBLs (*Current blocking layer*) pour s'assurer que les électrons ne traversent pas le dispositif sans passer par le canal 2D dont la conductivité est contrôlée par la tension de grille. Les résultats présentés dans cet article de Hui Nie et *al.* sont très attrayants par rapport à ceux du dispositif précédent: i) Tension de claquage de 1.5 kV; ii) Résistance à l'état passant de 2.2 m $\Omega$ .cm<sup>2</sup>; iii) Tension seuil de +0.5 V.

Une version améliorée de ce dispositif CAVET a également été proposée en 2016 par Daisuke et *al.* [20]. Dans cette structure, le canal de conduction est incliné en forme de V comme le montre la Figure 7-c. Cette configuration a permis une amélioration au niveau de la tension de claquage à 1.7 kV tout en réduisant la résistance à 1 m $\Omega$ .cm<sup>2</sup>.

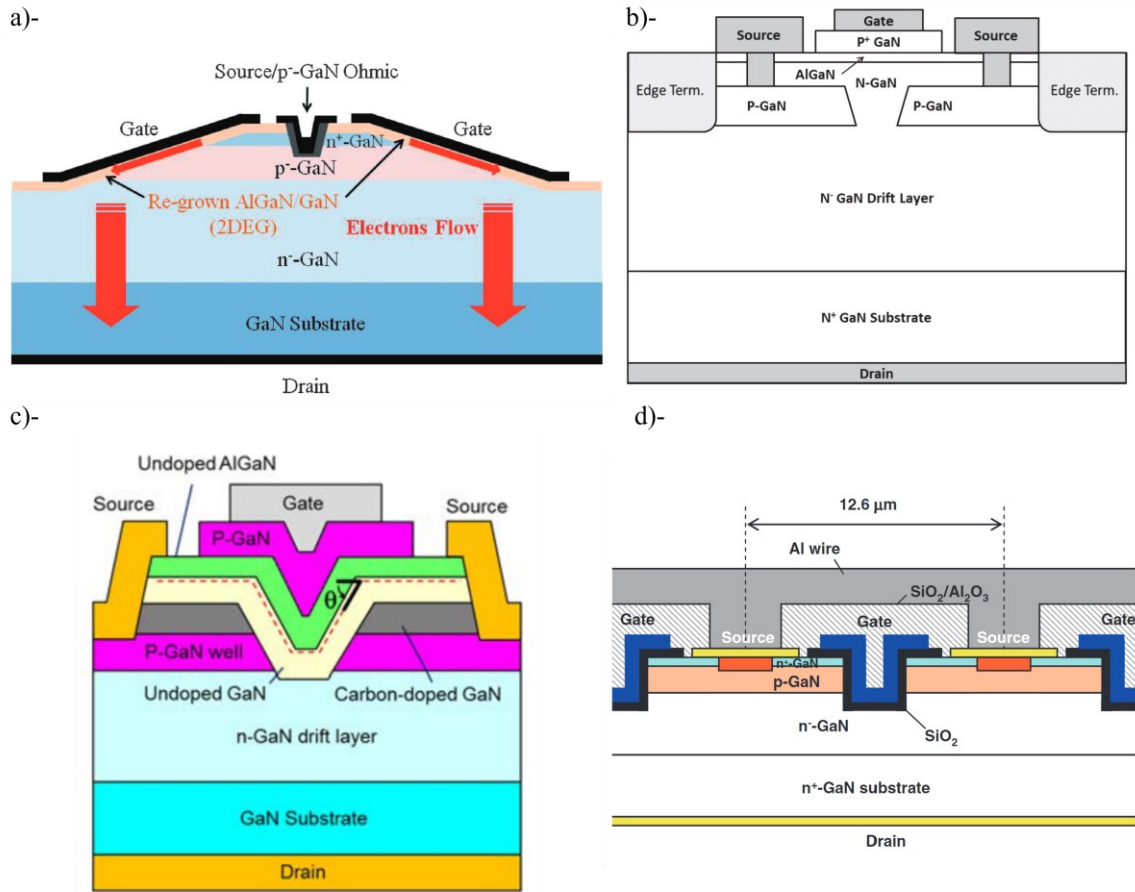


Figure 7 : a) Structure VHEFT fabriquée par M.Okada et al. [18]. b) Structure MOS-VFET fabriquée par T.Oka et al. [21]. c) Structure de CAVET fabriquée par Hui Nie et al [19]. d) Structure d'un CAVET à canal incliné [20].

Une autre structure similaire nommée MOS-VFET a été fabriquée en 2015 par T. Oka [21], cette fois-ci, sans l'introduction d'une hétérojonction AlGaIn/GaN afin d'éviter les problèmes liés à la conduction latérale dans le canal 2D (cf. Figure 7-d). Après optimisation de la structure épitaxiale sur un substrat de GaN, la tension de claquage relevée est de 1.2 kV et la résistance  $R_{ON}$  de  $1.8 \text{ m}\Omega \cdot \text{cm}^{-2}$ . Cependant, l'obtention d'une tension seuil positive à +3.5 V n'a été possible que par l'utilisation d'une couche dopée de type  $p$  mettant à profit la hauteur de barrière de la jonction  $pn$  ainsi formée. Notons également que le dopage de type  $p$  est loin d'être maîtrisé technologiquement.

W. Li et al. [22] ont proposé, après simulation, une nouvelle structure sans avoir à utiliser la couche dopée  $p$  (Figure 8-a). L'idée consiste à réduire la distance entre les grilles jusqu'à ce que le canal soit totalement dépleté. Les effets de la largeur de cette tranche verticale  $L_{gtg}$ ,



de la longueur de grille  $L_g$  et du niveau de dopage du canal, ont été étudiés en fonction de l'évolution de la tension seuil. La fabrication de cette structure a été réalisée en 2017 sous le nom *Fin-Power-FET* par M.Sun et al. [23] sur un substrat de GaN dont la source est disposée côté surface de la tranche et le drain est récupéré en face arrière du substrat (Figure 8-b). Une extension de la zone de dérive de  $7\ \mu\text{m}$  a permis d'étaler le champ électrique de façon à augmenter la tension de claquage à 800 V. Cependant, cette dernière valeur ne constitue pas une limite dans le sens où les autres paramètres de la structure n'ont pas été optimisés.

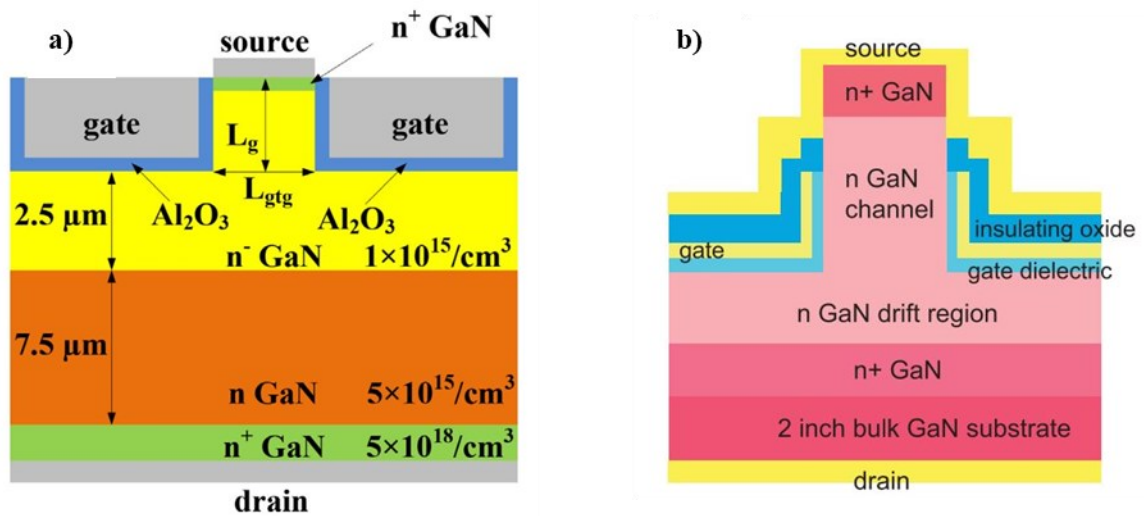


Figure 8 : Structure simulée par W. Li et al.[22] b) - Structure Fin Power FET fabriquée par M.Sun et al [23].

En 2019, le même groupe [24], [25] a fabriqué une structure FinFET optimisée (Figure 9), qui présente des courants de fuite réduits avec un rapport  $I_{\text{ON}}/I_{\text{OFF}}$  de 10 ordres de grandeur. De plus, l'optimisation des coins de grille (en ajoutant une couche de séparation de  $\text{SiO}_2$ ) a permis d'obtenir une tension de claquage de 1200 V et une faible résistance à l'état passant  $R_{\text{ON}}$  de  $1\ \text{m}\Omega.\text{cm}^2$ .

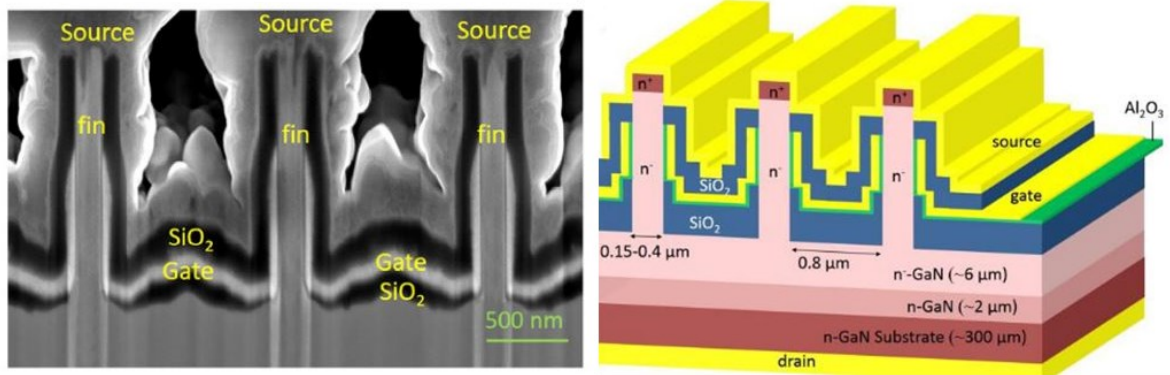


Figure 9 : Image MEB avec la structure optimisée par le groupe de M. Sun et al. [24], [25].

### II.3 Nouvelles structures : Architecture à nanofil

Le nanofil en général est un nano-objet dont le diamètre est de quelques dizaines de nanomètres et dont la longueur peut atteindre quelques micromètres. Le rapport d'aspect entre le diamètre et la longueur du nanofil est suffisamment grand pour qu'il soit considéré comme une structure unidimensionnelle. Cette géométrie est particulièrement appropriée pour la réalisation et la miniaturisation de composants électroniques, dont les transistors. Les premiers travaux sur les MOSFETs à base de nanofils de silicium sont apparus en 2000 [26][27]. Ce groupe de recherche a conçu une grille entourant le nanofil pour un contrôle électrostatique optimal du canal, ainsi qu'une réduction drastique des courants de fuite tout en contrôlant la valeur de la tension seuil. Par la suite, plusieurs autres groupes de recherche ont proposé différentes techniques de fabrication pour ce type de transistor en utilisant différents matériaux. Afin de nous concentrer sur notre thème de recherche, nous limitons la suite de cet état de l'art aux travaux relatifs aux nanofils de GaN. La section suivante présente donc les techniques de fabrication utilisées par différents groupes ainsi qu'une comparaison des performances obtenues. Ainsi, une première partie est consacrée aux transistors à effet de champ à base de nanofils GaN à architecture latérale, tandis que la seconde a été consacrée à ceux à architecture verticale.

### II.3.1 Les transistors FETs à conduction latérale à base de nanofils

Historiquement, ce premier transistor FET à base d'un nanofil de GaN fut un transistor *normally-on*, fabriqué en 2002 par le groupe de Huang *et al.* [28]. Ils ont choisi l'approche ascendante pour croître des nanofils avec un diamètre de 10 nm, une longueur de 10  $\mu\text{m}$  et une concentration de dopage de type *n* estimée entre  $1 \times 10^{18} \text{ cm}^{-3}$  et  $1 \times 10^{19} \text{ cm}^{-3}$ . Ce dopage est attribué aux lacunes d'azote et aux impuretés d'oxygène en site substitutionnel d'azote. L'opération suivante a été de transférer un seul nanofil sur une couche de 600 nm d'oxyde thermique sur substrat de Si conducteur ( $1-10 \Omega \cdot \text{cm}$ ). Le contact de grille est réalisé sur la face arrière du substrat. Dans le but de former les contacts ohmiques de drain et de source, deux plots métalliques (Ti/Au) ont été réalisés sur les deux côtés du nanofil. L'épaisseur élevée de  $\text{SiO}_2$  choisie ne permet pas une bonne commande via la tension de grille appliquée sur le nanofil. Cependant, la tension seuil présentée n'est que de  $V_{\text{th}} = -8 \text{ V}$  comme le montre la caractéristique  $I_{\text{ds}}-V_{\text{gs}}$  de la Figure 10.

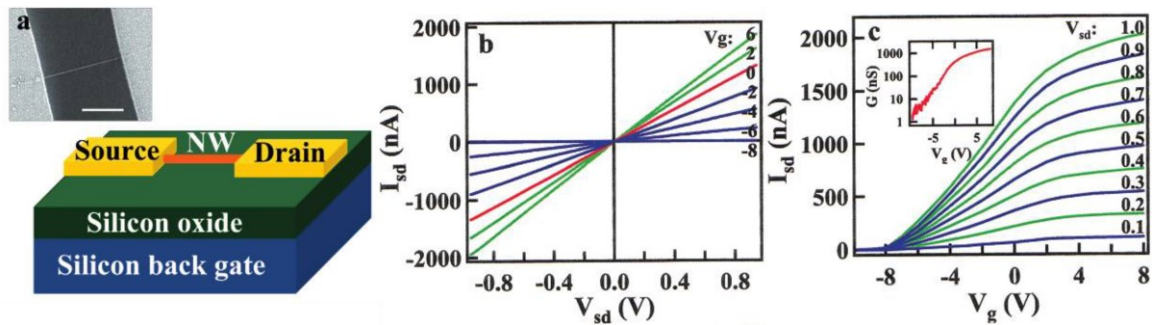


Figure 10 : Schéma 3D et caractérisation électrique de la structure de Huang *et al.* [28].

Une approche de fabrication similaire a été proposée en 2006 par Motayed *et al.* [29]. Dans ces travaux, un nanofil n-GaN a été cisailé par ultrason après croissance. Ce dernier a ensuite été déposé sur un substrat de silicium ayant une couche d'oxyde de grille de 600 nm d'épaisseur. Des contacts (Ti/Al/Ti) ont été utilisés pour des nanofils ayant des longueurs entre 10  $\mu\text{m}$  et 80  $\mu\text{m}$  et des diamètres variables de 50 nm à 300 nm. Le but étant ici d'étudier l'effet des paramètres géométriques sur la mobilité des électrons. Un recuit rapide des contacts ohmiques, réalisé à 750°C, a permis de réduire la résistance de contact. Il a été trouvé que la mobilité augmente avec le diamètre et que ce phénomène, lié au

gradient de la permittivité diélectrique dans le nanofil, exerce une influence non-négligeable sur les performances du transistor (en l'occurrence sur la tension seuil @ -30V, le courant de saturation etc...).

En 2012, Blanchard et *al.* [30] ont suivi la même démarche avec un nanofil de GaN de 210 nm de diamètre, épitaxié par MBE et dopé silicium. Un oxyde de grille ( $\text{Al}_2\text{O}_3$ ) de 43 nm d'épaisseur a été déposé par ALD suivi par 35 nm de Tungstène (W). Les contacts de source et de drain ont été récupérés par les deux côtés des NFs, comme le montre la Figure 11. La partie du canal a été entourée par le métal de grille (Ni/Au) permettant naturellement une commande de grille améliorée. Une tension seuil de  $V_{th} = -5 \text{ V}$  a été obtenue avec des NFs dont le dopage vaut  $7 \times 10^{17} \text{ cm}^{-3}$ .

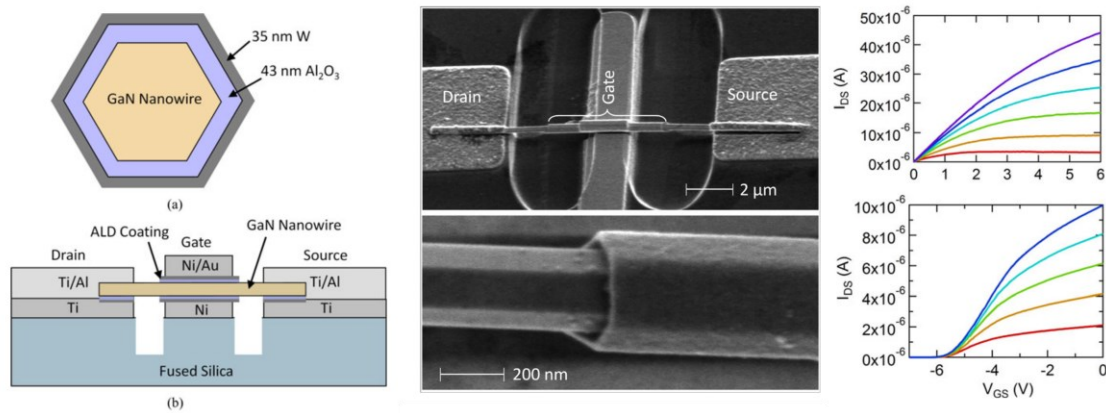


Figure 11 : Schéma avec une image MEB et caractérisations électriques de la structure de Blanchard et *al.* [30].

Ces derniers résultats ont guidé Gačević et *al.* [31] à utiliser un nanofil cru par MBE avec un diamètre plus petit de 90 nm. Ils ont ainsi obtenu une tension seuil  $V_{th} = -0.7 \text{ V}$ , comme le montre la caractéristique  $I_{ds}-V_{gs}$  dans la Figure 12. Là encore, le fort dopage de type  $n$  estimé à  $7 \times 10^{18} \text{ cm}^{-3}$  ne permet pas l'obtention du mode *normally-off*.

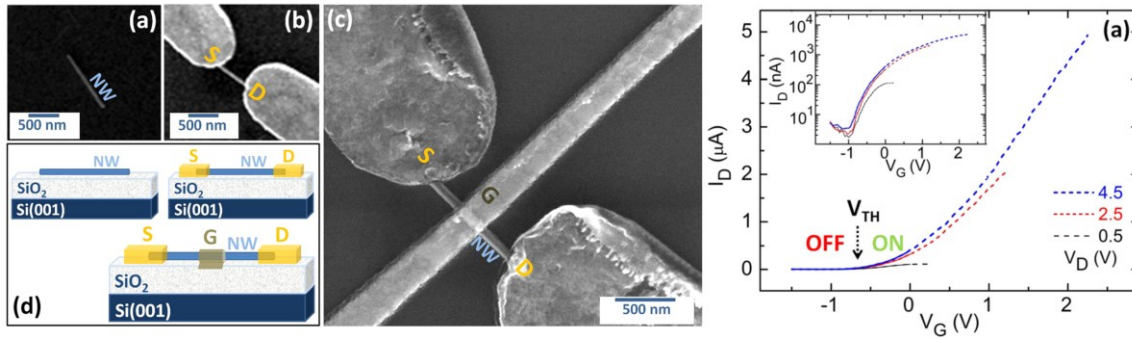


Figure 12 : Schéma avec une image MEB et caractérisation électrique de la structure de Gačević et al. [31].

L'ensemble de ces transistors latéraux sont toujours constitués d'un seul nanofil avec un dopage plus ou moins uniforme de type  $n$ , et sont utilisés comme preuve de concept de la grille enrobante (GAA). C'est pourquoi, il nous faut adopter une conduction électrique verticale avec une structure épitaxiale bien spécifique pour obtenir un mode *normally-off*. Le nombre et la densité de nanofils constituent des paramètres d'ajustement de la densité de courant souhaitée du composant de puissance à réaliser.

### II.3.2 Les transistors FETs verticaux à base de nanofils de GaN

Les transistors verticaux à base de nanofils de GaN ont été réalisés pour la première fois en 2015 par Jo et al. [32] sous le nom VNFET. Un dispositif de 12 nanofils a été fabriqué selon l'approche descendante sur substrat de saphir, avec la structure épitaxiale et les dopages suivants :  $n\text{-GaN}/i\text{-GaN}/n\text{-GaN}$  (500/120/70) nm,  $2 \times 10^{16}/\text{nid}/1 \times 10^{19} \text{ cm}^{-3}$ . Côté micro-nano-fabrication, le masque de nanofils a été réalisé par écriture électronique sur une couche de  $\text{SiO}_2$  laquelle est gravée par plasma (ICP-RIE) et utilisée pour définir des nanofils de GaN coniques de 300 nm de hauteur. Une gravure humide subséquente, au TMAH (5% @ 80°C pendant 11 min), révèle les surfaces latérales. Cette étape de gravure se poursuit jusqu'à l'obtention du diamètre du NF désiré (100 nm) comme le montre la Figure 13d. Le masque de  $\text{SiO}_2$  est enlevé par gravure chimique.

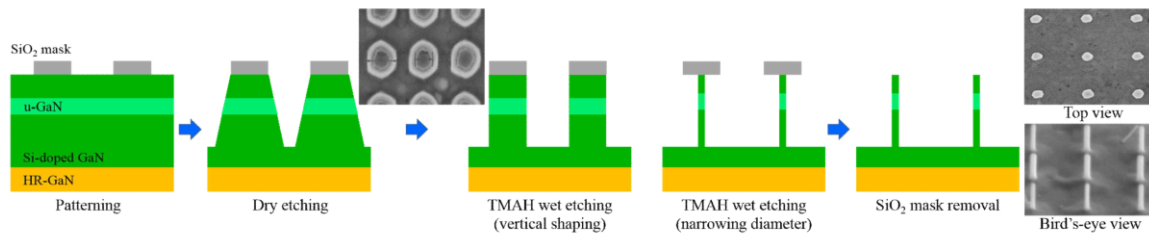


Figure 13 : Procédé de définition des nanofils par Jo et al. [32].

Le procédé de microfabrication commence par un dépôt de 10 nm de  $\text{Al}_2\text{O}_3$  par ALD qui constitue l'oxyde de grille. Cette étape est suivie par un dépôt conforme du métal de grille TiN (20 nm) par ALD. Cette grille est isolée avec 20 nm de  $\text{SiO}_2$  déposé par PECVD. Une succession de gravures sèche et humide de ces trois couches est alors effectuée afin de découvrir/araser la face supérieure des nanofils et séparer suffisamment cette dernière surface du métal de grille TiN (cf. Figure 14).

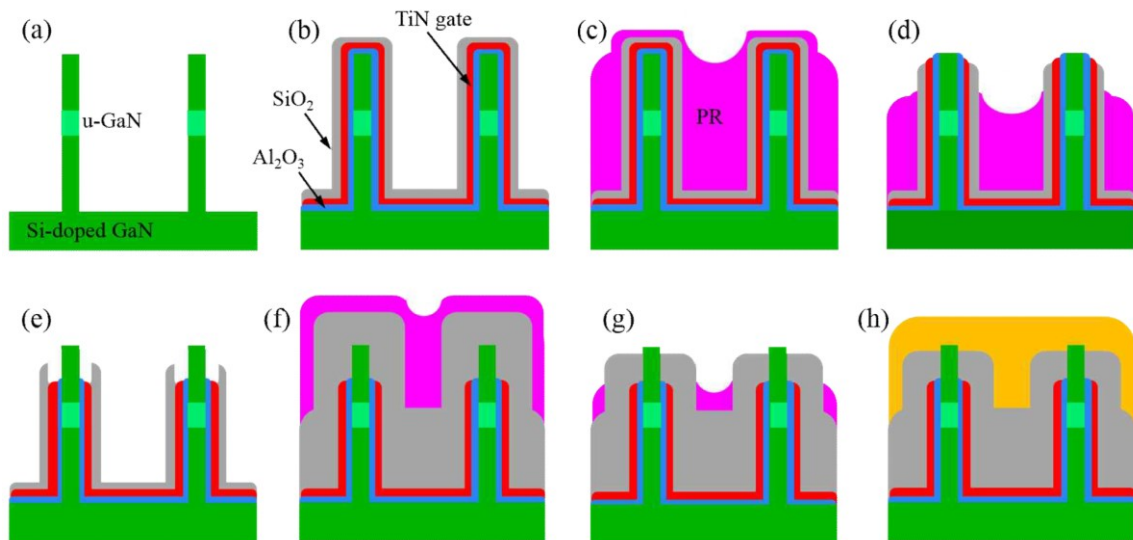


Figure 14 : Procédé de fabrication de la structure par Jo et al.[32]: (a) les nanofils de GaN. (b) dépôt de  $\text{Al}_2\text{O}_3/\text{TiN}/\text{SiO}_2$ . (c) étalement de la résine (PR). (d) Gravure sèche de PR/  $\text{SiO}_2//\text{TiN}/\text{Al}_2\text{O}_3$ . (e) Gravure humide de TiN. (f) dépôt de  $\text{SiO}_2$  et étalement de PR. (g) Gravure sèche de PR/ $\text{SiO}_2$ . (h) formation du contact ohmique.

La dernière étape de ce procédé concerne le dépôt des contacts ohmiques (Ti/Al) de source (sur la couche  $\text{n}^+\text{-GaN}$  située à la base des NFs) et de drain (sur la surface supérieure des NFs). Un plot d'épaissement (Ni/Au) est déposé sur la grille à proximité du réseau de NFs. Ces plots d'accès permettent une mesure électrique plus aisée (cf. Figure 15).

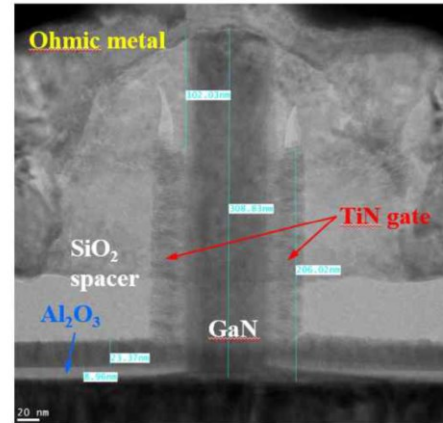
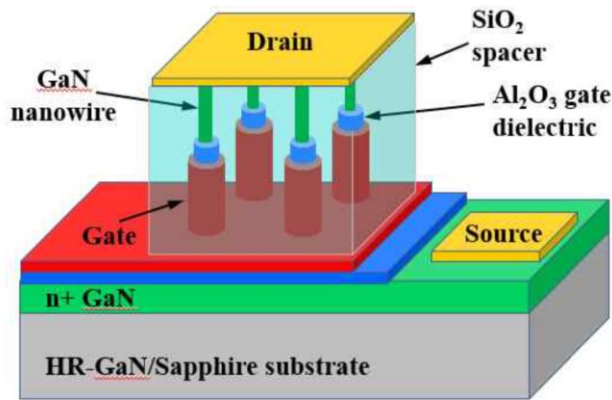


Figure 15 : Vue 3D des différentes couches déposées avec une image MEB de la structure de Jo et al.[32].

La grille entourant les nanofils et la couche intrinsèque au niveau du canal ont permis pour la première fois, l'obtention du mode *normally-off* avec une tension seuil de 0.6 V. Avec ce procédé, un courant à l'état bloqué de  $10^{-14}$  A et un rapport  $I_{ON}/I_{OFF}$  de 9 ordres de grandeur ont été obtenus. Cependant, ce transistor a exhibé un courant  $I_{ds,max}$  de seulement  $13 \mu A$  ( $130 \text{ mA/mm}$ ) associé à une pente sous le seuil de 158 mV/dec. Ces résultats sont prometteurs cependant la zone de dérive qui sépare le canal du drain (70 nm) est très insuffisante pour pouvoir monter en tension de claquage. En conséquence, ce transistor n'a absolument pas été conçu pour des applications en électronique de puissance.

En 2016, le groupe de Yu et al. [33] a adopté un procédé de fabrication similaire pour réaliser un transistor *normally-off* comportant 7 nanofils de GaN. La structure épitaxiale utilisée est montrée à la Figure 16. Quelques différences subsistent par rapport au procédé décrit précédemment. Ainsi, un masque métallique en Cr est utilisé pour réaliser la gravure plasma (ICP-RIE) du GaN. La gravure humide réalisée après cette étape, s'est faite au moyen du développeur AZ400K (à base de KOH) à  $80^\circ C$  et a permis de lisser les surfaces latérales endommagées par le bombardement au plasma jusqu'à révéler les plans *m* réticulaires du GaN et réduire le diamètre des NFs jusqu'à 500 nm.

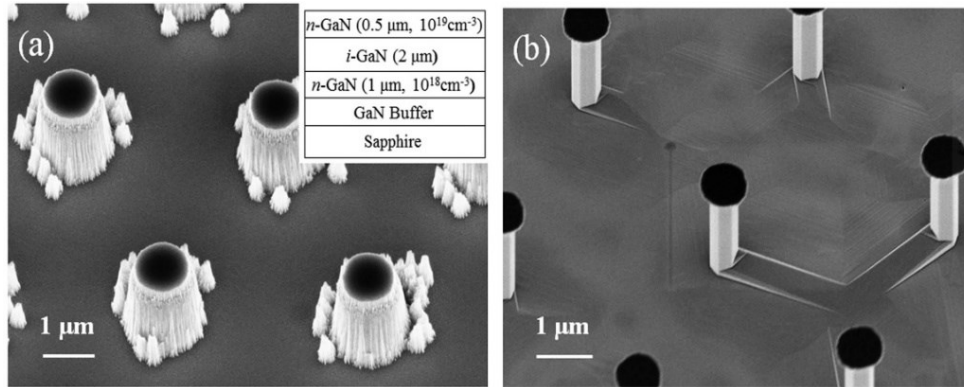


Figure 16 : Forme conique obtenue après gravure sèche, (b) nanofils de GaN obtenus après gravure humide. Référence : Yu et al. [33].

Dans ce procédé, une couche de 20 nm d'oxyde de grille ( $\text{SiO}_2$ ) est déposée par ALD. Il est noté que cet isolant à faible coefficient diélectrique n'est pas très adapté aux structures MOS. Une couche de  $\text{SiO}_x$  de 200 nm a été déposée par évaporation, pour séparer le métal de grille (Cr / 300 nm) et la couche  $n^+$ -GaN située au-dessus de la couche tampon. Le contact de source est réalisé sur la couche  $n^+$ -GaN comme le montre la Figure 17.

L'apport original de ce groupe de recherche a été l'intégration de la résine S1818 comme oxyde de séparation entre les contacts de grille et de drain, qui a été suivi d'un recuit à 250°C pendant 30 min. Ce procédé permet ainsi de passiver et d'aplanir la structure pour récupérer le contact de drain en face avant.

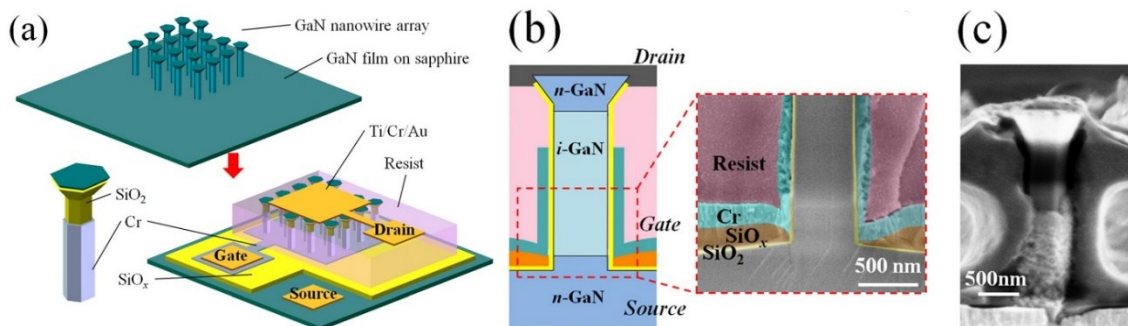


Figure 17 : Schéma 3D de la structure à base des nanofils verticaux. (b) La structure épitaxiale avec les différentes couches déposées. (c) une image prise par MEB d'une coupe transversale de la structure de Yu et al. [33].

Ce transistor à 7 nanofils présente une tension de claquage de 140 V, une résistance à l'état passant de  $2.2 \text{ m}\Omega \cdot \text{cm}^2$ , et une tension seuil de  $V_{th} = +1.2 \text{ V}$ . Notons également que l'optimisation du procédé de gravure humide des NFs de GaN, a permis d'obtenir une



densité d'états de surface de  $D_{it} = 1.3 \times 10^{11} \text{ cm}^2 \cdot \text{eV}^{-1}$ , augmentant par la même occasion le courant du canal. Ces nanofils exhibent un courant maximal deux fois plus élevé ( $I_{ds,max} = 314 \text{ mA/mm}$  @  $V_{gs} = 3.2 \text{ V}$ ) comparé à celui de Jo et *al.* [32], associé à un rapport  $I_{On}/I_{Off}$  de 8 ordres de grandeur.

Une seconde version de ce travail a conduit à une amélioration en 2017 avec la même structure épitaxiale, le même procédé de fabrication [34], mais avec 99 nanofils connectés et surtout un diamètre de NFs réduit de 500 nm à 360 nm afin de faciliter la désertion du canal conducteur. Ceci a permis d'améliorer le rapport  $I_{On}/I_{Off}$  à 9 ordres de grandeur et d'augmenter la tension seuil à  $V_{th} = +1.5 \text{ V}$ . Cependant, la réduction de la section du NF s'accompagne naturellement d'une réduction du courant maximal  $I_{ds,max}$  à 98 mA/mm.

Une troisième version de ce dispositif a été proposée en 2018 [35] : elle comprend 103 nanofils connectés dans une hétérostructure *npn*. Cette structure a permis de faciliter la désertion du canal et par conséquent, la tension seuil  $V_{th}$  a augmenté jusqu'à 2.5 V avec des NFs de 470 nm de diamètre et un rapport  $I_{On}/I_{Off}$  de 9 ordres de grandeur. Le principal désavantage de ce composant réside dans le caractère non-linéaire de la caractéristique de sortie du transistor à bas champ, ainsi que l'apparition d'une forte hystérésis dans les caractéristiques électriques.

En 2018, Son et *al.* [36] ont utilisé la même technique de gravure hybride pour définir la forme géométrique des nanofils de GaN avec un diamètre de 120 nm sur une structure épitaxiale sur substrat saphir  $n^+$ -GaN/ $n$ -GaN/ $n^+$ -GaN d'épaisseurs et de concentrations ( $800 \text{ nm}, 2 \times 10^{18} \text{ cm}^{-3} / 300 \text{ nm}, 2 \times 10^{16} \text{ cm}^{-3} / 500 \text{ nm}, 2 \times 10^{18} \text{ cm}^{-3}$ ). Contrairement aux travaux précédents, le contact de drain est préalablement déposé avant l'étape de formation du contact de grille. Pour ceci une couche de 10 nm de  $\text{Al}_2\text{O}_3$  a été déposée par ALD, suivi de 200 nm du métal de grille (Cr) et de 50 nm de SiN comme couche de passivation du métal. Finalement, une gravure par plasma a été réalisée afin d'accéder aux contacts ohmiques de source et de drain en face avant. La Figure 18 illustre un schéma explicatif de ce procédé de fabrication. L'objectif visé par ce travail consiste à avoir des tensions de saturation très basses donc un  $R_{ON}$  le plus faible possible. Pour atteindre cette condition, les auteurs ont augmenté le dopage de la zone de dérivation (située sous le contact de drain) afin d'augmenter sa conductivité électrique et faciliter le pincement du canal. La tension seuil  $V_{th}$  mesurée est de 0.7 V. Le courant maximal vaut  $I_{ds,max} = 2.1 \mu\text{A}$  à  $V_{ds} = 0.1 \text{ V}$  pour

chaque nanofil. La pente sous le seuil est  $SS = 66 \text{ mV/décade}$  et le courant de fuite de ce transistor est  $10^{-13} \text{ A}$  avec un rapport  $I_{ON}/I_{OFF}$  de 9 ordres de grandeur. La valeur de la densité des états de surface  $D_{it}$  a été estimée entre  $7.2 \times 10^{11} \text{ cm}^2 \text{ eV}^{-1}$  et  $5.1 \times 10^{12} \text{ cm}^2 \text{ eV}^{-1}$ .

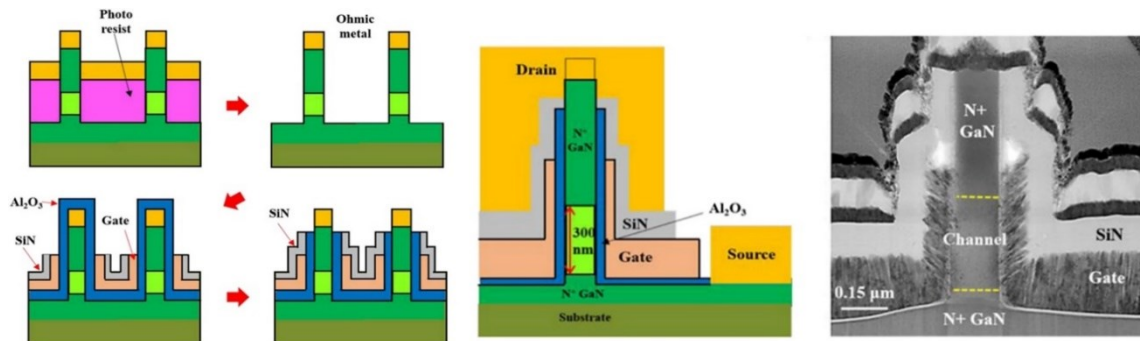


Figure 18 : Schéma des différentes étapes du procédé de fabrication avec une image prise par MEB d'une coupe transversale de la structure de Son et al. [36].

Enfin, en 2017, l'équipe de Hu et al. [37] a fabriqué un transistor contenant 120 nanofils sur substrat de GaN, à l'aide une approche descendante (gravure hybride). Pour un diamètre de nanofils de  $0.8 \mu\text{m}$ , la tension seuil reste négative à  $-2 \text{ V}$  (le transistor est en mode *normally-on*). Il est constaté que plus le diamètre du NF diminue, plus la tension seuil tend vers des valeurs positives proches de  $0 \text{ V}$  (le transistor passe en mode *normally-off* à partir d'un diamètre de  $0.4 \mu\text{m}$ ). La Figure 19 illustre la structure épitaxiale avec les différentes couches déposées lors de la fabrication. Le contact de la source est déposé sur la face supérieure des nanofils, alors que le contact de drain est connecté en face arrière du substrat. L'augmentation de l'épaisseur de la zone de dérive à  $7 \mu\text{m}$  (n-GaN,  $5 \times 10^{16} \text{ cm}^{-3}$ ), a permis d'augmenter la tension de claquage à  $513 \text{ V}$ . La résistance  $R_{ON}$  à l'état passant trouvée est de  $0.4 \text{ m}\Omega \cdot \text{cm}^2$ . Cependant, l'inconvénient majeur de ce type de structure réside dans l'utilisation d'un substrat de GaN qui rend le coût du composant prohibitif. De plus, il n'est pas mentionné si l'optimisation du diamètre du nanofil et du niveau de dopage du canal ont permis d'obtenir un mode *normally-off*.

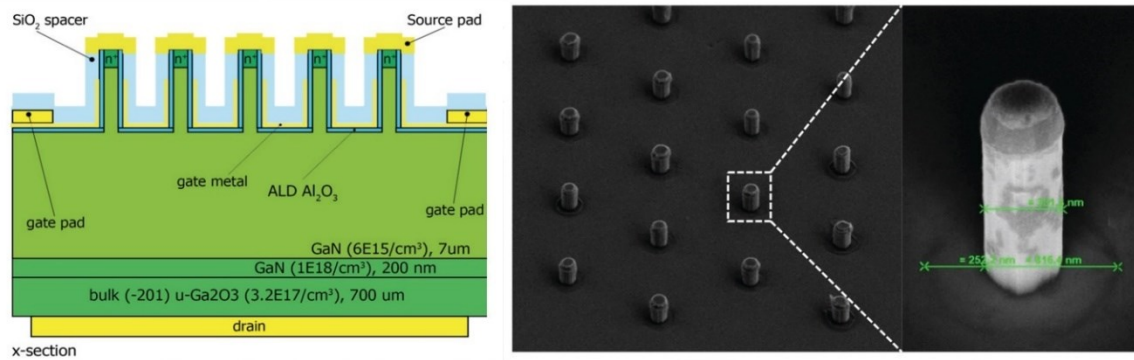


Figure 19 : Schéma de la structure épitaxiale avec les couches déposées par Hu et al. [37] et une image MEB des nanofils après la gravure humide.

## II.4 Conclusion

Le transistor HEMT, prédominant le marché des composants de puissance, présente certaines limites de fonctionnement et de performances: la persistance d'un mode *normally-on*, des courants de fuites en surface non-négligeables et un effet d'auto-échauffement important. Pour contourner ces inconvénients/problèmes, une nouvelle approche basée sur la conduction verticale du courant a émergé, permettant ainsi de confiner le champ électrique en volume et de dissiper la chaleur plus efficacement. De plus, l'utilisation d'une architecture à nanofils à base de GaN permet une amélioration drastique pour un contrôle électrostatique optimal et un mode *normally-off* stable.

L'état de l'art décrit dans ce chapitre permet de percevoir quelques résultats marquants obtenus par différents groupes de recherche. Pour cela, différentes techniques de fabrication ont été utilisées pour synthétiser des nanofils verticaux. Ces travaux ont inspiré la méthodologie utilisée dans cette thèse pour le développement de notre propre procédé de fabrication. De plus, cette démarche nous a éclairés sur l'effet du dopage du canal et du diamètre de nanofil sur la tension seuil, ainsi que sur l'impact de l'épaisseur de la zone de dérive sur la tension du claquage. Par conséquent, la gamme des paramètres géométriques (diamètre et épaisseur) et physiques (densité de dopage) est explorée afin de simuler et optimiser notre transistor à base d'un nanofil de GaN.



# Chapitre III : SIMULATION D'UN TRANSISTOR À BASE DE NANOFILS DE GAN

## III.1 Introduction

La compréhension des mécanismes de fonctionnement d'un transistor vertical à base de nanofils de GaN est un élément clé pour guider les différentes étapes de fabrication en salle blanche. En effet, l'analyse de l'impact des différents paramètres géométriques et physiques sur les caractéristiques de sortie ( $I_{ds}$ - $V_{ds}$ ) et de transfert ( $I_{ds}$ - $V_{gs}$ ) du dispositif permet de déterminer les conditions optimales pour les deux approches technologiques proposées, discutées dans le chapitre précédent. Les paramètres à l'étude sont le diamètre des nanofils, l'épaisseur de l'oxyde de grille, l'épaisseur de chaque région de la structure ainsi que leurs niveaux de dopage, ce qui permet de s'approcher des conditions d'optimisation des performances du dispositif sans avoir recours à toute une génération d'échantillons coûteux à produire. Pour y parvenir, des simulations numériques à multiple paramètres de conception sont réalisées au moyen de l'outil *TCAD-SENTAURUS* [38]. Celles-ci permettent de générer les caractéristiques électriques d'un transistor vertical basé sur un seul nanofil de GaN, à partir desquelles la structure épitaxiale optimale sera choisie. Cette approche est essentielle considérant l'ensemble des paramètres à optimiser. En outre, ce simulateur donne accès à des cartographies de grandeurs physiques qui ne sont pas directement mesurables dans la pratique, comme la distribution du champ électrique, la répartition des charges, l'évolution de la zone d'espace de charge, etc.

## III.2 Description de l'outil de simulation

### III.2.1 Logiciel de simulation SENTAURUS

*TCAD-SENTAURUS* est un simulateur appartenant aux familles des logiciels multiphysiques à éléments finis (*EDA : Electronic design automation*) créé par la société américaine *Synopsys Inc.* Il possède plusieurs outils capables de simuler les caractéristiques électriques, thermiques et optiques de dispositifs à semi-conducteurs. En outre, il offre également un environnement pour le développement de procédés de microfabrication, tels que la photolithographie, la gravure, le dépôt, le dopage, l'épitaxie, etc. La Figure 20 résume les principaux outils de l'environnement *Sentaurus* que nous avons utilisés pour cette étude.

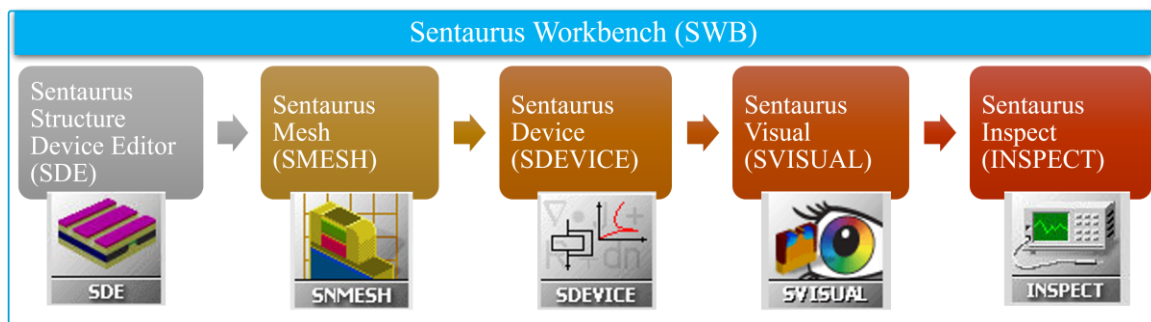


Figure 20 : Enchaînement de fonctionnalités disponibles via la simulation avec le logiciel Sentaurus.

SWB (*Sentaurus Workbench*) est l'interface principale permettant d'accéder aux outils de simulation et de gérer différentes expériences et scénarios en affectant des valeurs numériques aux variables considérées dans le code. SDE (*Structure Device Editor*) est un éditeur permettant de construire et de modifier graphiquement la topologie du composant souhaité. SMESH (*Sentaurus Mesh*) est l'outil permettant de générer un maillage de la structure dessinée auparavant et permet aussi de définir le type, la distribution et la concentration du dopage dans ces mêmes régions. S-Device est le simulateur qui introduit les modèles physiques et les conditions aux limites de notre structure. Il est aussi possible de contrôler le nombre d'itération, la précision et la méthode de calcul utilisées par le *Solver*. Après avoir assuré la convergence des calculs, les fichiers résultants peuvent être analysés à l'aide des outils *Sentaurus VISUAL* et *INSPECT*. Ces deux outils sont capables de générer des cartographies de l'évolution des différents paramètres physiques (température, densité

de porteurs de charge, champ électrique, etc.), mais aussi de faire des coupes de la structure pour déterminer le diagramme de bandes, de déterminer les caractéristiques de sortie ( $I_{ds}-V_{ds}$ ) ou de transfert ( $I_{ds}-V_{gs}$ ) et d'extraire les valeurs numériques telles que  $V_{th}$ ,  $R_{ON}$ ,  $G_m$ ,  $V_{BR}$ , etc. À noter que la version G2018.06 de *Sentaurus*, installée sur la distribution de *Linux CentOS*, est celle utilisée pour l'ensemble de ces travaux.

### III.2.2 Présentation de la structure initiale

La conception d'un dispositif électronique par la simulation numérique commence par la définition de la structure initiale. Selon la méthode des éléments finis, les simulations peuvent être effectuées sur la base d'une structure *2D*, où la troisième dimension est obtenue par simple projection perpendiculairement ou par rotation suivant un axe spécifique, à partir de la surface simulée.

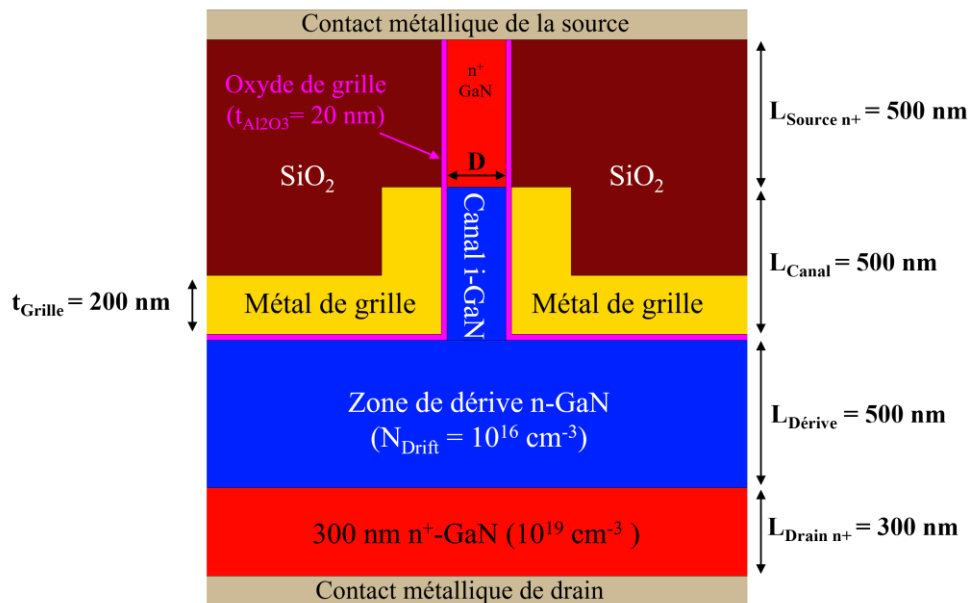


Figure 21 : Schéma de la structure de départ dessinée par l'outil SDE.

La Figure 21 illustre la structure initiale dessinée sur *Sentaurus Structure Editor*. De bas en haut, la région métallique correspond au contact de drain, sur laquelle une couche de  $n^+$ -GaN fortement dopée type  $n$  est disposée pour simuler la formation du contact ohmique de drain, l'épaisseur et le niveau de dopage de cette couche sont respectivement fixés pour

toutes les simulations à  $L_{\text{Drain } n^+} = 300 \text{ nm}$  et  $1 \times 10^{19} \text{ cm}^{-3}$ . Pour s'assurer que le transistor ne claque pas lors de l'application d'une certaine tension  $V_{\text{ds}}$  positive, une couche de GaN est disposée comme zone de dérivation avec une épaisseur telle que  $L_{\text{Dérive}} = 500 \text{ nm}$  et un niveau de dopage de type  $n$  de  $1 \times 10^{16} \text{ cm}^{-3}$ . Les paramètres attribués pour cette zone sont des variables modifiables utilisées lors de l'optimisation de la tension de claquage du transistor. Dans un premier temps, la partie du nanofil est composée de deux régions ayant une longueur toujours fixée à  $500 \text{ nm}$  chacune, et un diamètre variable (noté  $D$  dans la suite de ce document). En effet, la première région correspond au canal du transistor faiblement dopé de type  $n$  ( $1 \times 10^{16} \text{ cm}^{-3}$ ) tandis que la seconde région située sous le contact de source est fortement dopée de type  $n$  ( $1 \times 10^{19} \text{ cm}^{-3}$ ) afin d'assurer un bon contact ohmique. Dans le but de former une structure métal-oxyde-semiconducteur, la surface de la zone de dérivation et les côtés du nanofil sont recouverts d'une fine couche d'alumine ( $\text{Al}_2\text{O}_3$ ,  $\epsilon_r = 9.1$ ) de  $20 \text{ nm}$  d'épaisseur ( $t_{\text{Al}_2\text{O}_3}$ ). Un métal, déposé sur cet oxyde de grille, est choisi de telle sorte qu'il entoure latéralement et intégralement la zone du canal. Finalement, une couche d'oxyde de silicium ( $\text{SiO}_2$ ,  $\epsilon_r = 3.9$ ) est utilisée pour garantir une bonne isolation électrique entre les contacts de grille et de source.

Afin de comparer les résultats de simulation avec ceux tirés de la littérature, les courants ont été normalisés par rapport à la surface active totale du dispositif qui est de  $\pi \mu\text{m}^2$  (contact de drain de  $2 \mu\text{m}$  de diamètre).

### III.2.3 Optimisation du maillage

Après avoir défini la structure matériau au complet dans *Sentaurus Structure Editor*, la génération du maillage se fait à l'aide de l'outil *SNMESH*. La taille de la maille évolue en fonction de la précision recherchée dans la structure et est d'autant plus petite que les paramètres physiques évoluent rapidement dans l'espace. Les équations physiques sont résolues une fois par maille élémentaire et les bords de la maille correspondent aux conditions aux limites à satisfaire. Le nombre de maille et par conséquent la précision recherchée affecte le temps de calcul mais aussi la fiabilité des résultats obtenus (comme le diagramme de bandes, la distribution des charges, l'évolution du champ et du potentiel électrique, etc.). En conséquence, le nombre de nœuds doit être soigneusement optimisé de



façon à avoir un maillage évolutif selon l'évolution des paramètres physiques. Par exemple, un maillage dense est choisi aux interfaces des différentes régions de fort gradient de dopages, ainsi qu'aux interfaces des différents matériaux tels que Métal/GaN et diélectrique de grille  $\text{Al}_2\text{O}_3/\text{GaN}$ . En revanche, un maillage plus large est choisi pour les régions où les paramètres physiques évoluent lentement dans l'espace. Ces ajustements du maillage sont visibles sur la Figure 22.

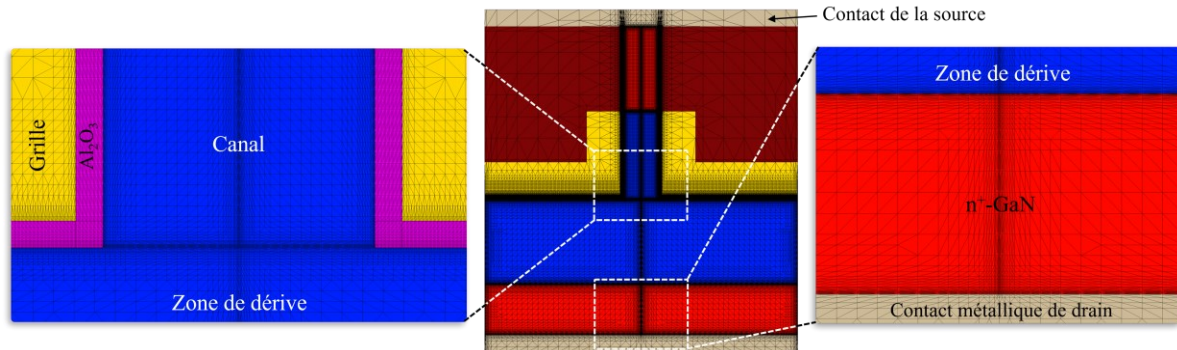


Figure 22 : Illustration d'un maillage type généré par l'outil SNMESH.

### III.3 Modèle physique et paramètres utilisés

#### III.3.1 Les équations fondamentales

Le logiciel *Sentaurus* offre un large choix de modèles physiques pour simuler le fonctionnement des dispositifs à semiconducteurs. Dans cette section, l'ensemble des modèles et paramètres physiques disponibles dans le code de l'outil *S-Device* est présenté.

- Équation de Poisson

Cette équation est dérivée du théorème de Gauss ( $\text{Div}\vec{\mathbf{D}} = \rho$ ) qui relie le potentiel électrostatique à la distribution de la charge électrique selon la relation suivante :

$$\nabla(\varepsilon\nabla\psi) = -\rho \quad (\text{Équation III-1})$$

Où  $\varepsilon$  et  $\psi$  représentent respectivement la permittivité diélectrique du matériau et le potentiel électrostatique. Le symbole  $\rho$  désigne la densité de charges, correspondant à la somme des charges des électrons ( $n$ ), des trous ( $p$ ), des impuretés ionisées ( $N_A^-$  et  $N_D^+$ ), des pièges  $\rho_{\text{piège}}$  actifs dans le semiconducteur. Enfin,  $q$  est la charge élémentaire d'un électron. Cette équation devient alors :

$$\nabla(\varepsilon\nabla\psi) = -q(p - n + N_A^- - N_D^+) - \rho_{pi\grave{e}ge} \quad (\text{Équation III-2})$$

- Équations de continuité

Ces équations dérivent de la loi de Fick et décrivent l'évolution temporelle de la densité des porteurs de charges (électrons et trous) en prenant en compte les phénomènes de transport, de génération et de recombinaison. Elles se déclinent comme suit :

$$\begin{cases} \frac{\partial n}{\partial t} = \frac{1}{q} \text{div}\vec{J}_n + G_n - R_n \\ \frac{\partial p}{\partial t} = \frac{1}{q} \text{div}\vec{J}_p + G_p - R_p \end{cases} \quad (\text{Équation III-3})$$

Avec  $\vec{J}_n$  et  $\vec{J}_p$  représentent respectivement la densité de courant d'électrons et de trous;  $G_n$  et  $G_p$  sont les taux de génération des porteurs de charges (électrons et trous); et  $R_n$  et  $R_p$  sont les taux de recombinaison des porteurs de charge.

### III.3.2 Mécanismes de transport

Il existe principalement trois modèles physiques de transport décrivant les mécanismes de déplacement des porteurs de charge dans un matériau :

- Le modèle dérive-diffusion qui considère les porteurs de charge avec une température égale à celle du réseau cristallin.
- Le modèle thermodynamique est celui que nous avons choisi pour notre étude, car, il est basé sur le modèle de dérive-diffusion, mais en considérant une température du réseau cristallin différente de la température ambiante. Pour l'activer, il est nécessaire de définir un contact thermique à notre structure en fixant sa température à une valeur constante. Dans notre cas, nous avons choisi de le placer au même endroit que le contact électrique du drain, avec une température égale à 300 K. C'est-à-dire que le métal de drain jouera le rôle de puits de chaleur permettant de refroidir le composant.
- Le modèle hydrodynamique résout une forme simplifiée de l'équation de Boltzmann, qui suppose que les porteurs de charges ont une température différente de celle du réseau cristallin. Notez que le modèle hydrodynamique est mieux adapté aux régimes de fonctionnement avec des champs électriques élevés,

pour lesquels les porteurs de charges ne sont plus à l'équilibre thermodynamique avec le réseau cristallin, ce qui est le cas pour plusieurs dispositifs, à transport balistique par exemple. Notons que nous n'avons pas pu utiliser ce modèle en raison du temps de calcul requis, qui est beaucoup plus élevé que celui des deux autres modèles.

### III.3.3 Modélisation des autres mécanismes physiques

La mobilité des porteurs (noté  $\mu_n$ ) à bas champ correspond à la constante de proportionnalité entre la vitesse de dérive moyenne et le champ électrique  $E$  :

$$v(E) = \mu_n E \quad (\text{Équation III-4})$$

Le logiciel *Sentaurus* dispose de plusieurs modèles de mobilité de porteurs selon les paramètres physiques désirés dans le matériau considéré. Dans le cas du GaN, il est également possible de tenir compte des effets de champs forts avec une vitesse des porteurs qui varie en fonction du champ électrique [39]. A bas champ électrique ( $< 50$  kV/cm), la vitesse des électrons est considérée constante. Pour un champ électrique compris entre 50 et 200 kV/cm (limité à la survitesse), le manuel de *S-Device* spécifie que le modèle d'*Arora* est le plus approprié pour décrire la dépendance en champ, pour les matériaux tels que le GaN et le GaAs. Ce modèle prend aussi en compte la dépendance de la mobilité par rapport à la concentration des dopants et de la température du semi-conducteur. Finalement, un dernier régime de champ électrique ( $> 200$  kV/cm) est considéré et correspond à celui où la vitesse des porteurs diminue puis tend vers la saturation. Pour les dispositifs de puissance envisagés pouvant fonctionner à fort champ électrique, il est impératif de choisir un modèle considérant ces trois régimes. C'est le cas du modèle *Transferred Electron Effect2* basé sur la méthode de calcul Monte Carlo, qui est spécialement conçu pour les matériaux semiconducteurs III-V et adapté au III-N.

La recombinaison et la génération des porteurs de charge dans les semiconducteur sont deux processus d'échange entre une bande de valence (BV) et/ou de conduction (BC) et un niveau énergétique lié à un état électronique dans la bande interdite (piège ou dopant) ou une bande de valence et/ou de conduction, voire dans la BC ou la BV elle-même. Ces transitions peuvent être radiatives ou non. Les mécanismes *Shockley-Read-Hall* (SRH) et

*Auger* sont des exemples de mécanismes de recombinaisons non-radiatives.

Les pièges peuvent être implémentés par le simulateur *S-Device*, spécifiquement dans une région, un matériau, une surface ou une interface. L'état électronique peut être décrit comme un accepteur ou un donneur. L'énergie d'activation de ces états (souvent dénommés comme pièges) représente leur position dans la bande interdite du semiconducteur ainsi que leur distribution (uniforme, exponentielle, gaussienne, ou ponctuelle).

Afin de modéliser les états de surface à l'interface du GaN et de l'oxyde de grille  $\text{Al}_2\text{O}_3$ , nous avons utilisé les valeurs expérimentales tirées de ces articles [40]–[42], dont les pièges sont de types accepteurs, à 0.5 eV sous la bande de conduction. Nous avons considéré une distribution uniforme de pièges surfacique avec une densité égale à  $1 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ .

### III.4 Étude de la région du canal

Le canal est la région de passage des électrons allant de la source vers le drain. La section effective du canal peut être contrôlée par l'application d'une tension de grille, afin de l'ouvrir ou le fermer totalement. Dans cette section, nous avons étudié l'impact de la géométrie et du niveau de dopage du canal sur l'efficacité de contrôle de la section et de la longueur effective de ce canal par l'application d'une tension de grille. Dans ce cadre, nous recherchons à optimiser le diamètre et le niveau de dopage afin d'obtenir un mode *normally-off*, tout en minimisant les courants de fuite.

#### III.4.1 Impact du diamètre de la zone de canal

Pour mieux comprendre les paramètres en jeu dans la commande de la région du canal, il est indispensable de tracer les diagrammes de bandes de la structure en fonction du diamètre et des tensions appliquées  $V_{ds}$  et  $V_{gs}$ . La Figure 23 illustre les diagrammes de bandes (bandes de conduction et de valence) d'une coupe verticale traversant le centre de la structure à  $V_{gs} = 0 \text{ V}$ , pour des diamètres allant de  $D = 100 \text{ nm}$  à  $600 \text{ nm}$ , ainsi pour deux tensions de drain différentes  $V_{ds} = 0 \text{ V}$  et  $V_{ds} = 20 \text{ V}$ .

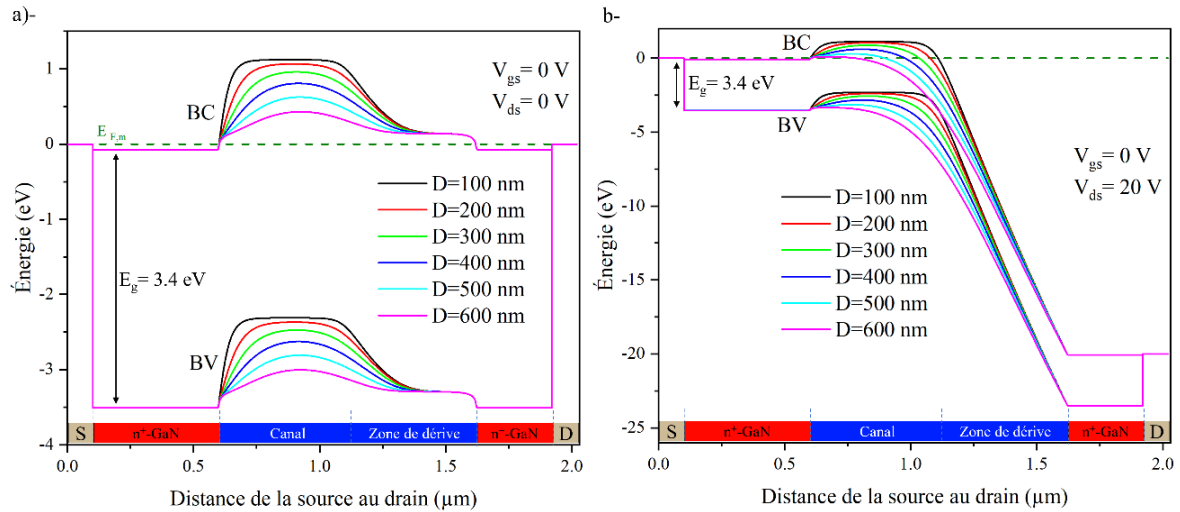


Figure 23 : Forme des diagrammes de bandes le long d'une découpe verticale passant par le centre du nanofil pour différents diamètres et tensions de drain: a) -  $V_{ds} = 0$  V ; b) -  $V_{ds} = 20$  V.

Lorsque la tension de drain est nulle  $V_{ds} = 0$  V, une barrière de potentiel de 1.1 eV est obtenue au centre du canal pour  $D = 100$  nm. Cette hauteur de barrière diminue avec le diamètre du fil, jusqu'à atteindre 0.4 eV à  $D = 600$  nm. Lorsque la tension appliquée au drain est de  $V_{ds} = 20$  V, les bandes sont abaissées de 20 eV du côté drain, ce qui diminue drastiquement les transitions bande à bande au niveau de la zone de dérivation, ainsi que la longueur et la hauteur de barrière de potentiel au niveau du canal. En effet, plus le diamètre du fil est grand, plus la hauteur et la longueur effective de barrière au niveau du canal est réduite, ce qui facilite le passage des électrons de la source vers le drain. Cela a donc pour effet de définir une longueur effective du canal en fonction du diamètre du fil.

La Figure 24 montre les diagrammes de bande (bande de conduction seulement) d'une coupe latérale du canal avec différents diamètres, au travers de l'empilement Métal-Oxyde-Semiconducteur (MOS) à  $V_{ds} = 0$  V et  $V_{ds} = 20$  V, et ce pour différentes tensions de grille.

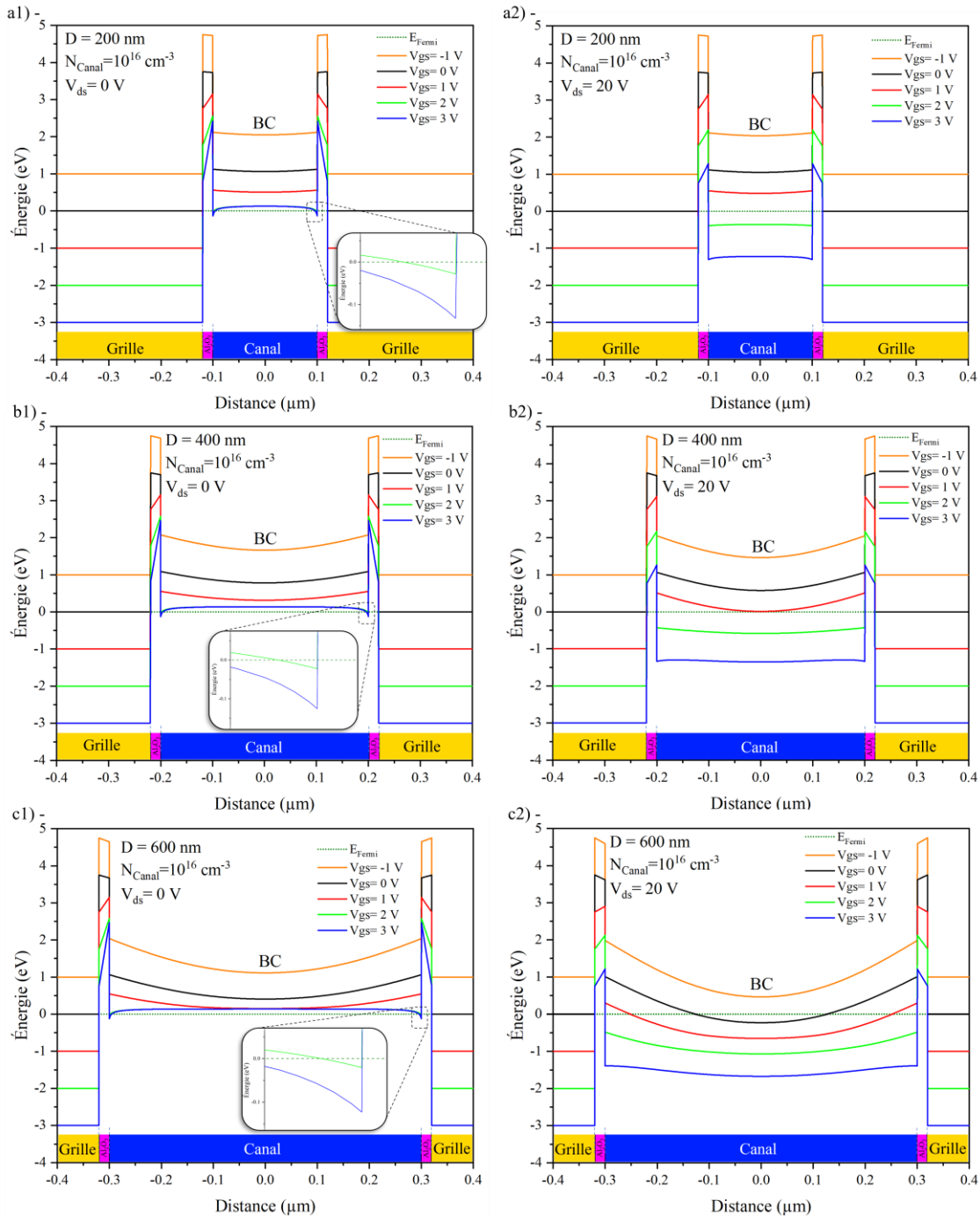


Figure 24 : Diagrammes de bande de conduction le long d'une coupe horizontale passant par le centre de la zone du canal, pour différentes tensions de grille et différents diamètres du canal : a)  $D = 200 \text{ nm}$  ; b)  $D = 400 \text{ nm}$  ; c)  $D = 600 \text{ nm}$ .

Les résultats de cette simulation sont cohérents avec la théorie standard de deux structures MOS (avec un dopage de type  $n$ ) tête-bêche disposées à distance variable l'une de l'autre.

En conséquence, lorsque la tension de grille est nulle, la barrière de potentiel en surface est plus grande par rapport au centre, et cet écart augmente également avec le diamètre du canal. Ce qui explique pourquoi le canal est complètement déserté pour les petits diamètres de NFs. Quand la tension appliquée au niveau de la grille est négative, la barrière de potentiel des électrons vue de la surface ou du volume du semiconducteur, augmente. En conséquence, la zone de déplétion est plus étendue et ferme complètement le canal conducteur même pour les grands diamètres. Par ailleurs, lorsque la tension de grille appliquée est positive, la barrière de potentiel des électrons vue de la surface ou du volume du semiconducteur, diminue et fait apparaître un puits de potentiel en surface du semiconducteur, où peut s'accumuler des électrons. C'est le régime d'accumulation pour lequel le canal devient conducteur. Lors de l'application d'une faible tension positive au niveau du drain, ces mêmes électrons peuvent circuler de la source vers le drain en passant par la surface du semiconducteur. Plus la tension de drain appliquée est grande, plus la hauteur de la barrière de potentiel au centre diminue et forme une bande plate située sous le niveau de Fermi laissant ainsi les électrons circuler sur toute la zone du canal.

Afin de visualiser le passage du courant dans la structure à  $V_{gs} = 0$  V, en appliquant une tension de drain  $V_{ds} = 20$  V, des cartographies de densité de courant ont été générées en fonction du diamètre du fil comme montré la Figure 25.

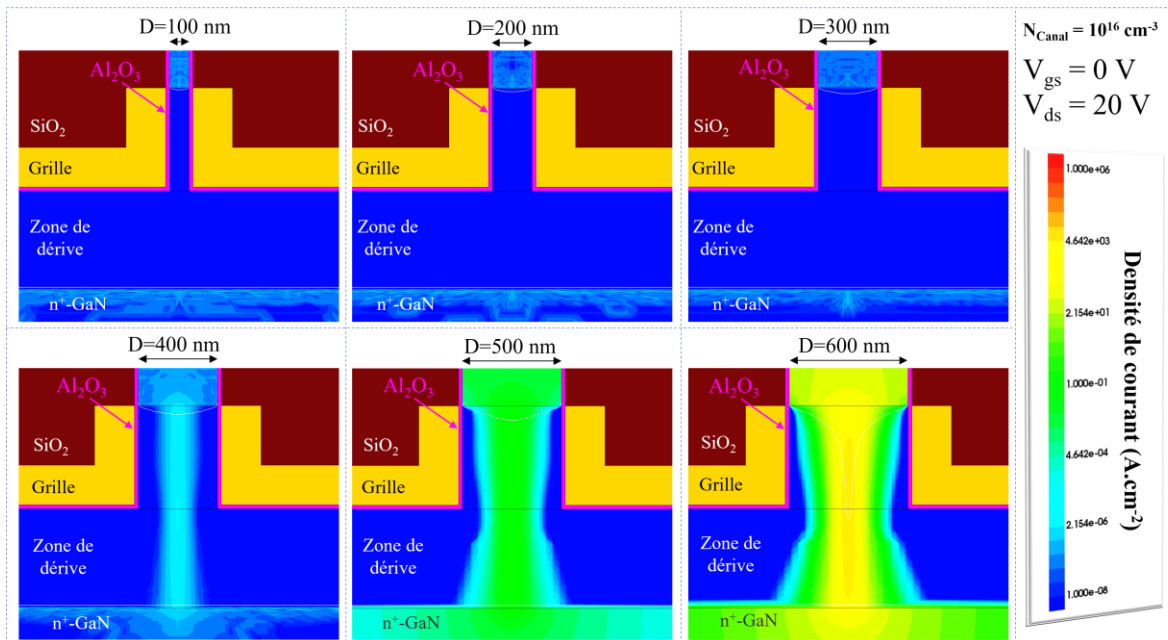


Figure 25 : Densité de courant passant dans la structure pour différents diamètres à  $V_{gs} = 0$  V et  $V_{ds} = 20$  V.

Ces résultats montrent que le canal est complètement déserté sous les 300 nm de diamètre. À partir d'un diamètre de 400 nm, un courant est observé au travers du canal localisé au centre entre les zones de charge d'espace. Ce phénomène est d'autant plus accentué que le diamètre du canal est grand. C'est pourquoi, il est nécessaire d'appliquer des tensions négatives au niveau de la grille afin d'étendre la zone de déplétion et bloquer le passage du courant. Il existe donc un diamètre spécifique pour lequel le canal n'est pas complètement fermé, c'est le passage du mode *normally-off* à *normally-on*.

Afin de déterminer une valeur plus précise du diamètre du canal pour laquelle le transistor devient *normally-on*, les caractéristiques de transfert ( $I_{ds}$ - $V_{gs}$ ) ont été tracées pour différents diamètres avec et sans états de surface (voir Figure 26). Il est important de noter que la tension de drain est fixée à  $V_{ds} = 20$  V pour s'assurer que le transistor fonctionne en régime de saturation. Ces résultats de simulation montrent que les états de surface créent un décalage de la courbe ( $I_{ds}$ - $V_{gs}$ ) vers les tensions positives de  $V_{gs}$  par rapport à celle obtenue sans états de surface. Ce décalage est moins important lorsque le diamètre du canal augmente. Les états de surface ont peu d'effet sur la commande du passage du courant dans le canal, pour de grands diamètres de nanofil. Cela dit, il nous faut noter une perte de courant systématique, causée par les états de surface lorsque le transistor est complètement ouvert (voir Figure 26-a).

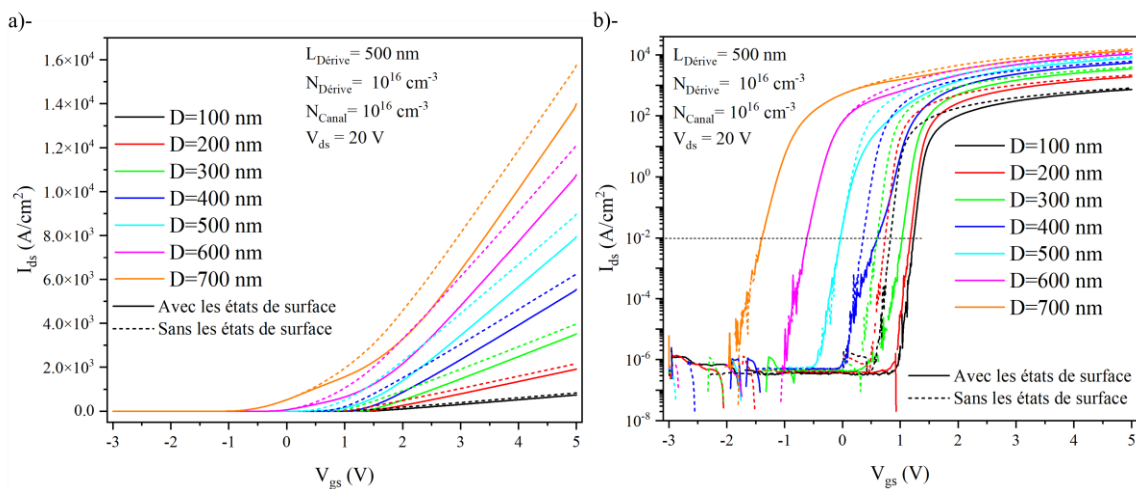


Figure 26 : Caractéristiques de transfert du transistor simulé pour différents diamètres de nanofil. a) en échelle linéaire. b) en échelle  $\log_{10}$ .



Une valeur de courant de seuil  $I_{ds}(V_{gs})$  de  $10 \text{ mA/cm}^2$  est choisie pour définir la valeur de la tension seuil ( $V_{th}$ ). L'évolution de cette dernière est tracée en fonction du diamètre du canal, avec et sans états de surface Figure 27. Il est alors facile de définir les zones  $V_{th}(D)$  pour lesquelles le transistor est bloqué sous la courbe considérée et passant au-dessus.

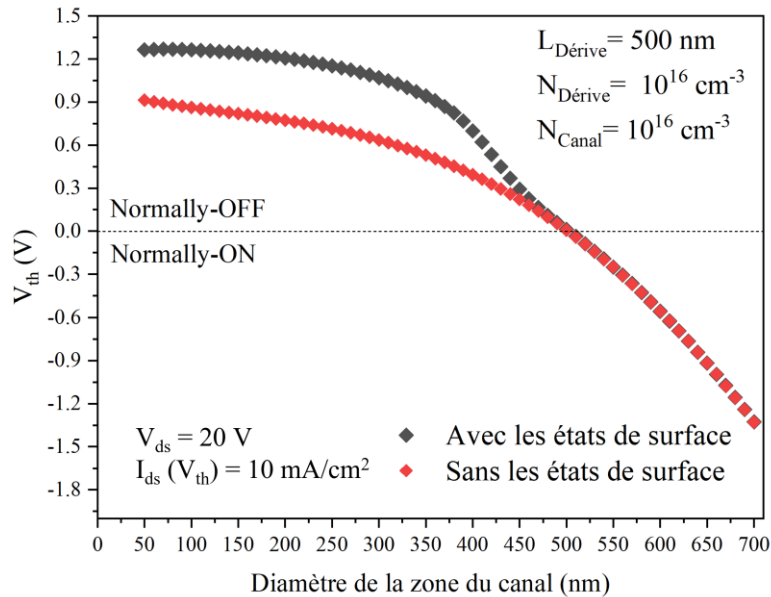


Figure 27 : Tension de seuil extraite à  $I_{ds} = 10 \text{ mA/cm}^2$  en fonction du diamètre du nanofil, avec et sans les états de surface.

Pour les petits diamètres, ces résultats montrent que la tension seuil est plus élevée en présence d'états de surface de type accepteur et que ceci cause un décalage de près de  $+0.4 \text{ V}$ . Une étude similaire avec des états électroniques de type donneur donnerait un résultat similaire avec un décalage vers des tensions négatives. Les deux courbes (avec et sans états de surface) se croisent en augmentant le diamètre du canal pour laquelle la tension seuil devient négative. On note que le transistor passe d'un mode *normally-off* à un mode *normally-on* pour un diamètre approximatif de 480 nm.

### III.4.2 Impact du niveau de dopage du canal

Pour des nanofils élaborés par voie épitaxiale, le niveau de dopage accessible est limité à  $1 \times 10^{16} \text{ cm}^{-3}$ . En conséquence, nous avons d'abord opté pour ce niveau de dopage dans la section précédente pour une optimisation du diamètre du NF. Pour d'autres approches

d'élaboration où un contrôle de ce niveau de dopage est accessible, il est intéressant de mieux comprendre l'impact de ce paramètre sur les caractéristiques électriques du transistor. Pour se faire, nous avons tracé les diagrammes de bande de la structure en fonction du niveau de dopage (un diamètre fixe de nanofil de 200 nm, a été choisi comme point de référence pour le mode *normally-off*). La Figure 28 montre les résultats de la simulation pour la structure de bande de conduction le long d'une coupe verticale traversant le centre de la structure à  $V_{gs} = 0$  V, pour des concentrations de dopage de canal allant de  $1 \times 10^{16} \text{ cm}^{-3}$  à  $5 \times 10^{17} \text{ cm}^{-3}$ , ainsi que pour deux tensions de drain différentes  $V_{ds} = 0$  V et  $V_{ds} = 20$  V.

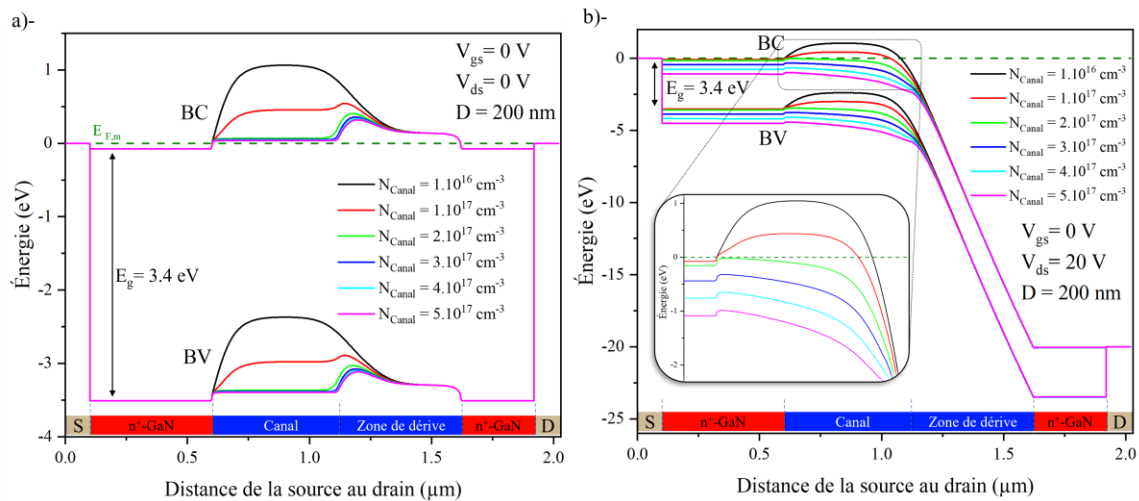


Figure 28 : Diagrammes de bande le long d'une coupe verticale passant par le centre du nanofil pour différents niveaux de dopage du canal, en fixant le diamètre à 200 nm : a) -  $V_{ds} = 0$  V ; b) -  $V_{ds} = 20$  V.

Lorsque la tension de drain est nulle  $V_{ds} = 0$  V (cf. Figure 28-a), une hauteur de barrière de potentiel de 1 eV est observée au centre du canal pour  $1 \times 10^{16} \text{ cm}^{-3}$ . Cette hauteur de barrière diminue avec le niveau de dopage du canal : elle devient presque nulle à  $5 \times 10^{17} \text{ cm}^{-3}$ , et vaut 0.31 eV à la sortie du canal, du fait du faible dopage de la zone de dérivation.

Lorsque la tension appliquée au drain est de 20 V (cf. Figure 28-b), les bandes sont abaissées de 20 eV côté drain ce qui induit une diminution de la hauteur de barrière coté canal. De plus, la bande de conduction passe sous le niveau de Fermi pour un niveau de dopage du canal d'environ  $2 \times 10^{17} \text{ cm}^{-3}$ , ce qui rend le canal conducteur et laisse passer les électrons de la source vers le drain à  $V_{gs} = 0$  V. En conséquence, une augmentation trop importante de la concentration de dopage du canal affecte drastiquement la capacité de commande par la tension de grille.

Des cartographies de la densité de courant ont été générées en fonction du niveau de dopage du canal comme le montre la Figure 29, toujours dans le cas d'un diamètre de nanofil de 200 nm. Ce choix de diamètre permet une meilleure visualisation du trajet du courant dans la structure à  $V_{gs} = 0$  V, pour une tension de drain de 20 V. Il est à noter qu'à partir d'un niveau de dopage de  $1 \times 10^{17} \text{ cm}^{-3}$ , les électrons commencent à circuler au centre du canal. Remarquons également que plus le dopage du canal est élevé, plus la zone de charge d'espace est réduite laissant ainsi passer plus de courant. Cela se vérifie également avec l'augmentation du diamètre du canal (cf. section précédente). En outre, le faible dopage de la zone de dérivation et la présence de la grille située à proximité entraînent la création d'une zone de déplétion plus étendue le long de cette région. En conséquence, les électrons restent confinés dans une partie du volume de la zone de dérivation avant d'arriver au drain (cf. Figure 29).

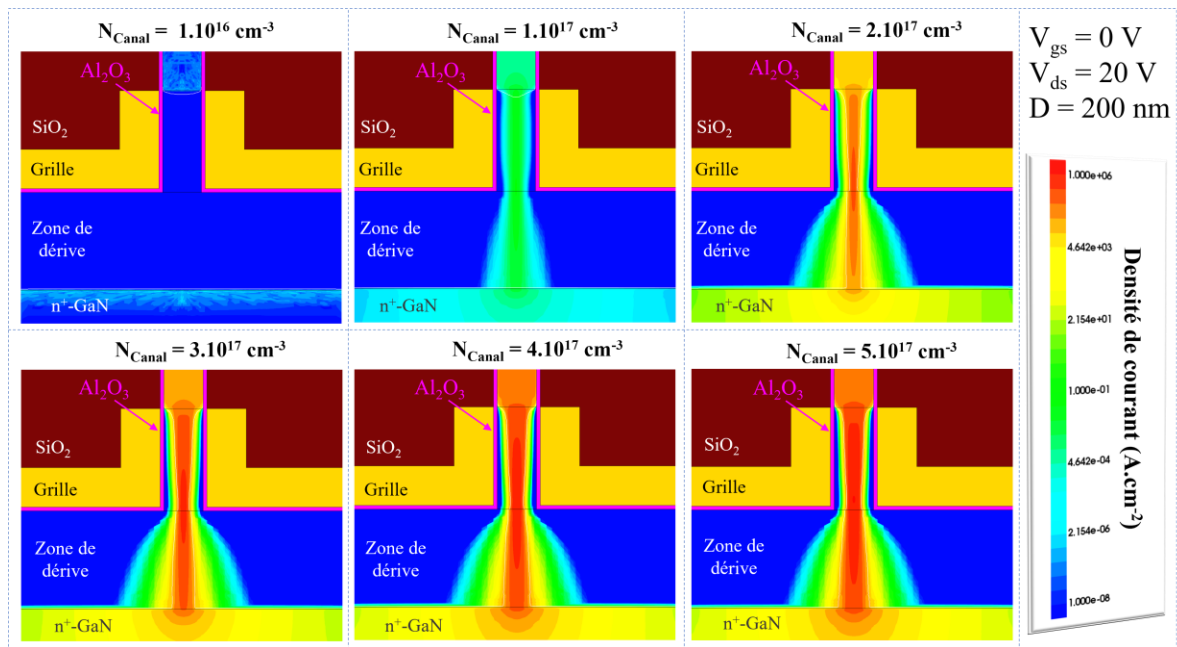


Figure 29 : Densité de courant passant dans la structure pour différents dopages du canal pour un diamètre de 200 nm à  $V_{gs} = 0$  V et  $V_{ds} = 20$  V.

Afin d'établir le diamètre du canal et son niveau de dopage maximal pour lesquels le transistor devient *normally-on*, les caractéristiques de transfert ( $I_{ds}-V_{gs}$ ) sont tracées pour différents niveaux de dopage et pour différents diamètres de canal, avec et sans états de surface (ces caractéristiques ne sont pas montrées ici et les diamètres choisis sont ceux qui

ont donné un mode *normally-off* dans la section précédente). De ces courbes, nous avons déterminé (comme précédemment) les valeurs de tension seuil correspondant à une valeur de courant de 10 mA/cm<sup>2</sup>: ces valeurs sont tracées en fonction du niveau de dopage Figure 30-a.

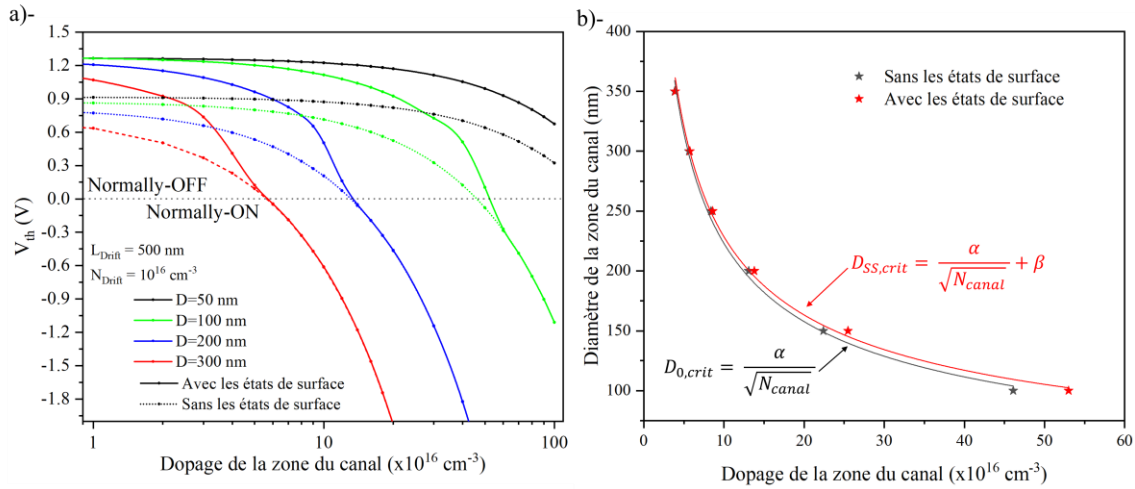


Figure 30 : Valeurs de la tension de seuil extraite à  $I_{ds} = 10 \text{ mA/cm}^2$  (a) et du diamètre critique correspondant à  $V_{th}=0 \text{ V}$  (b), tracées en fonction du niveau de dopage du canal, et ce pour différents diamètres de nanofil avec et sans états de surface.

Les résultats montrent que la tension seuil diminue avec l'augmentation du niveau de dopage du canal. Cette évolution est d'autant plus marquée que le diamètre du canal est grand. En d'autres termes, le mode *normally-off* est davantage maintenu pour les petits diamètres de canal, peu importe le niveau de dopage. Ce choix de petits diamètres de canal constitue un avantage car il est difficile d'obtenir un niveau de dopage précis en reproductible en épitaxie. En ce qui concerne la miniaturisation du transistor et sa fiabilité, ceci constitue aussi un avantage car la probabilité de rencontrer une dislocation traversante est considérablement réduite lorsque le diamètre du canal diminue. Les résultats montrent également que la valeur de  $V_{th}$  est plus élevée en présence d'états de surface pour les faibles niveaux de dopage. Les états de surface ont peu d'effet sur la valeur de  $V_{th}$  lorsque celle-ci est inférieure ou égale à zéro. Dans le cas des faibles diamètres de nanofil, les états de surface jouent un rôle plus important sur le contrôle du courant par la tension de grille uniquement pour les transistors *normally-off*.

La Figure 30-b montre les valeurs du diamètre critique correspondant à  $V_{th}=0 \text{ V}$  en fonction

du niveau de dopage du canal, avec et sans états de surface. La courbe reproduisant les données expérimentales, correspond au modèle empirique suivant:

$$D_{ss,crit} = \frac{\alpha}{\sqrt{N_{canal}}} + \beta(D_{it}) \quad (\text{Équation III-5})$$

Où  $\alpha = 7.05 \times 10^3 \text{ cm}^{-1/2}$  et  $\beta(D_{it}) = 5.6 \text{ nm}$ . À  $V_{th} = 0 \text{ V}$  la largeur de la zone de charge d'espace ( $W$ ) est égale au rayon du canal ( $D_{crit}/2$ ): le canal est sur le point de s'ouvrir. La valeur de  $\alpha$  dépend de la permittivité ( $\epsilon$ ) du GaN, de la hauteur de barrière de potentiel à l'interface ( $\phi$ ), et de la charge élémentaire ( $q$ ). En comparant l'évolution de la zone d'espace avec la théorie du MOS d'un semiconducteur de type  $n$  sans états de surface. Nous trouvons que :

$$W_0 = \frac{D_{0,crit}}{2} \Leftrightarrow \sqrt{\frac{2 \epsilon_{GaN} \phi}{q N_{GaN}}} = \frac{\alpha}{2\sqrt{N_{GaN}}} \quad (\text{Équation III-6})$$

$$\alpha = \sqrt{\frac{8 \epsilon_{GaN} \phi}{q}} \quad (\text{Équation III-7})$$

Ce qui veut dire que le diamètre critique pour lequel le transistor passe d'un mode *normally-off* à un mode *normally-on* s'écrit de la façon suivante :

$$D_{crit} = \sqrt{\frac{8 \epsilon_{GaN} \phi}{q N_{canal}}} + \beta(D_{it}) \quad (\text{Équation III-8})$$

### III.5 Étude d'une zone de dérive en volume

Comme mentionné dans les deux chapitres précédents, l'extension de la zone de dérive permet d'augmenter la tension de claquage  $V_{BR}$  à l'état bloqué. L'application d'une tension positive au niveau du drain ( $V_{gs} = 0 \text{ V}$  d'où  $V_{gd} < 0 \text{ V}$ ) entraîne une répulsion des électrons de la sortie du canal vers le drain. Ceci se traduit par un élargissement de la zone de déplétion le long de cette zone de dérive. La tension de drain est augmentée jusqu'à ce que le champ électrique en sortie du canal côté grille atteigne le champ critique de claquage du GaN, soit  $3.3 \text{ MV/cm}$  (cf. Figure 31). Un autre phénomène est à considérer pour expliquer la réduction de la tension de claquage du transistor et ce, avant même d'atteindre ce champ critique. Ce phénomène génère un courant de fuite au travers la totalité de la structure du fait de l'abaissement de la barrière de potentiel dans la zone du canal à forte tension appliquée sur le contact de drain (voir la section 4.1 Figure 23). Ce phénomène est d'autant plus accentué

que le diamètre du nanofil est grand. Dans la suite de cette étude, nous avons fixé le courant de fuite maximale acceptable traversant le canal à la même valeur pour définir la tension seuil, soit  $10 \text{ mA/cm}^2$ . La Figure 31 montre un exemple d'évolution du champ électrique dans la structure simulée (avec un diamètre de nanofil de  $200 \text{ nm}$ ) à  $V_{gs} = 0 \text{ V}$  pour différentes valeurs de  $V_{ds}$  appliquées. Pour une épaisseur  $L_{\text{Dérive}}$  fixée à  $2 \text{ }\mu\text{m}$ , la tension de claquage trouvée est à  $562 \text{ V}$ .

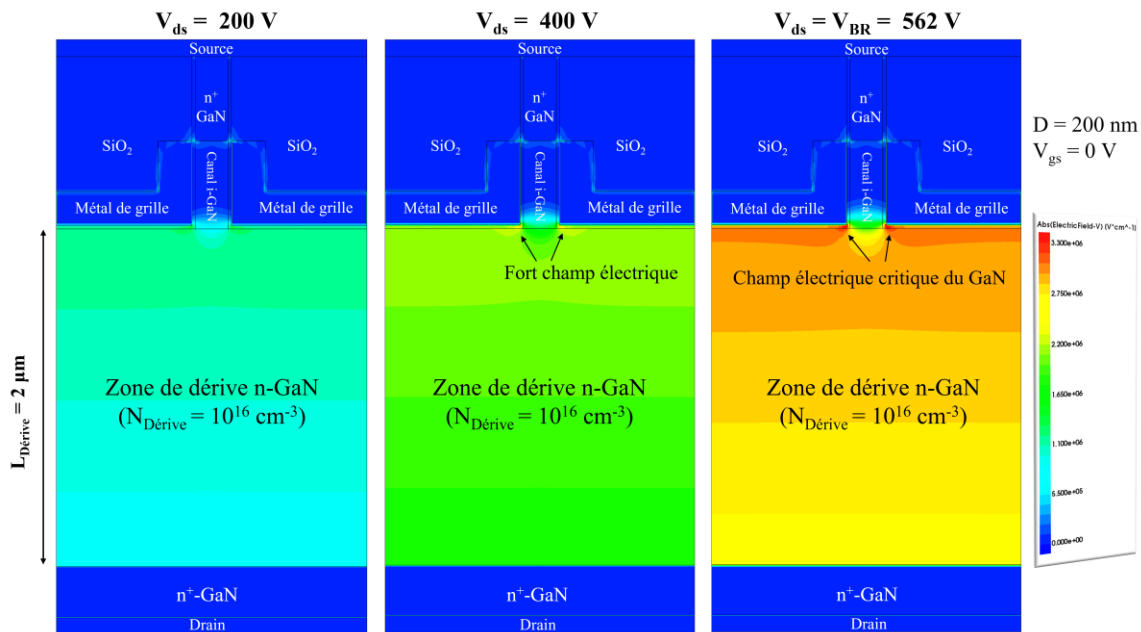


Figure 31 : Cartographie du champ électrique à  $V_{gs} = 0 \text{ V}$  en fonction de la tension drain-source  $V_{ds}$  en fixant le diamètre à  $200 \text{ nm}$  et la longueur de la zone de dérivation à  $2 \text{ }\mu\text{m}$ .

### III.5.1 Impact de l'épaisseur de la zone de dérivation

Afin d'approfondir notre compréhension du mécanisme de claquage du transistor en fonction de l'épaisseur de la zone de dérivation, les caractéristiques  $I_{ds}-V_{ds}$  sont tracées pour différents diamètres, en fixant la tension de grille  $V_{gs}$  à  $0 \text{ V}$ . La tension de drain est variée jusqu'à la valeur du claquage. La Figure 32-a montre les caractéristiques  $I_{ds}-V_{ds}$  extraites pour une longueur de la zone de dérivation  $L_{\text{Dérive}}$  de  $2 \text{ }\mu\text{m}$ . Les valeurs des tensions de claquage obtenues sont tracées en fonction du diamètre du nanofil et de l'épaisseur  $L_{\text{Dérive}}$  comme le montre la Figure 32-b.

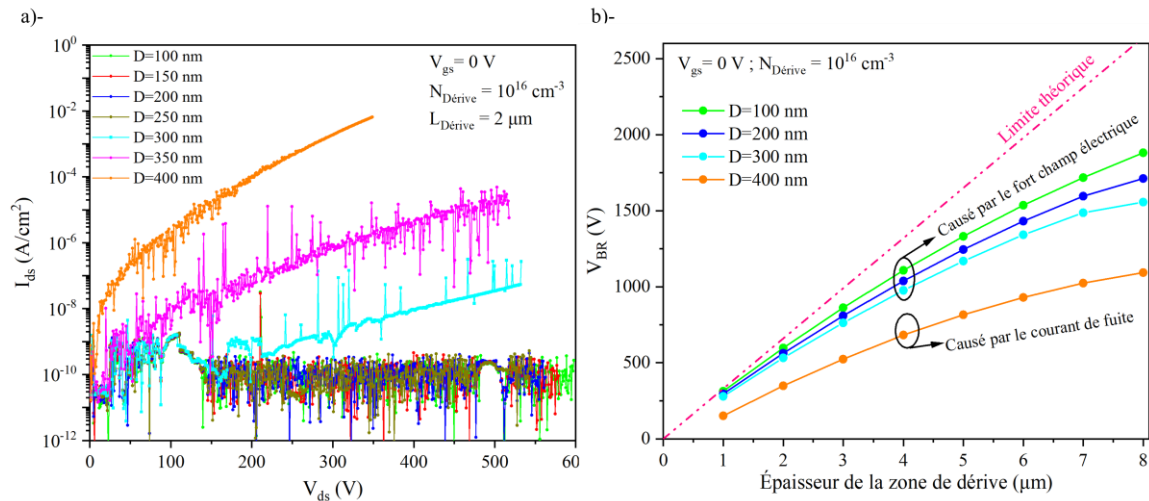


Figure 32 : a) – Courant de fuite pour une longueur de zone de dérivation de 2 µm. b) - Tension de claquage  $V_{BR}$  extraite en fonction de l'épaisseur de la zone de dérivation.

Pour les nanofils de diamètres inférieurs à 200 nm, les courants de fuite sont toujours de l'ordre de 0.1 nA/cm<sup>2</sup>. En revanche, l'augmentation du diamètre de 300 nm à 350 nm engendre une augmentation des courants de fuite avec la tension  $V_{ds}$ , jusqu'à ce que le champ de claquage soit atteint dans une partie de la zone de dérivation. Pour un diamètre de 400 nm, le courant de fuite augmente plus vite pour atteindre la valeur fixée à 10 mA/cm<sup>2</sup>. Par conséquent, la commande de grille devient relativement instable en mode *normally-off*. Il n'est donc pas prévu de concevoir des nanofils au-delà de 350 nm de diamètre. Par ailleurs, la Figure 32-b montre que la tension de claquage est d'autant plus élevée que la zone de dérivation est épaisse et que le diamètre du nanofil est petit. De plus, l'augmentation du diamètre du nanofil entraîne une augmentation drastique des courants de fuite à fort champ, ce qui accentue le claquage électrique aux coins de grille côté drain.

Les caractéristiques  $I_{ds}$ - $V_{ds}$  (cf. Figure 33-a) sont données pour différentes épaisseurs de la région de dérivation, et pour différents diamètres de nanofil. Ces simulations visent à étudier l'impact de ces paramètres sur la résistance à l'état passant,  $R_{ON}$ , définie pour une tension de drain de 200 mV à  $V_{gs} = +5$  V (voir Figure 33-b). Nous constatons que la résistance  $R_{ON}$  augmente légèrement et proportionnellement à l'épaisseur de la zone de dérivation, ce qui est conforme à la loi d'Ohm et à l'élargissement de la zone de conduction dans cette même couche. Ainsi, plus le diamètre du nanofil est grand, plus la résistance  $R_{ON}$  est petite et plus

le courant de saturation est élevé. Cependant, la saturation du courant se fait très graduellement par rapport à l'épaisseur de zone de dérivation et ce comportement s'accroît avec le diamètre du nanofil. En conséquence, un compromis doit être trouvé entre la tension de claquage et la résistance à l'état passant. Notons que la résistance est divisée par 2.5 en doublant le diamètre du nanofil de 100 nm à 200 nm, alors que cette augmentation n'affecte que légèrement la tension de claquage, une réduction de 10% maximum de sa valeur initiale. Cela dit, il est possible de compenser cette baisse de la tension de claquage en augmentant l'épaisseur de la zone de dérivation de 1 µm. Ainsi, un NF de 200 nm de diamètre associé à une épaisseur de la zone de dérivation de 8 µm constituerait le meilleur compromis.

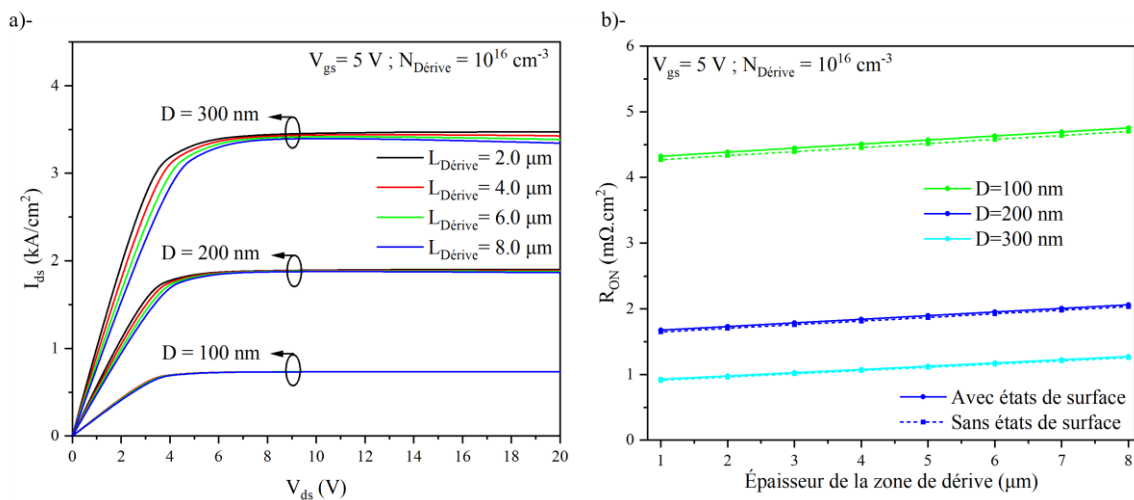


Figure 33 : a) Caractéristiques  $I_{ds}$ - $V_{ds}$  pour  $D = 100 \text{ nm}$ ,  $200 \text{ nm}$  et  $300 \text{ nm}$  et pour différentes épaisseurs de la zone de dérivation. b) L'extraction de la résistance à l'état passant en fonction de l'épaisseur de la zone de dérivation, pour différents diamètres de nanofil.

### III.5.2 Impact du niveau de dopage de la zone de dérivation

L'effet du niveau de dopage de la zone de dérivation sur la résistance  $R_{ON}$  (état passant) et la tension de claquage  $V_{BR}$  (état bloqué), est présenté sur la Figure 34, pour plusieurs diamètres de NF. Ici la longueur de la zone de dérivation a été fixée à  $2 \text{ }\mu\text{m}$ . Ces résultats montrent que l'augmentation du niveau de dopage de la zone de dérivation n'affecte quasiment pas la résistance à l'état passant, excepté une très légère diminution observée pour des niveaux de dopage inférieurs à  $3 \times 10^{16} \text{ cm}^{-3}$ . De plus, l'augmentation du niveau de dopage de la zone de dérivation induit une réduction drastique de la tension de claquage  $V_{BR}$ , ce qui est conforme au



comportement électrostatique attendu. Ce phénomène est accentué pour les nanofils de plus grands diamètres, du fait de l'augmentation des fuites de courant dues à l'abaissement de la barrière de potentiel au niveau du canal. Pour cette raison, il est nécessaire de minimiser le niveau de dopage résiduel de la zone de dérivation lors de l'épitaxie.

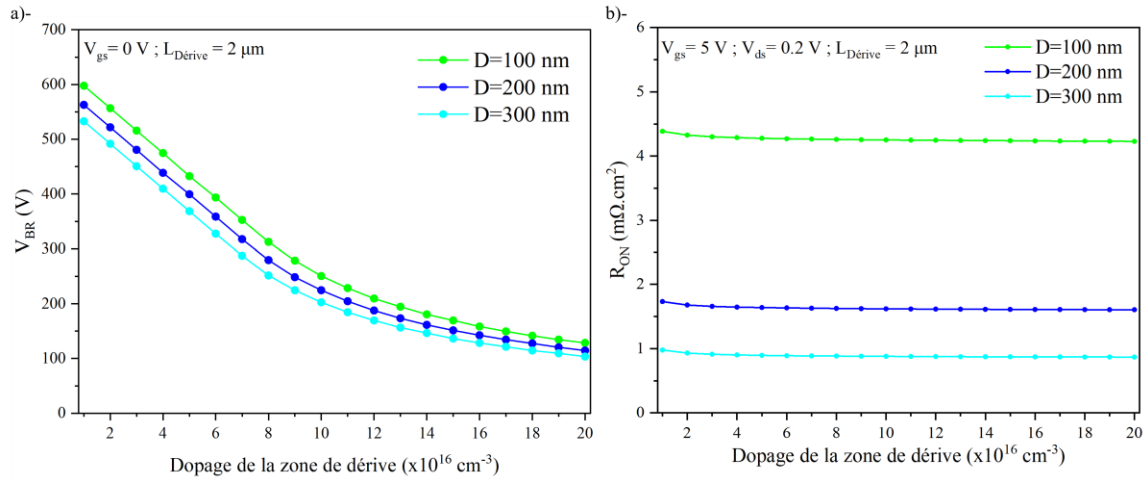


Figure 34 : Évolution de la tension de claquage  $V_{BR}$  et de la résistance à l'état passant  $R_{ON}$  en fonction du niveau de dopage de la zone de dérivation, et ce pour différents diamètres de nanofils.

### III.6 Étude de la zone de dérivation en nanofil

Afin de compléter l'étude de l'influence des paramètres sur les caractéristiques du transistor vertical à nanofil, nous avons également étudié l'impact d'une zone de dérivation quasi-1D constituée du NF lui-même. Ainsi, la structure de référence est ajustée en remplaçant la zone de dérivation 2D et ses caractéristiques physiques, par une prolongation du nanofil. Cette région est située en amont de la zone du canal d'une longueur  $L_{Dérive}$  avec un niveau de dopage  $N_{Dérive}$  ajustable. Une couche d'oxyde de silicium ( $\text{SiO}_2$ ,  $\epsilon_r = 3.9$ ) est utilisée pour combler l'espace entre les nanofils et garantir l'isolation électrique entre le contact de grille et le caisson  $\text{n}^+\text{-GaN}$  sur lequel le drain est connecté (voir Figure 35). Le diamètre du nanofil est choisi pour assurer un mode *normally-off*, à partir des résultats de la section précédente.

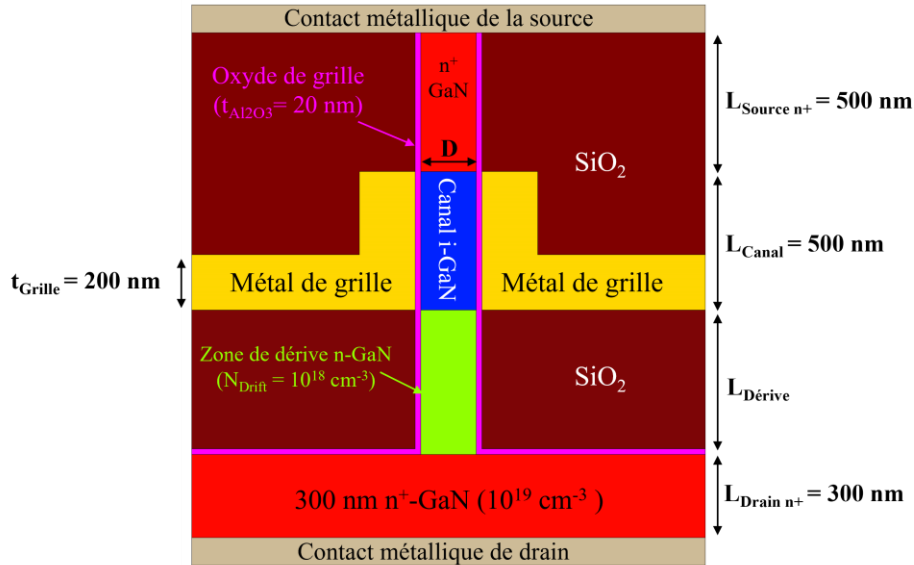


Figure 35 : Schéma de la structure de référence avec une zone de dérivation quasi-1D.

### III.6.1 Impact de la longueur de la zone de dérivation quasi-1D

Les résultats des simulations montrant l'effet de la longueur de la zone de dérivation sur la résistance à l'état passant  $R_{ON}$  et la tension de claquage  $V_{BR}$  à l'état bloqué, sont présentés à la Figure 36, pour différents diamètres de NF. Le niveau de dopage de cette zone a été fixé à  $1 \times 10^{18} \text{ cm}^{-3}$ , sachant que cette zone doit être suffisamment conductrice.

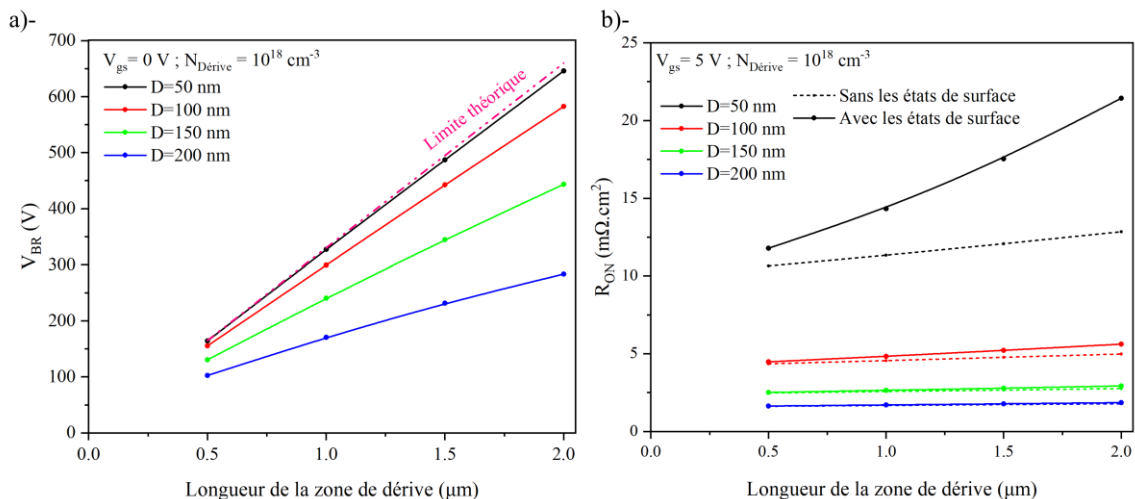


Figure 36 : Évolution de la tension de claquage  $V_{BR}$  et de la résistance à l'état passant  $R_{ON}$  en fonction de la longueur de la zone de dérivation pour plusieurs diamètres de NF, avec et sans états de surface.

Le graphique de la Figure 36-a montre que l'augmentation de la longueur de la zone de dérivation entraîne une augmentation quasi-linéaire de la tension de claquage, mais cette dépendance est moindre avec l'augmentation du diamètre de NF jusqu'à ce que cette tension soit quasiment indépendante de  $L_{\text{Dérive}}$ . Notons toutefois qu'il est toujours possible d'ajuster le niveau de dopage de la zone de dérivation afin d'ajuster la tension de claquage. Cette valeur de  $V_{\text{BR}}$  diminue d'autant plus que la zone de dérivation est dopée et/ou que la zone de déplétion est réduite, et/ou que le diamètre du NF augmente. D'autre part, le graphique de la Figure 36-b montre que la résistance à l'état passant  $R_{\text{ON}}$  augmente légèrement avec la longueur de la zone de dérivation et diminue en augmentant le diamètre du NF en accord avec la loi d'Ohm microscopique. De plus, cette résistance est plus importante en présence d'états de surface et ce phénomène est d'autant plus marqué que le diamètre du NF est petit. En effet, ces états de surface désertent la surface latérale de la zone de dérivation sur une profondeur constante, réduisant ainsi la section de conduction des électrons. Ceci explique pourquoi ce phénomène est plus sensible dans le cas des petits diamètres de nanofil. Il est donc nécessaire de définir un dopage de la zone de dérivation en fonction du diamètre  $D$  du nanofil choisi, du paramètre  $L_{\text{Dérive}}$ , et de la densité des états de surface  $D_{\text{it}}$  (choisie constante dans cette étude). Toutefois, pour tenir compte des contraintes du procédé de fabrication et de la synthèse des nanofils, nous avons décidé de fixer la longueur maximale de la zone de dérivation à  $2 \mu\text{m}$ .

Les caractéristiques  $I_{\text{ds}}-V_{\text{ds}}$  du transistor sont tracées sur la Figure 37 (avec  $D = 100 \text{ nm}$ ,  $D = 200 \text{ nm}$  et  $L_{\text{Dérive}} = 1 \mu\text{m}$ ), pour différents niveaux de dopage de la zone de dérivation, avec et sans états de surface. Nous pouvons observer sur la Figure 37-b que le transistor ne peut s'ouvrir à bas champ, quel que soit le diamètre du NF ( $< 200 \text{ nm}$ ), lors de la présence d'états de surface et dans le cas d'un niveau de dopage de la zone de dérivation inférieur à  $3 \times 10^{17} \text{ cm}^{-3}$ . Ceci peut s'expliquer aisément par la déplétion totale du NF par les états de surface. De la même façon, ces états de surface limitent la densité de courant à l'état passant. Ces états de surface ont un impact négligeable pour des niveaux de dopage plus élevés ( $> 5 \times 10^{17} \text{ cm}^{-3}$ ) de la zone de dérivation. C'est pourquoi la tension de saturation  $V_{\text{ds,sat}}$  diminue avec l'augmentation du dopage de la zone de dérivation.

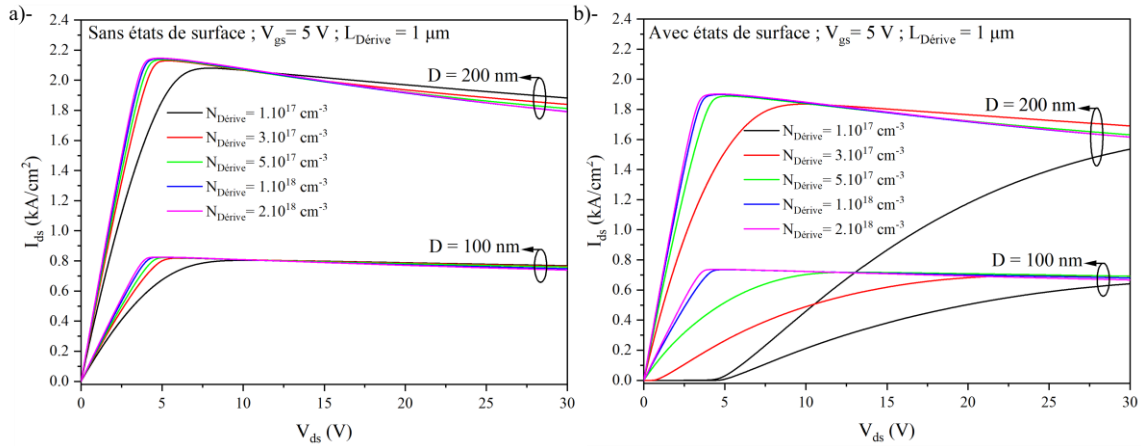


Figure 37 : Caractéristiques  $I_{ds}$ - $V_{ds}$  en fonction du niveau de dopage de la zone de dérivation, avec et sans états de surface et pour des diamètres de nanofil de 100 nm et 200 nm.

Il est constaté également une résistance différentielle négative au-delà de  $V_{ds,sat}$ , laquelle peut s'expliquer par un effet d'auto-échauffement du composant (cf. Figure 38). En effet, les propriétés de transport se dégradent avec une augmentation de la température : la mobilité électronique décroît plus rapidement que l'augmentation de la densité d'électrons avec la température, d'où la diminution du courant  $I_{ds}$ .

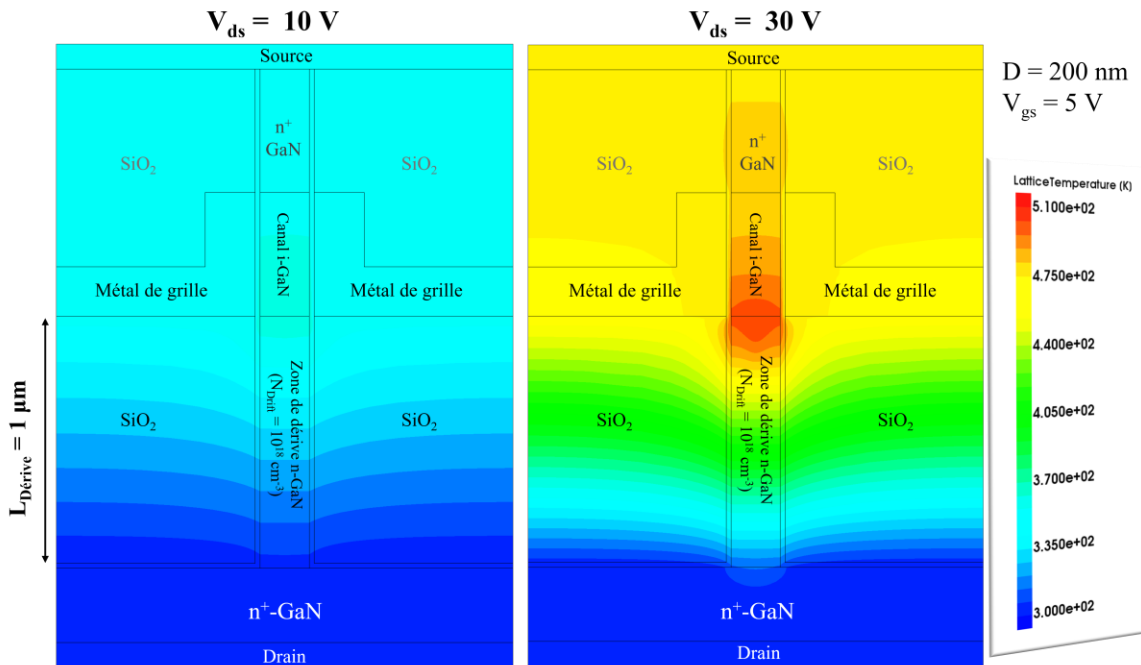


Figure 38 : Cartographie de la température à  $V_{gs} = 5 V$  en fonction de la tension drain-source  $V_{ds}$ , en fixant le diamètre à 200 nm et la longueur de la zone de dérivation à  $1 \mu m$ .

Les résultats de simulation pour la cartographie de la température du réseau dans la structure du dispositif, présentés Figure 38 montre l'augmentation de cette température lorsque  $V_{ds}$  passe de 10 V à 30 V. Ce comportement est attribué à l'augmentation de la densité de phonons hors équilibre dans le système associé à la présence d'électrons chauds.

La résistance à l'état passant  $R_{ON}$ , extraite des courbes I-V de la Figure 37, est tracée en fonction du niveau de dopage de la zone de dérivation, avec et sans états de surface, pour deux longueurs de la zone de dérivation :  $L_{Dérive} = 1 \mu\text{m}$  (Figure 39-a) et  $L_{Dérive} = 2 \mu\text{m}$  (Figure 39-b). Nous notons que la résistance  $R_{ON}$  est d'autant plus élevée que le diamètre du NF, le dopage et la longueur de la zone de dérivation sont petits. Ce phénomène est accentué en présence d'états de surface. Quel que soit le diamètre du NF, avec et sans états de surface, la résistance  $R_{ON}$  diminue avec le niveau de dopage de la zone de dérivation, puis tend vers une constante à fort dopage. Pour chaque valeur de diamètre du nanofil, nous avons identifié (symbole étoile) le niveau de dopage minimal correspondant au seuil de saturation de  $R_{ON}$  (voir Figure 39). Ces valeurs minimales du niveau de dopage sont tracées en fonction du diamètre du NF à la Figure 40, et ce pour deux longueurs différentes de la zone de dérivation. Ces simulations nous permettent d'estimer un meilleur choix de paramètres pour le développement du procédé de micro/nanofabrication.

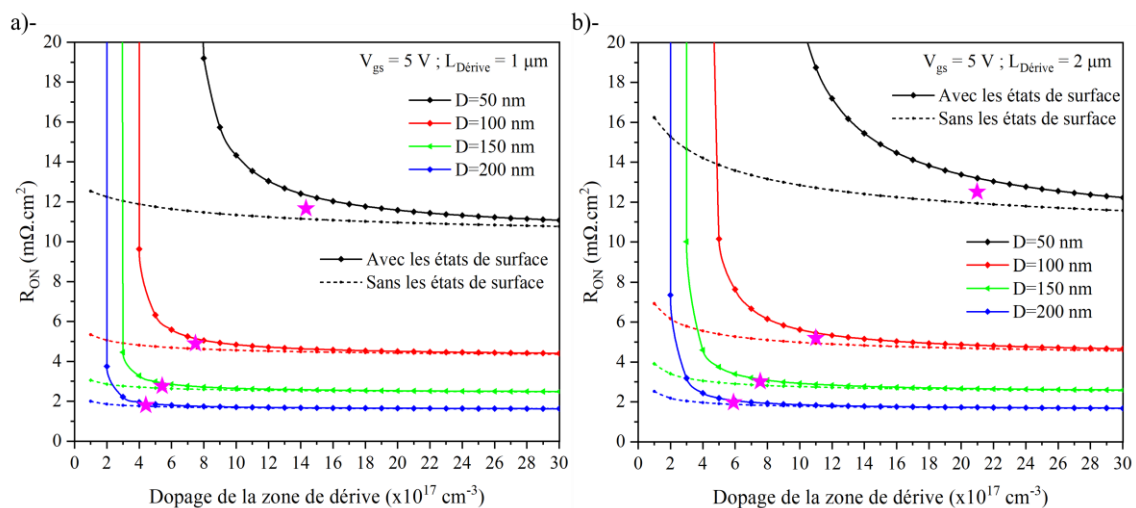


Figure 39 : Évolution de la résistance à l'état passant  $R_{ON}$  en fonction du niveau de dopage de la zone de dérivation, pour une longueur  $L_{Dérive} = 1 \mu\text{m}$  (a) et  $L_{Dérive} = 2 \mu\text{m}$  (b).

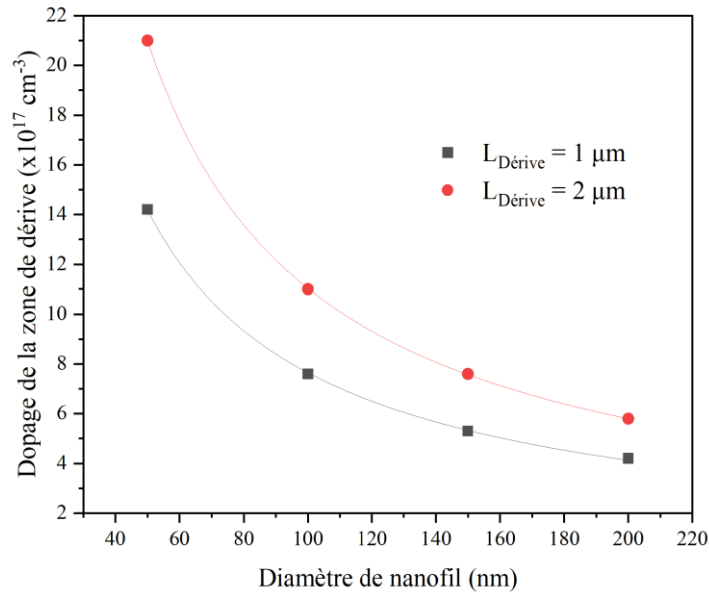


Figure 40 : Niveau de dopage minimal pour  $R_{ON}$  minimum en fonction du de diamètre du nanofil, et ce pour deux longueurs différentes de la zone de dérivation.

Les graphiques de la Figure 41 montrent l'évolution de la tension de claquage en fonction du niveau de dopage de la zone de dérivation, pour différents diamètres de NF (Figure 41-a pour  $L_{\text{Dérive}} = 1 \mu\text{m}$  et Figure 41-b pour  $L_{\text{Dérive}} = 2 \mu\text{m}$ ). Il est constaté que la tension de claquage diminue en augmentant le niveau de dopage de la zone de dérivation. Ce comportement est d'autant plus marqué que le diamètre du NF est grand. Les symboles en « étoile » reportés sur la Figure 41 correspondent aux tensions de claquage  $V_{BR}$  associées aux couples de paramètres ( $D$  et  $L_{\text{dérive}}$ ) optimaux identifiés précédemment à partir de la Figure 39. Nous constatons que les valeurs du niveau de dopage où  $R_{ON}$  est minimum ne correspondent pas à celles où  $V_{BR}$  est maximum. Un compromis doit donc être fait pour le choix de ce niveau de dopage. Cependant, s'il nous faut prendre en compte la fiabilité, et donc la durée de vie du transistor, il est préférable de choisir les couples de paramètres qui minimisent  $R_{ON}$  pour des valeurs de  $V_{BR}$  raisonnables (cf. aux résultats pour le choix du couple ( $R_{ON}, V_{BR}$ )).

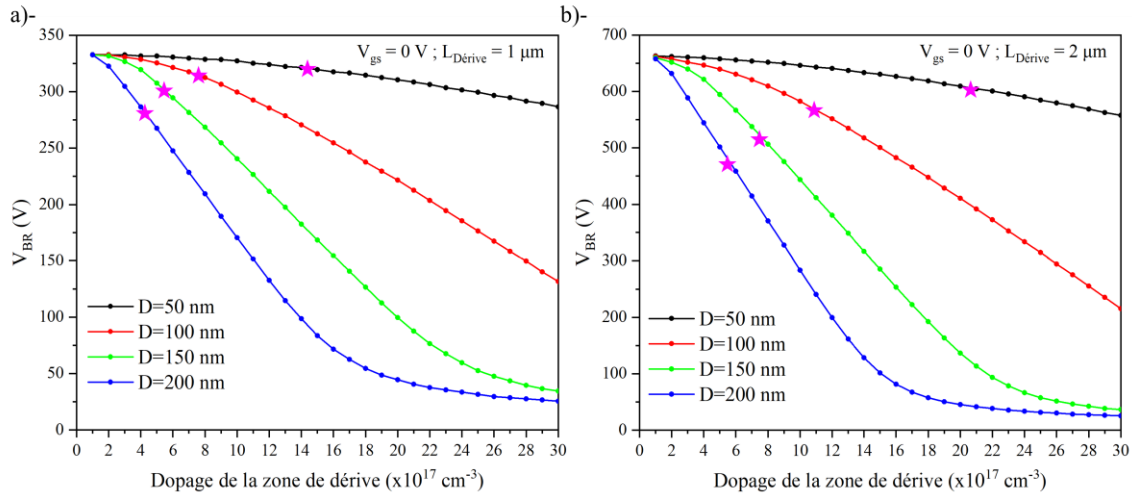


Figure 41 : Évolution de la tension de claquage en fonction de dopage de la zone de dérivation pour une longueur  $L_{Dérive} = 1 \mu\text{m}$  et  $L_{Dérive} = 2 \mu\text{m}$ .

### III.7 Conclusion

Dans ce chapitre les résultats des simulations électrothermiques d'un transistor de puissance à architecture verticale, à base d'un nanofil de GaN ont été présentés. Ces simulations visent à guider la conception d'un transistor *normally-off* par l'optimisation des paramètres géométriques et matériau du NF pour une application en électronique de puissance en commutation. Les différents outils de simulations ont été décrits puis utilisés pour dessiner et affecter un maillage approprié à la structure de notre dispositif. Une attention particulière a été portée aux modèles physiques adaptés aux composants de puissance à base de GaN et en présence de défauts électriquement actifs (états de surface). Une première structure comportant une zone de dérivation en 2 dimensions, a été simulée puis analysée. Pour cette structure, les résultats montrent qu'il est préférable d'utiliser un diamètre de nanofil inférieur à 300 nm et un niveau de dopage du canal minimum ( $\leq 1 \times 10^{16} \text{ cm}^{-3}$ ) afin d'obtenir un mode *normally-off*, tout en minimisant les courants de fuite. De plus, les simulations ont montré qu'une zone de dérivation épaisse et faiblement dopée, permet de maximiser la tension de claquage et de minimiser la résistance à l'état passant. Ainsi  $D=200 \text{ nm}$  ;  $L_{Dérive}=8 \mu\text{m}$  et  $N_{Dérive} = 1 \times 10^{18} \text{ cm}^{-3}$  constitue le jeu de paramètres à considérer afin d'obtenir une tension de claquage de 1600 V à  $V_{gs} = 0 \text{ V}$  et une résistance à l'état passant de  $2.0 \text{ m}\Omega \cdot \text{cm}^2$  à  $V_{gs} = 5 \text{ V}$ .

Les résultats de simulation d'une seconde structure correspondant à un nanofil incluant une zone de dérive quasi-1D ont également été présentés. Pour cette structure, les résultats montrent que les états de surface affectent sensiblement le transport des électrons au travers de cette zone de dérive. Il est donc indispensable de bien choisir le niveau de dopage et la longueur de la zone de dérive afin de minimiser l'impact de ces états de surface sur les courbes I-V du transistor. Nos résultats montrent qu'il est nécessaire de faire un compromis dans le choix des paramètres structuraux afin de minimiser la résistance  $R_{ON}$  tout en gardant des valeurs raisonnables de la tension de claquage. En choisissant un diamètre de 150 nm, le transistor exhibe une tension à l'état bloqué  $V_{BR}$  de 520 V, associé à une résistance à l'état passant  $R_{ON} = 3.2 \text{ m}\Omega \cdot \text{cm}^2$  dans le cas de  $L_{Dérive} = 2 \text{ }\mu\text{m}$ , et exhibe une tension à l'état bloqué  $V_{BR}$  de 300 V, associé à une résistance à l'état passant  $R_{ON} = 2.8 \text{ m}\Omega \cdot \text{cm}^2$  dans le cas de  $L_{Dérive} = 1 \text{ }\mu\text{m}$ .

Ces paramètres peuvent être retenus pour la réalisation en salle blanche des nanofils relatifs à l'étude expérimentale même si la concentration et la distribution en énergie des pièges sont inférieures ou égales de celles choisies dans la simulation.





# **Chapitre IV : DÉVELOPPEMENT D'UN PROCÉDÉ DE MICROFABRICATION D'UN TRANSISTOR VERTICAL À BASE DE NANOFILS DE GAN**

## **IV.1 Introduction**

Ce chapitre est consacré à la définition, au développement et à l'optimisation des étapes du procédé de fabrication d'un réseau de transistors à nanofils verticaux à base de GaN. Les moyens et les équipements disponibles en salle blanche du LNN nous permettent de concevoir et réaliser un procédé fiable et reproductible.

Afin de développer un procédé technologique selon l'approche descendante, nous avons utilisé des couches de test découpées d'un wafer commercial de 4 pouces de n-GaN sur substrat saphir (de chez MSE Supplies®). Après conception et validation de toutes les étapes technologiques en photolithographie et lithographie électronique des deux architectures mentionnées dans le chapitre I, deux masques GDS (*Graphic Design System*) sont générés comportant un module de tests (avec motifs pour valider les étapes technologiques, déterminer les propriétés de transport et la nature des contacts électriques), des motifs d'alignement et dispositifs électroniques à réaliser. Une fois le procédé optimisé et parfaitement maîtrisé, ce dernier est appliqué sur deux types de wafers: la première structure consiste en une homostructure GaN sur substrat GaN avec une zone de dérive planaire (2D) et un contact de drain face arrière (Architecture I; plaque I); et la seconde est constituée par un substrat GaN/saphir avec une zone de dérive quasi-1D et un contact de drain face avant (Architecture II; plaque II). La Figure 42 schématise les principales étapes de microfabrication d'un réseau de transistors à NFs de GaN, avec contact de drain face arrière. La Figure 43 schématise quant à elle les principales étapes de microfabrication d'un réseau de transistors à NFs de GaN, avec tous les contacts face avant.

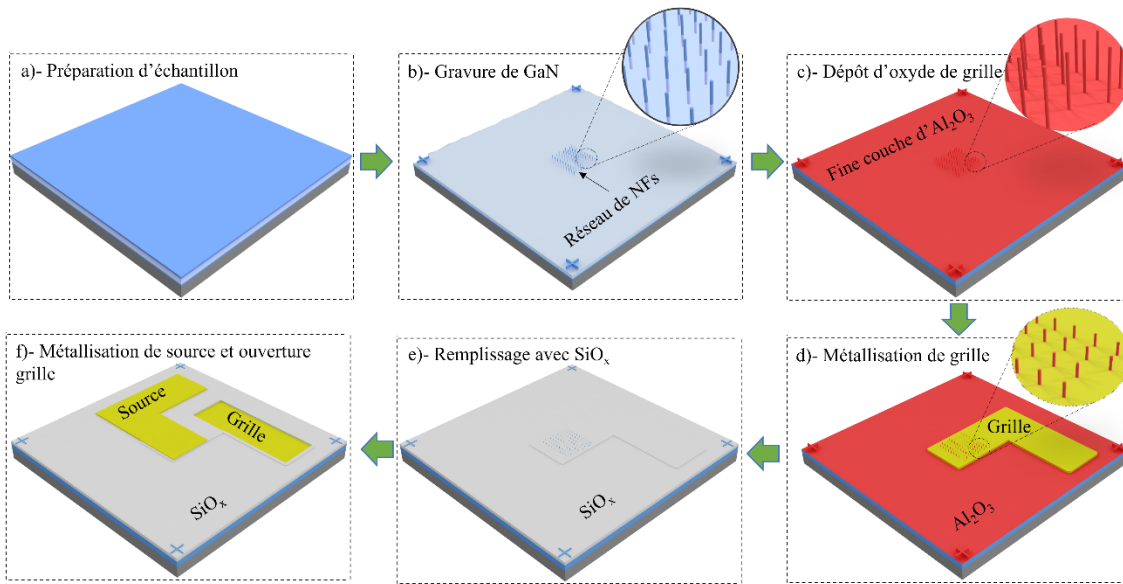


Figure 42 : Illustration des étapes grandes technologiques de l'approche top-down pour l'Architecture I.

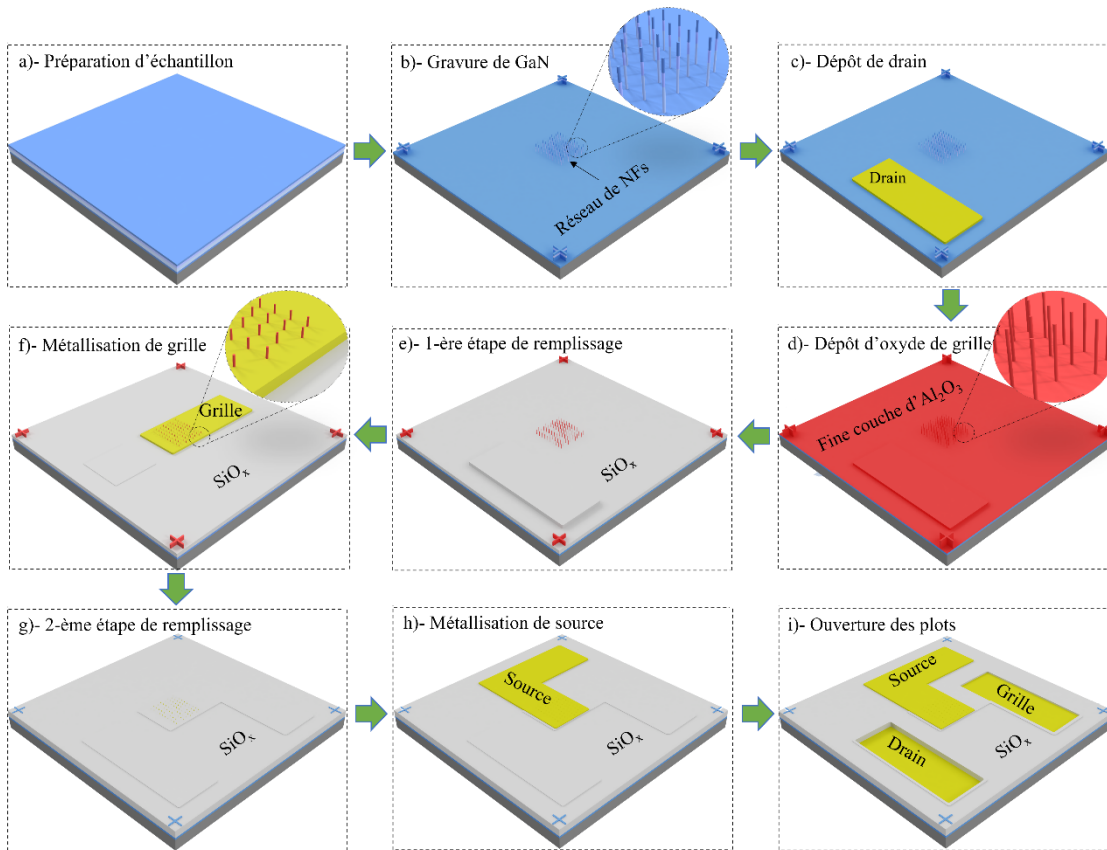


Figure 43 : Illustration des étapes grandes technologiques de l'approche top-down pour l'Architecture II

Les principales étapes sont comme suit :

1. Nettoyage de la surface et pré-conditionnement de l'échantillon.
2. Gravure hybride des NFs de GaN.
3. Dépôt des contacts de drain face avant (pour l'architecture II).
4. Dépôt de l'oxyde de grille  $\text{Al}_2\text{O}_3$ .
5. Étalement et mise à niveau de la couche d'isolation SoG jusqu'à la base du canal du transistor (pour l'architecture II).
6. Métallisation de la grille.
7. Étalement et mise à niveau du SoG pour affleurer les sommets des NFs.
8. Dépôt des plots de Source.
9. Passivation SiN et ouverture des plots d'épaississement.

Les caractéristiques des plaques sur lesquelles j'ai travaillé sont les suivantes :

- La plaque de test GaN (4  $\mu\text{m}$ )/Saphir est à polarité Ga suivant l'axe  $c$ . La couche de GaN est non intentionnellement dopée de type  $n$  à  $2 \times 10^{18} \text{ cm}^{-3}$ , et présente une mobilité électronique de  $200 \text{ cm}^2/\text{V.s}$ , une résistivité de  $0.5 \Omega.\text{cm}$  et un taux de dislocations de  $5 \times 10^8 \text{ cm}^{-2}$ .
- La plaque I est constituée d'une structure épitaxiale  $n^{++}$ -GaN/ $n$ -GaN d'épaisseurs et de concentrations (500 nm/ $\sim 1 \times 10^{19} \text{ cm}^{-3}$ ; 7  $\mu\text{m}$ / $\sim 1 \times 10^{16} \text{ cm}^{-3}$ ) sur un substrat de GaN fortement dopé type  $n$  pour récupérer le contact ohmique face arrière. Cette plaque I est épitaxiée par la technique MBE dans le laboratoire de recherche CRHEA.
- La plaque II est constituée d'une structure épitaxiale  $n^{++}$ -GaN/ $n$ -GaN/ $n^+$ -GaN/ $n^{++}$ -GaN d'épaisseurs et de concentrations (500 nm/ $\sim 1 \times 10^{19} \text{ cm}^{-3}$ ; 500 nm/ $\sim 1 \times 10^{16} \text{ cm}^{-3}$ ; 1  $\mu\text{m}$ / $\sim 1 \times 10^{18} \text{ cm}^{-3}$ , 500 nm/ $\sim 1 \times 10^{19} \text{ cm}^{-3}$ ) sur un substrat de saphir. Cette plaque II est épitaxiée par la technique PA-MBE dans le laboratoire de recherche C2N. La suite de ce chapitre détaille les étapes du procédé technologique réalisées pour chacune des architectures.

## **IV.2 Nettoyage et pré-conditionnement de l'échantillon**

### **IV.2.1 Découpe du wafer**

Des plaques de tests de  $1 \times 1 \text{ cm}^2$  sont obtenues à partir d'un wafer de 4 pouces GaN/Saphir lesquelles sont découpées mécaniquement à la scie circulaire. Une résine épaisse est préalablement étalée sur les deux facettes du wafer afin de faciliter le collage du scotch de protection. Les plaques utilisées en vue de la réalisation des composants finaux sont découpées avec plus de précision au moyen d'un faisceau laser.

### **IV.2.2 Nettoyage des plaques**

Le nettoyage de la surface de GaN permet l'élimination de toute contamination organique au moyen de solvants. Ce traitement doit être réalisé avec rigueur afin que les étapes technologiques qui suivent ne soient pas affectées de manière irréversible. Ainsi, la procédure de nettoyage est la suivante :

- Immersion pendant 6 h des échantillons dans Remover-1165 à  $75^\circ\text{C}$  afin de dissoudre la résine de protection.
- Immersion dans un bain d'acétone aux ultrasons pendant 5 min pour éliminer tous les résidus de résine.
- Immersion dans un bain d'isopropanol pendant 5 min.
- Rinçage à l'eau déionisée et séchage au jet d'azote.

Un second traitement de la surface est effectué avec un plasma d'oxygène (10 min;  $P_c = 150 \text{ W}$ ; 300 mTorr) lequel garantit l'élimination de tout résidu organique.

### **IV.2.3 Définition de la région active du transistor**

#### **a) Marques d'alignement**

Les marques d'alignement sont des motifs utilisés pour permettre d'aligner les différents niveaux lithographiques entre eux (qu'ils soient optiques ou électroniques). Elles sont réalisées avant toute étape de microfabrication au moyen de motifs métalliques dispersés à des emplacements bien définis. Ces motifs doivent être suffisamment épais pour offrir un

contraste avec la surface et être localisés aisément lors d'une écriture électronique ou un alignement optique.

### b) Implantation ionique

L'implantation ionique est une étape auxiliaire qui consiste à amorphiser la surface de GaN et ayant une double fonction : i) assurer une isolation électrique entre les contacts métalliques et le substrat; ii) éviter les micro-masquage lors de la gravure du GaN.

Pour réaliser cette étape, une bicouche de résine positive AZ-9245/LOR-3A est étalée sur la surface de GaN, et est conservée uniquement sur les zones actives (cf. Figure 44). Le rôle de la résine AZ-9245 est d'absorber les ions lors du bombardement ionique provoquant sa polymérisation. C'est pourquoi, une couche sacrificielle de LOR-3A est utilisée pour faciliter le retrait de cette résine après implantation ionique. L'utilisation d'ions azote [43], [44], de différentes énergies cinétiques (20 keV; 50 keV; 100 keV; 150 keV) et à différentes doses ( $0.25 \times 10^{13} \text{ cm}^{-3}$ ;  $1 \times 10^{14} \text{ cm}^{-3}$ ;  $1.5 \times 10^{14} \text{ cm}^{-3}$ ;  $2.5 \times 10^{14} \text{ cm}^{-3}$ ) permet d'amorphiser et isoler le GaN sur une profondeur de 200 nm.

L'étape d'isolation par implantation ionique n'est pas réalisée pendant le développement du procédé technologique et ne s'applique qu'aux plaques I et II. Le dépôt des marques d'alignement se fait simultanément avec l'étape de gravure des nanofils (NFs).

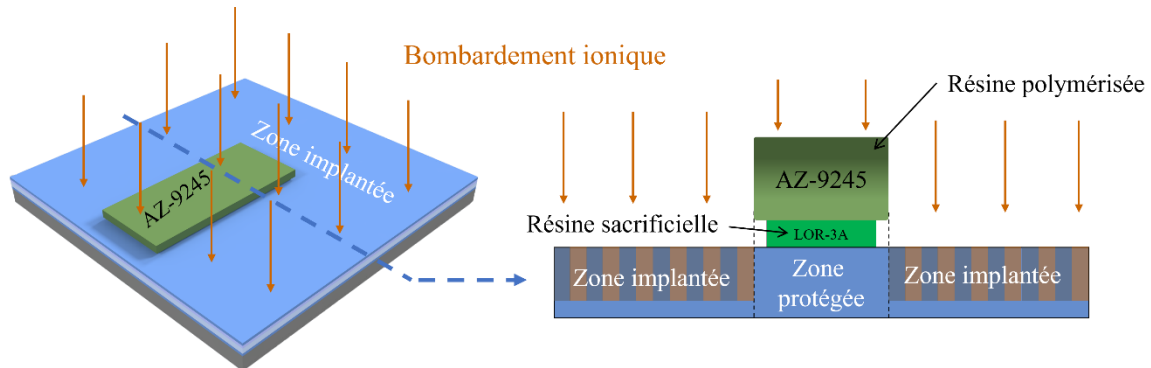


Figure 44 : Représentation schématique de l'étape d'implantation ionique.

## IV.3 Élaboration des NFs de GaN par approche descendante

### IV.3.1 Choix du masque de gravure

Selon l'état de surface recherché, il existe plusieurs façons de graver les semiconducteurs III-N, que ce soit physiquement ou chimiquement.

La gravure humide s'opère au moyen de solutions basiques (NaOH, KOH, TMAH...), et présente plutôt des profils isotropes. Ce procédé permet de révéler certains plans réticulaires latéraux du GaN tels que les plans  $m$  et  $a$ , notamment lorsque les mécanismes de gravure sont assistés thermiquement (50°C - 100°C) ou radiativement (UV). Notons que ces solutions chimiques n'agissent pas suivant le plan  $c$  (0001) du GaN.

La gravure ionique (*Ion milling*) générée par la pulvérisation physique, présente des profils anisotropes, des surfaces rugueuses et une mauvaise sélectivité de gravure. Les gravures sèches (par plasma) couplent, quant à elles, les mécanismes de gravures physiques et chimiques. Elles constituent donc des solutions alternatives, plus sélectives, pour obtenir des gravures anisotropes et moins rugueuses. Il existe de nombreuses techniques de gravure sèche dont la plus connue est l'ICP-RIE. Cette dernière est en réalité un couplage des deux bâtis en un seul comme le montre la Figure 45-a : i) Le système ICP (*Inductively coupled plasma*) constitué de bobines (*coil*) générant un champ magnétique qui permet de former un plasma dense confiné à l'intérieur d'une chambre à vide cylindrique; ii) Le système RIE (*Reactive Ion Etching*) permet de générer un plasma à couplage capacitif entre deux plaques métalliques parallèles. La plaque inférieure, sous polarisation RF, sert également de support mécanique pour l'échantillon. Par conséquent, le réacteur de gravure ICP-RIE permet de contrôler à la fois, la densité du plasma en modulant la puissance appliquée à la source ICP et l'accélération des espèces chimiques vers la surface de l'échantillon via la puissance RF. Les gaz réactifs sont injectés dans la chambre via de petites vannes contrôlant leurs débits. Les produits chimiques résultants sont ensuite évacués par un système de pompage qui maintient une pression fixe dans la chambre.

La Figure 45-b présente une photo des machines de gravure Multiplex ICP-RIE fabriquées par la compagnie STS, disponibles en salle blanche du 3iT-nano. Le premier bâti est la machine *STS-ASE* dédiée aux gravures de silicium. Le second bâti est la machine

*STS-AOE* dédiée aux gravures de diélectriques. Le troisième bâti est la machine *STS-III-V*, laquelle est utilisée tout au long de cette étude. Ce dernier système dispose d'un ensemble de gaz (Ar, N<sub>2</sub>, Cl<sub>2</sub>, He, H<sub>2</sub>, CH<sub>4</sub>, O<sub>2</sub>, SiCl<sub>4</sub>, BCl<sub>3</sub>, SF<sub>6</sub>) pour graver les matériaux III-V et les métaux. La puissance de *coil* peut être ajustée jusqu'à 1000 W. Notons également que la température du plateau est toujours fixée à 20°C.

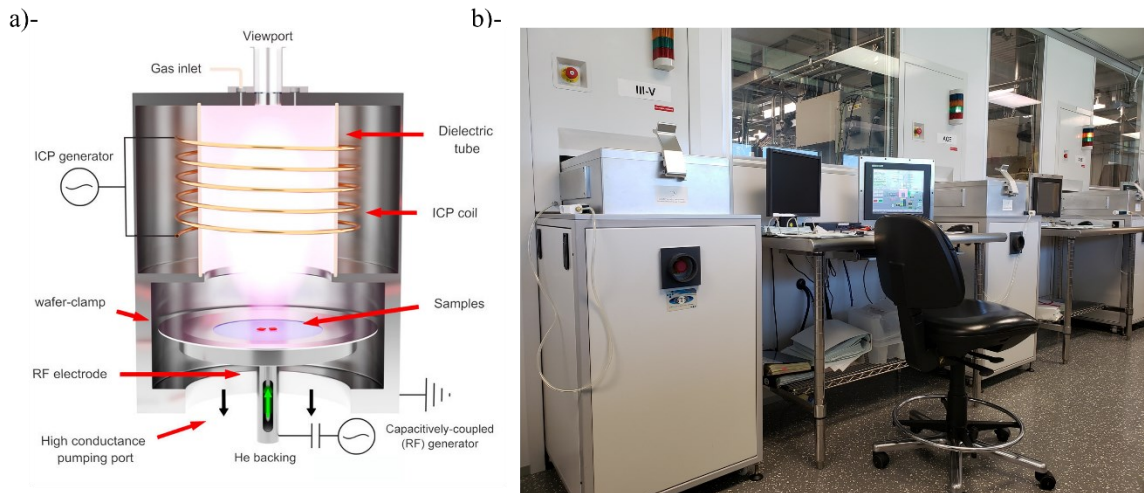


Figure 45 : a) - Schéma d'une machine de gravure ICP-RIE (Source d'image : DOI: 10.1088/1361-6463/aab8b7).  
b) - Photographie des systèmes de gravure plasma STS utilisés dans le cadre de cette thèse.

La gravure des semiconducteurs III-N se fait à partir d'une chimie chlorée. Les sources Cl<sub>2</sub>, BCl<sub>3</sub> et SiCl<sub>4</sub> peuvent être utilisées pour la gravure de GaN. Une recette nommée GaN LED à base de Cl<sub>2</sub>/Ar, est utilisée et permet d'obtenir un taux de gravure de 520 nm/min.

Afin d'élaborer des NFs de GaN, l'approche la plus adéquate consiste à utiliser une gravure hydrique. Une gravure anisotrope grossière des NFs est réalisée par gravure plasma au travers d'un masque diélectrique ou métallique. La révélation fine des plans réticulaires *m*, s'obtient par gravure humide au TMAH (TMAH25 % chauffé à 85°C), la surface du plan *c* étant protégée par le masque choisi (métallique ou diélectrique).

Le Tableau 2 présente les tests de sélectivité entre le GaN et un masque (métallique ou diélectrique), effectués afin de définir les épaisseurs des bicouches. Il est à noter que le Cr et le SiN sont inertes à la solution TMAH, mais leur taux de gravure est élevé sous plasma. À l'inverse, le Ni et l'Al<sub>2</sub>O<sub>3</sub> ont un taux de gravure plasma réduit, mais rapide au TMAH.



Tableau 2 : Tests de gravure effectués.

Type de gravure	Chimie utilisée	Conditions	Matériaux	Taux de gravure (nm/min)
<b>Gravure plasma dans la machine III-V</b>	Cl <sub>2</sub> 15 sccm Ar 5 sccm	P <sub>Coil</sub> = 400 W P <sub>Platen</sub> = 200 W P= 5 mTorr T= 20°C	GaN	520
			SiN	165
			SiO <sub>2</sub>	60
			Al <sub>2</sub> O <sub>3</sub>	16
			Ni	14
			Cr	41
<b>Gravure humide</b>	TMAH 25%	T= 85°C	SiN	0
			SiO <sub>2</sub>	1
			Al <sub>2</sub> O <sub>3</sub>	> 50
			Ni	2
			Cr	0

Pour obtenir la sélectivité de gravure du GaN avec les deux procédés (sèche et humide séquentiellement), les masques les plus adéquats sont la bicouche métallique Cr/Ni et la bicouche diélectrique Al<sub>2</sub>O<sub>3</sub>/SiN. Afin d'obtenir des NFs de 2 µm de hauteur (soit 4 min de gravure), il est nécessaire de graver de manière anisotrope la couche de Ni (dont l'épaisseur doit être au minimum de 56 nm) et d'avoir une sélectivité totale avec la couche d'accroche Cr pour éviter toute éventuelle gravure latérale. En effet, l'exposition de la surface de GaN au TMAH entraînerait une gravure supplémentaire des surfaces latérales des NFs et donc le non-respect du diamètre souhaité. C'est la raison pour laquelle l'adhérence entre la couche de Cr et la surface de GaN doit être parfaite. Les épaisseurs choisies de la bicouche Cr/Ni sont 70 nm/130 nm et sont déposées par évaporation. Il en est de même de la bicouche Al<sub>2</sub>O<sub>3</sub>/SiN dont les épaisseurs choisies sont 100 nm/100 nm. Notons que l'Al<sub>2</sub>O<sub>3</sub> est déposé par pulvérisation et que le SiN est déposé par PECVD.

La partie suivante décrit les tests de doses effectués pour déposer le masque métallique Ni/Cr en utilisant une bicouche de MMA(EL 11%)/PMMA(9%) afin de définir des NFs dont le diamètre est submicronique, comme le montre la Figure 46-a. Il en est de même pour les tests de dose de la résine négative MaN-2405 pour la gravure du masque diélectrique, comme le montre la Figure 46-b.

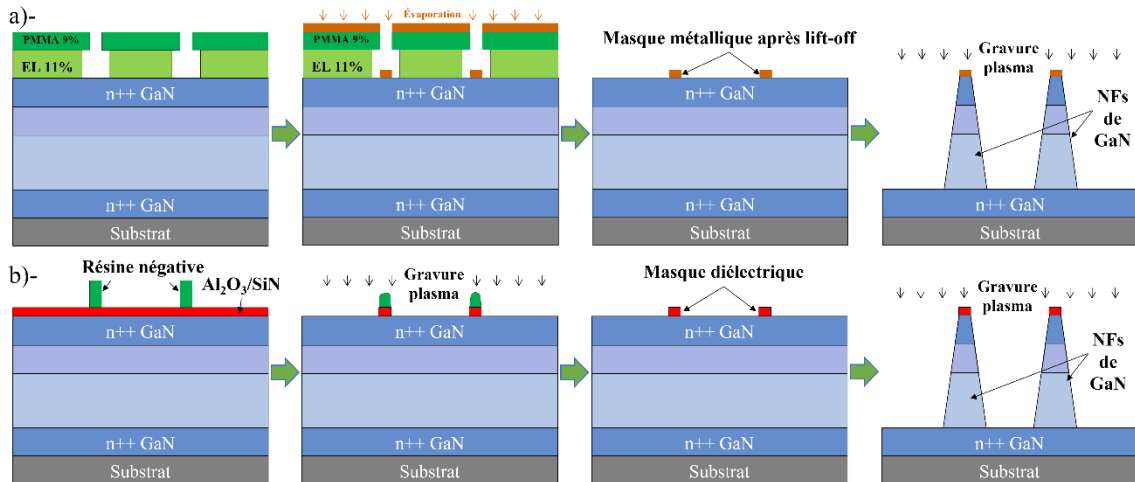


Figure 46 : Procédé de gravure sèche des NFs de GaN : a) En utilisant un masque métallique. b) En utilisant un masque diélectrique.

### IV.3.2 Écriture électronique

#### a) Présentation de la technique E-beam : paramètres d'exposition

La lithographie par faisceau d'électrons (*EBL : Electron beam lithography*) est une technique dérivée de la microscopie électronique à balayage (*MEB*). Elle consiste à balayer un faisceau d'électrons focalisé pour dessiner des motifs personnalisés sur des résines électrosensibles. Le principal avantage de cette technique par rapport à la lithographie optique, est sa résolution, laquelle peut être au mieux de 10 nm, voire moins pour les machines E-beam très résolus. En effet, l'aspect ondulatoire des électrons présente des longueurs d'onde de quelques angströms seulement, de sorte qu'un faisceau d'électrons focalisé peut former des spots de quelques nanomètres de diamètre, contrairement à la photolithographie qui repose sur une lumière UV ayant des longueurs d'onde beaucoup plus grandes (jusqu'à 400 nm). Le faisceau d'électrons est émis et contrôlé par un canon à électrons. Les électrons sont émis dans le vide depuis un matériau conducteur, soit par émission thermoïonique (cas d'un filament de tungstène;  $\text{LaB}_6$ ;  $\text{CeB}_6$ ), soit par émission de champ (cas d'une cathode froide à base d'une pointe de tungstène). Après avoir été accélérés par un champ électrique, ils sont focalisés et balayés sur la surface de l'échantillon à l'aide de lentilles magnétiques. En général, la déviation maximale de ce faisceau peut aller jusqu'à plusieurs centaines de micromètres, limitant la taille du champ d'écriture. Pour cette raison,

il est nécessaire de déplacer précisément le plateau (support de l'échantillon) pour pouvoir exposer une grande surface. Le système *EBL* que nous avons utilisé durant cette thèse est le masqueur électronique *Raith 150 two* représenté Figure 47-b. Cette machine permet de contrôler plusieurs paramètres impactant la précision des motifs désirés comme :

- La tension d'accélération des électrons peut varier de 1 keV à 30 keV (Dans la suite de ce document, la tension 20 keV est utilisée).
- L'ouverture du canon est variable entre 10  $\mu\text{m}$  à 120  $\mu\text{m}$ , et peut être utilisée pour contrôler l'amplitude du courant. L'ouverture de 30  $\mu\text{m}$  est un choix optimal pour l'écriture des petits motifs sachant qu'elle permet d'avoir un courant de 0.30 nA. L'ouverture de 120  $\mu\text{m}$  donne, quant à elle, un courant de 4.2 nA et est utilisée pour des écritures plus rapides et nécessitant moins de précision. Cette ouverture est donc adaptée à l'écriture des motifs de grande taille comme les marques d'alignements et les plots d'épaissement.
- L'alignement et la taille du champ d'écriture (*WF : Writing Field*) : ces paramètres permettent d'éviter les erreurs de déflexion du faisceau en corrigeant les effets de *stitching*. À noter qu'une petite taille de WF entraîne une meilleure résolution. Cependant, un temps d'écriture plus long est nécessaire pour effectuer les déplacements du plateau et couvrir la surface de l'échantillon au complet.
- La distance de travail (*WD : Working Distance*) est fixée à 10 mm de sorte que toute la surface de l'échantillon soit sur le même plan focal. Des spots de contaminations volontaires ou des particules de poussières en surface, sont utilisés pour faire la mise au point et l'ajustement du focus, du stigmatisme et du *wobble*.

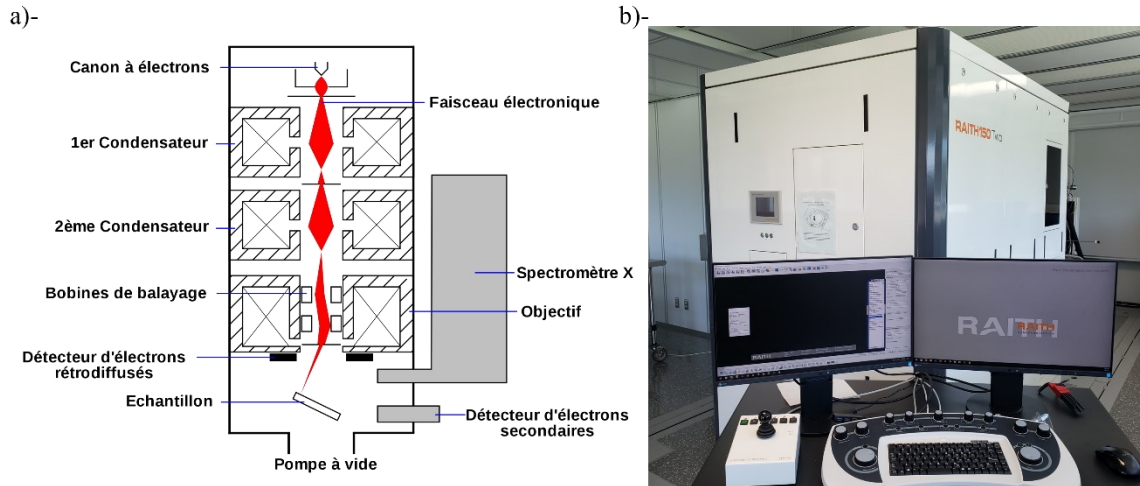


Figure 47 : a) - Schéma d'une microscopie électronique à balayage (Source d'image : Wikipédia) b) - Photographie de la machine Raith150Two utilisée dans le cadre de cette thèse.

La dose optimale du faisceau d'électrons est définie comme la densité de courant multipliée par le temps d'exposition à appliquer pour obtenir des motifs aussi proches que possible de ceux dessinés dans le fichier *GDSII*. Chaque résine électrosensible a une sensibilité différente selon la nature du substrat, des conditions d'étalement et de recuit, ainsi que du développement de la résine. Par conséquent, le choix de la résine et son épaisseur, affecte drastiquement la résolution des motifs et notamment le temps d'écriture électronique. C'est pourquoi il faut déterminer la dose optimale pour écrire des motifs de forme circulaire en fonction des paramètres d'exposition utilisés en faisant un test de dose pour chaque résine.

### b) Test de dose pour la résine positive

Pour réaliser le masque de gravure métallique Cr/Ni, la bicouche MMA(EL11%)/PMMA(9%) est étalée (4000 rpm/60 sec) sur l'échantillon puis recuite à 200°C/2 min. Un masque GDS est conçu pour effectuer les tests de dose avec des motifs circulaires de diamètres de 100 nm et 200 nm, espacés les uns des autres de 2 µm. Chaque réseau est dupliqué avec des doses incrémentées de 20 µC/cm<sup>2</sup> à partir de 200 µC/cm<sup>2</sup> jusqu'à 380 µC/cm<sup>2</sup>. Après exposition à 20 keV, une incrémentation de 4 nm et une ouverture du diaphragme du faisceau à 30 µm, l'échantillon est développé dans un mélange MIBK:IPA (1:2) pendant 4 min, puis dans l'IPA pendant 30 sec. Le dépôt de Cr/Ni est réalisé par évaporation après désoxydation HCl:H<sub>2</sub>O (1:10). Après soulèvement au

Remover-1165 et nettoyage de l'échantillon aux solvants, un traitement plasma O<sub>2</sub> (10 min; P<sub>c</sub> = 150 W; 300 mTorr) est répété trois fois afin d'enlever les résidus de résine persistants notamment au pourtour des motifs métalliques.

La visualisation au microscope optique (cf. Figure 48-a) montre que les réseaux des motifs de 100 nm sont complètement révélés avec une dose de 360 μC/cm<sup>2</sup>, et les réseaux des motifs de 200 nm sont complètement révélés avec une dose de 240 μC/cm<sup>2</sup>.

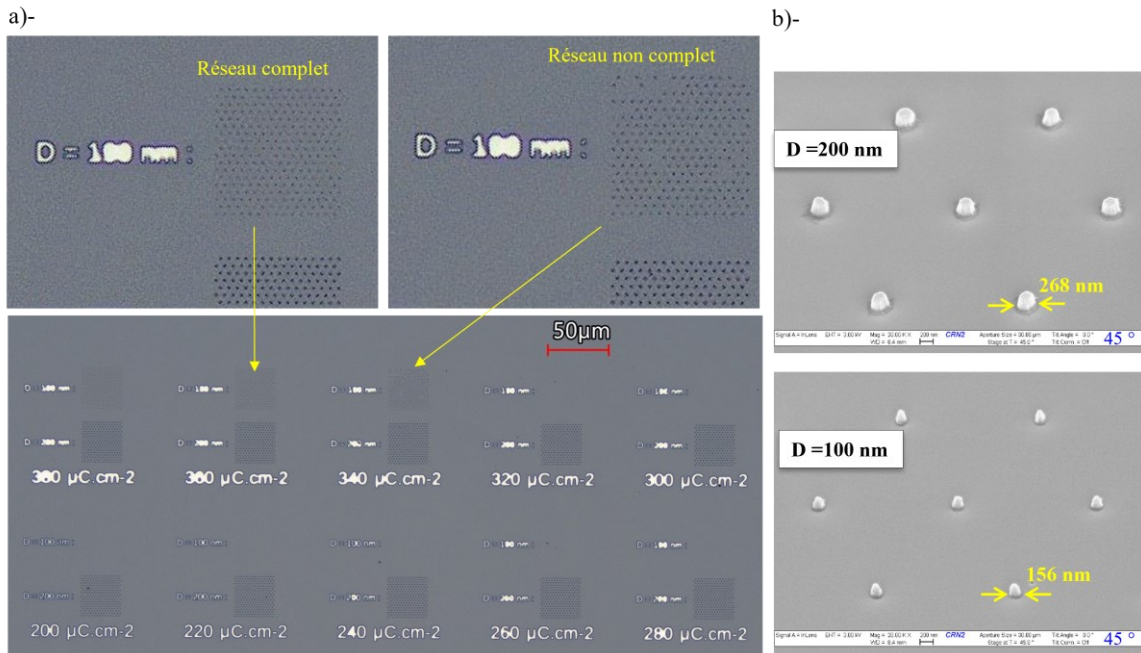


Figure 48 : a) - Image optique des motifs utilisés pour la caractérisation des tests de dose après développement et soulèvement. b) - Images MEB des réseaux de motifs métalliques en fonction de la dose appliquée en fixant leurs diamètres initiaux dans le GDS à 100 nm et 200 nm.

Les images MEB de ces motifs (cf. Figure 48-b) montrent que le diamètre réel est plus grand que le diamètre sur le masque GDS. Ce décalage est compensé lors de la gravure des NFs afin de respecter les dimensions du masque GDS de façon plus précise.

### c) Test de dose pour la résine négative

Pour réaliser le masque de gravure constitué du diélectrique Al<sub>2</sub>O<sub>3</sub>/SiN, une couche de résine négative MaN-2405 est étalée (4000 rpm/60 sec) sur l'échantillon puis recuite à 95°C/2 min. Le même GDS que précédemment est utilisé pour ce test de dose. Pour le réseau de 200 nm, la dose est incrémentée de 20 μC/cm<sup>2</sup> à partir de 200 μC/cm<sup>2</sup> jusqu'à

380  $\mu\text{C}/\text{cm}^2$ . Pour viser un réseau de motifs de  $D = 100 \text{ nm}$ , la dose appliquée est incrémentée de 0.1 pC à partir de 0.1 pC jusqu'à 0.8 pC (correspondant à des expositions de points uniques du fichier *GDS*). Après exposition à 20 keV, une incrémentation de 4 nm et une ouverture du diaphragme du faisceau à 30  $\mu\text{m}$ , l'échantillon est développé aux MF319 pendant 2 min, puis rincé à l'eau déionisée et séché à l'azote. Puis, un post-recuit est réalisé à 100°C/10 min pour durcir les motifs de résine et mieux résister à la gravure plasma.

La visualisation au MEB (cf. Figure 49) montre que les réseaux des motifs de  $D = 200 \text{ nm}$  sont complètement révélés avec une dose de 300  $\mu\text{C}/\text{cm}^2$ , mais le diamètre à la base est inférieur à celui du sommet des motifs. Une dose de 340  $\mu\text{C}/\text{cm}^2$  est donc optimale pour obtenir un profil vertical. Une dose de 380  $\mu\text{C}/\text{cm}^2$  donne des motifs surexposés, et se présente sous une forme conique. Par ailleurs, les motifs de 100 nm sont complètement révélés avec une dose de 0.2 pC, cette dose donne un diamètre réel de 145 nm.

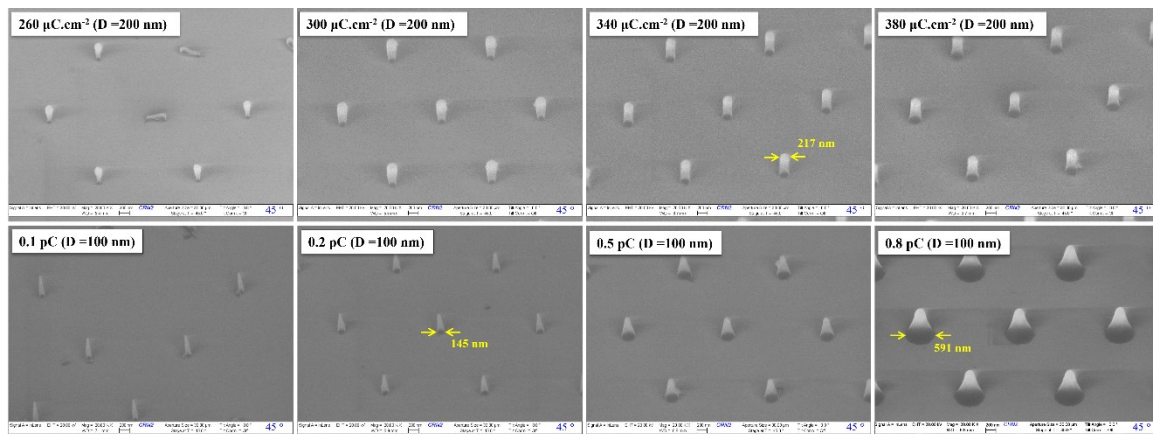


Figure 49 : Images MEB de réseaux de motifs de résine MaN-2405 en fonction de la dose appliquée en fixant leurs diamètres initiaux dans le *GDS* à 200 nm, 300 nm et 400 nm, ainsi pour des motifs de taille point.

Afin de nettoyer les résidus de résine dans les régions non exposées entre les motifs, un plasma  $\text{O}_2$  est réalisé à dans le bâti dit "AOE" pendant 10 sec ( $P_c = 50 \text{ W}$ ;  $P_p = 50 \text{ W}$ ) pour rendre la gravure plus directive et éviter l'amincissement latéral non volontaire des motifs de résine. La bicouche  $\text{Al}_2\text{O}_3/\text{SiN}$  est ensuite gravée dans la même machine "AOE" avec une recette à base de  $\text{CF}_4$ . Un nettoyage au Remover-1165 et aux solvants est effectué pour dissoudre la résine MaN-2405 polymérisée; puis, un plasma  $\text{O}_2$  (10 min;  $P_c = 150 \text{ W}$ ; 300 mTorr) est répété trois fois afin d'enlever tous les résidus organiques.

### IV.3.3 Résultats de la gravure de nanofils de GaN

Avant de commencer la gravure plasma du GaN, un plasma  $O_2$  est réalisé pendant 10 min ( $P_c = 50$  W;  $P_p = 50$  W). Ensuite, la recette GaN-LED est appliquée pendant 4 min afin d'obtenir une hauteur totale de  $2.2 \mu\text{m}$  (ou bien 2 min afin d'obtenir une hauteur de  $1.2 \mu\text{m}$ ). Cette opération est vérifiée au profilomètre. Après cette gravure, l'échantillon est nettoyé aux solvants et un second plasma  $O_2$  est réalisé. La gravure humide des nanofils est effectuée comme suit : 2 min dans un bain de TMAH25% chauffé à  $80-85^\circ\text{C}$  sans agitation et sans aucune source UV (cf. Figure 50). La désoxydation de la plaque s'effectue avec une solution diluée HCl:H $_2$ O (1:10) avant chaque immersion dans la solution TMAH. L'échantillon est visualisé au MEB après chaque étape de la gravure humide (dans les deux cas : masque métallique et diélectrique). Cette opération est répétée jusqu'à obtention du profil désiré.

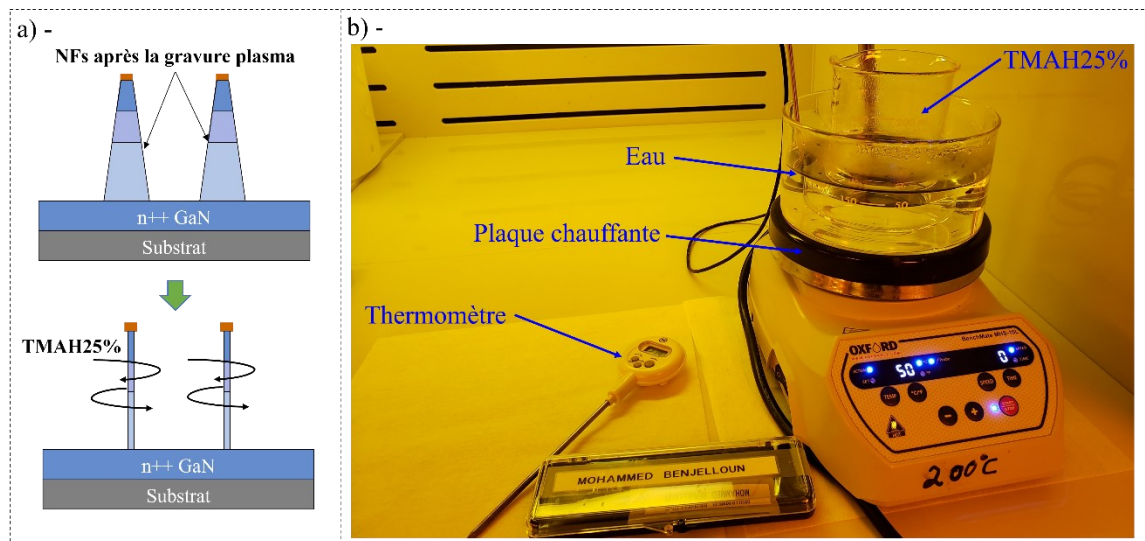


Figure 50: a) - Procédé de gravure humide des NFs de GaN. b) - Photo du banc de gravure humide utilisé.

#### a) Gravure des NFs au moyen d'un masque métallique

La Figure 51 présente des images MEB prises à  $45^\circ$ , montrant l'évolution de la gravure humide de nanofils de GaN de  $2.2 \mu\text{m}$  de hauteur au cours du temps, en utilisant un masque métallique Cr/Ni. Après 2 min de gravure, les plans réticulaires  $m$  du GaN sont révélés côté masque (sommets). Après 6 min de gravure, la pente conique des nanofils tend à disparaître, quelques aspérités à la base des nanofils étant encore visibles. Après 8 min de gravure, les

nanofils désirés sont obtenus. Il est à noter qu'au-delà de 60 min de gravure au TMAH, une sous gravure s'opère et diminue le diamètre des nanofils.

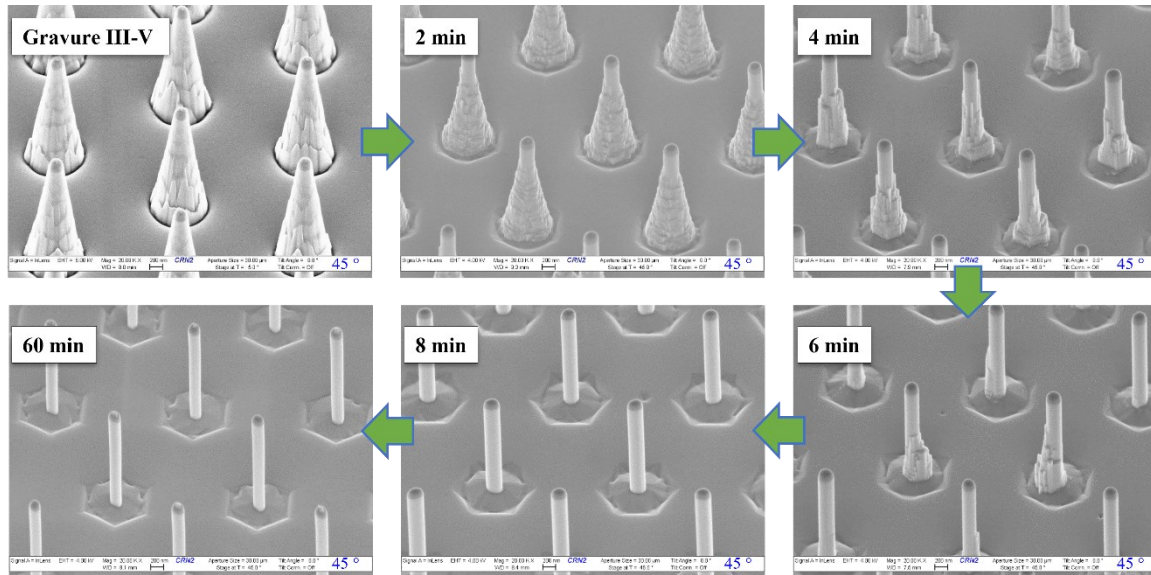


Figure 51 : Images MEB de l'évolution de la gravure humide en fonction du temps avec un masque métallique.

Cette opération de gravure, combinée au contrôle de dépôt de masque, est parfaitement contrôlée et permet de définir un diamètre des nanofils avec précision. La Figure 52 met en évidence la reproductible du procédé, et ce, quelle que soit la densité de nanofils et les diamètres désirés. Notons toutefois, qu'un diamètre de 100 nm est la limite inférieure qui peut être reproduite avec ce procédé.



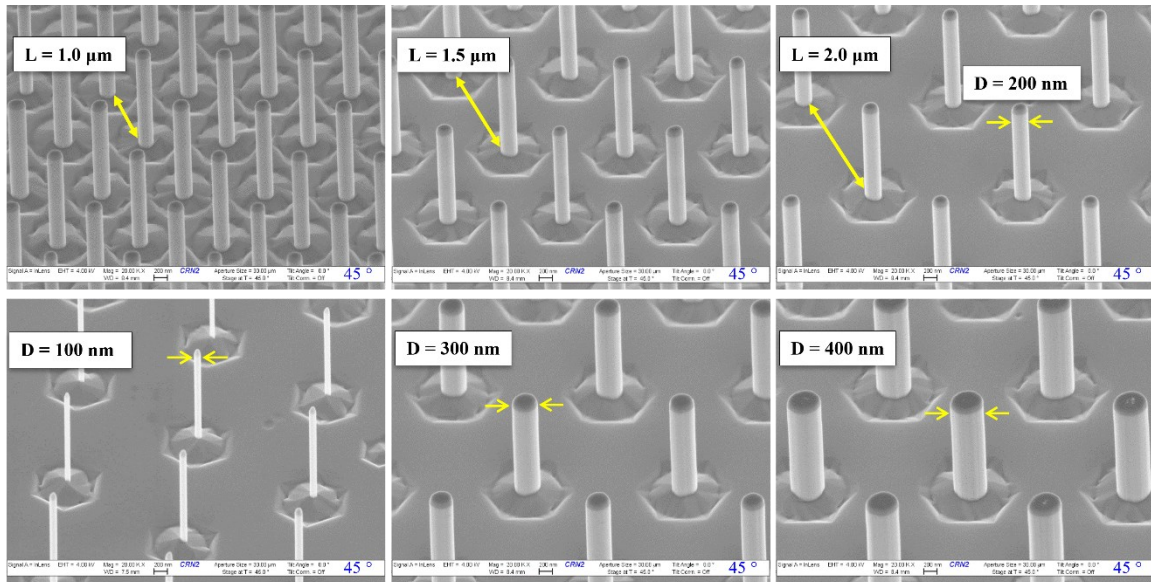


Figure 52: Images MEB des NFs de GaN avec un masque métallique pour différentes densités et diamètres.

### b) Gravure humide des NFs avec un masque diélectrique

La Figure 53 présente des images MEB prises à 45°, montrant l'évolution de la gravure humide, au cours du temps, de nanofils de GaN de 2.2 μm de hauteur, en utilisant un masque diélectrique SiN/Al<sub>2</sub>O<sub>3</sub>. Après 2 min de gravure, les plans réticulaires *m* de GaN se révèlent coté masque (sommets) comme dans le cas de la gravure avec un masque métallique. Mais contrairement au masque métallique, après 4 min de gravure, le diamètre des nanofils devient plus petit par rapport au diamètre défini sur le masque. Après 8 min de gravure, la sous-gravure des masques diélectriques détache ces derniers qui tombent sur la surface, ce qui provoque la gravure complète des nanofils. Ces résultats sont en accord avec les mécanismes de gravure au TMAH de GaN tel qu'expliqué dans différents articles [45]–[47], et sont liés au manque d'adhésion entre le masque et le GaN.

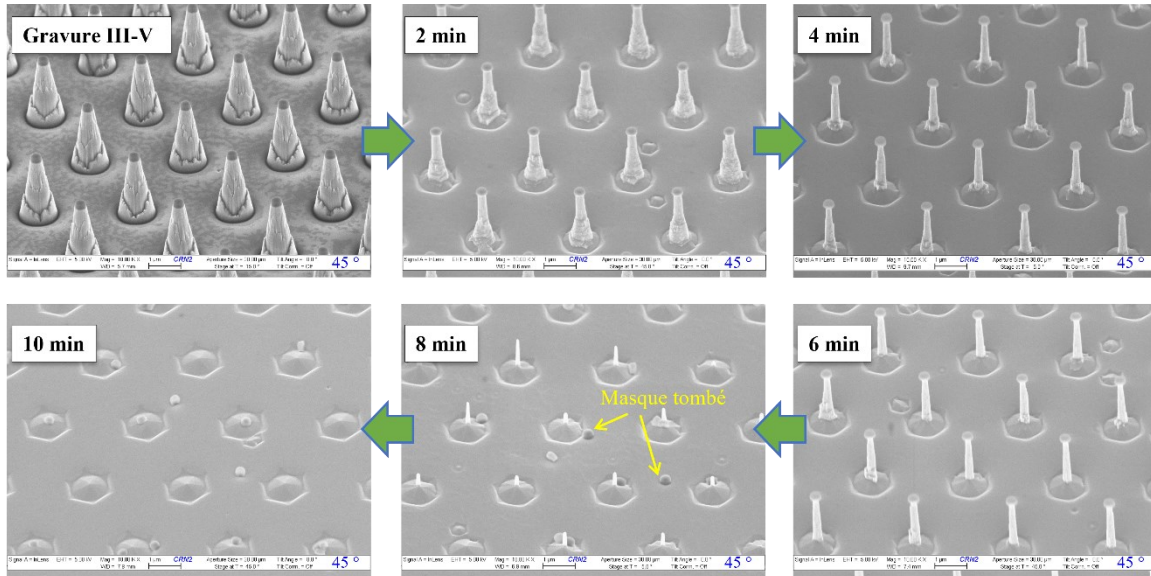


Figure 53 : Images MEB des NFs de GaN avec un masque diélectrique pour différentes densités et diamètres.

Le manque d'adhérence du masque diélectrique nous pousse donc à utiliser le masque métallique Cr/Ni pour réaliser l'étape de définition des nanofils sur les deux plaques considérées dans ce travail de thèse : Plaque I, avec des NFs de 1.2  $\mu\text{m}$  de hauteur et Plaque II, avec des NFs de 2.2  $\mu\text{m}$  de hauteur. Étant donné que la couche supérieure de ces deux plaques est dopée à la dégénérescence afin d'assurer une conduction ohmique du contact de source, un motif CTLM (*Circular Transmission Line Measurement*) avec la bicouche métallique Cr/Ni est conçu pour valider la résistance de contact de ces plaques. La Figure 54 montre les mesures I-V de la CTLM relatives à la plaque I ainsi que l'évolution de la résistance mesurée en fonction de la distance inter-électrodes d.

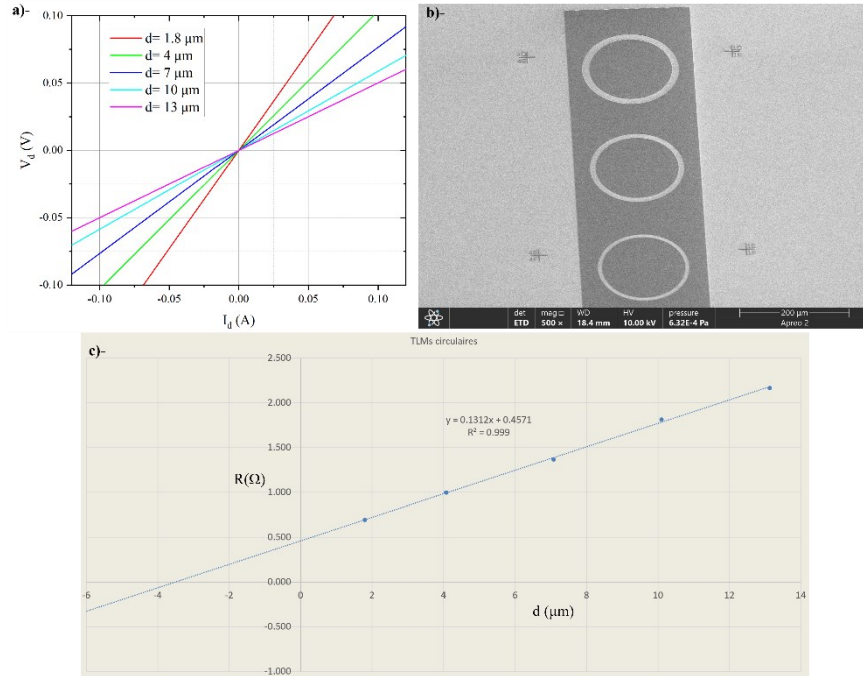


Figure 54 : a) Mesures I-V de CTL; b) Image MEB de la CTLM; c) Évolution de la Résistance Totale en fonction de la distance inter-électrodes  $d$ .

Le Tableau 3 présente différentes caractéristiques issues des mesures des contacts ohmiques réalisées sur les deux plaques I et II. Il est constaté que le contact formé avec ce dépôt Cr/Ni présente bien un caractère ohmique. Notons cependant que la résistance spécifique de contact est plus faible pour la plaque I.

Tableau 3: Caractéristiques électriques des deux types de plaques disponibles.

Caractéristique	Plaque I	Plaque II
$L_t$ ( $\mu\text{m}$ )	1.74	2.97
$R_c$ ( $\Omega.\text{mm}$ )	0.11	0.30
$\rho_s$ ( $\Omega$ )	61.81	100.2
$\rho_c$ ( $\Omega.\text{cm}^2$ )	$1.88 \times 10^{-6}$	$8.81 \times 10^{-6}$

#### IV.4 Procédé de déposition de contact de drain

Dans le cas de l'architecture II (plaque II), il nous faut réaliser l'étape de dépôt des contacts ohmiques de drain, face avant, à côté du réseau des NFs de GaN. Pour cela, il est nécessaire de s'assurer qu'il n'y aura pas de court-circuit entre le métal de drain et le sommet

des NFs lors du dépôt du métal de drain. Pour se faire, il est nécessaire de couvrir intégralement les NFs de GaN avec une résine épaisse (de plus de 2.2  $\mu\text{m}$ ). Un procédé par électro-lithographie est utilisé pour réaliser ces étapes avec précision. La Figure 55 illustre les étapes suivies pour réaliser le dépôt du contact de drain. Pour cela, une couche de MMA(EL11%) est étalée (4000 rpm/60 sec) sur l'échantillon test, puis recuite pour évaporer les solvants. Cette étape est reproduite 3 fois afin d'atteindre une épaisseur de 2  $\mu\text{m}$ . Puis une couche de PMMA (9%) est étalée (4000 rpm/60 sec) et est recuite dans les mêmes conditions. Après exposition au faisceau d'électrons (@ 20 keV, sous une dose de 200  $\mu\text{C}/\text{cm}^2$ ) et une ouverture du diaphragme à 120  $\mu\text{m}$ , l'échantillon est développé dans un mélange MIBK:IPA (1:2) pendant 4 min, puis dans l'IPA pendant 30 sec. Le dépôt de Ti/Ni/Au (20 nm/300 nm/50 nm) est réalisé par évaporation après désoxydation à l'aide d'une solution HCl:H<sub>2</sub>O (1:10). Cet empilement est connu pour former un contact ohmique sur n<sup>++</sup>GaN. Il s'en suit un soulèvement au Remover-1165, un nettoyage aux solvants et un traitement sous plasma O<sub>2</sub> (10 min; P<sub>c</sub> = 150 W; 300 mTorr). Ces dernières opérations sont reproduites trois fois afin de s'assurer de l'élimination complète des résidus de résine.

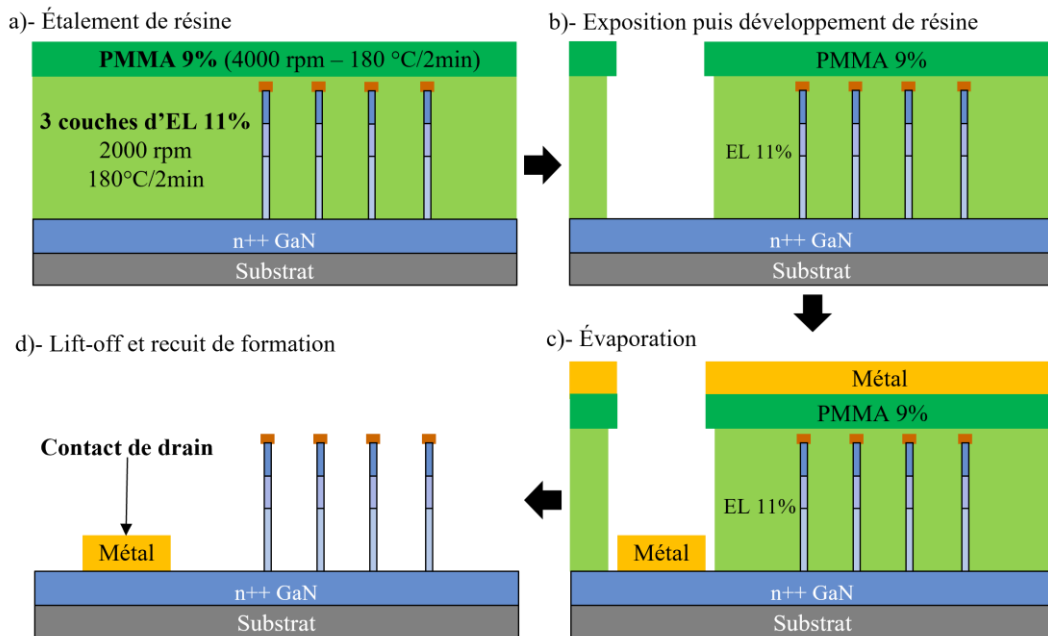


Figure 55 : Étapes de dépôt du métal de drain.

La visualisation au microscope optique du procédé tel que décrit ci-dessus (cf. Figure 56) montre les résultats obtenus après le développement de la résine d'un motif carré avec des coins à angle droit et d'un motif carré avec des coins arrondis. Il est constaté que, dans le cas des coins pointus, des fissures dans la résine sont apparues après le développement. Cet effet résulte du stress mécanique accumulé par l'empilements des différentes couches de résine. Les motifs présentant des arrondis permettent d'éviter ces effets d'accumulation de stress. Une mesure au profilomètre (de A à B, Figure 56-b) de toute la région considérée, est effectuée afin de vérifier que l'épaisseur de la résine dépasse la hauteur des NFs de GaN.

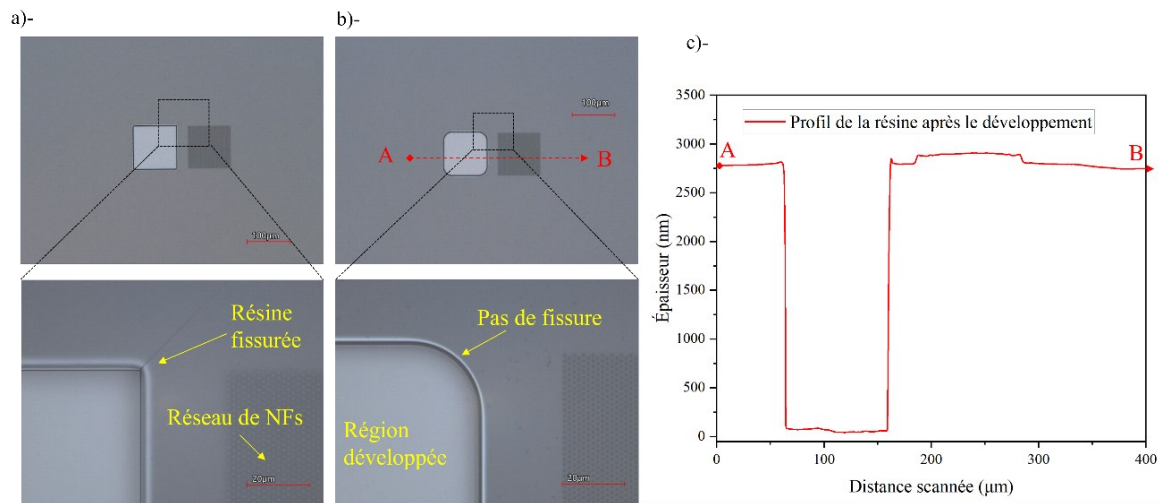


Figure 56 : Visualisation par microscope optique après développement de la résine avec des coins pointus (a) et avec des coins arrondis (b); c) Mesure au profilomètre de la résine entre les points A à B contenant la zone du contact de drain et du réseau de NFs.

Après soulèvement du métal, des observations aux microscopes optique et MEB sont effectuées afin de s'assurer de l'obtention des motifs métalliques tel que souhaités. Les images de la Figure 57 montrent que les NFs n'ont subi aucun préjudice lors de cette étape et qu'il ne subsiste aucun résidu organique à la surface du GaN. Une mesure au profilomètre est réalisée afin de confirmer l'épaisseur totale du métal Ti/Ni/Au déposée. Notons que la réduction de la distance entre le contact de drain et le réseau de NFs est un élément important pour réduire la résistance  $R_{ON}$  du dispositif.

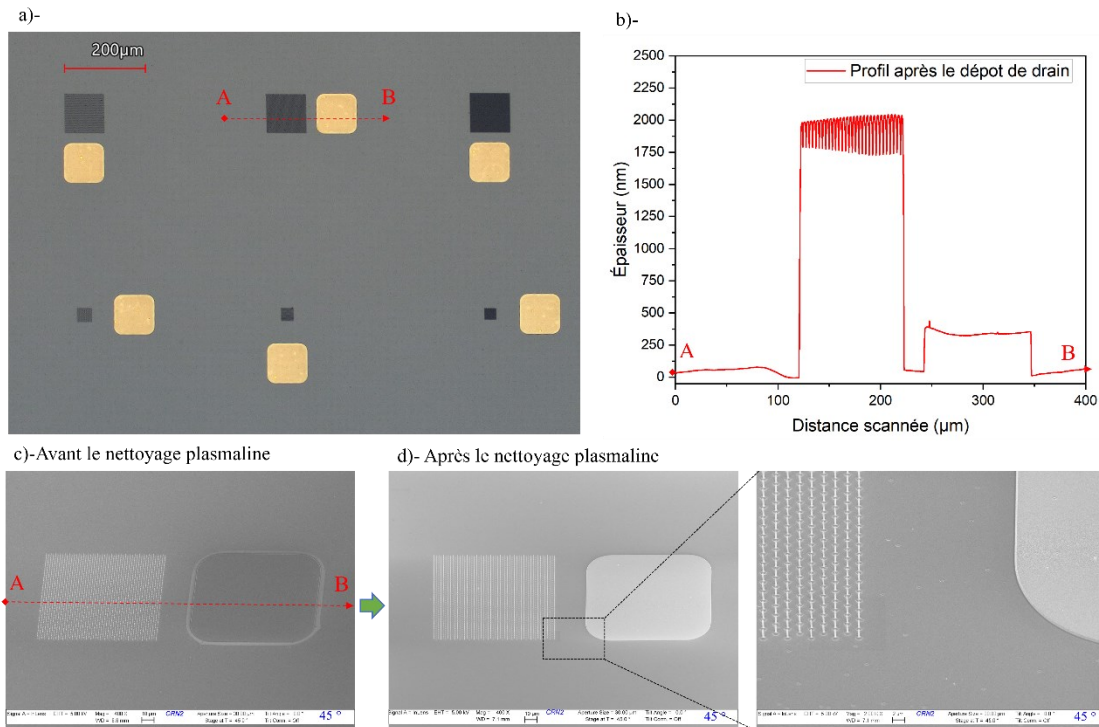


Figure 57 : a) Image optique des pads de drain avec le réseau de NFs après soulèvement. b) Mesure au profilomètre entre les points A à B; c-d) Images MEB des réseaux de NFs avec le contact de drain, avant et après plasma O<sub>2</sub>.

## IV.5 Dépôt de l'oxyde de grille

Une fois que l'étape d'obtention des NFs de GaN est réalisée pour les deux architectures, le dépôt du contact de drain face avant est réalisé pour l'architecture II. Les échantillons sont prêts pour le dépôt de l'oxyde de grille avec une couche de 20 nm d'Al<sub>2</sub>O<sub>3</sub>. Pour obtenir un diélectrique de grille conforme à celui spécifié dans la simulation (caractéristiques électrique, diélectrique, morphologie, conformité, défauts, etc.), nous avons opté pour l'utilisation de la technique ALD (*atomic layer deposition*) assistée par plasma O<sub>2</sub>. En outre, ce procédé matériau permet également de minimiser les états électroniques d'interface, ce qui est nécessaire au bon fonctionnement de la structure MOS désirée. Une étape de désoxydation HCl:H<sub>2</sub>O (1:10) des NFs est effectuée au préalable du dépôt du diélectrique par ALD.

### IV.5.1 Dépôt de Al<sub>2</sub>O<sub>3</sub> par la technique ALD

L'ALD est une technique de dépôt chimique en phase vapeur et basse température

(220°C), qui permet de synthétiser des couches minces à partir de différents éléments chimiques. L'ALD offre une conformabilité sur des structures à haut rapport d'aspect, un contrôle de l'épaisseur à l'échelle de l'angström, selon des réactions séquentielles [48].

Le procédé de formation d'une couche mince de  $\text{Al}_2\text{O}_3$  s'effectue en alternant, impulsion de précurseurs TMA ( $\text{Al}(\text{CH}_3)_3$ ) et ( $\text{O}_3$  ou  $\text{H}_2\text{O}$ ) en phase gazeuse et réaction d'adsorption sur la surface de l'échantillon. En effet, l'ensemble du procédé consiste en quatre étapes : i) injection des molécules réactives du précurseur métallique TMA ( $\text{Al}(\text{CH}_3)_3$ ) jusqu'à saturation de la surface; ii) purge des éléments réactifs en excès au moyen d'un gaz inerte (comme l'azote ou l'argon); iii) injection des molécules réactives du précurseur oxydant ( $\text{O}_3$  ou  $\text{H}_2\text{O}$ ) qui réagissent avec les éléments adsorbés durant la première étape afin d'obtenir une monocouche d' $\text{Al}_2\text{O}_3$ ; iv) purge des éléments réactifs en excès. Par conséquent, lors de la description d'un procédé ALD, il faut tenir compte à la fois des temps d'impulsion et des temps de purge. La séquence impulsion-purge-impulsion-purge constitue un cycle ALD qui est répétée en séquence jusqu'à l'obtention de l'épaisseur visée [49]. Le dépôt d'une couche mince de  $\text{Al}_2\text{O}_3$  selon le procédé ALD est illustré Figure 58-a. Une photographie de la machine Picosun-R-200 Advanced ALD disponible dans LN2-3iT est présentée dans la Figure 58-b. Pour atteindre une épaisseur de 20 nm, 250 cycles sont nécessaires. L'épaisseur de la couche déposée est validée par ellipsométrie.

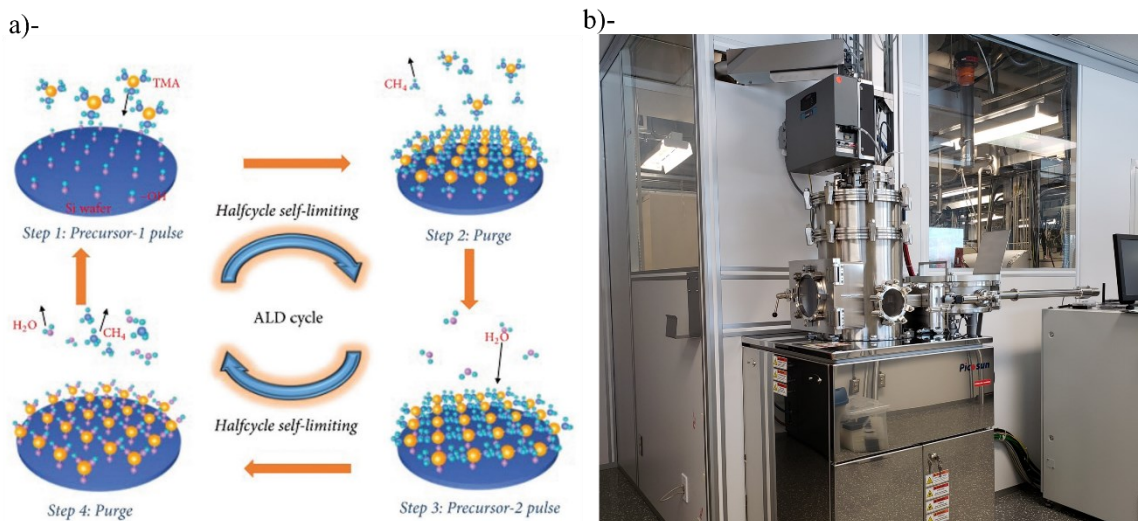


Figure 58 : a) Représentation schématique d'un cycle ALD [50]. b) Photographie de la machine ALD utilisée.

## IV.5.2 Gravure de l'isolant de grille $\text{Al}_2\text{O}_3$

Après avoir déposé l'oxyde de grille, une gravure localisée de l' $\text{Al}_2\text{O}_3$  est réalisée afin d'assurer un accès aux contacts de drain (cas de l'architecture II). Pour se faire, une recette nommée *AlO-etch* (à base de  $\text{BCl}_3$ , bâti de gravure plasma III-V / 50 sccm,  $P_c = 800$  W) est utilisée pour réaliser cette opération. Le taux de gravure est estimé pour plusieurs conditions (pression de chambre et puissance du plateau  $P_p$ ) comme le montre la Figure 59. Afin de favoriser une gravure anisotrope, une faible pression  $P = 5$  mTorr et une forte puissance de plateau  $P_p = 50$  W sont choisies.

Notons ici qu'une pression élevée  $P = 30$  mTorr et une faible puissance de plateau  $P_p = 5$  W, favoriseront une gravure chimique et permettront d'obtenir un profil plus isotrope. Ces conditions sont utilisées dans la suite du procédé à l'étape de métallisation de la grille.

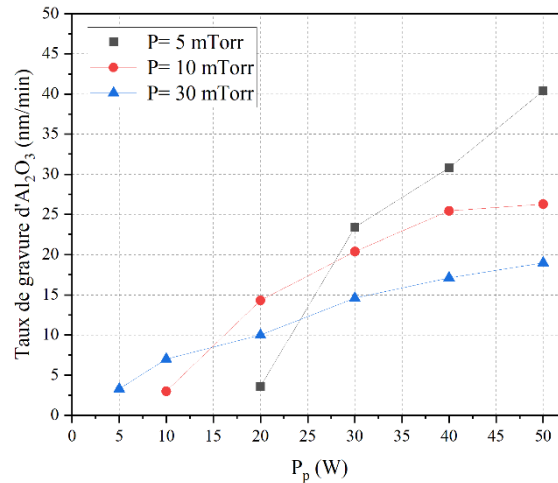


Figure 59 : Taux de gravure de l' $\text{Al}_2\text{O}_3$  en fonction de la puissance  $P_p$  pour différentes pressions de la chambre.

## IV.6 Première couche de séparation

Le dépôt d'une couche diélectrique d'isolation est une étape cruciale (dans le cas de l'architecture II) pour se mettre au niveau de la base du canal du transistor à NFs et isoler électriquement les zones de dérivation des NFs. Cependant, les techniques de dépôt conventionnelles, type PECVD ou Pulvérisation, ne permettent pas d'encapsuler les NFs et d'obtenir une morphologie plane. Pour se faire, nous utilisons des polymères inorganiques visqueux qui s'étalent aisément sur l'échantillon et se solidifient en



diélectrique isolant après recuit thermique. La Figure 60 schématise les étapes technologiques du procédé utilisé. Notons que plusieurs couches sont étalées sur l'échantillon jusqu'à obtenir une surface quasi-planaire dont l'épaisseur totale dépasse la hauteur des NFs. Une gravure plasma de cette couche est ensuite réalisée jusqu'à atteindre la base du canal.

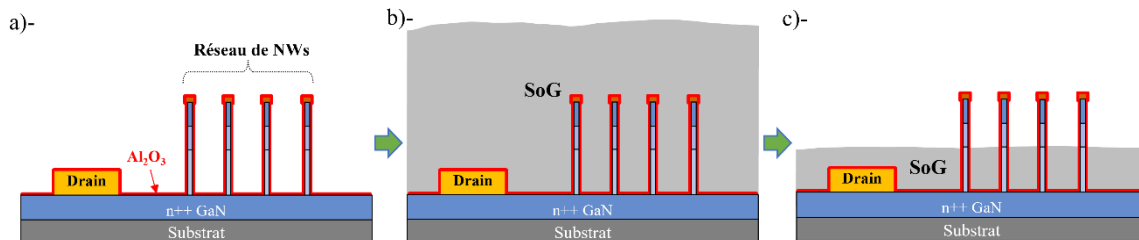


Figure 60 : Étapes de fabrication pour remplir les NFs avec le SoG.

#### IV.6.1 Le choix de matériau de remplissage

Plusieurs polymères inorganiques à l'état liquide existent dans le marché pour réaliser cette étape de remplissage et d'isolation électrique. La résine électronique HSQ en est une, cependant, cette dernière, en plus d'être coûteuse, présente une durée de péremption très limitée. C'est pourquoi, nous avons opté pour la résine SoG (*Spin-on-Glass*) fabriqué par *Futurrex, Inc*. Ce produit présente une durée d'utilisation de 6 mois et est beaucoup moins coûteuse que la HSQ. La fiche technique mentionne que la constante diélectrique de la couche résultante peut varier entre 3.8 et 4.5, ce qui est conforme aux propriétés recherchées. Deux concentrations de ce produit (DC4-500 et IC1-1000) sont disponibles au laboratoire LNN. Les courbes d'étalement de ces deux produits sont présentés à la Figure 61-a et montrent que l'épaisseur d'une seule couche diminue avec l'augmentation de la vitesse de rotation. La Figure 61-b donne l'épaisseur totale de la couche finale obtenue après plusieurs étalements successifs à 4000 rpm. Il est possible de former une couche épaisse en faisant plusieurs étalements.

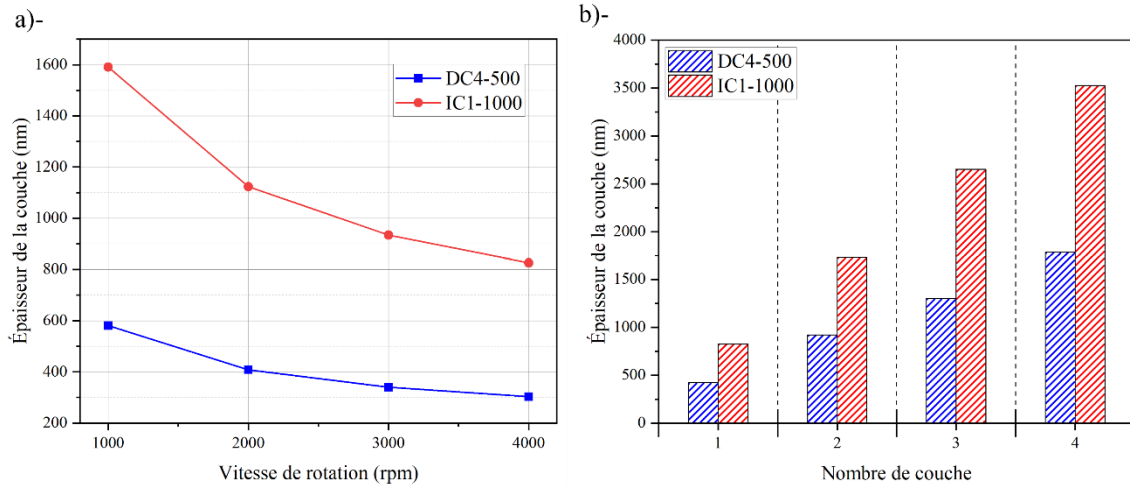


Figure 61 : a) Courbes d'étalement de la SOG en fonction de la vitesse de rotation. b) Épaisseur totale de la couche de SoG en fonction nombre d'étalement à une vitesse de 4000 rpm.

Ces résultats montrent qu'il est nécessaire d'étaler au moins trois couches de SoG (IC1-1000) afin d'encapsuler des NFs de  $2.2 \mu\text{m}$  et ainsi obtenir une surface plane, c'est-à-dire sans pouvoir distinguer les zones où sont disposés les NFs d'une autre position de la plaque (cf. Figure 62). Le détail de cette opération est donné dans les sections suivantes.

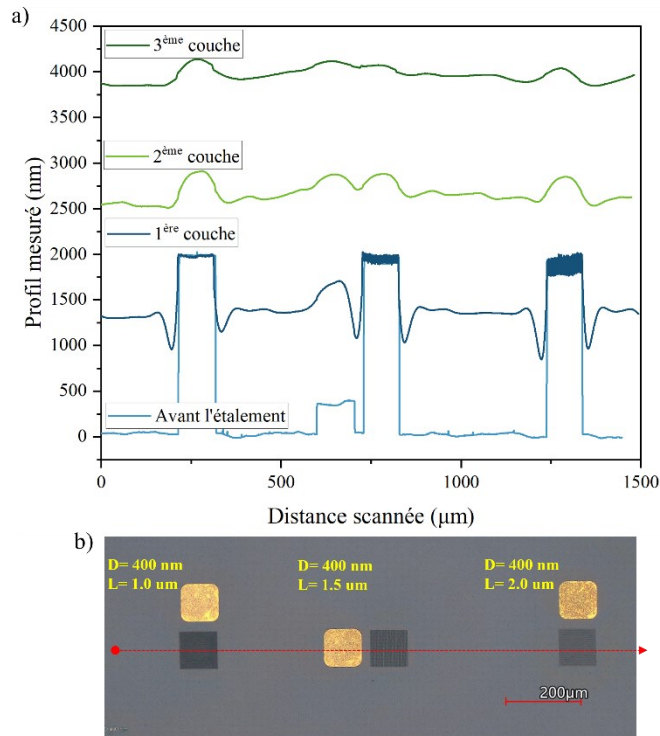


Figure 62 : a) Mesures au profilomètre de trois réseaux de NFs en présence des pads de drain après chaque étalement. b) Image au microscope optique de la région mesurée.

## IV.6.2 Recuit de SoG

Le recuit du SoG est une étape fondamentale pour transformer cette couche en matériau diélectrique isolant. En effet, ce recuit thermique permet la condensation des oligomères et leur polymérisation vers une structure proche de celle du verre. La température recommandée par le fabricant (produit sous l'intitulé IC1-1000) pour réaliser ce recuit est de 200°C. Cependant, après étalement de la seconde couche, le recuit réalisé à cette température sur plaque chauffante, génère une contrainte thermique laquelle fait apparaître des fissures surfaciques. Pour remédier à ce problème, nous avons effectué des recuits sur plaque chauffante, à plus basse température (110°C) et ce, pendant 2 min après le premier et le second étalement de SoG. Après l'étalement de la 3<sup>ème</sup> couche, l'échantillon est recuit à la même température (110°C), dans un four pendant 1h.

## IV.6.3 Gravure de SoG

La gravure du SoG est effectuée dans le bâti de plasma III-V. Une chimie fluorée est utilisée pour réaliser cette étape avec comme spécificité, une sélectivité infinie avec l' $\text{Al}_2\text{O}_3$  comme couche d'arrêt. Cette couche d'oxyde de grille de 20 nm d'épaisseur, permet ainsi de protéger les NFs pendant cette étape de gravure. La vitesse de gravure du SoG (recette SF6-Etch / SF<sub>6</sub> : 65 sccm, O<sub>2</sub> : 5 sccm, N<sub>2</sub> : 10 sccm, P<sub>c</sub> = 800 W) est estimée pour plusieurs conditions (pression de la chambre P et puissance du plateau P<sub>p</sub>), comme le montre la Figure 63. Afin de favoriser la gravure isotrope, une pression élevée de 30 mTorr et une faible puissance de plateau de 5 à 10 W, sont choisies. La condition P<sub>p</sub> = 10 W est utilisée pour graver rapidement la couche du SoG jusqu'à atteindre les sommets des NFs (gravure @ 105 nm/min). A ce stade, la puissance de plateau P<sub>p</sub> est réduite à 5 W pour réduire et contrôler plus finement la vitesse de gravure (@ 50 nm/min), notamment au niveau des faces latérales des NFs.

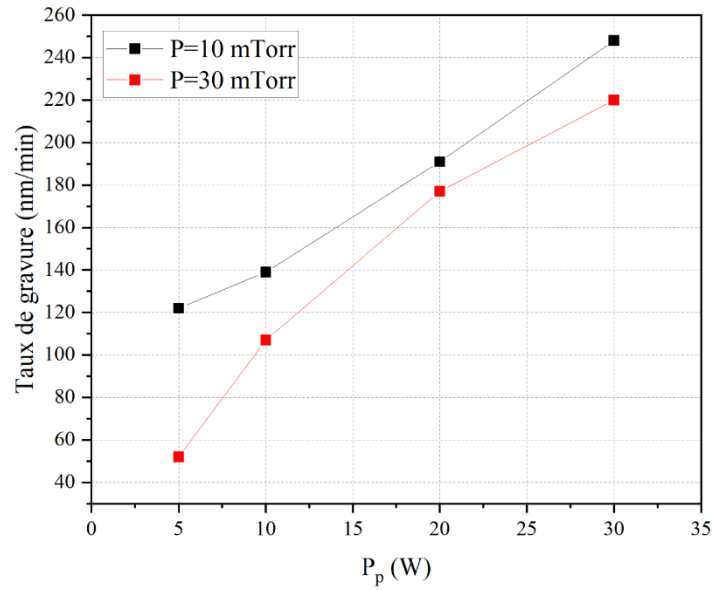


Figure 63 : Courbes d'étalonnage du taux de gravure du SoG en fonction de la puissance  $P_p$  pour différentes pressions de la chambre.

Le tableau de la Figure 64-a résume les étapes de gravure suivies pour successivement atteindre dans un premier temps le sommet des NFs, puis dans un deuxième temps, la base du canal. La Figure 64-b présente les profils mesurés au profilomètre, après chaque étape définie au Tableau-Figure 64-a. Ainsi, 20 min sont nécessaires pour atteindre le sommet des NFs après les 2 premières étapes, et 21 min sont nécessaires pour atteindre la base du canal après les 2 dernières étapes.

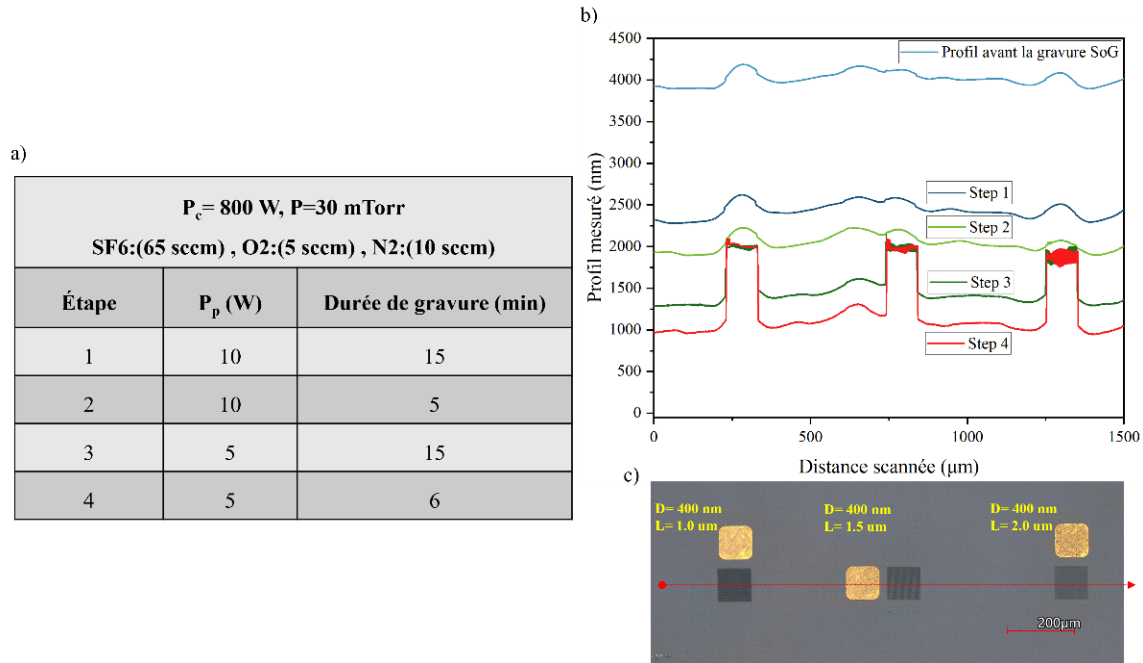


Figure 64 : a) Tableau des étapes suivi pour graver le SoG. b) Mesure profilomètre après chaque étape.

En toute fin de gravure, l'échantillon est nettoyé (solvant & plasma O<sub>2</sub>), puis les réseaux de NFs sont encapsulés au SoG et sont visualisés au MEB. Deux modes de visualisation (*in-lens* et SE2) sont utilisés selon l'information recherchée (conductivité électrique en surface et/ou contraste de topographie). Sur la Figure 65, le mode SE2 (surface en gris foncé, à gauche de l'image) montre la topographie de la couche SoG après gravure où des creux non-désirés tout autour des NFs peuvent être observés. De ce fait, la véritable hauteur émergente des NFs, ne correspond pas parfaitement à celle estimée au profilomètre.

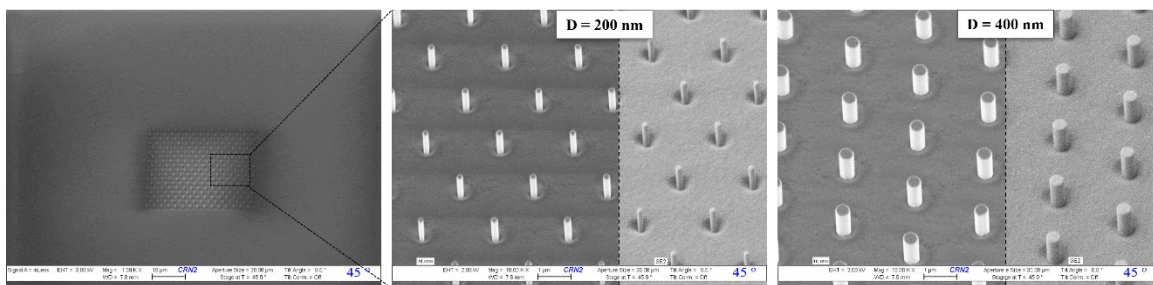


Figure 65 : Visualisation d'un réseau de NFs après remplissage au SoG et après recuit & gravure.

Afin de remédier à ce problème, une couche supplémentaire de SoG (DC4-500) est étalée, recuite à 110°C puis gravée avec le même procédé qu'auparavant (SF6-Etch à P<sub>p</sub> = 5 W)

pendant 8 min. Le profil obtenu est présenté sur la Figure 66 où la surface de SoG affleure la base du canal, tel que désiré.

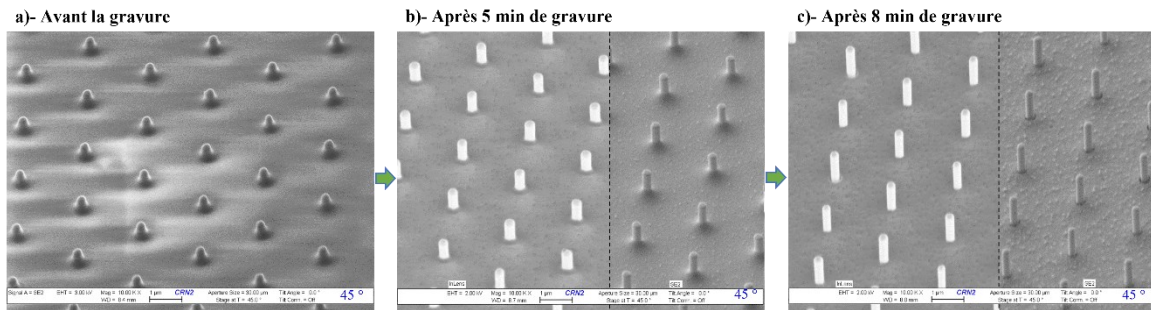


Figure 66 : Images MEB après l'étalement de la couche correctrice et après sa gravure.

Ce n'est qu'à l'issue de ces étapes que la couche SoG (dont l'épaisseur totale restante est de 1  $\mu\text{m}$ ) est recuite thermiquement à 200°C pendant 1 h avec une montée/descente en température de 2°C/min. Avec ce procédé, la couche de SoG ne présente aucune fissuration ou craquelures.

## IV.7 Métallisation de grille

La métallisation de grille est une étape cruciale dans les deux architectures proposées. Le procédé utilisé pour obtenir une grille enveloppante (entourant la région du canal du transistor) affecte grandement la commande électrique du transistor. Aussi, il est nécessaire de vérifier que le métal de grille ne soit pas court-circuité avec celui de la source et cela, pour tous les NFs du réseau. Enfin, il est nécessaire de s'assurer que la grille commune à tous les NFs du réseau soit connectée à un contact métallique commun. Pour faciliter le développement de ce procédé, nous avons utilisé les NFs obtenus par l'architecture I (avec des NFs de 1,2  $\mu\text{m}$  de hauteur).

Le procédé de métallisation de grille proposé est divisé en deux parties :

- i) La formation d'une grille enveloppante ;
- ii) La définition du pad de grille du réseau de NFs.

Ce procédé est discuté en détail dans les sections suivantes.

## IV.7.1 Dépôt du métal de grille

La Figure 67 présente une vue schématique ainsi que des images MEB d'un réseau de NFs ayant 1.2  $\mu\text{m}$  de hauteur et 20 nm d'oxyde de grille. Ces derniers présentent l'état initial du composant avant la métallisation de grille. En tenant compte des contraintes de notre procédé de gravure, le métal de grille choisi doit présenter une sélectivité quasi-parfaite avec  $\text{Al}_2\text{O}_3$ . En conséquence, nous avons opté pour le TiN comme métal de grille car il se grave facilement avec la recette SF6-Etch. Pour se faire, un dépôt pleine plaque de 100 nm de TiN est réalisé par pulvérisation cathodique. Notons que cette technique de dépôt permet d'obtenir un dépôt conforme sur la surface latérale des NFs. Ensuite, une fine couche de 15 nm d' $\text{Al}_2\text{O}_3$  est déposée sur la couche de TiN, par ALD. L' $\text{Al}_2\text{O}_3$  joue ici le rôle d'une couche de protection afin d'arraser le métal de TiN aux sommets des NFs lors de la gravure plasma. La Figure 68 présente une schématisation ainsi que des images MEB après ces dépôts. Il est constaté que le diamètre total de NFs passe de 251 nm à 424 nm après le dépôt de ces deux couches. Cela signifie que l'épaisseur de TiN déposée sur la surface latérale des NFs est d'environ 70 nm.

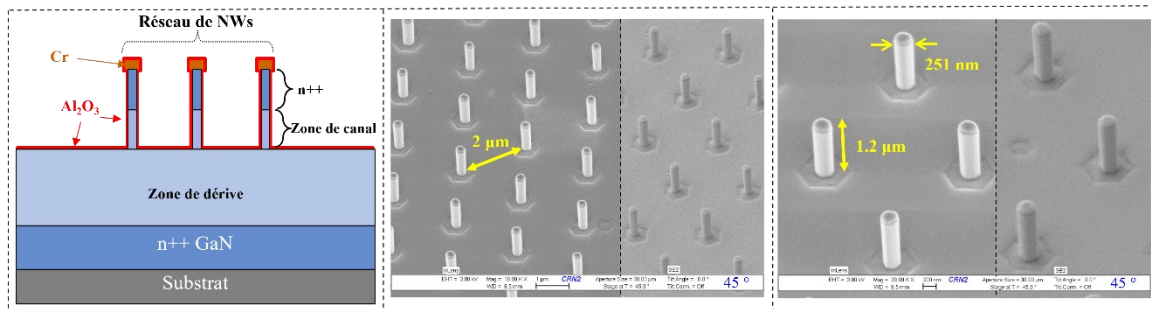


Figure 67 : Schéma et images MEB des NFs de 1.2  $\mu\text{m}$  de hauteur avec 20 nm d'oxyde de grille  $\text{Al}_2\text{O}_3$ .

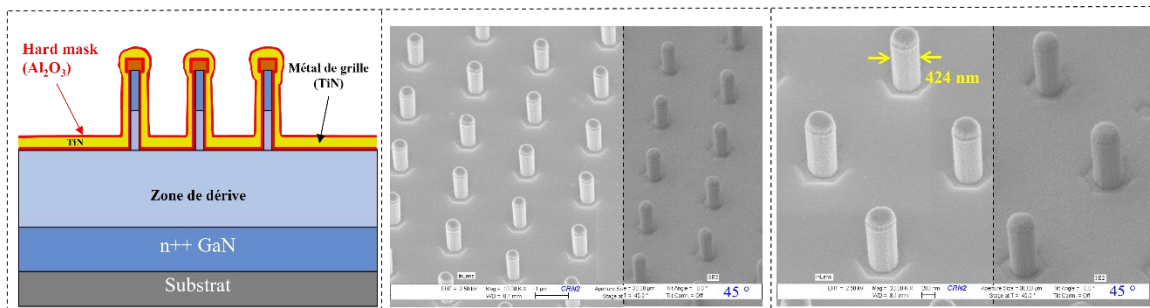


Figure 68 : Schéma et images MEB après le dépôt de 100 nm de TiN et 15 nm d' $\text{Al}_2\text{O}_3$ .

## IV.7.2 Gravure du TiN au sommet des NFs

Cette étape consiste à étaler 2 couches de SoG (IC1-1000) pour couvrir complètement les NFs, puis à effectuer un recuit à 110°C dans un four, comme décrit auparavant dans la section 6. Le SoG est ensuite gravé avec la recette SF6-Etch (30 mTorr,  $P_p = 10$  W) jusqu'aux sommets des NFs. La Figure 69 présente un schéma de cette étape ainsi que des images MEB du réseau de NFs encapsulés dans le SoG où les sommets des NFs commencent à apparaître. Par la suite, la gravure plasma de SoG est poursuivie avec la recette SF6-Etch (30 mTorr,  $P_p = 5$  W, 6 min) jusqu'à l'obtention d'une profondeur de 300 nm en dessous des sommets des NFs, comme le montre la Figure 69.

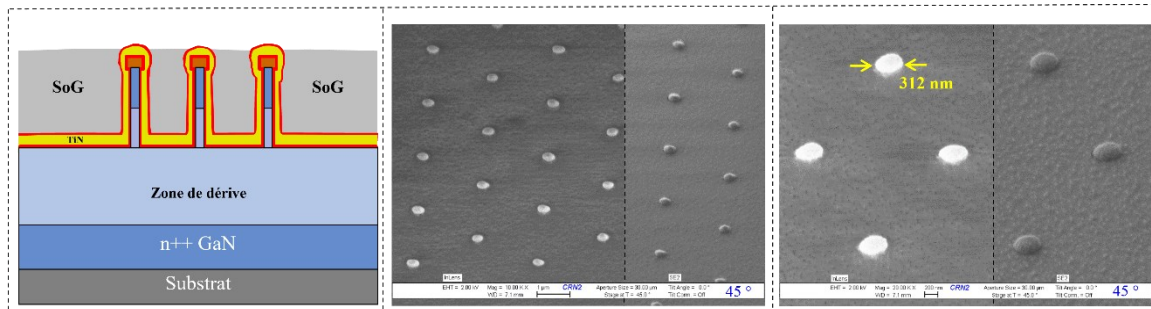


Figure 69 : Schéma et images MEB après la gravure de SoG jusqu'à atteindre le sommet des NFs.

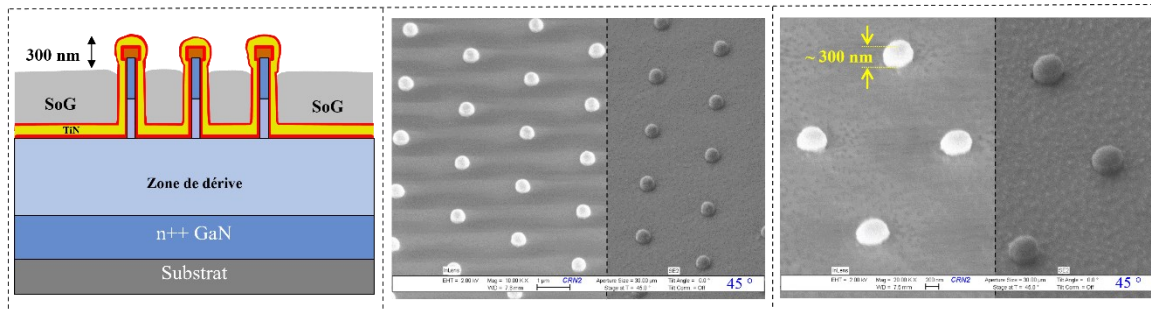


Figure 70 : Schéma et images MEB après la gravure de SoG jusqu'à atteindre 300 nm de profondeur.

L'étape suivante consiste à graver la fine couche d' $\text{Al}_2\text{O}_3$  sur les sommets des NFs afin de pouvoir accéder à la couche de TiN. Pour se faire, la recette AlO-etch ( $\text{BCl}_3$ , 30 mTorr,  $P_p = 5$  W) est utilisée pendant 45 min. L'isotropie du plasma utilisé engendre une gravure latérale complète de  $\text{Al}_2\text{O}_3$  ainsi qu'une partie du TiN comme le montrent le schéma et les images MEB de la Figure 71.



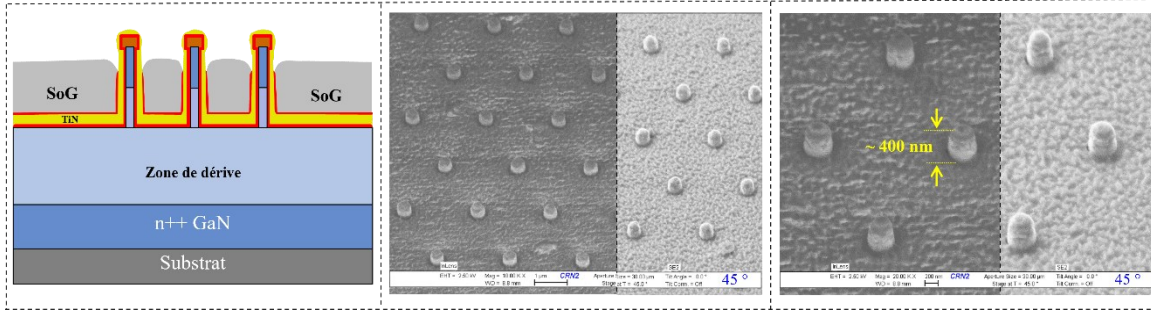


Figure 71 : Schéma et images MEB après la gravure de l' $\text{Al}_2\text{O}_3$  aux sommets de NFs.

Une fois que le TiN recouvrant les sommets des NFs, n'est plus protégé par  $\text{Al}_2\text{O}_3$ , il est alors possible de le graver au moyen de la recette SF6-Etch (30 mTorr,  $P_p = 10$  W). Cette dernière grave également la couche de SoG. L' $\text{Al}_2\text{O}_3$  restant joue le rôle d'une couche d'arrêt protégeant le métal de grille. Une gravure de 30 min est suffisante pour obtenir une grille enveloppante comme le montre le schéma et les images MEB de la Figure 72.

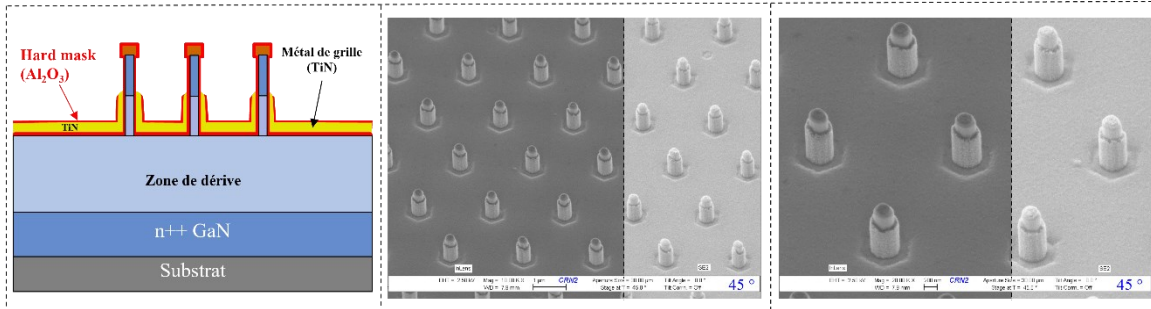


Figure 72 : Schéma et images MEB après la gravure du TiN et du SoG.

### IV.7.3 Définition des plots de grille

La définition des plots de grille d'un réseau de NFs consiste à graver le métal dans les zones souhaitées de la plaque (étant donné que le TiN est déposé pleine plaque). Cela permet également de définir des grilles séparées relatives à chaque réseau de NFs. La Figure 73 illustre les étapes suivies pour définir ces plots : la plaque est préalablement nettoyée à l'aide de solvants et d'un plasma  $\text{O}_2$ . Puis, une bicouche de résine LOR-15A/MaN-2405 est étalée sur l'échantillon en s'assurant que l'épaisseur de cette couche dépasse la longueur des NFs (LOR-15A est recuit à  $200^\circ\text{C}$  pendant 5 min, MaN-2405 est recuit à  $95^\circ\text{C}$  pendant 2 min). Une lithographie électronique est ensuite réalisée, suivie d'un développement de la résine

dans du MIF-319 pendant 2 min. Un recuit de durcissement de la résine est effectué à 120°C pendant 10 min. Une gravure plasma est effectuée avec la recette ALO-Etch ( $\text{BCl}_3$ , 30 mTorr,  $P_p = 10 \text{ W}$ ) pour graver les 16 nm de  $\text{Al}_2\text{O}_3$ . La recette SF6-etch (30 mTorr,  $P_p=10 \text{ W}$ , 15 min) est alors utilisée pour graver complètement les 100 nm de TiN. Il s'en suit un nettoyage au remover-1165 et aux solvants.

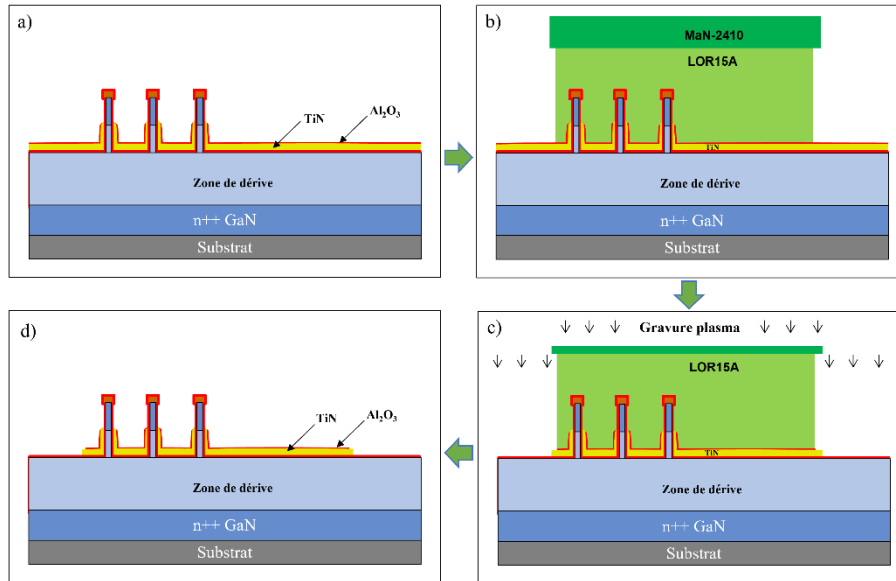


Figure 73 : Étapes de définition de plots de grille.

Après un traitement plasma  $\text{O}_2$ , des observations aux microscopes optique et MEB sont effectuées afin de vérifier l'obtention des plots métalliques tel que souhaités, comme le montre la Figure 74. Ces images montrent que les régions du canal du réseau de NFs sont bien entourées par le métal de grille, et qu'il ne subsiste aucun résidu organique à la surface et entre les NFs.

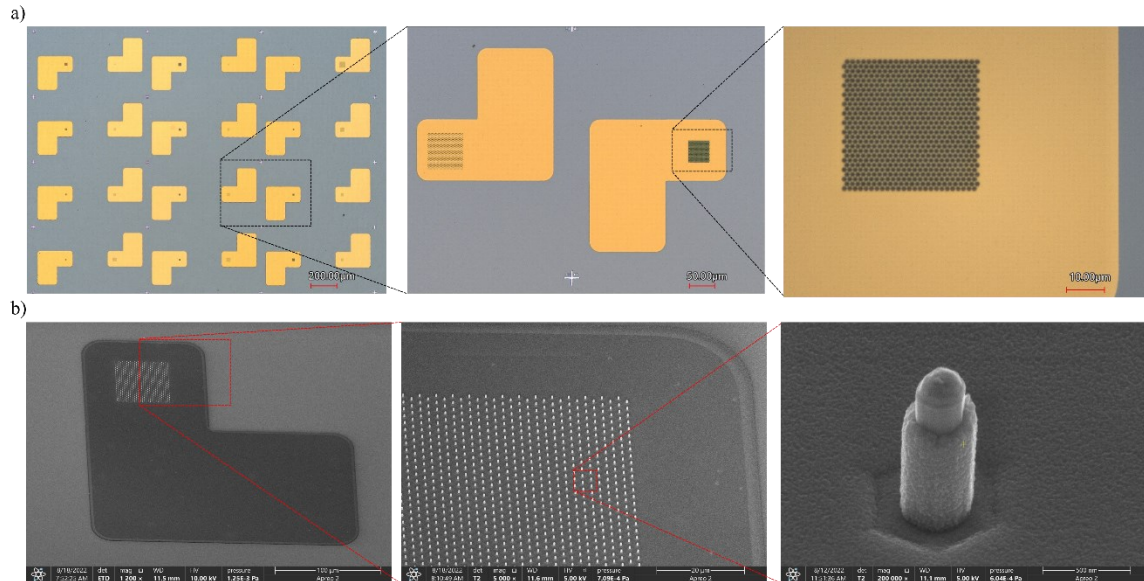


Figure 74 : Images de microscopie optique et MEB des pads de grille et d'un réseau de NFs.

## IV.8 Couche d'isolation/remplissage et métallisation de la source

Cette étape est similaire à l'étape de la section 6 du présent chapitre, et permet d'encapsuler les structures à NFs avec une couche de SoG. Cette dernière est alors gravée jusqu'à faire apparaître le sommet des NFs et ainsi pouvoir les connecter au plot de Source. Pour se faire, trois couches de SoG (IC1-1000) sont étalées sur l'échantillon, recuites et gravées par plasma, comme présenté précédemment. Une mesure AFM est réalisée (Figure 75) au niveau du sommet des NFs afin d'estimer la hauteur du masque métallique sortant (Cr/Ni). Cette étape est critique car elle permet d'éviter tout éventuel court-circuit avec la grille.

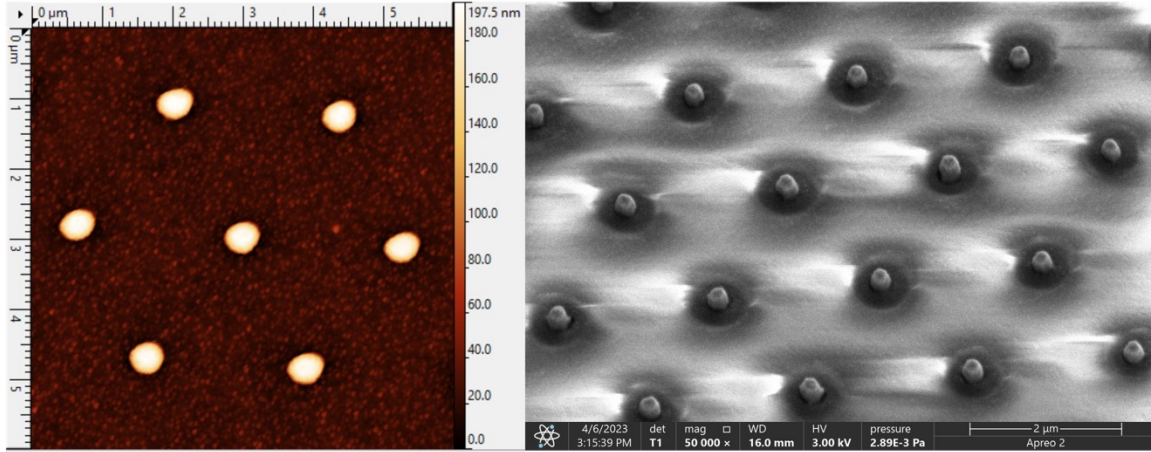


Figure 75 : Image topographique AFM et SEM des sommets des NFs après la gravure de la SoG.

Afin d'accéder au contact de grille et réaliser le plot d'épaissement relatif à ce contact électrique, une lithographie électronique est réalisée avec les mêmes conditions définies auparavant (chapitre IV, section 3.2). La résine PMMA utilisée pour cette étape, joue le rôle de masque de gravure de la SoG. La recette SF6-Etch (30 mTorr,  $P_p = 10$  W, 10 min) est utilisée pour graver la SoG, et la recette AlO-Etch (30 mTorr,  $P_p = 10$  W, 3 min) est utilisée pour graver la couche de  $Al_2O_3$ . Ce procédé est schématisé à la Figure 76.

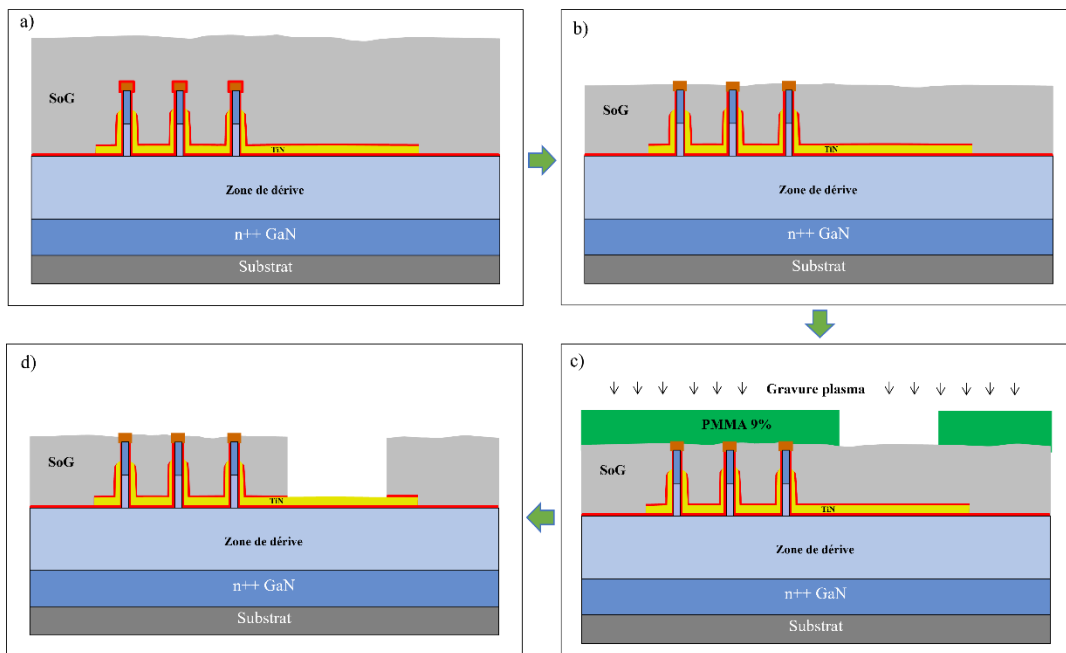


Figure 76 : Étapes de remplissage avec la SoG, mise à niveau en surface, et ouverture du plot de grille.

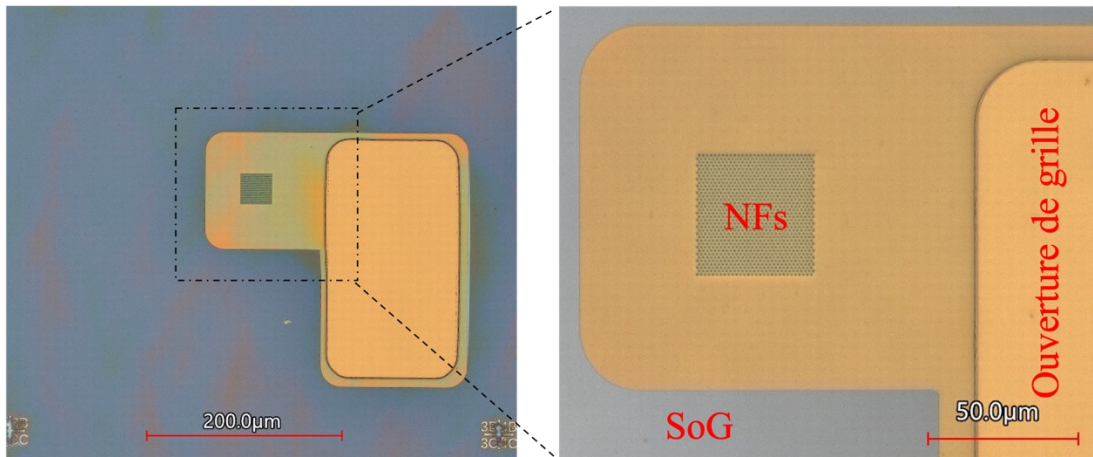


Figure 77 : Images optiques d'un réseau de NFs après l'ouverture de pads de grille

Il est alors possible de déposer les plots de source et de grille simultanément. Pour se faire, un profil casquette est réalisée en lithographie électronique avec une bicouche de MMA(EL11%)/PMMA(9%) pour définir les zones de dépôt des plots d'épaissement Ti/Au, lesquels sont réalisés par évaporation au canon à électrons (cf. Figure 78). La Figure 79 montre les images optiques prises après le dépôt des plots d'épaissement de la source et de la grille.

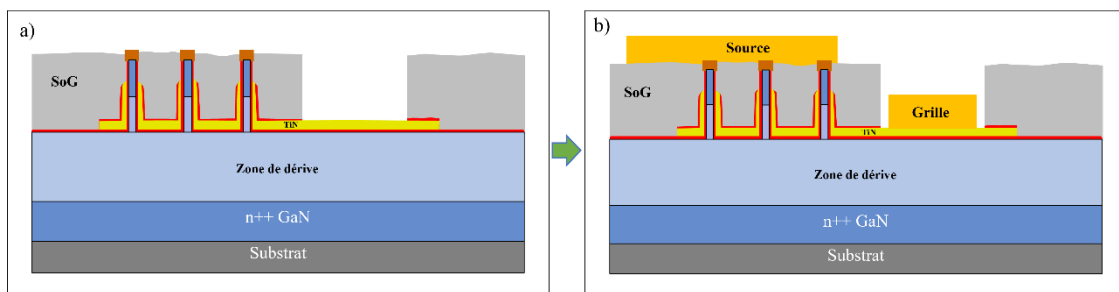


Figure 78 : Étapes de dépôt des plots d'épaissement de la source et de grille.

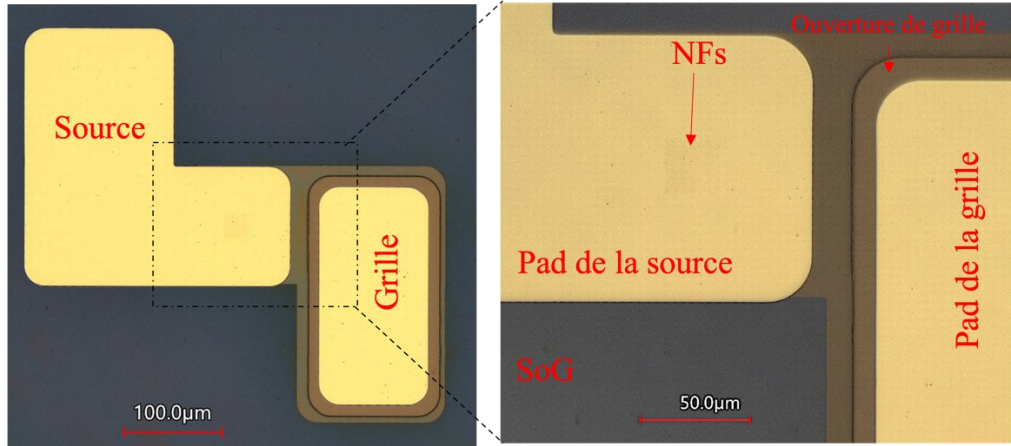


Figure 79 : Images optiques après le dépôt des plots d'épaissement de la source et de grille.

Enfin, l'échantillon est métallisé sur la face arrière, puis collé sur un support métallique afin d'effectuer les mesures électriques. Ceci permet de tracer les caractéristiques  $I_{ds}$ - $V_{ds}$  et  $I_{ds}$ - $V_{gs}$  du transistor, comme le montre la Figure 80.

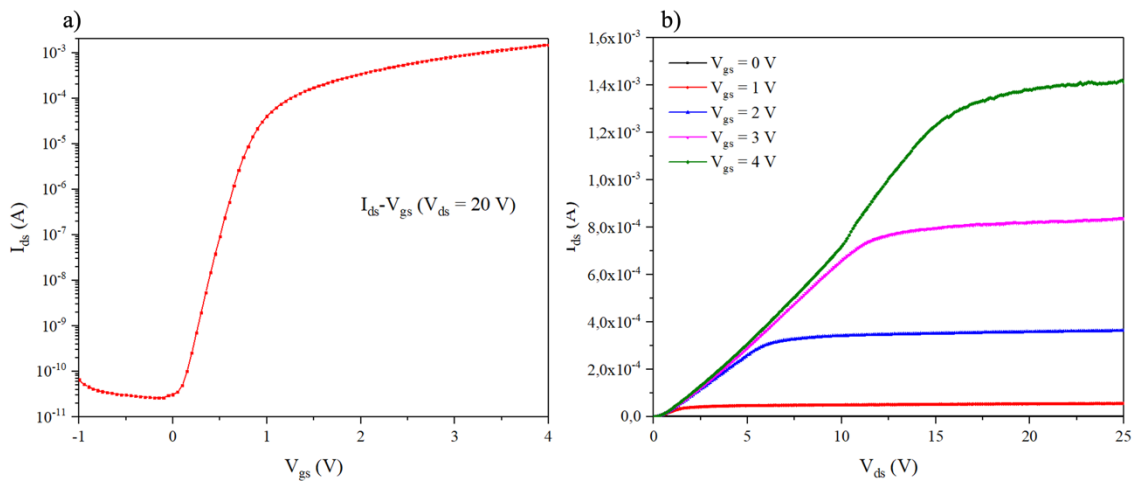


Figure 80 : Caractéristiques électriques d'un transistor à base d'un réseau de NFs de 300 nm de diamètre : a)  $I_{ds}$ - $V_{gs}$  à  $V_{ds} = 20$  V. b)  $I_{ds}$ - $V_{ds}$  pour différentes  $V_{gs}$ .

Ces résultats démontrent clairement que le procédé de fabrication développé au cours de ce chapitre est fiable, produisant un effet transistor avec un courant de fuite à l'état bloqué de l'ordre de  $10^{-10}$  A. De plus, il permet d'obtenir un mode *normally-off* avec une tension seuil  $V_{th} = +0.5$  V pour un réseau de nanofils (NFs) de 300 nm de diamètre.

## IV.9 Conclusion

Dans ce chapitre, un procédé de fabrication d'un transistor de puissance à architecture verticale, à base de nanofils de GaN selon l'approche descendante, est proposé. Ce procédé commence par la définition des contacts ohmiques circulaires Cr/Ni (de 100 nm à 200 nm de diamètre), correspondant à l'électrode de Source. Des mesures CTLM ont été effectuées afin de déterminer les caractéristiques de ce contact et vérifier la nature ohmique du contact sur  $n^{++}$ GaN. Cette même bicouche métallique Ni/Cr sert également de masque de gravure pour définir les NFs de GaN au moyen d'un plasma chloré. Puis, une gravure humide à base de TMAH est utilisée pour révéler les plans réticulaires  $m$  du GaN. A ce stade, le dépôt des contacts de drain face avant (relatif à l'architecture II) ainsi que le celui de la couche d'oxyde de grille  $Al_2O_3$ , sont réalisés. Une étape d'isolation et de remplissage du réseau de NFs de GaN est effectuée au moyen d'une couche de SoG, laquelle permet d'encapsuler la zone de dérive en NF (quasi-1D) jusqu'à la base du canal (relatif à l'architecture II), après une étape de gravure par plasma. Le contact de grille est alors réalisé avec une couche de TiN déposée par pulvérisation cathodique. Cette étape nécessite deux sous-étapes : i) graver le TiN disposé au sommet des NFs pour obtenir une grille enveloppante sur l'axe radial; ii) définir un plot de grille pour chaque réseau de nanofils. Une étape d'isolation électrique et de remplissage à la SoG est réalisée afin d'encapsuler le réseau de NFs de GaN. Cette dernière couche est alors gravée jusqu'à ce qu'elle affleure les plots de Source au sommet des NFs. Enfin, une gravure localisée de la SoG est réalisée pour accéder aux plots métalliques de grille. Ce qui permet de terminer ces étapes avec le dépôt des plots d'épaissement des contacts de source au sommet des NFs et de la grille sur le plot de TiN. Les caractérisations électriques montrent un effet transistor avec un mode *normally-off*.





# Chapitre V : CROISSANCE DES NANOFILS DE GAN PAR ÉPITAXIE PAR JETS MOLÉCULAIRES

## V.1 Introduction

Ce chapitre adresse la possibilité de synthétiser des nanofils de GaN selon l'approche ascendante (*Bottom-up*) sur un substrat de silicium par épitaxie par jets moléculaires assistée par plasma (PA-MBE) et qui pourraient être utilisés dans la fabrication de transistor de puissance à architecture verticale de type *normally-off*. Dans ce cadre, nous avons défini un protocole de croissance de nanofils de GaN dopés de type *n*, qui pourraient être utilisés ultérieurement avec le même procédé de fabrication des dispositifs de puissance présenté dans le chapitre IV. Dans un premier temps, nous présentons la technique de croissance EJM ainsi que la description du bâti utilisé pour cette étude.

Les mécanismes de croissance auto-assemblée des nanofils de GaN sont décrits dans un second temps puis ces derniers sont optimisés pour satisfaire au cahier des charges suivant : i) obtention d'une faible densité de nanofils parfaitement verticaux pour permettre la mise en œuvre des étapes technologiques décrites précédemment; ii) nécessité d'un contrôle précis de la longueur des nanofils implique l'absence de toute couche parasite qui affecterait la longueur de la zone de dérive du nanofil et iii), contrôle précis du dopage au cours de la croissance des nanofils de GaN afin de réduire la résistance d'accès au contact ohmique de source d'une part, et d'autre part, de définir un dopage précis du canal et de la zone de dérive conformément aux valeurs obtenues par la simulation pour optimiser le couple ( $R_{ON}$ ,  $V_{BR}$ ). Ainsi, nous avons réalisé une étude des effets du dopage au Si sur la morphologie, la densité et la dispersion en longueur des nanofils. Pour minimiser les effets de dispersion en dimensions (longueur et diamètre) résultant de la croissance auto-assemblée, nous avons initié l'idée d'une croissance ascendante des nanofils au travers d'un masque diélectrique couvrant la surface du substrat de silicium avec motif constitué d'un réseau d'ouvertures

d'un diamètre de quelques dizaines de nanomètres et plus.

## V.2 Épitaxie par jets moléculaires

### V.2.1 Principe et fonctionnement de la technique EJM

L'épitaxie est un processus de croissance de cristaux monocristallins sur un substrat monocristallin, qui permet d'obtenir une orientation précise et une qualité supérieure des cristaux formés. Le terme "épitaxie" est issu du grec "épi" signifiant "sur" et "taxis" signifiant "arrangement". L. Royer [51] a introduit ce terme en 1928 pour désigner le phénomène d'orientation qui peut être observé lorsqu'un cristal est déposé au contact d'un autre cristal. Aujourd'hui, l'épitaxie est utilisée pour décrire les techniques de croissance de matériaux monocristallins sur un substrat également monocristallin, comme l'épitaxie par jets moléculaires (MBE) et l'épitaxie en phase vapeur aux organométalliques MOCVD. Nous parlons d'homo-épitaxie si l'élément déposé est de même nature que le substrat et d'hétéro-épitaxie lorsqu'il est de nature différente.

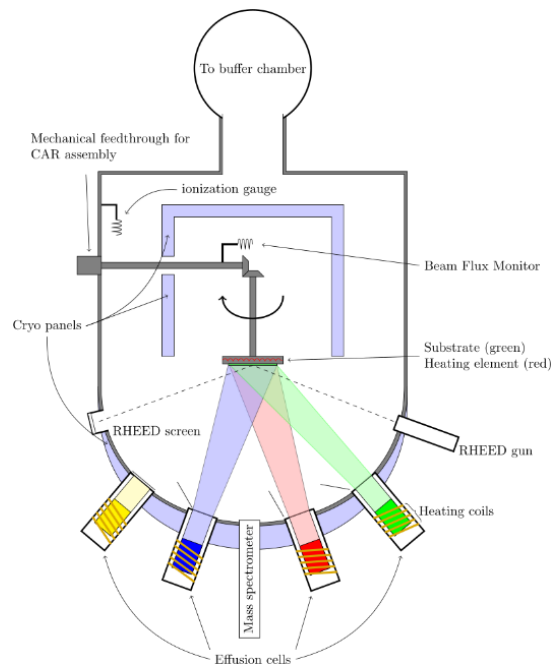


Figure 81: Schéma descriptif d'un bâti MBE (Source : <https://wikipedia.com>).

Dans les années 1960, A.Y. Cho et J. Arthur, des chercheurs de la compagnie Bell, ont inventé l'épitaixie par jets moléculaires (EJM) (en anglais : *Molecular Beam Epitaxy*, MBE) [52]. Cette technique de croissance est utilisée pour la synthèse de couches minces monocristallines dans une enceinte sous ultravide (UHV). Le schéma de la Figure 81 illustre un réacteur MBE. Le terme "jets moléculaires" fait référence à l'évaporation ou la sublimation sous vide d'éléments ultrapurs contenus dans une cellule à effusion (également appelée cellule de *Knudsen*, voire Figure 82). Ces éléments sont chauffés au sein de cellules, ce qui permet d'envoyer des atomes ou molécules balistiques vers la surface de substrat. Le flux d'atomes évaporés est contrôlé en ajustant la température de la cellule. En outre, l'ouverture ou la fermeture d'un cache métallique placé devant cette cellule permet de libérer ou de bloquer le passage du flux vers le substrat. La pression équivalente de flux est mesurée à l'aide d'une jauge *Bayard-Alpert* placée en face des cellules coté substrat. Dans le cas de la croissance des matériaux nitrures par EJM, il est nécessaire d'utiliser une source d'azote. Deux techniques sont communément utilisées dans la littérature pour injecter cet élément dans la chambre de réaction sous ultravide. La première consiste à exciter et à dissocier la molécule  $N_2$  en utilisant une source radiofréquence, ce qui permet de générer un plasma d'azote par l'ajustement de la puissance appliquée et du débit de  $N_2$  entrant dans la cellule. Dans ce cas, nous parlons d'une croissance par MBE assistée par plasma (PA-MBE). La deuxième technique consiste à utiliser de la vapeur d'ammoniac ( $NH_3$ ), qui se craque à la surface du substrat à température élevée pour fournir les atomes d'azote.

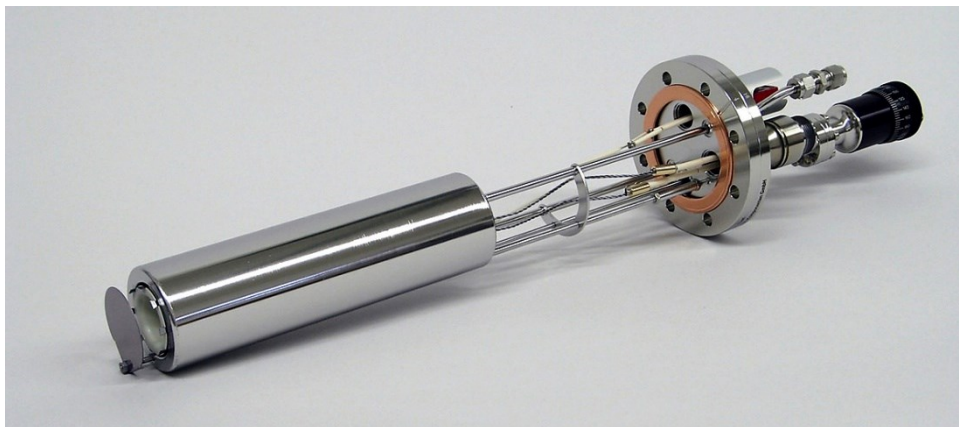


Figure 82 : Image d'une cellule de Knudsen (source : <https://scintaomicron.com/>).

Afin de travailler avec des flux d'atomes balistiques, il est essentiel que la croissance ait lieu dans un milieu ultravide. Dans ces conditions, le libre parcours moyen des atomes est supérieur à la distance entre les cellules et le substrat, ce qui permet d'éviter toutes collisions entre les atomes que nous souhaitons déposer et des éléments résiduels présents dans la chambre. Afin d'atteindre et de maintenir cet ultravide, une pompe secondaire très performante comme une pompe cryogénique est utilisée. Les parois de la chambre de croissance sont également refroidies à l'azote liquide pour piéger toutes espèces résiduelles présentes dans la chambre. Le couplage de ces deux éléments permet d'atteindre des pressions très basses de l'ordre de  $10^{-11}$  Torr hors croissance. La technique d'épitaxie par jets moléculaires est utilisée notamment dans les domaines de la recherche et du développement scientifique en raison de sa faible vitesse de croissance par rapport à d'autres techniques comme la MOCVD. Cette dernière est plus couramment utilisée dans le domaine industriel. Néanmoins, l'EJM permet de contrôler l'épaisseur des couches et des structures épitaxiées avec une grande précision, la vitesse de croissance variant entre quelques dixièmes de monocouche à une couche atomique par seconde (ML/s). Cette technique sous ultravide permet ainsi d'éviter au maximum les contaminations des échantillons, ce qui garantit une croissance épitaxiale de très haute pureté. Notons aussi que la croissance par EJM se fait généralement à des températures de substrat plus basses (de 700 à 800°C pour le GaN) que celles utilisées pendant la croissance par MOCVD (de 1000°C à 1200°C pour le GaN).

### **V.2.2 Caractérisation RHEED**

Le système de diffraction d'électrons de haute énergie en incidence rasante appelé RHEED (*Reflection High Electron Energy Diffraction*) est une technique de caractérisation spécifique à l'EJM. Ce système de caractérisation *in-situ* est basé sur l'interaction en faible incidence ( $< 4^\circ$ ) d'un faisceau d'électrons avec la surface du substrat (Figure 83). Ceci permet de suivre en temps réel l'évolution de la croissance. Ainsi, le RHEED renseigne sur la morphologie des structures épitaxiées ou en court d'épitaxie en analysant le diagramme de diffraction observé sur l'écran fluorescent. Une caméra CCD placée devant cet écran permet de visualiser et de traiter ces diagrammes par ordinateur.

Comme, nous allons voir plus tard dans les sections suivantes, une surface parfaitement plane présentera un diagramme de diffraction RHEED constitué de lignes (Figure 90-a) alors qu'une surface sur laquelle sont en croissance des nanofils sera caractérisée par un diagramme de diffraction RHEED constitué de spots ordonnés (Figure 90-b).

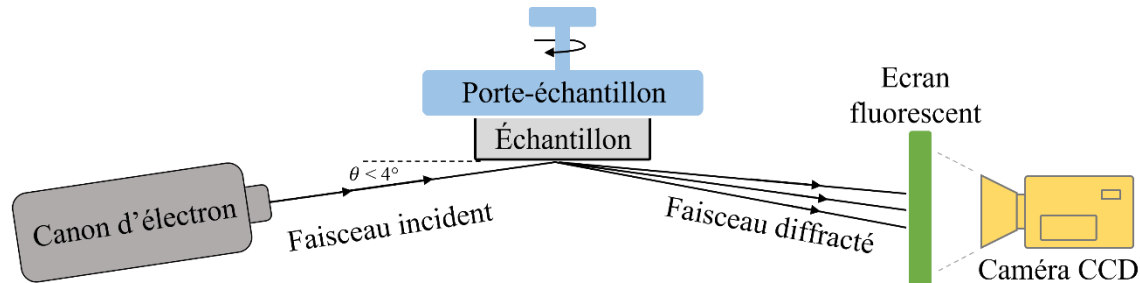


Figure 83 : Schéma de fonctionnement d'un système de diffraction d'électrons de haute énergie en incidence rasante dit (RHEED).

### V.2.3 Description des composants du bâti

Dans le cadre de cette thèse, nous avons utilisé le réacteur EJM « Compact12 » installé dans l'environnement salle blanche du C2N (voir Figure 84). Cet équipement fabriqué par l'entreprise française Riber est spécialement adapté pour la croissance de nanofils de type III- nitrures avec un four très haute température (jusqu'à 1000°C). Il est équipé de six différentes cellules orientées vers la surface du substrat :

- La première cellule est celle de plasma d'azote ( $N_2$ ), qui contient une cavité de nitrure de bore pyrolytique (PBN) percée de 149 trous et à l'intérieur de laquelle sera formé le plasma. Pour se faire, le flux d'azote pouvant varier entre 0.2 à 1 sccm sera excité par l'application d'une puissance RF pouvant varier entre 200 W à 600 W. Cette cellule est reliée à un boîtier d'accord pour minimiser la puissance réfléchie et stabiliser le plasma dans la cavité.
- Trois cellules d'effusion de *Knudsen* dédiées aux espèces métalliques : Aluminium (Al), Indium (In) et Gallium (Ga), permettent de croître les semiconducteurs III-N.
- Deux cellules d'effusion de *Knudsen* : Silicium (Si) et Magnésium (Mg), permettent d'introduire les dopants de type *n* et *p* pendant la croissance.

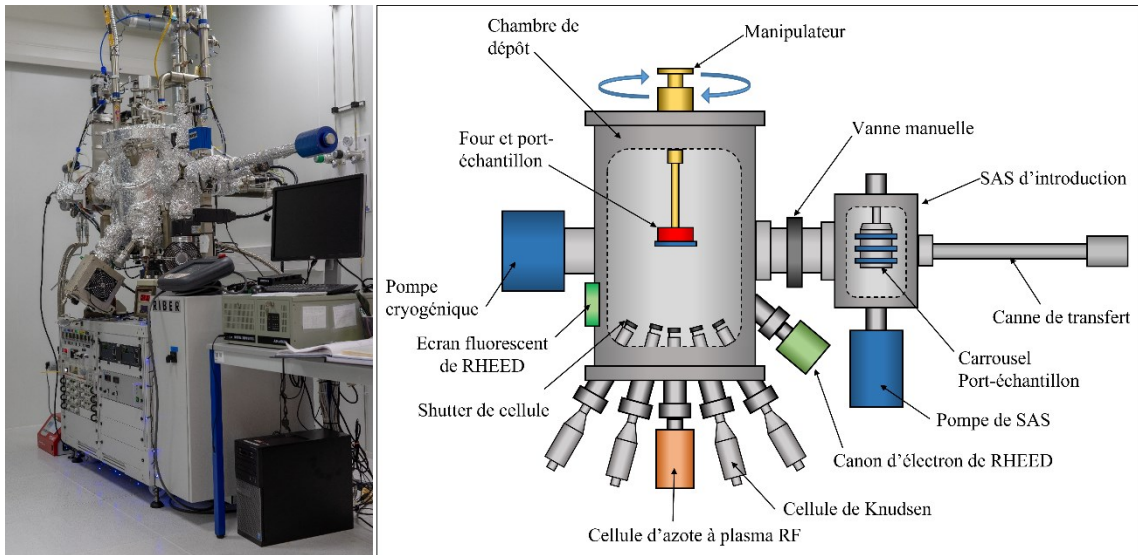


Figure 84 : Image et schématisation du bâti utilisé dans le cadre de cette thèse.

Avant chaque croissance, un substrat de  $\frac{1}{4}$  de 2 pouces est d'abord positionné sur une porte-échantillon en molybdène appelé moly-bloc. C'est l'unique élément utilisé à l'intérieur du réacteur qui peut être sorti et remis à la pression atmosphérique en passant par le SAS d'introduction. Ce moly-bloc est maintenu mécaniquement à l'intérieur de l'enceinte sur des pattes du manipulateur qui lui permet de tourner. Le manipulateur est également équipé d'un four positionné à l'arrière du substrat et permettant de chauffer celui-ci par effet joule à l'aide d'un filament de tungstène. Ce four peut atteindre des températures élevées allant jusqu'à 800-1000°C. Cette caractéristique est essentielle pour la croissance des nanofils de GaN comme nous allons voir par la suite. Le contrôle en température du substrat est assuré de deux manières différentes : 1) un thermocouple est situé à l'arrière du porte-échantillon. Mais celui-ci étant éloigné de la surface du substrat, il ne permet pas d'avoir un bon contrôle de la température en temps réel ; 2) un pyromètre infrarouge *ex-situ* placé à la normale du substrat, sous la chambre. Les mesures par pyromètre offrent une meilleure précision et un meilleur contrôle de température du substrat pour des températures allant au-delà de 400°C (pour le type de pyromètre utilisé sur le compact 12).

Afin que la croissance se produise dans des conditions d'ultravide, nous disposons d'une pompe cryogénique et de parois refroidies à l'azote liquide permettant de maintenir un vide poussé dans la chambre principale, en atteignant des valeurs de pression d'environ  $10^{-11}$  Torr

lorsque le bâti n'est pas utilisé en conditions de croissance. D'autre part, notre bâti est entièrement automatisé et géré par le logiciel Crystal, qui assure le contrôle des températures des cellules et du four, ainsi que l'ouverture et la fermeture des différents caches. Ce logiciel gère également l'ouverture et la fermeture de la vanne de l'azote liquide de refroidissement, ainsi que l'introduction et de rétraction de la jauge de flux.

## V.2.4 Cinétique de croissance par la technique EJM

L'épitaxie d'un cristal par la technique EJM est régie par plusieurs mécanismes et phénomènes cinétiques, qui entrent en jeu lors de l'interaction des flux atomiques avec la surface du substrat chauffée. Quand les caches des cellules sont ouverts, les atomes incidents sont adsorbés à la surface du substrat (adatomes). Cette adsorption met en jeu une liaison avec les atomes du substrat. Il existe deux types d'adsorption. La première est la physisorption qui définit une faible interaction entre les atomes et la surface laquelle est induite par les forces de Van der Waals. La seconde est la chimisorption qui implique un transfert d'électrons et forme une liaison chimique entre l'adatome et la surface. Différents processus entrent en jeu pour que ces adatomes puissent former un cristal (voir Figure 85), dont les plus importants sont :

- **Diffusion en surface** : Lorsque l'énergie thermique est suffisante pour briser la liaison formée lors de la physisorption, l'adatome diffuse sur la surface. La longueur de cette diffusion ( $L_s$ ) dépend du coefficient de diffusion de surface ( $D_s$ ) et du flux d'adatomes ( $F$ ) selon la relation suivante (d'après [53]) :

$$L_s \approx \left(\frac{D_s}{F}\right)^{\frac{1}{6}} \quad (\text{Équation V-1})$$

Comme le coefficient de diffusion de surface ( $D_s$ ) dépend de la température, il est toujours possible de contrôler la longueur de diffusion en modifiant la température de croissance et le flux incident.

- **Inter-diffusion** : c'est un phénomène causé par l'échange de matière entre l'adatome et le substrat, c'est-à-dire une diffusion en volume.
- **Nucléation ou germination** : c'est le phénomène par lequel apparaissent les premiers germes cristallins. En effet, plusieurs des adatomes mobiles sur la surface

se regroupent entre eux afin de créer un agrégat ayant une taille suffisante pour assurer sa stabilité.

- **Désorption** : elle s'agit d'un phénomène où la température est suffisante pour rompre la liaison entre l'adatom et la surface. Ceci entraîne une évaporation de l'adatom. Pour que la croissance ait lieu à la surface, il est donc nécessaire que le flux incident soit supérieur au flux désorbé.

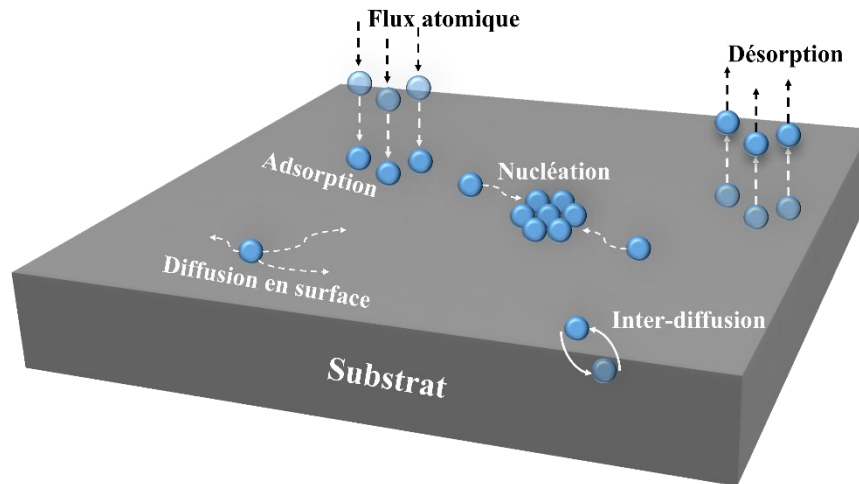


Figure 85 : Schéma descriptif des différents processus de surface durant la croissance par EJM.

## V.2.5 Les différents modes de croissance cristalline

Dans la partie précédente, nous avons rapidement évoqué les différents phénomènes de cinétique permettant de conduire à la croissance d'un monocristal à la surface d'un substrat. Ici, nous décrivons les trois modes de croissance principaux qui peuvent être rencontrés. Ils dépendent du désaccord de paramètre de maille existant entre le cristal et le substrat, ainsi que de l'énergie de surface. Afin de bien décrire cette dernière, nous distinguons  $\gamma_s$  l'énergie de surface de substrat,  $\gamma_D$  l'énergie de surface de la couche et  $\gamma_{int}$  l'énergie de l'interface couche-substrat.

- **Mode de croissance Frank-Van der Merwe [54]:** Ce mode, également appelée croissance bidimensionnelle couche par couche, apparaît lorsque l'énergie de surface libre minimal est importante avec  $\gamma_s > \gamma_D + \gamma_{int}$ . Dans ce cas, la diffusion des adatoms est suffisante pour que la surface du substrat soit entièrement



couverte en formant une couche monocristalline issue de la coalescence de germes 2D comme le montre la Figure 86-a.

- **Mode de croissance Volmer-Weber** [55]: Également appelé croissance tridimensionnelle, ce mode de croissance se rencontre lorsque les adatoms ont une plus forte interaction entre eux qu'avec la surface. Les adatoms se rassemblent alors pour nucléer de petits amas dans les trois directions de l'espace qui se transformeront en îlots tridimensionnels lorsque la croissance se poursuit (Figure 86-b). Dans ce cas, nous avons  $\gamma_s < \gamma_D + \gamma_{int}$ . Cette croissance est généralement rencontrée lorsque l'on dépose des métaux sur des surfaces isolantes.
- **Mode de croissance Stranski-Krastanow** [56]: c'est un mode de croissance dit intermédiaire entre les deux modes de croissance précédemment discutés. Dans ce mode, la croissance débute couche-par-couche permettant dans un premier temps la formation d'une ou plusieurs monocouches. Toutefois, à partir d'une certaine épaisseur, nous parlons d'épaisseur critique,  $\theta_{critique}$ , l'énergie d'interface varie en raison de la présence de défauts cristallins ou de tensions dans le film. Cette variation rend alors énergétiquement défavorable la croissance de type Frank-Van der Merwe. La croissance se poursuit alors suivant le mode Volmer-Weber avec la formation d'îlots qui vont progressivement grossir.

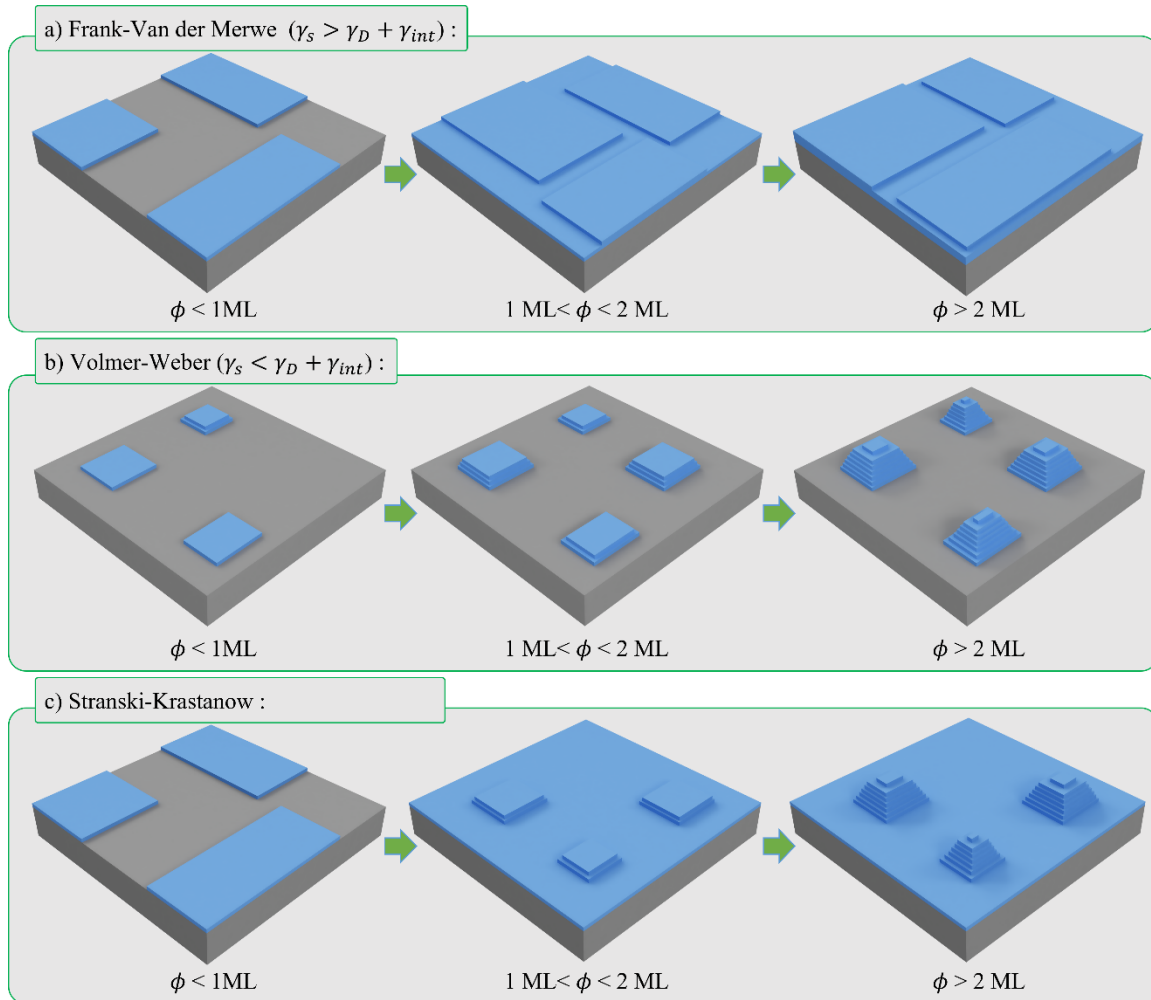


Figure 86 : Schématisation des trois modes de croissance : (a) bidimensionnelle (mode de Frank-Van der Merwe) ; (b) tridimensionnelle (mode Volmer-Weber); (c) intermédiaire (mode de Stranski-Krastanow).

## V.2.6 État de l'art de la croissance des nanofils de GaN

Dans cette section, nous donnons un aperçu de l'état de l'art sur la croissance auto-assemblée des nanofils de GaN par EJM en détaillant les mécanismes mis en jeu.

La première synthèse de matériaux nitrures par la technique EJM a été réalisée en 1975 [57]. Mais ce n'est qu'à partir de la fin des années 1990 que les premières nanocolonnes de GaN ont été réalisées avec cette technique. Ainsi ont été épitaxiées des nanocolonnes de GaN sur un substrat de saphir en 1997 [58] et 1998 [59], ainsi sur des substrats de Silicium en 1999 [60].

Ces structures unidimensionnelles présentent de très nombreuses caractéristiques apportant

un avantage certain pour les applications. Ainsi ces nanostructures se caractérisent par une quasi-perfection cristallographique avec l'absence de défauts comme les dislocations [61], qui sont connues pour détériorer les propriétés photoniques et électroniques des nanofils de GaN. Elles se caractérisent également par un grand rapport sur volume ce qui est très intéressant pour les applications de capteurs de gaz [62] ou pour l'extraction de la lumière [63], [64]. Enfin, elles présentent des propriétés optiques intéressantes pour la réalisation de composants LEDs [65].

Des études ont montré que l'ajout d'une très fine couche tampon d'AlN conduit à une amélioration significative de l'orientation des nanofils, dont « l'axe  $c$  » est toujours perpendiculaire à la surface du substrat de Si [66], ainsi qu'à un meilleur contrôle de leur densité. En 2011, notre équipe de recherche au C2N (Largeau et *al.* [67]) a étudié la formation de cette couche d'AlN et de ces effets sur la polarité des nanofils de GaN et leurs sites de croissance. Dans un premier temps, le substrat Si (111) désoxydé est exposé au flux d'Al en maintenant la température de surface à 620°C, ce qui conduit à l'adsorption de cet élément sur la surface sous forme de gouttelettes à l'état liquide, comme le montre la Figure 87-a. Il faut noter ici que ces gouttelettes ne se sont pas uniquement constituées d'Al mais d'Al enrichie en silicium en raison de la formation de l'eutectique Al-Si dans ces conditions de dépôt [68]. S'ensuit une exposition aux radicaux N qui induit la redistribution des gouttelettes sur la surface du substrat et ainsi la formation d'une couche mince et discontinue d'AlN (environ 2,5 nm d'épaisseur). Les observations MEB de la surface (à cette étape) indiquent la disparition de ces gouttelettes en laissant des empreintes circulaires et sombres comme le montre la Figure 87-b. De plus, les mesures AFM montrent que ces empreintes présentent des dépressions au niveau de la surface de Si. C'est-à-dire que l'exposition au flux d'Al creuse une partie du Si pour former l'alliage  $Al_{1-x}Si_x$ . Dans ce cas, l'AlN synthétisé pendant l'exposition au plasma d'azote est dopé de type  $n$ . En outre, il a été observé la présence de quelques nanocristaux (de 1 à 4) en périphérie des creux, ce qui correspond à des îlots d'AlN. Ces nanocristaux offrent des sites potentiels de nucléation pour les germes de GaN lors de la croissance des nanofils de GaN qui se fait aux alentours des 780°C.

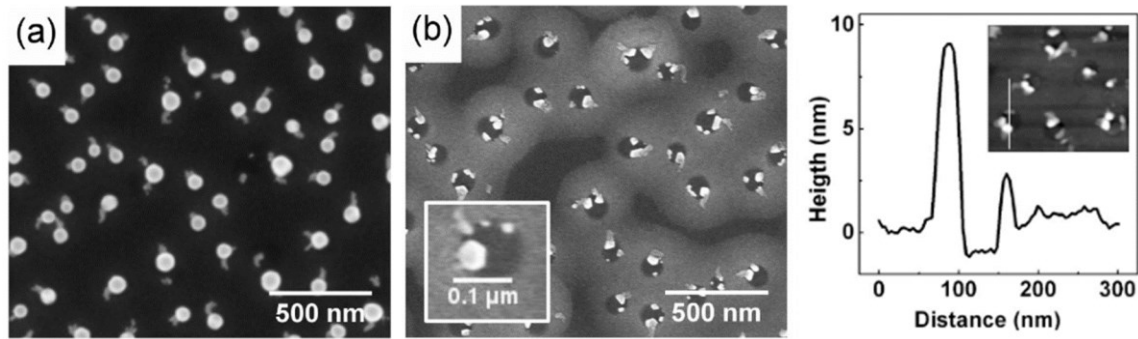


Figure 87 : a) Image MEB après l'exposition de substrat au flux d'Al. b) Image MEB et scan AFM après l'exposition de substrat au flux d'Al suivie par l'exposition au flux d'azote [67].

L'impact des paramètres (température et rapport de flux V/III) conduisant à la croissance auto-assemblée des nanofils de GaN a été résumé par le diagramme de croissance présenté par Fernández-Garrido et al.[69] (Voir Figure 88). Il est constaté que les nanocolonnes de GaN peuvent être synthétisées sur substrat de Si (111) dans des conditions riches en azote pour une plage de température bien précise. C'est-à-dire que les nanofils de GaN ont été obtenus lorsque le flux d'azote est supérieur à celui de l'espèce métallique et pour une température de substrat supérieure à 750°C afin de favoriser la nucléation localisée et la croissance 3D. Il est important de noter que cette température ne doit pas dépasser 830°C, température pour laquelle la croissance des nanofils ne peut plus avoir lieu, le phénomène de désorption des espèces devenant dominant. La variation de la température de substrat et/ou de rapport de flux V/III entraîne une modification de la densité surfacique et de la morphologie des nanofils obtenus. En effet, pour le même rapport V/III, la diminution de la température de substrat favorise l'apparition d'une couche parasite bidimensionnelle et rugueuse appelée couche 2D, qui croît simultanément aux nanofils. Ces résultats sont en accord avec ceux de Landré et al. [70] qui ont montré que le processus de diffusion est relativement limité à basse température. Ceci conduit à la formation d'îlots puis à leur coalescence. Il en résulte une couche rugueuse qui impacte la densité surfacique, le diamètre et la longueur des nanofils.

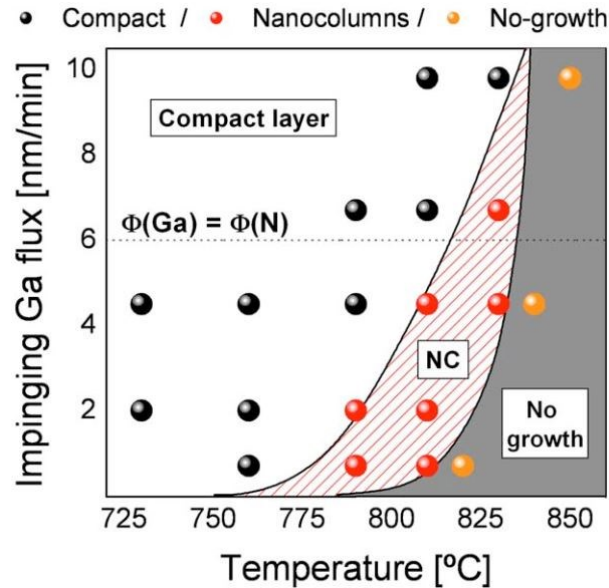


Figure 88 : Diagramme de croissance des nanofils de GaN auto-assemblés établi par Fernández-Garrido et al.[6].

Dans le cas de la croissance dans des conditions riches en métal ( $V/III < 1$ ), il est observé une croissance bidimensionnelle de GaN. Cela a été interprété comme étant dû à l'accumulation d'excès d'espèces métalliques à la surface, formant ainsi une couche continue et favorisant la croissance bidimensionnelle [71]. En revanche, Yoshizawa et al. [72] et S. Park et al. [73] ont affirmé que les nanofils de GaN peuvent être synthétisés dans des conditions riches en Ga à haute température, probablement en raison d'une très forte désorption de Ga dans ces conditions de croissance. Cependant, les auteurs n'ont pas mentionné les valeurs des flux utilisés, ce qui rend difficile de déterminer si les conditions de croissance étaient réellement riches en Ga ou non. Dans la partie suivante, nous allons discuter les mécanismes de croissance auto-assemblées des nanofils de GaN sur un substrat de Si (111) par PA-MBE dans des conditions riches en azote.

## V.2.7 Mécanisme de croissance auto-assemblée des nanofils GaN

Les processus de formation des nanofils de GaN par la technique EJM sont complexes et dépendent des principaux paramètres de croissance que sont la température du substrat, le rapport des flux d'atomes envoyés par les cellules et la vitesse de croissance.

Le rapport de flux  $V/III$  est un paramètre crucial durant la croissance auto-assemblée des

nanofils de GaN par EJM assistée par plasma. Il influence directement la vitesse de croissance, la densité surfacique et la morphologie des nanofils. Les conditions riches en azote ( $V/III > 1$ ) sont celles requises pour former des nanofils. Les adatoms d'azote (monoatomique) sont instables sur les facettes non-polaires (1100) [74], tandis qu'ils sont plus stables sur la facette polaire (0001) (la facette terminale des ilots) [75]. Ceci augmente leur densité au sommet et favorise leur incorporation pour alimenter la croissance axiale. Dans ces conditions, la croissance est limitée par la diffusion des espèces métalliques et leur taux d'incorporation.

Les mécanismes de formation des nanofils ont été étudiés par de nombreux groupes de recherche [76], [77],[78],[79]. Ils peuvent être résumés en trois étapes principales qui sont illustrées sur la Figure 89.

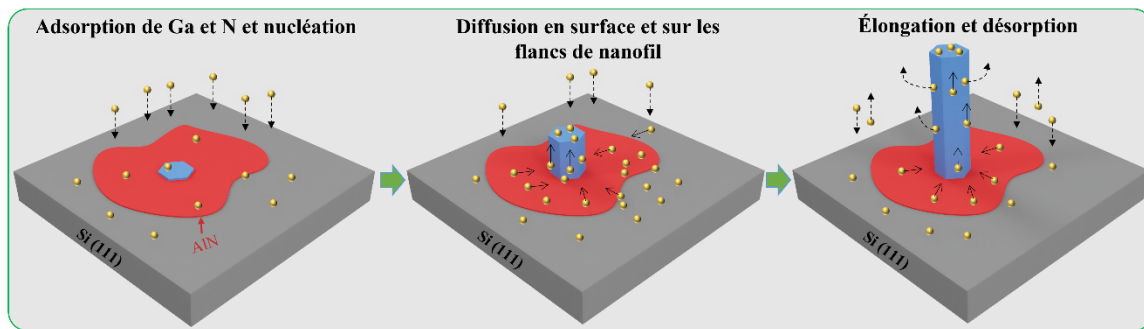


Figure 89 : Mécanisme de croissance spontanée d'un nanofil de GaN sur Si (111) /AlN.

**Incubation :** La croissance des nanofils de GaN est un phénomène qui n'a pas lieu immédiatement après l'ouverture des caches. Le processus de nucléation nécessite un délai pour que les adatoms diffusent sur la surface et trouvent des sites préférentiels pour former des germes cristallins. Ce délai peut varier de quelques dizaines de secondes à plusieurs dizaines de minutes. Appelé temps d'incubation, ce délai va dépendre du rapport de flux utilisé, de la température, mais aussi des espèces en présence et de la nature du substrat ou encore de la technique de croissance. Ainsi en EJM, le temps d'incubation des nanofils de GaN sur Si varie entre 30 secondes et 20 minutes, alors qu'il peut être d'une heure sur substrat de Graphène [71]. En MOCVD, la nucléation des fils de GaN sera quant à elle instantanée.

Le temps d'incubation en EJM peut être déterminé grâce à la technique de caractérisation RHEED, où l'apparition de taches (spots) sur le substrat indique la nucléation des premiers germes qui constitueront les NFs, comme le montre la Figure 90.

Dans notre étude, tous les échantillons ont présenté un temps d'incubation compris entre 1 min et 2 min.

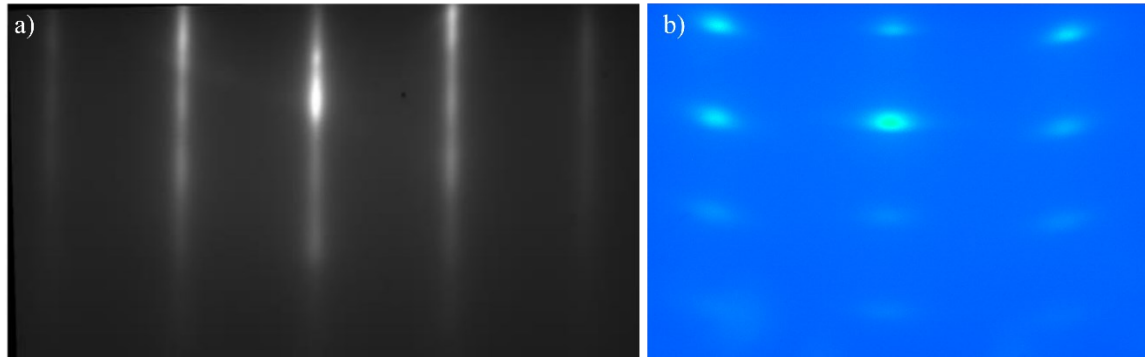


Figure 90 : Image d'un diagramme de RHEED acquis avant et après la nucléation. L'image a été prise de la thèse de [80].

**Nucléation** : Lorsque les germes ont atteint une taille critique, la nucléation prend place et les nanofils commencent à croître. L'étape de nucléation correspond aux premiers moments où la croissance des nanofils est accélérée. À ce moment-là, toutes les espèces actives arrivant à la surface du substrat ou sur les côtés des nanofils ont la possibilité de migrer au sommet des nanofils et ainsi participer à leur croissance axiale. Cela conduit alors à une croissance des nanofils accélérée. L'étape de nucléation va durer jusqu'à ce que la hauteur des nanofils devienne supérieure à la longueur de diffusion des éléments.

Les modèles proposés pour expliquer ce phénomène incluant celui de Consonni et *al.* [81], [82], postulent que les germes de GaN commencent sous la forme d'îlots sphériques qui adoptent ensuite une forme pyramidale permettant de relaxer élastiquement des contraintes mécaniques. Cette relaxation se poursuit de manière plastique avec l'apparition d'une ou de plusieurs dislocations à l'interface GaN/AlN et semble entraîner la formation de nanocolonnes verticales comme le montrent les images HRTEM de la Figure 91-a. Ce modèle a été renforcé par les observations de Knelangen et *al.* [83] et la modélisation thermodynamique de Dubrovskii et *al.* [84]. De plus, notre groupe (Largeau et *al.* [67]) a constaté qu'il existe une similarité entre la distribution de densité et de diamètre des nanofils

de GaN avec ceux des nanocristaux d'AlN formés après nitruration des sphères d'Al. Cela permet de dire que les nanofils GaN ont tendance à croître au-dessus de ces nanocristaux, ce qui est en accord avec les résultats publiés par Brubaler et al. [85]. En outre, Thomas Auzelle mentionne dans sa thèse de doctorat [86] que la couche 2D n'a pas été observée dans le cas de la croissance des nanofils sur substrat Si sans l'utilisation de la couche AlN. Cela suggère que l'AlN contribue à la croissance de la couche 2D. Enfin, la croissance directe sur substrat Si, engendre la formation d'une fine couche amorphe de SiN entre le nanofil de GaN et la surface de substrat comme montré à la Figure 91-b, ce qui augmente la probabilité d'avoir des nanofils inclinés [87].

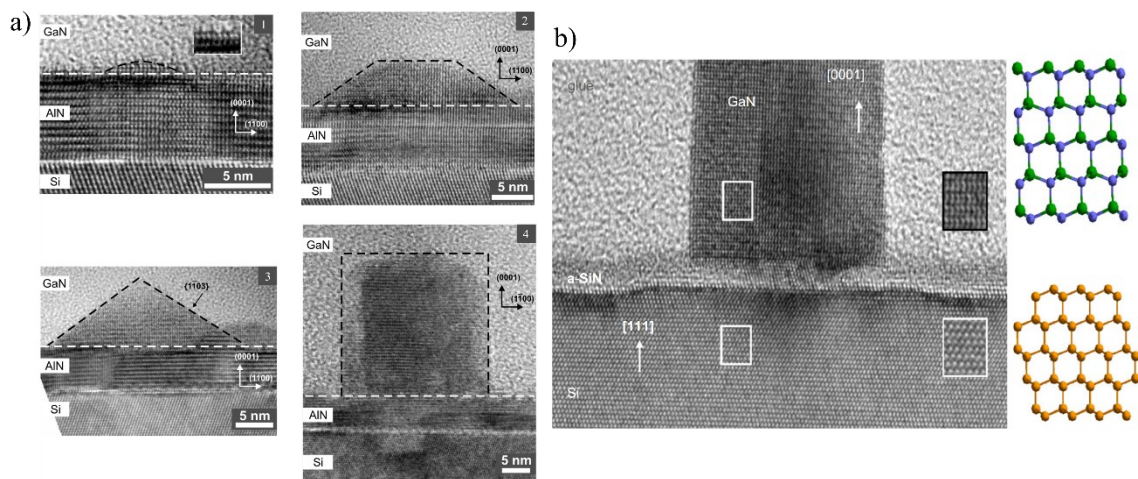


Figure 91 : a) Image TEM décrivant les étapes de nucléation d'un germe de GaN réalisé PA-MBE sur substrat Si [82]. b) Image HRTEM de l'interface entre un nanofil de GaN et le substrat Si (111) réalisé par PA-MBE sans couche AlN [87].

**Élongation des nanofils :** Dans cette troisième phase de croissance des nanofils, les nanofils ont une vitesse de croissance constante. Ici, seuls les adatoms arrivant au sommet des nanofils ou sur leur côté à une distance du sommet inférieure à leur longueur de diffusion [76], seront incorporés au sommet et contribueront à leur croissance axiale [88] (voir la Figure 89). Les adatoms arrivant sur le substrat ou les côtés des fils éloignés des sommets (distance supérieure à la longueur de diffusion des adatoms) seront désorbés ou contribueront à la croissance de la couche 2D entre les nanofils ou la croissance radiale des nanofils. La température de croissance a donc ici un impact important sur la vitesse de croissance des nanofils. Les hautes températures feront augmenter la longueur de diffusion



des adatoms, leur permettant ainsi d'atteindre plus facilement le sommet des nanofils, mais rendront également plus probable la désorption, limitant ainsi la croissance.

### **V.3 Protocole de croissance suivi**

La croissance par épitaxie est extrêmement sensible à l'état de surface du substrat. Pour cette raison, la préparation du substrat silicium est une étape cruciale pour pouvoir contrôler et reproduire la croissance des nanofils de GaN de bonne qualité cristalline. Dans cette partie, les deux étapes de préparation de surface suivies, le nettoyage chimique et le dégazage thermique, sont présentées. La température de croissance des nanofils étant un autre paramètre crucial, il est important de la contrôler au mieux. Le processus de calibration de la température du pyromètre est également présenté. Enfin, dans cette partie est abordé la croissance de la couche de nucléation AlN qui permet d'initier la croissance des nanofils de GaN. Notons que les plaques de silicium utilisées dans le cadre de cette étude ont une taille  $\frac{1}{4}$  de 2 pouces et sont fortement dopées de type  $n$ .

#### **V.3.1 Nettoyage et pré-conditionnement de la surface du Si(111)**

En tout premier lieu, il est essentiel de procéder au nettoyage chimique du substrat. Pour cela, un ensemble de solvants et acides est utilisé. Nous avons d'abord enlevé les contaminations organiques en utilisant successivement des solutions de Trichloréthylène, acétone et enfin isopropanol. Puis, nous avons suivi le procédé de nettoyage développé par Takahagi et *al.* [89], qui consiste à graver la couche d'oxyde natif existante à l'aide d'une solution d'HF. Ensuite, l'échantillon est introduit dans une chambre UV-ozone pendant 5 min pour former volontairement une nouvelle couche d'oxyde de quelques nm englobant les résidus carbonés provenant des solvants. Cette dernière est alors gravée avec une solution d'HF. Ainsi, nous obtenons une surface de silicium exempte des principales contaminations organiques et saturée en liaisons Si-H, ce qui empêche pendant quelques minutes la formation d'oxyde. Enfin, très rapidement l'échantillon est posé sur un moly-block et introduit dans le SAS d'introduction du bâti d'épitaxie.

### V.3.2 Dégazage de la surface du Si(111)

La deuxième partie de la préparation de surface du substrat consiste à éliminer thermiquement et in situ les résidus d'oxyde natif restant à la surface du substrat, ce qui permet une croissance optimale des nanofils de GaN. Après avoir transféré l'échantillon du sas vers la chambre principale à l'aide de la canne de transfert, il est soumis à un dégazage thermique en augmentant la température du substrat à 850°C pendant 15 min. Un affinement des lignes sur le diagramme de diffraction du RHEED nous permet de suivre cette étape de dégazage.

### V.3.3 Calibration du pyromètre

La température de surface notée  $T_{\text{sub}}$  est un paramètre majeur qui influence la cinétique de croissance, la nucléation et la morphologie des nanofils de GaN. Il est donc nécessaire de parfaitement la contrôler pour assurer une croissance optimale et reproductible dans le temps. Le contrôle de la température peut être accompli en utilisant un thermocouple ou un pyromètre. Dans notre bâti, le thermocouple est placé à distance du substrat, rendant les mesures de température peu fiables. Pour surmonter ce problème, nous utilisons des mesures de température effectuées par un pyromètre qui collecte le rayonnement infrarouge émis par le substrat. Le pyromètre est orienté perpendiculairement à la surface pour maximiser la détection du rayonnement. Cependant, cette méthode est sensible à la transparence de la fenêtre du pyromètre à travers de laquelle le rayonnement thermique passe. En effet, un dépôt progressif se produit sur cette fenêtre, ce qui altère la précision des mesures de température. Une correction systématique des températures mesurées par le pyromètre est nécessaire avant chaque croissance. Pour réaliser cette calibration du pyromètre, nous utilisons la reconstruction (7x7) de la surface de silicium (111) comme marqueur fiable de température. En effet, cette reconstruction qui correspond à une périodicité sept fois supérieure à celle de la maille cristalline de volume [90], disparaît à la température de 830°C [91]. Ce phénomène découle d'un réarrangement atomique de la surface de Si qui, aux températures supérieures à 830 °C, cherche à minimiser son énergie avec une nouvelle reconstruction.

Pour réaliser cette correction, le procédé suivant est réalisé sur tous les substrats systématiquement. Une fois la surface désoxydée thermiquement, sa température est abaissée aux alentours des 810-820°C pour observer l'apparition de la reconstruction (7x7) comme indiqué par le diagramme RHEED de la Figure 92-a. La puissance appliquée au four est ensuite augmentée par pas de 0.1% jusqu'à ce que la reconstruction (7x7) disparaisse complètement (Figure 92-b). Lorsque la reconstruction n'est plus visible, nous savons que la température réelle du substrat est égale à 830°C. La température lue par le pyromètre est alors corrigée par rapport à cette température réelle. Nous en déduisons une valeur de  $\Delta T_{\text{pyro}}$  qui sera considérée pour toute la suite de la croissance.

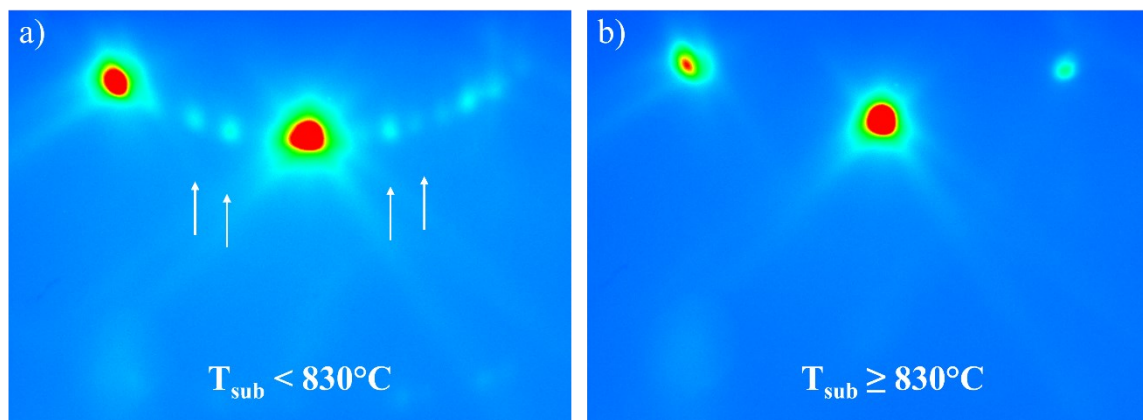


Figure 92 : Évolution de la reconstruction (7x7) de la surface de silicium (111) : a) Apparition pour des températures inférieures à 830°C. b) Disparition de la reconstruction pour des température supérieures à 830°C.

### V.3.4 Croissance de la couche de nucléation d'AlN

La croissance d'une fine couche de nucléation AlN est cruciale pour la croissance des nanofils de GaN étudiés dans ces travaux de thèse. Tout d'abord car elle assure une plus grande verticalité des nanofils (indispensable pour bien réaliser les étapes de technologies futures) et ensuite car elle évite la formation d'une couche de SiN à l'interface Si/GaN qui pourrait réduire considérablement la conductivité avec le substrat. Pour déposer la couche tampon d'AlN, nous réduisons la température de substrat à 620°C. Suivie alors l'exposition de la surface à un flux équivalent d'Al de  $8 \times 10^{-8}$  Torr en ouvrant le cache pendant 30 s. Dans un second temps, la cellule plasma d'azote est allumée et réglée pour débiter un flux d'espèce azote équivalent à une vitesse effective de 0,7 ML/s. Les gouttes d'Al formées à

la surface sont alors exposées pendant 60 s au flux d'azote. Les phénomènes de diffusion des adatoms d'Al pour former une couche discontinue d'AlN entre en jeu (comme discuté précédemment). Une fois la couche tampon d'AlN déposée, la plaque est prête pour entamer la croissance auto-assemblée des nanofils de GaN selon les conditions désirées.

## **V.4 Croissance auto-assemblée des nanofils GaN sur Si(111)**

Dans cette section, nous étudions l'impact de la température du substrat ( $T_{\text{sub}}$ ) sur la morphologie et la densité de nanofils synthétisés tout en gardant constant le rapport de flux V/III. L'objectif de cette section est d'optimiser le procédé de croissance des nanofils de GaN pour que ces derniers présentent les caractéristiques morphologiques nécessaires à la réalisation du dispositif final : contrôle de la densité des nanofils ainsi que de leurs dimensions et minimisation de la couche 2D.

### **V.4.1 Diagramme de croissance**

Pour établir un diagramme de croissance similaire à celui de Fernández-Garrido et al.[69], nous avons épitaxié plusieurs échantillons (série de A1 à A8) avec différentes conditions de température et de rapport V/III pour une durée de croissance de 3 heures pour chacun. Après le dépôt de la couche tampon d'AlN, la température de substrat est augmentée et les conditions de croissance sont ajustées pour favoriser la croissance des nanofils de GaN dans des conditions riches en azote. Nous avons choisi de travailler avec trois différents rapports de flux :  $V/III = 1.36, 1.8$  et  $2.2$  ; et une température variant de  $760$  à  $810^{\circ}\text{C}$ . À la fin de l'épitaxie, l'échantillon est clivé en deux pour visualiser les morphologies des nanofils de GaN en vue de dessus et en coupe transversale. La Figure 94 présente des images MEB en vue de dessus pour chaque condition de température et de rapport V/III.

Quel que soit les conditions de croissance utilisées, nous pouvons observer que les nanofils de GaN sont verticalement orientés comme démontré par la figure de pôle de diffraction des rayons X (Figure 93). Cette figure de pôle a été enregistrée en utilisant la réflexion de Bragg des plans (10–11) du GaN qui est inclinée de  $62^{\circ}$  par rapport à la direction [0001] [92]. La distribution des fortes intensités diffractées, à l'inclinaison de

l'échantillon pour  $\alpha = 62^\circ$ , démontre que la direction de croissance des nanofils est normale à la surface du substrat Si(111). Des études réalisées par l'équipe du C2N il y a quelques années, ont également démontré que les nanofils présente une section hexagonale délimités par les plans (10–10) [93]. Enfin, l'équipe a également démontré que les nanofils synthétisés par EJM assistée par plasma et sur substrat de Si(111) sont caractérisés par une polarité de type azote [67].

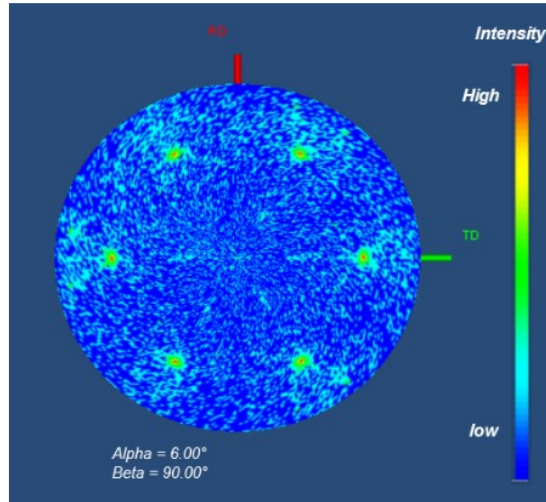


Figure 93 : Figure de pôle enregistrée en utilisant la réflexion de Bragg des plans (10–11) du GaN inclinée de  $62^\circ$  par rapport à la direction [0001].[92].

Si nous revenons au diagramme de croissance, nous pouvons observer que la densité surfacique des nanofils augmente avec la température de croissance pour le même rapport V/III. De plus, cette densité augmente aussi pour la même température en augmentant le rapport V/III. Il apparait donc nécessaire de réduire la température de croissance des nanofils afin de tendre vers de plus faible densité surfacique et ainsi répondre à un point essentiel de notre cahier des charges. Le rapport  $V/III = 1.36$  sera considéré dans les prochaines croissances.

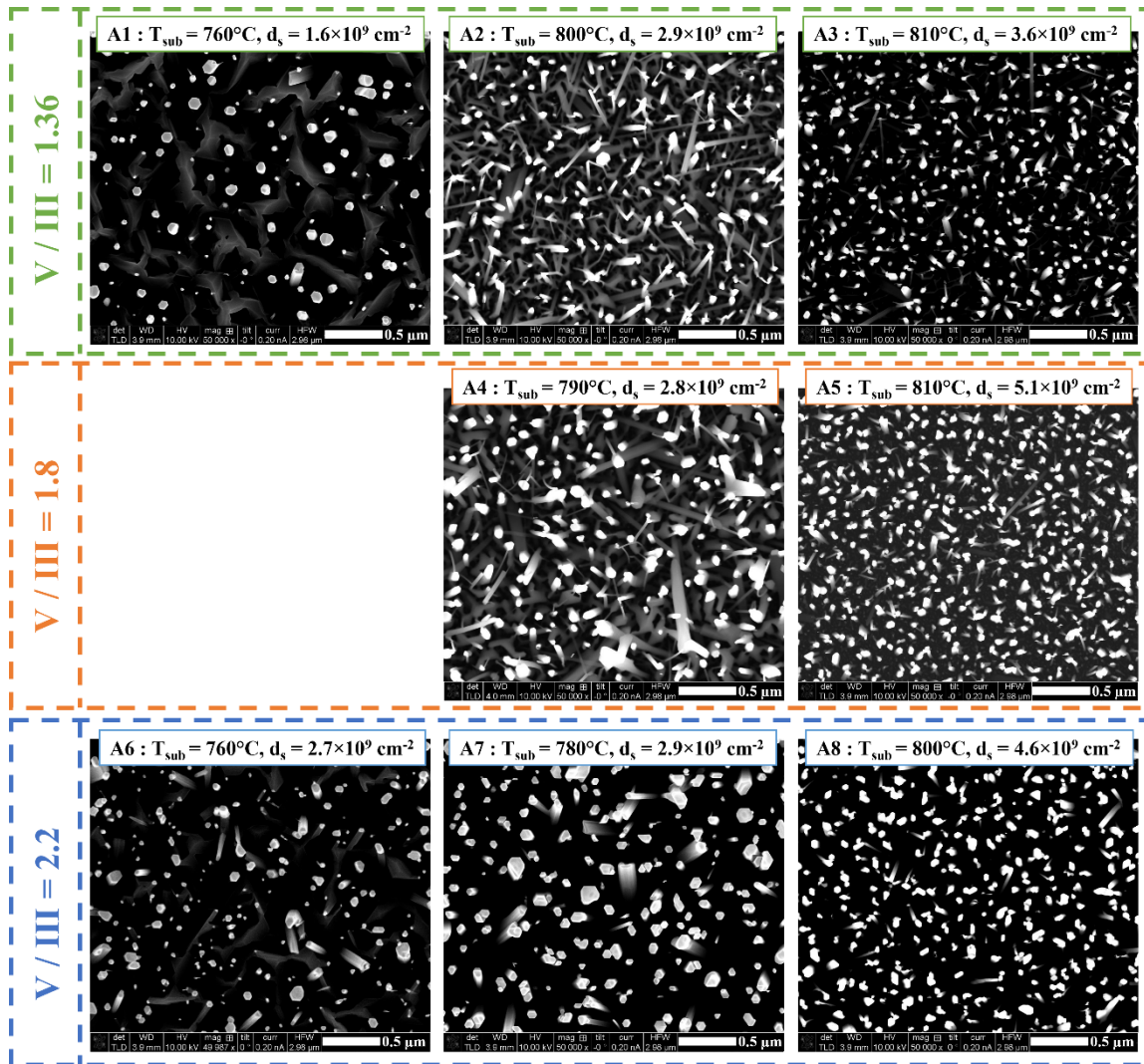


Figure 94 : Images MEB vue de dessous de nanofils de GaN épitaxiés sur Si(111) pour différentes températures de substrat et rapports V/III.

Cependant, la croissance à basse température induit la croissance d'une couche 2D qui sera d'autant plus épaisse que la température et donc la densité des nanofils seront basses. La Figure 95 illustre ce phénomène où des nanofils de GaN sont épitaxiés pour un même rapport V/III de 1.36 mais pour deux températures différentes. Les nanofils épitaxiés à 760°C (échantillon A1) se caractérisent par une grande hauteur (2.2 μm), une densité autour de  $1.6 \times 10^9$  NFs/cm<sup>2</sup> et la présence d'une couche parasite 2D épaisse d'environ 1.8 μm. Cependant, lorsque la température de croissance est plus élevée, à 810°C (échantillon A3), les nanofils sont plus petits (1.3 μm) mais plus dense ( $3.6 \times 10^9$  NFs/cm<sup>2</sup>), mais ne présentent

pas de couche parasite.

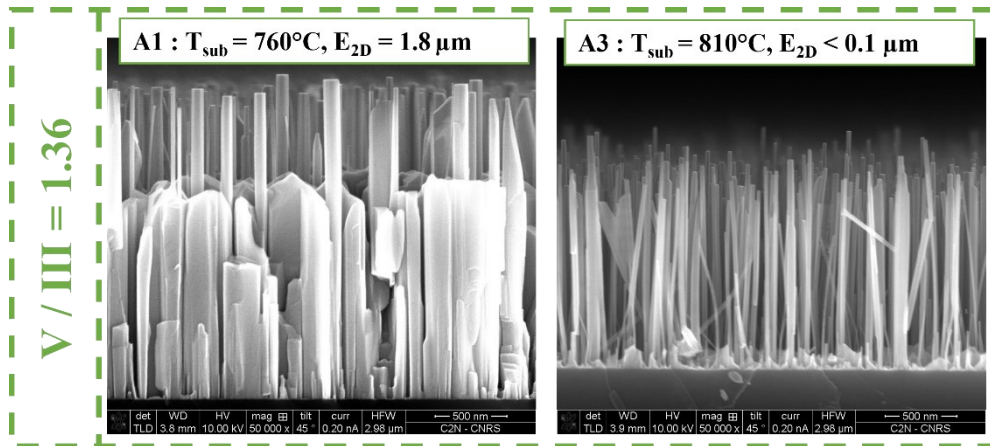


Figure 95 : Images MEB cross-section pour différente température de substrat avec le même rapport III/V.

La Figure 96 présente le diagramme de croissance des nanofils de GaN épitaxiés sur notre bâti. En fonction du flux de Ga estimé en nm/min et pour un flux d'azote de 0.7ML/s, nous pouvons distinguer 4 régimes de croissance des nanofils :

- Régime I : les nanofils présentent une couche 2D épaisse à leur base;
- Régime II : les nanofils présentent une fine couche 2D à leur base ;
- Régime III : les nanofils ne présentent pas de couche 2D ;
- Régimes IV : la croissance des nanofils est inhibée.

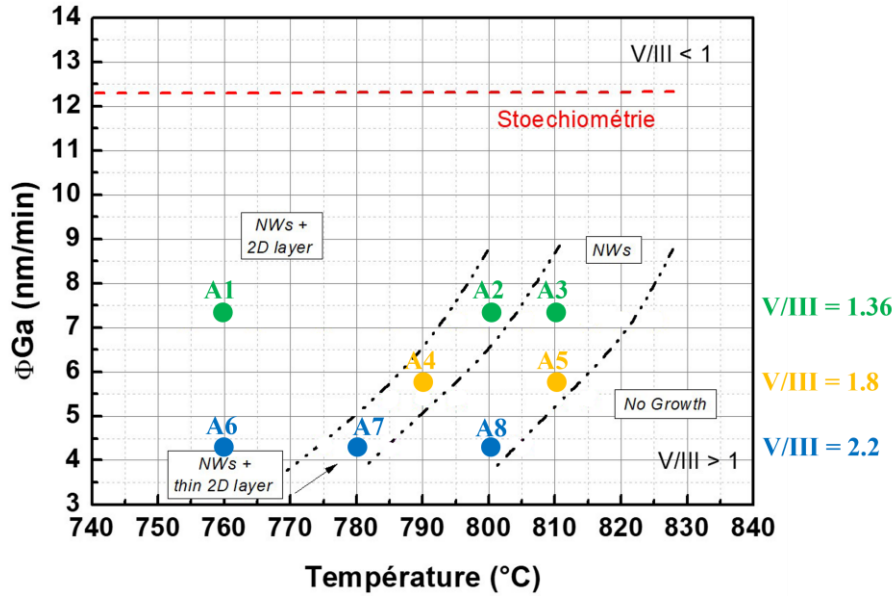


Figure 96 : Diagramme de croissance établie pour notre bâti durant cette étude.

## V.4.2 Méthode de croissance en deux phases (two steps approach)

Comme mentionné précédemment, la fabrication technologique de transistors à base de nanofils de GaN épitaxiés par PA-MBE nécessite une faible densité de nanofils (environ  $1-2 \times 10^9$  NFs/cm<sup>2</sup>) pour assurer un espacement suffisant permettant l'étape de métallisation de grille. Une croissance à basse température apparaît donc comme préférable. Mais pour éviter tout impact sur la zone de dérive du transistor, il est important de limiter au maximum la présence d'une couche parasite 2D à la base des nanofils. Une croissance haute température serait donc préférable. Il est donc nécessaire de développer un protocole de croissance pour permettre de former des nanofils peu dense avec un minimum de couche 2D à leur base.

Pour atteindre cet objectif, nous avons mis en place une stratégie de croissance en deux étapes. La première consiste à démarrer la croissance à basse température (entre 755°C et 765°C) pour favoriser une faible densité de germes/nanofils. La deuxième étape consiste à augmenter la température de croissance (entre 795°C et 815°C). Cet accroissement de la température permet de favoriser la croissance axiale des nanofils tout en limitant la croissance de la couche parasite 2D entre les nanofils en favorisant la diffusion et/ou la



désorption à la surface du substrat. Pour mettre au point cette croissance en deux étapes, nous avons réalisé plusieurs croissances avec différentes conditions pour déterminer les paramètres optimaux (température et durée de croissance) pour chaque étape tout en fixant le rapport V/III à 1.36. La Figure 97 représente les images MEB en vue transversale prises aux centres des différents échantillons épitaxiés selon l'approche en deux phases (de B1 à B6).

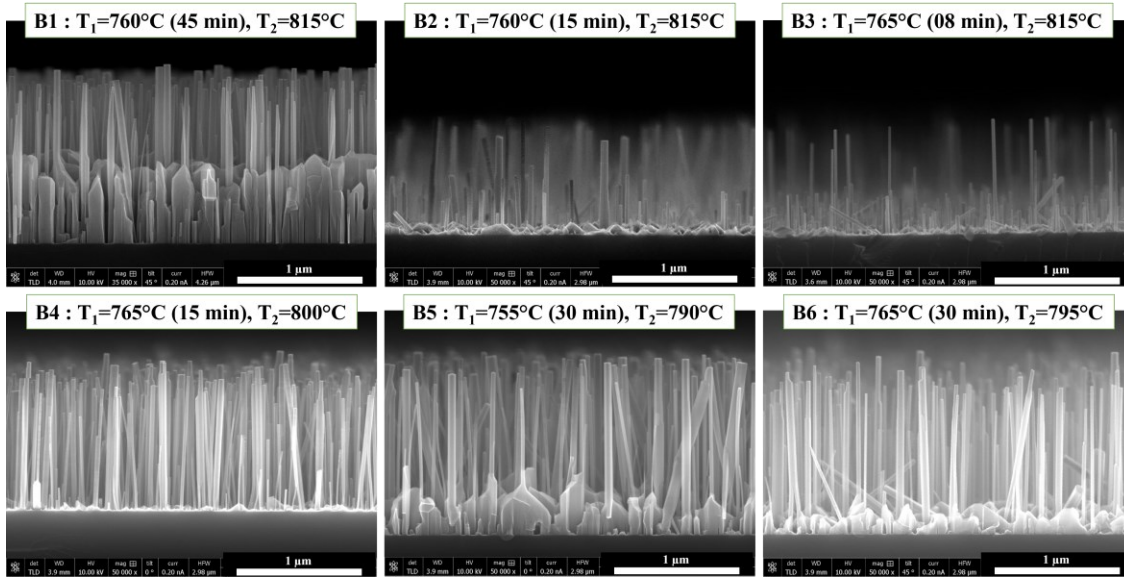


Figure 97 : Images MEB aux centres des différents échantillons épitaxiés selon l'approche en deux phases.

Le Tableau 4 résume les conditions de croissance, la densité surfacique de nanofils et l'épaisseur de la couche parasite 2D de chaque échantillon.

Tableau 4 : Conditions de croissance des deux phases avec les densités surfaciques de nanofils de GaN et l'épaisseur de la couche 2D.

Échantillon	Etape I	Etape II	Densité $d_s$ ( $\times 10^9$ NFs/cm <sup>2</sup> )	Épaisseur de la couche 2D (nm)
B1	760°C (45 min)	815°C (2 h 15 min)	1.75	886
B2	760°C (15 min)	815°C (2 h 45 min)	3.39	100
B3	765°C (08 min)	815°C (2 h 52 min)	5.15	25
B4	765°C (15 min)	800°C (2 h 45 min)	3.84	20
B5	755°C (30 min)	790°C (2 h 30 min)	2.35	260
B6	765°C (30 min)	795°C (2 h 15 min)	1.91	158

Lorsque la température de la phase I est trop basse (760°C) et pour un temps trop important (échantillons B1 et B5)), la couche 2D reste trop importante. Lorsque la température de la seconde phase est trop haute (815°C), une forte inhomogénéité de hauteur des nanofils est obtenue (échantillons B2 et B3) ce qui ne permettra pas de contrôler la longueur des segments dopés et non dopés dans la structure finale.

Il nous est apparu que la température la plus adéquate pour la phase I était de 765°C et que son temps de croissance optimal était de 30 min. Pour la phase II, la température optimale est de 795°C. Ainsi avec de telles conditions de croissance, nous pouvons synthétiser des nanofils avec une densité compatible avec les étapes de technologies et une fine couche 2D limitant ainsi l'impact sur la zone de dérive du transistor. Le diamètre moyen des nanofils est de 50 +/- 15 nm et la hauteur est fonction du temps de croissance dans la phase II.

## **V.5 Effet de dopage type n sur les nanofils de GaN**

Comme discuté dans le chapitre portant sur la simulation, le contrôle de la concentration de dopage dans les différentes régions constituant le nanofil est un élément clé pour garantir le bon fonctionnement du dispositif. Le dopage de type *n* peut être réalisé pendant la croissance par l'introduction du dopant Si en ouvrant le cache de la cellule correspondante. En ajustant la température d'effusion de cette cellule (entre 900°C et 1250°C), il est possible de contrôler le flux de Si (la quantité de matière sublimée), ce qui permet de contrôler l'incorporation de Si lors de la croissance des nanofils de GaN. Afin d'étudier l'effet du dopage de Si sur la morphologie et la densité des nanofils, nous commençons par la croissance d'un échantillon C1 avec une température élevée de cellule de Si de 1200°C. Les conditions optimales de croissance en deux phases sont utilisées pour cet échantillon. L'échantillon de référence est donc l'échantillon B6 présenté dans le paragraphe précédent.

La Figure 98 compare les caractéristiques des deux échantillons, en termes de hauteur, diamètre et densité des nanofils. Il est constaté à partir des images de MEB que l'incorporation de Si dans les nanofils de GaN entraîne une augmentation de leur densité surfacique, passant de  $1.91 \times 10^9$  NFs/cm<sup>2</sup> à  $2.86 \times 10^9$  NFs/cm<sup>2</sup>. De plus, l'incorporation de

Si dans le cas de l'échantillon C1 induit une réduction de la longueur moyenne et du diamètre moyen des nanofils par rapport à l'échantillon B6 NID. Il est connu que l'incorporation des dopants influe sur la cinétique de croissance des adatoms de Ga [94], et donc, affecte les caractéristiques des nanofils comme la hauteur et le diamètre [95], [96]. La réduction de hauteur des nanofils de GaN en présence d'un fort flux de Si est principalement dû à la diminution du coefficient de collage des adatoms de Ga en présence des adatoms de Si [96]. Leur vitesse de désorption augmente, ce qui entraîne une diminution de la hauteur des nanofils. Un autre paramètre qui pourrait affecter la cinétique de croissance des nanofils en présence de Si est le rayonnement thermique induit par la cellule de Si lorsque son cache est ouvert. Une mesure par pyromètre montre que lors de l'ouverture du cache de Si, la température de surface du substrat n'augmente que de +2°C. Or, les caractéristiques des nanofils obtenus en présence d'un fort flux de Si sont équivalentes à une croissance de nanofils de GaN non dopés qui serait décalée de +10°C sur le diagramme de croissance que nous avons établi (Figure 96). Nous attribuons donc la modification de morphologie et de densité surfacique des nanofils à un abaissement du coefficient de collage du Ga en présence de Si.

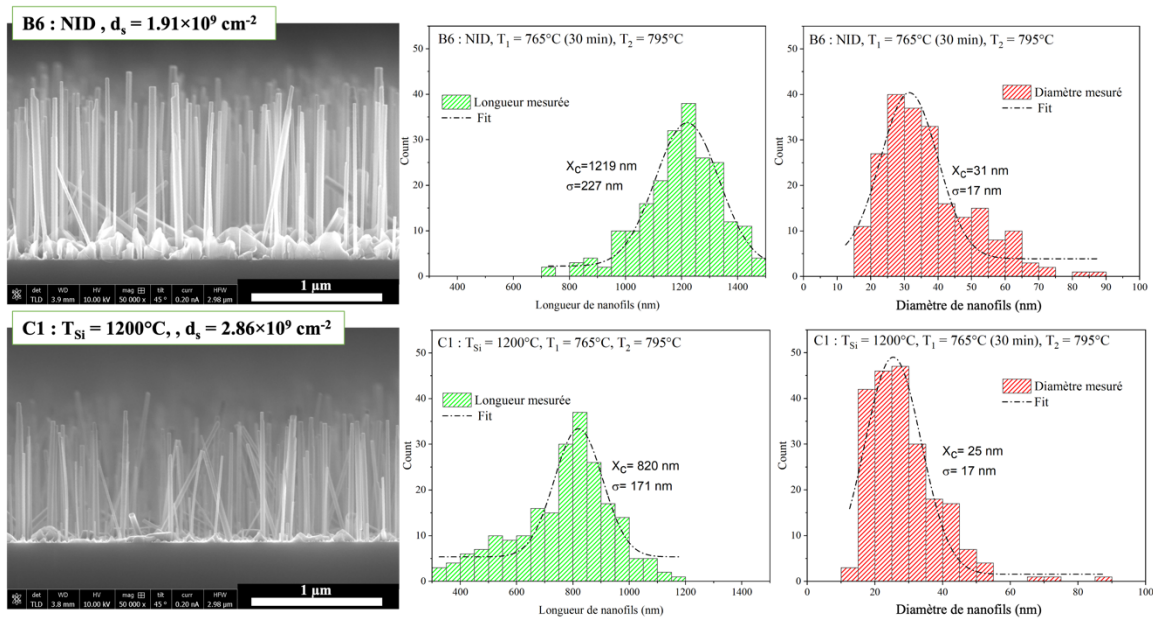


Figure 98 : Images MEB des échantillons B6 et C1 avec les statistiques de la longueur et du diamètre de nanofils.

Pour doper avec Si à une température de cellule  $T_{Si} = 1200^\circ\text{C}$  et obtenir une morphologie

et une densité de nanofils similaires à celles de l'échantillon B6 NID, nous proposons donc de croître un nouvel échantillon C2 en réduisant la température de substrat de 10°C par rapport à celle utilisée pour l'échantillon C1. Nous utiliserons une température de substrat de 755°C pour la phase I et de 785°C pour la phase II. Ces nouvelles conditions de température permettent de jouer sur la cinétique de croissance des nanofils et d'induire un plus fort coefficient de collage du Ga et donc de compenser la diminution de ce coefficient en présence du Si.

La température de la cellule de Si à 1200°C permet d'atteindre les forts dopages de Si. Pour atteindre des dopages moindres dans la structure, nous ajustons la température de cellule. Les effets du Si sur la cinétique de croissance des nanofils vont donc être différents. Pour doper avec une température de cellule de Si moins élevée tout en conservant les caractéristiques visées de nos nanofils, nous proposons d'ajuster le décalage de température de croissance par rapport aux conditions de croissance de l'échantillon B6 avec les valeurs décrites dans le Tableau 5. La Figure 99 montre les images MEB et les statistiques de la longueur et du diamètre de nanofils de ces échantillons.

Tableau 5 : Conditions de croissance des échantillons dopés avec Si pour un rapport V/III = 1.36.

Échantillon	Température de Cellule de Si (T <sub>Si</sub> )	Décalage de température de substrat	Phase I (30 min)	Phase II (2 h,30 min)
B6	NID (cache fermé)	0	765°C	795°C
C1	1200°C	0	765°C	795°C
C2	1200°C	-10°C	755°C	785°C
C3	1100°C	-8°C	757°C	787°C
C4	1000°C	-5°C	760°C	790°C

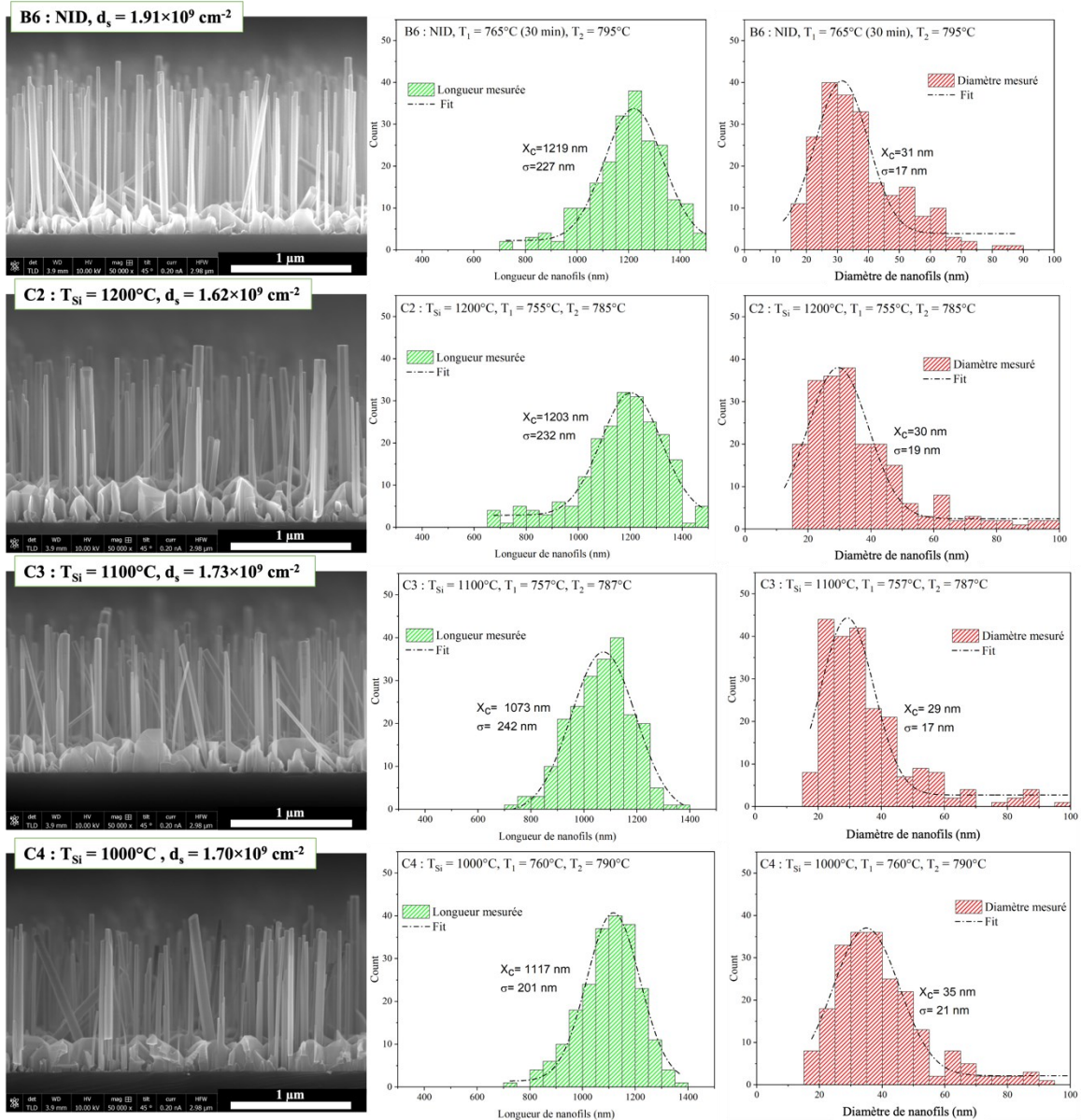


Figure 99 : Images MEB des échantillons B2 NID, C2, C3 et C4 avec les statistiques de la longueur et du diamètre de nanofils. Les caractéristiques de l'échantillon de référence B6 (nanofils de GaN non dopés) sont représentées ici pour comparaison.

La Figure 100 résume d'une façon différente de la Figure 99, les caractéristiques morphologiques ainsi que la densité des nanofils en fonction de température de la cellule de Si et pour les conditions ajustées de température des phases I et II de notre protocole de croissance. Il est constaté que l'approche de l'ajustement de température de croissance en fonction de  $T_{Si}$  permet d'obtenir des nanofils ayant des caractéristiques morphologiques très

similaires. Ces résultats sont d'une grande importance, car, ils permettent d'estimer le taux de croissance pour chaque dopage. Cela va donc permettre d'adapter le temps de croissance à la longueur désirée de chaque région de la structure épitaxiale pour la fabrication du dispositif.

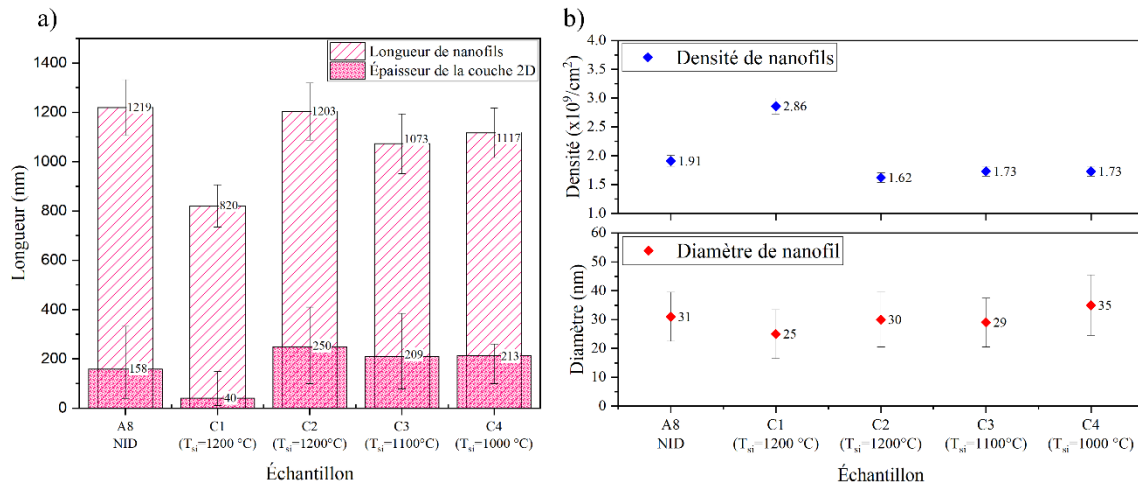


Figure 100 : a) longueurs et épaisseurs moyennes. b) densité et diamètre des nanofils de chaque échantillon.

## V.6 Vers une croissance localisée des nanofils GaN sur Si(111)

Dans les sections précédentes, les échantillons épitaxiés ont été réalisés pour une durée totale de 3 h, ce qui a permis d'obtenir une hauteur maximale de 1.2  $\mu\text{m}$ . Cependant, cette hauteur est insuffisante pour obtenir des tensions de claquage suffisamment élevées pour l'application visée. Afin d'explorer la croissance de nanofils ayant une longueur de 2  $\mu\text{m}$ , nous avons effectué une croissance en deux phases pour d'une durée totale de 5 h et 15 min, le temps de la phase I restant inchangé. Les images MEB et les statistiques présentées dans la Figure 101 montrent que la longueur moyenne est de 2034  $\pm$  130 nm, l'épaisseur moyenne de la couche 2D est de 216 nm, le diamètre moyen est de 47  $\pm$  17 nm et la densité surfacique de l'ordre de  $1.5 \times 10^9$  NFs/cm<sup>2</sup>. Cependant, la répartition et la morphologie des nanofils présentent une certaine inhomogénéité ce qui peut rendre difficile la réalisation des étapes technologiques.

Une autre difficulté est également apparue. En effet, du fait que les nanofils sont présents sur toute la plaque, cela ne facilite pas la récupération des plots métalliques.

En conséquence, il apparaît que la croissance auto-assemblée des nanofils de GaN sur un substrat de Si (111)  $n^{++}$  n'est pas la plus adaptée au procédé technologique de fabrication proposé dans le chapitre IV.

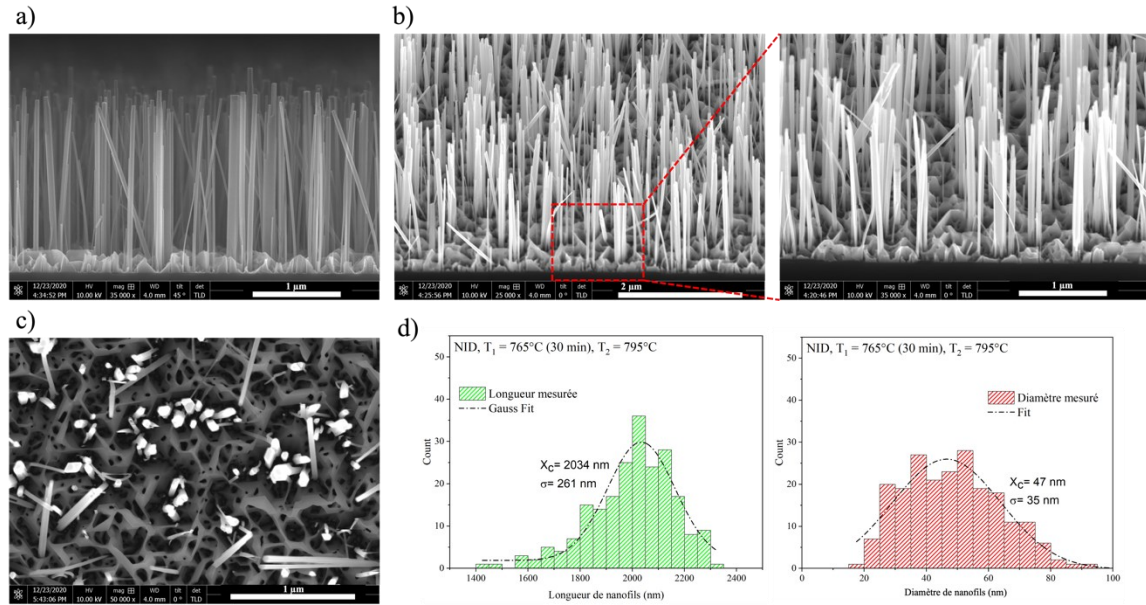


Figure 101 : a) Image MEB en vue transverse. b) images MEB tiltées à 45 °. c) image MEB en vue du dessus des nanofils de GaN. d) Statistiques de la longueur et du diamètre de nanofils de l'échantillon épitaxial pendant 5h et 15 min.

La croissance localisée de nanofils de GaN au travers de nano-trous apparaît comme une solution pour garantir un espacement régulier entre eux et des longueurs et diamètres de nanofils beaucoup plus homogènes. Les études précédentes nous ont permis d'appréhender des points critiques influençant la croissance des nanofils GaN, auxquels nous serons confrontés pour la croissance localisée. Cette croissance de réseaux réguliers de nanofils homogènes permettra d'obtenir une grille qui enrobe la région du canal de chaque nanofil séparément. De plus, une telle croissance localisée apparaît comme importante pour agencer les nanofils qui constitueront un même transistor dans un réseau avec de l'espace libre autour pour les plots métalliques de la grille et de la source. Pour atteindre une parfaite sélectivité de croissance, aucune nucléation ne doit avoir lieu sur la couche diélectrique qui sert de masque. Les ouvertures lithographiées dans ce masque diélectrique doivent quant à elles permettre de découvrir la surface du Si sans la dégrader et être du bon diamètre de façon à faire germer un et un seul nanofil par trou. Enfin, le masque doit être stable avec les

conditions de croissance MBE, ne pas se décomposer à haute température sous vide.

Le SiO<sub>2</sub> thermique est l'oxyde naturel de Si qui peut être obtenu par l'oxydation de plaques de Si (111) dans des fours spécifiques de quartz à des températures supérieures à 1050°C sous un flux d'oxygène. La formation de l'oxyde de silicium par voie thermique garantit sa forte densité (contrairement à une couche de SiO<sub>2</sub> déposée par PECVD) et donc sa stabilité à haute température (850°C) sous vide. L'étude de Kruse et *al.* [97] a montré que le SiO<sub>2</sub> thermique est un masque sélectif pour la croissance de nanofils de GaN.

Nous présentons ici les travaux préliminaires entrepris pour initier des croissances sélectives. La première étape consiste à développer le masquage du substrat avec un film contenant des nano-ouvertures. Pour cela, plusieurs étapes successives sont nécessaires :

- Nous commençons la préparation des plaques de Si (111) n<sup>++</sup> en utilisant le procédé standard de nettoyage chimique connu sous le nom RCA. Les plaques sont ensuite oxydées dans un four à 1050°C pour former une fine couche de SiO<sub>2</sub> d'une épaisseur de 40 nm.
- Pour créer des nano-trous, nous avons étalé une couche de PMMA3% et nous l'avons recuite à 200°C pendant 2 min.
- Ensuite, des tests de doses sont effectués pour obtenir le diamètre des nano-ouvertures et leur espacement désirés. Pour contrôler la croissance d'un nanofil par ouverture, il est important ici que le diamètre des nano-trous n'excède pas 60 nm. En effet, les épitaxieurs du C2N ont déjà observé que pour des diamètres supérieurs à cette valeur, plusieurs nanofils nucléent dans les trous. La Figure 102-d présente l'évolution des diamètres des nano-trous en fonction des doses utilisées et du pas de réseau (pitch), c'est-à-dire la distance entre les nano-trous. Une fois les conditions d'exposition déterminées, plusieurs ¼ de wafer ont été lithographiés avec des nano-trous de diamètre 40-50 nm et des pas de réseau variant entre 300 et 1000 nm.

Après le développement de la résine, les échantillons sont gravés par plasma dans la machine STS-AOE avec une chimie CF<sub>4</sub>. A ce stade, il est important de calibrer la vitesse de gravure du SiO<sub>2</sub> pour conserver 5-10 nm de SiO<sub>2</sub> au fond des nano-trous. Ce fond de SiO<sub>2</sub> sera enlevé dans un bain de HF dilué juste avant la croissance dans le but de préserver la surface



du Si(111). En effet, il est connu que les procédures de gravure affectent les surfaces ce qui ne permettra pas un contrôle de la croissance aux échelles nanométriques. Les résidus de résine sont ensuite nettoyés chimiquement par Removeur et acétone, puis par un plasma O<sub>2</sub>. La Figure 102 (a-c) présente des images MEB de substrat Si(111) nano-structurés pour la croissance. Notons que le diamètre final des nano-trous va légèrement s'élargir lors de la dernière attaque au HF dilué.

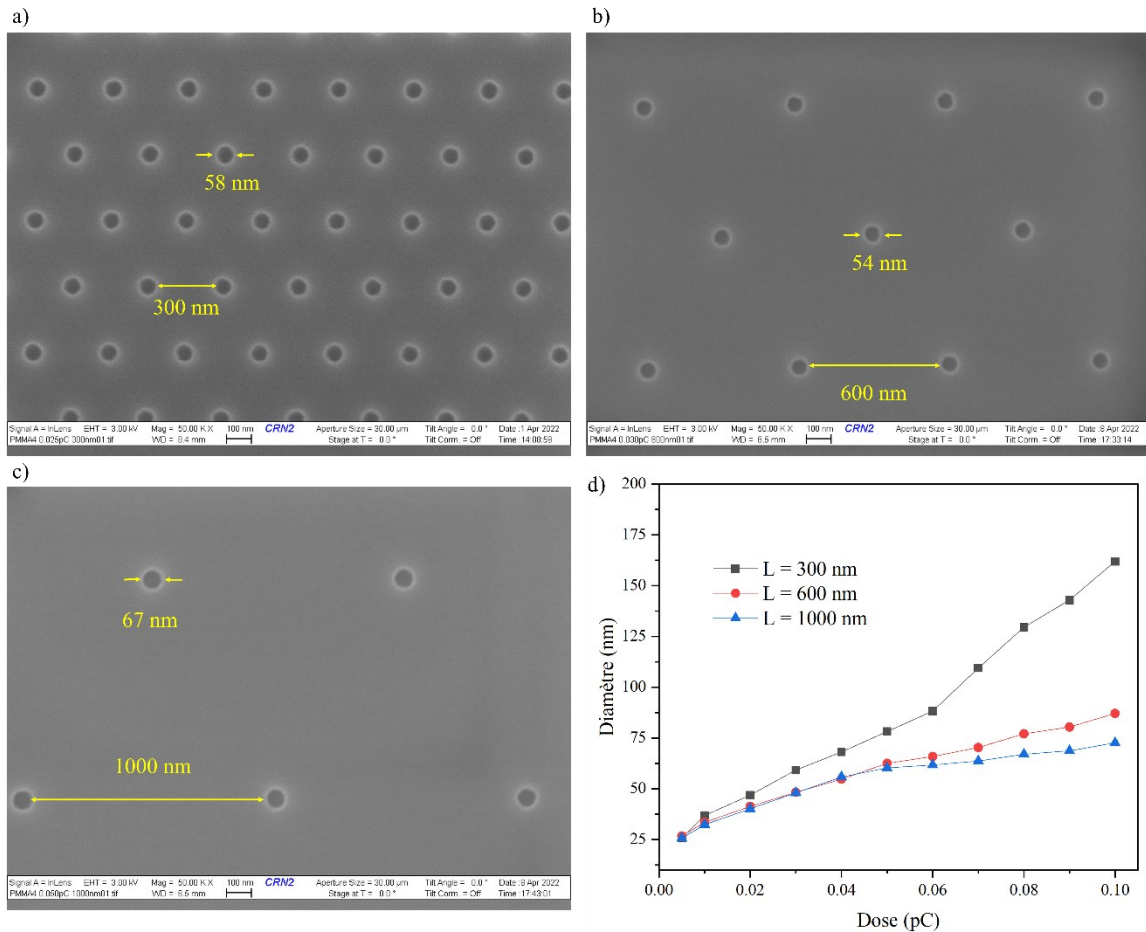


Figure 102 : a-c) Images MEB pour différents pitches. b) Les courbes de test de dose réalisés.

## V.7 Conclusion

Ce chapitre présente les résultats de l'étude sur la croissance auto-assemblée de nanofils de GaN dopés de type *n* sur un substrat Si(111) par épitaxie par jets moléculaires. L'objectif de cette étude a été de déterminer l'impact des paramètres de croissance et du dopage sur la

densité et la morphologie des nanofils afin de les utiliser dans le procédé de fabrication des transistors à effet de champ. Dans un premier temps, nous avons commencé notre étude sans l'introduction du dopage Si. Pour une condition riche en azote (rapport V/III = 1.36), la densité des nanofils diminue en réduisant la température de croissance. Cependant, cette condition de température ( $T_{\text{sub}} = 760^{\circ}\text{C}$ ) induit la croissance d'une couche parasite 2D épaisse d'environ 1.8  $\mu\text{m}$ . Des conditions optimales de croissance en deux phases ont été déterminées pour minimiser la densité surfacique et la croissance de la couche parasite 2D. La première phase consiste à démarrer la croissance à  $T_{\text{sub}} = 765^{\circ}\text{C}$  pendant 30 min pour former une faible densité de germes. La seconde phase consiste à augmenter la température de croissance à  $T_{\text{sub}} = 795^{\circ}\text{C}$  pour minimiser la couche parasite 2D entre les nanofils. Ce qui permet de réduire la densité à  $1.91 \times 10^9$  NFs/cm<sup>2</sup>, associée à une épaisseur de la couche parasite 2D de 158 nm. Ensuite, l'impact de l'incorporation de Si sur la densité et la morphologie des nanofils a été étudié. Il est constaté que l'incorporation de Si dans les nanofils de GaN entraîne une augmentation de la densité surfacique. Pour résoudre ce problème, nous avons proposé un ajustement de la température de croissance selon la température appliquée à la cellule de Si. Finalement, un pré-conditionnement de la surface de Si a été développé pour réaliser une épitaxie localisée au travers de nano-trous dans un masque diélectrique de SiO<sub>2</sub> thermique.



# Chapitre VI : CONCLUSION ET PERSPECTIVES

## VI.1 Conclusion générale

Il est communément admis que la technologie à base de GaN surpasse celle du silicium et du SiC pour des applications en électronique de moyenne puissance. Dans ce cadre, les transistors à effet de champ de type *normally-off* sont les plus demandés et développés. On y trouve différentes technologies de transistors à conduction latérale comme les structures (MOS-)HEMTs, et ceux à conduction verticale comme les FinFET et les nanofils.

Ces travaux de thèse entrent dans cette dernière catégorie, où il est proposé d'étudier et optimiser un transistor à base de nanofils de GaN à grille de commande isolée entourant complètement la région du canal (*Gate-All-Around*), de manière à obtenir un meilleur contrôle électrostatique du courant. Cette architecture verticale permet d'une part, une distribution du champ électrique plus efficace en volume du GaN, loin de la surface du dispositif, et d'autre part une meilleure dissipation thermique générée pendant le fonctionnement du dispositif.

Dans ce contexte, deux architectures basées sur des nanofils de GaN ont été proposées; i) la première repose sur l'approche descendante (*top-down*) appliquée à un substrat de GaN avec une zone de dérivation en volume. Cette approche dont le contact de drain est récupéré par la face arrière permet d'atteindre des tensions de claquage très élevées; ii) la seconde architecture est réalisée via l'approche ascendante (*bottom-up*), qui est bien adaptée pour réduire les coûts de fabrication en utilisant un substrat de Si, tout en minimisant les dislocations traversantes. Dans cette dernière approche, la zone de dérivation est quasi-1D, et offre des tensions de claquage comparables à celles du transistor HEMT. Ces travaux se sont concentrés sur la conception de la structure du nanofil de GaN via la simulation TCAD, le développement de toutes les étapes du procédé de fabrication technologique du transistor et l'épitaxie des nanofils de GaN sur un substrat de Si.

Les différents résultats clés de ces travaux sont résumés ci-dessous :

- a) Une étude par la simulation électro-thermique d'un transistor de puissance à architecture verticale, à base d'un seul nanofil de GaN, est réalisée au moyen du logiciel TCAD-Sentaurus. Ces simulations visent à guider la conception d'un transistor *normally-off* par l'optimisation des paramètres géométriques et matériau des deux structures proposées, en présence ou non d'états de surface. Les résultats de la première structure comportant une zone de dérive en volume montrent qu'il est préférable d'utiliser un diamètre de nanofil inférieur à 300 nm et un niveau de dopage du canal minimum ( $N_{\text{canal}} \leq \times 10^{16} \text{ cm}^{-3}$ ) pour d'obtenir un mode *normally-off*, tout en minimisant les courants de fuite. De plus, les simulations ont montré qu'une zone de dérive épaisse et faiblement dopée, permet de maximiser la tension de claquage et de minimiser la résistance à l'état passant. Ainsi, le couple de paramètres à considérer ( $D = 200 \text{ nm}$ ,  $L_{\text{Dérive}} = 8 \text{ }\mu\text{m}$  et  $N_{\text{Dérive}} = 1 \times 10^{16} \text{ cm}^{-3}$ ), permet d'obtenir une tension de claquage de 1600 V à  $V_{\text{gs}} = 0 \text{ V}$  et une résistance à l'état passant de  $2.0 \text{ m}\Omega \cdot \text{cm}^2$  à  $V_{\text{gs}} = 5 \text{ V}$ . Les résultats de simulation de la seconde structure correspondant à un nanofil incluant une zone de dérive quasi-1D montrent que les états de surface affectent sensiblement le transport des électrons au travers de cette zone de dérive. Il est donc indispensable de bien choisir le niveau de dopage et la longueur de la zone de dérive afin de minimiser l'impact de ces états de surface sur les caractéristiques électriques du transistor. Nos résultats montrent qu'il est nécessaire de faire un compromis dans le choix des paramètres structuraux afin de minimiser la résistance  $R_{\text{ON}}$  tout en gardant des valeurs raisonnables de la tension de claquage. En choisissant un diamètre de 150 nm, le transistor exhibe une tension à l'état bloqué  $V_{\text{BR}}$  de 520 V, associé à une résistance à l'état passant  $R_{\text{ON}}$  de  $3.2 \text{ m}\Omega \cdot \text{cm}^2$  dans le cas de  $L_{\text{Dérive}} = 2 \text{ }\mu\text{m}$ , et exhibe une tension à l'état bloqué  $V_{\text{BR}}$  de 300 V, associé à une résistance à l'état passant  $R_{\text{ON}} = 2.8 \text{ m}\Omega \cdot \text{cm}^2$  dans le cas de  $L_{\text{Dérive}} = 1 \text{ }\mu\text{m}$ . Ces résultats théoriques sont donc très prometteurs en comparaison avec ceux disponibles dans la littérature.
- b) Le développement du procédé de microfabrication de transistor est réalisé selon l'approche descendante. Ce procédé commence par la définition des contacts ohmiques circulaires Cr/Ni (de 100 nm à 200 nm de diamètre), correspondant à

l'électrode de Source. Des mesures CTLM ont été effectuées afin de déterminer les caractéristiques de ce contact et vérifier son caractère ohmique sur la couche  $n^{++}\text{GaN}$ . Cette même bicouche métallique Ni/Cr sert également de masque de gravure pour définir les nanofils de GaN au moyen d'un plasma chloré. Une gravure humide à base de TMAH est ensuite utilisée pour révéler les plans réticulaires  $m$  du GaN. À ce stade, le dépôt des contacts de drain face avant (relatif à l'architecture II) ainsi que celui de la couche d'oxyde de grille  $\text{Al}_2\text{O}_3$ , sont réalisés. Une étape d'isolation et de remplissage du réseau de nanofils est effectuée au moyen d'une couche de Spin-on-Glass (SoG), laquelle permet d'encapsuler la zone de dérive du nanofil (quasi-1D) jusqu'à la base du canal (relatif à l'architecture II), après une étape de gravure par plasma. Le contact de grille est alors réalisé avec une couche de TiN déposée par pulvérisation cathodique. Cette étape se réalise en 2 fois : i) graver le TiN disposé au sommet des nanofils pour obtenir une grille enveloppante sur l'axe radial; ii) définir un plot de grille pour chaque réseau de nanofils. Une étape d'isolation électrique et de remplissage à la SoG est réalisée afin d'encapsuler le réseau de nanofils de GaN. Cette dernière couche est alors gravée jusqu'à ce qu'elle affleure les plots de Source au sommet des nanofils. Enfin, une gravure localisée de la SoG est réalisée pour accéder aux plots métalliques de grille. Ce qui permet de terminer ces étapes avec le dépôt des plots d'épaississement des contacts de source au sommet des nanofils et de la grille sur le plot de TiN afin d'effectuer les mesures électriques.

- c) La croissance auto-assemblée de nanofils de GaN dopés de type  $n$  sur un substrat Si(111) par l'utilisation de la technique d'épitaxie par jets moléculaires. Tout d'abord, nous avons commencé l'épitaxie sans introduire le dopage Si. Pour une condition riche en azote (rapport V/III = 1.36), la densité des nanofils diminue en baissant la température de croissance. Cependant, cette température ( $T_{\text{sub}} = 760^\circ\text{C}$ ) entraîne la croissance d'une couche parasite 2D d'environ  $1,8 \mu\text{m}$  d'épaisseur. Pour minimiser la densité surfacique et éviter la croissance de cette couche parasite 2D, nous avons proposé une croissance en deux phases. La première phase consiste à démarrer la croissance à  $T_{\text{sub}} = 765^\circ\text{C}$  pendant 30 min pour former une faible densité de germes. La seconde phase consiste à augmenter la température de croissance à  $T_{\text{sub}} = 795^\circ\text{C}$

pour éliminer la couche parasite 2D entre les nanofils, ce qui réduit la densité à  $1,91 \times 10^9$  NFs/cm<sup>2</sup> tout en minimisant l'épaisseur de la couche parasite 2D à 158 nm. Ensuite, nous avons examiné l'effet de l'incorporation de Si sur la densité et la morphologie des nanofils. Nous avons constaté que l'incorporation de Si dans les nanofils de GaN entraîne une augmentation de la densité surfacique. Pour résoudre ce problème, nous avons proposé un ajustement de la température de croissance en fonction de la température appliquée à la cellule de Si. Finalement, nous avons développé un procédé technologique pour réaliser une épitaxie localisée en créant des nano-trous dans un masque diélectrique de SiO<sub>2</sub> thermique.

## VI.2 Perspectives

Les résultats obtenus dans le cadre de ces travaux de recherche constituent un pas important en avant dans l'amélioration des transistors de puissance à base de GaN. Il y a plusieurs perspectives pour poursuivre ces travaux, notamment :

- Réaliser les caractérisations électriques détaillées des deux architectures de transistor *normally-off* fabriqués au cours de ce travail de thèse, afin de déterminer leurs performances en termes de puissance.
- Comparer les résultats obtenus selon les deux architectures réalisées avec ceux de la littérature et des résultats présentés dans le chapitre simulation.
- Adapter les conditions de croissance auto-assemblée pour la synthèse de nanofils au travers d'un masque diélectrique nano-patterné au préalable.
- Actualiser le procédé technologique développé au cours de ces travaux et l'appliquer aux nanofils de GaN synthétisés selon l'approche ascendante.
- Intégrer ces transistors dans des circuits monolithiques pour réaliser des fonctions électroniques spécifiques.





# ANNEXE

Le tableau suivant résume les principales étapes technologiques de micro-nano-fabrication du transistor selon l'architecture I et II.

Procédé de fabrication d'un transistor à base de NFs de GaN architecture I et II		
1	Masque de gravure/ Motifs métallique de source	
	1.1	Préparation de l'échantillon
	1.2	E-beam Lithographie pour définir les Nanofils
	1.3	Dépôt du hard masque métallique
2	Gravure des NFs de GaN	
	2.1	Gravure plasma
	2.2	Gravure humide finale
3	Drain contact (pour l'architecture II)	
	3.1	E-beam Lithographie
	3.2	Dépôt de drain et Lift-Off
4	Oxyde de grille et 1er remplissage avec SoG (pour l'architecture II)	
	4.1	Oxyde de grille
	4.2	Dépôt de SoG
	4.3	Arasement de SoG
5	Métallisation de grille	
	5.1	Dépôt de TiN
	5.2	Dépôt de ALD
	5.3	Dépôt de SoG
	5.4	Gravure plasma de TiN
	5.5	E-beam Lithographie pour le pad de grille
	5.6	Gravure plasma de TiN
6	2eme remplissage avec SoG	
	6.1	Dépôt de SoG
	6.2	Gravure plasma de SoG
7	Plots d'épaissement de la source et de la grille	
	7.1	E-beam Lithographie pour les ouvertures de pads de grille
	7.2	Gravure plasma de SoG
	7.3	E-beam Lithographie des plots d'épaissement de source et de grille
	7.4	Dépôt des plots d'épaissement de source et de grille
8	Contact de drain (pour l'architecture I)	
	Coller l'échantillon sur un support métallique afin d'effectuer les caractérisations électriques	

## RÉFÉRENCES

- [1] J. E. Lilienfeld, "Method and apparatus for controlling electric currents, US Patent 1745175," pp. 28–31, 1926.
- [2] Lilienfeld, J. E. "US 1900018A,“. " Device for controlling electric current", filed March 28 (1928).
- [3] Dawon, Kahng. "Electric field controlled semiconductor device." U.S. Patent No. 3,102,230. 27 Aug. 1963.
- [4] K. J. Chen *et al.*, "GaN-on-Si power technology: Devices and applications," *IEEE Trans Electron Devices*, vol. 64, no. 3, pp. 779–795, Mar. 2017, doi: 10.1109/TED.2017.2657579.
- [5] Yeh, Chin-Yu, et al. "Zinc-blende–wurtzite polytypism in semiconductors." *Physical Review B* 46.16 (1992): 10086.
- [6] Y. Douvry, "Étude de HEMTs AlGaN/GaN à grand développement pour la puissance hyperfréquence : conception et fabrication, caractérisation et fiabilité," thèse soutenue le 15 Novembre 2012 à l'Université des Sciences et Technologies de Lille., 2013.
- [7] arshni, Yatendra Pal. "Temperature dependence of the energy gap in semiconductors." *physica* 34.1 (1967): 149-154.
- [8] Lahreche, H., et al. "Optimisation of AlN and GaN growth by metalorganic vapour-phase epitaxy (MOVPE) on Si (1 1 1)." *Journal of crystal growth* 217.1-2 (2000): 13-25.
- [9] Z. Qin, G. Qin, X. Zuo, Z. Xiong, and M. Hu, "Orbitally driven low thermal conductivity of monolayer gallium nitride (GaN) with planar honeycomb structure: a comparative study," *Nanoscale*, vol. 9, no. 12, pp. 4295–4309, Mar. 2017, doi: 10.1039/c7nr01271c.
- [10] W. Götz, N. M. Johnson, C. Chen, H. Liu, C. Kuo, and W. Imler, "Activation energies of Si donors in GaN," *Appl Phys Lett*, vol. 68, no. 22, pp. 3144–3146, 1996, doi: 10.1063/1.115805.

- [11] Krost, Alois and Armin Dadgar. "GaN-Based Devices on Si." *Physica Status Solidi* (a) 194 (2002): 361-375.
- [12] Khan, M. Asif, et al. "High electron mobility GaN/Al<sub>x</sub>Ga<sub>1-x</sub>N heterostructures grown by low-pressure metalorganic chemical vapor deposition." *Applied Physics Letters* 58.21 (1991): 2408-2410.
- [13] Asif Khan, M., et al. "High electron mobility transistor based on a GaN-Al<sub>x</sub>Ga<sub>1-x</sub>N heterojunction." *Applied Physics Letters* 63.9 (1993): 1214-1215.
- [14] O. Ambacher *et al.*, "Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructures," *J Appl Phys*, vol. 87, no. 1, pp. 334–344, Jan. 2000, doi: 10.1063/1.371866.
- [15] E. A. Jones, F. F. Wang, and D. Costinett, "Review of Commercial GaN Power Devices and GaN-Based Converter Design Challenges," *IEEE J Emerg Sel Top Power Electron*, vol. 4, no. 3, pp. 707–719, Sep. 2016, doi: 10.1109/JESTPE.2016.2582685.
- [16] T. Richter, H. L. R. Meijers, R. Calarco, and M. Marso, "Doping concentration of GaN nanowires determined by opto-electrical measurements," *Nano Lett*, vol. 8, no. 9, pp. 3056–3059, 2008, doi: 10.1021/nl8014395.
- [17] R. Calarco, T. Stoica, O. Brandt, and L. Geelhaar, "Surface-induced effects in GaN nanowires," *J Mater Res*, vol. 26, no. 17, pp. 2157–2168, 2011, doi: 10.1557/jmr.2011.211.
- [18] M. Okada *et al.*, "Novel vertical heterojunction field-effect transistors with re-grown AlGa<sub>N</sub>/Ga<sub>N</sub> two-dimensional electron gas channels on Ga<sub>N</sub> substrates," *Applied Physics Express*, vol. 3, no. 5, May 2010, doi: 10.1143/APEX.3.054201.
- [19] H. Nie *et al.*, "1.5-kV and 2.2-mΩ·cm<sup>2</sup> vertical gan transistors on Bulk-GaN substrates," *IEEE Electron Device Letters*, vol. 35, no. 9, pp. 939–941, 2014, doi: 10.1109/LED.2014.2339197.
- [20] D. Shibata *et al.*, "1.7 kV/1.0 mΩcm<sup>2</sup> normally-off vertical GaN transistor on GaN substrate with regrown p-GaN/AlGa<sub>N</sub>/Ga<sub>N</sub> semipolar gate structure," *Technical Digest - International Electron Devices Meeting, IEDM*, pp. 10.1.1-10.1.4, 2017, doi: 10.1109/IEDM.2016.7838385.
- [21] T. Oka, T. Ina, Y. Ueno, and J. Nishii, "1.8mΩ·cm<sup>2</sup> vertical GaN-based trench metal-

oxide-semiconductor field-effect transistors on a free-standing GaN substrate for 1.2-kV-class operation,” *Applied Physics Express*, vol. 8, no. 5, May 2015, doi: 10.7567/APEX.8.054101.

- [22] W. Li and S. Chowdhury, “Design and fabrication of a 1.2 kV GaN-based MOS vertical transistor for single chip normally off operation,” *Physica Status Solidi (A) Applications and Materials Science*, vol. 213, no. 10, pp. 2714–2720, 2016, doi: 10.1002/pssa.201532575.
- [23] M. Sun, Y. Zhang, X. Gao, and T. Palacios, “High-performance GaN vertical fin power transistors on bulk GaN substrates,” *IEEE Electron Device Letters*, vol. 38, no. 4, pp. 509–512, 2017, doi: 10.1109/LED.2017.2670925.
- [24] Zhang, Y., et al. "1200 V GaN vertical fin power field-effect transistors." 2017 IEEE International Electron Devices Meeting (IEDM). IEEE, 2017.
- [25] M. Xiao, X. Gao, T. Palacios, and Y. Zhang, “Leakage and breakdown mechanisms of GaN vertical power FinFETs,” *Appl Phys Lett*, vol. 114, no. 16, pp. 2–7, 2019, doi: 10.1063/1.5092433.
- [26] Y. Cui, X. Duan, J. Hu, and C. M. Lieber, “Doping and Electrical Transport in Silicon Nanowires,” *J Phys Chem B*, vol. 104, no. 22, pp. 5213–5216, 2000, doi: 10.1021/jp0009305.
- [27] S. W. Chung, J. Y. Yu, and J. R. Heath, “Silicon nanowire devices,” *Appl Phys Lett*, vol. 76, no. 15, pp. 2068–2070, 2000, doi: 10.1063/1.126257.
- [28] Huang, Yu, et al. "Gallium nitride nanowire nanodevices." *Nano Letters* 2.2 (2002): 101-104.
- [29] A. Motayed, M. He, A. V. Davydov, J. Melngailis, and S. N. Mohammad, “Realization of reliable GaN nanowire transistors utilizing dielectrophoretic alignment technique,” *J Appl Phys*, vol. 100, no. 11, pp. 0–9, 2006, doi: 10.1063/1.2397383.
- [30] P. T. Blanchard *et al.*, “MOSFETs made from GaN nanowires with fully conformal cylindrical gates,” *IEEE Trans Nanotechnol*, vol. 11, no. 3, pp. 479–482, 2012, doi: 10.1109/TNANO.2011.2177993.
- [31] Gačević, D. López-Romero, T. Juan Mangas, and E. Calleja, “A top-gate GaN nanowire metal-semiconductor field effect transistor with improved channel

- electrostatic control,” *Appl Phys Lett*, vol. 108, no. 3, 2016, doi: 10.1063/1.4940197.
- [32] Y. W. Jo *et al.*, “First demonstration of GaN-based vertical nanowire FET with top-down approach,” *Device Research Conference - Conference Digest, DRC*, vol. 2015-Augus, pp. 35–36, 2015, doi: 10.1109/DRC.2015.7175539.
- [33] F. Yu *et al.*, “Vertical architecture for enhancement mode power transistors based on GaN nanowires,” *Appl Phys Lett*, vol. 108, no. 21, 2016, doi: 10.1063/1.4952715.
- [34] S. Keller *et al.*, “GaN nanowire arrays with nonpolar sidewalls for vertically integrated field-effect transistors,” *Nanotechnology*, vol. 28, no. 9, pp. 1–9, 2017, doi: 10.1088/1361-6528/aa57b6.
- [35] F. Yu *et al.*, “Normally off Vertical 3-D GaN Nanowire MOSFETs with Inverted p-GaN Channel,” *IEEE Trans Electron Devices*, vol. 65, no. 6, pp. 2439–2445, 2018, doi: 10.1109/TED.2018.2824985.
- [36] D. H. Son *et al.*, “Low voltage operation of GaN vertical nanowire MOSFET,” *Solid State Electron*, vol. 145, no. January, pp. 1–7, 2018, doi: 10.1016/j.sse.2018.03.001.
- [37] Z. Hu *et al.*, “GaN vertical nanowire and fin power MISFETs,” *Device Research Conference - Conference Digest, DRC*, vol. 35, no. 2014, pp. 2016–2017, 2017, doi: 10.1109/DRC.2017.7999511.
- [38] “Synopsis Sentaurus. TCAD Documentation. Version O-2018.06”.
- [39] C. Canali, G. Majni, R. Minder, and G. Ottaviani, “Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature,” *IEEE Trans Electron Devices*, vol. 22, pp. 1045–1047, 1975.
- [40] M. Ľapajna and J. Kuzmík, “A comprehensive analytical model for threshold voltage calculation in GaN based metal-oxide-semiconductor high-electron-mobility transistors,” *Appl Phys Lett*, vol. 100, no. 11, Mar. 2012, doi: 10.1063/1.3694768.
- [41] D. Marcon *et al.*, “Direct comparison of GaN-based e-mode architectures (recessed MISHEMT and p-GaN HEMTs) processed on 200mm GaN-on-Si with Au-free technology,” in *Gallium Nitride Materials and Devices X*, Mar. 2015, vol. 9363, p. 936311. doi: 10.1117/12.2077806.
- [42] M. Ľapajna, “Current understanding of bias-temperature instabilities in gan MIS transistors for power switching applications,” *Crystals*, vol. 10, no. 12. MDPI AG, pp. 1–28, Dec. 01, 2020. doi: 10.3390/cryst10121153.

- [43] S. J. Pearton, C. B. Vartuli, J. C. Zolper, C. Yuan, and R. A. Stall, “Ion implantation doping and isolation of GaN,” *Appl Phys Lett*, vol. 67, p. 1435, 1995, doi: 10.1063/1.114518.
- [44] S. C. Binari, H. B. Dietrich, G. Kelner, L. B. Rowland, K. Doverspike, and D. K. Wickenden, “H, He, and N implant isolation of n-type GaN,” *J Appl Phys*, vol. 78, no. 5, pp. 3008–3011, 1995, doi: 10.1063/1.360712.
- [45] W. Chen *et al.*, “GaN nanowire fabricated by selective wet-etching of GaN micro truncated-pyramid,” *J Cryst Growth*, vol. 426, pp. 168–172, Jul. 2015, doi: 10.1016/j.jcrysgro.2015.06.007.
- [46] N. al Taradeh *et al.*, “Characterization of m-gan and a-gan crystallographic planes after being chemically etched in tmah solution,” *Energies (Basel)*, vol. 14, no. 14, Jul. 2021, doi: 10.3390/en14144241.
- [47] J. He *et al.*, “On-wafer fabrication of cavity mirrors for InGaN-based laser diode grown on Si,” *Sci Rep*, vol. 8, no. 1, Dec. 2018, doi: 10.1038/s41598-018-26305-8.
- [48] S. M. George, “Atomic layer deposition: An overview,” *Chem Rev*, vol. 110, no. 1, pp. 111–131, Jan. 2010, doi: 10.1021/cr900056b.
- [49] H. S. Nalwa, *Handbook of thin film materials*. Academic Press, 2002.
- [50] B. Gupta *et al.*, “Recent Advances in Materials Design Using Atomic Layer Deposition for Energy Applications,” *Advanced Functional Materials*, vol. 32, no. 3. John Wiley and Sons Inc, Jan. 01, 2022. doi: 10.1002/adfm.202109105.
- [51] L. Royer, “De l’építaxie ; quelques remarques sur les problèmes qu’elle soulève,” *Bulletin de la Société française de Minéralogie et de Cristallographie*, vol. 77, no. 4–6, pp. 1004–1028, 1954.
- [52] A. Y. Cho and J. R. Arthur, “Molecular beam epitaxy,” *Progress in Solid State Chemistry*, vol. 10, no. PART 3, pp. 157–191, 1975, doi: 10.1016/0079-6786(75)90005-9.
- [53] Romain Dujardin, “Epítaxie par jets moléculaires de nanostructures isolées de germanium sur silicium,” Université Joseph Fourier de Grenoble, 2006.
- [54] F. C. Frank and J. H. van der Merwe, “One-dimensional dislocations. I. Static theory,” *Royal Society*, vol. 198, no. 1053, 1949, doi: doi.org/10.1098/rspa.1949.0095.

- [55] V. M. Volmer and A. Weber, "Keimbildung in übersättigten Gebilden," *Zeitschrift für Physikalische Chemie*, vol. 119U, 1926, doi: doi: 10.1515/zpch-1926-11927.
- [56] I. N. Stranski and L. Krastanow, "Zur Theorie der orientierten Ausscheidung von Ionenkristallen aufeinander goa," *Monatsh Chem*, pp. 351–364, 1937, doi: doi: 10.1007/BF01798103.
- [57] W. J. Meng, J. Heremans, and Y. T. Cheng, "Epitaxial growth of aluminum nitride on Si(111) by reactive sputtering," *Appl Phys Lett*, vol. 59, no. 17, pp. 2097–2099, 1975, doi: 10.1063/1.106092.
- [58] M. Yoshizawa, A. Kikuchi, M. Mori, N. Fujita, and K. Kishino, "Growth of self-organized GaN nanostructures on Al<sub>2</sub>O<sub>3</sub>(0001) by RF-radical source molecular beam epitaxy," *Japanese Journal of Applied Physics, Part 2: Letters*, vol. 36, no. 4 B, 1997, doi: 10.1143/jjap.36.1459.
- [59] M. A. Sanchez-Garcia *et al.*, "The effect of the III/V ratio and substrate temperature on the morphology and properties of GaN- and AlN-layers grown by molecular beam epitaxy on Si(1 1 1)," *J Cryst Growth*, vol. 183, no. 1–2, pp. 23–30, 1998, doi: 10.1016/S0022-0248(97)00386-2.
- [60] Calleja, E., et al. "Luminescence properties and defects in GaN nanocolumns grown by molecular beam epitaxy." *Physical Review B* 62.24 (2000): 16826.
- [61] K. A. Bertness *et al.*, "Catalyst-Free Growth of GaN Nanowires," *J Electron Mater*, pp. 576–580, 2006, doi: doi.org/10.1007/s11664-006-0102-4.
- [62] S. Paul, A. Helwig, G. Müller, F. Furtmayr, J. Teubert, and M. Eickhoff, "Opto-chemical sensor system for the detection of H<sub>2</sub> and hydrocarbons based on InGaN/GaN nanowires," *Sens Actuators B Chem*, vol. 173, pp. 120–126, Oct. 2012, doi: 10.1016/j.snb.2012.06.022.
- [63] P. Krogstrup *et al.*, "Single-nanowire solar cells beyond the Shockley-Queisser limit," *Nat Photonics*, vol. 7, no. 4, pp. 306–310, Apr. 2013, doi: 10.1038/nphoton.2013.32.
- [64] C. W. Chang *et al.*, "Light Trapping Induced High Short-Circuit Current Density in III-Nitride Nanorods/Si (111) Heterojunction Solar Cells," *Nanoscale Res Lett*, vol. 15, no. 1, 2020, doi: 10.1186/s11671-020-03392-z.
- [65] C. Zhao *et al.*, "III-nitride nanowires on unconventional substrates: From materials

- to optoelectronic device applications,” *Progress in Quantum Electronics*, vol. 61. Elsevier Ltd, pp. 1–31, Sep. 01, 2018. doi: 10.1016/j.pquantelec.2018.07.001.
- [66] R. Songmuang, O. Landré, and B. Daudin, “From nucleation to growth of catalyst-free GaN nanowires on thin AlN buffer layer,” *Appl Phys Lett*, vol. 91, no. 25, 2007, doi: 10.1063/1.2817941.
- [67] L. Largeau, E. Galopin, N. Gogneau, L. Travers, F. Glas, and J. C. Harmand, “N-polar GaN nanowires seeded by Al droplets on Si(111),” *Cryst Growth Des*, vol. 12, no. 6, pp. 2724–2729, 2012, doi: 10.1021/cg300212d.
- [68] T. Michely, M. C. Reuter, and R. M. Tromp, “Al on Si(111): Phase diagram and atomic mechanisms,” *Phys Rev B*, vol. 53, 1996, doi: doi.org/10.1103/PhysRevB.53.4105.
- [69] S. Fernández-Garrido, J. Grandal, E. Calleja, M. A. Sánchez-García, and D. López-Romero, “A growth diagram for plasma-assisted molecular beam epitaxy of GaN nanocolumns on Si(111),” *J Appl Phys*, vol. 106, no. 12, pp. 2007–2010, 2009, doi: 10.1063/1.3267151.
- [70] O. Landf, R. Songmuang, J. Renard, E. Bellet-Amalric, H. Renevier, and B. Daudin, “Plasma-assisted molecular beam epitaxy growth of GaN nanowires using indium-enhanced diffusion,” *Appl Phys Lett*, vol. 93, no. 18, pp. 10–13, 2008, doi: 10.1063/1.3013840.
- [71] C. Adelman, N. Gogneau, E. Sarigiannidou, J. L. Rouvière, and B. Daudin, “GaN islanding by spontaneous rearrangement of a strained two-dimensional layer on (0001) AlN,” *Appl Phys Lett*, vol. 81, no. 16, pp. 3064–3066, Oct. 2002, doi: 10.1063/1.1515114.
- [72] M. Yoshizawa, A. Kikuchi, M. Mori, N. Fujita, and K. Kishino, “Growth of self-organized GaN nanostructures on Al<sub>2</sub>O<sub>3</sub>(0001) by RF-radical source molecular beam epitaxy,” *Japanese Journal of Applied Physics, Part 2: Letters*, vol. 36, no. 4 B, 1997, doi: 10.1143/jjap.36.1459.
- [73] Y. S. Park, S. H. Lee, J. E. Oh, C. M. Park, and T. W. Kang, “Self-assembled GaN nano-rods grown directly on (1 1 1) Si substrates: Dependence on growth conditions,” *J Cryst Growth*, vol. 282, no. 3–4, pp. 313–319, 2005, doi: 10.1016/j.jcrysgro.2005.05.058.



- [74] L. Lympirakis and J. Neugebauer, “Large anisotropic adatom kinetics on nonpolar GaN surfaces: Consequences for surface morphologies and nanowire growth,” *Phys Rev B Condens Matter Mater Phys*, vol. 79, no. 24, pp. 1–4, 2009, doi: 10.1103/PhysRevB.79.241308.
- [75] T. Zywiec, J. Neugebauer, and M. Scheffler, “Adatom diffusion at GaN (0001) and (000 $\bar{1}$ ) surfaces,” *Appl Phys Lett*, vol. 73, no. 4, pp. 487–489, 1998, doi: 10.1063/1.121909.
- [76] K. A. Bertness, A. Roshko, L. M. Mansfield, T. E. Harvey, and N. A. Sanford, “Mechanism for spontaneous growth of GaN nanowires with molecular beam epitaxy,” *J Cryst Growth*, vol. 310, no. 13, pp. 3154–3158, 2008, doi: 10.1016/j.jcrysgr.2008.03.033.
- [77] R. Songmuang, O. Landré, and B. Daudin, “From nucleation to growth of catalyst-free GaN nanowires on thin AlN buffer layer,” *Appl Phys Lett*, vol. 91, no. 25, 2007, doi: 10.1063/1.2817941.
- [78] R. K. Debnath, R. Meijers, T. Richter, T. Stoica, R. Calarco, and H. Lüth, “Mechanism of molecular beam epitaxy growth of GaN nanowires on Si(111),” *Appl Phys Lett*, vol. 90, no. 12, pp. 1–4, 2007, doi: 10.1063/1.2715119.
- [79] K. A. Bertness, A. Roshko, L. M. Mansfield, T. E. Harvey, and N. A. Sanford, “Nucleation conditions for catalyst-free GaN nanowires,” *J Cryst Growth*, vol. 300, no. 1, pp. 94–99, 2007, doi: 10.1016/j.jcrysgr.2006.10.209.
- [80] M. Belloeil, M. Belloeil, and M. Belloeil, “These: Molecular beam epitaxy growth and optical characterization of GaN / AlGaIn nanowire heterostructures emitting in the ultraviolet To cite this version : HAL Id : tel-01661587 Croissance par épitaxie par jets moléculaires et caractérisation optique d ,” 2017.
- [81] V. Consonni, M. Hanke, M. Knélangen, L. Geelhaar, A. Trampert, and H. Riechert, “Nucleation mechanisms of self-induced GaN nanowires grown on an amorphous interlayer,” vol. 035310, no. November 2010, pp. 1–8, 2011, doi: 10.1103/PhysRevB.83.035310.
- [82] V. Consonni, M. Knélangen, L. Geelhaar, A. Trampert, and H. Riechert, “Nucleation mechanisms of epitaxial GaN nanowires: Origin of their self-induced formation and initial radius,” *Phys Rev B Condens Matter Mater Phys*, vol. 81, no. 8, pp. 1–10,

2010, doi: 10.1103/PhysRevB.81.085310.

- [83] M. Knelangen, V. Consonni, A. Trampert, and H. Riechert, “Insitu analysis of strain relaxation during catalyst-free nucleation and growth of GaN nanowires,” *Nanotechnology*, vol. 21, no. 24, 2010, doi: 10.1088/0957-4484/21/24/245705.
- [84] V. G. Dubrovskii, V. Consonni, A. Trampert, L. Geelhaar, and H. Riechert, “Scaling thermodynamic model for the self-induced nucleation of GaN nanowires,” *Phys Rev B Condens Matter Mater Phys*, vol. 85, no. 16, pp. 1–6, 2012, doi: 10.1103/PhysRevB.85.165317.
- [85] M. D. Brubaker *et al.*, “Effect of AlN buffer layer properties on the morphology and polarity of GaN nanowires grown by molecular beam epitaxy,” *J Appl Phys*, vol. 110, no. 5, 2011, doi: 10.1063/1.3633522.
- [86] T. Auzelle, T. Auzelle, and G. Aln, “Thèse: GaN / AlN nanowires : nucleation , polarity and quantum heterostructures To cite this version : HAL Id : tel-01304119 Nanofils de GaN / AlN Nucleation , polarité et hétérostructures quan-,” 2016.
- [87] J. Ristić *et al.*, “On the mechanisms of spontaneous growth of III-nitride nanocolumns by plasma-assisted molecular beam epitaxy,” *J Cryst Growth*, vol. 310, no. 18, pp. 4035–4045, 2008, doi: 10.1016/j.jcrysgro.2008.05.057.
- [88] R. K. Debnath, R. Meijers, T. Richter, T. Stoica, R. Calarco, and H. Lüth, “Mechanism of molecular beam epitaxy growth of GaN nanowires on Si(111),” *Appl Phys Lett*, vol. 90, no. 12, pp. 1–4, 2007, doi: 10.1063/1.2715119.
- [89] T. Takahagi, I. Nagai, A. Ishitani, H. Kuroda, and Y. Nagasawa, “The formation of hydrogen passivated silicon single-crystal surfaces using ultraviolet cleaning and HF etching,” *J Appl Phys*, vol. 64, no. 7, pp. 3516–3521, 1988, doi: 10.1063/1.341489.
- [90] Joannopoulos, John D., et al. Semiconductor surface studies. Research Laboratory of Electronics (RLE) at the Massachusetts Institute of Technology (MIT), 1996.
- [91] W. Teliëps and E. Bauer, “Kinetics of the  $(7 \times 7) \leftrightarrow (1 \times 1)$  Transition on Si(111),” *Surf Sci*, vol. 162, pp. 163–168, 1985, doi: 10.1016/0039-6028(85)90890-8.
- [92] N. Jamond *et al.*, “Piezo-generator integrating a vertical array of GaN nanowires,” *Nanotechnology*, vol. 27, no. 32, Jul. 2016, doi: 10.1088/0957-4484/27/32/325403.
- [93] L. Largeau, D. L. Dheeraj, M. Tchernycheva, G. E. Cirlin, and J. C. Harmand, “Facet and in-plane crystallographic orientations of GaN nanowires grown on Si(111),”

- Nanotechnology*, vol. 19, no. 15, Apr. 2008, doi: 10.1088/0957-4484/19/15/155704.
- [94] T. Stoica and R. Calarco, “Doping of III-nitride nanowires grown by molecular beam epitaxy,” *IEEE Journal on Selected Topics in Quantum Electronics*, vol. 17, no. 4, pp. 859–868, Jul. 2011. doi: 10.1109/JSTQE.2010.2092416.
- [95] T. Richter, H. L. R. Meijers, R. Calarco, and M. Marso, “Doping concentration of GaN nanowires determined by opto-electrical measurements,” *Nano Lett*, vol. 8, no. 9, pp. 3056–3059, Sep. 2008, doi: 10.1021/nl8014395.
- [96] F. Furtmayr *et al.*, “Nucleation and growth of GaN nanorods on Si (111) surfaces by plasma-assisted molecular beam epitaxy - The influence of Si- and Mg-doping,” *J Appl Phys*, vol. 104, no. 3, 2008, doi: 10.1063/1.2953087.
- [97] J. E. Kruse *et al.*, “Selective-area growth of GaN nanowires on SiO<sub>2</sub>-masked Si (111) substrates by molecular beam epitaxy,” *J Appl Phys*, vol. 119, no. 22, Jun. 2016, doi: 10.1063/1.4953594.